国外电子与通信教材系列

上册

微电子电路

（第五版）

Microelectronic Circuits, Fifth Edition



［加］Adel S. Sedra
Kenneth C. Smith 著

周玲玲　蒋乐天　应忍冬　等译

徐国治　审校



電子工業出版社
Publishing House of Electronics Industry
http://www.phei.com.cn

微电子电路（第五版） 上册

Microelectronic Circuits, Fifth Edition

这本教材传承了建立在牢固教育学基础上的卓越和创新的标准，这也正是作者Adel S. Sedra和Kenneth C. Smith所期望的。微电子电路（第五版）的组织结构与内容都充分体现了最新技术的发展和变化，为电子电路分析和设计领域的教学提供了最新的资源。

本书特点

- 流水线式的组织结构："必学"内容被放置在每一章的开始部分，专业性较强的内容置后。前五章可以作为一个学期讲授的引导性课程。同样，接下来的五章可以作为第二门一学期课程的主要内容。最后四章都是很有意义的话题，可以作为前面章节的补充材料，也可以作为项目设计或者撰写论文的参考资料。
- MOSFET和BJT：第4章（MOSFET）和第5章（BJT）是完全重写的。虽然本版将MOSFET的内容放在前面，但是这两种器件可以按照任何次序讲解。
- 集成MOS和双极型放大器：第6章（单级集成电路放大器）和第7章（差分放大器与多级放大器）也是完全重写的，并以便于理解的、系统的方法引入了集成MOS放大器和双极型放大器的内容。
- 放大器频率响应：在需要的地方都可以找到有关放大器频率响应的内容（"即时"方法）。其中包括第4章和第5章中关于共源放大器和共射放大器的频率响应的简要介绍。



光盘主要内容包括：

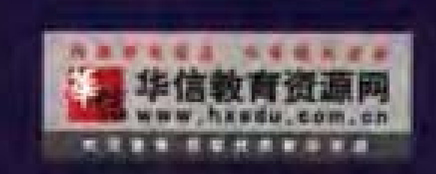
- 免费的PSpice 9.2 Lite Edition学生版
- JFET GaAs器件与电路，以及TTL电路的内容
- 与正文配套的SPICE范例
- 至本书配套网站的链接

作者简介

Adel S. Sedra：沃特卢大学工程学院院长，多伦多大学前教务长。

Kenneth C. Smith：多伦多大学电气和计算机工程、计算机科学、机械工程和信息研究所的荣誉教授。







责任编辑：周宏敏
责任美编：毛惠庚

本书贴有激光防伪标志，凡没有防伪标志者，属盗版图书

ISBN 7-121-02670-8　　定价：79.80元（附光盘1张）

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个"国外电子与通信教材系列"项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝"国外电子与通信教材系列"项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授

"国外电子与通信教材系列"出版委员会主任

出版说明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套“国外计算机科学教材系列”，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进“国外电子与通信教材系列”，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核，并得到教育部高等教育司的批准，纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 者 序

《微电子电路》一书是电子、通信、电气和计算机工程专业电子电路核心课程的教材，同时对于那些想通过自学提高集成电路设计水平的工程师和其他技术人员也非常有用。

本书在详细阐述晶体管器件基本性能的基础上，侧重于模拟和数字电路的分析和设计。本书作者非常注重将新技术引入教材中，无论是晶体管器件和晶体管电路，还是 MOS 晶体管及其电路，它们都被作为首要内容加以阐述，这是因为 MOS 器件及 CMOS 工艺已经成为现代集成电路设计的主流。本书既重视基本电路的性能分析、工程估算，更重视电路的设计，每一章都有关于电路设计的例子，正如作者在前言中所述："本书的目的是使读者具有分析和设计电子电路的能力，包括模拟电路和数字电路、分立元件电路和集成电路。"

本书语言浅显，通俗易懂，对基本概念的阐述思路清晰，即使一些比较深奥的概念，作者也能娓娓道来，在表述基本概念的同时，还结合实际电路的设计，使得读者对基本概念的理解不仅仅停留在理论层面上，还具有了感性的认识。由于现代电路设计已经离不开计算机的帮助，作为电路设计工程师，掌握电路分析和设计用的计算机辅助工具已成必然，本书在这方面同样做得很出色，在每一章的最后都安排了 PSpice 仿真实例作为结束，体现了作者长期以来在电路分析和设计方面的经验积累。

本书的另一个特点是例题和习题非常丰富，通过例题可以加深对基本概念的理解，而大量的练习和习题对读者检验基本概念的掌握程度、加深基本概念的理解、牢记基本概念的要点都有积极的帮助作用。作者在教材编写方面具有丰富的经验，所挑选的例题以及大多数习题和练习都基于实际电路和实际电路设计中的应用，对读者而言，在解题的同时，也学会了如何解决实际的电路设计问题。

本书的前言、第 1 章至第 5 章主要由蒋乐天翻译；第 6 章和第 11 章由华颖翻译；第 7 章由俞子丰翻译；第 8 章由张骋元翻译；第 9 章、第 12 章、第 13 章、第 14 章和附录由周玲玲翻译，第 10 章和 1.7 节、4.10 节、5.10 节、9.7 节、9.8 节、9.9 节由应忍冬翻译；周玲玲对全书做了统一校订，最后由徐国治教授审阅了全书。

由于译者水平有限，书中难免有不妥和错误之处，敬请读者给予批评和指正。

前 言

《微电子电路》(第五版)是电气工程和计算机工程专业电子电路的核心课程教材，同时对于那些想通过自学掌握更多知识的工程师和其他技术人员也非常有用

同前四版一样，本书的目的是使读者掌握分析和设计电子电路(包括模拟电路和数字电路，分立元件电路和集成电路)的能力。在涉及集成电路的应用时，重点放在晶体管电路的设计上。这是因为我们认为即使大多数读者不从事 IC 设计，但掌握一些 IC 芯片的知识将有助于合理和创造性地应用这些芯片。此外，由于 VLSI 技术和设计方法学的进步，越来越多的工程师可以接触到 IC 设计本身。

预修课程

学习本书内容的预修课程是电路分析。作为回顾，本书的附录中介绍了一些线性电路知识。具体而言，附录 B 是有关二端口网络参数的；附录 C 是关于一些有用的网络定理的；附录 D 总结了单时间常数电路；附录 E 讲解了 s 域分析。学习本书不需要具备更深入的电子物理知识，所有要讲述的器件的物理知识在书中均有介绍，附录 A 还对 IC 制造工艺做了简单描述。

本版新增内容

尽管保留了前四版的教学方法，然而第五版在组织和内容上还是做了一些修改。

1. 各章的组织结构如下：重要的必须涉及的内容放在前面，比较专业的内容放在后面。这可以使采用本书的教和学有相当的灵活性。
2. 对第 4 章和第 5 章进行了重写和更新，而且这两章内容相互之间完全独立。把有关 MOSFET 的一章放在前面完全是因为 MOSFET 现在在很多领域都是最重要的电子器件。但是如果需要，也可以将有关 BJT 的一章放在前面。此外，这两章的内容具有相同的结构，因此第二种器件的教和学会更加简单和快捷。
3. 为了使第一门课程更完整，第 4 章和第 5 章都包含了放大器和数字逻辑电路的内容。而且也包括了基本的共源(共发射极)放大器的频率响应内容。这对于有可能不选修第二门电子学课程的学生来说非常重要。
4. 增加了一章新内容，即集成电路(IC)放大器(第 6 章)。在这一章中，首先对 MOSFET 和 BJT 进行了全面的比较，给出了利用现代亚微米制造工艺得到的器件的典型参数值，并在例题、练习和章后习题中使用了这些参数。由于各种放大器组态都包含它的频率响应，这使得放大器频率响应的学习更加有趣，在某种程度上也更加简单。
5. 第 7 章(差分放大器和多级放大器)的内容也是重写的，该章最先给出的是 MOSFET 差分对，并对例题、练习和习题进行了扩展和更新，采用了反映现代亚微米技术的器件的参数值。
6. 第五版的重点是 MOSFET 电路。

7. 为了给更多的新内容留出篇幅，第五版去掉了一些已经不太流行的内容（如 JFET 和 TTL）和非常专业化的内容（如砷化镓器件和电路）。但是，这些内容可以在本书附带的光盘和网站上得到。
8. 为有助于读者学习和参考，第五版增加了许多总结性的表格。
9. 更新了练习、例题和章后习题，并且增加了数量和种类。
10. 重写了关于 SPICE 的内容，而且 SPICE 实例现在使用原理图输入。为了能够进一步进行仿真实验，在光盘和网站上提供了所有 SPICE 实例的相关文件。

光盘和网站

第五版（上册）附光盘一张，其中包含许多有用的补充材料，希望能够丰富读者学习的经历。具体内容包括：（1）OrCAD PSpice 9.2 学生版；（2）书中所有 SPICE 例题的输入文件；（3）链接本书网站，可以访问本书中每个插图的 PowerPoint 幻灯片，学生可以打印出来并带到课堂上以便于记笔记；（4）书中未包含的一些很专业的主题，包括：JFET、GaAs 器件和电路以及 TTL 电路。

本书有一个对应的网站（www.sedrasmith.org），其内容更新较快以求能够反映该领域的最新发展。主要包括所有 PSpice 实例的 SPICE 模型和文件，与感兴趣的业界和学术界网站的链接，以及与作者交流的信息中心。此外还包含一个与牛津大学出版社高等教育组的链接，从而使教师们可以得到完整的文本材料。

强调设计

我们认为教好电路设计的最好方法是指出在选择电路结构和为特定结构选择元件值时应该有各种折中或者权衡的考虑。第五版通过增加更多的设计实例、练习和章后习题来着重强调设计内容。那些关于“基于设计”的练习和章后习题前面都用 D 来表示。此外，本书采用了最有用的设计辅助工具 SPICE。

练习、习题和附加的有解答的习题

第五版共有 450 余个练习。每个练习的下面都给出了答案，学生可以根据这些练习检查是否理解了所学的内容。求解这些练习可以使读者了解对所学内容的掌握和理解程度。此外，第五版还给出了 1370 多道习题，其中大约三分之一是本版新增的习题。这些习题是针对各章的关键问题的，其难易程度用加星号的方法来表示：难题用一个星号（*）标注，更难的习题用两个星号标注（**），很难（和/或耗时）的习题用三个星号标注（***）。但是我们必须承认这样的分类并不准确，因为我们的分类无疑在某种程度上取决于我们的思维（或情绪）。附录 H 中大约包含一半习题的答案。所有练习和习题的完整解答在教师手册中提供，采用本书的教师可以从出版商那里获得教师手册。

与前面四个版本一样，第五版中包含了许多例题。这些例题以及大多数习题和练习都基于实际电路和实际电路设计中碰到的应用。第五版仍然在许多例子的插图中使用数字来标注解答步骤，希望此举能够增加课堂教学的互动性。

使用早期版本的学生曾多次提出需要一本习题解答。为了满足这个要求，第五版提供了一本有解答的关于习题的书（可参见后面关于辅导书的介绍）。

第五版内容概要

第 1 章简单介绍电子学的基本概念。其中介绍了信号、信号频谱以及信号的模拟形式和数字形式。放大器作为模块电路构件来介绍，并且分析了不同类型的放大器及其模型。本章根据电压传输特性定义了数字电路的基本单元——数字逻辑反相器，讨论了利用电压和电流开关得到的反相器的不同实现方法。此外，本章还给出了本书采用的术语和符号的含义。

接下来的四章主要讲解电子器件和基本电路。第 2 章讨论运算放大器及其端口特性、简单应用和限制条件。我们比较早地把运算放大器作为模块电路来讨论是因为它比较容易处理，学生可以用运算放大器做实验，通过完成一些重要的应用获得一种成就感。我们发现这种方法会极大地激发学生的兴趣。但是，我们也要指出，本章的部分内容或者全部内容都可以暂时跳过，留待后面再学习（例如，与第 7 章、第 8 章和/或第 9 章相结合），这样做不会影响内容的连读性。

第 3 章介绍最基本的电子器件——*pn* 结二极管。内容包括二极管端口特性、各种层次的模型和基本电路应用。为了理解二极管的工作原理（同样也是 MOSFET 和 BJT 的工作原理），第五版对半导体和 *pn* 结做了简明而重点突出的介绍。这部分内容放在本章的结尾处（见 3.7 节），在电子物理学中已经学过相关内容的读者可以部分或全部地跳过该内容。

第 4 章和第 5 章分别讨论两类主要的电子器件——MOS 场效应管（MOSFET）和双极型晶体管（BJT）。这两章具有相同的结构并且互相独立，先学习哪一章都可以。这两章都以器件结构和器件的工作原理开始，然后引出端口特性的描述。通过大量的晶体管直流电路的例子使读者能够比较深入地熟悉作为电路元件的晶体管的运行特性。接下来介绍基本共源（共发射极）电路的大信号工作性能，分析器件作为线性放大器的工作区以及作为开关的工作区。不同区域需要对晶体管进行相应偏置来得到，因此引出了偏置方法的内容。此处的偏置方法主要针对分立元件电路，关于 IC 偏置方法的介绍见第 6 章。接下来，介绍小信号工作原理以及小信号模型的推导和分立元件放大器的基本组态。由于晶体管内部电容对高频性能的影响，从而引出了晶体管的高频等效电路模型，该模型可用来确定共源（共发射极）放大器的高频响应，同时也介绍了由耦合电容和旁路电容引起的低频响应。此后介绍了基本数字逻辑反相器电路。这两章都以 SPICE 中使用的晶体管模型和使用 PSpice 的电路仿真实例作为结束。应该指出，第 4 章和第 5 章是电子学第一门课程的基本内容。

第 6 章到第 10 章介绍模拟和数字集成电路。第 6 章首先对 MOSFET 和 BJT 的特性进行了全面描述和比较，并在比较时利用了现代制造工艺技术得到的器件的典型参数值。接下来有条理地介绍了 IC 放大器设计中采用的偏置方法（见 6.3 节）、放大器高频响应的背景知识（见 6.4 节）和单级 IC 放大器的不同组态。对于每一种情况，首先给出 MOS 电路。一些晶体管对组态（如 Cascode 电路和达林顿电路）通常也被作为单级电路来对待。每一节都包含特定放大器组态的高频响应的内容。我们相信将高频响应的学习嵌入到每一节中比传统的将所有频率响应的内容放到后面要好。同其他各章一样，我们把更专业的内容放在本章后半部分讲解，其中包括高性能的镜像电流源和电流源的概念，这样使读者在第一遍阅读时可以跳过其中一些内容。本章为模拟 IC 设计的深层次的学习奠定了很好的基础。

第 7 章介绍 IC 放大器，其中重点强调两个主要的放大器——差分放大器和多级放大器。这一章也首先讲解 MOSFET 差分对。频率响应则是在需要的地方讨论，包括在多级放大器的两个例子中。

第 8 章介绍重要的反馈内容。给出了负反馈的实际电路应用，此外还详细讨论了反馈放大器

的稳定性问题及频率补偿的内容。

第 9 章集成了前面三章介绍的模拟 IC 设计内容，并将它应用于两个主要的模拟 IC 功能块的分析和设计中，这两个模块是运算放大器和数据转换电路。本章既分析了 CMOS 运算放大器，也分析了双极型运算放大器。其中数据转换电路的内容为第 10 章数字 CMOS 逻辑电路的学习架设了桥梁。

第 10 章的内容建立在 4.10 节介绍的 CMOS 逻辑电路的基础之上，讲解了包括静态和动态 CMOS 逻辑电路的一些精选内容，这些内容使第二部分的模拟和数字 IC 的学习更加完整。

第 11 章介绍数字电路。具体而言，讲解存储器以及相关电路，如锁存器、触发器以及单稳态、双稳态和多谐振荡器。此外，还讲解了两个比较专业但却很重要的数字电路技术：射极耦合逻辑（ECL）和 BiCMOS。第 10 章和第 11 章与前面介绍的关于数字电路的内容可以为读者学习后续数字 IC 设计和 VLSI 电路课程提供很好的准备。

接下来的两章（即第 12 章和第 13 章）是基于应用和系统的内容。第 12 章主要讲解模拟滤波器的设计和调谐放大器。第 13 章介绍正弦波振荡器、波形发生器以及其他非线性信号处理电路。

本书最后一章（即第 14 章）讲解不同类型的放大器输出级电路。这一章将介绍与散热有关的设计并给出了许多 IC 功率放大器的实例。

8 个附录中包含了许多有用的背景知识和补充材料。我们希望读者能够特别关注附录 A，因为该附录概括了包括 IC 版图设计在内的 IC 制造工艺的重要内容。

课程组织

本书的内容可以用于两个学期课程的教学（每个学期 40 ~ 50 课时）。本书的组织为课程设计提供了很大的灵活性。下面我们给出了两门课程安排的建议。

第一门课程

第一门课程显然要包括第 1 章到第 5 章的内容。但是，如果时间有限，可以将下面的内容部分或全部推迟到第二门课程中讲解：1.6 节，1.7 节，2.6 节，2.7 节，2.8 节，3.6 节，3.8 节，4.8 节，4.9 节，4.10 节，4.11 节，5.8 节，5.9 节和 5.10 节；此外，也可以在这门课程中去掉第 2 章。可以把精力主要集中在 MOSFET 的内容（第 4 章）上，然后只介绍部分（或较快地介绍）BJT 的内容（第 5 章）；还可以介绍第 5 章的全部内容和第 4 章的一部分内容，但是我们不推荐这样做。另外一种选择是略去 1.7 节、4.10 节和 5.10 节，整个课程全部作为模拟电路来介绍；同样，第一门课程也可以基于数字内容讲解，其中包括以下内容：1.1 节，1.2 节，1.3 节，1.4 节，1.7 节，1.8 节，3.1 节，3.2 节，3.3 节，3.4 节，3.7 节，4.1 节，4.2 节，4.3 节，4.4 节，4.10 节，4.12 节，5.1 节，5.2 节，5.3 节，5.4 节，5.10 节，5.11 节，第 10 章的全部和第 11 章中精选出来的内容。此外，如果时间允许，介绍一下第 2 章中关于运算放大器的内容也非常有用。

第二门课程

第二门课程最好从第 6 章开始，其中，6.2 节可以作为 MOSFET 和 BJT 特性的回顾。理想情况下，第二门课程应包括第 6 章到第 10 章（当然，假设第一门课程包括第 1 章到第 5 章）。如果时间较短，那么第 10 章可以推迟到后续的关于数字电路的课程中讲解或者去掉第 6 章到第 9 章中的某些节。一种选择是不重点介绍双极型电路，因此可以略去第 6 章、第 7 章和第 9 章中双极型的部分内容或全部内容。另一种选择是减少反馈的内容（见第 8 章）。此外，第二门课程中也可以略去数据转换电路的内容。对于第 9 章，可能只需要包含 CMOS 运算放大器的内容。还有一

种可能是将第 6 章到第 10 章的部分内容用第 11 章到第 14 章中的精选内容来代替。例如，如果第二门课程全部都是讲模拟内容的，那么就可以用第 13 章到第 14 章中的一些内容来替换第 10 章。

辅导材料

本书还提供了一套完整的辅导材料对课程学习提供支持。

教师用辅助材料

教师手册（"*Instructor's Manual with Transparency Masters*"）给出了每章所有练习及习题的解答，此外还包含 200 张幻灯片，这些幻灯片是课上经常使用的图片的副本。

一套透明幻灯片，包含本书最重要的 200 张图片。

一张 PowerPoint 光盘，其中包含了本书中所有插图的幻灯片以及对应的说明。

学生和教师用辅助材料

每本书附带的光盘包含所有含有 SPICE 输入文件的正文内容、一个学生版的 OrCAD PSpice 9.2 Lite 版、一个链接到本书插图和补充内容网站的网址。

由 Kenneth C. Smith（KC）编著的 *Laboratory Explorations for Microelectronic Circuits, 5th edition* 包含本书中一些重要内容的实验和指导。

由 Kenneth C. Smith（KC）编写的 *KC's Problems and Solutions for Microelectronic Circuits,5th edition* 包含数百道附加习题以及完整解答，可以满足学生进一步练习之需。

由 McGill 大学的 Gordon Roberts 和 Adel Sedra 编著的 *SPICE, 2nd edition* 提供了 SPICE 的详细内容以及在本书电路分析和设计中的应用。

致谢

本书第五版中所做的许多修改是在得到使用第四版的教师的反馈信息后进行的。我们非常感谢那些花时间写信给我们的人。此外，以下的评阅人对第四版提出了许多意见和修改建议，这些都已经体现在修订当中，在此向他们表达最真诚的谢意。他们是：Maurice Aburdene（Bucknell 大学），Patrick L. Chapman（伊利诺大学 Urbana-Champaign 分校），Artice Davis（圣何塞州立大学），Paul M. Furth（新墨西哥州立大学），Roobik Gharabagi（圣路易斯大学），Reza Hashemian（北伊利诺大学），Ward J. Helms（华盛顿大学）Hsiung Hsu（俄亥俄州立大学），Marian Kazimierczuk（Wright 州立大学），Roger King（Toledo 大学），Robert J. Krueger（Wisconsin-Milwaukee 大学），Un-Ku Moon（Oregon 州立大学），John A. Ringo（华盛顿州立大学），Zvi S. Roth（佛罗里达 Atlantic 大学），Mulukutla Sarma（东北大学），John Scalzo（路易斯安纳州立大学），Ali Sheikholeslami（多伦多大学），Pierre Schmidt（佛罗里达国际大学），Charles Sullivan（达特默思学院），Gregory M. Wierzba（密西根州立大学），以及 Alex Zaslavsky（布朗大学）。

我们也要感谢许多同事和朋友，他们提出了很多有用的建议，他们是：Anthony Chan-Carusone（多伦多大学），Roman Genov（多伦多大学），David Johns（多伦多大学），Ken Martin（多伦多大学），Wai-Tung Ng（多伦多大学），Khoman Phang（多伦多大学），Gordon Roberts（McGill 大学），Ali Sheikholeslami（多伦多大学）。

此外还要感谢前四版的评阅人，他们是：Michael Bartz（Memphis 大学）；Roy H. Cornely（新泽西理工学院），Dale L. Critchlow（佛蒙特大学），Steven de Haas（加利福尼亚州立大学萨克拉门

托分校），Eby G. Friedman（Rochester 大学），Rhett T. George（Jr., Duke 大学），Richard Hornsey（York 大学），Robert Irvine（加利福尼亚州立大学 Pamona 分校），John Khoury（哥伦比亚大学），Steve Jantzi（Broadcom 公司），Jacob B. Khurgin（Johns Hopkins 大学），Joy Laskar（乔治亚理工大学），David Luke（New Brunswick 大学），Bahram Nabet（Drexel 大学），Dipankar Nagchoudhuri（印度理工学院），David Nairn [模拟器件公司（AD 公司）]，Joseph H. Nevin（辛辛那提大学），Rabin Raut（Concordia 大学），Richard Schreier [模拟器件公司（AD 公司）]，Dipankar Sengupta（皇家墨尔本理工学院），Michael L. Simpson（Tennessee 大学），Karl A. Spuhl（华盛顿大学），Daniel van der Weide（Delaware 大学）。

许多人都对本版做出了很大贡献。多伦多大学的 Anas Hamoui 在本版的组织和内容的成形上发挥了重要作用，此外他还编写了 SPICE 几节。多伦多大学的 Olivier Trescases 进行了 SPICE 仿真工作。AD 公司的 Richard Schreier 帮我们确定了封面照片[1]。多伦多大学的 Wai-Tung Ng 重写了附录 A。McGill 大学的 Gordon Roberts 允许我们使用 Roberts 和 Sedra 编写的 SPICE 书中的一些例子。Mandana Amiri, Karen Kozma, Shahriar Mirabbasi, Roberto Rosales, Jim Somers 和 John Wilson 在准备教师和学生用辅助材料方面都给予了很大帮助。Jennifer Rodrigues 输入了所有的修订内容。Laura Fujino 帮助我们准备了索引内容从而使我们能够把精力集中于正文的写作。对所有这些朋友和同事，我们在此一并表示感谢。

我们还要感谢 Cadence Design Systems 公司，感谢他们允许牛津大学出版社随本书附带 OrCad 系列 9.2 Lite 版软件。感谢 AD 公司的 John Geen 提供了封面照片以及感谢 Tom McElwee（TWM 研究中心）。

牛津大学出版社的许多工作人员对第五版和各种辅导书的出版做出了很多贡献。我们特别要感谢 Barbara Wasserman，Liza Murphy，Mary Beth Jarrad，Mac Hawkins，Barbara Brown，Cathleen Bennett，Celeste Alexander，Chris Critelli，Eve Siegel，Mary Hopkins，Jeanne Ambrosio，Trent Haywood，Jennifer Slomack，Ned Escobar，Jim Brooks，Debbie Agee，Sylvia Parrish，Lee Rozakis，Kathleen Kelly，Sheridan Grr 和 Kerry Cahill。

我们特别要向牛津大学出版社的 Chris Rogers 表达我们的感谢。我们也要感谢市场和销售主任 Scott Burns 提出的许多创造性想法。我们还从以前的编辑和朋友 Peter Gordon 处得到了许多支持和意见。Peter 离开后，该项目就由我们现在的编辑 Danielle Christensen 主持。编辑部、设计和生产部主任 Elyse Dubin 为确保本书能够在设计和生产的不同阶段得到最大可能的关注发挥了关键作用。

能够使该书及时出版以及达到如此好的质量的究竟是谁呢？她就是我们的主编 Karen Shapiro，我们在这里对她深表谢意。我们同样要感谢我们的家人，感谢他们的支持和理解。

Adel S. Sedra
Kenneth C. Smith

① 指的是英文原书的封面照片 ——编者注

目　　录

第1章　电子学简介

引言

本书的主题是现代电子学，它被认为是微电子学的领域。微电子学指的是集成电路技术，在撰写本书的时候，集成电路技术能够在 100 mm^2 量级的一小片硅（称为硅芯片）上生产含有数百万个元件的电路。例如，这样的一个微电子电路就是一个完整的数字计算机，也被称为一个微型计算机，或者更通常地说是一个微处理器。

在本书中，我们将介绍电子器件，这些器件既能够单独使用（在分立元件电路的设计中），也可以作为集成电路芯片中的元件使用。我们还要讲解如何设计和分析器件之间的互连，这些器件组成的分立元件电路和集成电路可具有不同复杂度和不同功能。此外，我们还要介绍已有的集成电路芯片及其在电子系统设计中的应用。

第1章的目的是介绍一些基本的概念和术语。特别是要讲解信号以及利用电子电路实现的最重要的信号处理功能之一——信号的放大。然后我们将介绍线性放大器的模型，在后续几章中将采用这些模型。

如同放大器是模拟电路的基本元素一样，逻辑反相器也是数字电路的基本元素。因此我们将对数字反相器及其电路功能和重要特性做一个初步介绍。

除了有助于电子学的学习外，本章也是学习线性电路和学习本书中电子电路的设计和分析之间的一个桥梁。

1.1　信号

信号包含很多关于物理世界的事情和行为的信息。例如：关于天气的信息包含在表示空气温度、压力、风速等信号中。一个播音员播送新闻的声音进入到麦克风以后就产生了相应的声音信号。为了监测核反应器的状态，人们会利用许多仪表来测量大量的相关参数，每一个仪器也会产生一个信号。

为了从一系列信号中抽取出所需要的信息，观测者（人或机器）不可避免地要以一些预先确定的方法处理信号。信号处理通常由电子系统来完成。但是，为了能够对这些信号进行处理，必须先将这些信号转换成电子信号，也就是电压或者电流，这个过程由换能器来完成。目前存在各种不同的换能器，每一种换能器适用于不同类型的物理信号。例如，利用麦克风可以将人发出的声音转变成电信号，麦克风就是一种压力换能器。本书并不讨论换能器，而是假设我们感兴趣的信号已经以电信号形式存在，并由图1.1中两种等价的形式表示。在图1.1（a）中，信号由含有源内阻 R_s 的电压源 $v_s(t)$ 来表示，而在图1.1（b）的另一种表示中，信号是由含有源内阻 R_s 的电流源 $i_s(t)$ 表示的。尽管这两种表示方法是等价的，但是当 R_s 较小时往往采用图1.1（a）所示的表示方法（戴维南形式），而当 R_s 较大时则常常采用图1.1（b）所示的表示方法（诺顿形式）。在本章后面介绍放大器的不同类型时读者可以意识到这一点。这里，熟悉戴维南定理和诺顿定理（参见附录D）以及了解图1.1中的两种表示方法的等价性是非常重要的，它们的关系可以用下式表示：

$$v_s(t) = R_s i_s(t)$$

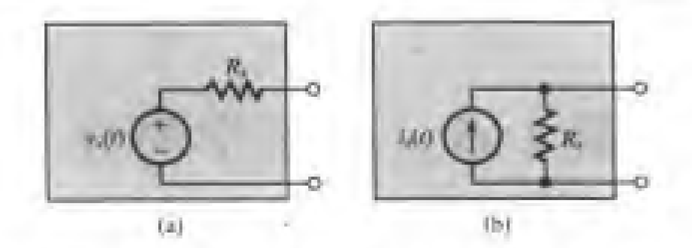


图 1.1 信号源的两种等价表示方法：（a）戴维南形式；（b）诺顿形式

从上述讨论可以明显看出信号是一个时变量，它能够用如图 1.2 所示的图形来表示。事实上，信号中所含的信息内容由随时间发生的幅度变化来表示，也就是说，信息包含在信号波形的“摆动”中。这种波形通常很难用数学语言来描述，换句话说，很难简单地描述如图 1.2 所示的任意波形。但是，为了设计合适的针对特定信号完成特定功能的信号处理电路，这种描述又是非常重要的。

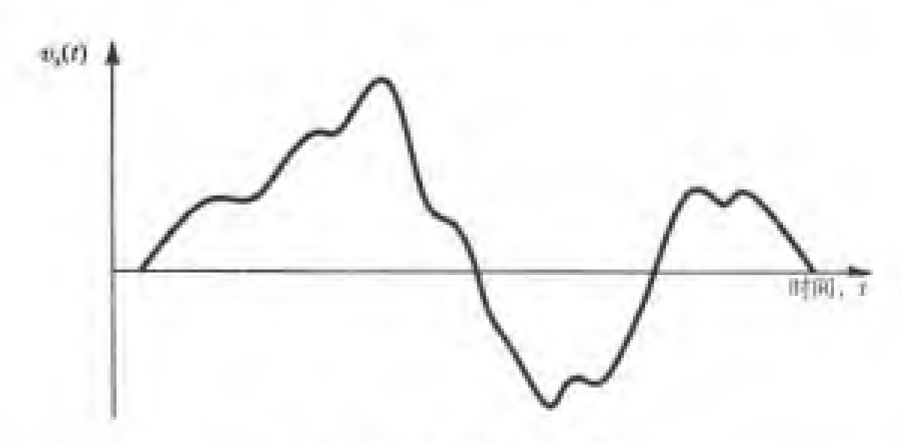


图 1.2 一个任意的电压信号 $v_s(t)$

练习 1.1 对于图 1.1（a）和图 1.1（b）所示的信号源表示，所能观测到的开路输出电压是多少？对于每一个电路，如果输出端短路，电流是多少？因为这两种表示方法等价，那么，v_s，i_s 和 R_s 的关系是什么？

答案：对于图 1.1（a），$v_{oc}=v_s(t)$；对于图 1.1（b），$v_{oc}=R_s i_s(t)$；对于图 1.1（a），$i_{sc}=v_s(t)/R_s$；对于图 1.1（b），$i_{sc}=i_s(t)$；对于等价性，有 $v_s(t)=R_s i_s(t)$

练习 1.2 某信号源有 10 mV 的开路电压和 10 μA 的短路电流，求它的源内阻。

答案：1 kΩ

1.2 信号频谱

对信号和任意的时间函数的一种最有用的描述是它的频谱。信号的这种描述通过傅里叶级数和傅里叶变换[①]这两种数学工具来实现。这里不必关注这些变换的细节，只要知道它们提供了电压信号 $v_s(t)$ 和电流信号 $i_s(t)$ 的一种表示方法就足够了，这种方法是将电压和电流信号表示成不同频率和大小的正弦波形信号之和。这使得正弦信号成为电子电路的分析、设计和测试中非常重要的信号。因此，我们来简单回顾一下正弦曲线的特性。

① 读者如果还没有学过这些内容的话也不必惊慌，第 6 章之前不会用到这些内容。但是对 1.2 节内容有一个大体的了解对学习本书的前面部分应该非常有用。

图 1.3 所示的是一个正弦电压信号 $v_a(t)$，

$$v_a(t) = V_a \sin \omega t \tag{1.1}$$

其中，V_a 是用伏特表示的峰值或电压幅度，ω 是用弧度每秒表示的角频率，也就是 $\omega = 2\pi f$ rad/s（这里 f 是用赫兹表示的频率，$f=1/T$ Hz，而 T 是以秒为单位的时间周期）。

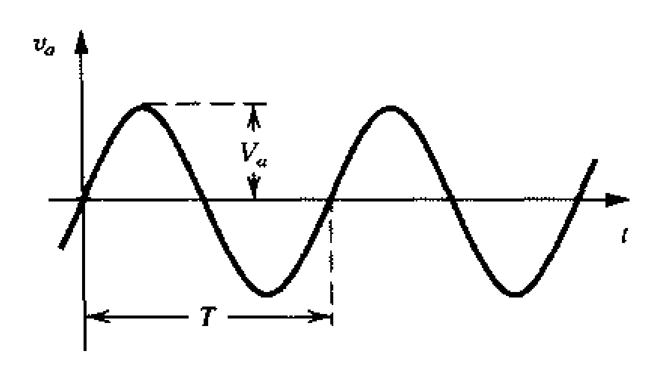


图 1.3　幅度为 V_a，频率为 $f=1/T$ Hz 的正弦电压信号。角频率 $\omega = 2\pi f$ rad/s

正弦波信号完全可以用峰值 V_a、频率 ω 以及它在任意参考时间的相位来描述。在图 1.3 描述的例子中，因为正弦波曲线通过时间原点，因此它的相角为 0。需要说明的是，人们通常通过正弦波信号的均方根值（rms）来表示它的幅度大小。均方根值等于峰值除以 $\sqrt{2}$，因此图 1.3 中的正弦波 $v_a(t)$ 的均方根值为 $V_a/\sqrt{2}$。例如，当我们说家里的电源是 120 V 时就表明它是一个峰值为 $120\sqrt{2}$ V 的正弦波。

现在讨论信号的正弦波之和的表示方法。注意，傅里叶级数是在特定情况下当信号是一个时间周期函数时完成这个任务的。而傅里叶变换具有更好的通用性，它可以得到波形是任意时间函数的信号的频谱。

傅里叶级数可以将一给定时间周期的信号表示成无限数量的正弦波之和，这些正弦波的频率是相关谐波。例如，图 1.4 所示的对称方波信号可以表示成

$$v(t) = \frac{4V}{\pi}\left(\sin \omega_0 t + \frac{1}{3}\sin 3\omega_0 t + \frac{1}{5}\sin 5\omega_0 t + \cdots\right) \tag{1.2}$$

其中，V 是方波信号的幅度，$\omega = 2\pi/T$（T 是方波的周期）称为基频。注意，因为谐波的幅度逐步减小，因此无限级数就可以被截尾，被截取的级数就是对方波的近似。

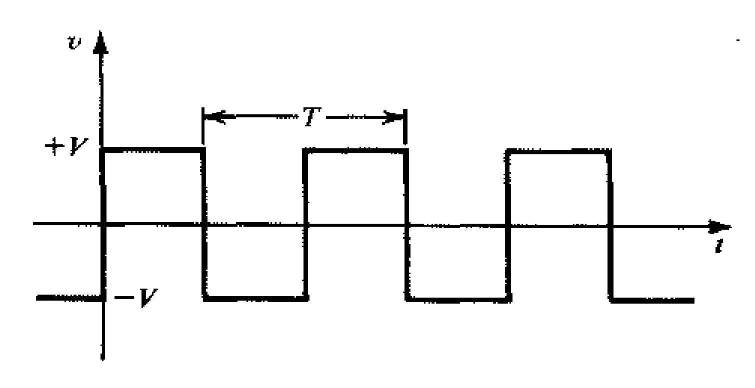


图 1.4　幅度为 V 的对称方波信号

式（1.2）级数中的正弦波组成了方波信号的频谱。该频谱如图 1.5 所示，其中，水平坐标表示以弧度每秒（rad/s）为单位的角频率 ω。

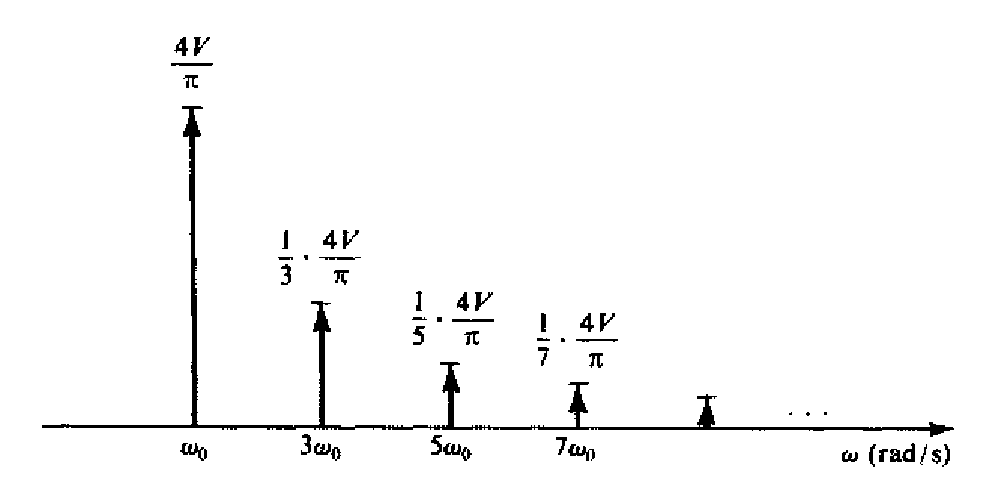


图 1.5　图 1.4 的周期方波的频谱（也称为线状谱）

傅里叶变换也可应用于如图 1.2 描述的非周期时间函数并可给出它的频谱。该频谱是一个频率连续函数，如图 1.6 所示。与由离散频率组成（ω_0和它的谐波频率）的周期信号频谱不同，一般来说非周期信号的频谱包含所有可能的频率。但是，实际信号的频谱的重要部分通常只是频率轴上比较短的一段，这在处理这种信号的时候非常有用。例如，声音信号包括语音和音乐的频谱（从 20 Hz 到 20 kHz 左右），这个频率范围称为音频波段。注意，尽管一些音调的频率超过了 20 kHz，但是人耳不能够听到高于 20 kHz 的频率。还有一个例子，模拟视频信号的频谱在 0 MHz 到 4.5 MHz 的范围内。

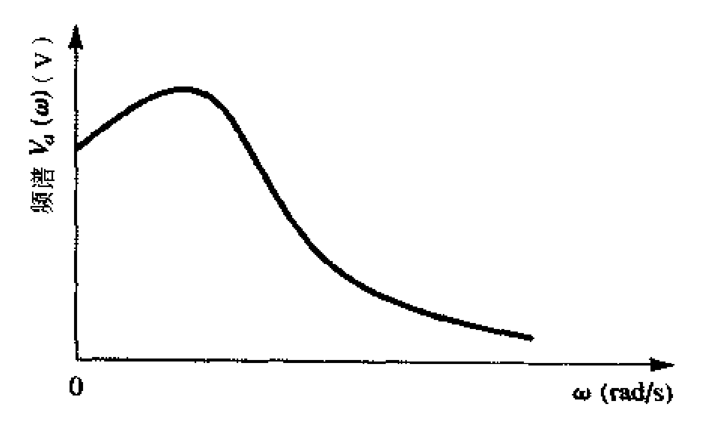


图 1.6　图 1.2 所示的任意波形的信号频谱

通过对本节的内容进行一个总结可以看出，一个信号既可以用随时间变化的波形表示，如图 1.2 所示的电压信号 $v_a(t)$，也可以用频谱来表示，如图 1.6 所示。这两种表示方法分别被称为时域表示法和频域表示法。$v_a(t)$的频域表示是 $V_a(\omega)$。

练习 1.3　求周期为 1 ms 的正弦波信号的频率 f 和 ω。

答案：f=1000 Hz；$\omega = 2\pi\times10^3$ rad/s

练习 1.4　求下列频率表示的正弦波的周期 T：（a）f = 60 Hz；（b）f=10^{-3} Hz；（c）f=1 MHz。

答案：16.7 ms；1000 s；1μs

练习 1.5　UHF（超高频）电视广播波段从 14 频道开始，频率从 470 MHz 到 806 MHz。每个频道分配 6 MHz，问在该波段内可以分配多少个频道？

答案：56；14 频道到 69 频道

练习 1.6 如图 1.4 所示的方波信号「傅里叶级数见式（1.2）」被加到电阻上，总的功率损耗可以直接用 $P=1/T\int_0^T(v^2/R)dt$ 计算或通过对每个谐波引起的损耗进行相加来间接得到，即 $P=P_1+P_3+P_5+\cdots$，而每一项都可以直接通过 rms 值得到。证明这两种方法是等价的。一个方波中有多少能量包含在基波中？有多少包含在它的前 5 个谐波中？有多少包含在它的前 7 个谐波中？有多少包含在它的前 9 个谐波中？有多少个谐波包含了 90%的能量？（注意，在计算谐波次数时，基波 ω_0 是第一个，$2\omega_0$ 是第二个。）

答案：0.81；0.93；0.95；0.96；3

1.3 模拟信号与数字信号

图 1.2 所示的电压信号是一个模拟信号，这是因为该信号与它所表示的实际信号是类似的。模拟信号的幅度可以取任何值，也就是说，模拟信号的幅度是一个连续变化量。现实生活中绝大多数的信号都是模拟信号。处理这类信号的电子电路称为模拟电路。本书将讨论各种不同的模拟电路。

另一种信号表示形式是数列，每个数字表示在某一时刻信号的幅度，这样的信号就是数字信号。为了了解如何用这种形式来表示一个信号，也就是说，如何将信号从模拟形式转换成数字形式，可参见图 1.7（a）。图中的曲线表示一个电压信号，它与图 1.2 中的信号相同。我们沿时间轴等间隔地标注了时间标记 t_0，t_1，t_2，…，依次类推。在每个时刻点对信号的大小进行测量的过程叫做采样。图 1.7（b）是图 1.7（a）所示的信号通过采样得到的表示法。图 1.7（b）所示的信号只有在采样时刻被确定，它不再是一个时间连续的函数，而是一个时间离散信号。但是，因为每个采样点的幅度大小可以是一个连续范围内的任意值，因此图 1.7（b）所示的信号仍然是一个模拟信号。

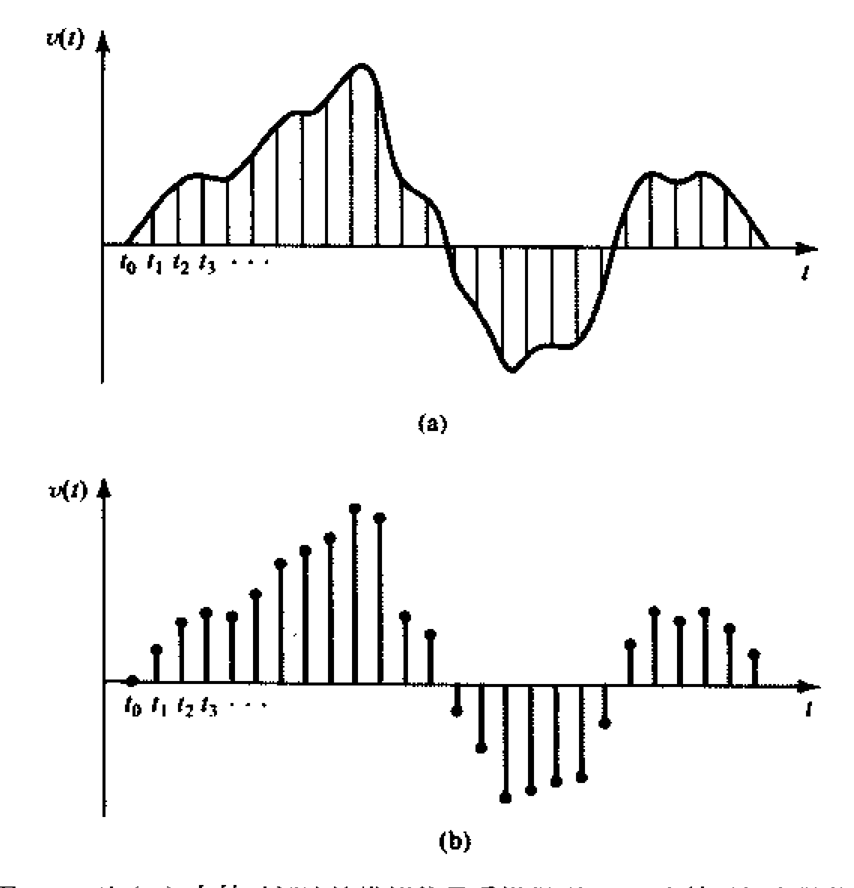


图 1.7 对（a）中的时间连续模拟信号采样得到（b）中的时间离散信号

如果用一些有限数字来表示图 1.7（b）中信号的每个采样值的大小，那么信号的幅度将不再连续，这称为量化、离散化或数字化。所得到的数字信号将仅仅是一系列数字，这些数字表示了连续信号采样值的大小。

所选择的用来表示信号采样的数字系统将影响所产生的数字信号的类型，并且对所要求的处理信号的数字电路的复杂程度也有很大影响。有证据表明，二进制数字系统产生的是最简单的数字信号和电路。在二进制系统中，每一位数字只有两种可能的取值——0 和 1。与此相对应的是：二进制系统的数字信号只需要两个电平值，它们可以用低和高来标识。例如，本书所用到的一些数字电路中，该电平值是 0 V 和+5 V。图 1.8 显示了随时间变化的数字信号。该信号是一个脉冲串，0 V 表示 0 信号或逻辑 0，而+5 V 表示逻辑 1。

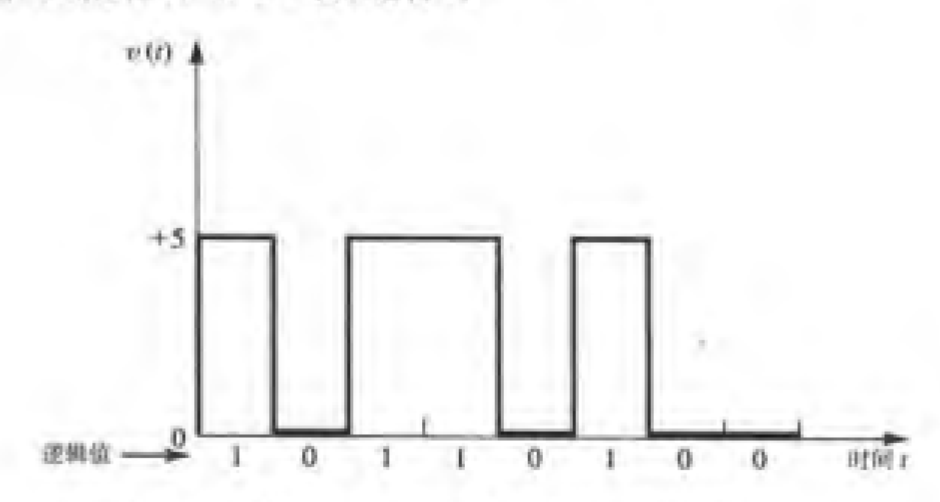


图 1.8 一个特定的二进制数字信号随时间的变化曲线

如果使用 N 位二进制数来表示模拟信号的每一个采样值，那么数字化的采样值可以表示成

$$D = b_0 2^0 + b_1 2^1 + b_2 2^2 + \cdots + b_{N-1} 2^{N-1} \tag{1.3}$$

其中，$b_0, b_1, \cdots, b_{N-1}$ 表示 N 位，值为 0 或 1。b_0 位是最低有效位（LSB），b_{N-1} 是最高有效位（MSB）。通常，该二进制数被写成 $b_{N-1}b_{N-2}\cdots b_0$。可以看到，这种表示法将模拟采样值量化成 2^N 个电平中的一个。很明显，位数越大（也就是 N 越大），数字 D 就越接近于模拟采样值的大小。也就是说，增加位数可以减小量化误差、提高模数转换的分辨率。但是这个性能的提高通常是以更复杂和成本更高的电路实现为代价的。这里我们不对这个问题进行深入研究，我们只想让读者认识模拟和数字信号的本质。但是，这里有必要介绍一下现代电子系统中的一个重要的电路模块：模数转换器（A/D 或 ADC）。图 1.9 所示是它的框图。ADC 在输入端接收模拟信号，在它的 N 个输出端输出每个输入信号相应的 N 位数字表示［根据式（1.3）］。因此，尽管在输入端的电压可能是 6.51 V（打个比方），那么在它的每个输出端（例如第 i 个输出端），若 b_i 是 0 或 1，则该端输出电压分别是低（0 V）或高（5 V）。我们将在第 9 章中介绍 ADC 及其对偶电路数模转换器（D/A 或 DAC）。

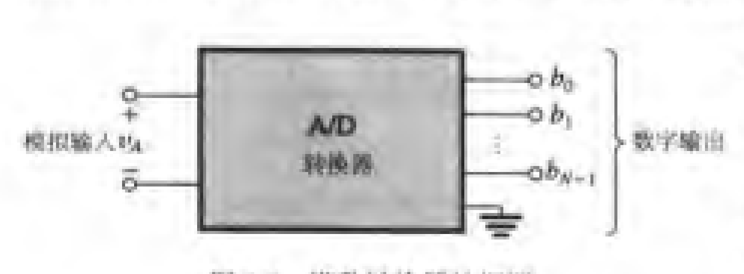


图 1.9 模数转换器的框图

一旦信号是用数字形式表示的，那么就可以利用数字电路来处理。当然，数字电路也能够处理没有模拟源的信号，如表示数字计算机的不同指令的信号。

因为数字电路专门处理二进制信号，因此它们的设计要比模拟电路的设计简单。此外，数字系统可以用许多不同种类的数字电路部件来设计。但是，通常每种部件数是很大的（例如，数十万甚至上百万）。因此，对于设计者来说，数字电路的设计有它自身的困难，但是它能为许多不同的信号处理功能提供可靠和经济的实现方案，而这些方案中，有些是模拟电路所不能实现的。现在，越来越多的信号处理功能通过数字化来完成。这样的例子很多，其范围从数字手表、数字计算器到数字音响系统以及近年来的数字电视。甚至一些如电话通信系统等传统的模拟系统现在也几乎完全被数字化了，此外还有我们不应该忘记的所有数字系统中最重要的数字计算机。

数字系统中最基本的构件是逻辑电路和存储电路，这两种电路在本书中都会涉及。我们将从 1.7 节开始，该节介绍最基本的数字电路——数字逻辑反相器。

最后要说明的是：尽管现在信号数字处理技术的运用非常普遍，但还是存在一些只有用模拟电路才能获得最佳实现的信号处理功能。实际上，许多电子系统既包括模拟部分也包括数字部分。因此，优秀的电子工程师必须对模拟电路和数字电路的设计、或者对现在所知的混合信号或混合模式的设计都要擅长。这也是本书要达到的目的。

练习 1.7　用一个 4 位的数字字（digital word）$D = b_3b_2b_1b_0$[见式（1.3）]来表示一个在 0 V 和+15 V 之间变化的模拟信号 v_A。

（a）给出对应于 $v_A = 0$ V，1 V，2 V 和 15 V 的 D。

（b）v_A 的哪种变化会引起下列位数从 0 变到 1：（i）b_0，（ii）b_1，（iii）b_2，（iv）b_3？

（c）如果 $v_A = 5.2$ V，D 为多少？用这种表示方法的误差是多少？

答案：（a）0000，0001，0010，1111；（b）+1 V，+2 V，+4 V，+8 V；（c）0101，−4%

1.4　放大器

本节将介绍几乎在每一个电子系统中都会用到的一类基本的信号处理功能，也就是信号放大。我们将把放大器作为一个电路构件来学习，也就是只考虑它的外部特性，而它的内部电路设计放在后面几章中讨论。

1.4.1　信号放大

从概念上讲，最简单的信号处理任务是信号放大。信号放大的需求缘于换能器提供的信号都是微弱信号，其范围在毫伏或微伏并且能量很小。这样小的信号不能够进行可靠的处理，如果信号幅度变大的话，那么处理起来会变得更容易。实现该任务的功能模块就是信号放大器。

现在有必要讨论一下对放大器的线性要求。当放大一个信号时，必须注意要使包含在信号中的信息不能发生变化而且不能引入新的信息。因此当把如图 1.2 所示的信号加入到一个放大器时，我们希望放大器的输出信号除了有一个更大的幅度外应该是输入信号的精确复制。换句话说，输出波形的摆动必须与输入波形的摆动相同。任何波形上的变化都被认为是失真，并且显然是不可以的。

一个保持信号波形的放大器可以用下面的关系式来描述：

$$v_o(t) = Av_i(t) \tag{1.4}$$

其中，v_i 和 v_o 分别是输入和输出信号，A 是表示放大能力的常数，称为放大器增益。式（1.4）是一个线性关系式，因此它所描述的放大器是一个线性放大器。很容易就可以看出，如果 v_o 和 v_i 的关系中包含 v_i 的高次项，那么 v_o 的波形将不再与 v_i 的波形相同。这样的放大器被认为存在非线性失真。

截至目前讨论的放大器主要用来处理非常小的输入信号，其目的是使信号幅度增大，因此被认为是电压放大器。家庭立体声系统中的前置放大器就是一个电压放大器的例子。然而，它的作用通常并不仅仅是放大信号，具体地说，它还能够完成输入信号频谱的整形。然而我们现在不讨论这个问题。

我们在这里还要提一下另一种类型的放大器——功率放大器。这种放大器只能提供不大的电压增益但能提供较大的电流增益。因此，当它从所连接的输入信号源（通常是一个前置放大器）得到的功率较小时，功率放大器能够向它的负载提供较大的功率。家庭立体声系统的功率放大器就是这样一个例子，这个功率放大器用来提供足够的功率以驱动它的负载——扬声器。这里必须注意，扬声器是立体声系统中的输出换能器，它把系统的电子输出信号转换成一个声音信号。通过对功率放大器的仔细研究可以进一步理解其线性要求。一个线性的功率放大器可以无失真地再现柔和而响亮的音乐。

1.4.2　放大器电路的符号

显然，信号放大器是一个二端口网络，它的功能由图 1.10（a）所示的电路符号来表示。该符号明确地区分了输入和输出端口并指明了信号流动的方向。因此，在后续的框图中没有必要标出输入和输出两个端口。为了不失一般性，我们把放大器画成有两个输入端子和两个输出端子并且输入端子不同于输出端子的符号。一个更通用的符号如图 1.10（b）所示。在图中，放大器的输入和输出端口存在一个公用端子，这个公用端子作为一个参考点被称做电路地。



图 1.10　（a）放大器的电路符号；（b）输入输出端口存在公共接地端子的放大器

1.4.3　电压增益

一个线性放大器的输入信号为 $v_I(t)$，在输出端的负载电阻 R_L［见图 1.11（a）］两端产生一个 $v_O(t)$ 信号，$v_O(t)$ 信号是 $v_I(t)$ 信号的放大复制。放大器的电压增益定义为

$$\text{电压增益}(A_v) \equiv \frac{v_O}{v_I} \tag{1.5}$$

图 1.11（b）显示了线性放大器的传输特性。如果在该放大器的输入端加上一个幅度为 $\hat{V}$ 的正弦电压，那么我们就可以在输出端得到一个幅度为 $A_v\hat{V}$ 的正弦波。

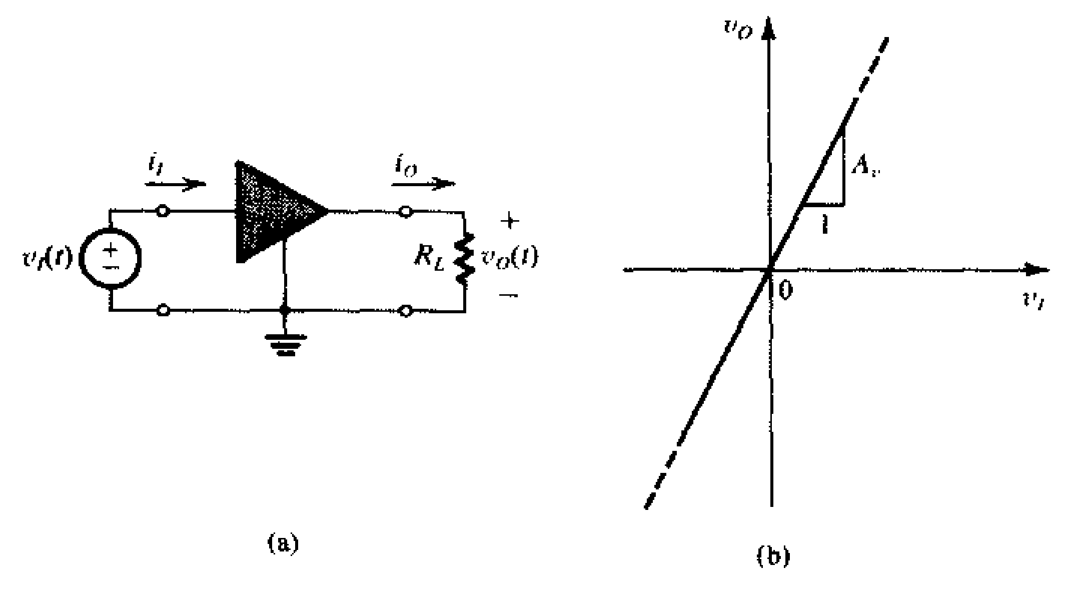


图 1.11 （a）输入信号是 $v_I(t)$，输出端接负载电阻 R_L 的电压放大器；（b）电压增益为 A_v 的线性电压放大器的传输特性

1.4.4 功率增益与电流增益

放大器增大了信号的功率，这是放大器区别于变压器的一个重要特性。对于变压器来说，尽管传输给负载的电压可以大于输入到变压器输入端（初级）的电压，但是传输给负载的功率（在变压器的次级）小于或至多等于信号源提供的功率。而放大器将为负载提供比从信号源得到的功率还要大的功率，因此，放大器具有功率增益。图 1.11（a）所示的放大器的功率增益定义为

$$\text{功率增益}(A_p) \equiv \frac{\text{负载功率}(P_L)}{\text{输入功率}(P_I)} \tag{1.6}$$

$$= \frac{v_O i_O}{v_I i_I} \tag{1.7}$$

其中，i_O是放大器传输给负载（R_L）的电流，$i_O = v_O/R_L$，i_I是放大器从信号源得到的电流。放大器的电流增益定义为

$$\text{电流增益}(A_i) \equiv \frac{i_O}{i_I} \tag{1.8}$$

由式（1.5）~ 式（1.8）可以得到

$$A_p = A_v A_i \tag{1.9}$$

1.4.5 用分贝表示的增益

上面定义的放大器的增益是相同量纲的物理量之比，因此它们既可以表示成无量纲的数，也可以为了突出起见将电压增益表示成 V/V，电流增益表示为 A/A，功率增益表示为 W/W。由于一些历史原因，电子工程师经常用对数来表示放大器的增益。具体地说，电压增益 A_v 可以表示成

$$\text{用分贝表示的电压增益} = 20\log|A_v| \quad \text{dB}$$

电流增益 A_i 可以表示成

$$\text{用分贝表示的电流增益} = 20 \log |A_i| \quad \text{dB}$$

因为功率与电压（或电流）的平方相关，因此可以将功率增益 A_p 用分贝表示为

$$\text{用分贝表示的功率增益} = 10 \log A_p \quad \text{dB}$$

对电压增益和电流增益取绝对值是因为在某些情况下 A_v 或 A_i 可能是负值。一个负的增益 A_v 只表明输入和输出信号有一个 180°的相位差，并不是指放大器会减弱信号。另一方面，一个电压增益为–20 dB 的放大器事实上是将输入信号衰减为原来的 1/10（也就是说，$A_v = 0.1$ V/V）。

1.4.6 放大器电源

既然传输给负载的功率大于从信号源得到的功率，那么多余的功率从何而来呢？我们从放大器需要直流电源支持它们的工作来看就可以得到答案。这些直流电源提供了传输给负载的额外的功率和放大器内部电路可能损耗的任何功率（如转换成热量的功率）。我们在图 1.11（a）中还没有明确标出这些直流源。

图 1.12（a）显示了需要两个直流电源供电的放大器，这两个电源是一个值为 V_1 的正电源和一个值为 V_2 的负电源。放大器有两个标有 V^+ 和 V^- 的端子连接到直流电源。为了使放大器能够工作，标有 V^+ 的端子必须连接到电压值为 V_1 的直流电源的正极，而该电源负极接地。同样，标有 V^- 的端子必须连接到电压值为 V_2 的直流电源的负极，而电源的正极接地。如果从正电源得到的电流为 I_1、从负电源得到的电流为 I_2［见图 1.12（a）］，那么传输给放大器的直流功率为

$$P_{dc} = V_1 I_1 + V_2 I_2$$

如果放大器电路中损耗的功率为 $P_{dissipated}$，那么放大器的能量守恒方程可以写成

$$P_{dc} + P_I = P_L + P_{dissipated}$$

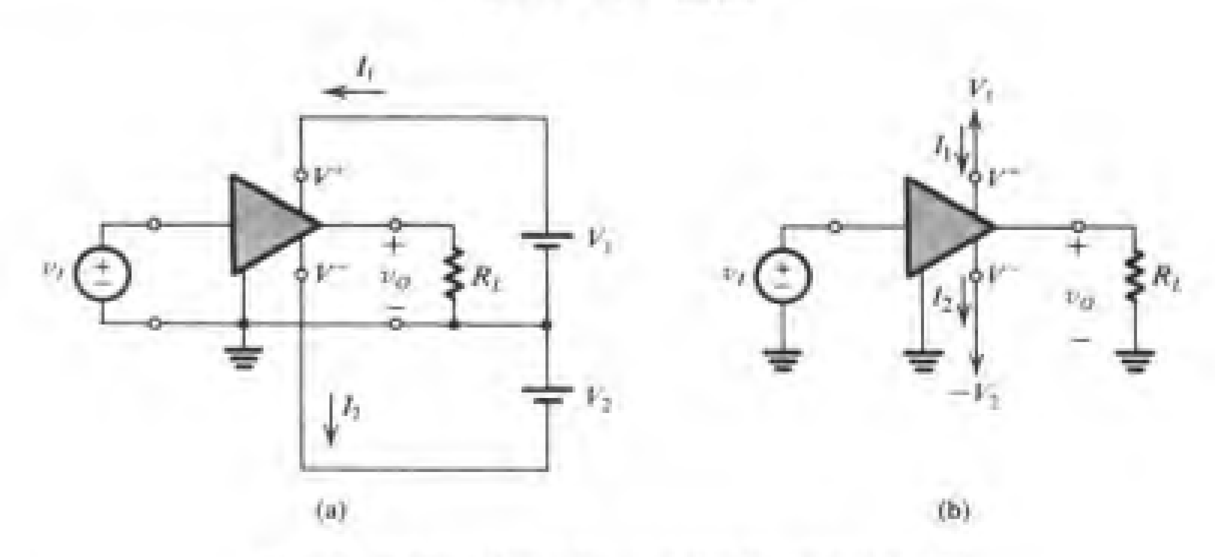


图 1.12 需要两个直流电源（显示的电池）供电的放大器

其中，P_I 是从信号源得到的功率，P_L 是传输给负载的功率。因为从信号源得到的功率通常很小，因此放大器的效率定义为

$$\eta = \frac{P_L}{P_{dc}} \times 100 \tag{1.10}$$

功率效率是处理大功率放大器的一个很重要的性能参数。这种放大器叫做功率放大器，例如它们

可被用来作为立体声系统的输出放大器。

为了简化电路框图，我们将采用图 1.12（b）中表示的约定。其中，V^+端连接到一个向上的箭头，而 V^-端连接到一个向下的箭头，相应的电压在每个箭头边上标明。注意，在许多情况下，我们不会明确画出放大器与直流电源的连接。最后还要注意，有一些放大器只需要一个电源。

例题 1.1　考虑一个由±10 V 电源供电的放大器。输入端加入一个峰值为 1 V 的正弦电压，且将一个 9 V 的正弦电压输出到 1 kΩ的负载电阻上。放大器从每个电源获得 9.5 mA 的电流，并且放大器的输入电流是一个峰值为 0.1 mA 的正弦波。求放大器的电压增益，电流增益，功率增益，从直流电源获得的功率，放大器的功率损耗以及放大器效率。

解：

$$A_v = \frac{9}{1} = 9\ \text{V/V}$$

或

$$A_v = 20\log 9 = 19.1\ \text{dB}$$

$$\hat{I}_o = \frac{9\ \text{V}}{1\ \text{k}\Omega} = 9\ \text{mA}$$

$$A_i = \frac{\hat{I}_o}{\hat{I}_i} = \frac{9}{0.1} = 90\ \text{A/A}$$

或

$$A_i = 20\log 90 = 39.1\ \text{dB}$$

$$P_L = V_{o_{rms}} I_{o_{rms}} = \frac{9}{\sqrt{2}}\frac{9}{\sqrt{2}} = 40.5\ \text{mW}$$

$$P_I = V_{i_{rms}} I_{i_{rms}} = \frac{1}{\sqrt{2}}\frac{0.1}{\sqrt{2}} = 0.05\ \text{mW}$$

$$A_p = \frac{P_L}{P_I} = \frac{40.5}{0.05} = 810\ \text{W/W}$$

或

$$A_p = 10\log 810 = 29.1\ \text{dB}$$

$$P_{dc} = 10\times 9.5 + 10\times 9.5 = 190\ \text{mW}$$

$$P_{dissipated} = P_{dc} + P_I - P_L = 190 + 0.05 - 40.5 = 149.6\ \text{mW}$$

$$\eta = \frac{P_L}{P_{dc}}\times 100 = 21.3\%$$

■

从上面的例子可以看出，放大器将从电源获得的一些直流功率转换成信号功率传输给负载。

1.4.7　放大器饱和

实际上，放大器的传输特性只有在一个有限的输入和输出电压范围内才是线性的。对于一个由双电源供电的放大器来说，它的输出电压不能大于一个特定的正极限，也不能小于一个特定的负极限。最终的传输特性如图 1.13 所示，其正负饱和电平分别为 L_+和 L_-。这两个饱和电平通常在相应电源电压的 1 V 左右的范围内。

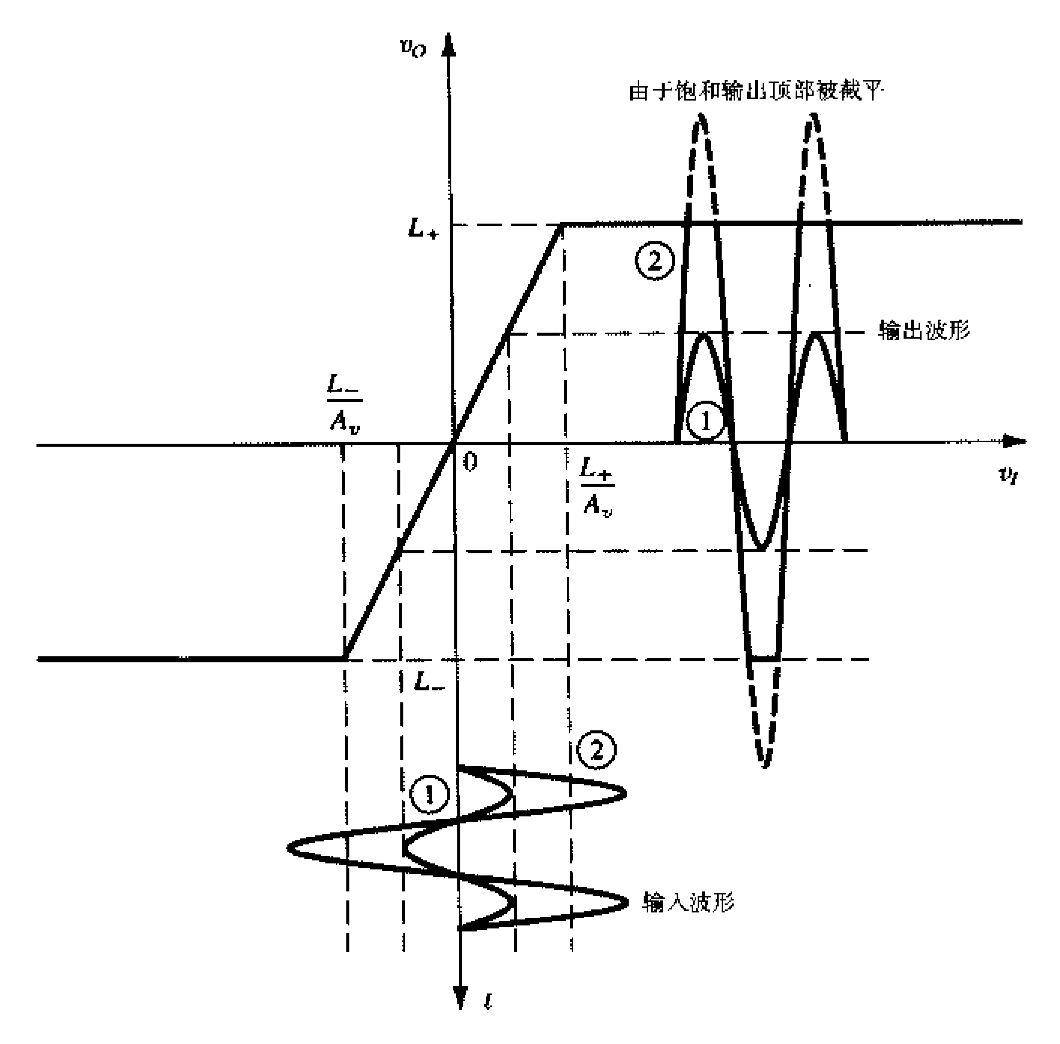


图 1.13 放大器除了输出饱和之外的线性传输特性

显然，为了避免输出信号的波形发生失真，输入信号的摆幅必须在线性运算范围之内，即

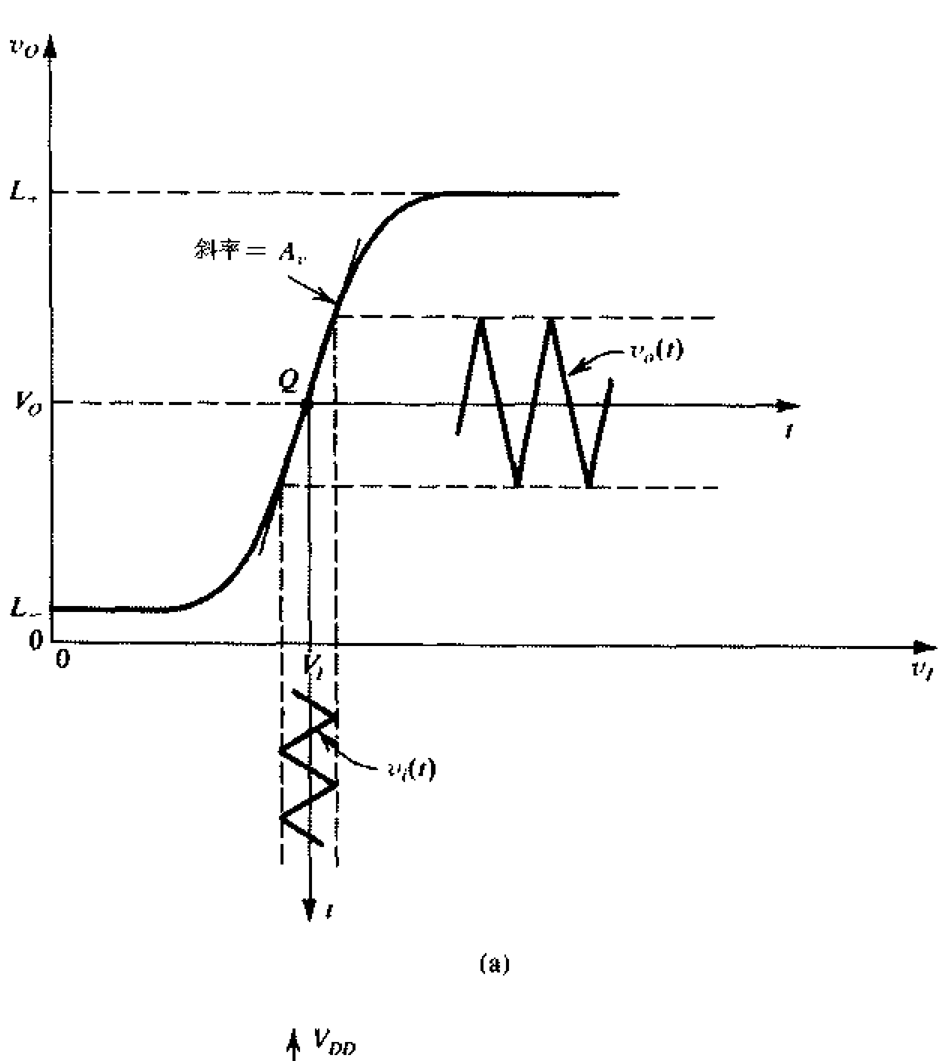
$$\frac{L_-}{A_v} \leqslant v_I \leqslant \frac{L_+}{A_v}$$

图 1.13 显示了两个输入波形和相应的输出波形。可以看出，因为放大器的饱和，使得较大的波形的顶峰被截平。

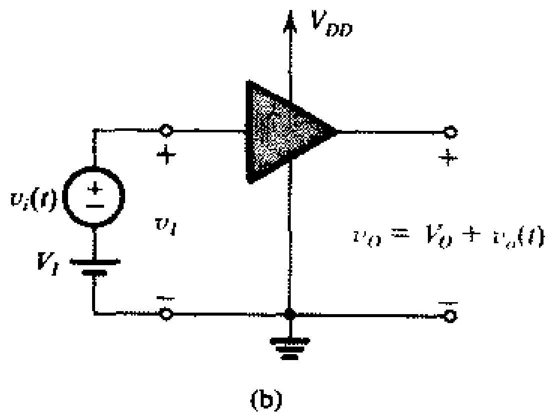
1.4.8 非线性传输特性与偏置

除了上面讨论的输出饱和效应以外，放大器的传输特性被假定是完全线性的。但是实际的放大器的传输特性可能具有不同程度的非线性，其非线性程度取决于在设计放大器电路时为保证线性所付出的努力。考虑如图 1.14 所示的传输特性的例子。该特性是一个典型的单电源（正电源）供电的简单放大器。很明显，该传输特性是非线性的，并且因为是单电源供电，所以也不是以原点为中心的。幸运的是，目前存在一种简单的技术可以从一个具有非线性传输特性的放大器中得到线性放大。

该技术首先对电路进行偏置，从而可使其工作在传输特性的中间位置。这可以通过施加直流电压 V_I 实现，如图 1.14 所示。其中，工作点用 Q 来表示，相应的输出直流电压为 V_O。Q 点称为静态点、直流偏置点，或简单地称为工作点。然后，将所要放大的时变信号 $v_i(t)$ 叠加在直流偏置电压 V_I 上，如图 1.14 所示。此时，总的瞬时输入 $v_I(t)$ 为



(a)



(b)

图 1.14　（a）一个具有非线性传输特性的放大器；（b）放大器在图中所示的偏置下和信号幅度足够小时实现线性放大。该放大器利用单电源 V_{DD} 供电

$$v_I(t) = V_I + v_i(t)$$

随着 $v_i(t)$围绕 V_I变化，瞬时工作点也围绕直流工作点 Q 沿传输曲线上下移动。以这种方式就可以得到总的瞬时输出电压 $v_O(t)$的波形。可以看出，只要保持 $v_i(t)$的幅度足够小，瞬时工作点就可以被限制在以 Q 点为中心的传输曲线的一段几乎是线性的范围内。这反过来又导致了输出的时变部分与 $v_i(t)$成比例，即

$$v_O(t) = V_O + v_o(t)$$

和

$$v_o(t)=A_v v_i(t)$$

其中，A_v是传输曲线近似线性段的斜率，也就是

$$A_v=\left.\frac{dv_O}{dv_I}\right|_Q$$

这样就可以实现线性放大。当然，这有一个限制条件：输入信号必须足够小。增大输入信号的幅度会使得放大器的工作不再被限制在传输曲线的近似线性段的范围之内，从而会导致输出波形的失真。该非线性失真是我们不想要的：输出信号包含了输入信号所不含有的额外的寄生信号。在晶体管放大器的设计中，我们将经常使用偏置技术和相关的小信号近似。

例题 1.2 某晶体管放大器具有如下的传输特性：

$$v_O=10-10^{-11}e^{40v_I} \tag{1.11}$$

并有$v_I\geqslant 0$ V和$v_O\geqslant 0.3$ V。求L_+、L_-及相应的v_I值，并计算产生$V_O=5$ V的直流偏置电压V_I以及在相应工作点时的电压增益。

解：显然，L_-是0.3 V。将$v_O=0.3$ V代入式（1.11）就可以得到相应的v_I值，也就是

$$v_I=0.690\ \text{V}$$

当$v_I=0$时可以得到L_+，因此可得

$$L_+=10-10^{-11}\simeq 10\ \text{V}$$

为了对电路进行偏置使得$v_O=5$ V，可以通过将$v_O=5$ V代入式（1.11）来得到直流输入V_I：

$$V_I=0.673\ \text{V}$$

在工作点处的增益可以通过计算dv_O/dv_I在$v_I=0.673$ V处的导数求得，结果为

$$A_v=-200\ \text{V/V}$$

该增益表明该放大器是一个反相放大器，也就是说，输出与输入有一个180°的相位差。图1.15显示了该放大器的传输特性的草图（没有按比例绘制），从图中可以看出放大器的反相特性。

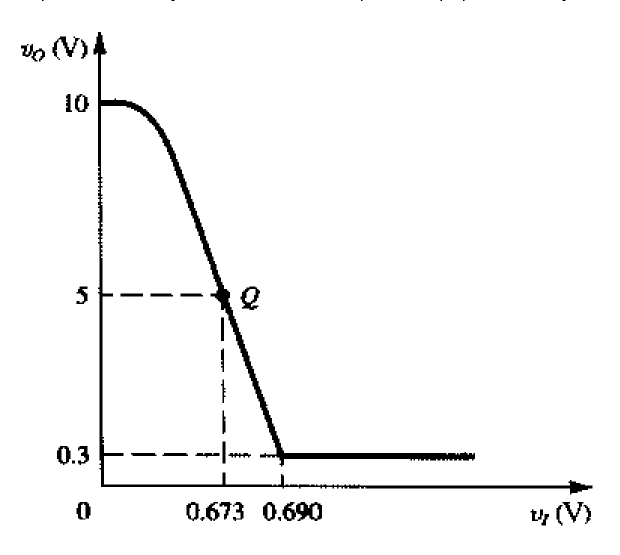


图 1.15 例题1.2的放大器的传输特性草图。注意，该放大器是反相放大器（即增益是负的） ■

一旦放大器偏置正确并且输入足够小，那么放大器的工作被认为是线性的，因此我们就可以利用线性电路分析技术来分析放大器的信号特性。这是1.5节和1.6节的内容。

1.4.9 符号含义

现在，我们要把注意力转到我们前面使用的以及整本书所要采用的术语上。总的瞬时量用小写字母和大写下标表示，例如，$i_A(t)$和 $v_C(t)$。直流量用大写字母和大写下标表示，如 I_A，V_C。直流电压源电压用大写的 V 和双写的大写下标表示，如 V_{DD}。从电源得到的直流电流用类似的方法来表示，例如，I_{DD}。最后，增量信号用小写字母和小写下标表示，如 $i_a(t)$，$v_c(t)$。如果信号是正弦信号，那么它的幅度用大写字母和小写下标表示，如 I_a 和 V_c。该标注如图 1.16 所示。

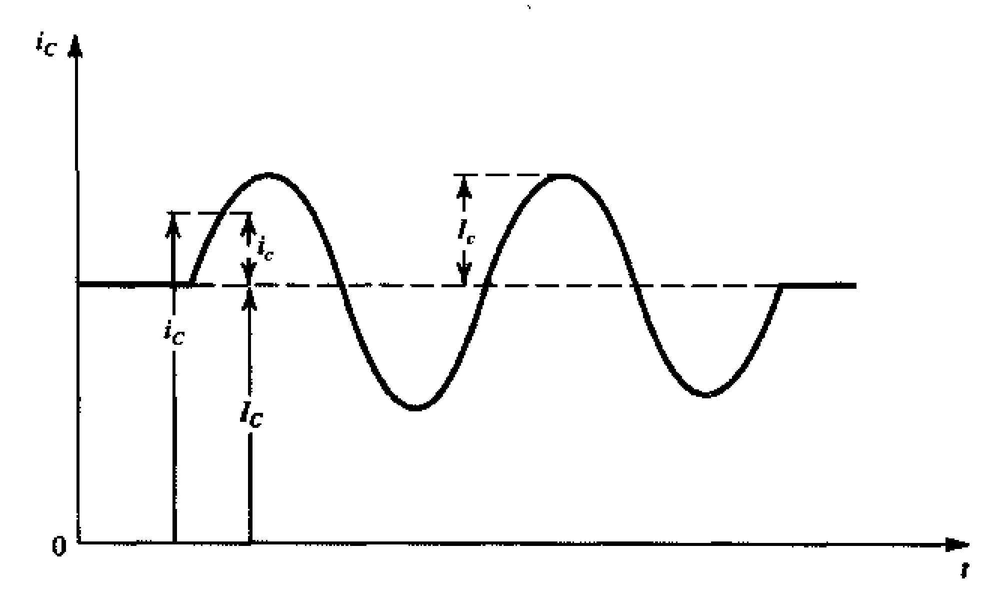


图 1.16　本书采用的符号含义

练习 1.8　一个放大器的电压增益为 100 V/V，电流增益为 1000 A/A。用分贝（dB）来表示电压和电流增益，并求出功率增益。

答案：40 dB；60 dB；50 dB

练习 1.9　一个放大器由一个 15 V 的电源供电，并向 1kΩ的负载提供峰值为 12 V 的正弦波信号，假设从信号源得到的输入电流可以忽略，从 15 V 的电源得到的直流电流为 8 mA。求放大器的损耗功率以及放大器的效率。

答案：102 mW；15%

练习 1.10　本练习的目的是探讨小信号近似的限制条件。假设例题 1.2 中放大器的输入是 1 mV 的正输入信号且叠加在直流偏置电压 V_I 上。求以下两种情况下相应的输出信号：(a) 假定放大器在工作点附近是线性的，也就是说，使用式（1.2）得到的增益值。(b) 使用放大器的传输特性。当输入信号是 5 mV 和 10 mV 时，重复计算输出电压值。

答案：−0.2 V；−0.204 V；−1 V；−1.107 V；−2 V；−2.459 V

1.5 放大器电路模型

本书的一个优势是考虑了使用不同类型的晶体管来进行放大器设计。使用一个晶体管与使用 20 个或甚至更多晶体管的电路复杂度是不一样的。为了能够将得到的放大器电路作为一个构件应用在系统中，必须对它的终端行为进行特征化或建立模型。本节将分析简单而有效的放大器模型。这些模型不考虑放大器内部电路的复杂性，模型参数值既可以通过对放大器电路进行分析得到，也可以通过对放大器的终端进行测量得到。

1.5.1 电压放大器

图 1.17（a）显示了电压放大器的电路模型。该模型包含一个增益系数为 A_{vo} 的电压控制电压源、一个使放大器从信号源获得输入电流的输入电阻 R_i，以及一个当放大器向负载提供输出电流时反映输出电压变化的输出电阻 R_o。特别是我们给这个放大器模型的输入端接上信源内阻为 R_s 的电压源 v_s，输出端接负载电阻 R_L，见图 1.17（b）。非零输出电阻 R_o 上的电压只占输出电压 $A_{vo}v_i$ 的一部分。根据电压分压法则可以得到

$$v_o = A_{vo}v_i \frac{R_L}{R_L + R_o}$$

因此电压增益为

$$A_v = \frac{v_o}{v_i} = A_{vo}\frac{R_L}{R_L + R_o} \tag{1.12}$$

为了不损失把放大器的输出耦合到负载的增益，输出电阻 R_o 应该远小于负载电阻 R_L。换句话说，对于一个给定的 R_L，必须设计放大器的 R_o，使其远小于 R_L。此外，在一些应用中，R_L 将在一定范围内发生变化，为了使输出电压 v_o 尽可能稳定，放大器的输出电阻 R_o 必须远小于 R_L 的最小值。一个理想的电压放大器的输出电阻 $R_o = 0$。式（1.12）同时也指出当 $R_L = \infty$ 时，$A_v = A_{vo}$。因此，A_{vo} 是没有负载时的放大器的电压增益，或称为开路电压增益。此外我们还必须清楚，当指定放大器的电压增益时，必须同时也指定测得或计算得到该增益时的负载电阻的大小。如果负载电阻未被指定，那么通常假设给出的电压增益是开路增益 A_{vo}。

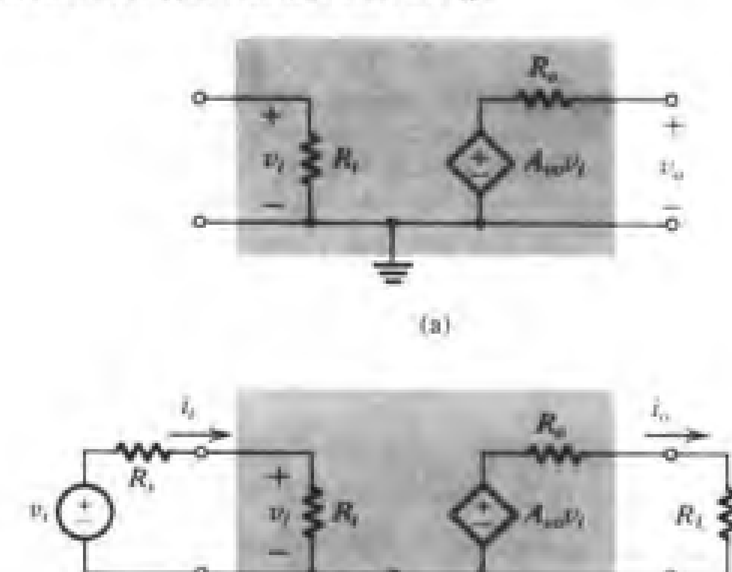


图 1.17（a）电压放大器的电路模型；（b）连接有输入信号源和负载的电压放大器

在输入端，有限输入电阻 R_i 给出了另一个电压分配的结果，也就是实际上只有一部分源信号 v_s 能够到达放大器的输入端，即

$$v_i = v_s \frac{R_i}{R_i + R_s} \tag{1.13}$$

当输入信号耦合到放大器的输入端时，为了不至于丢失大量的输入信号，放大器必须设计成有一个远大于信号源内阻的输入电阻 R_i，也就是，$R_i \gg R_s$。此外，在一些应用中，源内阻会在一定范围内发生变化，为了使这种变化对加入到放大器输入端的信号值的影响最小，设计时必须确保 R_i 远大于 R_s 的最大值。理想的电压放大器的输入电阻 $R_i = \infty$，此时电流增益和功率增益都为无穷大。

将式（1.12）和式（1.13）合并可以得到总的电压增益（v_o/v_s），即

$$\frac{v_o}{v_s} = A_{vo}\frac{R_i}{R_i + R_s}\frac{R_L}{R_L + R_o}$$

人们在某些情况下可能不关心电压增益，而只关心功率增益。例如，源信号可能有相当大的电压，但其源内阻却远大于负载电阻。将该信号源直接连接到负载可能导致信号的大量衰减。在这种情况下，必须要求放大器具有高输入电阻（远大于源内阻）和低输出电阻（远小于负载电阻），但是却有一个较低的电压增益（甚至单位增益）。这种放大器被认为是缓冲放大器。在本书中，我们会经常涉及到缓冲放大器。

练习 1.11　某换能器的电压均方根值为 1 V，电阻为 1 MΩ，需要驱动 10 Ω的负载。如果直接连接，负载上的电压和功率分别是多少？如果将一个输入电阻为 1 MΩ、输出电阻为 10 Ω的单位增益缓冲放大器（$A_{vo} = 1$）插入到信号源和负载之间，那么输出电压和功率又是多少？对于第二种情况，求源到负载的电压增益和功率增益（用分贝表示）。

答案：10 μV rms；10^{-11} W；0.25 V；6.25 mW；−12 dB；44 dB

练习 1.12　当加入 1 kΩ的负载电阻后，电压放大器的输出电压减少了 20%，求放大器的输出电阻。

答案：250 Ω

练习 1.13　某放大器的电压增益为+40 dB，输入电阻为 10 kΩ，输出电阻为 1 kΩ。用它来驱动 1 kΩ的负载，求 A_{vo}，并求用分贝（dB）表示的功率增益。

答案：100 V/V；44 dB

1.5.2　级联放大器

为了满足给定放大器的规范，经常需要设计两级或更多级的级联放大器。为了能设计出实现某种功能的电路，每级通常都不相同。例如，第一级通常要求有较大的输入电阻，而最后一级通常设计成具有较低的输出电阻。我们以一个实例来说明级联放大器的分析和设计。

例题 1.3　图 1.18 描述了一个三级级联放大器。该放大器由一个内阻为 100 kΩ的信号源激励，并将信号输出到 100 Ω的负载电阻上。第一级有相对较高的输入电阻，增益为 10。第二级有一个较高的增益，但是输入电阻较低。最后一级（即输出级）具有单位增益，但是输入电阻较低。计算总的电压增益（即 v_L/v_s）以及电流增益和功率增益。

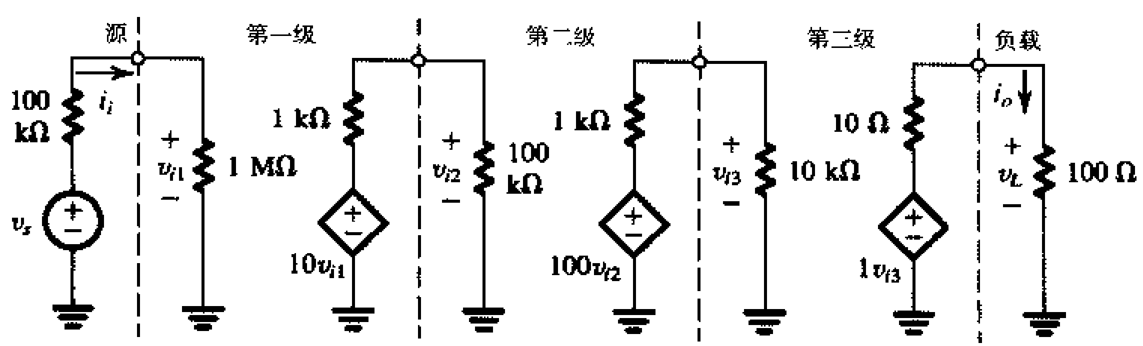


图 1.18　例题 1.3 的三级放大器

解：信号源加到放大器输入端的信号可以使用输入端的电压分压法则得到，即

$$\frac{v_{i1}}{v_s}=\frac{1\ \text{M}\Omega}{1\ \text{M}\Omega+100\ \text{k}\Omega}=0.909\ \text{V/V}$$

第一级的电压增益可以通过将第二级的输入电阻作为第一级的负载来求得，即

$$A_{v1}\equiv\frac{v_{i2}}{v_{i1}}=10\frac{100\ \text{k}\Omega}{100\ \text{k}\Omega+1\ \text{k}\Omega}=9.9\ \text{V/V}$$

同样，第二级的电压增益可以通过将第三级的输入电阻作为第二级的负载来求得，即

$$A_{v2}\equiv\frac{v_{i3}}{v_{i2}}=100\frac{10\ \text{k}\Omega}{10\ \text{k}\Omega+1\ \text{k}\Omega}=90.9\ \text{V/V}$$

最后，输出级的电压增益计算如下：

$$A_{v3}\equiv\frac{v_L}{v_{i3}}=1\frac{100\ \Omega}{100\ \Omega+10\ \Omega}=0.909\ \text{V/V}$$

三级放大器总的增益为

$$A_v\equiv\frac{v_L}{v_{i1}}=A_{v1}A_{v2}A_{v3}=818\ \text{V/V}$$

或 58.3 dB。

为了求得从源到负载的电压增益，将表示输入端增益损失的因子乘以 A_v，即

$$\begin{aligned}\frac{v_L}{v_s}&=\frac{v_L}{v_{i1}}\frac{v_{i1}}{v_s}=A_v\frac{v_{i1}}{v_s}\\&=818\times0.909=743.6\ \text{V/V}\end{aligned}$$

或 57.4 dB。

电流增益为

$$\begin{aligned}A_i\equiv\frac{i_o}{i_i}&=\frac{v_L/100\ \Omega}{v_{i1}/1\ \text{M}\Omega}\\&=10^4\times A_v=8.18\times10^6\ \text{A/A}\end{aligned}$$

或 138.3 dB。

功率增益为

$$\begin{aligned}A_p\equiv\frac{P_L}{P_I}&=\frac{v_L i_o}{v_{i1}i_i}\\&=A_vA_i=818\times8.18\times10^6=66.9\times10^8\ \text{W/W}\end{aligned}$$

或 98.3 dB。注意：

$$A_p(\text{dB})=\frac{1}{2}[A_v(\text{dB})+A_i(\text{dB})]$$

■

下面是对上面例题中的级联放大器的一些评论。放大器输入端的信号通常非常小，为了避免丢失信号强度，第一级通常要有相当大的输入电阻（1 MΩ），它要远大于信号源电阻。一个折中方案是使它的电压增益较小（10 V/V）。第二级不需要有较高的输入电阻，而是需要实现所要求的电压增益。第三级或最后一级（即输出级）不需要提供任何电压增益，它的功能是作为一个缓

冲放大器来提供较大的输入电阻和较小的输出电阻，并且输出电阻远小于 R_L。在这一级才能够将放大器与 10 Ω的负载连接。这几点可以通过下面的练习更具体地体现出来。

练习 1.14 如果没有第三级，例题 1.3 中级联放大器的总电压增益为多少？

答案：81.8 V/V

练习 1.15 对于例题 1.3 的级联放大器，假设 v_s 是 1 mV，求 v_{i1}、v_{i2}、v_{i3} 和 v_L。

答案：0.91 mV；9 mV；818 mV；744 mV

练习 1.16 （a）利用电压放大器模型对例题 1.3 的三级放大器建立模型（不考虑信号源和负载），求 R_i、A_{vo} 和 R_o？

（b）如果 R_L 在 10 Ω和 1000 Ω的范围内变化，求相应的总电压增益 v_o/v_s 的变化范围。

答案：1 MΩ，900 V/V，10 Ω；409 V/V 到 810 V/V

1.5.3 其他类型放大器

在电子系统的设计中，不管是系统的输入级还是系统的中间级或输出级，其信号都有可能是电压或电流。例如，有些换能器有很高的输出电阻，更适合当做电流源来建立模型。同样，有些应用更关注的是输出电流而不是电压。因此，尽管上面讨论的电压放大器是最常用的放大器，但它只是四种可能的放大器类型中的一种。其他三种是电流放大器、互导放大器和互阻放大器。表 1.1 列出了这四种放大器和它们的电路模型、增益参数的定义以及理想的输入、输出电阻值。

表 1.1 四种放大器类型

类型	电路模型	增益参数	理想特性
电压放大器		开路电压增益 $A_{vo} \equiv \frac{v_o}{v_i}\Big\|_{i_o=0}$ (V/V)	$R_i=\infty$ $R_o=0$
电流放大器		短路电流增益 $A_{is} \equiv \frac{i_o}{i_i}\Big\|_{v_o=0}$ (A/A)	$R_i=0$ $R_o=\infty$
互导放大器		短路互导 $G_m \equiv \frac{i_o}{v_i}\Big\|_{v_o=0}$ (A/V)	$R_i=\infty$ $R_o=\infty$
互阻放大器		开路互阻 $R_m \equiv \frac{v_o}{i_i}\Big\|_{i_o=0}$ (V/A)	$R_i=0$ $R_o=0$

1.5.4 四种放大器模型之间的关系

尽管对于给定的放大器来说表 1.1 中的某个模型是最合适的，但任何一个模型都可以用于对放大器建立模型。实际上，可以推导出不同模型的参数之间的一些简单关系。例如，开路电压增益 A_{vo}

与短路电流增益 A_{is} 就有如下的关系：表 1.1 中的电压放大器模型给出的开路输出电压是 $A_{vo}v_i$。电流放大器模型给出的开路输出电压是 $A_{is}i_iR_o$。令这两个值相等，并且有 $i_i = v_i / R_i$，可得

$$A_{vo} = A_{is}\left(\frac{R_o}{R_i}\right) \tag{1.14}$$

同样，我们可以得到

$$A_{vo} = G_m R_o \tag{1.15}$$

和

$$A_{vo} = \frac{R_m}{R_i} \tag{1.16}$$

式（1.14）到式（1.16）可以用来关联任意两个增益参数：A_{vo}、A_{is}、G_m 和 R_m。

从表 1.1 给出的放大器电路模型中，可以看出放大器的输入电阻 R_i 由输入端所加的电压 v_i 和测得（或计算得到）的输入电流 i_i 来确定，即 $R_i = v_i / i_i$。输出电阻是开路输出电压与短路输出电流之比。同样，输出电阻可以通过移去输入信号源（此时 i_i 和 v_i 都为零）和在放大器的输出端施加一个电压信号 v_x 来得到。如果 v_x 在输出端产生的电流为 i_x（注意，i_x 与 i_o 的方向相反），那么 $R_o = v_x / i_x$。尽管这些方法在概念上是正确的，但是实际应用中通常会采用一些更有效的方法来测量 R_i 和 R_o。

上面讨论的放大器模型是单向化的，也就是说，信号流向是单向的，只能从输入到输出。大多数实际的放大器都含有一些反向传输信号，这通常是我们不希望的。尽管如此，我们仍然必须对其进行建模。我们现在暂不进一步探讨这个问题，附录 B 中给出了更完整的线性二端口网络的模型。在第 4 章和第 5 章中，还将增加表 1.1 的模型元件以进一步讨论晶体管放大器的非单向化特性。

例题 1.4 在第 5 章将要介绍的双极型晶体管（BJT）是一个三端器件，在直流偏置和小信号工作时，可以用图 1.19（a）所示的线性电路来建立模型。这三个端分别是基极（B）、发射极（E）和集电极（C）。模型的核心是一个互导放大器，它由一个 B、E 之间的输入电阻（用 r_π 表示）、一个短路互导 g_m 和一个输出电阻 r_o 组成。

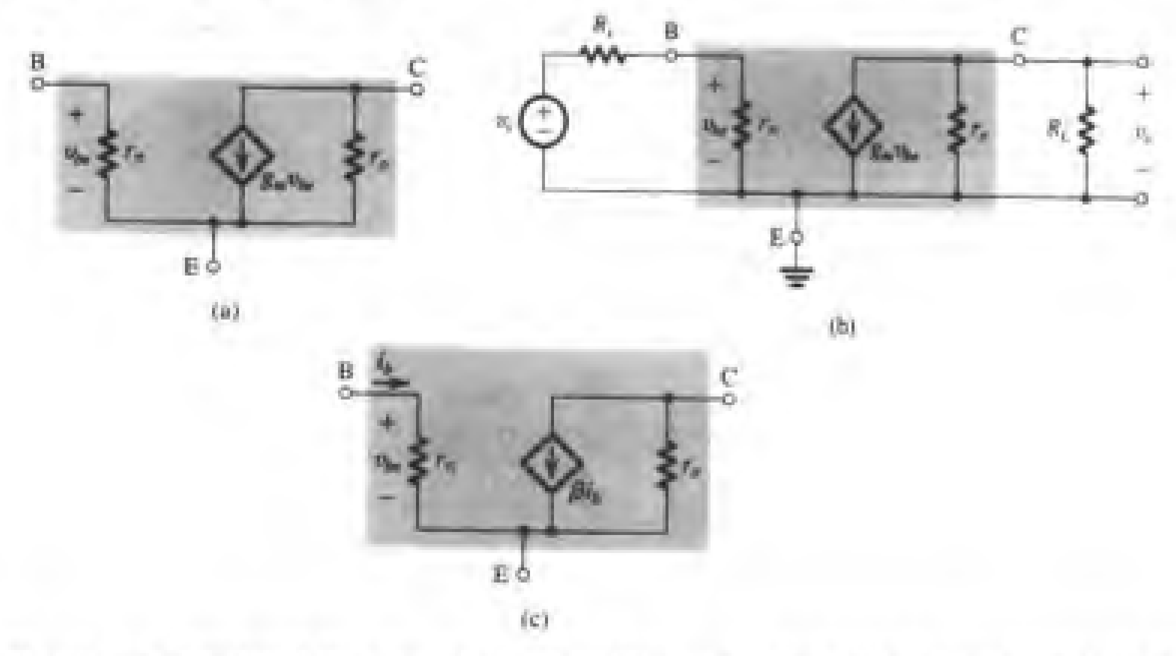


图 1.19 （a）双极型晶体管（BJT）的小信号电路模型；（b）双极型晶体管连接成以发射极作为输入输出公共端的放大器（称为共发射极放大器）；（c）BJT 的另一个小信号电路模型

（a）由于发射极作为输入输出的公共端，因此图 1.19（b）所示的是一个被称为共发射极或发射极接地的晶体管放大器。推导电压增益 v_o/v_s 的表达式，并计算当 $R_s = 5\,k\Omega$，$r_\pi = 2.5\,k\Omega$，$g_m = 40\,mA/V$，$r_o = 100\,k\Omega$ 和 $R_L = 5\,k\Omega$ 时的电压增益的大小。如果忽略 r_o 的影响，那么电压增益的值又是多少？

（b）图 1.19（c）是一个等效模型，它采用的是一个电流放大器而不是互导放大器模型。其短路电流增益 β 应该是多少？给出它的表达式和值。

解：（a）使用电压分压法则可以得到放大器输入端的输入信号为

$$v_{be} = v_s \frac{r_\pi}{r_\pi + R_s} \tag{1.17}$$

接下来将电流（$g_m v_{be}$）和电阻（$R_L \parallel r_o$）相乘可以得到输出电压 v_o：

$$v_o = -g_m v_{be}(R_L \parallel r_o) \tag{1.18}$$

替代式（1.17）中的 v_{be} 可以得到电压增益的表达式为

$$\frac{v_o}{v_s} = -\frac{r_\pi}{r_\pi + R_s} g_m (R_L \parallel r_o) \tag{1.19}$$

由上式可以看出增益是负的，因此表明该放大器是反相的。对于给定的元件值，

$$\begin{aligned}\frac{v_o}{v_s} &= -\frac{2.5}{2.5+5} \times 40 \times (5 \parallel 100) \\ &= -63.5\ \text{V/V}\end{aligned}$$

忽略 r_o 的影响，可得

$$\begin{aligned}\frac{v_o}{v_s} &\simeq -\frac{2.5}{2.5+5} \times 40 \times 5 \\ &= -66.7\ \text{V/V}\end{aligned}$$

它非常接近于包含 r_o 得到的结果。得到这样的结果并不奇怪，因为 $r_o \gg R_L$。

（b）图 1.19（c）的模型等效于图 1.19（a）的模型，因此，

$$\beta i_b = g_m v_{be}$$

但是 $i_b = v_{be}/r_\pi$，因此，

$$\beta = g_m r_\pi$$

对于给定的值，可得

$$\begin{aligned}\beta &= 40\ \text{mA/V} \times 2.5\ \text{k}\Omega \\ &= 100\ \text{A/A}\end{aligned}$$

■

练习 1.17　考虑一个具有表 1.1 第二行所示模型的电流放大器。假设放大器由一具有 R_s 内阻的信号电流源 i_s 激励，输出端接到 R_L 的负载电阻。证明下式给出的总的电流增益：

$$\frac{i_o}{i_s} = A_{is} \frac{R_s}{R_s + R_i} \frac{R_o}{R_o + R_L}$$

练习 1.18　考虑一个互导放大器，它的模型如表 1.1 第三行所示。假设其输入端接有内阻为 R_s 的电压信号源 v_s，输出端接有一个负载电阻 R_L。证明下式给出的总电压增益：

$$\frac{v_o}{v_s} = G_m \frac{R_i}{R_i + R_s}(R_o \parallel R_L)$$

练习 1.19　考虑一个互阻放大器，它的模型如表 1.1 中第 4 行所示。假设放大器由一具有 R_s 内阻的信号电流源 i_s 激励，输出端接 R_L 的负载电阻。证明下式给出的总增益：

$$\frac{v_o}{i_s} = R_m \frac{R_s}{R_s + R_i} \frac{R_L}{R_L + R_o}$$

练习 1.20　求图 E1.20 所示的电路中 B 和 G 两端之间的输入电阻。电压 v_x 是一个测试电压，输入电阻 R_{in} 定义为 $R_{in} \equiv v_x / i_x$。

答案：$R_{in} = r_\pi + (\beta + 1)R_e$

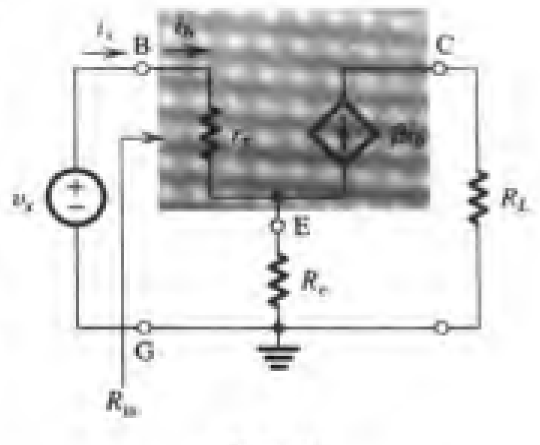


图 E1.20

1.6　放大器频率响应

从 1.2 节我们知道放大器的输入信号可以表示成一系列正弦信号之和。它表明放大器的一个重要特性，即放大器可以用对不同频率的输入正弦信号的响应来描述。这种描述放大器性能的方法称为放大器的频率响应。

1.6.1　放大器频率响应的度量

我们将通过放大器频率响应的度量来介绍该主题。图 1.20 描述了一个线性电压放大器，在输入端，有一个幅度为 V_i、频率为 ω 的正弦信号。在放大器输出端所测得的信号也是具有 ω 频率的正弦信号。这是一个重要的知识点：只要把一个正弦信号加到一个线性电路，得到的输出是与输入具有相同频率的正弦信号。实际上，正弦信号是惟一的一种信号，当它通过线性电路时不会发生形状上的变化。但是观察发现，输出正弦波与输入相比总会有不同的幅度及相位偏移。输出正弦波的幅度（V_o）与输入正弦波的幅度（V_i）之比是放大器在测试频率 ω 上的放大增益（传输增益）的幅度。如果我们用更常用的 $T(\omega)$来表示放大器的传输或传输函数，那么

$$|T(\omega)| = \frac{V_o}{V_i}$$
$$\angle T(\omega) = \phi$$

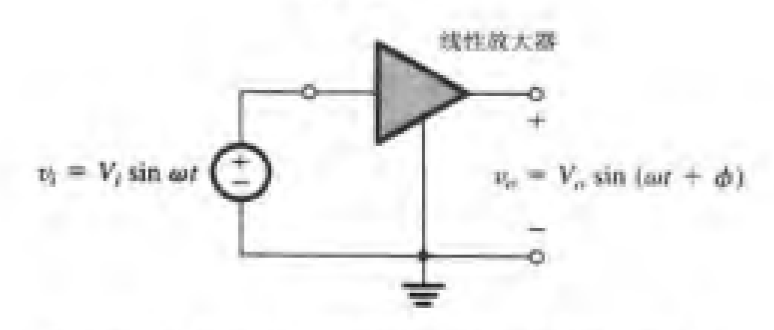


图 1.20　线性放大器频率响应的测量。在测试频率 ω 上，放大器增益由它的幅度（V_o/V_i）和相位 ϕ 表示

放大器对频率为ω的正弦信号的响应完全可以用$|T(\omega)|$和$\angle T(\omega)$来描述。现在，为了得到放大器完全的频率响应，我们简单地改变输入正弦信号的频率并用$|T|$和$\angle T$来表示新值，最后的结果就是体现增益幅度[$|T(\omega)|$]与频率的函数的一张表或一幅图，以及表示相角[$\angle T(\omega)$]与频率的函数的一张表或一幅图。这两个函数（关系曲线）共同组成了放大器的频率响应。第一个称为幅度或幅频响应，第二个称为相频响应。最后要说明的是，通常用分贝（dB）来表示传输函数的幅度，因此得到的是$20\log|T(\omega)|$与频率的关系曲线。

1.6.2 放大器的带宽

图 1.21 给出了一个放大器的幅频响应。可以看出在一定宽度的频率范围之内，也就是大概在ω_1和ω_2之间，增益几乎固定不变。频率低于ω_1或高于ω_2的信号有较低的增益，并且随着频率远离$\omega_1 \sim \omega_2$这一段，增益将逐渐减小。放大器的增益几乎保持不变，或者有一定程度的降低（通常是 3 dB），这一频段称为放大器的带宽。通常，放大器要设计成使其带宽与所要放大的信号的频谱相重合。如果不是这种情况，由于放大器对输入信号的不同频谱分量会放大不同的倍数，因此使得输入信号的频谱产生输出失真。

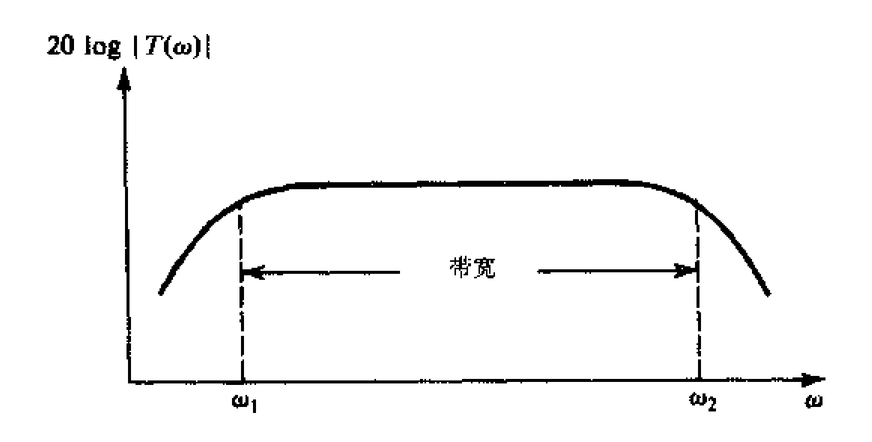


图 1.21 一个典型的放大器幅频响应。$|T(\omega)|$是放大器传输函数的幅度，即输出$V_o(\omega)$与输入$V_i(\omega)$之比

1.6.3 放大器频率响应的计算

上面介绍了度量放大器频率响应的方法，现在简单讨论一下得到频率响应表达式的方法。我们这里只是给出这个重要主题的概述，详细内容将在第 4 章中介绍。

为了计算放大器的频率响应，必须分析考虑所有电抗元件的放大器的等效电路模型①。电路分析以通常的方式进行，但必须包括由电抗表示的电感和电容。一个电感L的电抗或阻抗是$j\omega L$，而一个电容C的电抗或阻抗是$1/j\omega C$，等效的电纳或导纳是$j\omega C$。因此在频域分析中，我们处理的是阻抗或导纳。分析的结果是放大器的传输函数$T(\omega)$：

$$T(\omega)=\frac{V_o(\omega)}{V_i(\omega)}$$

其中，$V_i(\omega)$和$V_o(\omega)$分别是输入和输出信号。$T(\omega)$通常是一个复函数，它的幅度$|T(\omega)|$给出了放大器的幅频响应。$T(\omega)$的相位给出了放大器的相频响应。

① 注意，前面几节中考虑的模型都不包括电抗元件。这些是简化的模型，不能单独用来估计放大器的频率响应

在对一个电路进行分析以确定它的频率响应时，可以通过使用复数频率变量 s 来大大简化代数运算，即一个电感 L 的阻抗是 sL，电容 C 的阻抗是 $1/sC$。用阻抗代替相应的电抗元件并进行标准的电路分析，就可以得到如下的传输函数 $T(s)$：

$$T(s)=\frac{V_o(s)}{V_i(s)}$$

然后，用 $j\omega$ 代替 s 就可以得到用物理频率表示的传输函数 $T(j\omega)$。注意，$T(j\omega)$ 是与前面所讲的 $T(\omega)$ 相同的函数[①]，这里的 j 是为了强调 $T(j\omega)$ 是由 $T(s)$ 中的 s 用 $j\omega$ 代替后得到的。

1.6.4　单时间常数网络

在对放大器电路进行分析以确定它们的频率响应时，掌握单时间常数网络（STC）的频率响应特性知识对分析有极大帮助。STC 网络是（或者可以简化成）由一个电抗元件（电感或电容）和一个电阻组成的网络。图 1.22 就是一个例子。一个由电感 L 和一个电阻 R 组成的 STC 网络的时间常数为 $\tau=L/R$，由电容 C 和电阻 R 组成的 STC 网络的时间常数 τ 为 $\tau=CR$。

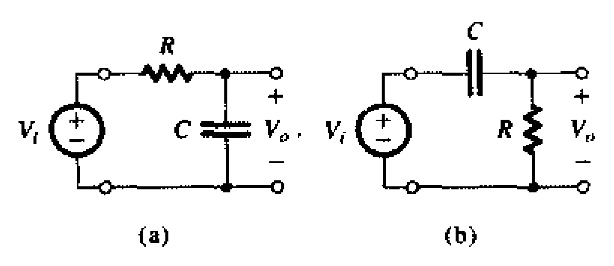


图 1.22　STC 网络的两个例子：（a）低通网络；（b）高通网络

附录 D 给出了 STC 网络的分析以及它们对正弦信号、阶跃信号和脉冲信号的响应。这部分内容所涉及的知识在本书的很多地方都要用到，因此读者要仔细阅读附录。就这个问题而言，我们特别需要知道频率响应的结果，实际上，我们现在就要讨论这个重要主题。

大多数 STC 网络可以分成两类[②]——低通（LP）和高通（HP），这两类网络显示了明显不同的信号响应性能。作为一个例子，图 1.22（a）所示的 STC 网络是一个低通类型，而图 1.22（b）的网络是一个高通类型。通过观察这两个电路的传输函数（即都可以表示成由一个电阻和一个电容组成的分压器的电压分压比），可以了解这种分类背后的原因。现在通过回忆一个电容的阻抗如何随频率发生变化（$Z=1/j\omega C$）就可以很容易地看到图 1.22（a）所示电路的传输函数将随频率增大而减小，并且随着 ω 趋向于 ∞，它将趋于零。因此，图 1.22（a）所示的电路相当于一个低通滤波器[③]，它可以使低频正弦波输入信号以较小的衰减或者没有衰减通过（在 $\omega=0$ 时，传输函数是单位增益），而使高频输入正弦信号衰减。图 1.22（b）所示的电路刚好相反，在 $\omega=\infty$ 时传输函数是单位增益，并且随着 ω 减小而减小，当 $\omega=0$ 时达到 0。因此后者相当于高通滤波器。

表 1.2 给出了两种类型的 STC 网络的频率响应结果的一个总结[④]。相应的幅频和相频响应曲线如图 1.23 和图 1.24 所示。

① 在这里，我们只是把 s 简单地作为 $j\omega$ 的简化。直到第 6 章才需要有关 s 平面概念的详细知识。附录 E 中给出了 s 平面分析的一个简单回顾。

② 一个重要的例外是在第 11 章中讨论的全通 STC 网络。

③ 滤波器是一个电路，它可以使一定频段内（滤波器带宽）的信号通过而阻止或大大衰减另外频段内（滤波器阻带）的信号。滤波器将在第 12 章中介绍。

④ 表 1.2 中的传输函数以通用形式给出。对于图 1.22 的电路，$K=1$，$\omega_0=1/CR$。

表 1.2　STC 网络的频率响应

	低通（LP）	高通（HP）
传输函数 $T(s)$	$\dfrac{K}{1+(s/\omega_0)}$	$\dfrac{Ks}{s+\omega_0}$
传输函数（用物理频率表示）$T(j\omega)$	$\dfrac{K}{1+j(\omega/\omega_0)}$	$\dfrac{K}{1-j(\omega_0/\omega)}$
幅频响应 $\lvert T(j\omega)\rvert$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega/\omega_0)^2}}$	$\dfrac{\lvert K\rvert}{\sqrt{1+(\omega_0/\omega)^2}}$
相频响应 $\angle T(j\omega)$	$-\tan^{-1}(\omega/\omega_0)$	$\tan^{-1}(\omega_0/\omega)$
$\omega=0$（直流）的传输函数值	K	0
$\omega=\infty$的传输函数值	0	K
3 dB 频率	$\omega_0=1/\tau$, $\tau\equiv$ 时间常数 $\tau=CR$ 或 L/R	
预计的曲线	见图 1.23	见图 1.24

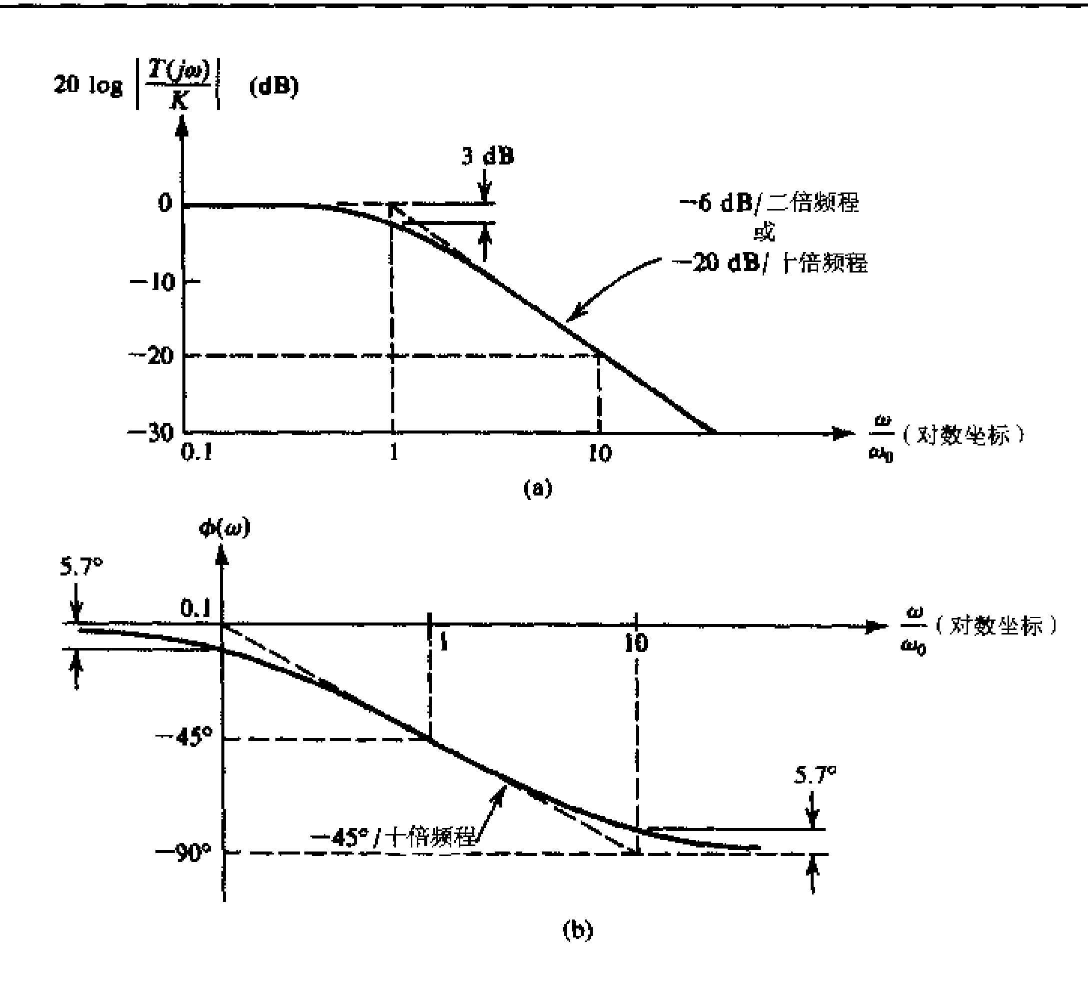


图 1.23　低通类型的 STC 网络：（a）幅频响应曲线；（b）相频响应曲线

这些频率响应的曲线图称为波特图，3 dB 频率（ω_0）被称为角频率或截止频率　读者如果需要熟悉这些信息，可以参考附录 D 以进一步了解有关分类的信息。特别要说明的是，找到一个能够快速确定 STC 电路的时间常数τ 的方法是非常重要的。

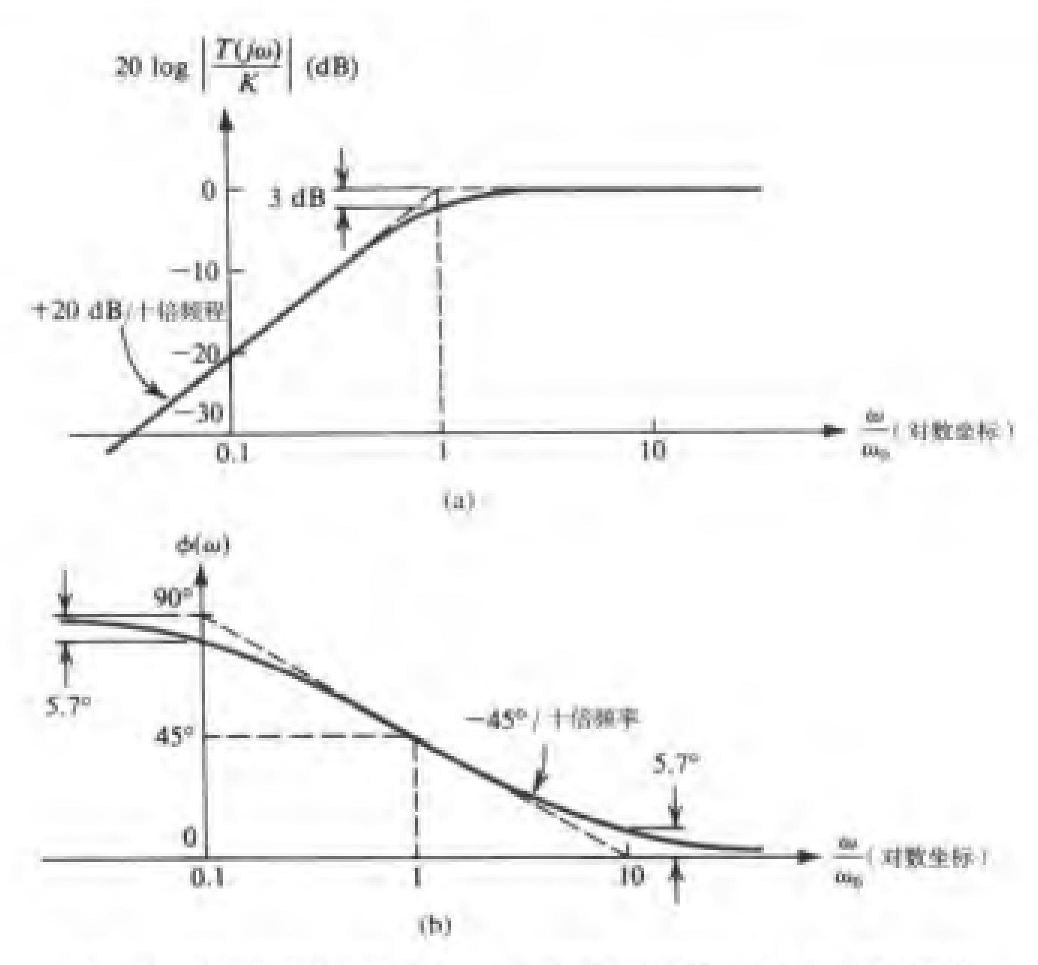


图 1.24 高通类型的 STC 网络：（a）幅频响应曲线；（b）相频响应曲线

例题 1.5 图 1.25 给出了一个电压放大器，它的输入电阻是 R_i，输入电容为 C_i，增益因子为 μ，输出电阻为 R_o。放大器由内阻为 R_s 的电压源 V_s 激励，连接到输出端的负载电阻是 R_L。

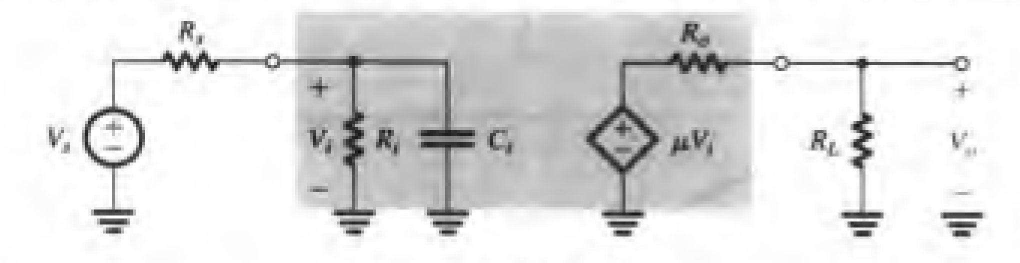


图 1.25 例题 1.5 的电路

（a）推导作为频率函数的放大器电压增益 V_o/V_s 的表达式，并从中得出直流增益和 3 dB 频率的表达式。

（b）当 $R_s = 20\text{ k}\Omega$，$R_i = 100\text{ k}\Omega$，$C_i = 60\text{ pF}$，$\mu = 144\text{ V/V}$，$R_o = 200\ \Omega$ 和 $R_L = 1\text{ k}\Omega$ 时，计算直流增益和 3 dB 频率的值，以及增益等于 0 dB 时的频率。

（c）求下列输入时的 $v_o(t)$：

（i）$v_i = 0.1\sin 10^2 t$, V

（ii）$v_i = 0.1\sin 10^5 t$, V

（iii）$v_i = 0.1\sin 10^6 t$, V

（iiii）$v_i = 0.1\sin 10^8 t$, V

解：（a）利用分压法则可以得到用 V_s 表示的 V_i：

$$V_i = V_s \frac{Z_i}{Z_i + R_s}$$

其中，Z_i 是放大器的输入阻抗。因为 Z_i 由两个并联元件组成，因此用 $Y_i = 1/Z_i$ 来求解会更简单。上式右侧的分子分母同时除以 Z_i，得到

$$V_i = V_s \frac{1}{1 + R_s Y_i} = V_s \frac{1}{1 + R_s[(1/R_i) + sC_i]}$$

因此，

$$\frac{V_i}{V_s} = \frac{1}{1 + (R_s/R_i) + sC_i R_s}$$

该表达式可以通过从分母中提取 $[1+(R_s/R_i)]$ 后转换成低通 STC 网络（表 1.2 的最上一行）的标准形式，因此可以得到

$$\frac{V_i}{V_s} = \frac{1}{1 + (R_s/R_i)} \frac{1}{1 + sC_i[(R_s R_i)/(R_s + R_i)]} \quad (1.20)$$

在放大器的输出端，可以利用电压分压得到

$$V_o = \mu V_i \frac{R_L}{R_L + R_o}$$

该表达式与式（1.20）结合可以得到放大器的传输函数：

$$\frac{V_o}{V_s} = \mu \frac{1}{1 + (R_s/R_i)} \frac{1}{1 + (R_o/R_L)} \frac{1}{1 + sC_i[(R_s R_i)/(R_s + R_i)]} \quad (1.21)$$

可以注意到该表达式中只有最后一个因子是新的（相对于上一节得到的表达式来说）。该因子是输入电容 C_i 引起的，它的时间常数是

$$\tau = C_i \frac{R_s R_i}{R_s + R_i} = C_i (R_s // R_i) \quad (1.22)$$

我们可以通过观察来得到这个结果：从图 1.25 中可以看出输入电路是一个 STC 网络，其时间常数可以这样得到：令 V_s 等于 0，得到从 C_i 看进去的阻抗是 R_i 并接 R_s。式（1.21）的传输函数具有 $K/(1+(s/\omega_0))$ 的形式，它与低通 STC 网络相对应。直流增益为

$$K \equiv \frac{V_o}{V_s}(s=0) = \mu \frac{1}{1 + (R_s/R_i)} \frac{1}{1 + (R_o/R_L)} \quad (1.23)$$

3 dB 频率 ω_0 为

$$\omega_0 = \frac{1}{\tau} = \frac{1}{C_i (R_s // R_i)} \quad (1.24)$$

因为该放大器的频率响应是低通 STC 类型，则增益的幅度和相位的波特图具有图 1.23 所示的形式，其中 K 由式（1.23）给出，而 ω_0 由式（1.24）给出。

（b）将数值代入式（1.23）可得

$$K = 144 \frac{1}{1+(20/100)} \frac{1}{1+(200/1000)} = 100 \text{ V/V}$$

因此放大器的直流增益为 40 dB。将数值代入式（1.24），得到 3 dB 频率为

$$\omega_0 = \frac{1}{60 \text{ pF} \times (20 \text{ k}\Omega // 100 \text{ k}\Omega)}$$

$$= \frac{1}{60 \times 10^{-12} \times (20 \times 100/(20+100)) \times 10^3} = 10^6 \text{ rad/s}$$

因此，

$$f_0 = \frac{10^6}{2\pi} = 159.2 \text{ kHz}$$

因为增益以−20 dB/十倍频程的斜率下降，因此从ω_0［见图 1.23（a）］开始，增益将在两个十倍频程（100 倍）后达到 0 dB，从而可以得到

$$\text{单位增益频率} = 100 \times \omega_0 = 10^8 \text{ rad/s 或 } 15.92 \text{ MHz}$$

（c）为了求解 $v_o(t)$，必须确定在 10^2 rad/s，10^5 rad/s，10^6 rad/s 和 10^8 rad/s 时增益的幅度和相位。我们既可以通过图 1.23 的波特图来近似求得，也可以利用放大器传输函数表达式来精确求得：

$$T(j\omega) \equiv \frac{V_o}{V_s}(j\omega) = \frac{100}{1 + j(\omega/10^6)}$$

下面采用这两种方法进行求解：

（i）当 $\omega = 10^2$ rad/s，也就是 $\omega = \omega_0/10^4$ 时，从图 1.23 的波特图得到 $|T| = K = 100$，$\phi = 0°$。而从传输函数表达式得到 $|T| = 100$，$\phi = -\tan^{-1} 10^{-4} \simeq 0°$。因此，

$$v_o(t) = 10 \sin 10^2 t \text{, V}$$

（ii）当 $\omega = 10^5$ rad/s，也就是 $\omega = \omega_0/10$ 时，从图 1.23 的波特图得到 $|T| = K = 100$，$\phi = -5.7°$。而从传输函数表达式得到 $|T| = 99.5$，$\phi = -\tan^{-1} 0.1 \simeq -5.7°$。因此，

$$v_o(t) = 9.95 \sin(10^5 t - 5.7°) \text{, V}$$

（iii）当 $\omega = 10^6$ rad/s $= \omega_0$ 时，$|T| = 100/\sqrt{2} = 70.7$ V/V 或 37 dB，$\phi = -45°$。因此，

$$v_o(t) = 7.07 \sin(10^6 t - 45°) \text{, V}$$

（iv）当 $\omega = 10^8$ rad/s，也就是 $\omega = 100\omega_0$ 时，从图 1.23 的波特图得到 $|T| = 1$，$\phi = -90°$。而从传输函数表达式得到

$$|T| = 1, \quad \phi = -\tan^{-1} 100 = -89.4°。$$

因此，

$$v_o(t) = 0.1 \sin(10^8 t - 89.4°) \text{, V}$$

■

1.6.5 基于频率响应的放大器分类

基于幅频响应曲线的形状，我们可以对放大器进行分类。图 1.26 给出了一些不同类型放大器的典型的频率响应曲线。在图 1.26（a）中，增益在一定的频率范围之内保持不变，而在低频和高频部分则下降。这是音频放大器中很常见的一种频率响应类型。

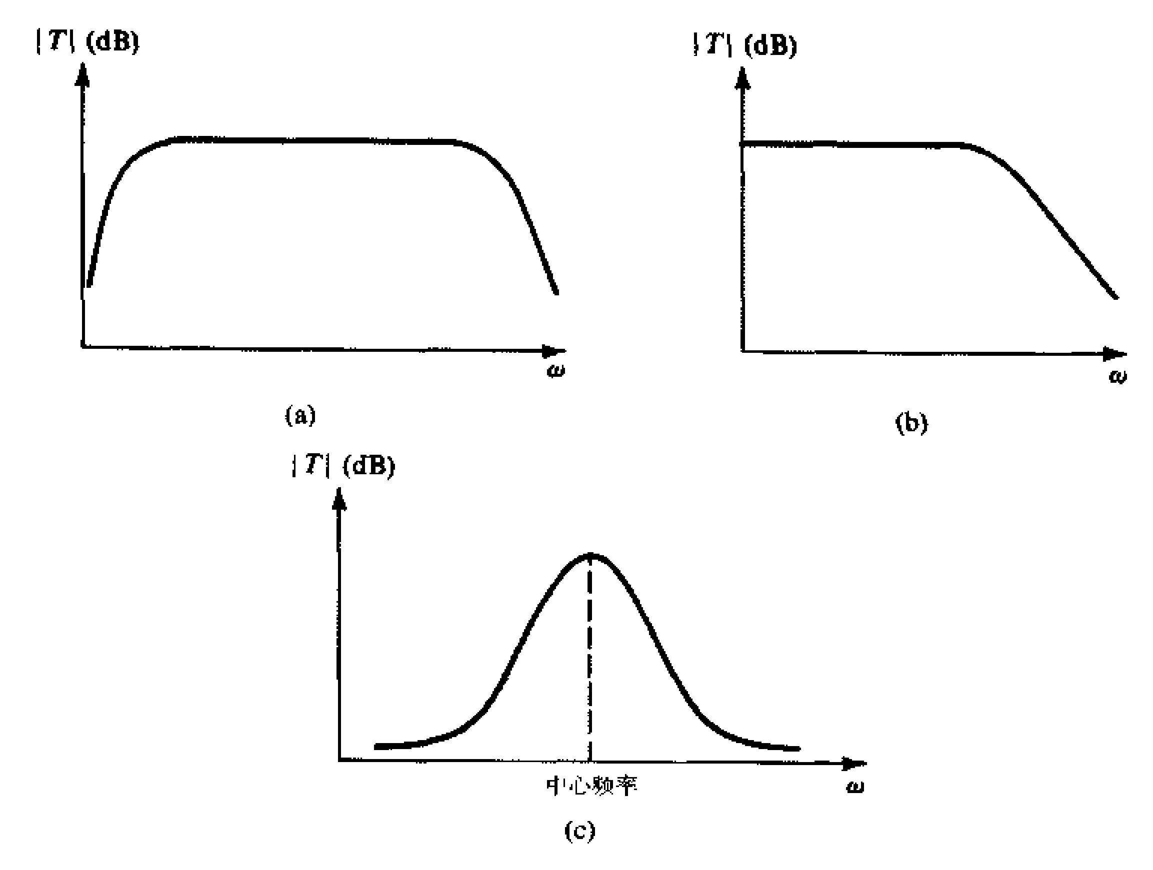


图 1.26　频率响应：（a）一个电容耦合的放大器；（b）直接耦合放大器；（c）调谐或带通放大器

在后面几章中将会讲到器件（晶体管）的内部电容会引起增益在高频时下降，就如例题 1.5 电路中的 C_i。另一方面，如图 1.27 所示，用来连接各级放大器的耦合电容通常会引起增益在低频时下降。这一点经常被用来简化不同级放大器的设计过程。耦合电容一般都选得比较大（零点几微法到数十微法），这样在感兴趣的频率处它们的电抗（阻抗）就很小。然而，当频率足够小时，耦合电容的电抗将会变得非常大，它足以使得部分耦合信号在耦合电容两端产生较大的电压降，从而导致信号不能到达下一级放大器。因此，在低频时，耦合电容会引起增益下降，直至直流时变为零。这并不奇怪，因为从图 1.27 可以看出，耦合电容与下一级放大器的输入电阻组成了一个高通 STC 电路。该高通电路的频率响应就解释了图 1.26（a）中放大器的频率响应在低频段的形状。

在许多应用中，保持放大器在低频直到直流时的增益不变是很重要的。此外，单片集成电路技术无法制造大容量的耦合电容，因此 IC 放大器通常用直接耦合或直流放大器（与电容耦合或交流放大器相对应）来进行设计。图 1.26（b）给出了直流放大器的频率响应。该频率响应描述了低通放大器的特性。

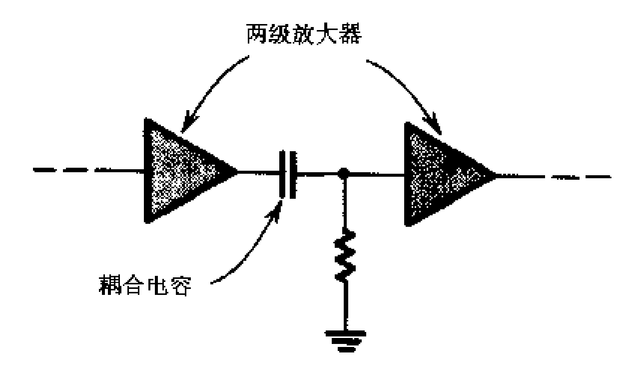


图 1.27　两级放大器之间的耦合电容的使用

在许多应用（如收音机和电视接收机）的设计中，往往需要放大器的频率响应在某特定频率（中心频率）周围达到顶峰，而在该频率两边下降，如图 1.26（c）所示。具有这种响应的放大器称为调谐放大器、带通放大器或带通滤波器。调谐放

大器是通信接收机前端或调谐器的核心，通过调节它的中心频率来与所要求的通信信道（无线电台）的频率相重合，从而使特定信道的信号可以被接收，而其他信道的信号被衰减或过滤掉。

练习 1.21 考虑一个具有低通 STC 类型频率响应的电压放大器，它的直流增益是 60 dB，3 dB 频率是 1000 Hz。分别求频率为 10 Hz，10 kHz，100 kHz 和 1 MHz 时的增益。

答案：60 dB；40 dB；20 dB；0 dB

练习 D1.22 考虑一个互导放大器，它的模型如表 1.1 所示，$R_i = 5\ \text{k}\Omega$，$R_o = 50\ \text{k}\Omega$，$G_m = 10\ \text{mA/V}$。如果放大器的负载由电阻 R_L 和电容 C_L 并联组成，证明电压传输函数 V_o/V_i 是低通 STC 类型。如果至少要获得 40 dB 的直流增益，那么 R_L 最小为多少？当 R_L 取该值时，如果 3 dB 带宽至少要达到 100 kHz，求 C_L 的最大值。

答案：12.5 kΩ；159.2 pF

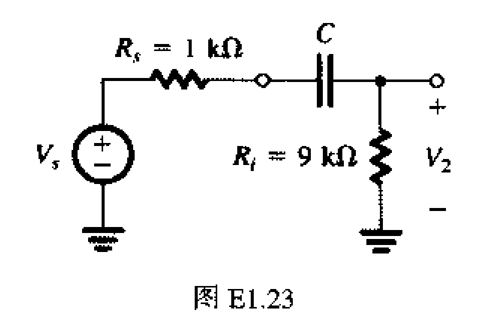


图 E1.23

练习 D1.23 考虑图 1.27 所示的情况。假设第一级电压放大器的输出电阻是 1 kΩ，第二级电压放大器的输入电阻（包括所显示的电阻）是 9 kΩ，等效电路如图 E1.23 所示，其中 V_s 和 R_s 是第一级放大器的输出电压和输出电阻，C 是一个耦合电容，R_i 是第二级放大器的输入电阻。证明 V_2/V_s 是一个高通 STC 函数。求保证 3 dB 频率不高于 100 Hz 的 C 的最小值。

答案：0.16 μF

1.7 数字逻辑反相器[①]

逻辑反相器是数字电路设计中最基本的元素，它的作用就像模拟电路中的运算放大器那样。我们将在这一节介绍逻辑反相器。

1.7.1 反相器的功能

顾名思义，逻辑反相器对输入的逻辑值进行反相，因此对于逻辑 0 的输入，其输出为逻辑 1，反之亦然。考虑图 1.28 所示的反相器的电压：当输入 v_I 是低电平（接近 0 V）时，输出 v_O 会变成高电平（接近 V_{DD}），反之亦然。

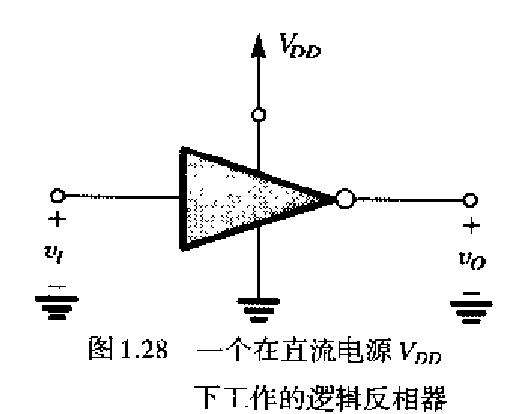


图 1.28 一个在直流电源 V_{DD} 下工作的逻辑反相器

1.7.2 电压传输特性（VTC）

为了定量分析反相器的工作性能，我们考虑电压传输特性（简称 VTC）。首先请读者参考例题 1.2 里的放大器，它的传输特性见图 1.15。可以看到，传输特性表明这个反相放大器可以用于逻辑反相器。如果输入是高电平（$v_I > 0.690$ V），那么 v_O 会变成低于 0.3 V。另一方面，如果输入是低电平（接近 0 V），则输出会变成高电平（接近 10 V）。因此把这个放大器用于逻辑反相器时，我们是用它的两个极限工作区域。这和把它用做信号放大器时正好相反，作为放大器时偏置点被设置在传输特性曲线的中点，并且信号足够小从而使之工作在传输曲线几乎是线性的很短的一段区域。而在数字电路的应用中，我们利用了整个电压传输曲线的非线性区域。

据此，我们在图 1.29 中给出一个可能的逻辑反相器的电压传输曲线。为了简单起见，我们采

① 如果需要的话，可以将本节的内容推迟到 CMOS 反相器（4.10 节）之前讲解。

用三段直线近似模拟通常的如图 1.15 所示的非线性电压传输曲线。可以看到，输出高电平被标注成 V_{OH}，只要 v_I 不超过 V_{IL}，它就不依赖于 v_I 的具体电压值。当 v_I 超过 V_{IL} 时，输出下降，反相器进入到放大工作区（也称之为过渡区）。V_{IL} 是反相 VTC 的重要参数，它是能够被反相器认做逻辑 0 的最大电压值。

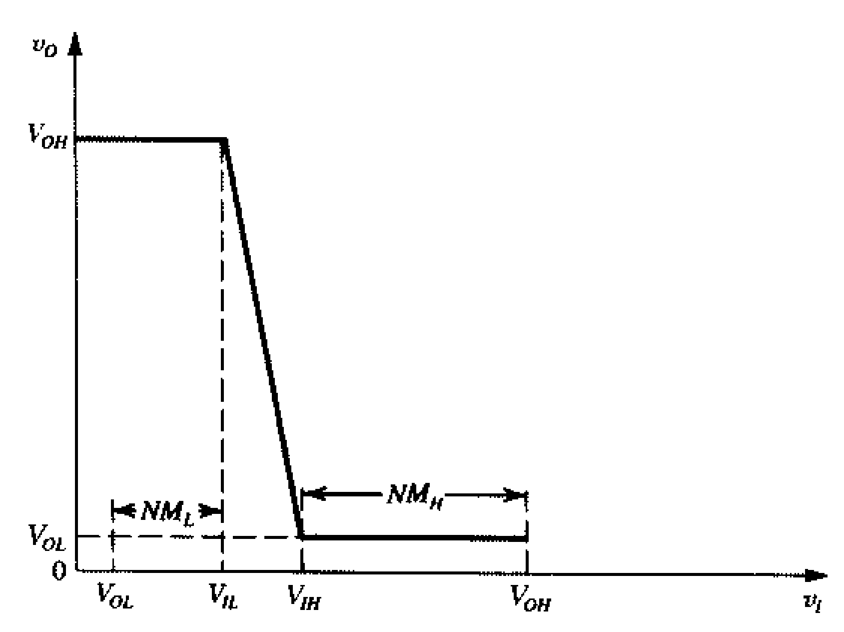


图 1.29　反相器的电压传输特性曲线。该曲线可以用三段直线段近似。注意 VTC 的 4 个参数（V_{OH}、V_{OL}，V_{IL} 和 V_{IH}）以及如何用它们决定噪声容限（NM_H 和 NM_L）

同样，我们看到只要输入 v_I 不低于 V_{IH}，输出低电平 V_{OL} 就不依赖于 v_I。因此 V_{IH} 也是反相 VTC 的重要参数，它是能够被反相器认做逻辑 1 的最小电压值。

1.7.3　噪声容限

在一个允许的范围内，反相器输出对输入 v_I 的具体电压值的不敏感性是数字电路相对于模拟电路的一个很大优势。为了定量描述这种不敏感性，考虑数字电路中经常发生的一种情况——一个反相器门（或一个基于反相器电路的逻辑门）被另外一个相似的反相器所驱动。如果那个驱动的反相器输出是 V_{OH}，我们可以看见有一个“安全工作区”，它等于 V_{OH} 与 V_{IH} 的差（参见图 1.29）。换言之，如果因为某种原因，一个扰动信号（称之为电器噪声或者噪声）被叠加到驱动反相器的输出端，只要噪声不使被驱动的反相器的输入电压低于 V_{IH}，这个噪声就不会造成影响。因此我们可以认为反相器对于高电平输入有一个噪声容限——NM_H：

$$NM_H = V_{OH} - V_{IH} \tag{1.25}$$

同样，如果驱动反相器的输出是低电平 V_{OL}，在被驱动的反相器的输入端，即使噪声对 V_{OL} 电平的影响使之上升并接近到 V_{IL}，被驱动的反相器的输出还是低电平 V_{OL}。因此我们认为，对于输入为低电平的情况，反相器有一个噪声容限——NM_L：

$$NM_L = V_{IL} - V_{OL} \tag{1.26}$$

这里总结如下：V_{OH}，V_{OL}，V_{IH} 和 V_{IL} 这四个参数决定了反相器的电压传输特性及其噪声容限。这些参数反过来可用于评价反相器对不同输入电压的兼容性。从这方面来讲，输入电平在噪声容限内的变化能够被反相器所抑制。噪声不会被进一步传播到系统的其他地方，这是数字电路相对于

模拟电路的一个明显优点。同样，我们也可以把反相器理解成能够把信号电平恢复到标准值（V_{OL} 和 V_{OH}）的器件［即使输入的是受干扰的信号电平（在噪声门限内）］。表 1.3 给出了反相器电压传输特性曲线的几个重要参数的定义，它们对今后的学习很有参考价值。

表 1.3　逻辑反相器电压传输特性曲线的重要参数（参见图 1.29）

参数	定义
V_{OL}：	输出低电平
V_{OH}：	输出高电平
V_{IL}：	被反相器认为是逻辑 0 的最大输入电压值
V_{IH}：	被反相器认为是逻辑 1 的最小输入电压值
NM_L：	输入低电平噪声容限 $= V_{IL} - V_{OL}$
NM_H：	输入高电平噪声容限 $= V_{OH} - V_{IH}$

1.7.4　理想 VTC

谈到反相器，自然会想到的一个问题是理想反相器的电压传输曲线是什么。答案可以直接从前面的讨论中得到：一个理想的反相器有最大的噪声容限，并且低电平和高电平输入各分配相同的噪声门限。图 1.30 显示了工作在直流电源 V_{DD} 的这样一个反相器电压传输特性曲线。可以看到，输出高电平 V_{OH} 达到最大值 V_{DD}，而输出低电压 V_{OL} 达到最小值 0 V。同样可以看出，门限电压 V_{IH} 和 V_{IL} 是一样的，并且是电源电压的一半（$V_{DD}/2$），因此高低电平之间的过渡区减小到 0。很明显，在放大器应用里很重要的过渡区间在数字电路里没有什么作用。理想的电压传输曲线显示了在门限电压 $V_{DD}/2$ 处很陡的过渡区其增益达到无限。此刻的噪声容限如下：



$$NM_H = NM_L = V_{DD}/2 \tag{1.27}$$

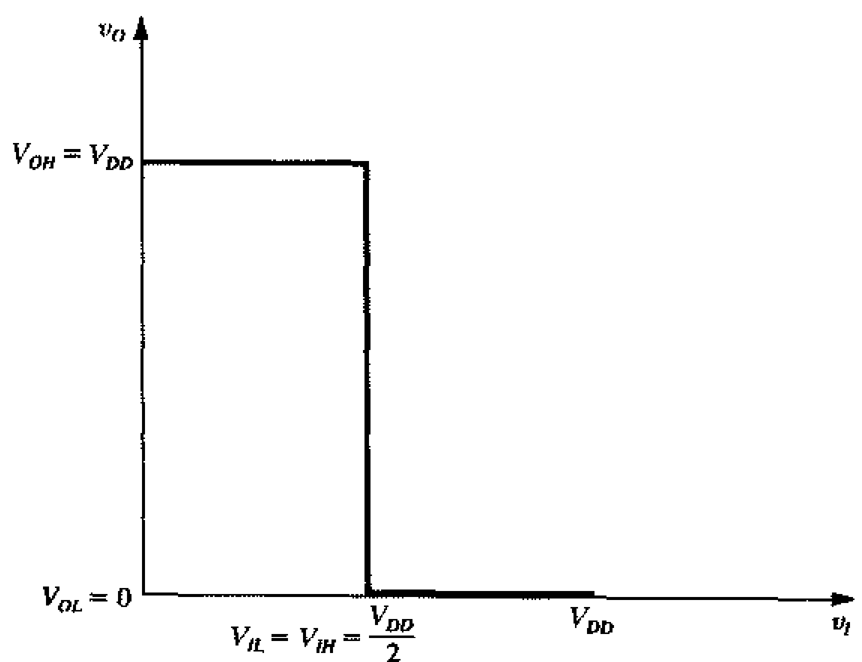


图 1.30　理想反相器的电压传输特性曲线

我们会在第 4 章讲到用互补金属-氧化物-半导体技术（CMOS）设计的反相器的性能非常接近理想的电压传输特性曲线。

1.7.5 反相器的实现

反相器是用工作在压控开关形式下的三极管（见第 4 章和第 5 章）实现的。最简单的反相器实现由图 1.31 给出。开关用反相器输入电压 v_I 控制，当 v_I 是低电平时，开关断开，输出 $v_O = V_{DD}$，因为没有电流流过电阻 R。当 v_I 是高电平时，开关闭合，假设这是理想开关，那么输出就是 $v_O = 0$。

但是正如我们将在第 4 章和第 5 章中介绍的，晶体管开关不是理想的。虽然它们断开时的电阻很高从而能够很好地模拟开路的情况，但"闭合"开关有一个有限的导通电阻 R_{on}。此外，一些开关（比如那些用双极型晶体管实现的开关，参见第 5 章）除了 R_{on} 外还有一个失调电压 V_{offset}。结果是当 v_I 为高电平时，反相器的等效电路如图 1.31（c）所示，从图中可以求得 V_{OL}。

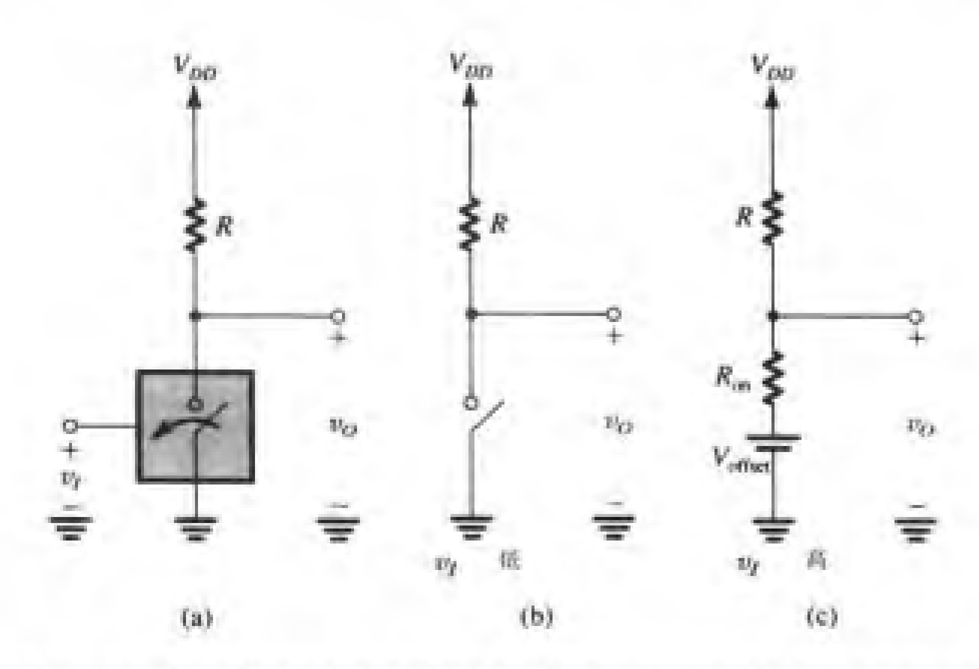


图 1.31　（a）采用压控开关的最简单的反相器实现；（b）v_I 为低电平时的等效电路；（c）v_I 为高电平时的等效电路。注意，v_I 为高电平时假设开关是闭合的

我们在图 1.32（a）和图 1.33（a）中展示了两种设计得更好的反相器电路。图 1.32（a）所示的电路采用一对互补开关，其中上拉（PU）开关把输出节点连接到 V_{DD}，而下拉（PD）开关把输出节点连接到地。当 v_I 为低电平时，PU 开关闭合，而 PD 开关断开，结果得到图 1.32（b）所示的等效电路。可以看到，这时 PU 开关的 R_{on} 电阻连接到 V_{DD}，从而得到 $V_{OH} = V_{DD}$。同样可以看到，因为没有电流流动，所以这个电路没有功率损失。接下来，如果 v_I 上升到逻辑 1 电平，那么 PU 开关将断开，而 PD 开关将闭合，从而得到图 1.32（c）所示的等效电路，这时 PD 开关的 R_{on} 电阻把输出连接到地使得 $V_{OL} = 0$。这时同样没有电流流动，因此没有功耗。这种电路和仅用下拉开关和电阻（上拉电阻）构成的电路相比其优势是明显的。这种电路构成了我们将在 4.10 节介绍的 CMOS 反相器的基础。注意，我们在等效电路图中没有给出失调电压，因为 MOS 开关没有失调电压（见第 4 章）。

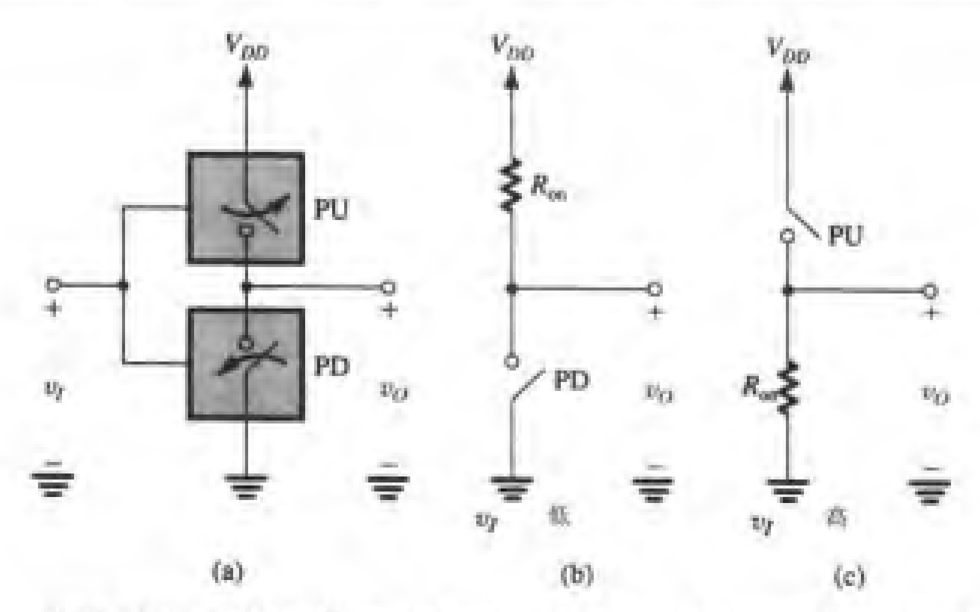


图 1.32　一种用两个互补开关实现的逻辑反相器。这就是 4.10 节要介绍的 CMOS 反相器的基础

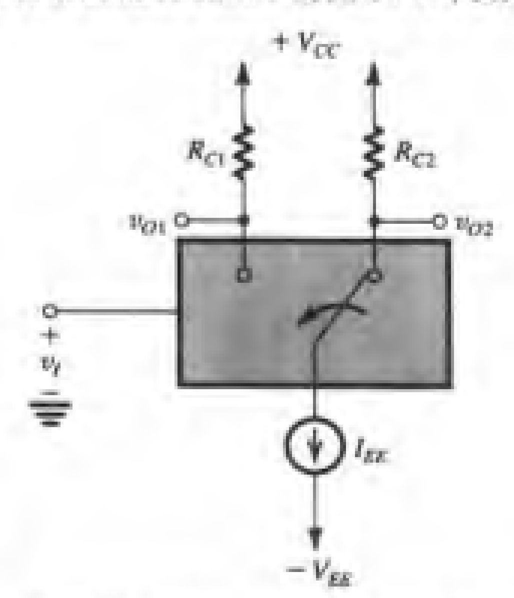


图 1.33　另一种使用双掷开关把固定电流 I_{EE} 引到 R_{C1}（当 v_I 是高电平时）或 R_{C2}（当 v_I 是低电平时）实现的反相器。这是第 7 章和第 11 章将要介绍的射极耦合逻辑电路（ECL）的基础

最后考虑图 1.33 实现的反相器。这里用双掷开关把固定电流 I_{EE} 引向连在正电源 V_{CC} 上的两个电阻之一。读者需要理解 v_I 上加高电压使得开关连到 R_{C1} 从而在 v_{O1} 上就能实现逻辑反相器的功能。注意，输出电压独立于开关阻抗。这种电流导向或者电流模式的逻辑结构是可以得到的最高速度的数字电路的基础，它被称为射极耦合电路（ECL），本书将在第 7 章介绍、第 11 章详细解释。

1.7.6　功耗

数字系统由大量的逻辑门构成，基于尺寸和成本上的考虑，人们希望用尽可能少的集成电路芯片来设计电路。这使得人们必须把尽可能多的逻辑门集成在同一个芯片上。目前能够在称之为超大规模集成电路（VLSI）的单片芯片上制造 100 000 个或更多的逻辑门。为了使芯片功耗保持在能够接受的极限内（考虑到芯片发热），每个门的功耗必须保持最小。事实上，逻辑反相器的

一个重要的性能指标就是功耗。

图 1.31 所示的反相器显然在 v_I 为低电平并且开关断开时没有功率损耗。但在另外一个状态下，功耗大约为 V_{DD}^2/R，这是相当大的。这个功耗即使在反相器没有开关动作时也存在，因此被称为静态功耗。图 1.32 所示的反相器有一个明显的优势，就是没有静态功率损耗。但遗憾的是，当反相器输出节点和地之间有电容存在时，另一种功率损耗会增加。只要构成开关的元件有内部电容、把反相器的输出连接到其他电路的导线有电容或者反相器的驱动电路有输入电容，这种情况就会出现。现在，当反相器从一个状态转到另一个状态时，电流必须留过一个开关对负载电容进行充（放）电。这些电流会导致开关里的功耗上升，这种功耗被称为动态功耗。第 4 章将介绍 CMOS 反相器里的动态功耗，并且我们会看到在一个开关频率（f Hz）下工作的反相器存在的动态功耗为

$$P_{\text{dynamic}} = fCV_{DD}^2 \tag{1.28}$$

这里，C 是输出节点和地之间的电容，V_{DD} 是电源电压。这个结果适用（近似地）于所有反相器。

1.7.7 传播延迟

放大器的动态特性以频率响应的形式描述，而反相器的动态特性用 v_I 变化（从低到高或反之）体现到相应的输出变化所需的延迟时间来描述。这个延迟称为传播延迟，其产生的原因有两个：实现开关的晶体管具有有限的（非零）开关时间；存在于反相器输出节点和地之间的不可避免的电容在输出达到所需要的电压 V_{OH} 或 V_{OL} 前需要充电（或者是放电）。我们将在后面几章分析反相器的开关时间。我们的分析需要以充分理解单时间常数电路（STC）的时间响应为前提。这一内容的回顾在附录 D 给出。我们现在需要读者注意在确定阶跃响应函数时的关键公式。

假设一个阶跃信号加在一个低通或高通的 STC 网络上，令网络的时间常数为 τ，在任何时刻 t 网络的输出为

$$y(t) = Y_\infty - (Y_\infty - Y_{0+})e^{-t/\tau} \tag{1.29}$$

其中，Y_∞ 是最终的电压值，即输出电压趋向的值。Y_{0+} 是 $t=0$ 时刻的瞬时响应电压。这个公式表明任何 t 时刻的输出等于 Y_∞ 和一个初始值为 $Y_\infty - Y_{0+}$ 并且以指数递减的值的差。

例题 1.6　考虑图 1.31（a）所示的反相器，其中有一个 $C=10$ pF 的电容连接输出到地。令 $V_{DD}=5$ V，$R=1\,\text{k}\Omega$，$R_{\text{on}}=100\,\Omega$ 并且 $V_{\text{offset}}=0.1$ V。如果在 $t=0$ 时，v_I 变低并且忽略开关的延迟时间，就是说假设开关瞬间断开，求输出达到 $\frac{1}{2}(V_{OH}+V_{OL})$ 的时间，即输出达到输出波形 50%处的时间被定义为从低到高的时延——t_{PLH}。

解：我们首先确定 V_{OL}，这是在 $t=0$ 前的电压。从图 1.31（b）的等效电路可以看出：

$$V_{OL} = V_{\text{offset}} + \frac{V_{DD}-V_{\text{offset}}}{R+R_{\text{on}}}R_{\text{on}}$$
$$= 0.1 + \frac{5-0.1}{1.1}\times 0.1 = 0.55\text{ V}$$

接下来，当开关在 $t=0$ 断开时，电路成为图 1.34（a）的形式。由于电容两端的电压不能瞬时改变，因此在 $t=0+$ 时输出仍旧是 0.55 V。

然后，电容通过 R 充电，v_o 朝 V_{DD} 呈指数上升。输出波形如图 1.34（b）所示，其公式可以通过将 $v_o(\infty)=5$ V，$v_o(0+)=0.55$ V 代入式（1.29）得到，即

$$v_o(t) = 5-(5-0.55)e^{-t/\tau}$$

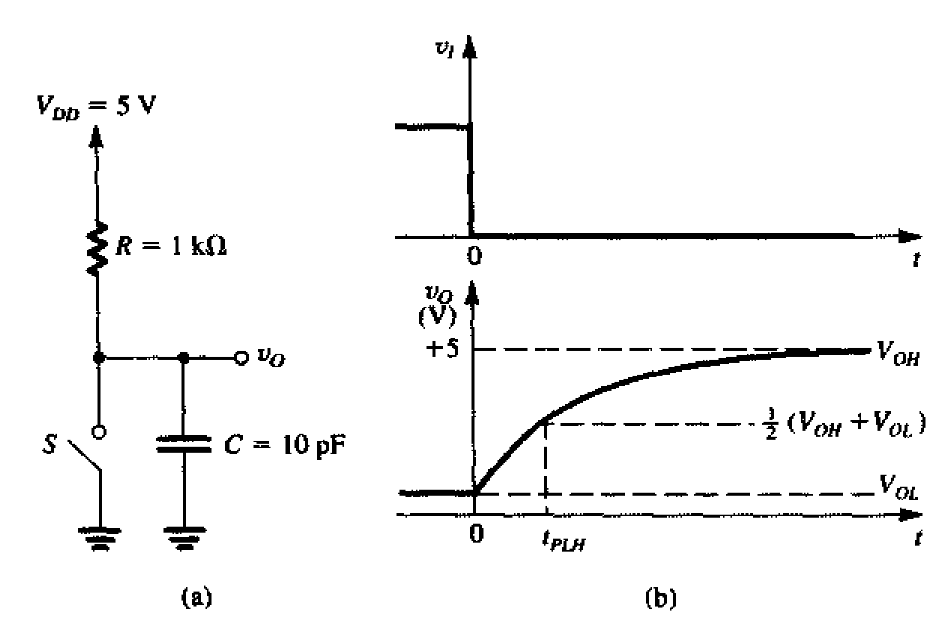


图 1.34 例题 1.6：（a）开关断开时的反相器电路（即 $t \geqslant 0+$）；（b）v_I 和 v_O 的波形。可以看到，假设开关瞬间工作，v_O 从 V_{OL} 开始按指数朝 V_{OH} 上升

这里，$\tau = CR$。为了计算 t_{PLH}，我们代入：

$$v_O(t_{PLH}) = \frac{1}{2}(V_{OH}+V_{OL})$$
$$= \frac{1}{2}(5+0.55)$$

结果是

$$t_{PLH} = 0.69\tau$$
$$= 0.69RC$$
$$= 0.69\times10^3\times10^{-11}$$
$$= 6.9 \text{ ns}$$

■

我们通过图 1.35 给出的反相器传播延迟的正式定义作为本节的总结。如图所示，以上升和下降时间有限的（非 0）脉冲波作为输入，输出的反相脉冲也具有有限的上升和下降时间（记为 t_{TLH} 和 t_{THL}，这里的下标 T 代表“转换”，“LH”表示由低到高，而“HL”表示由高到低）。输入和输出波形之间也有一个延迟，通常用从高到低的传播延迟 t_{PHL} 和从低到高的传播延迟 t_{PLH} 的平均值来表示传播延迟。正如图中所示，这些延迟时间是从输入和输出波形的 50%的地方开始测量的。同样要注意，转换时间是以输出变化量（$V_{OH}-V_{OL}$）的 10%~90%来表示的。

练习 1.24 对于图 1.31 给出的反相器，令 $V_{DD}=5$ V，$R=1$ kΩ，$R_{on}=100$ Ω，$V_{offset}=0.1$ V，$V_{IL}=0.8$ V 并且 $V_{IH}=1.2$ V。求 V_{OH}，V_{OL}，NM_H 和 NM_L。假设反相器处于高电平状态和低电平状态各占一半的时间，求平均静态功耗。

答案：5 V；0.55 V；3.8 V；0.25 V；11.1 mW

练习 1.25 求一个在 5 V 电压下工作的反相器的动态功率损耗。这个反相器有 2 pF 的负载电容，并且工作频率是 50 MHz。

答案：2.5 mW

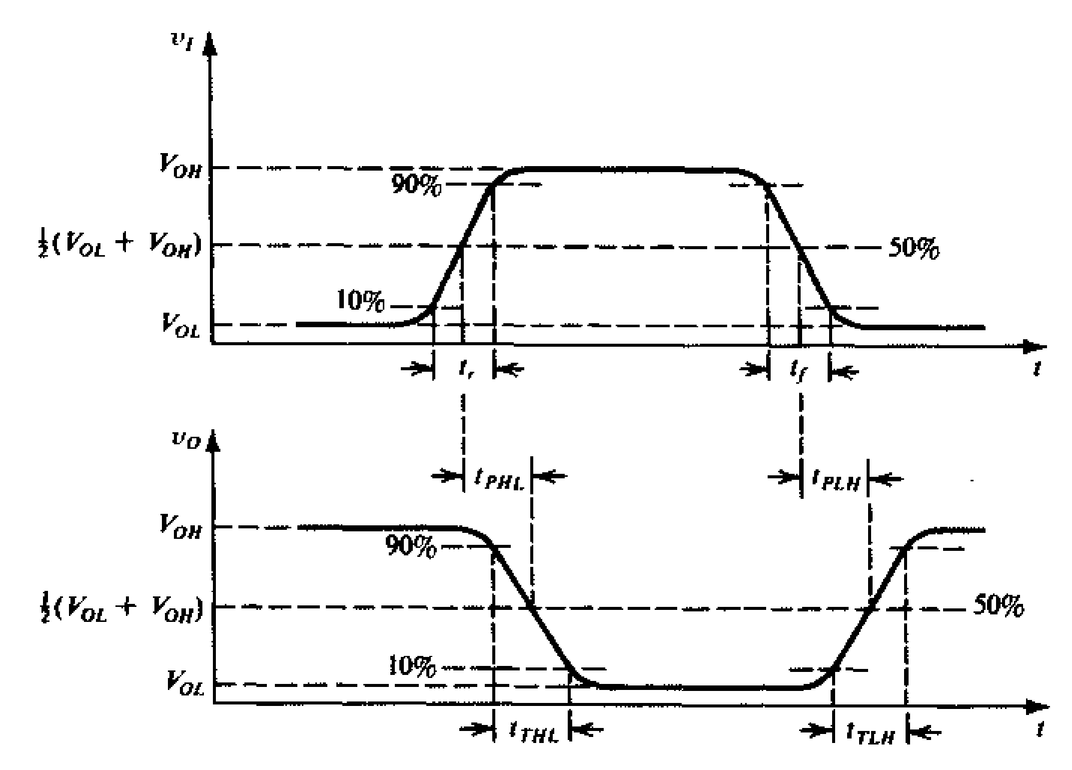


图 1.35　逻辑反相器传播延迟和转换时间的定义

1.8 SPICE 电路仿真

利用计算机程序来模拟电子电路的运行已经成为电路设计过程中的一个重要步骤，特别是当电路以集成电路的形式制造时更是如此。实际上，采用分立元件在印刷电路板上装配的电路也能够从电路仿真中获益。电路仿真可以使设计者验证当使用实际器件（存在许多缺陷）时设计是否满足要求，它也能够给出一些电路运行情况使得设计者可以在电路被制造之前对最终设计进行微调。尽管计算机仿真有许多优点，但是它并不能完全体现电路的运行状况。该软件只能在设计过程的后面阶段采用，并且一定要在人工设计完成后采用。

在各种不同的对微电子电路进行计算机辅助数值分析的电路仿真程序中，SPICE（集成电路仿真程序）被最广泛地使用。SPICE 是一个开放源代码的程序，从 20 世纪 70 年代以后，一直由加州大学伯克利分校对它进行开发。PSpice 是 SPICE 商业化的个人计算机版，现在可以从 Cadence 购买。从 Cadence 也可以得到 PSpice A/D，它是 PSpice 的一个高级版本，可以从行为级建模，因此可以对处理模拟和数字混合信号的电路进行仿真[①]。SPICE 最初是基于文本的程序：用户必须使用一个输入文本文件来描述需要仿真的电路和仿真类型，这个文件叫做网表。仿真结果同样以文本显示。Cadence 最近开发的产品提供了图形界面 [称为 OrCAD Capture CIS（元件信息系统）] 来进行电路图的输入和编辑。这种图形界面工具从术语上来讲称为电路图输入、电路图编辑器或电路图捕获工具。此外，PSpice A/D 包括一个图形的后处理器（叫做 Probe）来进行数值分析以及以图形的方式来显示 PSpice 的仿真结果。在本书中，“使用 PSpice” 或 “使用 SPICE” 就是指使用 Capture CIS、PSpice A/D 和 Probe 来对电路进行仿真以及进行数值分析和以图形显示仿真结果。

本书附带的光盘中还包含了 Capture CIS 和 PSpice A/D 的一个评估版（学生版）。它们与 OrCAD 9.2 Lite 发行版相对应，而 OrCAD 9.2 Lite 发行版可以从 Cadence 获得。此外，本书中所

---

① 这种电路称为混合信号电路，能够仿真这种电路的仿真程序叫做混合信号仿真器。

有 SPICE 实例中的输入到 Capture CIS 中的电路图（输入原理图）以及相应的 PSpice 仿真文件都可以在附带光盘和网站（www.sedrasmith.org）上找到。对这些文件进行访问可以使读者对这些电路进行进一步的实验，包括研究元件和运行条件改变后产生的影响。

本书的目的并不是教读者 SPICE 怎么工作，也不是教读者怎样有效地使用 SPICE，这些内容可以参考附录 F 中列出的 SPICE 参考书。本书将 SPICE 的内容放在每一章的最后一节，我们介绍 SPICE 的目的有两个方面：一是描述 SPICE 所使用的表示不同电子器件的模型，二是解释 SPICE 在研究电路运行方面的有效性。

小结

- 一个电信号源既可以用戴维南形式表示（一个电压源 v_s 与一个源电阻 R_s 串联），也可以用诺顿形式表示（一个电流源 i_s 和一个源电阻 R_s 并联）。戴维南电压 v_s 是电源两端的开路电压，诺顿电流 i_s 等于电源两端的短路电流。当 $v_s = R_s i_s$ 时，这两种表示形式等效。
- 正弦信号完全可以用它的峰值（或者是峰值除以 $\sqrt{2}$ 得到的均方根值）、频率（以 rad/s 为单位的 ω 或以 Hz 为单位的 f，$\omega = 2\pi f$，$f = 1/T$，其中 T 是以 s 为单位的周期）以及它对于任意参考时间的相位来描述。
- 一个信号既可以用它相对于时间的波形来表示，也可以用一系列正弦波之和来表示。后者称为信号的频谱。
- 模拟信号的幅度可以取任何值。处理模拟信号的电子电路称为模拟电路。在离散时间点对模拟信号的幅度进行采样并用一个数字来表示每个采样信号就得到了数字信号。数字信号用数字电路来处理。
- 当采用二进制系统时可以得到最简单的数字信号。一个单独的数字信号只能取两种可能值之一：低和高（例如，0 V 和+5 V），它们分别对应于逻辑 0 和逻辑 1。
- 模数转换器在它的输出端输出二进制数的数字，表示加入到它的输入端的模拟信号的采样。输出的数字信号可以用数字电路来处理，参见图 1.9 和式（1.3）。
- 线性放大器的传输特性（v_O~v_I）是斜率等于电压增益的一条直线。参见图 1.11。
- 放大器放大了信号功率，因此需要直流电源来供电。
- 放大器的电压增益可以表示成一个比值，即以 V/V 为单位的 A_v 或以分贝为单位的 $20\log|A_v|$ dB。同样，电流增益为 A_i A/A 或 $20\log|A_i|$ dB。功率增益为 A_p W/W 或 $10\log|A_p|$ dB。
- 对于一个具有非线性传输特性的器件，通过直流偏置以及保证输入信号足够小可以进行线性放大。参见图 1.14。
- 根据所要放大的输入信号（电压或电流）以及所需要的输出信号的形式（电压或电流）可将基本放大器类型分为四种：电压、电流、互导和互阻放大器。这四种放大器的电路模型以及理想的特性可以参考表 1.1。一个给定的放大器可以用这四种模型的任意一种来建立模型，它们的参数具有式（1.14）到式（1.16）表示的关系。
- 正弦波信号是通过线性电路时惟一不会发生波形变化的信号。正弦信号被用来度量放大器的频率响应。
- 电压放大器的传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 可以通过电路分析得到。将 $s = j\omega$ 代入该式可以得到 $T(j\omega)$，它的幅度 $|T(j\omega)|$ 是放大器的幅频响应，相位 $\phi(\omega)$ 是放大器的相频响应。
- 根据频率响应 $|T(j\omega)|$ 的形状可以对放大器进行分类。参见图 1.26。
- 单时间常数网络（STC）由或可以简化成由一个电抗元件（L 或 C）和一个电阻（R）组成。

时间常数τ为 L/R 或 CR。

- STC 网络可以分成两类：低通（LP）和高通（HP）。低通网络可以通过直流和低频信号而衰减高频信号。高通网络具有相反的特性。
- 一个低通（高通）STC 电路的增益在频率$\omega_0 = 1/\tau$ 时比零频率（无穷频率）时的增益值下降 3 dB。在高频时，增益以 6 dB/二倍频程或 20 dB/十倍频程的速率下降。参见表 1.2、图 1.23 和图 1.24。更多的信息在附录 E 中给出。
- 数字逻辑反相器是数字电路的基本构件，就像放大器是模拟电路的基本构件一样。
- 反相器的静态行为可以通过它的电压传输特性（VTC）来描述。传输特性的转折点决定了反相器的噪声容限，参见图 1.29 和表 1.3。特别要注意，$NM_H = V_{OH} - V_{IH}$以及 $NM_L = V_{IL} - V_{OL}$。
- 反相器可以利用工作在电压控制的开关状态下的晶体管来实现。利用两个工作在互补方式的开关就可以实现一个高性能的反相器。这是第 4 章中 CMOS 反相器的基础。
- 反相器的一个重要的性能参数是它的功耗。功耗有两种：静态功耗和动态功耗。第一种是在 0 态或 1 态或两种状态时电流流动的结果，第二种发生在反相器状态转换以及存在电容负载的时候。动态功耗可以由 fCV_{DD}^2 近似给出。
- 反相器的另一个非常重要的性能参数是它的传播延迟（其定义见图 1.35）。

习题[①, ②]

电路基础

作为电路分析基础的一个回顾以及为了让读者衡量一下他们对学习电子电路课程的准备情况，本节给出了许多电路分析的相关习题。戴维南定理和诺顿定理的总结可以参见附录 D。这些习题根据类别进行了分组。

电阻与欧姆定律

1.1　欧姆定律给出了电阻 V，I 和 R 之间的关系。对于下列各种情况，计算所缺的量：

（a）R =1 kΩ，V=10 V

（b）V=10 V，I = 1 mA

（c）R =10 kΩ，I = 10 mA

（d）R =100 Ω，V = 10 V

1.2　下面是不同电阻的测量值。求每一种情况下电阻的功耗以及使用额定功率为 1/8 W，1/4 W，1/2 W，1 W 或 2 W 的标准元件时为了安全运行所必需的额定功率：

（a）1 kΩ，电流为 30 mA

（b）1 kΩ，电流为 40 mA

（c）10 kΩ，电流为 3 mA

（d）10 kΩ，电流为 4 mA

（e）1 kΩ，电压降为 20 V

（f）1 kΩ，电压降为 11 V

1.3　电阻的欧姆定律和功率法则给出了 V，I，R 和 P 之间的关系，并且只有两个变量是独立的。

① 难题用星号（*）标注，更难的习题用两个星号（**）标注，很难（或者很耗时间）的习题用三个星号（***）标注。

② 基于设计的习题用 D 标注。

针对下面每一种情况，求其他两个参数：

（a）$R=1\ \text{k}\Omega$，$I=10\ \text{mA}$

（b）$V=10\ \text{V}$，$I=1\ \text{mA}$

（c）$V=10\ \text{V}$，$P=1\ \text{W}$

（d）$I=10\ \text{mA}$，$P=0.1\ \text{W}$

（e）$R=1\ \text{k}\Omega$，$P=1\ \text{W}$

电阻组合

1.4 有三个电阻，阻值分别是 10 kΩ，20 kΩ和 40 kΩ。将这三个电阻进行串联和并联组合，可以得到几种不同的阻值？按从小到大的顺序列出这些阻值。（提示，在求解时，首先考虑所有并联情况，然后考虑串联，最后考虑两种串并联组合。）

1.5 在电子电路的分析和测试中，通常将一个电阻与另一个电阻进行并联来得到非标准值，它小于两个电阻中的任何一个。特别是在电路的测试中，一个电阻通常已被安装好，在这种情况下，第二个以并联方式连接的电阻称为对第一个电阻进行分流。如果原来的电阻为 10 kΩ，要求组合后的值分别减少 1%、5%、10%和 50%，求分流电阻的大小。一个 10 kΩ的电阻被一个 1 MΩ的电阻分流后的结果是多少？被 100 kΩ电阻分流后是多少？被 10 kΩ电阻分流后又是多少？

电压分压

1.6 图 P1.6（a）是两个电阻构成的电压分压器，它的功能是在输出节点 X 产生电压 V_O（小于电源电压 V_{DD}）。从节点 X 往后看进去的电路等效于图 P1.6（b）所示的电路。这是电压分压电路的戴维南等效电路。求 V_O 和 R_O 的表达式。

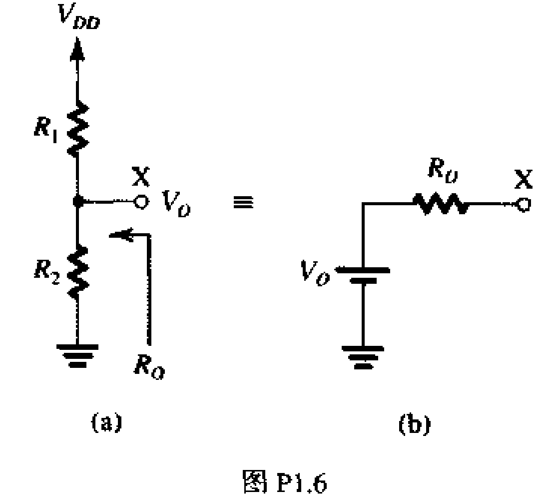


图 P1.6

1.7 一个采用 3.3 kΩ和 6.8 kΩ电阻构成的两电阻电压分压器连接到一端接地的 9 V 电源来提供一个较低的电压。画出该电路。当采用精确数值的电阻时，求输出电压（到地）和等效输出电阻。如果采用的电阻不是理想的而是有±5%的制造容差，那么极端输出电压和输出电阻又是多少？

1.8 有三个阻值都为 10 kΩ的电阻以及一个负极接地的 9 V 电池。利用这三个电阻的一部分或全部来组成电压分压器，可以设计得到多少种幅度小于 9 V 的正电压电源？按从小到大的顺序列出。每种设计的输出电阻（戴维南电阻）是多少？

D*1.9 两个标称值为 4.7 kΩ和 10 kΩ的电阻与一个+15 V 的电源组成电压分压器来产生标称值为+10 V 的输出。当采用精确电阻时，求实际输出电压。为了产生一个输出为 10.00 V 的电压分压器，必须在哪个电阻上并联一个电阻？其阻值为多大？如果需要得到一个精确的 3.33 kΩ的输出电阻，应该怎么做？如果还是使用原先的 4.7 kΩ和 10 kΩ的电阻，要求得到 10.00 V 的电压和 3.00 kΩ的电阻应该怎么办？

电流分流器

1.10 电流分流器在电路设计中起着很重要的作用。因此，在电路分析中开发处理电流分流器的

设备是非常重要的。图 P1.10 给出了两个电阻的电流分流器，它由一个理想电流源 I 输入。证明：

$$I_1 = \frac{R_2}{R_1 + R_2} I$$

$$I_2 = \frac{R_1}{R_1 + R_2} I$$

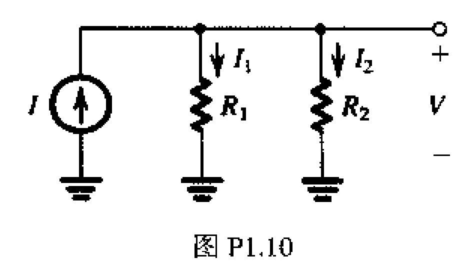


图 P1.10

并求出电流分流器两端的电压 V。

D1.11 设计一个简单的电流分流器使 1 kΩ的负载得到的电流减小到从电源获得的电流的 20%。

D1.12 某设计者设计一个简单电路来给负载电阻 R 提供三分之一的信号电流 I。请给出一个解决方法，并且只用一个电阻，该电阻的值为多少？所得到的电流分流器的输入电阻是多少？对于给定的 R 值，设计者发现能够得到的最佳电阻也要高 10%。请给出两种可以利用额外电阻来解决该问题的电路拓扑结构，并求所需电阻的大小，以及这两种电流分流器的输入电阻。

D1.13 一个特定的电子信号源在负载电压不超过 1 V 的条件下可以产生 0 mA 到 1 mA 的电流。当负载使得信号源两端的电压大于 1 V 时，输出电流不能得到保证，而是会减少一个未知的量。该电路的限幅（例如发生在正弦波信号的峰值处）会导致信号失真，这是必须要避免的。如果连接一个 10 kΩ的负载，那么必须该怎样做？你必须使用的电路叫什么名字？需要多少个电阻？它（们）的值为多少？

戴维南等效电路

1.14 求图 P1.14 所示电路在以下节点之间的戴维南等效电路：(a) 1 和 2；(b) 2 和 3；(c) 1 和 3。

1.15 通过重复使用戴维南定理，求图 P1.15 所示电路在节点 4 和地之间的戴维南等效电路，并求连接在节点 4 和地之间的 1.5 kΩ负载电阻上流过的电流。

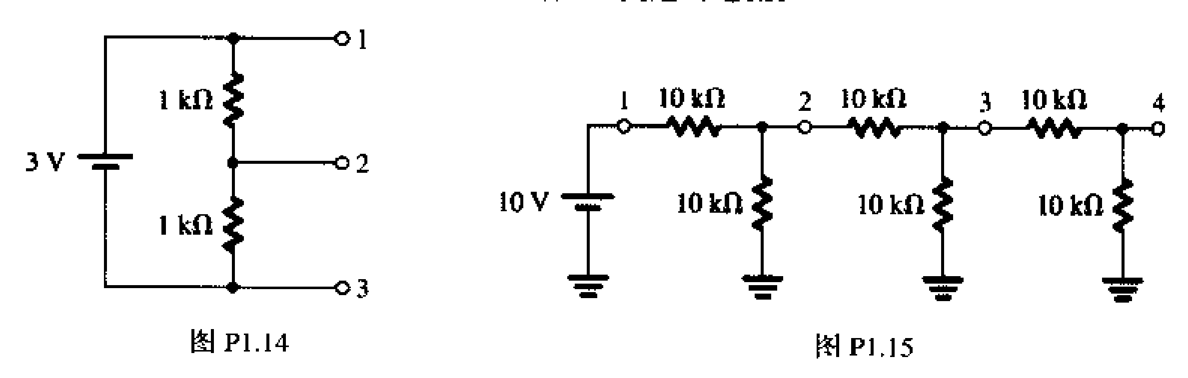


图 P1.14

图 P1.15

电路分析

1.16 见如图 P1.16 所示的电路，利用下面两种方法求出所有电阻上的电流和所有电阻公共节点上的电压（相对于地）：

(a) 电流：将电阻 R_1 和 R_2 上的支路电流分别定义为 I_1 和 I_2，列出两个方程并求解；

(b) 电压：将公共节点的节点电压定义为 V，列出一个简单方程并求解。

你喜欢哪一种方法？为什么？

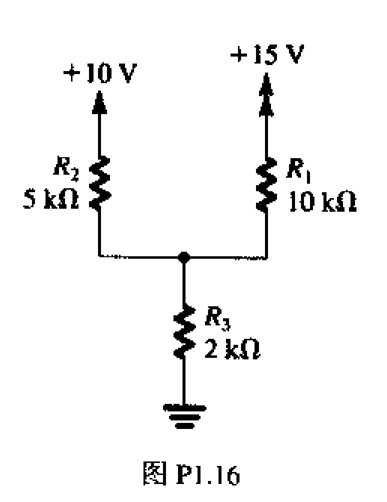


图 P1.16

1.17 图 P1.17 所示的电路表示了一个非平衡电桥的等效电路。要求计算检测支路（R_5）上的电流以及它两端的电压。尽管可以通过回路方程和节点方程得到，但是有一种更简单的方法：

首先求得节点 1 左边电路的戴维南等效和节点 2 右边电路的戴维南等效，然后求解所得到的简化电路。

1.18 对于如图 P1.18 所示的电路，求出到地的等效电阻 R_{eq}。为了求得等效电阻，在 X 端和地之间施加一个电压 V_x 并求得由 V_x 产生的电流。注意，你可以利用电路的特性来直接得到结果。如果 R_4 增加到 1.2 kΩ，那么 R_{eq} 将变为多少？

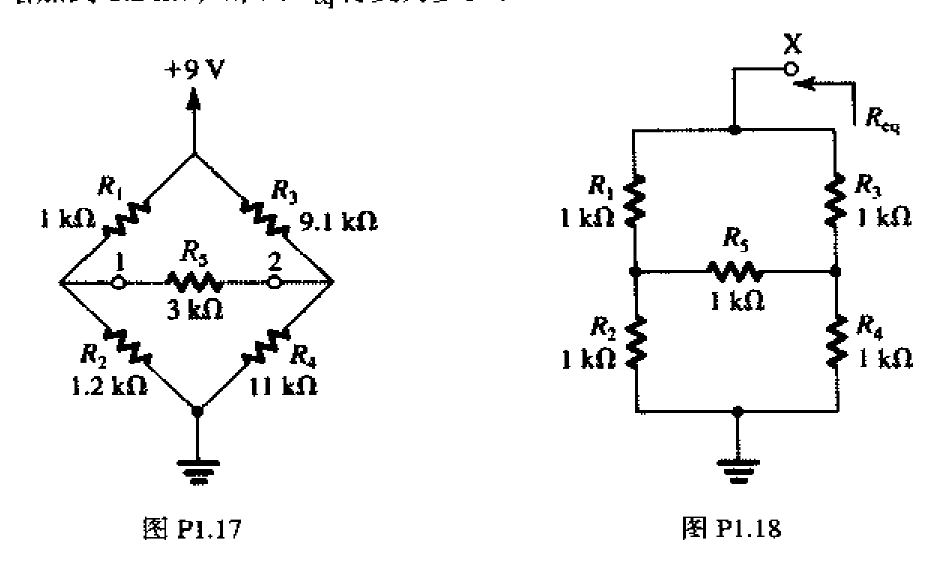


图 P1.17　　　　图 P1.18

交流电路

1.19 循环波形（如正弦波或方波）的周期性完全可以用下面三个参数之一来表示：角频率ω，单位为弧度/秒（rad/s）；传统频率f，单位为赫兹（Hz）；周期 T，单位为秒（s）。此外，每个参数也可以用下面几种方法之一来指定它的数值：使用与基本单位有关的前缀字母；使用科学记数法；或两者结合起来使用。例如，一个特定的周期可以表示为 100 ns，0.1μs，$10^{-1}\mu$s，10^5 ps，或者 1×10^{-7} s。（在电子学中使用的不同前缀的定义见附录 H。）对下面列出的每一个测量值，用科学记数法和基本单位相结合的方法来表示三个参数（例如，采用 10^{-7} s 而不是 $10^{-1}\mu$s）。

（a）$T = 10^{-4}$ ms

（b）$f = 1$ GHz

（c）$\omega = 6.28\times10^2$ rad/s

（d）$T = 10$ s

（e）$f = 60$ Hz

（f）$\omega = 1$ krad/s

（g）$f = 1900$ MHz

1.20 求下列基本元件在 60 Hz，100 kHz 和 1 GHz 时的复阻抗 Z：

（a）$R = 1$ kΩ

（b）$C = 10$ nF

（c）$C = 2$ pF

（d）$L = 10$ mH

（e）$L = 1$ nH

1.21 求下列网络在频率为 10 kHz 时的复阻抗：

（a）1 kΩ与 10 nF 串联

（b）1 kΩ与 0.01μF 并联

（c）100 kΩ与 100 pF 并联

（d）100 Ω与 10 mH 串联

1.1 节：信号

1.22 任何给定的信号源能够提供的开路电压为 v_{oc}，短路电流为 i_{sc}。对于下列信号源，计算其内部电阻 R_s、诺顿电流 i_s 和戴维南电压 v_s：

（a）$v_{oc}=10\text{ V}$，$i_{sc}=100\ \mu\text{A}$

（b）$v_{oc}=0.1\text{ V}$，$i_{sc}=10\ \mu\text{A}$

1.23 一信号源当负载为 100 kΩ电阻时输出电压为 30 mV，而当负载为 10 kΩ电阻时输出电压为 10 mV。计算戴维南电压、诺顿电流和源内阻。

1.24 某温度传感器的参数是 2 mV/°C。接上 10 kΩ的负载电阻后，当温度变化 10°C 时，输出电压相应变化 10 mV。求该传感器的源内阻。

1.25 参考信号源的戴维南和诺顿表示方法（见图 1.1）。如果电源提供的电流用 i_o 表示，电源输出端的电压用 v_o 表示，画出并标注（$0\leqslant i_o\leqslant i_s$）时 v_o 与 i_o 的关系曲线。

1.26 信号源与相关的信号处理器或放大器的连接通常会导致在处理器或放大器的输入端所测得的信号有一定程度的损耗。考虑图 1.1 所示的两种信号源的表示方法，画出两种电路将信号源连接到信号处理器输入端（和相应的输入电阻）的电路。当信号处理器的输入电阻为多大时输送到处理器的电压为开路电压的 90%？当输入电阻为多少时将有 90%的短路信号电流进入处理器？

1.2 节：信号频谱

1.27 通过典型值来熟悉角频率ω、传统频率 f 和周期 T，并填写下表各项值：

情况	ω(rad/s)	f(Hz)	T(s)
a		1×10^{9}	
b	1×10^{9}		
c			1×10^{-10}
d		60	
e	6.28×10^{3}		
f			1×10^{-6}

1.28 对于下列重要的正弦波的峰值或均方根值，计算另一个相应的值：

（a）117 V_{rms}，北美的家庭电源电压

（b）33.9 V_{peak}，整流电路中常见的峰值电压

（c）220 V_{rms}，部分欧洲国家的家庭电源电压

（d）220 kV_{rms}，北美的高压传输线的电压

1.29 给出下列正弦波电压信号的表达式：

（a）峰值大小为 10 V，频率为 10 kHz

（b）均方根值为 120 V，频率为 60 Hz

（c）峰峰值为 0.2 V，角频率为 1000 rad/s

（d）峰值为 100 mV，周期为 1 ms

1.30 利用式(1.2)和图1.4给出的信息来描述由 $v(t)=1/2+2/\pi(\sin 2000\pi t+\frac{1}{3}\sin 6000\pi t+\frac{1}{5}\sin 10\,000\pi t+\cdots)$ 表示的信号。画出波形、它的平均值为多少？它的峰峰值为多少？它的最低值为多少？它的频率为多少？它的周期为多少？

1.31 用一个频率选择电压表（频谱分析仪）测得一个方波信号的频谱包括在 98 kHz 处幅度为 63 mV 的频谱线和在 126 kHz 处幅度为 49 mV 的频谱线。该信号的基波频率和幅度是多少？基波的均方根值为多少？原始方波信号的峰峰值和周期又是多少？

1.32 一个收听者勉强能够听到第5个谐波，问最高频率方波的基频是多少？如果能够直接听到第5个谐波或更高谐波的话，最低频率方波的基频是多少？（注意，人耳的声学特性也能使收听者感受到较低的谐波。）

1.33 求一个周期为 T 的对称方波的幅度，该方波与相同频率、峰值幅度为 $\hat{V}$ 的正弦波提供相同的功率。该结果取决于这两种波形的频率是否相等的条件吗？

1.3 节：模拟信号与数字信号

1.34 给出下列十进制数的二进制表示：0，5，8，25 和 57。

1.35 考虑一个4位的带符号位形式的二进制字 $b_3b_2b_1b_0$，其最高有效位 b_3 是一个符号位——0表示正数而1表示负数。列出能够用这种制式表示的数值。0的表示有什么特别之处？对于一个特定的模数转换器（ADC），b_0 的每次变化对应于模拟输入有 0.5 V 的变化。它能够表示的模拟信号的范围是多少？对于+2.5 V 的输入，它的带符号位的数字编码是多少？当输入为−3.0 V，+2.7 V，−2.8 V 时的数字编码各是多少？

1.36 考虑一个 N 位的 ADC，它的模拟输入在 0 到 V_{FS}（下标 FS 表示最大定标）的范围内变化。

（a）证明最低有效位（LSB）对应于（$V_{FS}/(2^N-1)$）的模拟信号变化。这是转换器的分辨率。

（b）证明转换的最大误差（量化误差）是分辨率的一半，也就是说，量化误差 $=V_{FS}/2(2^N-1)$。

（c）对于 $V_{FS}=10$ V，要得到 5 mV 或者更高的分辨率需要用几位表示？得到的实际分辨率是多少？它的量化误差为多少？

1.37 图 P1.37 是一个 N 位数模转换器（DAC）。每一位要转化的数字位控制一个开关。当该位是0时，开关处于0的位置；当该位是1时，开关处于1的位置。模拟输出是电流 i_O。V_{ref} 是固定的参考电压。

（a）证明：

$$i_O=\frac{V_{ref}}{R}\left(\frac{b_1}{2^1}+\frac{b_2}{2^2}+\cdots+\frac{b_N}{2^N}\right)$$

（b）哪一位是最低有效位？哪一位是最高有效位？

（c）当 $V_{ref}=10$ V，$R=5$ kΩ，$N=6$ 时，求最大的 i_O。当最低有效位从0变为1时，i_O 变化了多少？

1.38 在 CD 音频技术中，音频信号以 44.1 kHz 的频率采样。每次采样用16位表示。那么该系统的速度是多少（b/s）？

1.4 节：放大器

1.39 下面给出了几种不同的用均方根值表示的放大器和负载的组合。分别求每一种情况下的电压、电流和功率增益（A_v，A_i 和 A_p），用比值和分贝两种形式表示：

（a）$v_I=100$ mV，$i_I=100\ \mu$A，$v_O=10$ V，$R_L=100\ \Omega$

（b）$v_I = 10\ \mu V$，$i_I = 100\ nA$，$v_O = 2\ V$，$R_L = 10\ k\Omega$

（c）$v_I = 1\ V$，$i_I = 1\ mA$，$v_O = 10\ V$，$R_L = 10\ \Omega$

1.40 某放大器用±3 V 的电源供电。当输入为 0.2 V_{peak} 时，可获得 1.0 mA_{peak} 的电流，并在 100 Ω 的负载上产生 2.2 V_{peak} 的正弦波。每个电源的平均电流为 20 mA。求用比值和分贝表示的电压增益、电流增益、功率增益、电源功率、放大器损耗和放大器效率。

1.41 一个使用平衡电源的放大器当每个电源信号在 1.2 V 的范围内时将达到饱和。线性运行时，它的增益为 500 V/V。那么当使用±5 V 电源时可以获得不失真输出正弦波的 RMS 值为多大？需要多大的输入？当电源为±10 V 时又如何？±15 V 时又怎样？

1.42 有一个工作在所谓的限幅模式的对称饱和放大器，它可以将正弦波转换成伪方波。对于小信号增益为 1000、限幅电平为±9 V 的放大器，要得到刚好在限幅边缘的输出时需要输入多大峰值的正弦波？要得到 90% 的时间被限幅的输出时需要输入多大峰值的正弦波？要得到 99%的时间被限幅的输出时需要输入多大峰值的正弦波？

1.43 某特定的放大器由单电源供电，当出入信号大于 8 V 和小于 1.5 V 时被限幅。那么当该放大器的偏置电压为 4 V 时，不失真输出正弦波的最大可能的峰值为多少？在什么偏置点时可以得到这个最大不失真正弦波？

D*1.44 利用单个 MOS 晶体管设计一个放大器，它的输出特性为

$$v_O = 10 - 5(v_I - 2)^2$$

其中，v_I 和 v_O 的单位为伏特（V）。该传输特性的应用范围为 $2 \leqslant v_I \leqslant v_O + 2$，$v_O$ 为正值。在该区域的边界时，放大器达到饱和。

（a）画出并标注该传输特性。饱和电平 L_+、L_- 以及相应的 v_I 值为多少？

（b）对该放大器进行偏置使得直流输出电压为 5 V，那么输入直流电压 V_I 为多少？

（c）计算在偏置点处的小信号电压增益值。

（d）如果在直流偏置电压上叠加一个正弦输入信号，即

$$v_I = V_I + V_i \cos \omega t$$

求 v_O。利用三角函数 $\cos^2\theta = \frac{1}{2} + \frac{1}{2}\cos 2\theta$，将 v_O 表示成一个直流分量、一个频率为 ω 的信号分量和一个频率为 2ω 的正弦分量之和。后面的分量是不希望的值，它是放大器非线性传输特性的结果。如果要求将二次谐波分量与基波分量的比限制为 1%（该比例被称为二次谐波失真），那么 V_i 相应的上限为多少？得到的输出电压的幅度为多少？

1.5 节：放大器电路模型

1.45 考虑图 1.17（b）所示的电压放大器电路模型，在下列条件下，有 $A_{vo} = 10$ V/V：

（a）$R_i = 10R_s$，$R_L = 10R_o$

（b）$R_i = R_s$，$R_L = R_o$

（c）$R_i = R_s / 10$，$R_L = R_o / 10$

计算每种情况下总的电压增益 v_o/v_s，分别采用直接表示和用 dB 表示两种方法。

1.46 用一个具有 40 dB 小信号开路电压增益、1 MΩ输入电阻和 10 Ω输出电阻的放大器来驱动 100 Ω 的负载。求接上负载后的电压增益和功率增益（用 dB 表示）？如果该放大器有 100 mA 的峰值输出电流限制，那么当输出不失真时，正弦波输入的最大 RMS 值为多少？相应的输出功率为多少？

1.47 一个内电阻为100 kΩ的10 mV信号源和一个输入电阻为10 kΩ、开路电压增益为1000 V/V、输出电阻为1 kΩ的放大器相连，该放大器又接有100 Ω的负载。那么从信号源到负载的总电压增益为多少？这些增益体现在哪里？如果信号源直接接到负载，那么增益又为多少？这两个增益的比值为多少？这个比值在度量放大器带来的好处时非常有用。

1.48 一个增益为1 V/V的缓冲放大器的输入电阻为1 MΩ，输出电阻为10 Ω，它连接在1 V、100 kΩ的信号源和100 Ω的负载之间，负载获得的电压为多少？相应的电压增益、电流增益和功率增益为多少（用dB表示）？

1.49 考虑例题1.3的级联放大器。当第一级和第二级互换时，求总电压增益 v_o/v_s。与例题1.3中得到的值进行比较并给出评论。

1.50 有两个放大器A和B，将它们级联起来，接在10 mV、100 kΩ的信号源和100 Ω的负载之间。原来放大器的电压增益、输入电阻和输出电阻如下：放大器A分别为100 V/V，10 kΩ，10 kΩ；放大器B分别为1 V/V，100 kΩ，100 kΩ。问题是如何连接这两个放大器。分析两种可能的信号源S和负载L之间的连接，即SABL和SBAL。求两种情况下的电压增益，分别采用比例表示和用dB表示。哪一种连接方式较好？

D*1.51 设计者可以利用输入电阻为10 kΩ、输出电阻为1 kΩ、开路电压增益为10的电压放大器进行电路设计。信号源的内阻为10 kΩ，提供RMS值为10 mV的信号。现在要求至少能够向1 kΩ的负载提供RMS值为2 V的信号，需要多少级放大器？实际得到的输出电压为多少？

D*1.52 设计一个放大器，要求它能够向100Ω的负载电阻提供0.5 W的信号功率。信号源的内阻为0.5 MΩ，能够提供RMS值为30 mV的信号。现在有三种类型的电压放大器可以使用：

（a）$R_i=1\ \text{M}\Omega$，$A_{vo}=10$ 以及 $R_o=10\ \text{k}\Omega$ 的高输入电阻型

（b）$R_i=10\ \text{k}\Omega$，$A_{vo}=100$ 以及 $R_o=1\ \text{k}\Omega$ 的高增益型

（c）$R_i=10\ \text{k}\Omega$，$A_{vo}=1$ 以及 $R_o=20\ \Omega$ 的低输出电阻型

利用这三种放大器的组合来设计一个合适的放大器。要求使用最少数量的放大器并确保在该级联放大器中的任何点上的信号值都不会小于10 mV。求实现后的负载电压和输出功率。

D*1.53 设计一个电压放大器，要求它能够在源内阻为10 kΩ、峰值幅度为10 mV的信号源的驱动下向1 kΩ负载提供3 V的峰值输出电压。

（a）从信号源到负载的电压增益应该为多少？

（b）如果从信号源得到的峰值电流为0.1 μA，那么所允许的最小输入电阻为多少？如果设计时就采用这个 R_i 值，求总的电流增益和功率增益。

（c）如果该放大器的电源限定开路输出电压的峰值为5 V，那么最大允许的输出电阻为多少？

（d）如果该设计的 R_i 如（b）中所得以及 R_o 如（c）中所得，那么该放大器的开路电压增益 $\left(\text{即}\left.\frac{v_o}{v_i}\right|_{R_L=\infty}\right)$ 应该为多少？

（e）作为一种可能的设计方案，如果能够将 R_i 增大到 $1\times10^n\ \Omega$ 的最接近值并将 R_o 减小到 $1\times10^m\ \Omega$ 的最接近值，求：（i）达到设计要求的输入电阻；（ii）达到实现设计要求的输出电阻；（iii）能够满足指标的开路电压增益。

D1.54 某电压放大器的输入电阻为 10 kΩ，输出电阻为 200 Ω，增益为 1000 V/V。它被连接在电阻为 100 kΩ、开路电压为 10 mV 的信号源和 100 Ω的负载之间。问：

（a）输出电压为多少？

（b）从源到负载的电压增益为多少？

（c）从放大器输入端到负载的电压增益为多少？

（d）如果负载两端的输出电压是设计要求的两倍，并且内部放大器有过载的迹象，那么给出能够满足输出设计要求的电阻值及其位置。选择一种方案使得对工作电路引起的干扰最小。（提示：采用并联而不是采用串联连接。）

1.55 某电流放大器有 $R_i = 1\ \text{k}\Omega$，$R_o = 10\ \text{k}\Omega$，$A_{is} = 100$ A/A，它被连接在电阻为 100 kΩ的 100 mV 信号源和 1 kΩ的负载之间。电流增益 i_o/i_i、电压增益 v_o/v_s 以及功率增益分别为多少（直接表示和用 dB 表示）？

1.56 某互导放大器的 $R_i = 2\ \text{k}\Omega$，$G_m = 40$ mA/V，$R_o = 20\ \text{k}\Omega$，它由电阻为 2 kΩ的电压源激励并接有 1 kΩ的电阻负载。求实际得到的电压增益。

D**1.57 要求能够在 10 kΩ的负载两端提供输入信号 v_1 和 v_2 的加权和 $v_O = 10v_1 + 20v_2$，每个输入信号都有 10 kΩ的源电阻。设计者可以利用一些输入输出电阻都为 10 kΩ且 $G_m = 20$ mA/V 的互导放大器以及一些合适的电阻。画出能够实现要求的放大器拓扑结构。（提示：在设计中进行电流相加。）

1.58 图 P1.58 所示是一个互导放大器，其输出被反馈到输入。求所得到的单端网络的输入电阻 R_{in}。（提示：在两个输入端之间施加测试电压 v_x 并求得从源得到的电流 i_x，从而得到 $R_{in} = v_x / i_x$。）

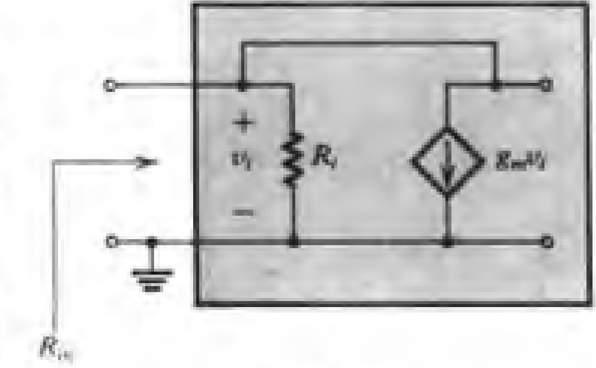


图 P1.58

D1.59 要求设计一个放大器，它能够获取换能器的开路输出电压，并能够向负载电阻提供成比例的电压。该换能器的等效源电阻在 1 kΩ到 10 kΩ之间变化，同时负载电阻在 1 kΩ到 10 kΩ范围内变化。由给定的 R_s 变化引起的负载电压的变化至多为 10%。同样，由给定的 R_L 变化引起的负载电压的变化也被限制在 10%以内。此外，对应于换能器 10 mV 的开路电压，该放大器应该能够在负载两端提供最小为 1 V 的电压。问：需要哪种类型的放大器？画出它的电路模型并给出参数值。以 $1\times10^m\ \Omega$ 的形式指定合适的 R_i 和 R_o 值。

D1.60 要求设计一个放大器，使之能够获取换能器的短路输出电流，并能够向负载电阻提供成比例的电流。该换能器的等效源电阻在 1 kΩ到 10 kΩ之间变化，同时负载电阻在 1 kΩ到 10 kΩ范围内变化。由给定的 R_s 变化引起的负载电流的变化至多为 10%。同样，由给定的 R_L 变化引起的负载电流的变化也应该限制在 10%以内。此外，对应于标称值为 10 μA 的换能器短路输出电流，该放大器应该能够在负载上产生最小为 1 mA 的电流。问：需要哪种类型的放大器？画出它的电路模型并给出参数值。以 $1\times10^m\ \Omega$ 的形式指定合适的 R_i 和 R_o 值。

D1.61 要求设计一个放大器，使之能够获取换能器的开路输出电压并能够向负载电阻提供成比例的电流。该换能器的等效源电阻在 1 kΩ到 10 kΩ之间变化，同时负载电阻在 1 kΩ到

10 kΩ的范围内变化。由给定的 R_s 变化引起的负载电流的变化至多为 10%。同样，由给定的 R_L 变化引起的负载电流的变化也应该限制在 10%以内。此外，对应于换能器 10 mV 的开路输出电压，该放大器应该能够在负载上产生最小为 1 mA 的电流。问：需要哪种类型的放大器？画出它的电路模型并给出参数值。以 $1\times10^m\,\Omega$ 的形式指定合适的 R_i 和 R_o 值。

D1.62 要求设计一个放大器，使之能够获取换能器的短路输出电流并能够向负载电阻提供成比例的电压。该换能器的等效源电阻在 1 kΩ到 10 kΩ之间变化，同时负载电阻在 1 kΩ到 10 kΩ的范围内变化。由给定的 R_s 变化引起的负载电压的变化至多为 10%。同样，由给定的 R_L 变化引起的负载电压的变化也应该限制在 10%以内。此外，对应于标称值为 10 μA 的换能器短路输出电流，该放大器应该能够在负载两端提供最小为 1 V 的电压。问：需要哪种类型的放大器？画出它的电路模型并给出参数值。以 $1\times10^m\,\Omega$ 的形式指定合适的 R_i 和 R_o 值。

1.63 对于图 P1.63 的电路，证明：

$$\frac{v_c}{v_b}=\frac{-\beta R_L}{r_\pi+(\beta+1)R_E}$$

以及

$$\frac{v_e}{v_b}=\frac{R_E}{R_E+[r_\pi/(\beta+1)]}$$

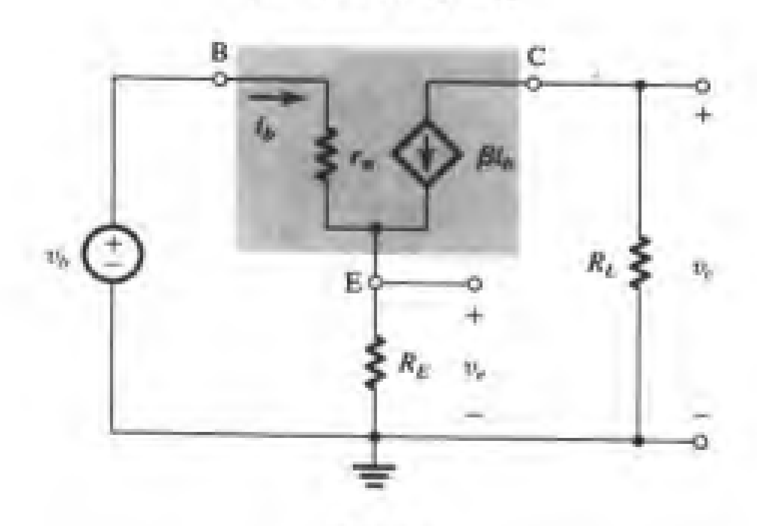


图 P1.63

1.64 一个输入电阻为 10 kΩ的放大器，当由源内阻为 100 kΩ的 1 μA 电流源驱动时，它的短路输出电流为 10 mA，开路输出电压为 10 V。当它驱动 4 kΩ的负载时，电压增益、电流增益和功率增益各为多少？（用比例和 dB 表示。）

1.65 图 P1.65（a）所示是两个互导放大器连接成一定组态的电路。求用 v_1 和 v_2 表示的 v_o 的表达式。设 $g_m=100$ mA/V，$R=5$ kΩ。如果 $v_1=v_2=1$ V，求 v_o 的值，并求 $v_1=1.01$ V 和 $v_2=0.99$ V 时 v_o 的值。[注意：该电路被称为差分放大器，并且有如图 P1.65（b）所示的符号。称为运算放大器的特殊的差分放大器将在第 2 章中介绍。]

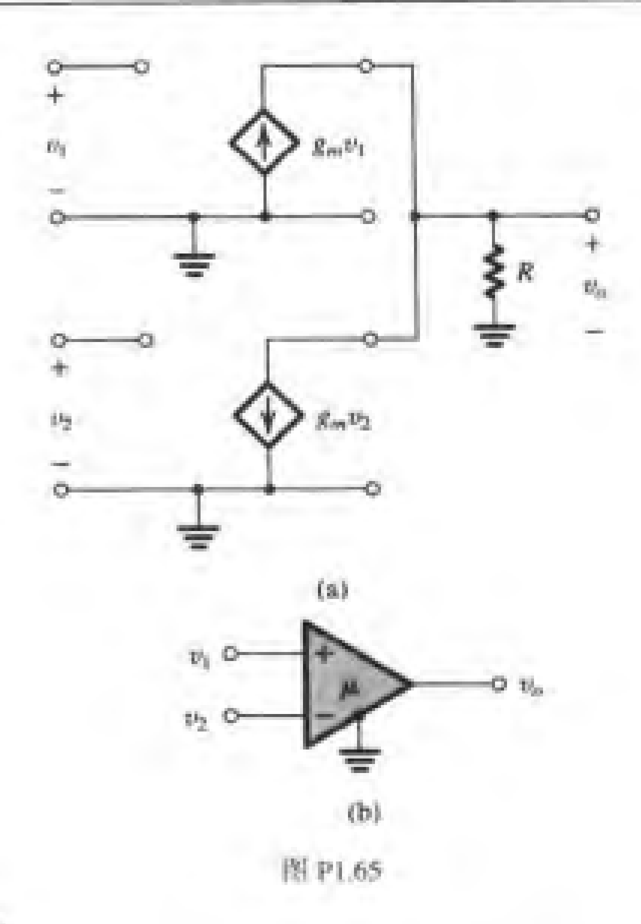


图 P1.65

1.6 节：放大器频率响应

1.66 使用电压分压法则，推导图 1.22 所示电路的传输函数 $T(s)=V_o(s)/V_i(s)$，并证明该传输函数具有表 1.2 中最上面给出的形式。

1.67 在图 P1.67 中，一个信号源被连接到一个放大器的输入端，其中，R_s 是信号源电阻，R_i 和 C_i 分别是放大器的输入电阻和输入电容。推导 $V_i(s)/V_s(s)$ 的表达式，并证明它是低通 STC 类型。当 $R_s=20\ \text{k}\Omega$，$R_i=80\ \text{k}\Omega$ 和 $C_i=5\ \text{pF}$ 时，求 3 dB 频率。

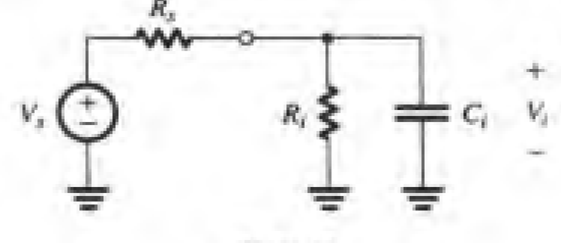



图 P1.67

1.68 求图 P1.68 所示电路的传输函数 $T(s)=V_o(s)/V_i(s)$ 并把它写成表 1.2 中的合适的标准形式。它是高通还是低通网络？它的高频传输性能如何？［在表达式 $T(s)$ 中设 $s\to\infty$ 可直接估算出结果。］角频率 ω_0 为多少？当 $R_1=10\ \text{k}\Omega$，$R_2=40\ \text{k}\Omega$ 和 $C=0.1\ \mu\text{F}$ 时，求 f_0。$|T(j\omega_0)|$ 为多少？

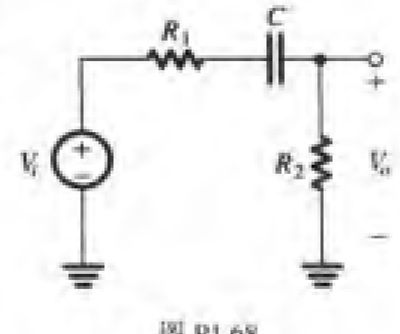


图 P1.68

D1.69 要求将电阻为 R_s 的电压源 V_s 通过电容 C 耦合至负载 R_L。推导从源到负载的传输函数的表达式（即 V_l/V_s），并证明它是高通 STC 类型。当 $R_s=5\ \text{k}\Omega$，$R_L=20\ \text{k}\Omega$ 时，求 3 dB 频率不大于 10 Hz 的最小耦合电容。

1.70 对一个放大器的频率响应进行测量可得到下表中的数据：

f(Hz)	|T|(dB)	∠T(°)
0	40	0
100	40	0
1000		
10^4	37	−45
10^5	20	
	0	

给出表中所缺项的合理估计值，并画出该放大器的幅频响应（即给出波特图）且予以标注。

1.71 对一个放大器的频率响应进行测量可得到下表中的数据：

f(Hz)		10	10^2	10^3	10^4	10^5	10^6	10^7	
|T|(dB)	0	20	37	40			37	20	0

给出表中所缺项的合理估计值，并画出该放大器的幅频响应（即给出波特图）且予以标注。

1.72 图 P1.72 所示电路中的单位增益电压放大器的输入电阻为无穷大，输出电阻为 0，因此相当于极好的缓冲器。证明当某个频率使每个 RC 电路的增益为 1.0 dB 时，总增益 V_o/V_i 将比直流时的增益下降 3 dB。用 CR 来表示该频率。

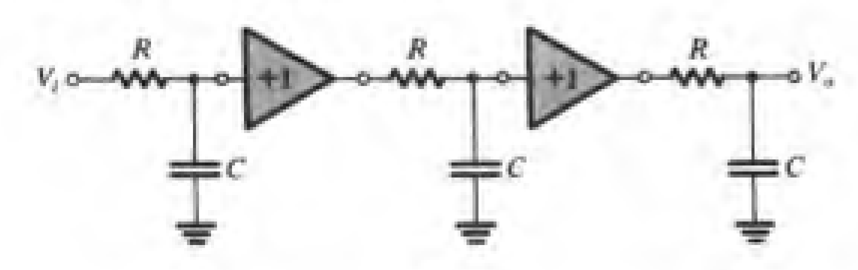


图 P1.72

1.73 某放大器的一个内部节点的戴维南等效节点电阻为 100 kΩ。该节点由于制造错误被一个电容分流到地（即该节点通过一个电容连接到地）。如果测量得到该放大器的 3 dB 带宽由期望的 6 MHz 减小到 120 kHz，请估计该分流电容的值。如果原来的截止频率由这个相同的内部节点上的一个小的寄生电容引起（即该节点和地之间），请估计该寄生电容值。

D*1.74 某设计者想通过对下面两个节点之一用一个小电容进行到地的分流使一个三级放大器的总上限 3 dB 频率降低至 10 kHz：节点 A，在第一级的输出和第二级的输入之间；节点 B，在第二级的输出和第三级的输入之间。对该放大器的总频率响应进行测量发现，当用 1 nF 的电容首先对节点 A 进行分流、然后对节点 B 进行分流时，会使 3 dB 频率从 2 MHz 下降到 150 kHz 和 15 kHz。如果已知每级放大器的输入电阻为 100 kΩ，那么在驱动级节点 A 的输出电阻必须为多少？节点 B 的输出电阻为多少？为了最经济地解决该设计问题，应该在哪个节点接上多大的电容？

D1.75 某放大器的输入电阻为 100 kΩ，输出电阻为 1 kΩ，通过电容耦合连接至 10 kΩ的信号源和 1 kΩ的负载，可以使用的电容值的形式为1×10^{-n} F。为确保相应的角频率小于 100 Hz，应该使用的最小电容为多少？得到的实际角频率为多少？当基本放大器的开路电压增益（A_{vo}）为 100 V/V 时，求 $T(s)=V_o(s)/V_s(s)$ 的表达式。

*1.76 某电压放大器的传输函数为

$$A_v = \frac{100}{\left(1 + j\frac{f}{10^4}\right)\left(1 + \frac{10^2}{jf}\right)}$$

使用低通和高通 STC 网络的波特图(见图 1.23 和图 1.24)画出$|A_v|$的波特图。给出f=10 Hz, 10^2 Hz, 10^3 Hz, 10^4 Hz, 10^5 Hz, 10^6 Hz 和 10^7 Hz 时增益幅度的近似值。求该放大器的带宽（定义为增益保持在最大值的 3 dB 范围内的频率区间）。

*1.77　对于图 P1.77 所示的电路，首先计算$T_i(s) = V_i(s)/V_s(s)$和相应的截止（角）频率，然后计算$T_o(s) = V_o(s)/V_i(s)$和相应的截止频率。将每个传输函数写成标准形式（见表 1.2），并将其组合成总的传输函数$T(s) = T_i(s) \times T_o(s)$。画出$|T(j\omega)|$的幅度波特图。在 3 dB 截止点之间的带宽为多少？

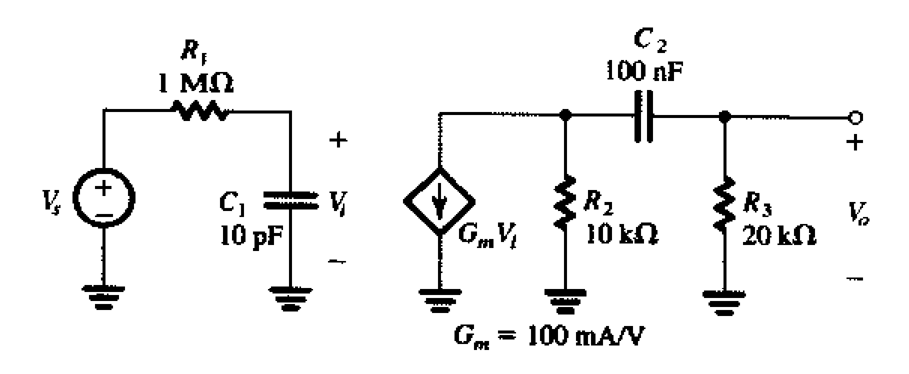


图 P1.77

D**1.78 某互导放大器有如表 1.1 中所示的等效电路，它由源电阻为R_s的电压源V_s激励，输出连接到由电阻R_L和电容C_L并联组成的负载上。当给定R_s，R_L和C_L的值时，要求指定放大器参数R_i，G_m和R_o值，使其满足下面的设计条件：

（a）当将信号源耦合到放大器时至多有$x\%$的输入信号损失［即（$V_i \geq [1-(x/100)]V_s$）］；

（b）该放大器的 3 dB 频率等于或大于指定的值$f_{3\text{dB}}$；

（c）直流增益V_o/V_s等于或大于指定值A_0。

证明通过下面的选择可以满足这些条件：

$$R_i \geq \left(\frac{100}{x} - 1\right)R_s$$

$$R_o \leq \frac{1}{2\pi f_{3\text{dB}}C_L - (1/R_L)}$$

$$G_m \geq \frac{A_0/[1-(x/100)]}{(R_L \| R_o)}$$

当R_s = 10 kΩ, x = 20%，A_0 = 80，R_L = 10 kΩ, C_L = 10 pF 和$f_{3\text{dB}}$ = 3 MHz 时，求R_i，G_m和R_o。

*1.79　利用电压分压规则求图 P1.79 所示电路的传输函数$V_o(s)/V_i(s)$。证明如果有$C_1R_1 = C_2R_2$，那么该传输函数与频率无关。在这种条件下，该电路被称为具有补偿的衰减器，它经常用在示波器探针的设计中。求用R_1和R_2表示的具有补偿的衰减器的传输函数。

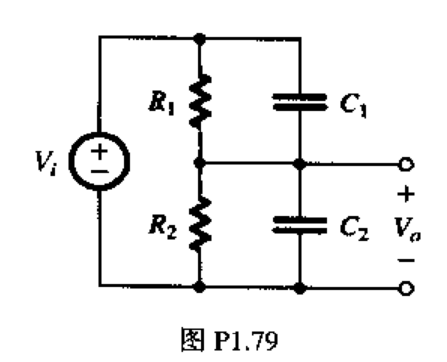


图 P1.79

*1.80　某放大器的频率响应如图 1.21 所示，它在 100 Hz 到 1 kHz 的放大器带宽范围内相移不大于 11.4°。我们发现在低频端的增益下降由高通 STC 电路确定，而高频端的增益下降由低通 STC 电路确定。那么这两个电路的角频率为多少？在定义放大器带宽的两个频率处增益下降多少（用 dB 表示）？在什么频率时增益下降 3 dB？

1.7 节：数字逻辑反相器

1.81　一个特定的反相器被设计成 $V_{IL}=1.3$ V，$V_{IH}=1.7$ V，$V_{OL}=0$ V 和 $V_{OH}=3.3$ V。求高、低电平噪声容限 NM_H 和 NM_L。

1.82　一个特定的反相器的电压转移特性曲线由图 1.29 给出的三段直线表示，如果 $V_{IL}=1.5$ V，$V_{IH}=2.5$ V，$V_{OL}=0.5$ V 和 $V_{OH}=4$ V。求：

（a）噪声容限

（b）在 $v_O=v_I$ 时的 v_I 值（反相器门限）

（c）转换区的电压增益

1.83　一个特定的反相器使用的电源是 V_{DD}，$V_{OL}=0.1V_{DD}$，$V_{OH}=0.8V_{DD}$，$V_{IL}=0.4V_{DD}$ 并且 $V_{IH}=0.6V_{DD}$。它的噪声容限是多少？转换宽度是多少？对于至少为 1 V 的噪声容限，需要多大的 V_{DD}？

1.84　一种普通使用的逻辑电路类型是"晶体管-晶体管逻辑"（TTL）。TTL 逻辑门和逻辑模块出现在商用的小规模和中规模集成电路封装中。这些集成块被装配到印刷电路板中以实现数字系统。器件的数据手册给出了以下的基本 TTL 电路特性（SN7400 型）：

需要使输出端为逻辑 0 电平的逻辑 1 输入电压：MIN（最小值）2 V

需要使输出端为逻辑 1 电平的逻辑 0 输入电压：MAX（最大值）0.8 V

逻辑 1 输出电压：MIN 2.4 V，TYP（典型值）3.3 V

逻辑 0 输出电压：TYP（典型值）0.22 V，MAX 0.4 V

逻辑 0 电平供电电流：TYP 3 mA，MAX 5 mA

逻辑 1 电平供电电流：TYP 1 mA，MAX 2 mA

到逻辑 0 电平的传播延迟（t_{PHL}）：TYP 7 ns，MAX 15 ns

到逻辑 1 电平的传播延迟（t_{PLH}）：TYP 11 ns，MAX 22 ns

（a）找出噪声容限的最差值；

（b）假设反相器在 1 状态的时间是 50%，在 0 状态的时间也是 50%，求在这个典型电路里的平均静态功耗。电源电压是 5 V；

（c）假设反相器驱动的电容 $C_L=45$ pF，并且工作在 1 MHz 的速率，用式（1.28）估算动态功耗；

（d）求出传播延迟 t_P。

1.85　考虑图 1.31（a）实现的反相器电路。令 $V_{DD}=5$ V，$R=2$ kΩ，$V_{\text{offset}}=0.1$ V，$R_{\text{on}}=200$ Ω，$V_{IL}=1$ V 并且 $V_{IH}=2$ V。

（a）求出 V_{OL}，V_{OH}，NM_H 和 NM_L。

（b）这个反相器驱动 N 个相同的反相器，每一个负载反相器（或者通常称为"扇出"反相器）在输入电压（到扇出反相器）是高电平时需要 0.2 mA 的输入电流，输入电压为 0 V 时电流为 0。我们注意到扇出反相器的输入电流是通过驱动反相器的 R 加上去的，求输出电压 V_{OH} 和 NM_H 的值与扇出反相器数 N 的函数关系，并因此找出 NM_H 至少等于 NM_L 的最大的 N 值。

（c）求出反相器在两种情况下的静态功率损耗：（i）输出为低电平；（ii）输出为高电平，并且驱动的最大扇出数由（b）给出。

1.86　一个反相器用图 1.32 给出的方式构成，开关的 $R_{on} = 1\ k\Omega$，$V_{DD} = 5\ V$ 并且 $V_{IL} = V_{IH} = V_{DD}/2$。

（a）求 V_{OH}，V_{OL}，NM_L 和 NM_H。

（b）如果 v_I 从 0 V 到+ 5 V 的上升是瞬间的，并且假设开关瞬间工作，即在 $t = 0$ 时，PU（上拉开关）断开，PD（下拉开关）闭合。假设电容 C 连在输出和地之间，写出 $v_O(t)$ 的表达式。当 $C = 1$ pF 时，求输出从高到低的传播延迟（t_{PHL}）。同样，求出 t_{THL}（参见图 1.35）。

（c）对于 v_I 从+ 5 V 瞬时降到 0 V 的情况，重复（b）。这里再次假设下拉开关断开和上拉开关闭是瞬时完成的。

1.87　对图 1.33 所示的电流模式反相器，令 $V_{CC} = 5\ V$，$I_{EE} = 1\ mA$，并且 $R_{C1} = R_{C2} = 2\ k\Omega$，求 V_{OL} 和 V_{OH}。

1.88　考虑图 1.32 所示的反相器，令 $V_{DD} = 5\ V$，并令输出和地之间的电容是 10 pF，如果反相器以 100 MHz 的频率开关，利用式（1.28）估计动态功率损耗。从直流电源吸收的平均电流是多少？

D**1.89 我们希望研究图 1.31（a）所示的反相器设计并着重分析电阻 R 的选择。选择合适的 R 需要考虑两个方面——传播延迟和功率损耗。

（a）证明：如果 v_I 从高到低瞬时改变，并假设开关瞬时断开，输出负载电容 C 上的电压是

$$v_O(t) = V_{OH} - (V_{OH} - V_{OL})e^{-t/\tau_1}$$

其中，$\tau_1 = CR$。证明 $v_O(t)$ 达到 50%，即等于 $\frac{1}{2}(V_{OH} + V_{OL})$ 的时间是

$$t_{PLH} = 0.69CR$$

（b）在稳定状态，假设 v_I 变高，开关瞬时闭合，得到图 1.31 所示的等效电路，证明输出按下式呈指数下降：

$$v_O(t) = V_{OL} + (V_{OH} - V_{OL})e^{-t/\tau_2}$$

其中，对于 $R_{on} \ll R$ 有 $\tau_2 = C(R \| R_{on}) \simeq CR_{on}$，因此 $v_O(t)$ 达到 50% 的时间是

$$t_{PHL} = 0.69CR_{on}$$

（c）用（a）和（b）的结果可得到反相器传播延迟，把 t_{PHL} 和 t_{PLH} 的平均值定义为

$$\tau_p \simeq 0.35CR \quad 对于\ R_{on} \ll R$$

（d）假设开关的 V_{offset} 比 V_{DD} 小很多，证明对于一个一半时间在 0 状态和一半时间在 1 状态的反相器，平均静态功耗是

$$P = \frac{1}{2}\frac{V_{DD}^2}{R}$$

（e）现在选择电阻 R 所需要的折中方案应该很明显了，证明：若 $V_{DD} = 5\ V$ 和 $C = 10$ pF，为了得到不超过 10 ns 的传播延迟和不超过 10 mW 的功耗，R 应该在一个特定的区间，找出该区间并选择合适的 R 值，然后求出 t_p 和 P。

第 2 章　运算放大器

引言

介绍了放大器的基本概念和术语后，我们开始介绍一个非常重要的电路构件——运算放大器（或简称运放）。运算放大器已经使用了很长时间，它们最初主要是实现模拟运算功能和应用在复杂仪器中。早期的运算放大器利用分立元件来构造（真空管，然后是晶体管和电阻），成本非常高（数十美元）。到 20 世纪 60 年代中期，人们生产出了第一个集成运算放大器。该芯片（μA 709）由集成在同一片硅片上的大量晶体管和电阻组成。尽管它的特性很差（按今天的标准），价格很高，但是它的出现标志着电子电路设计进入了一个新的时代。电子工程师开始大量使用运算放大器，这使得它们的价格大大降低。但是工程师们需要质量更高的运算放大器。半导体制造商迅速做出反应，在几年的时间里，人们就能以非常低的价格（数十美分）从大量的供应商处得到高质量的运算放大器了。

运算放大器流行的一个原因是它的多功能性，我们几乎可以用运算放大器做任何事情。同样重要的是集成运算放大器的特性非常接近理想情况。这表明利用集成运算放大器可以使电路设计变得非常简单。此外，运算放大器电路的实际工作性能非常接近于理论计算水平。正是由于这个原因，所以我们在本书中把运算放大器的内容安排得比较靠前。希望本章结束后，读者可以使用运算放大器成功设计重要的电路。

前面已经提到，一个集成运算放大器由大量的晶体管（数十个）、电阻以及（通常包括）一个连接到复杂电路的电容组成。因为我们还没有介绍晶体管电路，因此本章不讨论运算放大器的内部电路而把运算放大器作为一个电路构件来对待，并分析它的端口特性和应用。该方法完全可以用在许多运算放大器的应用分析中，但是对于一些更难懂的或要求更高的应用，了解运算放大器封装内部的电路则是非常必要的。相关内容将在第 9 章中讲解。最后要说明的是，在后面几章中还会介绍一些运算放大器的更高级的应用。

2.1　理想运算放大器

2.1.1　运算放大器的端子

从信号的观点来看，运算放大器有三个端子：两个输入端和一个输出端。图 2.1 所示是用来表示运算放大器的电路符号。端子 1 和端子 2 是输入端，端子 3 是输出端。如 1.4 节中所述，放大器需要直流电源来供电。大多数集成运算放大器需要两个直流电源供电，如图 2.2 所示。封装后的运算放大器引出两个端子（即端子 4 和端子 5）并分别连接到一个正电压源 V_{CC} 和一个负电压源 $-V_{EE}$。显然，图 2.2（b）中有两个直流电源作为电池供电，它们有一个公共接地端。有趣的是运算放大器电路的参考接地点就是两个电源的公共端，也就是说，运算放大器没有一个引出端子直接接地。我们在后面将不再明确画出运算放大器的电源。

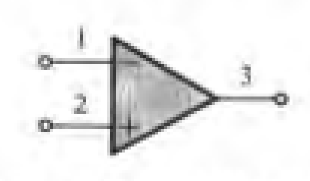


图 2.1　运算放大器的电路符号

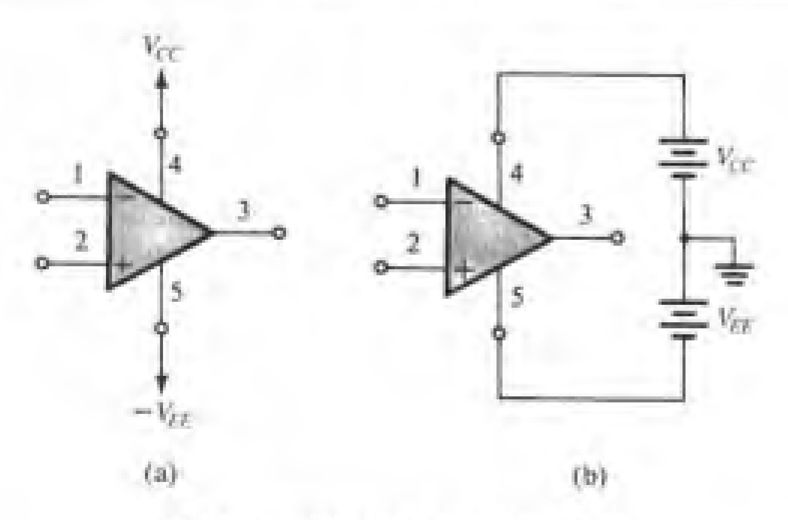


图 2.2　连接有直流电源的运算放大器

除了三个信号端子和两个电源端子，运算放大器可能还会有其他用于特殊目的的端子。这些端子可能包括频率补偿端子和调零端子，它们的功能将在后面解释。

练习 2.1　一个运算放大器所需要的端子最少为几个？一个包含四个运算放大器（叫做四运算放大器）的集成封装最少需要几个端子？

答案：5；14

2.1.2　理想运算放大器的功能与特性

现在考虑运算放大器的电路功能。运算放大器可用来检测加在其两个输入端的电压信号的差值（即 v_2-v_1 的值），然后将该差值乘以数 A，在端子 3 的输出结果为 $A(v_2-v_1)$。应该强调一下，当我们说一个端子的电压时，指的是该端子与地之间的电压。因此，v_1 指加在端子 1 和地之间的电压。

理想运算放大器假定没有任何输入电流，即进入到端子 1 的电流信号和进入到端子 2 的电流信号都为零。换句话说，理想运算放大器的输入阻抗被认为是无穷的。

那么输出端子 3 呢？该端子被假定为理想电压源的输出端。也就是端子 3 和地之间的电压总是等于 $A(v_2-v_1)$，而独立于从端子 3 进入负载阻抗的电流。换句话说，理想运算放大器的输出阻抗被假定为零。

将上面的假设合在一起就可以得到如图 2.3 所示的等效电路模型。输出与 v_2 同相（有相同的符号），而与 v_1 反相（有相反的符号）。因此，输入端子 1 称为反相输入端并用 “–” 号标注；而输入端子 2 称为同相输入端，用 “+” 号标注。

从上面的描述可以看出，运算放大器只对差分信号 v_2-v_1 有响应，而对两个输入端的共模信号无任何响应。也就是说，如果 $v_1=v_2=1$ V，那么在理想情况下，输出将为 0。该特性称为共模抑制，因此可以得出这样的结论：一个理想运算放大器有零共模增益，或等效地说，有无穷的共模抑制。后面将对此做更多介绍。目前可以知道运算放大器是一种具有差分输入和单端输出的放大器，后者（单端输出）指从端子 3 和地之间输出[①]。此外，增益 A 叫做差模增益，其原因显而易见。另外一个与 A 有关的名字可能就不那么明显了，它叫做开环增益。当我们将运算放大器组成闭环组态并定义另一个名字“闭环增益”后就很容易理解开环增益这个名字了。

① 有一些运算放大器设计成双端输出，其内容会在第 9 章中讨论。在本章中，我们只讨论单端输出运算放大器，这种运算放大器在运算放大器的市场上占绝大多数。

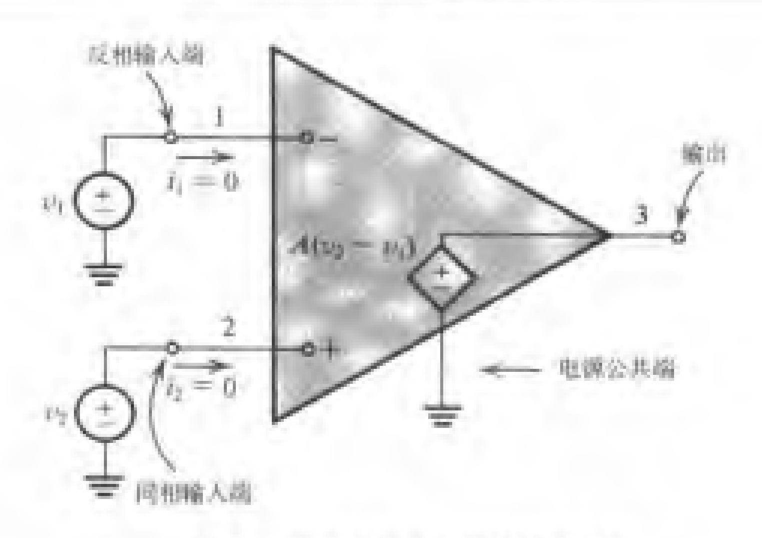


图 2.3 理想运算放大器的等效电路

运算放大器的一个重要特性是它们是直接耦合的，也称为直接耦合（dc）放大器，这里 dc 表示直接耦合（dc 同样表示直流电，因为直接耦合放大器能够放大的信号频率可低至零）。由于运算放大器是直接耦合器件，因此我们可以在许多重要应用中使用运算放大器。但是，直接耦合特性可能会引起一些严重的实际问题，我们将在后面讨论。

我们来看一看带宽的情况。理想运算放大器的频率从零一直到无穷其增益 A 保持不变。也就是说，理想运算放大器对所有频率的信号都具有相同大小的放大增益，因此其带宽无限。

我们已经讨论了理想运算放大器的所有特性，但是有一点没有提到，这一点非常重要。该特性与 A 的值有关，一个理想运算放大器的增益 A 应该非常大，理想情况下是无穷大。有人可能会问：如果增益 A 无穷大，那么应该怎样运用运算放大器呢？答案非常简单：在几乎所有的应用中，运算放大器从不以开环的组态单独使用，而是与其他器件共同构成闭环系统，我们在 2.2 节中会详细介绍。

表 2.1 列出了理想运算放大器的特性。

表 2.1 理想运算放大器的特性

1. 无限输入阻抗
2. 零输出阻抗
3. 零共模增益或无限共模抑制
4. 无限开环增益 A
5. 无限带宽

2.1.3 差模信号与共模信号

差模输入信号 v_{Id} 是两个输入信号 v_1 和 v_2 之间的差值，即

$$v_{Id} = v_2 - v_1 \tag{2.1}$$

共模输入信号是两个输入信号 v_1 和 v_2 的平均值，即

$$v_{Icm} = \frac{1}{2}(v_1 + v_2) \tag{2.2}$$

式（2.1）和式（2.2）可以用来将输入信号 v_1 和 v_2 表示成差模和共模成分：

$$v_1 = v_{Icm} - v_{Id}/2 \tag{2.3}$$

和

$$v_2 = v_{Icm} + v_{Id}/2 \tag{2.4}$$

这些表达式反过来又可以用图 2.4 所示的图形表示。

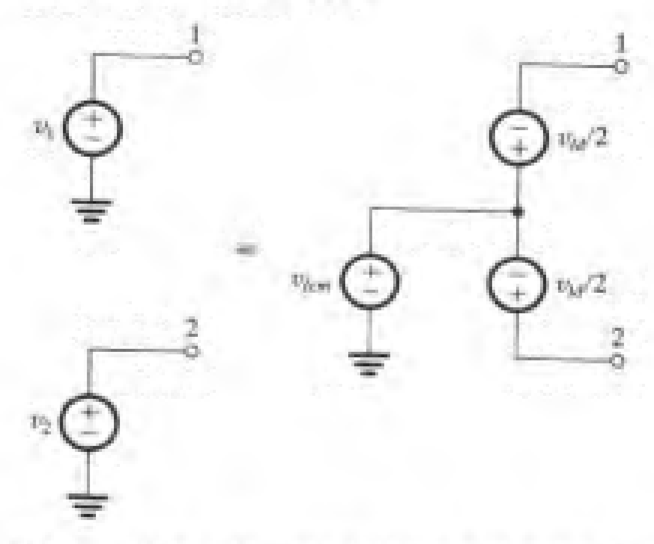


图 2.4　信号源 v_1 和 v_2 用它们的差模和共模成分表示

练习 2.2　考虑一个运算放大器，除了开环增益 $A = 10^3$ 之外，其余特性均为理想运算放大器的性能。该运算放大器用在一个反馈电路中，并测得其中两个端子的电压。在下列情况下，利用测得的值求第三个端子的电压值，并求差模和共模输入信号（a）$v_2 = 0$ V，$v_3 = 2$ V；（b）$v_2 = +5$ V，$v_3 = -10$ V；（c）$v_1 = 1.002$ V，$v_2 = 0.998$ V；（d）$v_1 = -3.6$ V，$v_3 = -3.6$ V。

答案：（a）$v_1 = -0.002$ V，$v_{Id} = 2$ mV，$v_{Icm} = 1$ mV；

（b）$v_1 = +5.01$ V，$v_{Id} = -10$ mV，$v_{Icm} = 5.005 \approx 5$ V；

（c）$v_3 = -4$ V，$v_{Id} = -4$ mV，$v_{Icm} = 1$ V；

（d）$v_2 = -3.6036$ V，$v_{Id} = -3.6$ mV，$v_{Icm} \approx -3.6$ V

练习 2.3　一个运算放大器的内部电路如图 E2.3 所示。将 v_3 表示成 v_1 和 v_2 的函数。当 $G_m = 10$ mA/V，$R = 10$ kΩ以及 $\mu = 100$ 时，求开环增益 A 的值。

答案：$v_3 = \mu G_m R(v_2 - v_1)$；$A = 10\,000$ V/V 或 80 dB

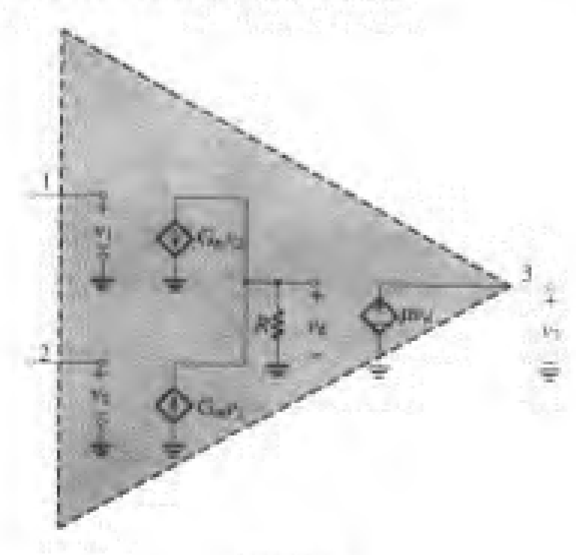


图 E2.3

2.2 反相组态

如上所述，运算放大器并不是单独使用的，而是用无源器件连接成反馈回路。采用一个运算放大器和两个电阻可以组成两种组态的电路：一种是反相组态，在本节中介绍；另一种是同相组态，我们将在下一节中介绍。

图 2.5 所示是反相组态电路，由一个运算放大器和两个电阻（R_1 和 R_2）组成。电阻 R_2 从运算放大器的输出端子 3 连接到反相或负输入端子 1。我们称 R_2 引入了负反馈；如果 R_2 连接在端子 3 和端子 2 之间，则为正反馈。可以看出，R_2 将运算放大器组成了闭环。除增加了 R_2 之外，我们还将端子 2 接地并且在端子 1 和输入信号源 v_I 之间接上一个电阻 R_1。整个电路从端子 3 输出（即在端子 3 和地之间输出）。端子 3 当然是一个合适的输出节点，因为在理想情况下，它的阻抗为 0。因此电压 v_O 不依赖于连接在端子 3 和地之间的负载阻抗上的电流。

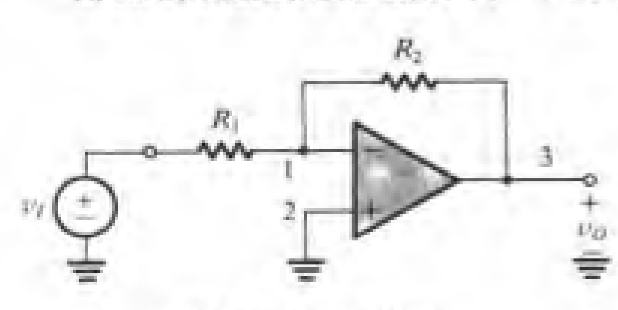


图 2.5 反相闭环组态

2.2.1 闭环增益

现在分析图 2.5 所示的电路并确定它的闭环增益 G，其定义为

$$G \equiv \frac{v_O}{v_I}$$

假定运算放大器理想。图 2.6（a）给出了等效电路。分析过程如下：增益 A 非常大（理想情况下为无穷大），假定电路正常工作，则在端子 3 产生一个有限的输出电压，那么在运算放大器输入端之间的电压应该很小，可以忽略，在理想情况下为 0。具体地说，如果输出电压为 v_O，则根据定义

$$v_2 - v_1 = \frac{v_O}{A} = 0$$

可以得到反相输入端（v_1）的电压为 $v_1 = v_2$。这是因为增益 A 接近无限，因此电压 v_1 接近于 v_2，在理想情况下等于 v_2。因此我们说两个输入端“在电位上相等”，也称两个输入端之间虚短路。这里必须强调一下“虚”的概念，在分析电路时，不要错误地认为端子 1 和端子 2 物理上连接在一起。虚短路指的是不管端子 2 上的电压是多少，都会自动地在端子 1 上显示出来，因为增益 A 是无限的。如果端子 2 接地，则 $v_2 = 0$ 并且 $v_1 = 0$，因此称端子 1 为虚地——即它的电压为零但不是实际接地。

既然得到了 v_1，就可以利用欧姆定律求流过电阻 R_1（见图 2.6）上的电流 i_1：

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

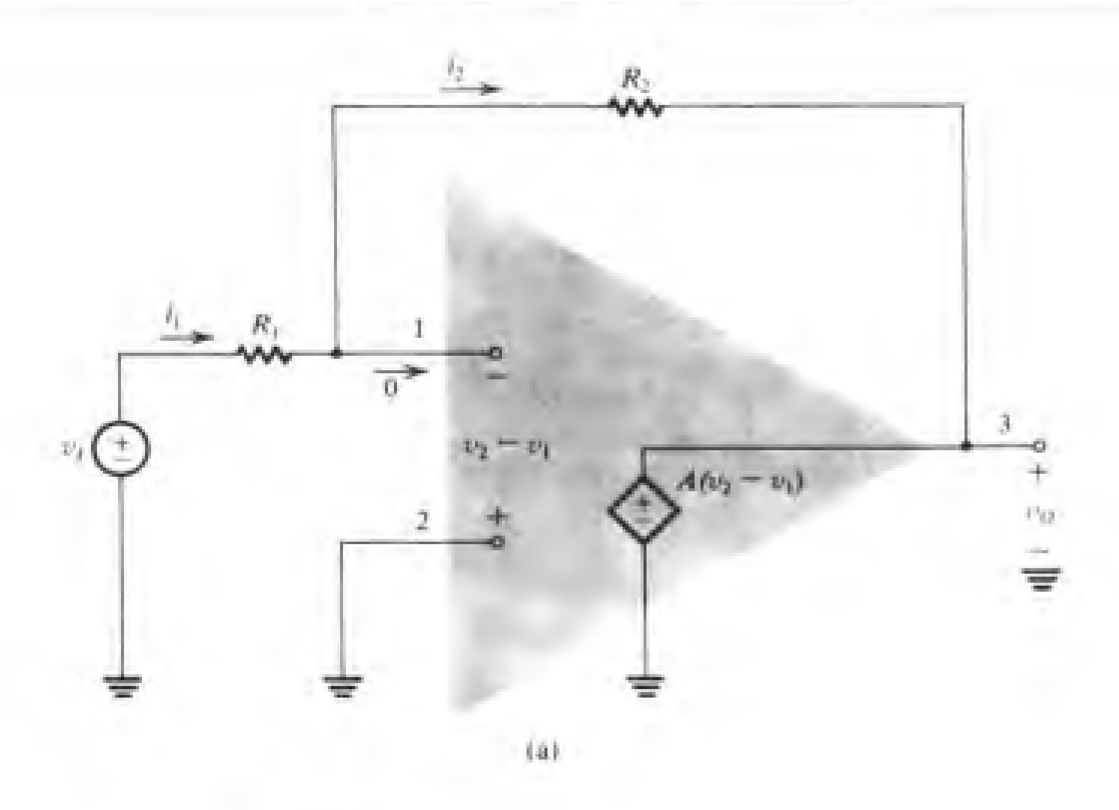
该电流将流向何处呢？它不可能流进运算放大器，因为理想运算放大器的输入阻抗为无穷，因此它获得的电流为 0，所以 i_1 必定流经 R_2 到低阻抗端子 3。对 R_2 应用欧姆定律可得到 v_O，即

$$\begin{aligned} v_O &= v_1 - i_1 R_2 \\ &= 0 - \frac{v_I}{R_1} R_2 \end{aligned}$$

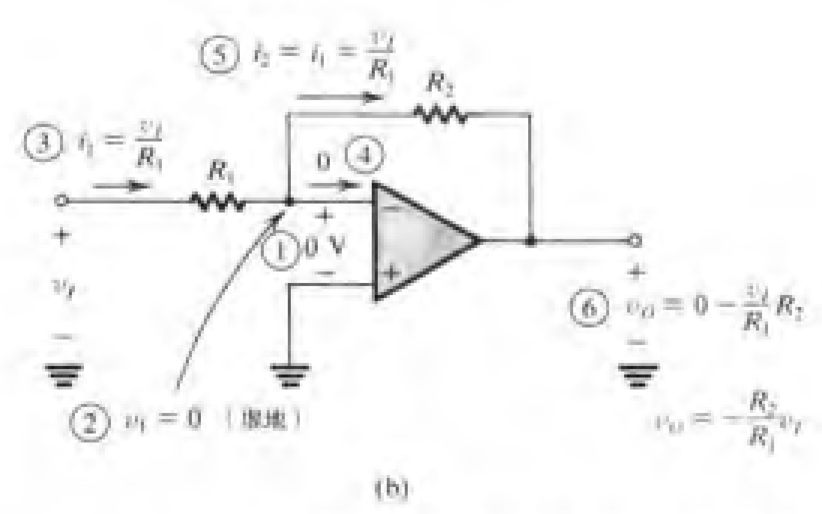
因此，

$$\frac{v_O}{v_I} = -\frac{R_2}{R_1}$$

它就是所要求的闭环增益。图 2.6（b）解释了上述求解步骤，带圆圈的数字表示分析步骤的顺序



(a)



(b)

图 2.6　反相组态的分析。带圆圈的数字给出了分析步骤的顺序

我们可以看到闭环增益是两个电阻 R_2 和 R_1 的比值，负号表示闭环放大器将信号反相。因此，如果 $R_2/R_1 = 10$，我们输入峰峰值为 1 V 的正弦波信号（v_I），那么输出 v_O 将是一个峰峰值为 10 V、相移为 180°的正弦波。因为负号与闭环增益联系在一起，因此称该组态为反相组态。

闭环增益完全取决于外电路无源元件（电阻 R_1 和 R_2），这是非常有意义的。它意味着可以通过选择合适精度的无源元件使闭环增益满足精度的要求。此外闭环增益在理想情况下与运算放大器增益无关。这可以通过负反馈来解释：对于一个增益 A 相当大的放大器，通过应用负反馈，可以得到一个比 A 小但是可预测的稳定的闭环增益 R_2/R_1。这就是所谓的牺牲增益来获得精度的一种折中考虑。

2.2.2　有限开环增益的影响

在运算放大器的开环增益 A 是有限的假定下，通过推导出闭环增益的表达式可以清楚地解释前

面刚刚得到的结论。图 2.7 给出了分析过程。如果输出电压记为 v_O，那么在运算放大器的两个输入端之间的电压为 v_O/A。因为正输入端接地，那么负输入端的电压必定是 $-v_O/A$。流过 R_1 的电流 i_1 为

$$i_1=\frac{v_I-(-v_O/A)}{R_1}=\frac{v_I+v_O/A}{R_1}$$

运算放大器的无穷输入阻抗迫使电流 i_1 完全流过 R_2，因此输出电压 v_O 为

$$\begin{aligned} v_O &= -\frac{v_O}{A}-i_1R_2 \\ &= -\frac{v_O}{A}-\left(\frac{v_I+v_O/A}{R_1}\right)R_2 \end{aligned}$$

这样闭环增益 G 为

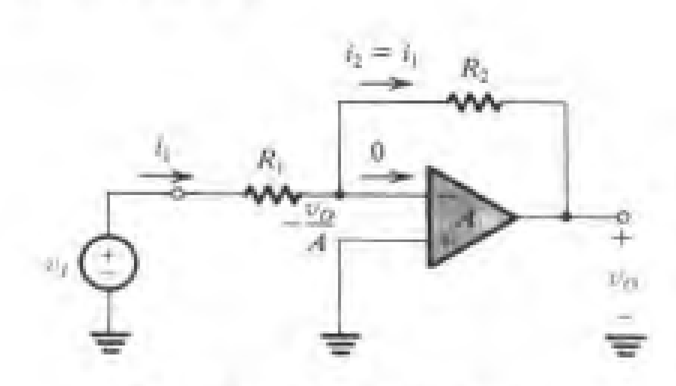


图 2.7 考虑了有限开环增益影响的反相组态运算放大器的分析

$$G=\frac{v_O}{v_I}=\frac{-R_2/R_1}{1+(1+R_2/R_1)/A} \qquad (2.5)$$

当 A 趋向于∞时，G 就趋向于理想值 $-R_2/R_1$。同样，从图 2.7 可以看出当 A 趋向于∞时，反相输入端的电压就趋向于 0。这就是前面把运算放大器作为理想情况分析时所用的虚地假设。最后，式（2.5）实际上指出了为使闭环增益 G 不依赖于开环增益 A 的条件，即

$$1+\frac{R_2}{R_1}\ll A$$

例题 2.1 考虑 $R_1=1\,\text{k}\Omega$ 和 $R_2=100\,\text{k}\Omega$ 的反相组态运算放大器：

（a）求 $A=10^3$, 10^4 和 10^5 时的闭环增益，每种情况下 G 的大小相对于理想值 R_2/R_1（由 $A=\infty$ 得到）的百分比误差。并求当 $v_I=0.1$ V 时反相输入端的电压 v_1。

（b）如果开环增益 A 从 100 000 变为 50 000（即下降了 50%），那么闭环增益 G 的相应百分比变化是多少？

解：（a）将给定的值代入式（2.5）可以得到下表中的值，其中百分比误差 ε 定义为

$$\varepsilon=\frac{|G|-(R_2/R_1)}{(R_2/R_1)}\times 100$$

A	$\|G\|$	ε	v_1
10^3	90.83	−9.17%	−9.08 mV
10^4	99.00	−1.00%	−0.99 mV
10^5	99.90	−0.10%	−0.10 mV

当 $v_I=0.1$ V 时，可以从 $v_1=-v_O/A=Gv_I/A$ 得到 v_1 的值。

（b）利用式（2.5），求得当 $A=50\,000$ 时，$|G|=99.80$。因此开环增益 −50% 的变化仅产生闭环增益 −0.1% 的变化。■

2.2.3 输入与输出电阻

假定一个理想运算放大器具有无限开环增益，那么图 2.5 的闭环反相放大器的输入电阻就等

于 R_1。这可以从图 2.6（b）中看出，其中，

$$R_i = \frac{v_I}{i_1} = \frac{v_I}{v_I / R_1} = R_1$$

在 1.5 节中已经介绍了放大器的输入电阻和信号源的内阻组成了一个电压分压回路。因此，为了避免信号强度的损失，电压放大器要求有很高的输入电阻。在反相运算放大器组态中，为了提高 R_i，必须选择较高的 R_1 值。但是，如果要求增益 R_2/R_1 也要高，那么 R_2 的值可能会大得不切实际（也就是大于几兆欧姆）。因此可以得出结论：反相组态具有低输入电阻。该问题的解决方法在下面的例题 2.2 中讨论。

因为反相组态的输出取自理想电压源 $A(v_2 - v_1)$ 端［见图 2.6（a）］，因此闭环放大器的输出电阻为 0。

例题 2.2　假定运算放大器是理想的，推导图 2.8 所示电路的闭环增益 v_O/v_I 的表达式。利用该电路设计一个增益为 100，输入电阻为 1 MΩ的反相放大器。因为实际原因，要求不使用大于 1MΩ 的电阻。对你所设计的电路与基于图 2.5 的反相组态的电路进行比较。

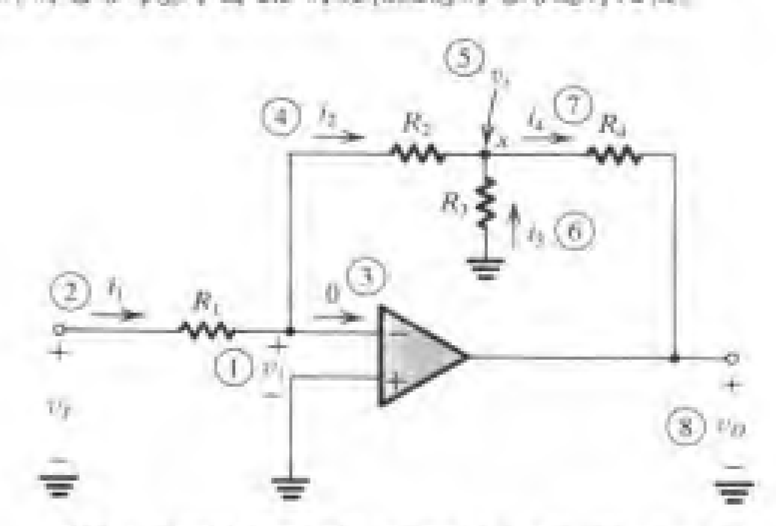


图 2.8　例题 2.2 的电路。带圆圈的数字表示分析的步骤

解：该运算放大器的反相输入端的电压为

$$v_1 = \frac{-v_O}{A} = \frac{-v_O}{\infty} = 0$$

假定该电路工作时的有限输出电压为 v_O，已知 v_1，可以得到电流 i_1：

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

因为进入反相输入端的电流为 0，所有的 i_1 都流经 R_2，因此，

$$i_2 = i_1 = \frac{v_I}{R_1}$$

现在可以得到节点 x 的电压：

$$v_x = v_1 - i_2 R_2 = 0 - \frac{v_I}{R_1} R_2 = -\frac{R_2}{R_1} v_I$$

反过来又可以求得电流 i_3：

$$i_3 = \frac{0-v_x}{R_3} = \frac{R_2}{R_1R_3}v_I$$

接下来，列出节点 x 的节点方程并求出 i_4：

$$i_4 = i_2 + i_3 = \frac{v_I}{R_1} + \frac{R_2}{R_1R_3}v_I$$

最后，得到 v_O：

$$\begin{aligned} v_O &= v_x - i_4R_4 \\ &= -\frac{R_2}{R_1}v_I - \left(\frac{v_I}{R_1} + \frac{R_2}{R_1R_3}v_I\right)R_4 \end{aligned}$$

因此电压增益为

$$\frac{v_O}{v_I} = -\left[\frac{R_2}{R_1} + \frac{R_4}{R_1}\left(1+\frac{R_2}{R_3}\right)\right]$$

上式可以写成如下形式：

$$\frac{v_O}{v_I} = -\frac{R_2}{R_1}\left(1+\frac{R_4}{R_2}+\frac{R_4}{R_3}\right)$$

因为需要 1 MΩ的输入电阻，我们选择 $R_1 = 1$ MΩ。由于受只能使用不超过 1 MΩ的电阻的限制，增益表达式中的第一个因子的最大可能值是 1，因此可以选择 $R_2 = 1$ MΩ。为了得到−100 的增益，所选择的 R_3 和 R_4 必须使得增益表达式中的第二个因子为 100。如果我们为 R_4 选择最大允许的值 1 MΩ（本例题中），那么可以计算得到所要求的 R_3 为 10.2 kΩ。因此，本电路使用三个 1 MΩ的电阻和一个 10.2 kΩ的电阻。对比一下，如果反相组态中使用 $R_1 = 1$ MΩ的电阻，那么我们需要一个 100 MΩ的反馈电阻，这是个大得不切实际的值。

在结束本例题的时候，有必要探讨一下电路的机制。在反馈回路中不使用大电阻却能实现大电压增益，了解这种电路的机制是非常有用的。在本例题的最后，可以看到因为运算放大器的反相输入端虚地，R_2 和 R_3 相当于并联，因此使 R_3 小于 R_2，比如说小 k 倍（即 $R_3 = R_2/k$，其中 $k > 1$），那么流过 R_3 的电流是流过 R_2 电流的 k 倍。因此，当 $i_2 = i_1$ 时，$i_3 = ki_1$ 和 $i_4 = (k+1)i_1$。电流乘以因子（$k+1$）使得在 R_4 两端产生一个大电压降。因此即使 R_4 不使用大电阻也同样具有大电压 v_O。我们还可以看出流过 R_4 的电流与 R_4 的电阻值无关。因此该电路可以作为如图 2.9 所示的电流放大器使用。

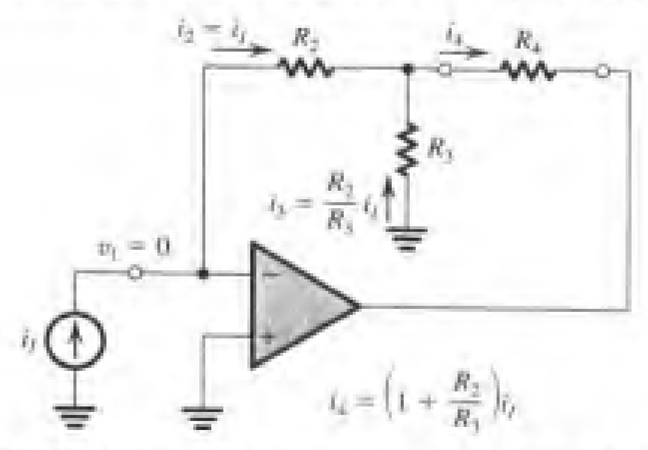


图 2.9 基于图 2.8 所示电路的电流放大器。放大器输出电流给 R_4。它的电流增益为 $(1+R_2/R_3)$，具有零输入电阻和无限的输出电阻。但是负载（R_4）必须浮动连接（即它的两端都不能接地） ■

练习 D2.4　使用图 2.5 所示的电路来设计一个具有−10 增益和 100 kΩ输入电阻的反相放大器，给出电阻 R_1 和 R_2 的值。

答案：$R_1 = 100\ \text{k}\Omega$；$R_2 = 1\ \text{M}\Omega$

练习 2.5　如图 E2.5（a）所示的电路可以用来实现一个互阻放大器（见 1.5 节中的表 1.1）。求互阻放大器的输入电阻 R_i、互阻 R_m 和输出电阻 R_o。如果如图 E2.5（b）所示的信号源接在互阻放大器的输入端，求它的输出电压。

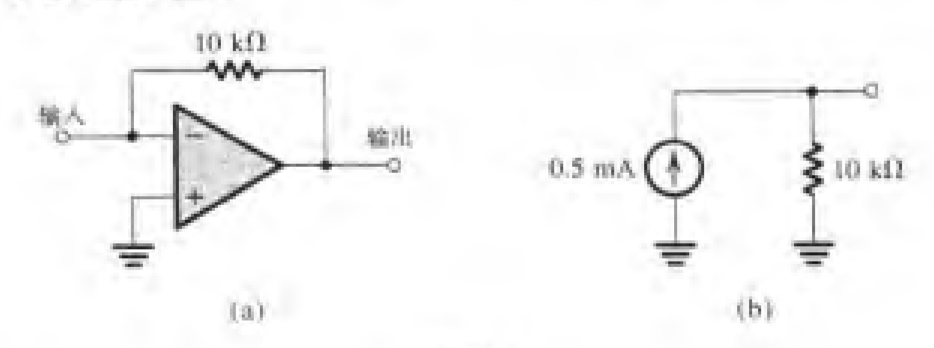


图 E2.5

答案：$R_i = 0$；$R_m = -10\ \text{k}\Omega$；$R_o = 0$；$v_o = -5\ \text{V}$

练习 2.6　确定图 E2.6 所示电路的 v_1、i_1、i_2、v_O、i_L 和 i_O 的值。并求电压增益 v_O/v_I、电流增益 i_L/i_I 和功率增益 P_O/P_I。

答案：0 V；1 mA；1 mA；−10 V；−10 mA；−11 mA；−10 V/V（20 dB），−10 A/A（20 dB）；100 W/W（20 dB）

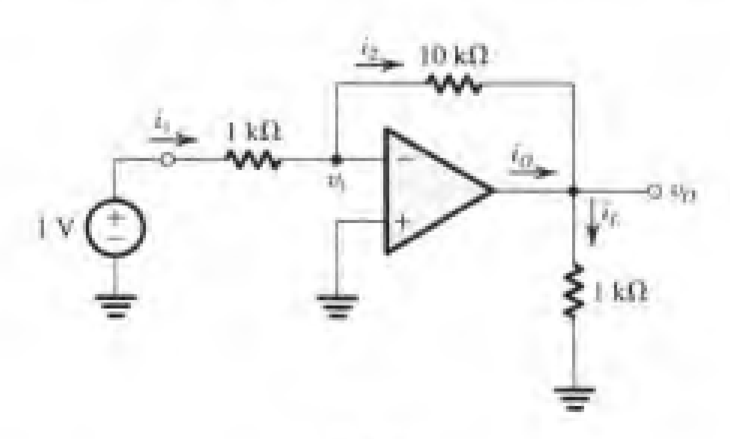


图 E2.6

2.2.4　一个重要的应用——加权加法器

反相组态的一个非常重要的应用是如图 2.10 所示的加权加法电路。其中，电阻 R_f 组成负反馈回路（同前），但是有许多输入信号 v_1，v_2，…，v_n，每一个信号都通过相应的电阻 R_1，R_2，…，R_n 连接到运算放大器的反相输入端。从前面的讨论中得知，理想运算放大器的反相输入端虚地。因此通过欧姆定律，可以得到电流 i_1，i_2，…，i_n：

$$i_1 = \frac{v_1}{R_1},\quad i_2 = \frac{v_2}{R_2},\quad \dots,\quad i_n = \frac{v_n}{R_n}$$

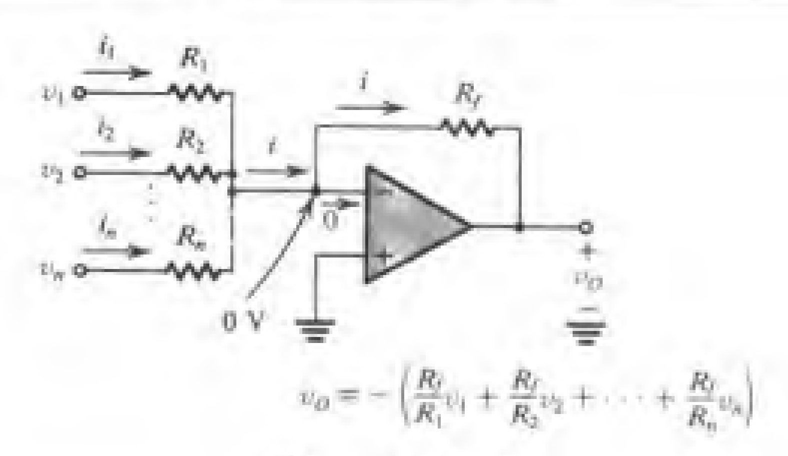


图 2.10　加权加法器

所有这些电流加在一起就是电流 i，即

$$i = i_1 + i_2 + \cdots + i_n \tag{2.6}$$

该电流将全部流过 R_f（因为没有电流流入理想运算放大器的输入端）。通过欧姆定律的应用可以确定输出电压 v_O：

$$v_O = 0 - iR_f = -iR_f$$

因此，

$$v_O = -\left(\frac{R_f}{R_1}v_1 + \frac{R_f}{R_2}v_2 + \cdots + \frac{R_f}{R_n}v_n\right) \tag{2.7}$$

即，输出电压是输入信号 v_1，v_2，…，v_n 的加权和，因此该电路称为加权加法器。可以看出每项加权的系数可以通过调整相应的前馈电阻（R_1 到 R_n）来实现，而它们互相之间不受干扰。该特性可以大大简化电路的调整，这是运算放大器反相端存在虚地的直接结果。读者很快可以注意到虚地给分析带来了极大的便利。图 2.10 中的加权加法器有一个约束，就是所有的加法项系数具有相同符号。有时候会需要对具有相反符号的信号进行相加。这可以通过两个运算放大器来实现，如图 2.11 所示。假定是理想运算放大器，很容易得到输出电压为

$$v_O = v_1\left(\frac{R_a}{R_1}\right)\left(\frac{R_c}{R_b}\right) + v_2\left(\frac{R_a}{R_2}\right)\left(\frac{R_c}{R_b}\right) - v_3\left(\frac{R_c}{R_3}\right) - v_4\left(\frac{R_c}{R_4}\right) \tag{2.8}$$

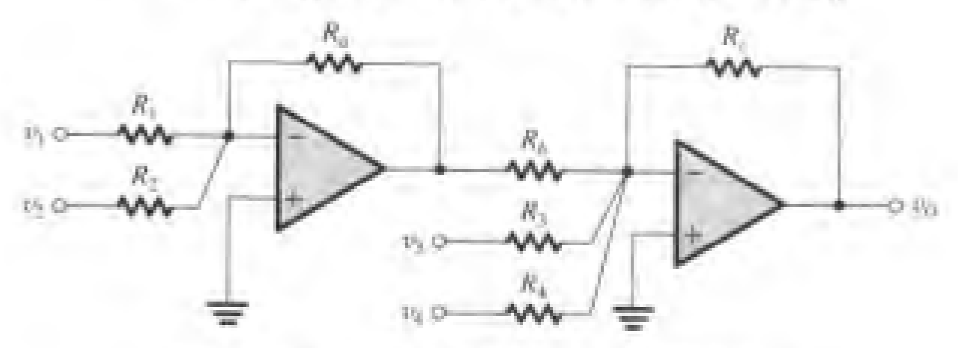


图 2.11　能够实现两种符号相加系数的加权加法器

练习 D2.7　设计一个反相运算放大器电路使它的输出 v_O 成为两个输入信号 v_1 和 v_2 的加权和。要求 $v_O = -(v_1 + 5v_2)$。选择 R_1、R_2 和 R_f 的值使得最大输出电压为 10 V 时反馈电阻上的电流不超过 1 mA。

答案：一种可能的选择为：$R_1 = 10\ \text{k}\Omega$，$R_2 = 2\ \text{k}\Omega$，$R_f = 10\ \text{k}\Omega$

练习 D2.8　利用图 2.11 给出的方法设计一个加权加法器，使其具有

$$v_O = 2v_1 + v_2 - 4v_3$$

答案：一种可能的选择为：$R_1 = 5\ \text{k}\Omega$，$R_2 = 10\ \text{k}\Omega$，$R_a = 10\ \text{k}\Omega$，$R_b = 10\ \text{k}\Omega$，$R_3 = 2.5\ \text{k}\Omega$，$R_c = 10\ \text{k}\Omega$

2.3　同相组态

我们将讨论的第二种闭环组态如图 2.12 所示，其中输入信号 v_I 直接加到运算放大器的同相输入端，而 R_1 的一端接地。

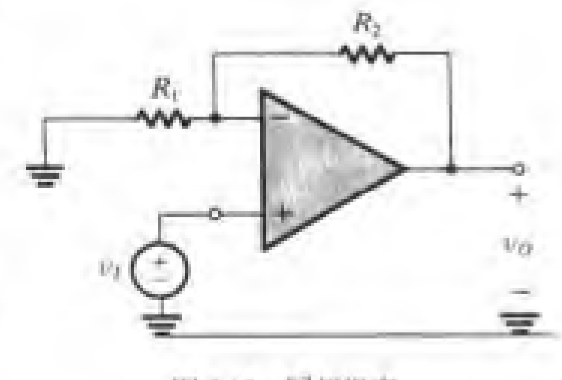


图 2.12　同相组态

2.3.1　闭环增益

图 2.13 给出了对同相电路闭环增益（v_O / v_I）的分析。分析步骤由图中带圆圈的数字表示。假定运算放大器是理想的，具有无限的增益，两个输入端之间虚短路，那么差模输入信号为

$$v_{Id} = \frac{v_O}{A} = 0 \text{ 对于 } A = \infty$$

因此反相输入端的电压等于同相输入端的电压，即等于所加的电压 v_I。流过 R_1 的电流为 v_I/R_1。因为运算放大器具有无限的输入阻抗，因此该电流将全部流过 R_2，如图 2.13 所示。因此输出电压为无限的：

$$v_O = v_I + \left(\frac{v_I}{R_1}\right)R_2$$

由此可得

$$\frac{v_O}{v_I} = 1 + \frac{R_2}{R_1} \tag{2.9}$$

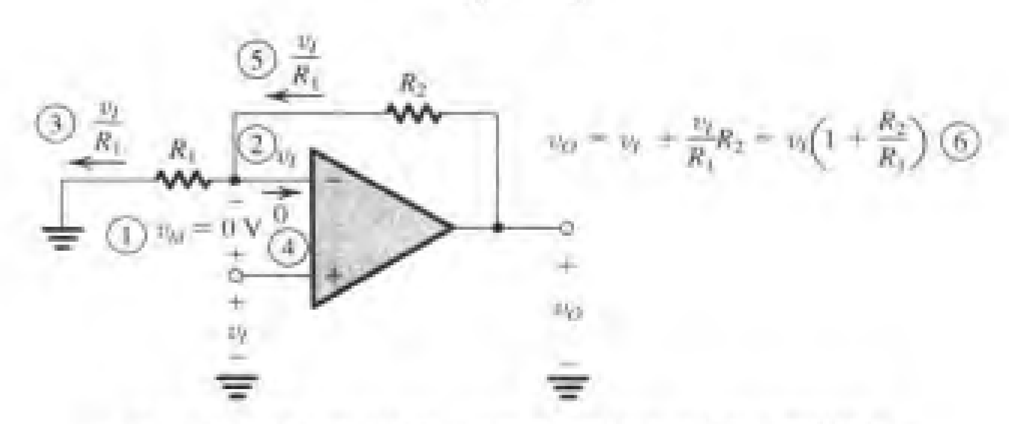


图 2.13　同相电路的分析。带圆圈的数字表示分析步骤的顺序

通过以下分析可以进一步了解同相组态的运行：因为流入运算放大器反相端的电流为零，因此由 R_1 和 R_2 组成的电路实际上是一个电压分压器，它将输出电压的一部分返回给运算放大器的反相输入端，即

$$v_1 = v_O\left(\frac{R_1}{R_1+R_2}\right) \tag{2.10}$$

由于运算放大器具有无穷大的增益以及两个输入端之间虚短路，因此运算放大器迫使该电压等于加到同相输入端的电压，所以有

$$v_O\left(\frac{R_1}{R_1+R_2}\right)=v_I$$

于是可得到式（2.9）给出的增益表达式。

下面进一步来解释图 2.12 的同相电路中的负反馈行为。假设 v_I增加，那么增加的 v_I将导致 v_{Id}增加，由于运算放大器的高增益（理想情况下为无穷），从而使得 v_O相应增加。但是，v_O增加的一部分通过（R_1，R_2）组成的电压分压器被回送到反相输入端。尽管 v_I的增加会相应地导致更高的 v_O值，但是反馈的结果将阻碍 v_{Id}增加并使 v_{Id}返回到 0。我们把负反馈的这个衰减行为称为衰减反馈。最后要说明一点，当 v_I减少时，上述讨论同样适用。有关反馈的内容将在第 8 章中详细介绍。

2.3.2 同相组态特性

同相组态的增益为正，因此称为同相。理想情况下，该闭环放大器的输入阻抗为无穷大，这是因为没有电流流入运算放大器的同相输入端。同相放大器的输出取在理想电压源 $A(v_2-v_1)$的输出端（见图 2.3 所示运算放大器的等效电路），因此同相放大器的输出电阻为 0。

2.3.3 有限开环增益的影响

如同对反相组态的分析，现在考虑运算放大器有限开环增益 A 对同相组态增益的影响。假定运算放大器除了开环增益 A 有限之外，其他特性都理想，可以得到图 2.12 所示的同相放大器电路的闭环增益如下：

$$G \equiv \frac{v_O}{v_I} = \frac{1+(R_2/R_1)}{1+\dfrac{1+(R_2/R_1)}{A}} \tag{2.11}$$

可以看出该分母等于反相组态的情况［见式（2.5）］。这不是一个巧合，因为反相组态和同相组态具有相同的反馈环，如果消除输入信号源（短路）就可以看出该反馈环。但是它们的分子不同，因为分子给出了理想或标称闭环增益（反相组态为$-R_2/R_1$，同相组态为 $1+R_2/R_1$）。最后，可以看出当 $A=\infty$时，式（2.11）的增益表达式就变为理想值。实际上，它近似为理想值，因为

$$A \gg 1+\frac{R_2}{R_1} \tag{2.12}$$

这里除了右边的量是标称闭环增益以外，该条件与反相组态的条件相同。

2.3.4 电压跟随器

高输入阻抗是同相组态一个非常好的特性。可以把该电路连接在一个具有高阻抗的信号源和一个低阻抗的负载之间作为缓冲放大器。我们已经在 1.5 节中讨论了缓冲放大器的要求。在许多应用中，缓冲放大器不要求提供任何电压增益，而主要用来作为阻抗变换器或功率放大器。在这种情况下，可以令 $R_2=0$ 和 $R_1=\infty$来得到如图 2.14（a）所示的单位增益放大器。该电路通常被称为电压跟随器。因为它的输出跟随输入变化。在理想情况下，$v_O=v_I$，$R_{in}=\infty$，$R_{out}=0$。该跟随器有如图 2.14（b）所示的等效电路。

2.4 差分放大器

介绍完两种基本组态的运算放大器电路和一些直接应用后，现在开始介绍一些相对来说比较复杂但非常重要的应用。具体地说，我们将介绍如何利用运算放大器来设计差分放大器或者差动放大器[①]。差分放大器对加到其两个输入端的信号之间的差值产生响应，并且在理想情况下抑制两个输入端的共同信号。以差模和共模成分表示信号的方法如图2.4所示。在图2.15中采用一些稍微不同的符号再次表示我们将要设计的差分放大器的输入信号。尽管理想情况下差分放大器只能放大差模输入信号 v_{Id} 并完全抑制共模输入信号 v_{Icm}，然而实际电路的输出电压 v_O 由下式给出：

$$v_O = A_d v_{Id} + A_{cm} v_{Icm} \tag{2.13}$$

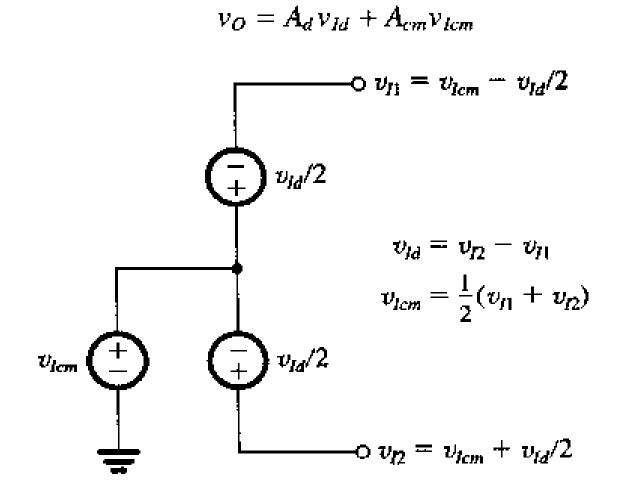


图2.15 以差模和共模成分表示的差分放大器的输入信号

其中，A_d 表示放大器的差模增益，A_{cm} 表示放大器的共模增益（理想情况下为0）。差分放大器的功效用它对共模信号的抑制程度（相对于对差模信号来说）来度量。通常用共模抑制比（CMRR）来表示，其定义如下：

$$\text{CMRR} = 20\log\frac{|A_d|}{|A_{cm}|} \tag{2.14}$$

在电子系统，特别是在仪表的设计中，经常需要用到差分放大器。作为一个通用的例子，考虑一个换能器，它的两个输出端之间输出小信号（例如，1 mV），而从换能器端引出的两根连接到测量仪器的连接线上，对地都可能存在较大的干扰信号（例如，1 V）。很明显，该仪器的前端需要一个差分放大器。

在进一步讨论之前，读者可能会提出一个问题：运算放大器本身就是一个差分放大器，为什么不用运算放大器呢？答案是运算放大器的高增益（理想情况下为无限）使得人们不可能利用它来做。正如前面所说，我们必须设计一个合适的反馈网络连接到运算放大器上，从而得到一个闭环增益为有限的、可预测的稳定电路。

2.4.1 用单级运算放大器构成差分放大器

由于同相组态放大器的增益为正，即$(1+R_2/R_1)$，而反相组态的增益为负（即$-R_2/R_1$），因此这就促使我们尝试用运算放大器设计差分放大器。将这两种组态电路合并是朝着正确方向迈出的一

① 差分和差动通常用来描述类型略有不同的放大器。这里，两者的差别不太重要。我们将在接近本节末尾时给出更精确的说明。

步，即得到两个输入信号之间的差值。当然，为了抑制共模信号必须使这两个增益的大小相等。这很容易实现，只要通过减小同相输入信号来使同相端路径的增益从 $(1+R_2/R_1)$ 减小到 (R_2/R_1) 即可。最终电路就如同图 2.16 所示，其中同相输入路径上的衰减通过电压分压器（R_3、R_4）实现。该电压分压器的正确比值可以通过下式来确定：

$$\frac{R_4}{R_4+R_3}\left(1+\frac{R_2}{R_1}\right)=\frac{R_2}{R_1}$$

上式可以转换成下面的形式：

$$\frac{R_4}{R_4+R_3}=\frac{R_2}{R_2+R_1}$$

该条件可以通过下式得到满足：

$$\frac{R_4}{R_3}=\frac{R_2}{R_1} \tag{2.15}$$

我们的工作至此得以完成。但是，我们可能进行得太快了。让我们返回到前面并验证图 2.16 所示的电路是否确实完成了差分放大器的实际功能，其中 R_3 和 R_4 根据式（2.15）选择得到。具体地说，我们希望得到用 v_{I1} 和 v_{I2} 表示的输出电压 v_O。我们发现电路是线性的，因此可以使用叠加原理。

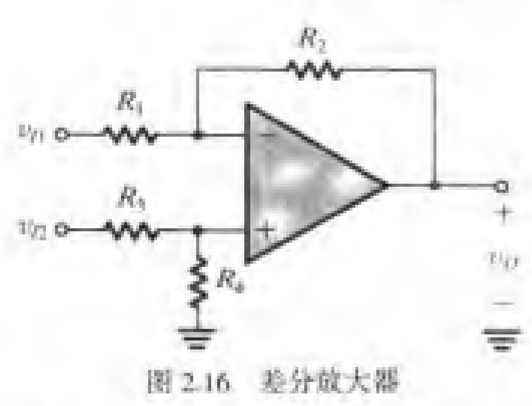


图 2.16 差分放大器

应用叠加原理，首先将 v_{I2} 减小到 0，即将接至 v_{I2} 的节点接地，然后求得相应的输出电压，该电压完全由 v_{I1} 产生，我们将该电压记为 v_{O1}，该值可以从图 2.17（a）所示的电路求得，而该电路就是一个反相组态电路。R_3 和 R_4 的存在并不影响增益表达式，因为没有电流流过这两个电阻。因此，

$$v_{O1}=-\frac{R_2}{R_1}v_{I1}$$

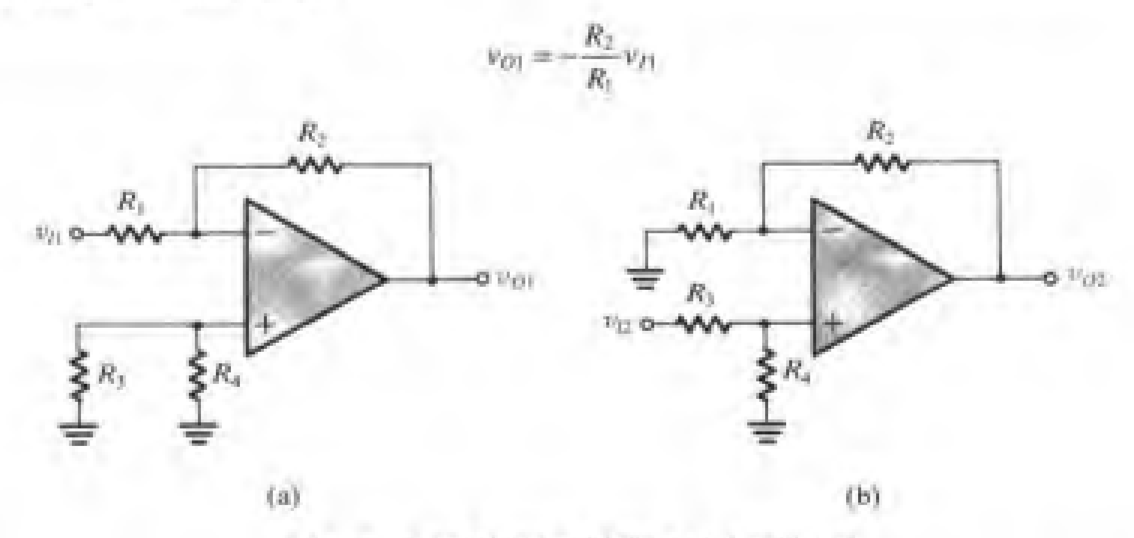


图 2.17 应用叠加原理分析图 2.16 所示的电路

接下来，将 v_{I1} 减小到 0 并计算相应的输出电压 v_{O2}。此时电路为图 2.17（b）所示，是一个同相组态放大器，并且有一个额外的电压分压回路。该电压分压回路由连接到输入信号 v_{I2} 的 R_3 和 R_4 组成。因此输出电压 v_{O2} 为

$$v_{O2}=v_{I2}\frac{R_4}{R_3+R_4}\left(1+\frac{R_2}{R_1}\right)=\frac{R_2}{R_1}v_{I2}$$

其中利用了式（2.15）。

叠加原理告诉我们输出电压 v_O 等于 v_{O1} 和 v_{O2} 之和，因此，

$$v_O=\frac{R_2}{R_1}(v_{I2}-v_{I1})=\frac{R_2}{R_1}v_{Id} \tag{2.16}$$

正如所期望的那样，电路完成了差分放大器的功能，差模增益 A_d 为

$$A_d=\frac{R_2}{R_1} \tag{2.17}$$

当然，这是在运算放大器是理想的且所选择的 R_3 和 R_4 的比值又与 R_1 和 R_2 的比值匹配［见式（2.15）］的情况下得到的结论。为了使该匹配要求更容易实现，通常选择

$$R_3=R_1 \qquad 和 \qquad R_4=R_2$$

下面讨论只有共模信号加入到输入端的电路，如图 2.18 所示。该图给出了一些分析步骤。因此，

$$i_1=\frac{1}{R_1}\left[v_{Icm}-\frac{R_4}{R_4+R_3}v_{Icm}\right]$$
$$=v_{Icm}\frac{R_3}{R_4+R_3}\frac{1}{R_1} \tag{2.18}$$

可以得到输出电压为

$$v_O=\frac{R_4}{R_4+R_3}v_{Icm}-i_2R_2$$

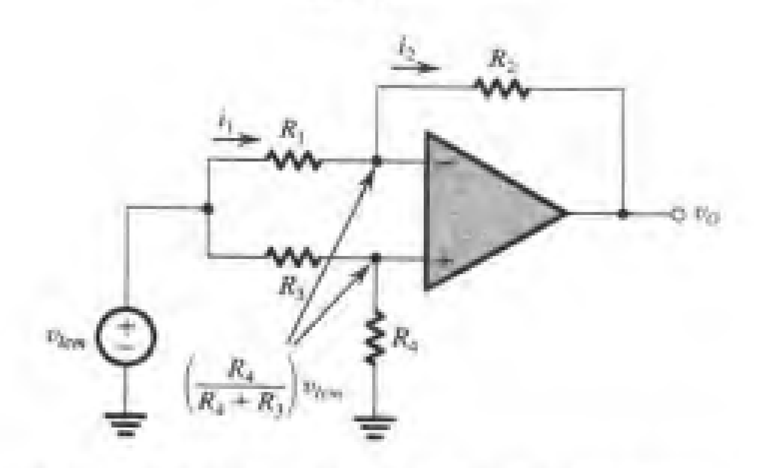


图 2.18 分析差分放大器以确定其共模增益 $A_{cm}\equiv v_O/v_{Icm}$

将 $i_2=i_1$ 代入，并且由式（2.18）得到 i_1，

$$v_O=\frac{R_4}{R_4+R_3}v_{Icm}-\frac{R_2}{R_1}\frac{R_3}{R_4+R_3}v_{Icm}$$
$$=\frac{R_4}{R_4+R_3}\left(1-\frac{R_2}{R_1}\frac{R_3}{R_4}\right)v_{Icm}$$

因此，

$$A_{cm}=\frac{v_O}{v_{Icm}}=\left(\frac{R_4}{R_4+R_3}\right)\left(1-\frac{R_2}{R_1}\frac{R_3}{R_4}\right) \quad (2.19)$$

对于根据式（2.15）所选择的电阻比值进行的设计，可以得到

$$A_{cm}=0$$

这正是我们所期望的。但是必须注意：电阻比值的任何不匹配都会使得 A_{cm} 非零，并使 CMRR 为有限值。

除了抑制共模信号，差分放大器通常要有较大的输入电阻。考虑图 2.19，求两个输入端之间的输入电阻（即从 v_{Id} 看进去的电阻），称为差模输入电阻 R_{id}。这里假定所选择的电阻为

$$R_3=R_1 \qquad 和 \qquad R_4=R_2$$

现在，

$$R_{id}\equiv\frac{v_{Id}}{i_I}$$

因为运算放大器的两个输入端在电位上相等，因此可以写出回路方程并得到

$$v_{Id}=R_1i_I+0+R_1i_I$$

因此，

$$R_{id}=2R_1 \quad (2.20)$$

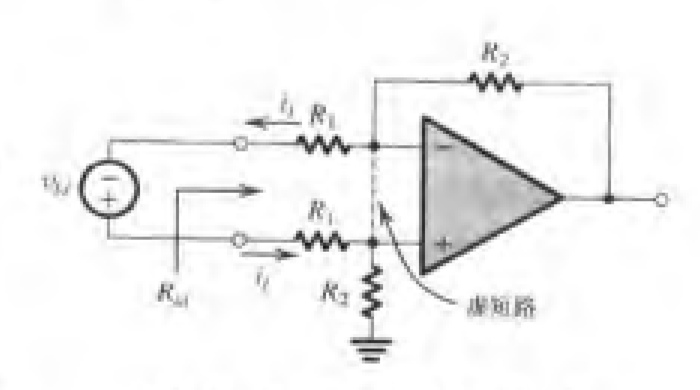


图 2.19 当 $R_3=R_1$ 且 $R_4=R_2$ 时，计算差分放大器的输入电阻

如果放大器要求有一个较大的差模增益（R_2/R_1），那么 R_1 必须较小，相应的输入电阻也会较小，这是该电路的缺点。该电路的另一个缺点是不容易改变放大器的差模增益。这两个缺点在下面讨论的仪表放大器中可以得到解决。

练习 2.15 考虑图 2.16 所示的差分放大器电路，当 $R_3=R_1=2\ k\Omega$，$R_4=R_2=200\ k\Omega$时，求：（a）差模增益 A_d 的值；（b）差模输入电阻 R_{id} 和输出电阻 R_o 的值；（c）如果电阻有 1%的容差（也就是说，误差在标称值±1%的范围内），求最坏情况下的共模增益 A_{cm} 和相应的 CMRR 值。

答案：（a）100 V/V（40 dB）；（b）4 kΩ，0 Ω；（c）0.04 V/V，68 dB

练习 D2.16 如果要使图 2.16 所示的电路成为一个差分放大器，并且其输入电阻为 20 kΩ，增益为 10，求电阻值。

答案：$R_3=R_1=10\ k\Omega$；$R_4=R_2=100\ k\Omega$

2.4.2 一个高品质电路——仪表放大器

图 2.16 所示的差分放大器的低输入电阻问题可以通过将两个输入端分别接入电压跟随器进行缓冲来解决，也就是说，图 2.14 所示类型的电压跟随器分别连接在输入端和差分放大器相应的输入端之间。但是，如果使用两个额外的运算放大器，则会产生问题：除了阻抗缓冲以后，我们是否可以得到其他更多的成效呢？一个明显的答案是我们可以获得一定的电压增益。特别是通过使用具有增益的跟随器而不是单位增益跟随器，我们可以不必降低高输入电阻而得到高电压增益。从这个新的第一级差分放大器中获得一定的增益可以减小第二级差分放大器的负担，从而可以使其把主要工作放在实现差分功能和抑制共模信号上。

得到的电路如图 2.20（a）所示。该电路由两级组成：第一级是由运算放大器 A_1 和 A_2 及其关

联的电阻组成的；第二级是我们已经比较熟习的差分放大器，它由运算放大器 A_3 和与其关联的 4 个电阻组成。可以看出，就像我们开始所做的，A_1 和 A_2 都连接成同相组态放大器，它们实现的增益分别为（$1+R_2/R_1$）。因此 v_{I1} 和 v_{I2} 被放大（$1+R_2/R_1$）倍，被放大的信号分别从 A_1 和 A_2 的输出端输出。

第二级差分放大器对差模信号 $(1+R_2/R_1)(v_{I2}-v_{I1})=(1+R_2/R_1)v_{Id}$ 完成响应，并在它的输出端输出

$$v_O=\frac{R_4}{R_3}\left(1+\frac{R_2}{R_1}\right)v_{Id}$$

因此实现的差模增益为

$$A_d=\left(\frac{R_4}{R_3}\right)\left(1+\frac{R_2}{R_1}\right) \tag{2.21}$$

因为第二级放大器是差分放大器，所以实现的共模增益为 0。

图 2.20（a）所示的电路具有高输入电阻（理想情况下为无限）和高差模增益。同时，只要 A_1 和 A_2 及其相应的电阻互相匹配，那么两条信号路径是对称的——这是差分放大器设计中的一个显著优势。但是该电路存在以下三个主要缺点：

1. 共模输入信号 v_{Icm} 在第一级被放大的倍数等于差模信号 v_{Id} 被放大的倍数。这是一个非常严重的问题，因为它可能导致 A_1 和 A_3 的输出端的信号非常大以至于导致运算放大器饱和（详情见 2.6 节关于运算放大器饱和的内容）。即使运算放大器不饱和，第二级差分放大器也必须要处理更大的共模信号，因此整个放大器的 CMRR 不可避免地会减小。

2. 第一级的两个放大器的信号通路必须完全匹配，否则在它们的两个输出端之间会出现一个寄生信号。这个信号会被第二级差分放大器放大。

3. 为了改变差模增益 A_d，两个电阻（例如两个 R_1）必须同步变化。对每一个增益设置，两个电阻都必须完全匹配，这是一个很困难的任务。

这三个问题可以通过一个简单的连接变化来解决：将两个 R_1 电阻之间的节点 X 与地之间断开。经过这个小小的但意义深远的改动后的电路如图 2.20（b）所示，其中将两个电阻（R_1 和 R_1）合并成一个电阻（$2R_1$）。

假定是理想运算放大器，对图 2.20（b）所示电路的分析就比较简单了，如图 2.20（c）所示。关键一点是在运算放大器 A_1 和 A_2 的输入端的虚短路会使得输入电压 v_{I1} 和 v_{I2} 出现在电阻（$2R_1$）的两端。因此差模输入信号 $v_{I2}-v_{I1}\equiv v_{Id}$ 就出现在 $2R_1$ 两端，并使得流过 $2R_1$ 和两个 R_2 电阻上的电流为 $i=v_{Id}/2R_1$。该电流反过来又在 A_1 和 A_2 的输出端之间产生一个电压差，其值为

$$v_{O2}-v_{O1}=\left(1+\frac{2R_2}{2R_1}\right)v_{Id}$$

运算放大器 A_3 及其相关的电阻组成的差分放大器得到该电压差［即（$v_{O2}-v_{O1}$）］并输出一个相应的电压 v_O：

$$\begin{aligned}v_O&=\frac{R_4}{R_3}(v_{O2}-v_{O1})\\&=\frac{R_4}{R_3}\left(1+\frac{R_2}{R_1}\right)v_{Id}\end{aligned}$$

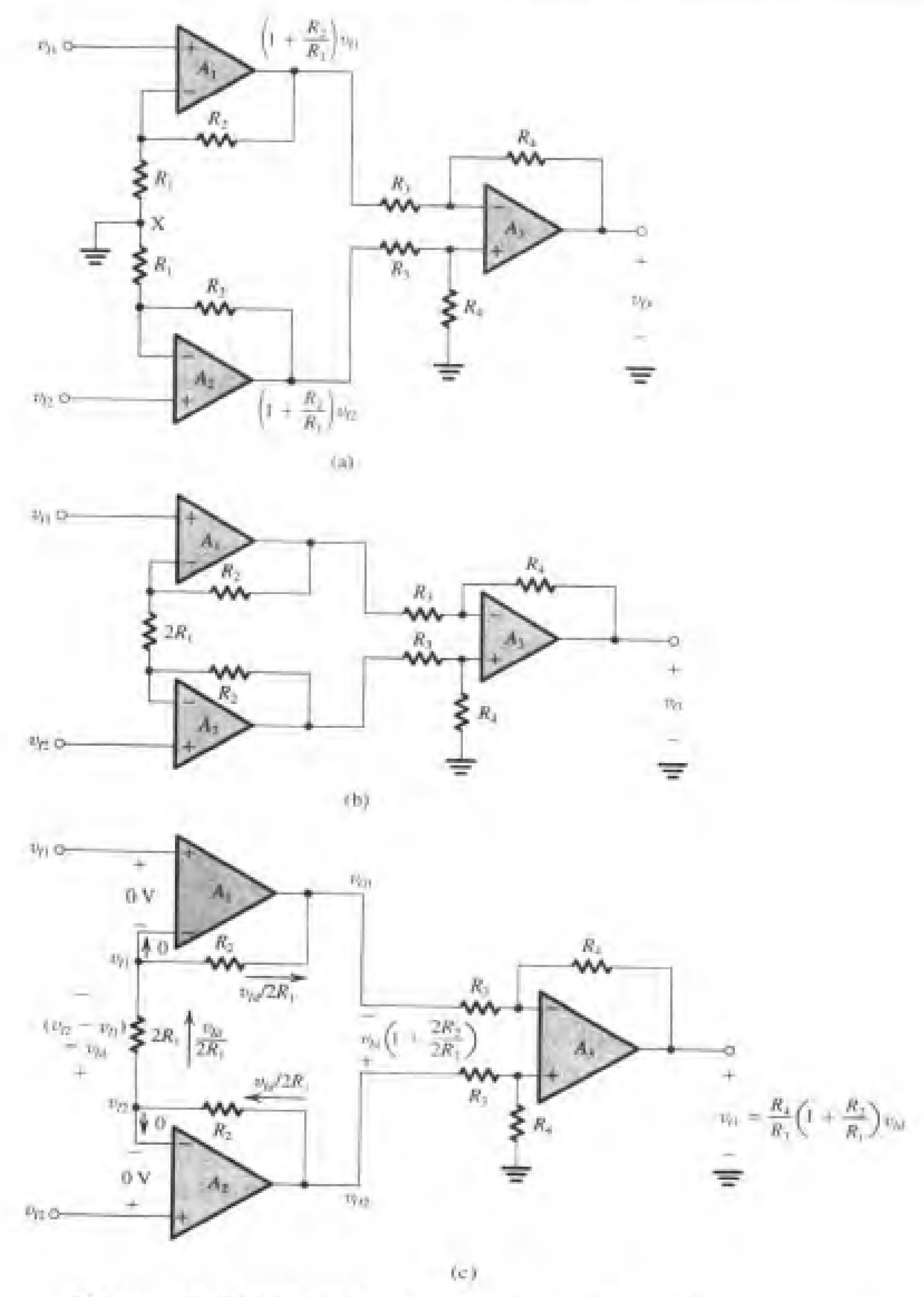


图 2.20　一个常见的仪表放大器电路：（a）原始电路；（b）将（a）的电路中的节点 X 和地之间的连接去掉并将两个 R_1 合在一起以后得到的电路。该变化大大改善了电路的性能；（c）假定是理想运算放大器时对（b）电路的分析

因此总的差模电压增益为

$$A_d \equiv \frac{v_O}{v_{Id}} = \frac{R_4}{R_3}\left(1+\frac{R_2}{R_1}\right) \tag{2.22}$$

可以看出差分行为并不依赖于两个 R_2 电阻的匹配。实际上，如果其中一个电阻有不同的值，例如 R_2'，那么 A_d 的表达式就变为

$$A_d = \frac{R_4}{R_3}\left(1+\frac{R_2+R_2'}{2R_1}\right) \tag{2.23}$$

接下来考虑当两个输入端一起接上一个共模输入电压 v_{Icm} 时会出现什么情况。很容易看出，A_1 和 A_2 的反相输入端有相等的电压，这使得流过 $2R_1$ 的电流为 0，因此 R_2 电阻上没有电流流过，A_1 和 A_2 的输出端的电压等于输入电压（即 v_{Icm}）。因此第一级不再放大 v_{Icm}，它只是把 v_{Icm} 传播到它的两个输出端，然后二者相减并由 A_3 实现零共模输出。第二级差分放大器在其输入端进行了改善：差模信号被放大了（$1+R_2/R_1$）倍，而共模电压保持不变。

最后，从式（2.22）可以看出增益的改变可以通过只改变 $2R_1$ 电阻来实现。因此可以得出结论：这是一个非常好的差分放大器电路，并在仪表放大器中广泛采用，也就是说在各种不同的电子仪器中作为输入放大器使用。

例题 2.3 设计一个图 2.20（b）所示的仪表放大器电路，要求利用 100 kΩ的可变电阻（电位器）使其增益能在 2 至 1000 的范围内变化。

解： 通常，较好的设计方法是在第一级中得到所要求的增益，而让第二级实现获得第一级输出端之间的差模信号和抑制共模信号的任务。换句话说，第二级的增益通常设计成 1。采用这种方法，选择所有第二级的电阻等于实际应用中比较简便的值，例如 10 kΩ。然后问题就变为设计第一级实现增益在 2 到 1000 的范围内可调的放大器。将一个固定电阻 R_{1f} 与使用 100 kΩ的电位器（见图 2.21）得到的可变电阻 R_{1v} 串联来实现 $2R_1$ 电阻，可以写成

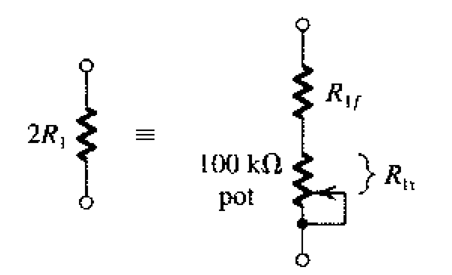


图 2.21 为了实现图 2.20（b）所示电路的可变增益，$2R_1$ 电阻用一个固定电阻 R_{1f} 和可变电阻 R_{1v} 串联来实现。电阻 R_{1f} 确保可获得的最大增益是受限的

$$1+\frac{2R_2}{R_{1f}+R_{1v}} = 2 \sim 1000$$

因此，

$$1+\frac{2R_2}{R_{1f}} = 1000$$

和

$$1+\frac{2R_2}{R_{1f}+100\text{ k}\Omega} = 2$$

从这两个方程可以得到 $R_{1f} = 100.2\ \Omega$，$R_2 = 50.050$ kΩ。也可以选择其他的实际参数值［例如 $R_{1f} = 100\ \Omega$，$R_2 = 49.9$ kΩ（这两个值都是标准的 1%容差的金属膜电阻，参见附录 G）］得到近似满足要求的增益。■

练习 2.17 考虑图 2.20（b）所示的仪表放大器，它有一个+5 V（直流）的共模输入电压和峰值为 10 mV 的正弦波差模输入信号。假设$(2R_1) = 1$ kΩ，$R_2 = 0.5$ MΩ，$R_3 = R_4 = 10$ kΩ，求电路中各个节点的电压。

答案： $v_{I1} = 5 - 0.005\sin\omega t$；$v_{I2} = 5 + 0.005\sin\omega t$；$v_-$（运算放大器 A_1）$= 5 - 0.005\sin\omega t$；v_-（运

算放大器 A_2) = 5 + 0.005 sin ωt；$v_{O1} = 5 - 5.005\sin\omega t$；$v_{O2} = 5 + 5.005\sin\omega t$；$v_-(A_3) = v_+(A_3) = 2.5 + 2.0025\sin\omega t$；$v_O = 10.01\sin\omega t$（所有单位都为伏特）

2.5 有限开环增益与带宽对电路性能的影响

上面已经定义了理想运算放大器并给出了许多运算放大器电路的应用。这些电路的分析都假设运算放大器是理想的。尽管在许多应用中，该假设并不错，但是电路设计者必须非常熟悉实际运算放大器的特性以及这些特性对运算放大器电路性能的影响。只有这样才能灵活地使用运算放大器，特别是当应用不是简单的设计时。运算放大器的非理想特性肯定会限制前面分析的例题中电路运行的范围。

在本节以及接下来的两节中，我们分析运算放大器的一些重要的非理想特性[①]。我们首先在本节中开始讨论运算放大器最重要的非理想特性，即它的有限增益和有限带宽。

2.5.1 开环增益的频率依赖性

一个运算放大器的差模开环增益不是无限而是有限的，它随着频率的增大而减小。图 2.22 给出了 $|A|$ 的曲线，其数据是大多数商用运算放大器的典型数据（如 741 型运算放大器，其数据可以从许多半导体厂商处获得，它的内部电路将在第 9 章中介绍）。

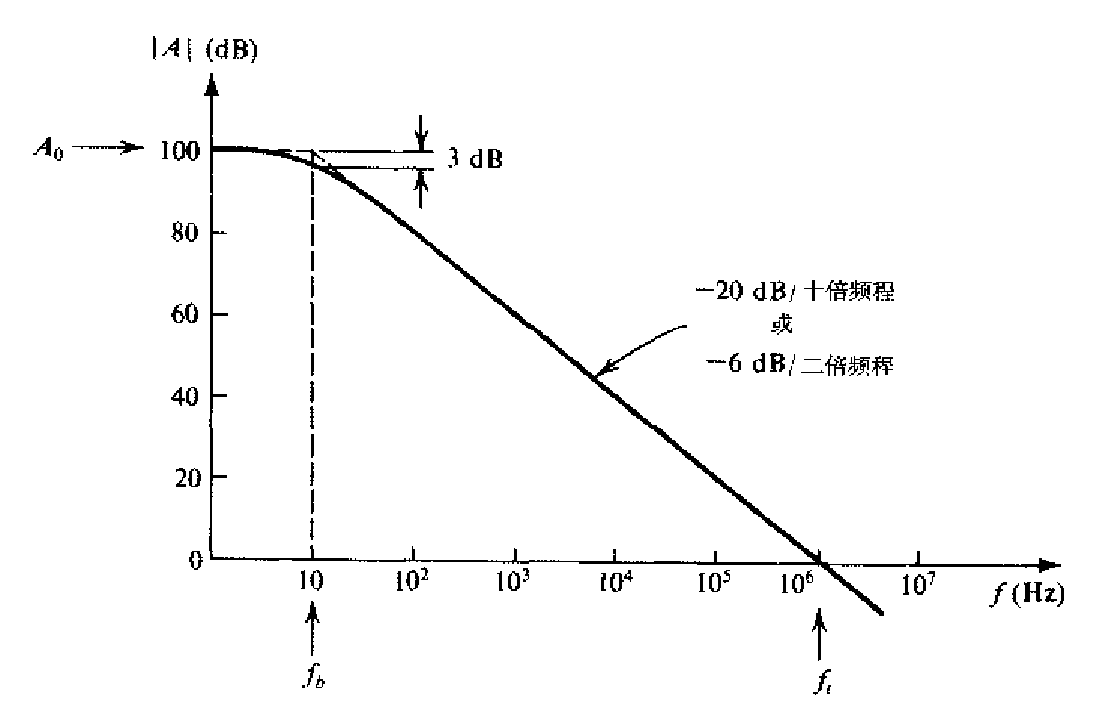


图 2.22　一个典型的具有内部补偿的通用运算放大器的开环增益

尽管该增益在直流和低频处很高，但是增益从相当低的频率（在该例子中为 10 Hz）就开始下降了。所显示的 20 dB/十倍频程的增益衰减是具有内部补偿的运算放大器的典型数据。这些放大器具有一个包含在同一 IC 芯片中的网络（通常是单个电容），该网络的功能是使运算放大器的

① 必须注意，除了本章讨论的内容以外，实际运算放大器还有一些非理想的特性，包括有限（非零）共模增益，或非无限 CMRR，非无限输入电阻，以及非零输出电阻。但是这些对这里讨论的大多数闭环电路的性能影响并不大，有关内容将会在后面（第 8 章和第 9 章）介绍。此外，一部分非理想特性将会在 2.9 节介绍利用 SPICE 进行电路仿真的内容时给出模型。

增益具有所示的 STC 低通网络响应。改善开环增益的过程称为频率补偿，它的目的是确保运算放大器电路稳定（与振荡相反）。运算放大器（或更广泛地说——反馈放大器）稳定性的内容将在第 8 章中介绍。

类似于低通 STC 电路的响应（见 1.6 节，更多的信息请参考附录 D），一个具有内部补偿的运算放大器的增益 $A(s)$ 可以表示为

$$A(s)=\frac{A_0}{1+s/\omega_b} \tag{2.24}$$

对于物理频率，$s=j\omega$，上式则变为

$$A(j\omega)=\frac{A_0}{1+j\omega/\omega_b} \tag{2.25}$$

其中，A_0 表示直流增益，ω_b 是 3 dB 频率（角频率或截止频率）。对于图 2.22 所示的例子，$A_0=10^5$，$\omega_b=2\pi\times10$ rad/s。当频率 $\omega\gg\omega_b$（大于 10 倍或更多）时，式（2.25）可以近似为

$$A(j\omega)\simeq\frac{A_0\omega_b}{j\omega} \tag{2.26}$$

因此，

$$|A(j\omega)|\simeq\frac{A_0\omega_b}{\omega} \tag{2.27}$$

从中可以看出增益 $|A|$ 在频率 ω_t 时达到单位增益（0 dB）并有

$$\omega_t=A_0\omega_b \tag{2.28}$$

代入式（2.26）得到

$$A(j\omega)\simeq\frac{\omega_t}{j\omega} \tag{2.29}$$

频率 $f_t=\omega_t/2\pi$ 经常在商用运算放大器的数据表中给出，它被称为单位增益带宽[①]。此外还要注意，当 $\omega\gg\omega_b$ 时，式（2.24）的开环增益变为

$$A(s)\simeq\frac{\omega_t}{s} \tag{2.30}$$

该增益幅度可以从式（2.29）得到

$$|A(j\omega)|\simeq\frac{\omega_t}{\omega}=\frac{f_t}{f} \tag{2.31}$$

因此，如果 f_t 已知（在本例中为 10^6 Hz），就可以很容易地确定运算放大器增益在给定频率 f 处的幅度。此外，可以看出该关系与图 2.22 所示的波特图相关。具体地说，当 $f\gg f_b$ 时，f 增大一倍（增大二倍频程）将导致增益减小一半（减小 6 dB）。同样，f 增大 10 倍（增大十倍频程）将使得 $|A|$ 减少 10 倍（20 dB）。

实际上，同一类型的运算放大器单元之间 f_t 的制造差值要远小于 A_0 和 f_b 的制造差值。由于这个原因，f_t 作为指标参数更为有利。最后还应该注意，一个具有−6 dB/二倍频程（或−20 dB/十倍

① 因为 f_t 是直流增益 A_0 和 3 dB 带宽 f_b 的乘积（其中，$f_b=\omega_b/2\pi$），它也被称为增益带宽积（GB）。但是有一点要提醒读者注意，在一些放大器中，单位增益带宽和增益带宽积是不相等的。

频程）增益衰减的运算放大器被认为是一个单极点模型。同时也因为该极点决定了放大器的频率响应，因此称它为主极点。对于极点（和零点）的更多信息，可以参考附录 E。

练习 2.18　一个具有内部补偿的运算放大器的开环直流增益为 106 dB，单位增益频率为 3 MHz，求 f_b 以及 f_b 在 300 Hz，3 kHz，12 kHz 和 60 kHz 时的开环增益（用 dB 表示）。

答案：15 Hz；103 dB；80 dB；60 dB；48 dB；34 dB

2.5.2　闭环放大器的频率响应

接下来分析运算放大器的有限增益和带宽对两种组态放大器（即图 2.5 所示的反相电路和图 2.12 所示的同相电路）的闭环传输函数的影响。当运算放大器的有限开环增益为 A 时，在 2.2 节中已经推导出反相放大器的闭环增益并由式（2.5）给出，我们在这里再次写出如下：

$$\frac{V_o}{V_i}=\frac{-R_2/R_1}{1+(1+R_2/R_1)/A} \tag{2.32}$$

将式（2.24）中的 A 代入得

$$\frac{V_o(s)}{V_i(s)}=\frac{-R_2/R_1}{1+\frac{1}{A_0}\left(1+\frac{R_2}{R_1}\right)+\frac{s}{\omega_t/(1+R_2/R_1)}} \tag{2.33}$$

当 $A_0 \gg 1+R_2/R_1$ 时，这是常见的情况，可以得到

$$\frac{V_o(s)}{V_i(s)}\simeq\frac{-R_2/R_1}{1+\frac{s}{\omega_t/(1+R_2/R_1)}} \tag{2.34}$$

这与低通 STC 网络（见表 1.2）具有相同的形式，因此反相放大器具有 STC 低通响应，其直流增益幅度为 R_2/R_1。闭环增益以−20 dB/十倍频程的斜率下降，其角频率（3 dB 频率）为

$$\omega_{3\text{dB}}=\frac{\omega_t}{1+R_2/R_1} \tag{2.35}$$

同样，当运算放大器的有限开环增益为 A 时，分析图 2.12 所示的同相放大器可以得到闭环传输函数为

$$\frac{V_o}{V_i}=\frac{1+R_2/R_1}{1+(1+R_2/R_1)/A} \tag{2.36}$$

将式（2.24）中的 A 代入，并假设有 $A_0 \gg 1+R_2/R_1$ 的近似，可得

$$\frac{V_o(s)}{V_i(s)}\simeq\frac{1+R_2/R_1}{1+\frac{s}{\omega_t/(1+R_2/R_1)}} \tag{2.37}$$

因此同相放大器具有 STC 低通响应，其直流增益幅度为$(1+R_2/R_1)$，3 dB 频率可由式（2.35）得出。

例题 2.4　一运算放大器的 f_t=1 MHz。求标称增益分别为+1000，+100，+10，+1，−1，−10，−100 和−1000 的闭环放大器的 3 dB 频率。画出闭环增益为+10 和−10 的放大器的幅频响应曲线。

解：利用式（2.35）可以得到下表所示的结果：

闭环增益	R_2/R_1	$f_{3\text{dB}}=f_t/(1+R_2/R_1)$
+1000	999	1 kHz
+100	99	10 kHz
+10	9	100 kHz
+1	0	1 MHz
−1	1	0.5 MHz
−10	10	90.9 kHz
−100	100	9.9 kHz
−1000	1000	≃ 1 kHz

图 2.23 所示为标称直流增益为+10（20 dB）的放大器的频率响应，图 2.24 所示是−10(20 dB)情况下的频率响应. 从上表可以看出：单位增益反相放大器的 3 dB 频率为 $f_t/2$，而单位增益同相放大器（单位增益电压跟随器）的 3 dB 频率为 f_t。

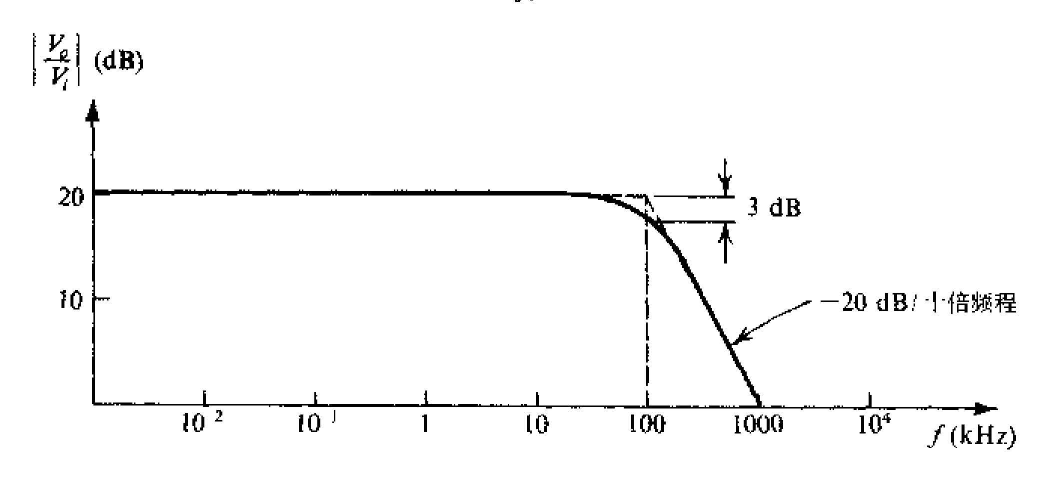


图 2.23 标称增益值为+10 V/V 的放大器的频率响应

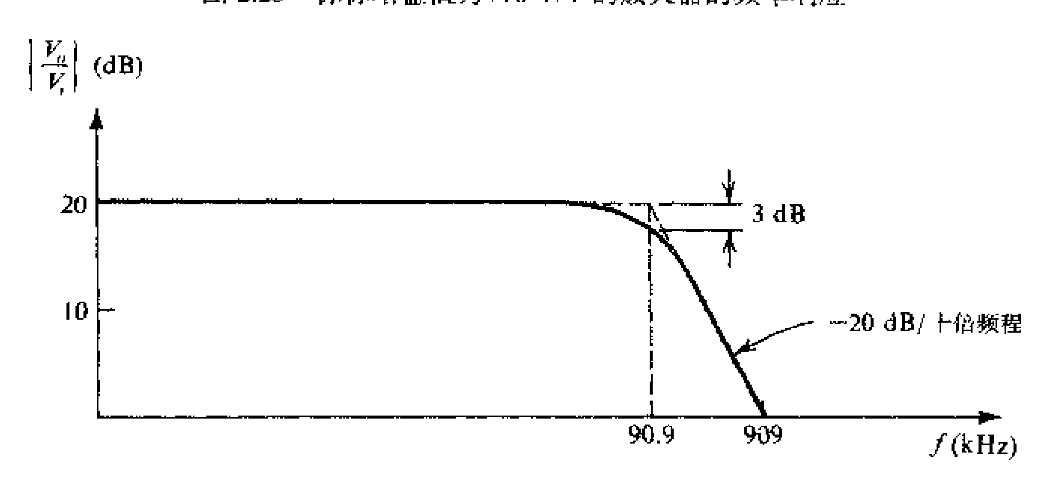


图 2.24 增益值为−10 V/V 的放大器的频率响应曲线 ■

例题 2.4 中的表格清楚地解释了增益和带宽之间的平衡：对于一给定的运算放大器，所要求的闭环增益越低，可以得到的带宽就越宽。实际上，同相组态给出了等于运算放大器 f_t 的常数增益带宽积。这些结果将会在第 8 章中用反馈的理论予以解释。

练习 2.19 一个内部具有补偿的运算放大器的直流开环增益为 10^6 V/V，交流开环增益在 10 kHz 处为 40 dB. 估算其 3 dB 频率，单位增益频率，增益带宽积，以及在 1 kHz 时期望的增益。

答案：1 Hz；1 MHz；1 MHz；60 dB

练习 2.20　一个运算放大器具有 106 dB 的直流增益和单极点频率响应，$f_t = 2$ MHz，用该放大器设计一个同相放大器，要求标称直流增益为 100。求闭环增益的 3 dB 频率。

答案：20 kHz

2.6　运算放大器的大信号工作性能

在本节中，我们介绍运算放大器在输出大信号时其电路性能的局限性。

2.6.1　输出电压饱和

类似于其他所有的放大器，运算放大器在有限的输出电压范围内工作在线性状态。具体地说，运算放大器将以图 1.13 所示的方式达到饱和，L_+和 L_-分别在正负电源的 1 V 左右的范围内。因此，对于±15 V 电源供电的运算放大器，当输出电压正向达到+13 V 和负向达到−13 V 时将达到饱和。对于这样一个运算放大器，额定的输出电压为±13 V。为了避免输出波形的峰值被削掉从而导致波形失真，输入信号必须保持较小。

2.6.2　输出电流限制

运算放大器的另一个局限性是其输出电流有一个指定的最大值。例如，常用的 741 运算放大器的最大输出电流为±20 mA。因此在利用 741 设计闭环电路时，设计者必须要确保在任何条件下所设计的运算放大器的输出电流在两个方向都不能超过 20 mA。这当然也包括反馈电路中的电流和提供给负载电阻的电流。如果电路需要更大的电流，那么对应于最大允许的输出电流的电平，运算放大器的输出电压会达到饱和。

例题 2.5　考虑图 2.25 所示的同相放大器电路。该电路的额定增益为$(1+R_2/R_1) = 10$ V/V。由峰值电压为 V_p 的低频正弦波信号作为输入，并连接至负载电阻 R_L。该运算放大器有±13 V 的输出饱和电压和±20 mA 的输出电流限制。

（a）当 $V_p = 1$ V，$R_L = 1$ kΩ时，指出在放大器输出端的信号。

（b）当 V_p =1.5 V，R_L =1 kΩ时，指出在放大器输出端的信号。

（c）当 $R_L = 1$ kΩ时，求出使输出不失真正弦波的最大 V_p 值。

（d）当 $V_p = 1$ V 时，求出使输出不失真正弦波的最小 R_L 值。

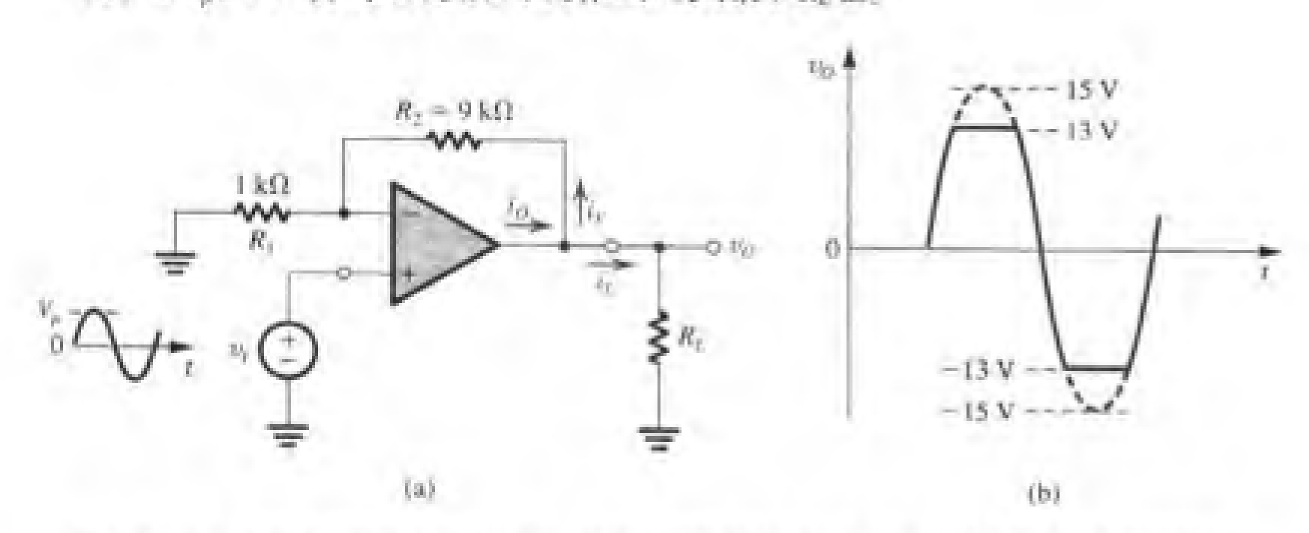


图 2.25　（a）利用饱和输出电压为±13 V、输出电流限制为±20 mA 的运算放大器设计得到的额定增益为 10 V/V 的同相放大器；（b）当输入正弦波峰值为 1.5 V 时，输出在±13 V 处被削平

解：（a）当 $V_p = 1$ V，$R_L = 1$ kΩ时，输出是一个峰值为 10 V 的正弦波。该值低于±13 V 的输出饱和电平，因此放大器不被限制。输出峰值（10 V）时的负载电流为 10 V/1 kΩ = 10 mA，反馈网络上的电流为 10 V/(9+1) kΩ = 1 mA，总的运算放大器的输出电流为 11 mA，小于 20 mA 的限制。

（b）如果 V_p 增大到 1.5 V，在理想情况下，输出将是一个峰值为 15 V 的正弦波。但是放大器在±13 V 时达到饱和，因此在该电平时，正弦波输出被限幅。接下来分析一下运算放大器的输出电流：在 13 V 输出和 $R_L = 1$ kΩ时，$i_L = 13$ mA，$i_F = 1.3$ mA，因此 $i_O = 14.3$ mA，在 20 mA 的限制范围内。因此输出是如图 2.25（b）所示的正弦波，在±13 V 处峰值被削去。

（c）当 $R_L = 1$ kΩ时，不失真输出正弦波的最大 V_p 值为 1.3 V。输出是一个峰值为 13 V 的正弦波，输出电流峰值为 14.3 mA。

（d）$V_p = 1$ V 时，保持不失真输出峰值为 10 V 的正弦波的最小可能的 R_L 值可以通过下式求得：

$$i_{O\max} = 20\ \text{mA} = \frac{10\ \text{V}}{R_{L\min}} + \frac{10\ \text{V}}{9\ \text{k}\Omega + 1\ \text{k}\Omega}$$

因此可以得到

$$R_{L\min} = 526\ \Omega$$ ■

2.6.3 摆率

输出大信号时引起非线性失真的另一个现象是摆率限制。这指的是一个实际运算放大器输出端可能有一个特定的最大变化率。这个最大值被称为运算放大器的摆率（SR），其定义为

$$\text{SR} = \left.\frac{dv_O}{dt}\right|_{\max} \quad (2.38)$$

该值通常会在运算放大器的数据表中指明，单位为 V/μs。它指的是如果加入到运算放大器的输入信号使得其输出响应要求快于指定的 SR 值，运算放大器将不能遵从，它的输出将只以最大可能的速率变化，该变化率等于它的 SR。作为一个例子，考虑一个运算放大器，该放大器接成如图 2.26（a）所示的单位增益电压跟随器组态，并且输入是如图 2.26（b）所示的阶跃电压。该运算放大器的输出将不可能立即上升至理想值 V，其波形成为初始斜率等于 SR 的线性斜波信号，如图 2.26（c）所示。该放大器的输出将受摆率的限制。

为了理解摆率现象的产生，我们需要知道运算放大器的内部电路，第 9 章会给出内部电路。现在，只要知道该现象以及了解它不同于前一节介绍的限制闭环放大器频率响应的有限运算放大器带宽就足够了。该有限带宽是一个线性现象，它并不会改变输入正弦波的形状。也就是说，它不会导致非线性失真。而当该输入的频率和幅度要求理想的输出 v_O 以大于 SR 的变化率变化时，转换速率限制会使一个输入的正弦波信号产生非线性失真。这是另一个相关的运算放大器指标（即全功率带宽）的起因，有关内容将在后面介绍。

在结束图 2.26 所示的例子之前，应该指出如果阶跃输入电压 V 足够小，那么输出可能是呈指数上升的斜波信号，如图 2.26（d）所示。如果只是运算放大器的有限带宽限制其动态性能的话，就可以从跟随器得到这种输出。具体地说，跟随器的传输函数可以通过将 $R_1 = \infty$ 和 $R_2 = 0$ 代入式（2.37）得到：

$$\frac{V_o}{V_i} = \frac{1}{1 + s/\omega_t} \quad (2.39)$$

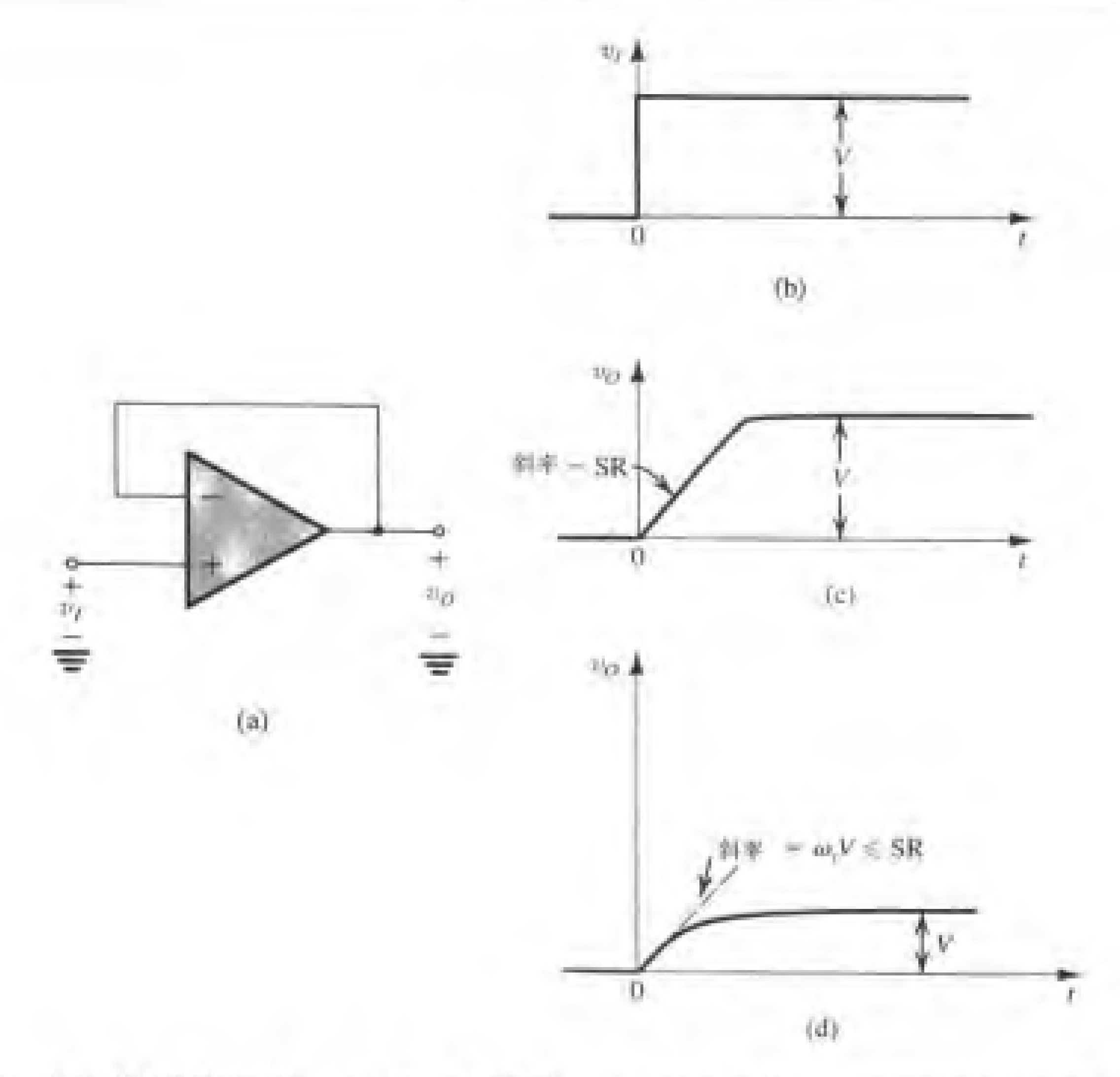


图 2.26　(a) 单位增益跟随器；(b) 输入阶跃波形；(c) 当放大器是受摆率限制时得到的线性上升的输出波形；(d) 当 V 小到使得初始斜率（$\omega_t V$）小于或等于 SR 时得到的呈指数上升的输出波形

这是一个低通 STC 响应，其时间常数为 $1/\omega_t$。因此它的阶跃响应为（见附录 D）

$$v_O(t) = V(1 - e^{-\omega_t t}) \tag{2.40}$$

这个呈指数上升的函数的最初斜率为$(\omega_t V)$。因此，只要 V 足够小以至使得$\omega_t V \le \text{SR}$，输出将如图 2.26（d）所示。

练习 2.21　一个运算放大器的摆率为 1 V/μs，单位增益带宽 f_t 为 1 MHz。该放大器连接成单位增益跟随器组态。求输出波形仍由式（2.40）的指数表达式给出的最大可能的输入阶跃电压。对该输入电压，输出波形的 10%到 90%的上升时间为多少？如果阶跃输入增大至 10 倍，求输出波形的 10%到 90%的上升时间。

　答案：0.16 V；0.35 μs；1.28 μs

2.6.4　全功率带宽

运算放大器的摆率限制可能会引起正弦波的非线性失真。再一次考虑单位增益跟随器，它的输入正弦波为

$$v_I = \hat{V}_i \sin \omega t$$

该波形的变化率为

$$\frac{dv_I}{dt}=\omega\hat{V}_i\cos\omega t$$

其最大值为$\omega\hat{V}_i$。该最大值发生在输入正弦波通过零的时候。如果$\omega\hat{V}_i$超过运算放大器的摆率，输出波形将以图 2.27 所示的形式发生失真。可以看出输出在它的过零点处不能与正弦波的最大变化率保持一致，因此运算放大器就受摆率的限制。

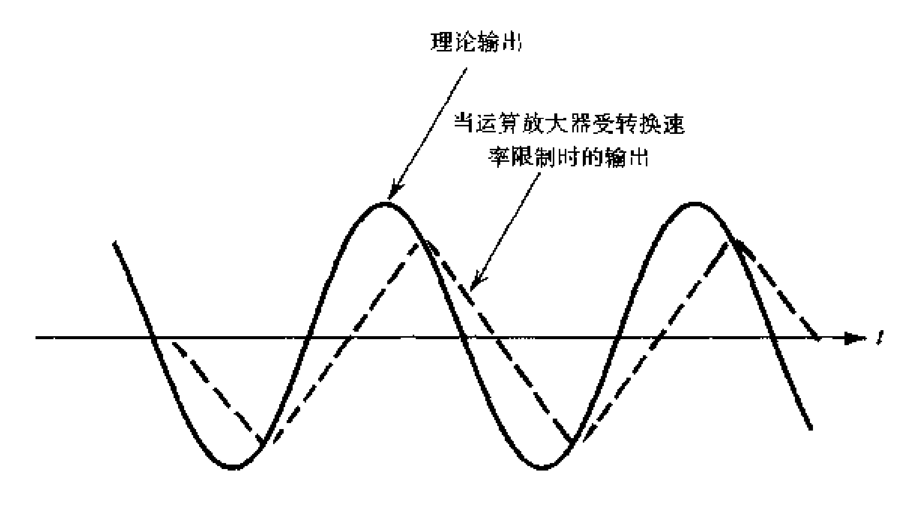


图 2.27　摆率限制对输出正弦波波形的影响

运算放大器的数据表通常会指明频率f_M，它称为全功率带宽。它指的是由于摆率的限制，幅度等于运算放大器额定输出电压的输出正弦波从该频率开始出现失真。如果将额定输出电压记为V_{omax}，那么f_M与 SR 相关，如下所示：

$$\omega_M V_{o\max}=\mathrm{SR}$$

因此，

$$f_M=\frac{\mathrm{SR}}{2\pi V_{o\max}} \tag{2.41}$$

显然，幅度小于V_{omax}的输出正弦波将在频率高于ω_M时出现摆率限制失真。实际上，在高于ω_M的频率ω处，该不失真的输出正弦波的最大幅度由下式给出：

$$V_o=V_{o\max}\left(\frac{\omega_M}{\omega}\right) \tag{2.42}$$

练习 2.22　一个运算放大器的额定输出电压为±10 V，转换速率摆率为 1 V/μs。它的全功率带宽为多少？如果一个频率为$f=5f_M$的输入正弦波加到利用该运算放大器构成的单位增益跟随器上，那么在输出端不会发生 SR 失真的最大可能的幅度是多少？

答案：15.9 kHz；2 V（峰值）

2.7　直流不完整性

2.7.1　失调电压

因为运算放大器是直接耦合器件，在直流时具有较大的增益，因此容易产生直流问题。第一个问题是直流失调电压。为了理解该问题，我们分析下面的概念性实验：如果运算放大器的两个

输入端连接在一起并且接地，可以发现在它的输出端存在一个有限的直流电压。实际上，如果运算放大器有一个高的直流增益，那么输出就可能达到正的或负的饱和电平。在输入端之间接上一个极性和大小适当的直流电压源就可以使该运算放大器的输出变为它的理想值 0 V。这个外部电源平衡了运算放大器的输入失调电压。输入失调电压（V_{OS}）必须与外部所加的电压有相同的大小和相反的极性。

输入失调电压的产生是由于运算放大器内部输入差分级不可避免地存在不匹配的结果。在后面几章中，我们会详细介绍相关内容。这里我们关心的是 V_{OS} 对闭环运算放大器电路工作的影响。我们注意到通用的运算放大器的 V_{OS} 在 1 mV 到 5 mV 的范围内。同时，V_{OS} 值与温度有关。运算放大器的数据表通常会指明在室温下 V_{OS} 的典型值和最大值以及 V_{OS} 的温度系数（通常用μV/℃表示）。但是厂商不会给出 V_{OS} 的极性，因为产生 V_{OS} 的元件不匹配事先不能被明确知道，相同类型的运算放大器的不同单元既可能是正的 V_{OS} 也可能是负的 V_{OS}。

为了分析 V_{OS} 对运算放大器工作的影响，我们需要得到具有输入失调电压的运算放大器的电路模型。该模型如图 2.28 所示。它由值为 V_{OS} 的直流电源与一个无失调的运算放大器的同相输入电极串联组成。该电路的调整遵从上面的描述。

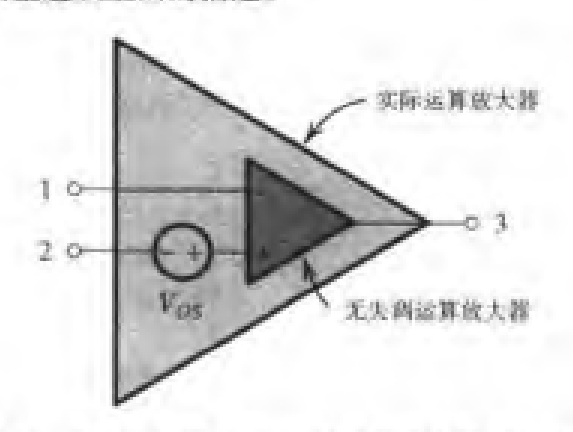


图 2.28　有输入失调电压 V_{OS} 的运算放大器的电路模型

练习 2.23　利用图 2.28 所示的模型画出 v_O 对 v_{Id} 的传输特性（$v_O \equiv v_3$ 且 $v_{Id} \equiv v_2 - v_1$），该运算放大器的 $A_0 = 10^4$，输出饱和电平为±10 V，V_{OS} 为+5 mV。

答案：见图 E2.23

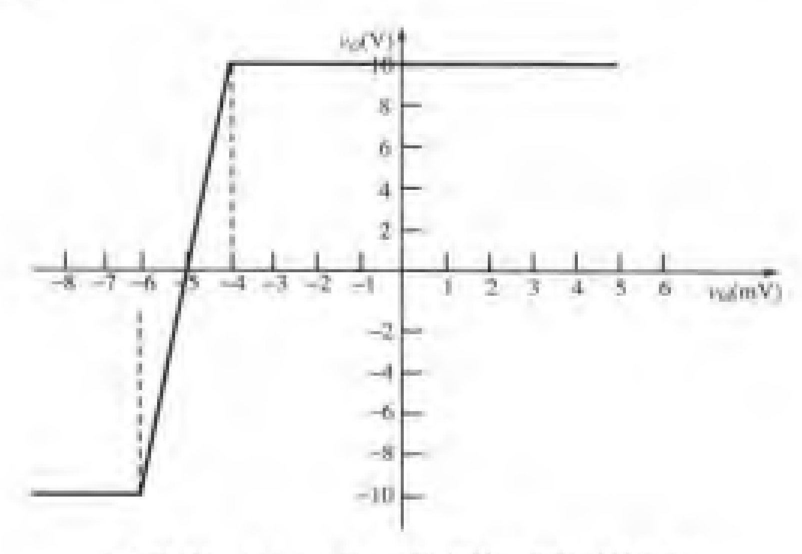


图 E2.23　V_{OS} = 5 mV 的运算放大器的传输特性

分析运算放大器电路来确定 V_{OS} 对其的性能影响是很简单的：输入电压信号源被短路，运算放大器用图 2.28 所示的模型代替（为了简化分析，可基于叠加原理消除输入信号）。通过这个过程可以发现反相和同相放大器组态可以得到相同的电路，如图 2.29 所示。从中可以得到由 V_{OS} 产生的输出直流电压：

$$V_O = V_{OS}\left[1+\frac{R_2}{R_1}\right] \tag{2.43}$$

该输出直流电压具有较大的数值。例如，闭环增益为 1000 的同相放大器，当利用具有5 mV 输入失调电压的运算放大器构成该同相放大器时，将有一个+5 V 或–5 V 的直流输出电压（取决于 V_{OS} 的极性），而不是理想的 0 V。现在，当加入一个输入信号时，相应的输出信号将叠加在 5 V 的直流电压上。显然这时在输出端允许的信号摆幅将减小。更坏的情况是，如果所放大的信号是直流信号，我们将不知道输出是由 V_{OS} 引起的还是由信号引起的。

一些运算放大器提供了两个额外端子，将其连接到一个特殊的电路上可以消除 V_{OS} 产生的输出直流电压。图 2.30 给出了这种设置，它是通用运算放大器的典型应用。一个电位器连接到调零端子之间，它的滑片接到运算放大器的负电源。移动电位器的滑片可以引入不平衡，从而可用来抵消运算放大器内部电路的不对称而产生的 V_{OS}。在第 9 章中介绍运算放大器内部电路时，我们会继续讨论有关内容。但是必须注意，即使该直流输出失调可以调整为零，V_{OS} 对温度的漂移仍然存在。

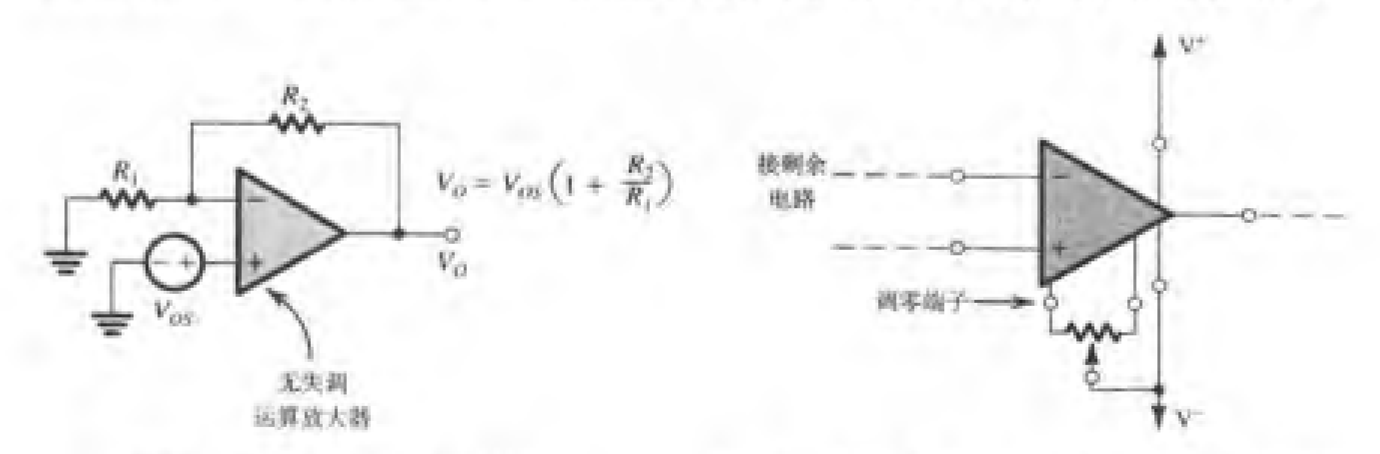


图 2.29 计算由闭环放大器中的 V_{os} 产生的输出直流失调电压

图 2.30 通过把一个电位器连接到两个调零端子之间可以消除运算放大器的输出直流失调电压。电位器的滑片连接到运算放大器的负电源

练习 2.24 考虑一个反相放大器，其额定增益为 1000，它由一个输入失调电压为 3 mV、输出饱和电平为±10 V 的运算放大器构成。（a）输出没有被限幅时所能施加的正弦波输入信号峰值大约为多少？（b）如果 V_{OS} 在室温时（25℃）的影响为 0，那么可施加的输入为多大？当（i）电路在恒温下工作时；（ii）电路在 0℃到 70℃的温度范围内工作时且 V_{OS} 的温度系数为 10 μV/℃。

答案：（a）7 mV；（b）10 mV，9.5 mV

一种克服直流失调的方法是采用电容耦合放大器，但这只有在闭环放大器不需要放大直流和低频信号的应用中才有可能应用。图 2.31（a）所示是一个电容耦合放大器。因为在直流时，电容的阻抗为无穷，耦合电容使得直流时的增益为 0，结果从运算放大器输入失调电压 V_{OS} 得到的确定直流输出电压的等效电路如图 2.31（b）所示。因此对 V_{OS} 而言，电路相当于一个单位增益电压跟随器，直流输出电压 V_O 等于 V_{OS} 而不是没有耦合电容时的 $V_{OS}(1+R_2/R_1)$。一旦考虑了输入信

号，耦合电容 C 与 R_1 共同组成一个 STC 高通电路，它的角频率为 $\omega_0=1/CR_1$。因此电容耦合放大器的增益在低频端下降［从高频时的 $(1+R_2/R_1)$ 开始下降］，并且在 ω_0 处下降 3 dB。

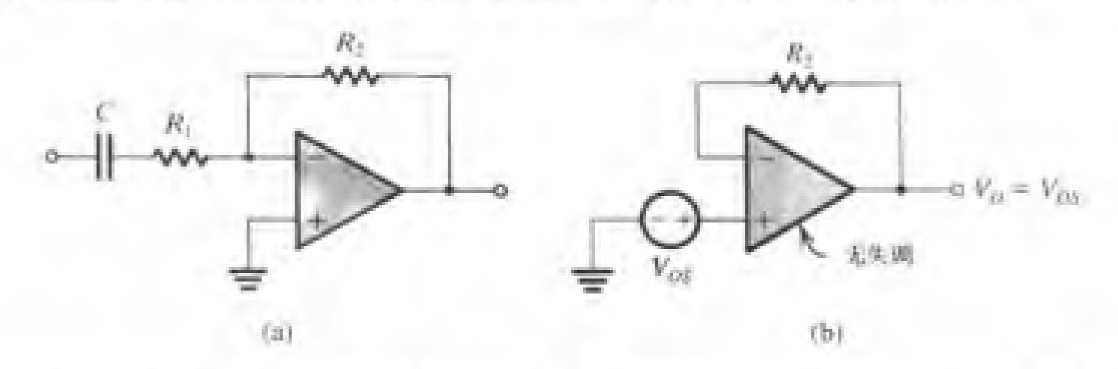


图 2.31　（a）一个电容耦合的反相放大器；（b）确定其直流输出失调电压 V_O 的等效电路

练习 2.25　考虑与练习 2.24 相同的放大器（即一个反相放大器），其额定增益为 1000，它由一个输入失调电压为 3 mV、输出饱和电平为±10 V 的运算放大器构成，只是这里假定放大器如图 2.31（a）所示并通过电容耦合。（a）输出端的直流失调电压为多少？输出没有被限幅时所能施加的正弦波输入信号峰值大约为多少？是否需要对失调进行消除？（b）如果 $R_1=1\,k\Omega$、$R_2=1\,M\Omega$，求使频率下降到 100 Hz 时确保增益大于 57 dB 的耦合电容 C_1 的值。

答案：（a）3 mV，10 mV，不需要对失调进行消除；（b）1.6 μF

2.7.2　输入偏置与失调电流

运算放大器碰到的第二个直流问题在图 2.32 中给出。为了使运算放大器能够工作，它的两个输入端必须用直流电流供电，称为输入偏置电流。在图 2.32 中，这两个电流用两个电流源 I_{B1} 和 I_{B2} 表示，它们分别连接到两个输入端。这里必须强调，输入偏置电流与实际放大器的输入电阻（图 2.32 中未给出）非常大但有限的事实无关。运算放大器制造商通常会指明 I_{B1} 和 I_{B2} 的平均值及其期望的差值。平均值 I_B 称为输入偏置电流：

$$I_B=\frac{I_{B1}+I_{B2}}{2}$$

差值称为输入失调电流，由下式给出：

$$I_{OS}=|I_{B1}-I_{B2}|$$

使用双极型晶体管的通用运算放大器的典型值是 $I_B=100\,nA$，$I_{OS}=10\,nA$。在输入级使用场效应管的运算放大器有更小的输入偏置电流（为 pA 数量级）。

我们现在希望得到由于输入偏置电流产生的闭环放大器的直流输出电压。首先将信号源接地得到如图 2.33 所示的电路，反相和同相组态放大器具有相同的电路，都如图 2.33 所示。从图 2.33 中可得到输出直流电压为

$$V_O=I_{B1}R_2\simeq I_BR_2 \tag{2.44}$$

显然，R_2 值有一个上限。但幸运的是有一种技术可以减小由于输入偏置电流产生的直流输出电压值。该方法由电阻 R_3 和同相输入端串联组成，如图 2.34 所示。从信号的观点来看，R_3 的影响可忽略不计（理想情况下没有影响）。

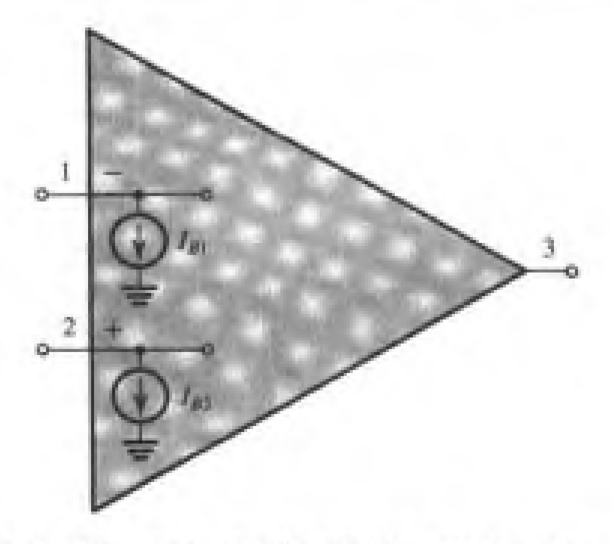


图 2.32 用 I_{B1} 和 I_{B2} 表示的运算放大器的输入偏置电流

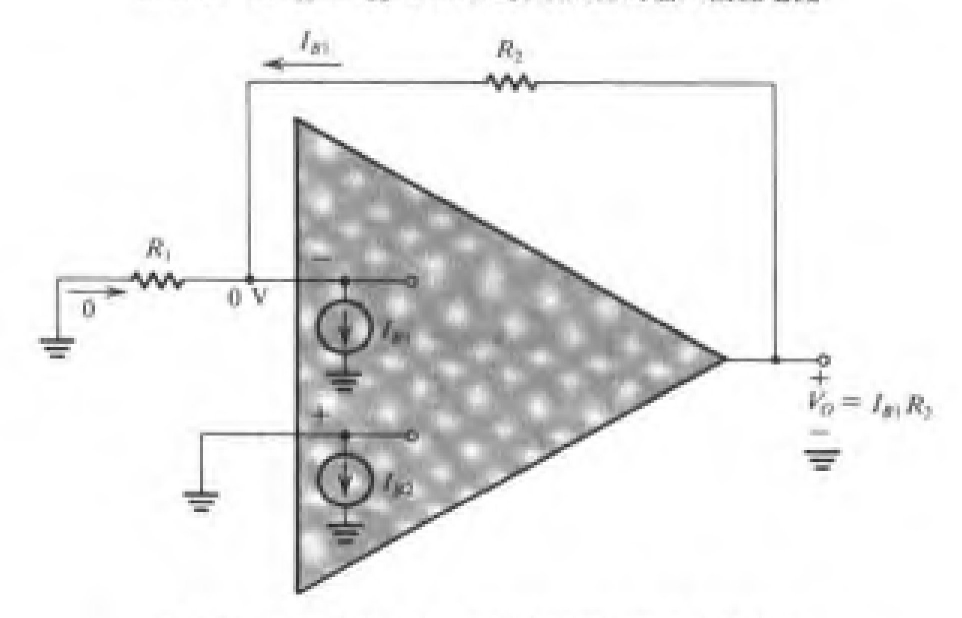


图 2.33 考虑了输入偏置电流后对闭环放大器的分析

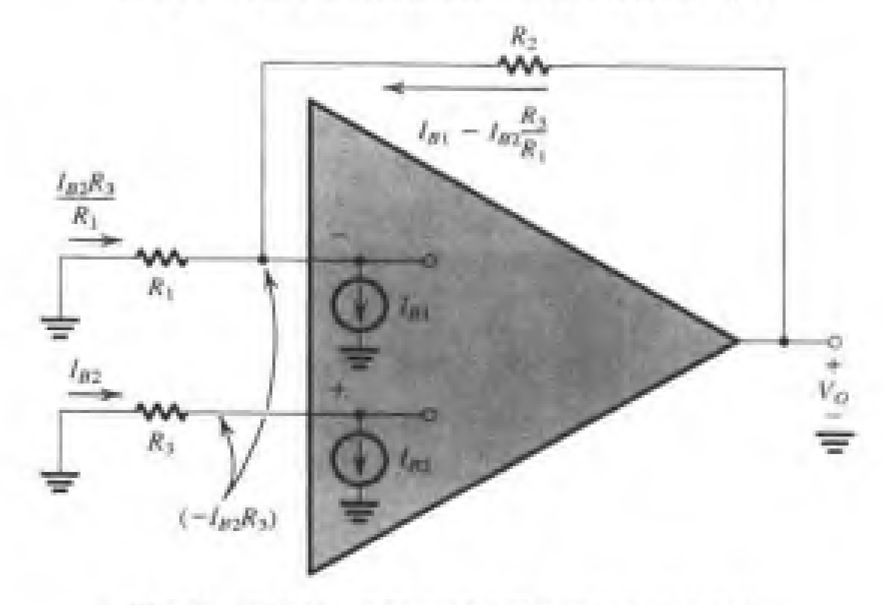


图 2.34 通过引入电阻 R_3 减小输入偏置电流的影响

R_3 的电阻值可以通过分析图 2.34 所示的电路来确定，其中给出了分析细节，输出电压由下式给出：

$$V_O = -I_{B2}R_3 + R_2(I_{B1} - I_{B2}R_3/R_1) \tag{2.45}$$

首先考虑 $I_{B1} = I_{B2} = I_B$ 的情况，可以得到

$$V_O = I_B[R_2 - R_3(1 + R_2/R_1)]$$

因此，可以选择 R_3 使 V_O 减小到 0，R_3 的值为

$$R_3 = \frac{R_2}{1 + R_2/R_1} = \frac{R_1R_2}{R_1 + R_2} \tag{2.46}$$

即，R_3 应该等于 R_1 和 R_2 的并联等效值。

对 R_3 做出如上选择以后，我们来计算有限的失调电流 I_{OS} 的影响。假设 $I_{B1} = I_B + I_{OS}/2$，$I_{B2} = I_B - I_{OS}/2$，代入式（2.45），结果是

$$V_O = I_{OS}R_2 \tag{2.47}$$

该结果通常比没有 R_3 时得到的值［见式（2.44）］小一个数量级左右。可以得出结论：为了使输入偏置电流的影响最小，应该在同相输入端放一个电阻，该电阻等于从反相端看进去的等效直流电阻。必须强调一下最后一句中的直流这个词：如果放大器是交流耦合的，那么应该选择 $R_3 = R_2$，如图 2.35 所示。

现在涉及到了交流耦合放大器的内容，应该注意，必须在运算放大器的每个输入端与地之间提供一条连续的直流通路。由于这个原因，如果没有电阻 R_3 接到地的话，图 2.36 所示的交流耦合的同相放大器就不能工作。遗憾的是，引入 R_3 会大大降低闭环放大器的输入电阻。

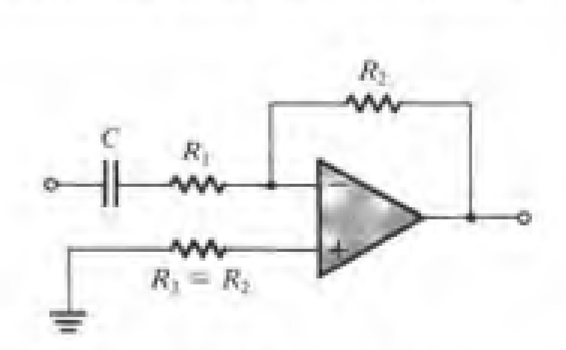


图 2.35　在交流耦合放大器中，从反相端看进去的直流电阻是 R_2，因此选择 R_3 等于 R_2

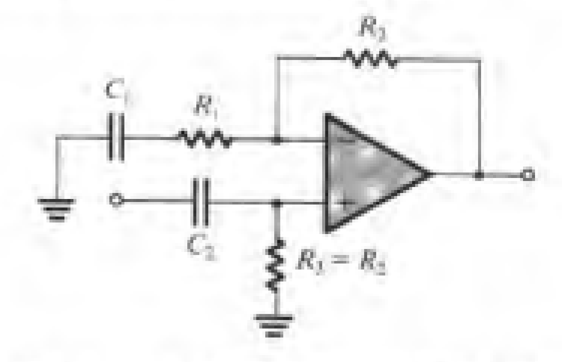


图 2.36　解释了运算放大器的每个输入端需要一个连续的直流通路。具体地说，如果电阻 R_3，放大器则不能工作

练习 2.26　考虑利用一个运算放大器和两个电阻（$R_1 = 10\ \text{k}\Omega$，$R_2 = 1\ \text{M}\Omega$）设计反相放大器电路。如果运算放大器的输入偏置电流为 100 nA，输入失调电流为 10 nA，求输出直流失调电压以及为了使输出失调电压最小而串联在同相输入端的电阻 R_3 的值。新的 V_O 值为多少？

答案：0.1 V；9.9 kΩ(约等于 10 kΩ)；0.01 V

2.8　积分器与微分器

到目前为止，我们介绍过的运算放大器的应用都是利用电阻连接在运算放大器的反馈回路上以及将信号源连接到电路中（也就是连接在输入回路中）实现的。其结果是电路的工作与频率无关（理想情况下）。惟一的例外是使用耦合电容使运算放大器的直流不完整性的影响最小［例如，

图 2.31（a）和图 2.36 所示的电路]。通过在运算放大器电路的反馈回路和输入回路中一起使用电容和电阻，我们可以得到大量的非常有用的运算放大器应用。在本节中，我们开始介绍运算放大器 RC 电路，并考虑两个基本的应用——信号积分器和微分器。

2.8.1 具有通用阻抗的反相组态

首先，考虑反相闭环组态放大器，利用阻抗 $Z_1(s)$ 和 $Z_2(s)$ 分别代替电阻 R_1 和 R_2，得到如图 2.37 所示的电路。对于理想运算放大器，该电路的闭环增益（更精确地说是该电路的传输函数）为

$$\frac{V_o(s)}{V_i(s)}=-\frac{Z_2(s)}{Z_1(s)} \tag{2.48}$$

正如 1.6 节所解释的那样，用 $j\omega$ 代替 s 就可以得到物理频率 ω 的传输函数，即频率为 ω 的正弦输入信号的传输幅度和相位。

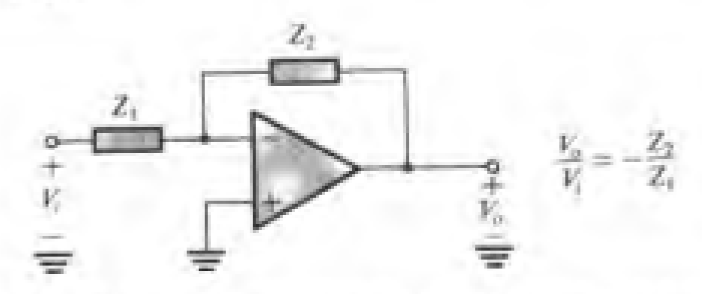


图 2.37 在反馈和输入回路中具有通用阻抗的反相组态放大器

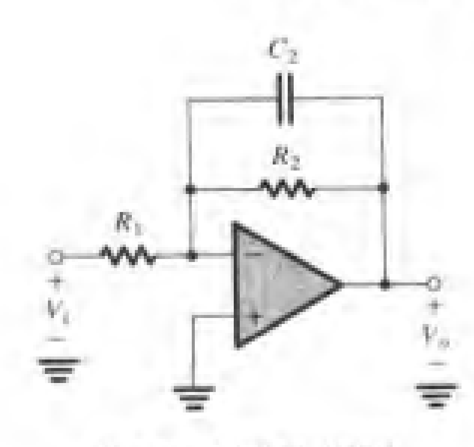


图 2.38 例题 2.6 的电路

例题 2.6 推导出图 2.38 所示电路的传输函数 $V_o(s)/V_i(s)$ 的表达式。证明该传输函数是低通 STC 电路的传输函数。将该传输函数表示成表 1.2 所示的标准形式，求直流增益和 3 dB 频率。设计一个电路，使得它的直流增益为 40 dB，3 dB 频率为 1 kHz，输入阻抗为 1 kΩ。求传输函数幅度变为 1 时的频率以及在该频率上的相位。

解：为了得到图 2.38 所示电路的传输函数，将 $Z_1=R_1$ 和 $Z_2=R_2\parallel(1/sC_2)$ 代入式（2.48）。因为 Z_2 是两个元件并联而成，因此用 Y_2 表示更为方便，即利用下式来表示传输函数：

$$\frac{V_o(s)}{V_i(s)}=\frac{1}{-Z_1(s)Y_2(s)}$$

将 $Z_1=R_1$ 和 $Y_2(s)=(1/R_2)+sC_2$ 代入上式可以得到

$$\frac{V_o(s)}{V_i(s)}=-\frac{1}{\dfrac{R_1}{R_2}+sC_2R_1}$$

该传输函数是一阶函数，具有有限的直流增益（在 $s=0$ 时，$V_o/V_i=-R_2/R_1$），并在无穷大频率处增益为 0。因此这是一个低通 STC 网络的传输函数，并可以表示成如下的表 1.2 所示的标准形式：

$$\frac{V_o(s)}{V_i(s)}=\frac{-R_2/R_1}{1+sC_2R_2}$$

从中可以得到直流增益 K 为

$$K=-\frac{R_2}{R_1}$$

3 dB 频率ω_0为

$$\omega_0 = \frac{1}{C_2R_2}$$

我们也可以通过观察图 2.38 所示的电路得到这些结果。具体地说，在直流时，电容开路，直流增益就是（$-R_2/R_1$）此外，因为反相输入端虚地，从电容看进去的电阻为 R_2，因此 STC 网络的时间常数为 C_2R_2。

现在，为了获得 40 dB 的直流增益，即 100 V/V，选择 $R_2/R_1 = 100$ 对于 1 kΩ的输入电阻，选择 $R_1 = 1$ kΩ，因此 $R_2 = 100$ kΩ。最后，根据 3 dB 频率 $f_0 = 1$ kHz，选择 C_2 以满足下式：

$$2\pi\times1\times10^3 = \frac{1}{C_2\times100\times10^3}$$

可以得到 $C_2 = 1.59$ nF。

该电路有如图 1.23 所示标准形式的增益和相位波特图。增益以−20 dB/十倍频程的速率下降，在两个十倍频程后达到 0，即在 $f = 100f_0 = 100$ kHz 时达到 0。如图 1.23（b）所示，在这个远大于 f_0 的频率上，相角近似为−90°。但是我们必须加上−180°，这是因为放大器具有反相性质（即传输函数表达式中的负号）。因此在 100 kHz 时，总的相移为−270°，或等同于+90° ■

2.8.2 反相积分器

在反馈支路上（即图 2.37 中 Z_2 的位置）放置一个电容以及在输入端（Z_1 的位置）放置一个电阻，就可以得到如图 2.39（a）所示的电路。可以看出，该电路实现了数学上的积分运算。假设输入是一个时变函数 $v_I(t)$，反相输入端的虚地会使 $v_I(t)$加在 R 两端，因此电流 $i_1(t)$为 $v_I(t)/R$。该电流流过电容 C 并将电荷积累在 C 上。假设电路从 $t = 0$ 时刻开始工作，那么在任意时刻 t，电流 $i_1(t)$在 C 上积聚的电荷等于$\int_0^t i_1(t)dt$，因此电容电压 $v_C(t)$为$\frac{1}{C}\int_0^t i_1(t)dt$。如果电容的初始电压 C（在 $t = 0$ 时）记为 V_C，则

$$v_C(t) = V_C + \frac{1}{C}\int_0^t i_1(t)dt$$

现在，输出电压 $v_O(t) = -v_C(t)$，因此，

$$v_O(t) = -\frac{1}{CR}\int_0^t v_I(t)dt - V_C \qquad (2.49)$$

可见该电路的输出电压与输入的时间积分成比例，V_C 是积分的初始条件，CR 是积分时间常数。可以看出，如同我们所预料的，输出电压有一个负号，因此该积分器是一个反相积分器，被称为米勒积分器，是以该领域早期的一个研究者的名字命名的。

积分电路的运算可以通过频域来描述，即在式（2.48）中代入 $Z_1(s) = R$ 和 $Z_2(s) = 1/sC$，得到以下传输函数：

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{sCR} \qquad (2.50)$$

对于物理频率 $s = j\omega$，有

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -\frac{1}{j\omega CR} \qquad (2.51)$$

因此积分器的传输函数的幅度为

$$\left|\frac{V_o}{V_i}\right| = \frac{1}{\omega CR} \tag{2.52}$$

相位为

$$\phi = +90° \tag{2.53}$$

积分器幅度响应的波特图可以从式（2.52）得到。随着ω 增大一倍（即增加二倍频程），幅度减小一半（即减小 6 dB）。因此波特图是一条斜率为–6 dB/二倍频程（或–20 dB/十倍频程）的直线。这条直线［如图 2.39（b）所示］与 0 dB 线相交，交点频率满足$|V_o/V_i|=1$，即该频率可以由式（2.52）得到：

$$\omega_{int} = \frac{1}{CR} \tag{2.54}$$

频率ω_{int}被称为积分频率，是积分时间常数的倒数。

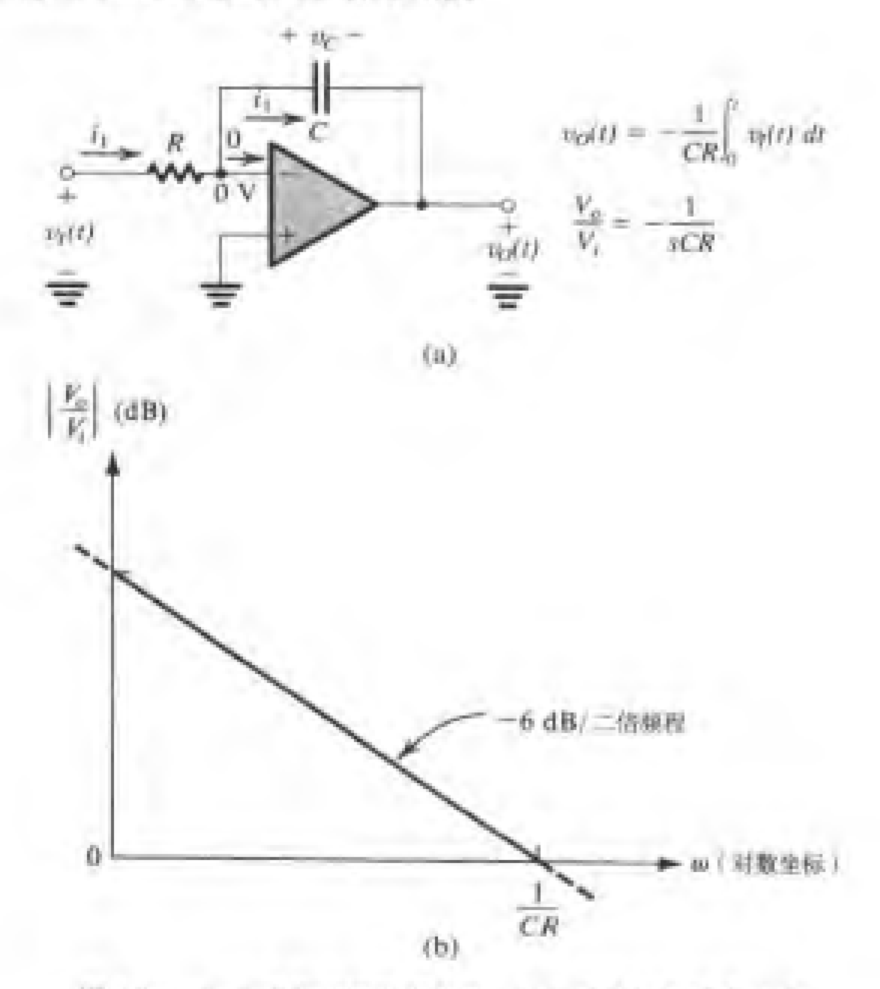


图 2.39 （a）米勒或反相积分器；（b）积分器的频率响应

将积分器的频率响应与 STC 低通网络的频率响应进行比较，可以发现积分器是一个角频率为 0 的低通滤波器。也可以看出在$\omega = 0$ 时，积分器传输函数的幅度为无限。这表明在直流时，运算放大器工作在开环状态。这个结论也可以从积分电路中得到。参考图 2.39（a），因为反馈元件是电容，所以直流工作时，电容因开路而使得电路中没有负反馈。这是一个非常重要的现象，它指出了积分电路存在问题的根源：输入信号中任何微小的直流分量在理论上都会产生一个无限的输出。当然，在实际中不会产生无限的输出电压，但是放大器的输出在接近运算放大器正负电源

电压（L_+或 L_-）时达到饱和，L_+或 L_-取决于输入直流信号的极性。

通过上面的讨论可以明显看出：积分电路会受到运算放大器输入直流失调电压和电流的负面影响。为了观察输入直流失调电压 V_{OS} 的影响，考虑图 2.40 所示的积分电路，其中为了简化起见，将输入信号源短路。该电路的分析比较简单，在图 2.40 中给出。假定在 $t=0$ 的时刻电容两端的电压为 0，输出电压是一个时间函数，可以由下式给出：

$$v_O = V_{OS} + \frac{V_{OS}}{CR}t \tag{2.55}$$

因此，v_O 随时间呈线性增加直到运算放大器饱和——显然这是不能接受的。同样，直流输入失调电流 I_{OS} 会产生相同的问题。图 2.41 解释了这种情况。可以看出，为了保持输入偏置电流 I_B 不流过 C，在运算放大器正输入端加上了一个电阻 R。但是失调电流 I_{OS} 会流过 C，并引起 v_O 随时间呈线性下降直到运算放大器饱和。

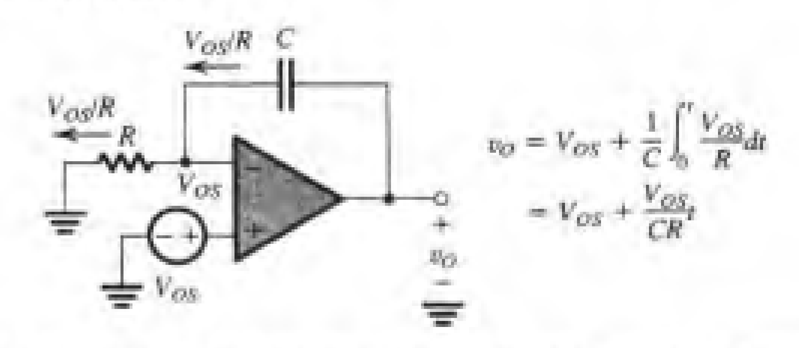


图 2.40　确定运算放大器的输入失调电压 V_{OS} 对米勒积分器电路的影响。注意，因为输出随时间增大，运算放大器最终趋近饱和

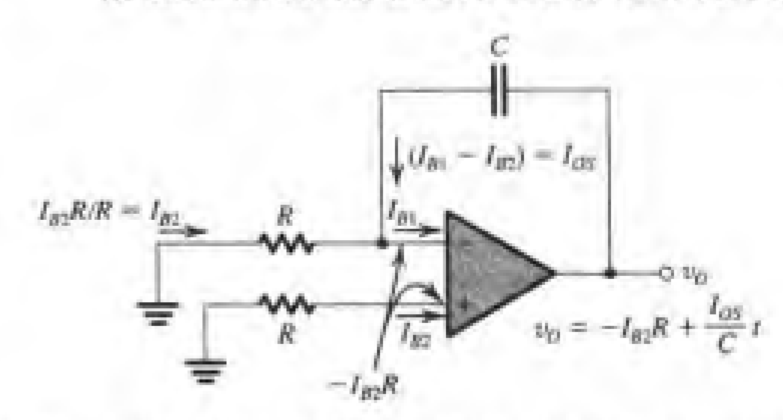


图 2.41　运算放大器输入偏置和失调电流对米勒积分电路性能的影响

积分电路的直流问题可以通过在积分电容 C 两端并联一个电阻 R_F 来消除，如图 2.42 所示。该电阻提供了一个直流通路，直流电流（V_{OS}/R）和 I_{OS} 就可以通过它流过，结果 v_O 就有了一个直流分量，即 $V_{OS}(1+R_F/R)+I_{OS}R_F$，而不再是随时间呈线性增加。为了保持直流失调在输出端尽可能小，可以选择一个较小的 R_F。遗憾的是，R_F 值越低，积分电路就变得越不理想。这是因为 R_F 使积分器极点的频率从它的理想位置 $\omega=0$ 移到 STC 网络（R_F，C）的角频率处。具体地说，积分器传输函数变为

$$\frac{V_o(s)}{V_i(s)} = -\frac{R_F/R}{1+sCR_F}$$

理想时为$-1/sCR$。我们选择的 R_F 越低，角频率（$1/CR_F$）就越高，积分器就变得越不理想。因此

R_F 的选择是设计者对直流性能和信号性能之间的一个平衡。R_F 对积分器性能的影响将在例题 2.7 中进一步讨论。在此之前，可以看出 R_F 在直流时构成了负反馈环，并为积分电路提供了有限的直流增益 $-R_F/R$。

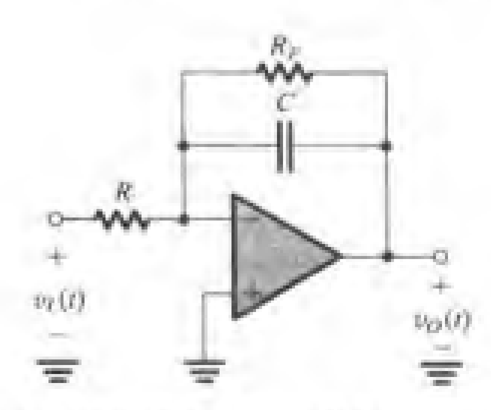


图 2.42 为了在直流时能够提供负反馈而获得有限增益，在电容 C 两端并联了一个大电阻 R_F 后得到的米勒积分器

例题 2.7 当米勒积分器输入高度为 1 V，宽度为 1 ms 的脉冲时［见图 2.43（a）］，求它的输出。假设 R=10 kΩ，C=10 nF。如果积分电容与一个 1 MΩ的电阻并联，其响应有什么变化？运算放大器的饱和电压为±13 V。

解： 对 1 V、1 ms 的输入脉冲，积分器的输出为

$$v_O(t)=-\frac{1}{CR}\int_0^t 1dt, \quad 0\leqslant t\leqslant 1\text{ ms}$$

这里假设积分电容的初始电压为 0。当 R = 10 kΩ，C = 10 nF，CR = 0.1 ms 时，则有

$$v_O(t)=-10t, \quad 0\leqslant t\leqslant 1\text{ ms}$$

这是如图 2.43（b）所示的呈线性下降的斜波。它在 t = 1 ms 时幅度达到−10 V，此后保持不变。

1 V 的输入脉冲可以在电容上产生 1 V/10 kΩ = 0.1 mA 的恒定电流，从这个事实可以明显看出输出是一个线性的斜波。I = 0.1 mA 的恒定电流在电容上产生 It 的电荷，因此电容上的电压随（I/C）呈线性变化，使得输出电压 $v_O=-(I/C)t$。需要记住的是以固定电流对电容进行充电将在电容上产生一个线性电压。

接下来考虑在 C 两端接上电阻 R_F = 1 MΩ的情况。如前所述，1 V 的脉冲将产生一个 I = 0.1 mA 的恒定电流。现在将该电流加到由 R_F 和 C 并联组成的 STC 网络。为了求得输出电压，可以将式（1.29）应用到这种情况：

$$v_O(t)=v_O(\infty)-[v_O(\infty)-v_O(0+)]e^{-t/CR_F}$$

式中，$v_O(\infty)$是终值，可以由下式得到：

$$v_O(\infty)=-IR_F=-0.1\times10^{-3}\times1\times10^{6}=-100\text{ V}$$

$v_O(0+)$是初始值，等于 0。也就是说，输出将是一个趋于−100 V 的指数函数（时间常数为 $CR_F=10\times10^{-9}\times1\times10^{6}=10$ ms）：

$$v_O(t)=-100(1-e^{-t/10}), \quad 0\leqslant t\leqslant 1\text{ ms}$$

当然，该指数函数将在脉冲结束时（即当 t = 1 ms 时）中断，此时输出为

$$v_O(1\text{ ms})=-100(1-e^{-1/10})=-9.5\text{ V}$$

输出波形如图 2.43(c)所示，从中可以看出包含 R_F 以后将使得斜波略微弯曲，输出只能达到−9.5 V，比理想值−10 V 小 0.5 V。此外，当 $t > 1$ ms 时，电容通过 R_F 以较长的时间常数 10 ms 开始放电。最后，可以注意到运算放大器在±13 V 时发生的饱和对该电路的工作没有影响。

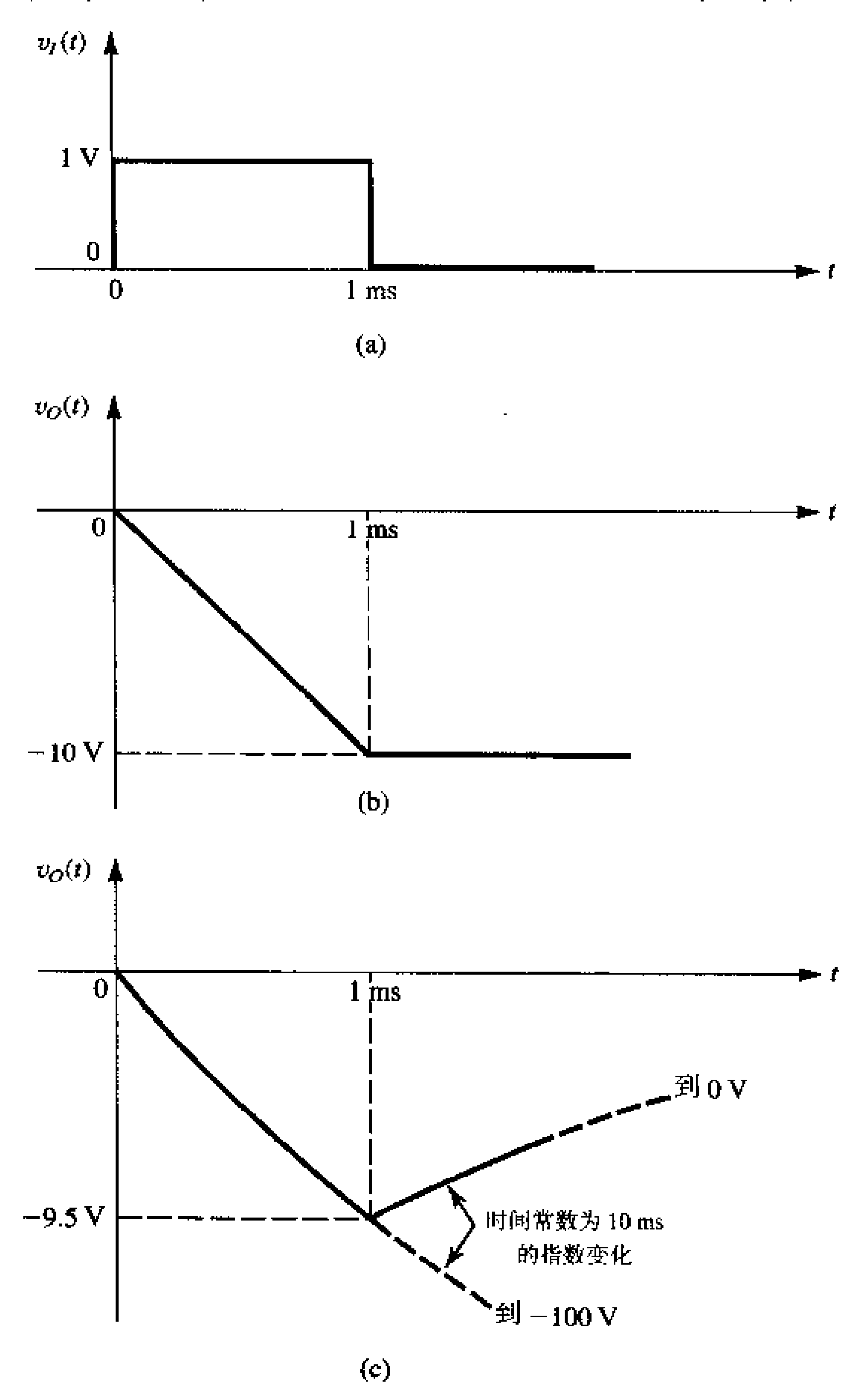


图 2.43　例题 2.7 的波形：（a）输入脉冲；（b）时间常数为 0.1 ms 的理想积分器的输出线性斜波；（c）在积分电容两端并联了电阻 R_F 后呈指数下降的输出 ■

前面的例子隐含着积分器的一个重要应用，即可以利用它们对方波输入产生三角波输出。在练习 2.27 中给出了该应用。积分器还有很多其他的应用，包括用来设计滤波器（见第 12 章）。

2.8.3 运算放大器微分器

交换积分电路中的电容和电阻的位置可以得到如图 2.44（a）所示的电路，它实现了数学上的

微分功能。为了了解电路是如何工作的，假设输入时变函数为 $v_I(t)$，此外我们注意到运算放大器的反相输入端虚地，这样在电容 C 两端产生实际显现为 $v_I(t)$的电压，因此流过 C 的电流为 $C(dv_I/dt)$，并且该电流流过反馈电阻 R，并在运算放大器输出端输出电压 $v_O(t)$：

$$v_O(t)=-CR\frac{dv_I(t)}{dt} \tag{2.56}$$

在式（2.56）中，令 $Z_1(s)=1/sC$ 和 $Z_2(s)=R$ 可以得到微分器电路的频域传输函数为

$$\frac{V_o(s)}{V_i(s)}=-sCR \tag{2.57}$$

对于物理频率 $s=j\omega$可以得到

$$\frac{V_o(j\omega)}{V_i(j\omega)}=-j\omega CR \tag{2.58}$$

因此传输函数的幅度为

$$\left|\frac{V_o}{V_i}\right|=\omega CR \tag{2.59}$$

相位为

$$\phi=-90^\circ \tag{2.60}$$

可以看出当频率ω 增大一倍时，幅度将增大一倍（增大 6 dB），并且从式（2.59）可以得到幅度响应的波特图。因此该波特图是一条以+6 dB/二倍频程（或+20 dB/十倍频程）为斜率的直线，与 0 dB 线（$|V_o/V_i|=1$）相交的交点频率是$\omega=1/CR$，其中 CR 是微分时间常数，见图 2.44（b）。

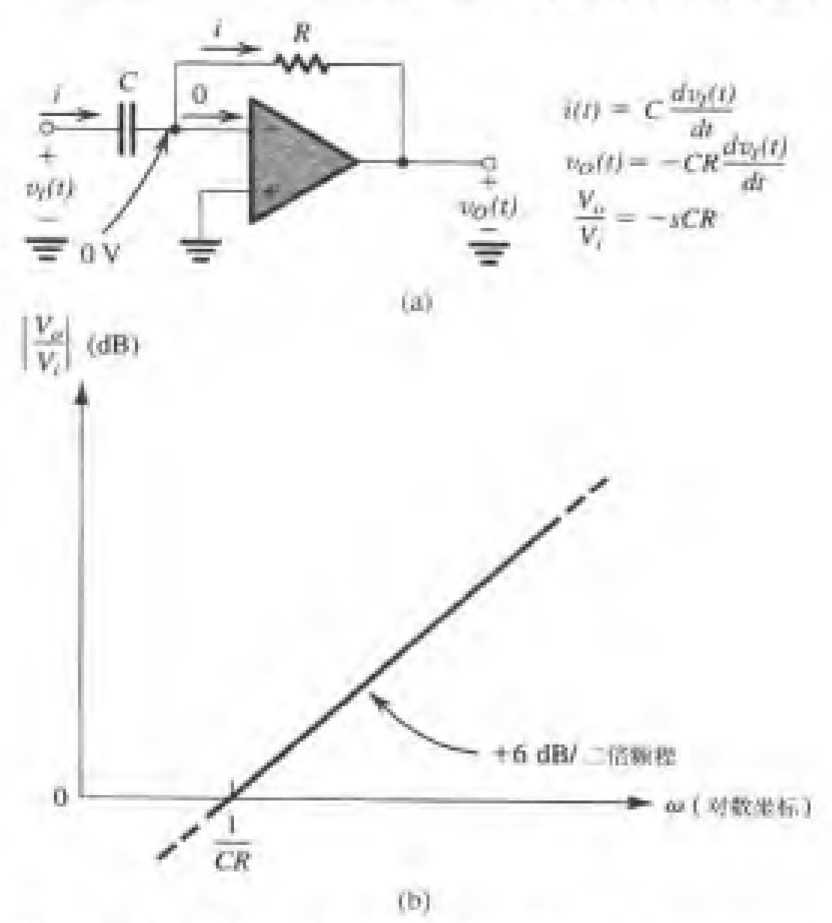


图 2.44 （a）微分器；（b）时间常数为 CR 的微分器的频率响应

微分器的频率响应可以认为是 STC 高通滤波器的频率响应，并且角频率为无穷大（参见图 1.24）。最后，我们将看到：微分电路的本质使得它成为一个噪声放大器。这是因为 $v_I(t)$的每一次剧变都会在输出端产生一个尖峰信号，$v_I(t)$的这种变化可能是从附近信号源电磁耦合过来的干扰。由于这个原因以及因为它们要受稳定性问题的影响（见第 8 章），因此在实际中通常要避免使用微分电路。当使用图 2.44（a）所示的电路时，通常需要与电容串联一个小的电阻。但是这种改动又使得该电路变为非理想的微分器。

练习 2.27　考虑一个峰峰值为 20V、均值为 0、周期为 2ms 的对称方波，将它加到一个米勒积分器上。为使得输出端得到输出峰峰值为 20 V 的三角波，求时间常数 CR。

答案：0.5 ms

练习 D2.28　利用一个理想的运算放大器来设计一个输入电阻为 10 kΩ、积分时间常数为 10^{-3} s 的反相积分器。该电路在 10 rad/s 和 1 rad/s 时的增益幅度和相位各为多少？增益幅度为 1 时的频率为多少？

答案：$R = 10\text{ k}\Omega$，$C = 0.1\,\mu\text{F}$；当 $\omega = 10$ rad/s 时，$|V_o/V_i| = 100$ V/V，$\phi = +90°$；当 $\omega = 1$ rad/s 时，$|V_o/V_i| = 1000$ V/V，$\phi = +90°$；1000 rad/s

练习 2.29　考虑一个时间常数为 1 ms、输入电阻为 10 kΩ 的米勒积分器。假设该运算放大器的 $V_{OS} = 2$ mV，输出饱和电压为 ±12 V。（a）假设当电源打开时，电容上的电压为 0，放大器达到饱和需要花多长时间？（b）选择最大可能的反馈电阻 R_F 以使得到的输出信号摆幅至少为 ±10 V。此对所得到的 STC 网络的角频率为多少？

答案：（a）6 s；（b）10 MΩ，0.16 Hz

练习 D2.30　设计一个微分器使得它的时间常数为 10^{-2} s，输入电容为 0.01 μF。求该电路在 10 rad/s 和 10^3 rad/s 时的增益幅度和相位？为了把微分电路的高频增益限制为 100，需要增加一个电阻与电容串联，求所需要的电阻值。

答案：$C = 0.01\,\mu\text{F}$；$R = 1\text{ M}\Omega$；当 $\omega = 10$ rad/s 时，$|V_o/V_i| = 0.1$ V/V，$\phi = -90°$；当 $\omega = 1000$ rad/s 时，$|V_o/V_i| = 10$ V/V，$\phi = -90°$；10 kΩ

2.9　运算放大器的 SPICE 模型与仿真实例

正如本章开始时提到的，运算放大器不是一个单一的电子器件（如后面将讲到的二极管或 MOS 晶体管），而是由大量电子器件组成的复杂的集成电路（IC）。然而，如同本章所介绍的，运算放大器既可以作为一个电路元件，也可以作为一个电路构件来处理和有效地使用。使用者不需要知道其内部电路的细节，但需要知道运算放大器的端口特性，如开环增益、输入电阻、频率响应等。此外，在利用运算放大器设计电路时，能够用一个等效电路模型来表示运算放大器是非常有用的。实际上，我们已经在本章这样做了，尽管只是一些非常简单的适合于手工分析的等效电路模型。因为我们打算利用计算机来进行仿真，因此我们使用的模型可以更加复杂以便尽可能充分地解释运算放大器的非理想性能。

基于端口特性的运算放大器模型称为宏模型。它不同于通过对运算放大器实际内部电路的每个器件建模所得到的模型。后一种模型可能会变得非常复杂和不灵活，特别是如果想使用该模型来仿真而使用了大量运算放大器的电路时。

一个电路部件（在这里是运算放大器）的宏模型可以非常有效地近似模拟放大器的实际性能，而且使用的电路模型与实际内部电路相比可以大大降低复杂性。使用宏模型的好处包括：可以根

据数据表得到宏模型，而不需要知道运算放大器的内部电路。此外，宏模型可以更快地得到含有大量运算放大器的电路仿真。

2.9.1 线性宏模型

一个具有内部补偿、有限增益和带宽的运算放大器的线性宏模型的原理图[①]如图 2.45 所示。在这个等效电路模型中，电压控制电压源 E_d 的增益常数 A_{0d} 相当于运算放大器在直流时的差模增益。电阻 R_b 和电容 C_b 组成了一个 STC 滤波器，其角频率为

$$f_b = \frac{1}{2\pi R_b C_b} \tag{2.61}$$

该滤波器的低通响应用来对具有内部补偿的运算放大器的频率响应建立模型。在这个宏模型中所使用的 R_b 和 C_b 的值必须使 f_b 相当于被建立模型的运算放大器的 3 dB 频率。通常任意选择 R_b 和 C_b 其中的一个值（所选择的值不一定是实际值），然后利用式（2.61）来计算另外一个值。在图 2.45 中，增益常数为 1 的电压控制电压源 E_b 作为缓冲器来隔离低通滤波器和运算放大器输出端的负载。因此任何运算放大器的负载不会影响滤波器的频率响应，因此不会影响运算放大器的频率响应。

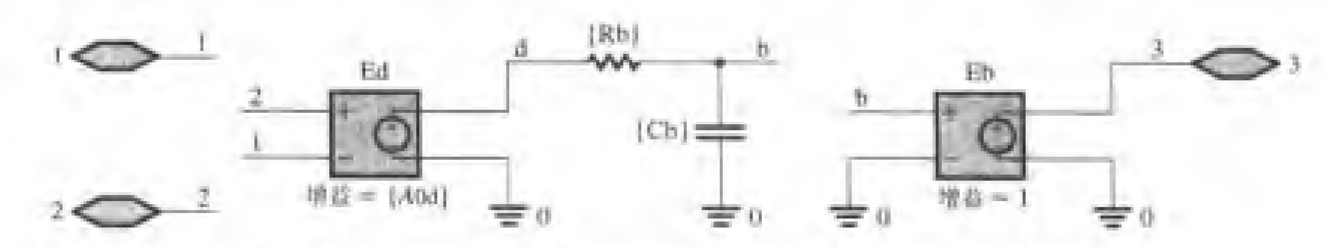


图 2.45 对具有内部补偿、有限增益和带宽的运算放大器建立的线性宏模型

图 2.45 所示的线性宏模型可以进一步表示运算放大器其他的非理想特性。例如，图 2.46 所示的等效电路模型可以用来表示具有内部补偿的运算放大器，但是运算放大器有如下的非理想特性：

1. **输入失调电压(V_{OS})**：直流电压源 V_{OS} 对运算放大器的输入失调电压建立模型。

2. **输入偏置电流（I_B）和输入失调电流（I_{OS}）**：直流电流源 I_{B1} 和 I_{B2} 对运算放大器每个输入端的输入偏置建立模型：

$$I_{B1} = I_B + \frac{I_{OS}}{2} \text{ 且 } I_{B2} = I_B - \frac{I_{OS}}{2}$$

其中，I_B 和 I_{OS} 分别是由运算放大器生产厂商给定的输入偏置电流和输入失调电流。

3. **共模输入电阻（R_{icm}）**：如果一个运算放大器的两个输入端被连接在一起，并且可测得到地的输入电阻，即共模输入电阻 R_{icm}。在图 2.46 所示的宏模型中，我们将 R_{icm} 分成两个相等的部分（$2R_{icm}$），分别连接在其中一个输入端与地之间。

4. **差模输入电阻（R_{id}）**：在运算放大器两个输入端之间看进去的电阻就是差模输入电阻 R_{id}。

5. **直流差模增益（A_{0d}）和共模抑制比（CMRR）**：一个运算放大器在直流时的输出电压可以表示为

① 需要提醒读者的是：本书所有的 SPICE 实例的原理图和相应的 PSpice 仿真文件都可以在 CD 中找到，或者在网站上找到，网址为 www.sedrasmith.org

$$V_3 = A_{0d}(V_2 - V_1) + \frac{A_{0cm}}{2}(V_1 + V_2)$$

其中，A_{0d} 和 A_{0cm} 分别是运算放大器在直流时的差模和共模增益。对于有限 CMRR 的运算放大器：

$$A_{0cm} = A_{0d} / \text{CMRR} \tag{2.62}$$

其中，CMRR 以 V/V 表示（不是以 dB 表示）。注意，式（2.62）中的 CMRR 值是开环运算放大器的共模抑制比，而式（2.14）中的 CMRR 是特定的闭环放大器的共模抑制比。在图 2.46 所示的宏模型中，增益常数为 $A_{0cm}/2$ 的电压控制电压源 E_{cm1} 和 E_{cm2} 代表了有限共模抑制比，此时电源 E_d 对 A_{0d} 建立模型。

6. **单位增益频率**（f_t）：从式（2.28）可以得到 3 dB 频率 f_b 和一个具有内部补偿和 STC 频率响应的运算放大器的单位增益频率（或增益带宽积）f_t 之间的关系：

$$f_b = \frac{f_t}{A_{0d}} \tag{2.63}$$

如图 2.45 所示，运算放大器的有限带宽可以在图 2.46 所示的宏模型中表示，只要将由电阻 R_b 和电容 C_b[见式（2.61）]组成的滤波器的角频率设为等于运算放大器[见式（2.63）]的 3 dB 频率。应该注意，这里我们假定差模增益和共模增益具有相同的频率响应（该假定不是总有效）。

7. **输出电阻**（R_o）：从运算放大器的输出看进去的电阻为输出电阻 R_o。

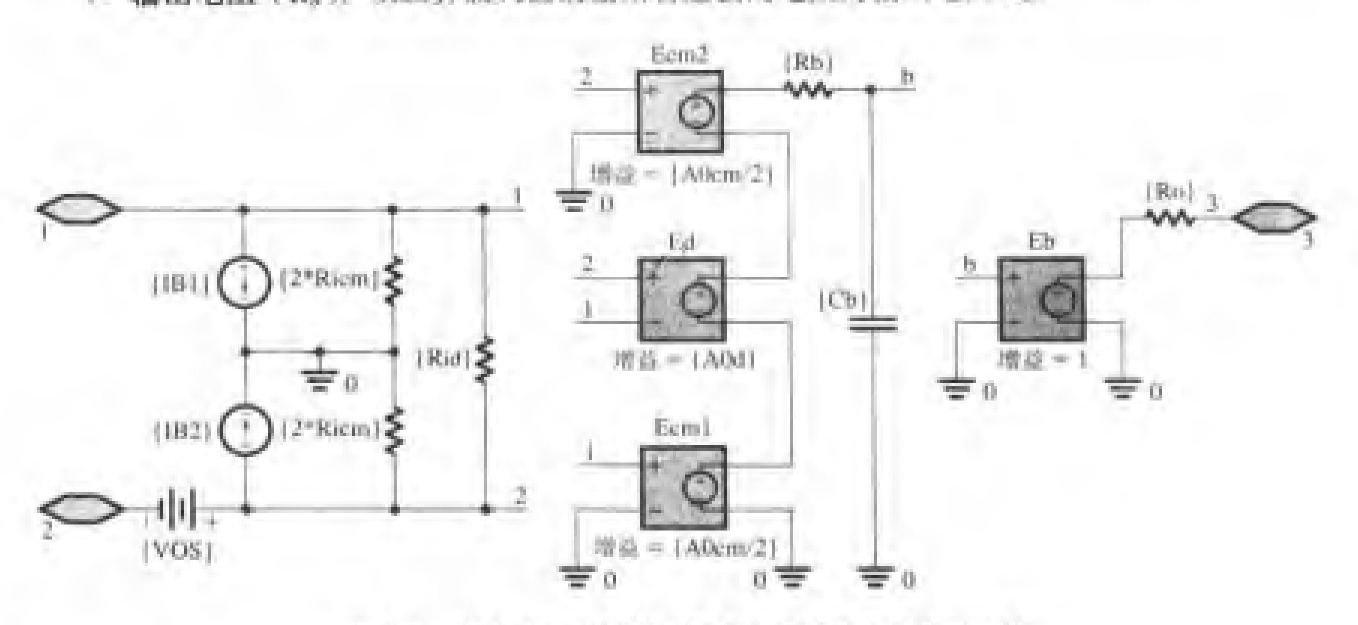


图 2.46　具有内部补偿的运算放大器的综合线性宏模型

例题 2.8　同相放大器的性能

考虑一个运算放大器，其差模输入电阻为 2 MΩ，输入失调电压为 1 mV，直流增益为 100 dB，输出电阻为 75 Ω。假定运算放大器具有内部补偿以及 STC 频率响应，并且增益带宽积为 1 MHz。

（a）在 PSpice 中为该电路建立一个子电路模型。

（b）利用该子电路模型，当电阻 $R_1 = 1\ \text{k}\Omega$，$R_2 = 100\ \text{k}\Omega$ 时，对图 2.12 所示的闭环同相放大器进行仿真，并求：

（i）其 3 dB 带宽 f_{3dB}。

（ii）其输出失调电压 V_{OSout}。

（iii）其输入电阻 R_{in}。

（iv）其输出电阻 R_{out}。

（c）对闭环放大器的阶跃响应进行仿真并测量它的上升时间 t_r。验证该时间与上面测量得到的 3 dB 频率相一致。

解： 在 PSpice 中对运算放大器建立模型，我们使用图 2.46 所示的等效电路，但是 $R_{id}=2\,\text{M}\Omega$，$R_{icm}=\infty$（开路），$I_{B1}=I_{B2}=0$（开路），$V_{OS}=1\text{ mV}$，$A_{0d}=10^5\text{ V/V}$，$A_{0cm}=0$（短路），$R_o=75\,\Omega$。此外，设 $C_b=1\,\mu\text{F}$，$R_b=15.915\text{ k}\Omega$ 以使得 $f_t=1\text{ MHz}$。

为了测量闭环放大器的 3 dB 频率，在它的输入端加上 1 V 的交流电压，用 PSpice 进行交流分析仿真，画出其输出–频率曲线。因为我们选择 1 V 的输入电压，因此如图 2.47 所示，输出电压相当于放大器的增益。这样，从图 2.47 可以得到放大器的直流增益 $G_0=100.9\text{ V/V}$，增益下降到 $G_0/\sqrt{2}=71.35\text{ V/V}$ 的频率是 $f_{3\text{dB}}=9.9\text{ kHz}$，与式（2.28）相符。

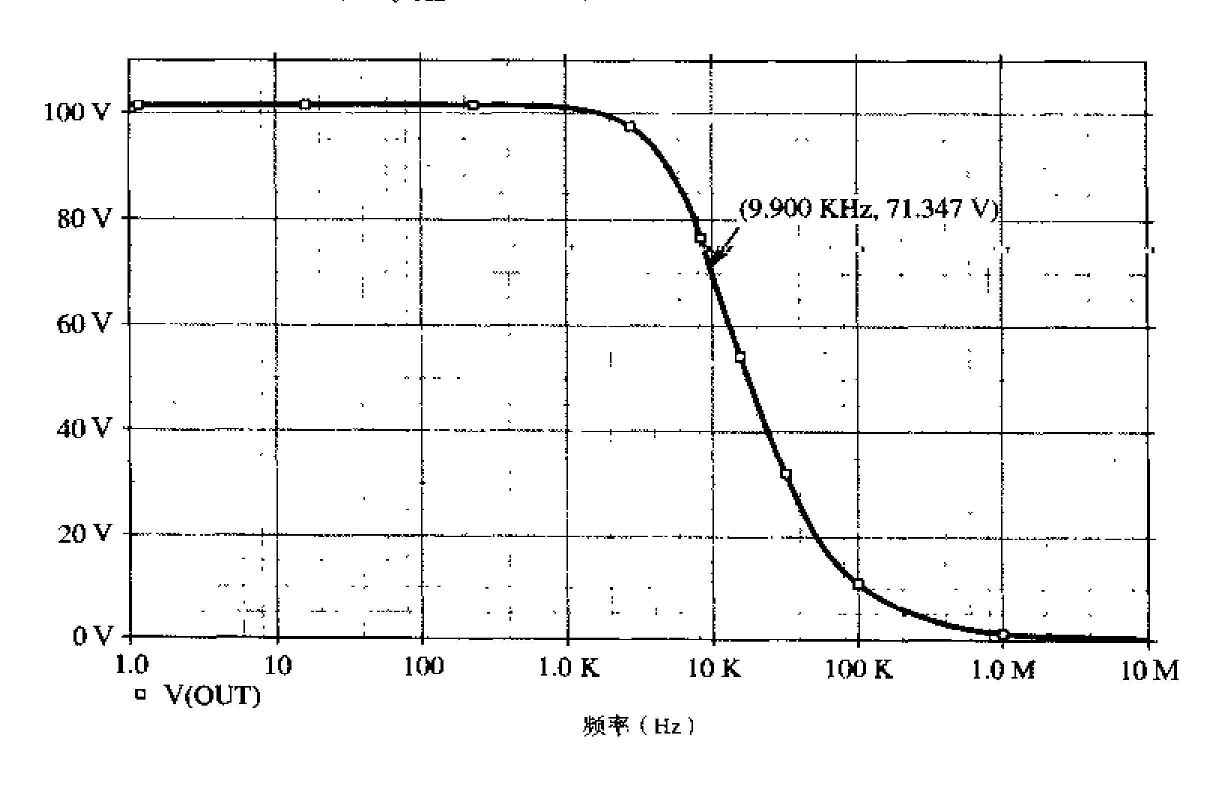


图 2.47 例题 2.8 的闭环放大器的频率响应

输入电阻 R_{in} 的值等于在 0.1 Hz 时由上面交流分析仿真中求得的取自所使用的 1 V 交流电压源的电流的倒数值。（理论上说，R_{in} 是直流时的小信号输入电阻。但是，交流分析仿真必须从大于 0 的频率开始，因此我们使用 0.1 Hz 来近似直流点。）因此，求得 R_{in} 为 2 GΩ。

为了测量 R_{out}，将放大器的输入短接到地，然后在它的输出端接入 1 A 的交流电流并进行交流分析仿真。R_{out} 的值等于 0.1 Hz 时放大器的输出电压值，求得 R_{out} 为 76 MΩ。尽管一个交流测试电压源可以等效地用来测量这种情况下的输出电阻，但是在输出端和地之间接上电流源比接上电压源要好。这是因为当仿真器计算电路的直流偏置点时，交流电流源呈现开路状态，而交流电压源为短路，这会错误地使直流输出电压为 0。因为相同的原因，在测量电压放大器的输入电阻时，交流测试电压源应该与偏置直流电压源串联连接。

仔细观察闭环放大器的 R_{in} 和 R_{out}，可以看出它们的值相对于运算放大器相应的电阻值分别大约增大 1000 倍和减小到原来的 1/1000。这样的大输入电阻和小输出电阻确实是一个电压放大器的理想特性。对闭环放大器的小信号电阻的这个改善是在开环运算放大器中直接应用负反馈（通过

电阻 R_1 和 R_2）的结果。我们将在第 8 章中介绍负反馈以及怎样能使这个改善因子（在本例题中是 1000）等于开环运算放大器增益（10^5）与闭环放大器增益（100）之比。

根据式（2.37）和式（2.35），闭环放大器具有以下 STC 低通响应：

$$\frac{V_o(s)}{V_i(s)} = \frac{G_0}{1+\frac{s}{2\pi f_{3\,\mathrm{dB}}}}$$

如附录 D 所述，这种放大器对高度为 V_{step} 的阶跃输入的响应为

$$v_O(t) = V_{\mathrm{final}}(1-e^{-t/\tau}) \tag{2.64}$$

其中，$V_{\mathrm{final}} = G_0 V_{\mathrm{step}}$ 是最终的输出电压值（即，输出所趋于的值），$\tau = 1/(2\pi f_{3\,\mathrm{dB}})$ 是放大器的时间常数。如果我们定义 $t_{10\%}$ 和 $t_{90\%}$ 分别是输出波形上升到 V_{final} 的 10%和 90%所花的时间，那么由式（2.64）可以得到 $t_{10\%} \approx 0.1\tau$，$t_{90\%} \approx 2.3\tau$。因此，放大器的上升时间可以表示成

$$t_r = t_{90\%} - t_{10\%} = 2.2\tau = \frac{22}{2\pi f_{3\,\mathrm{dB}}}$$

因此，如果 $f_{3\,\mathrm{dB}} = 9.9$ kHz，那么 $t_r = 35.4\ \mu$s。为了仿真闭环放大器的阶跃响应，在它的输入端加上一个阶跃电压并使用分段线性源（具有非常短的上升时间）；然后执行瞬态分析并测量输出端的电压随时间变化的函数。在该仿真中，加入 1 V 的阶跃输入，画出如图 2.48 所示的输出波形，测出 t_r 为 35.3 μs。

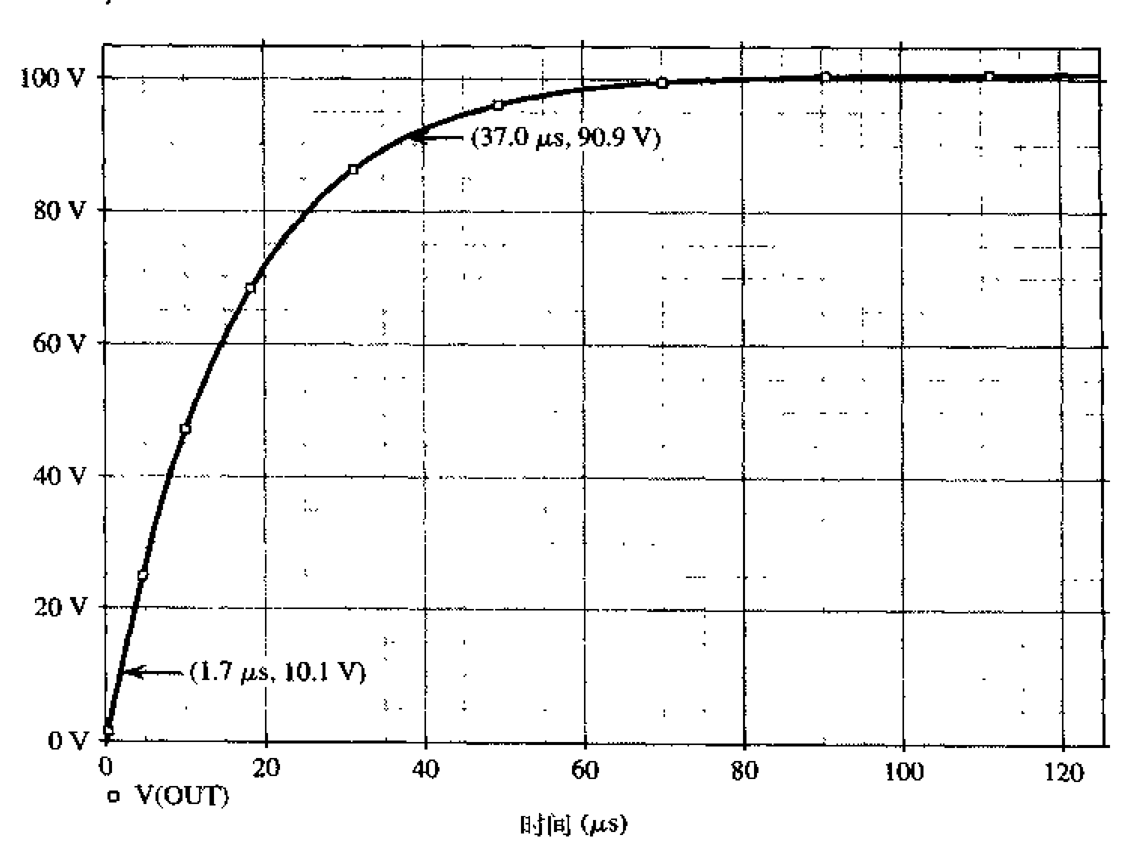


图 2.48　例题 2.8 的闭环放大器的阶跃响应　■

图 2.45 和图 2.46 所示的线性宏模型假定运算放大器电路工作在它的线性范围内，不能表示当输出端产生大信号时的非理想性能。因此，非线性影响（如输出饱和与转换速率）没有被建立相应的模型。这就是为什么在图 2.48 所示的阶跃响应中，当加入 1 V 的阶跃输入时输出电压达到

100 V 的原因。但是，IC 运算放大器不可能产生这么大的输出电压。因此，设计者在使用这些模型时必须非常小心。

有必要指出，在图 2.47 所示的交流分析中，我们可以看出大约有 100 V 的输出电压，其中为了方便起见，加入了 1 V 的交流输入来测量闭环放大器的增益。这样，如果运算放大器的宏模型包含了非线性的影响（特别是输出饱和），那么我们是否可以得到这么大的输出电压呢？答案是肯定的，因为在交流分析中，PSpice 对一个非线性器件使用线性模型，线性模型的参数在计算偏置点时得到。我们会在后面几章中更多地介绍。在这里，我们必须牢记在交流分析中碰到的电压大小可能不是真实的。对于一个设计者来说，在这种情况下重要的是电压和电流的比值（例如，用输出输入电压之比作为电压增益的度量）。

2.9.2 非线性宏模型

图 2.46 所示的线性宏模型可以被进一步扩展以表示运算放大器的非线性性能。例如，运算放大器的有限输出电压摆幅可以通过对电压控制电压源 E_b 的输出电压设置限制来建立模型。在 PSpice 中，这可以通过使用模拟行为模型（ABM）库中的 ETABLE 组件以及在该组件的查找表中设置输出电压限制来实现。如何来建立运算放大器的非线性宏模型的更多信息可以在 Spice 仿真参考书中找到。一般来说，在 IC 中能够表示非线性影响的宏模型由运算放大器制造商提供。大多数仿真器在它们的库中都包括一些流行的有现货供应的 IC 的宏模型。例如，PSpice 包括了 μA741、LF411 和 LM324 运算放大器的模型[1]。

例题 2.9　741 运算放大器的特性

考虑μA741 运算放大器，它的模型可以在 PSpice 中得到。我们可以使用 PSpice 来输出开环增益的曲线，并由此确定 f_t，而且可以分析该运算放大器的 SR 限制和输出饱和。

解： 图 2.49 给出了用来仿真μA741 频率响应的原理图。μA741 部件有 7 个引脚。引脚 7 和引脚 4 分别是运算放大器正负电源的引脚。741 型运算放大器是典型的用±15 V 电源供电的运算放大器，因此我们分别把直流电压源 $V_{CC}=+15$ V 和 $V_{EE}=-15$ V 连接到引脚 7 和引脚 4。μA741 部件的引脚 3 和引脚 2 分别对应于运算放大器的同相和反相输入端。如 2.1.3 节所述，运算放大器的输入信号可以表示成

$$v_{INP}=V_{CM}+\frac{V_d}{2}$$

$$v_{INN}=V_{CM}-\frac{V_d}{2}$$

其中，v_{INP}和 v_{INN}分别是运算放大器同相输入端和反相输入端的信号，而 V_{CM}是共模输入信号（它设置运算放大器输入端的直流偏置电压），V_d是所要放大的差模输入信号。图 2.49 中的直流电压源 V_{CM}用来设置共模输入电压。一般来说，V_{CM}设置成电源电压 V_{CC}和 V_{EE}的平均值以使可得到的输入信号摆幅最大。因此，我们将 V_{CM}设成 0。图 2.49 中的电压源 V_d用来产生差模输入信号。利用增益系数设为 0.5 的电压控制电压源 E_p和 E_n将该信号双端接入到运算放大器的输入端。

μA741 的引脚 1 和引脚 5 分别是运算放大器的调零电路引脚（如图 2.30 所示）。但是对该部件的 PSpice 网表（在原理图输入菜单中通过选择 Edit→PSpice 模型）检查可以看出这两个引脚是悬空的，因此运算放大器的调零特性在该宏模型中没有被包含。

---

[1] PSpice 的 OrCAD 9.2 Lite 版本，可以在本书的 CD 中找到，在它的评估库中（EVAL）包括了这些模型。

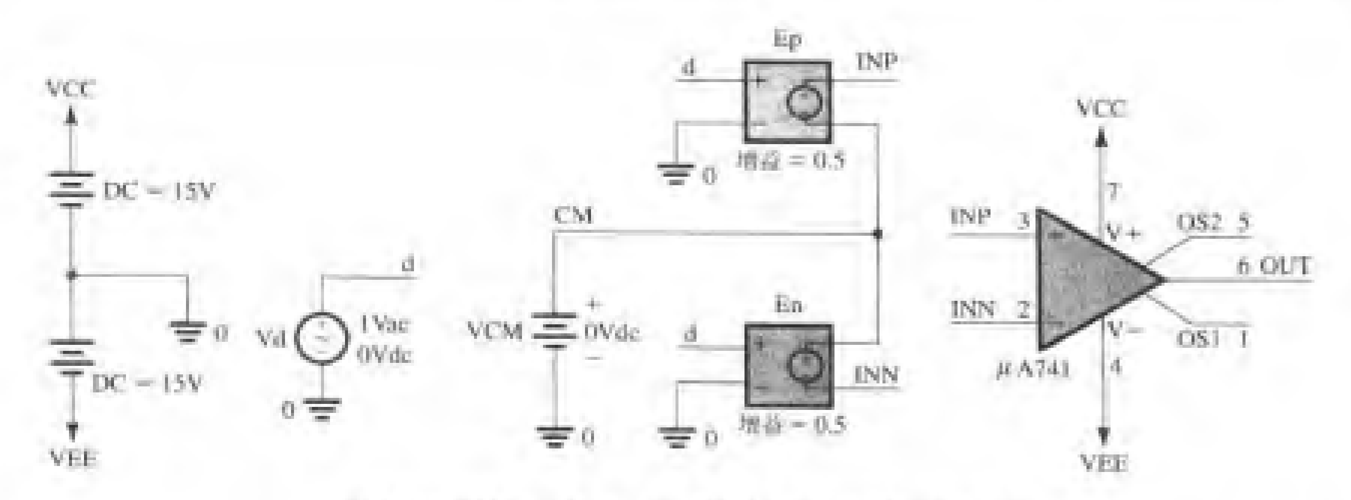


图 2.49　例题 2.9 的μA741 运算放大器的频率响应仿真

为了测量运算放大器的 f_t，我们把源电压 V_d 设为交流 1 V，然后在 PSpice 中执行交流分析仿真，输出如图 2.50 所示的对应频率的输出电压。因此，得到运算放大器电压增益下降为 0 dB 时的频率为 f_t = 0.9 MHz（它接近于 741 型运算放大器数据表中给出的 1 MHz）。

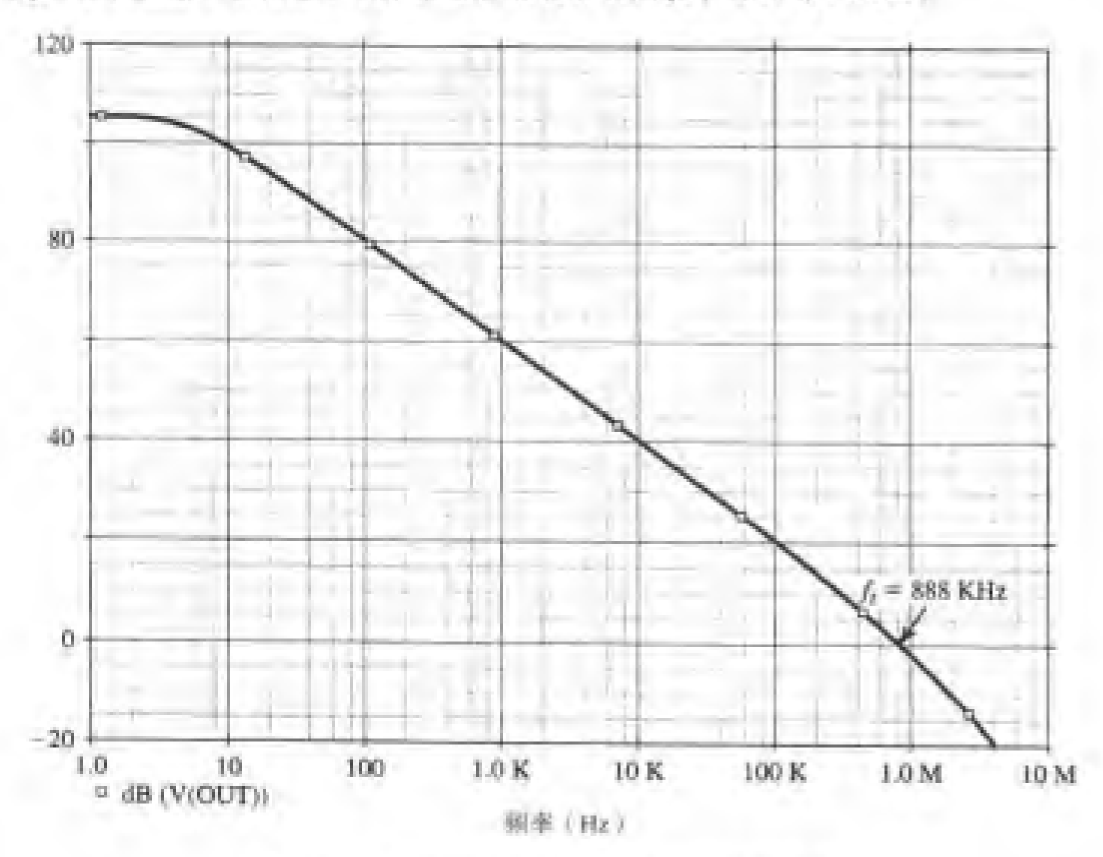


图 2.50　例题 2.9 的μA741 运算放大器的频率响应

为了确定μA741 运算放大器的摆率，将该运算放大器连接成单位增益组态，如图 2.51 所示，并在输入端加上一个上升时间和下降时间都非常短的大脉冲信号，使得在输出端产生摆率限制。在 PSpice 中执行瞬态分析以得到输出电压，如图 2.52 所示。具有摆率限制的输出波形的斜率等于运算放大器的摆率，求得其值为 SR = 0.5 V/μs（该值与 741 型放大器的数据表中给出的值相符）。

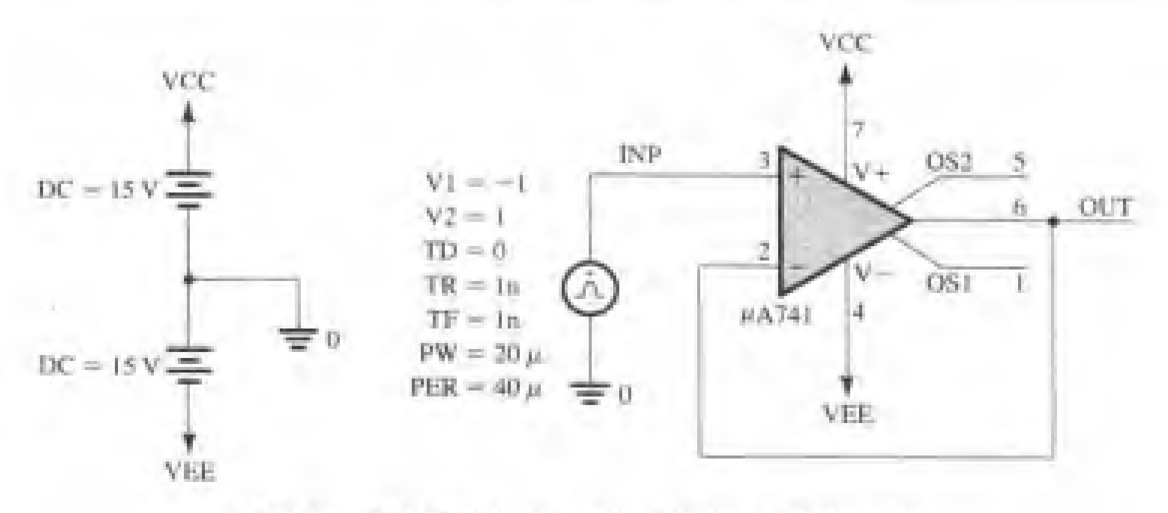


图 2.51 确定例题 2.9 的μA741 运算放大器摆率的电路

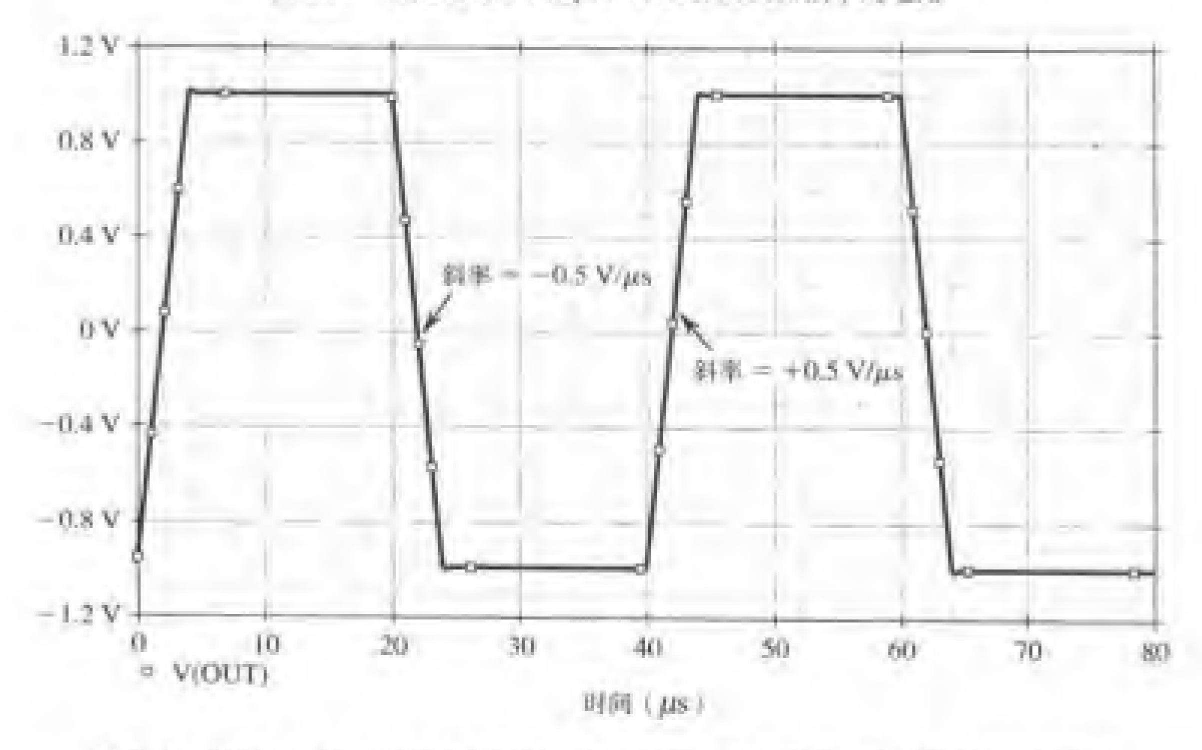


图 2.52 将μA741 运算放大器连接成图 2.51 所示的单位增益组态后得到的方波响应

为了确定μA741 运算放大器的最大输出电压，将图 2.49 中差分电压源 V_d 的直流电压设成最大，例如+1 V，然后在 PSpice 中执行工作点仿真。相应的直流输出电压就是运算放大器的正输出饱和电压。将直流差分输入电压设为−1 V 并重复仿真可得到负输出饱和电压。结果可以求得μA741 运算放大器有最大的输出电压 V_{omax} = 14.8 V。 ■

小结

- IC 运算放大器是一种通用的电路构件，很容易应用，并且电路性能与理论计算的结果很接近。
- 运算放大器的连接端有反相输入端（1）、同相输入端（2）、输出端（3）、连接到正电源的正电源连接端（V^+）和连接到负电源的负电源连接端（V^-）。两个电源的公共端是电路地。
- 理想运算放大器只对差分输入信号产生响应，即（$v_2 - v_1$）；在输出端 3 和地之间输出信号 A（$v_2 - v_1$），其中 A 是开环增益，是一个非常大的值（10^4 到 10^6），在理想情况下为无限，并

且具有无穷大的输入电阻和零输出电阻。

- 在它的输出端和反相（负）输入端之间连接一个无源元件就在运算放大器中加入了负反馈。负反馈使得两个输入端之间的电压变得非常小，理想情况下为 0。因此称两个输入端之间为虚短路。如果正输入端连接到地，那么在负输入端就呈现虚地。
- 假设存在负反馈且运算放大器是理想的，对运算放大器电路的分析有两个最重要的假设：运算放大器的两个输入端有相同的电压，流入运算放大器输入端的电流为 0。
- 由于施加了负反馈，电路被闭合，闭环增益几乎完全由外部元件确定：对于反相组态，$V_o/V_i=-R_2/R_1$；对于同相组态，$V_o/V_i=1+R_2/R_1$。
- 同相闭环组态具有非常高的输入电阻。一个特殊的情况是单位增益跟随器，经常被作为缓冲放大器用来连接高阻信号源和低阻负载。
- 对于大多数具有内部补偿的运算放大器，开环增益以−20dB/十倍频程的速率随频率下降，在频率 f_t（单位增益频率）时达到 1。频率 f_t 被认为是运算放大器的增益带宽积：$f_t=A_0f_b$，其中 A_0 是直流增益，f_b 是开环增益的 3 dB 频率。在任何频率 f（$f\gg f_b$），运算放大器增益 $|A|=f_t/f$。
- 对于同相和反相闭环组态，3 dB 频率都等于 $f_t/(1+R_2/R_1)$。
- 运算放大器输出电压能够变化的最大速率叫做摆率。摆率 SR 通常用 V/μs 来表示。运算放大器的摆率可能会导致输出信号波形的非线性失真。
- 全功率带宽 f_M 是能够不失真输出幅度等于运算放大器额定输出电压（V_{omax}）的输入正弦波的最大频率，$f_M=\mathrm{SR}/2\pi V_{omax}$。
- 输入失调电压 V_{OS} 是在运算放大器的输入端以合适的极性加入的直流电压的幅度，它可以使输出端的直流失调电压为 0。
- V_{OS} 对性能的影响可以通过在运算放大器的同相输入端串联上一个直流电源 V_{OS} 后对电路进行分析得到。对于同相和反相组态，V_{OS} 将产生输出端的直流失调电压为 $V_{OS}(1+R_2/R_1)$。
- 电容耦合的运算放大器可以大大减小输出端的直流失调电压。
- 两个直流电流 I_{B1} 和 I_{B2} 流入运算放大器的输入端，它们的平均值称为输入偏置电流 I_B。在闭环放大器中，I_B 将在输出端产生一个直流失调电压，幅度为 I_BR_2。该电压可以通过在同相输入端串联上一个电阻来减小到 $I_{OS}R_2$，该电阻必须等于从反相输入端看进去的总直流电阻。I_{OS} 是输入失调电流，即 $I_{OS}=|I_{B1}-I_{B2}|$。
- 在反相积分运算放大器的电容两端并联一个大电阻可以防止运算放大器产生输出饱和（由于 V_{OS} 和 I_B 的影响）。

习题

2.1 节：理想运算放大器

2.1 当双运算放大器 IC 封装中包含两个运算放大器时，最少应该有几个管脚？包含四个运算放大器的四运算放大器封装应该有几个管脚？

2.2 图 P2.2 所示电路使用了一个理想运算放大器，但是它的增益 A 是有限的。当 $v_I=4.0$ V 时，测得 $v_O=4.0$ V，则该运算放大器的增益 A 为多少？

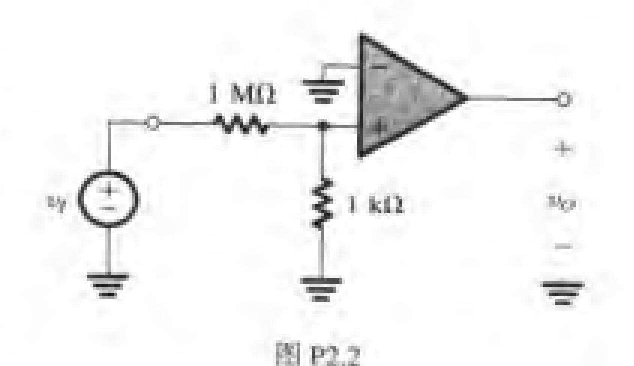


图 P2.2

2.3 对一个包含理想运算放大器的电路进行测量，得到该运算放大器输出端的电压为–2.000 V，反相输入端为–3.000 V。如果该放大器理想，那么同相输入端的电压为多少？如果测量得到同相输入端电压为–3.020 V，那么该放大器的实际增益为多少？

2.4 对一个除了增益有限，其他指标都理想的运算放大器进行一系列实验，得到如下表所示的结果。这些结果一致吗？如果不一致，那么从可能的实验误差角度来看，它们是否合理？从中得到的增益为多少？利用这些值估计表中所缺的测量值。

实验号	V_1	V_2	V_O
1	0.00	0.00	0.00
2	1.00	1.00	0.00
3		1.00	1.00
4	1.00	1.10	10.1
5	2.01	2.00	–0.99
6	1.99	2.00	1.00
7	5.10		–5.10

2.5 参考练习 2.3。本习题首先分析运算放大器的内部结构。特别是希望利用两个互导放大器和一个互阻放大器来对给定运算放大器的内部结构建立模型。给出一个合适的拓扑结构。对于相等的互导 G_m 和互阻 R_m，求开环增益 A 的表达式。当 $G_m = 100$ mA/V 以及 $R_m = 10^6\ \Omega$ 时，A 的值为多少？

2.6 从一个换能器输出端引出的两条电线上获取了一个 60 Hz 的 1 V 正弦干扰信号。该换能器的输出信号是幅度为 10 mV、频率为 1000 Hz 的正弦波。给出 v_{cm}、v_d 以及每条电线到系统地之间的总信号的表达式。

2.7 非理想（即实际）运算放大器对输入信号的差模和共模分量（参考图 2.4 中的信号表示方法）都会产生响应，因此该运算放大器输出电压可以表示为

$$v_O = A_d v_{Id} + A_{cm} v_{Icm}$$

其中，A_d 是差模增益（在文中简化为 A），A_{cm} 是共模增益（在文中假设为 0）。该运算放大器对共模信号的抑制作用可用 CMRR 表示，它定义为

$$\text{CMRR} = 20\log\left|\frac{A_d}{A_{cm}}\right|$$

考虑内部结构如图 E2.3 所示类型的运算放大器，它在两个通路上的互导存在不匹配量 ΔG_m，即

$$G_{m1} = G_m - \frac{1}{2}\Delta G_m$$

$$G_{m2} = G_m + \frac{1}{2}\Delta G_m$$

求 A_d，A_{cm} 和 CMRR 的表达式。如果 A_d 为 80 dB，两个互导的不匹配量为各自值的 0.1%，计算 A_{cm} 和 CMRR。

2.2 节：反相组态

2.8 假设图 P2.8 所示电路中都是理想运算放大器，求每个电路的电压增益 v_o/v_i 和输入电阻 R_{in}。

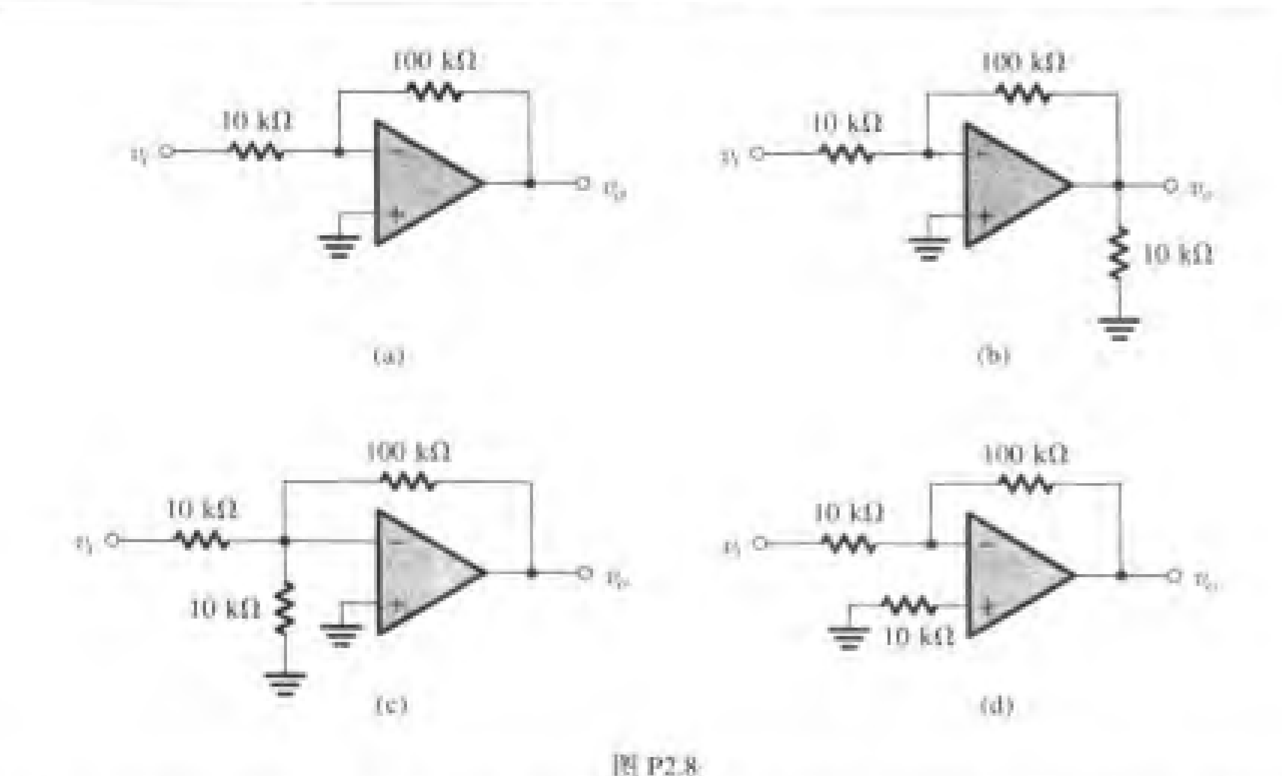


图 P2.8

2.9　一个反相电路使用一个理想运算放大器和两个 10 kΩ电阻，它的闭环增益为多少？如果在输入端加上+5.00 V 的直流电压，那么输出为多少？如果 10 kΩ电阻是"5%电阻"，即它们的值在标称值的（1 ± 0.05）倍范围内变化，那么输入端加上 5.00 V 电压时，在输出端实际测量得到的输出电压的范围为多少？

2.10　有一个理想运算放大器以及三个 10 kΩ电阻，利用串并联组合可以得到多少种不同结构的反相放大器电路？最大可能的电压增益（非无限）为多少？最小可能的增益（非零）为多少？在这两种情况下，输入电阻为多少？

2.11　一个理想运算放大器与下列反馈网络组成反相组态电路，其闭环增益为多少？

（a）$R_1 = 10$ kΩ，$R_2 = 10$ kΩ

（b）$R_1 = 10$ kΩ，$R_2 = 100$ kΩ

（c）$R_1 = 10$ kΩ，$R_2 = 1$ kΩ

（d）$R_1 = 100$ kΩ，$R_2 = 10$ MΩ

（e）$R_1 = 100$ kΩ，$R_2 = 1$ MΩ

D2.12　利用理想运算放大器，使用多大的 R_1 和 R_2 值可以设计得到具有如下增益的放大器？在设计中至少使用一个 10 kΩ电阻以及一个较大的电阻。

（a）−1 V/V

（b）−2 V/V

（c）−0.5 V/V

（d）−100 V/V

D2.13　设计一个反相运算放大器电路，要求增益为−5 V/V，使用的总电阻为 120 kΩ。

D2.14　使用图 2.5 所示电路并假设运算放大器理想，设计一个反相放大器，要求增益为 26 dB，最大可能的输入电阻受不使用超过 10 MΩ电阻的限制。那么你的设计得到的输入电阻为多少？

2.15　一个理想运算放大器连接成如图 2.5 所示的电路，其中 $R_1 = 10$ kΩ，$R_2 = 100$ kΩ。将一个电平值为 0 V 和 1 V 的对称方波信号加入到输入端。画出输出电压的波形并标注。它的平均值

为多少？最高值为多少？最低值为多少？

2.16 求图 P2.16 所示电路中所有节点电压和支路电流。由于由运算放大器提供的电流要大于从输入信号源得到的电流，那么这些额外的电流从何而来？

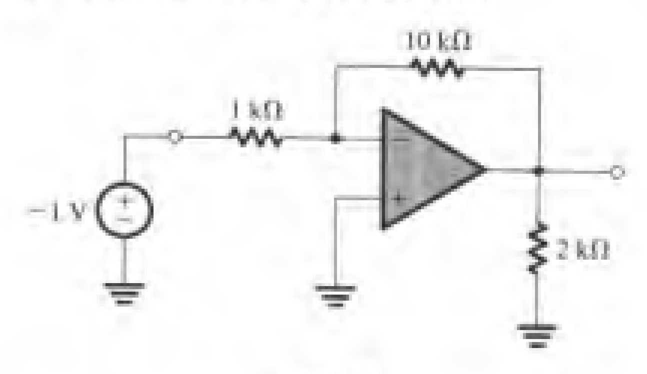


图 P2.16

2.17 一个反相运算放大电路的两个电阻 R_1 和 R_2 有 $x\%$ 的容差（即，每个电阻值可能会偏离标称值 $\pm x\%$），那么所实现的闭环增益的容差为多少？假设运算放大器理想。如果闭环增益的标称值为−100 V/V，$x=5$，那么该电路增益的范围为多少？

2.18 一个理想运算放大器用来产生+5 V 的电压，它的参考电压为−15 V，两个电阻分别是 5 kΩ 和 15 kΩ。画出该电路。5 kΩ电阻两端的电压为多少？如果这些电阻是 1%电阻，即它们的实际值会偏离标称值±1%，那么输出电压的范围为多少？如果−15 V 的电源也有±1%的变化，那么输出电压可能的范围为多少？

2.19 一个反相运算放大器要求它的增益为−50 V/V，但是它使用开环增益只有 200 V/V 的运算放大器。如果所使用的较大电阻为 100 kΩ，那么较小的那个电阻必须调整到多大的值？为了实现这个目标，在连接到输入端的 2 kΩ电阻两端必须加上多大的分流电阻？（注意，当 R_b 与 R_a 并联时称 R_b 电阻对 R_a 电阻进行分流。）

D2.20 （a）设计一个闭环增益为−100 V/V、输入电阻为 1 kΩ的反相放大器。

（b）如果运算放大器的开环增益为 1000 V/V，那么设计得到的电路的闭环增益为多少（假定电阻使用精确值）？

（c）如果要使闭环增益恢复到它的标称值，那么必须在 R_1 两端并联上多大的电阻？使用最接近的 1%标准电阻值（见附录 G）。

2.21 在反相组态中使用一个开环增益为 1000 V/V 的运算放大器。如果在该应用中，输出电压范围为−10 V 到+10 V，那么“虚地节点”偏离其理想值的最大电压为多少？

2.22 图 P2.22 所示电路经常用来提供与输入信号电流 i_I 成比例的电压 v_O。推导互阻 $R_m \equiv v_O / i_I$ 的表达式以及输入电阻 $R_i \equiv v_I / i_I$ 的表达式，考虑下面两种情况：

（a）A 无限

（b）A 有限

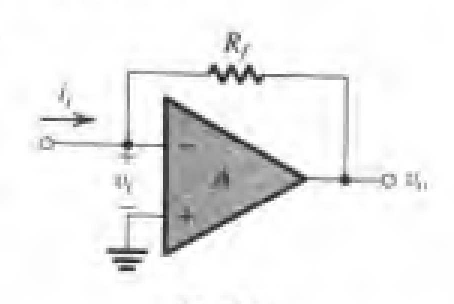


图 P2.22

2.23 当考虑运算放大器有限开环增益 A 时，推导图 2.5 所示反相放大器输入电阻的表达式。

*2.24 对于一个开环增益为 A、闭环增益标称值为 R_2/R_1 的反相运算放大器，求当增益误差为 0.1%、1%和 10%时，增益 A 必须具有的最小值（用 R_2/R_1 表示）。在每种情况下，为了得到标称值，可以使用多大的电阻 R_{1a} 来对电阻 R_1 进行分流？

*2.25 图 P2.25 是一个除了开环增益有限其他指标都理想的运算放大器，它被用来实现增益标称幅度为 $G = R_2 / R_1$ 的反相放大器。为了补偿由于 A 有限引起的增益下降，在 R_1 两端并联一个电阻 R_c。证明根据下式来选择 R_c 时可以得到最好的补偿。

$$\frac{R_c}{R_1} = \frac{A-G}{1+G}$$

图 P2.25

*2.26 重新设置式（2.5），给出放大器的开环增益 A，要求实现指定的闭环增益（$G_{\text{nominal}} = -R_2 / R_1$），并且增益误差 ε 在指定范围内，

$$\varepsilon = \left| \frac{G - G_{\text{nominal}}}{G_{\text{nominal}}} \right|$$

当闭环增益为−100，增益误差 ≤10% 时，A 的最小值应该为多少？

*2.27 使用式（2.5）确定 A 的值，要求当 A 减小 x% 时，$|G|$将减小(x/k)%。当闭环增益标称值为 100、x 为 50、k 为 100 时，求所需要的 A 值。

2.28 考虑图 2.8 中的电路，其中 $R_1 = R_2 = R_4 = 1\,\text{M}\Omega$，并假设运算放大器理想，求使增益为下列值的 R_3：

（a）−10 V/V

（b）−100 V/V

（c）−2 V/V

D2.29 一个使用理想运算放大器的反相运算放大器电路，要求使用不大于 100 kΩ的电阻来设计实现−1000 V/V 的增益。

（a）如果该电路利用两个简单电阻实现，那么它的输入电阻为多少？

（b）如果使用图 2.8 中的电路以及三个最大值的电阻，那么输入电阻为多少？所需要的最小电阻应该为多少？

2.30 使用 T 反馈网络的反相电路重画于图 P2.30，其中 R_2 和 R_3 相当于并联（因为理想运算放大器使反相输入端虚地）。首先求 (v_X / v_I) 和 (v_O / v_X)，然后求 (v_O / v_I) 的表达式。

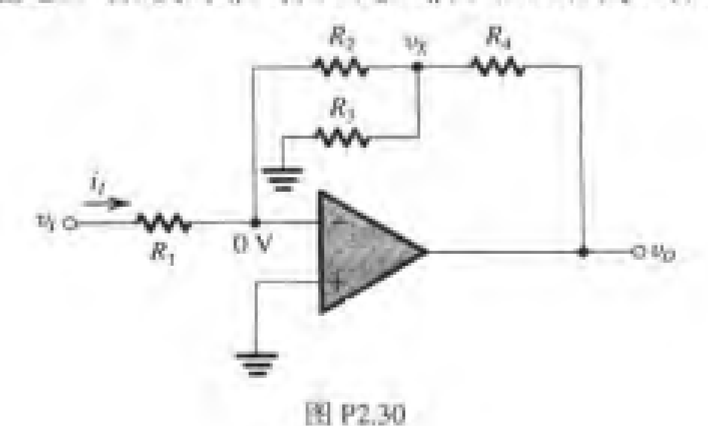


图 P2.30

*2.31 图 P2.31 中的电路被认为是图 2.8 所示电路的扩展。

（a）求分别从节点 1、2、3 和 4 看进去的电阻 R_1、R_2、R_3 和 R_4。

（b）求用输入电流 I 表示的电流 I_1、I_2、I_3 和 I_4。

（c）求用 IR 表示的节点 1、2、3 和 4 的电压，即 V_1、V_2、V_3 和 V_4。

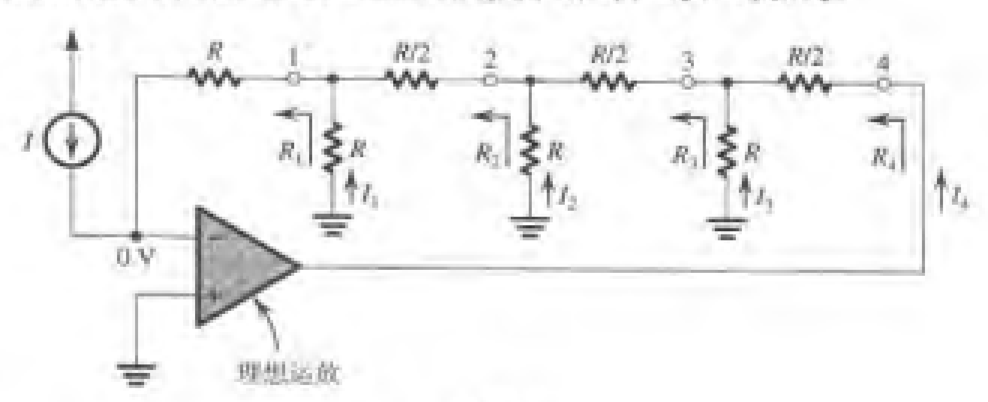


图 P2.31

2.32 图 P2.32 所示电路使用理想运算放大器。

（a）求 I_1、I_2、I_3 和 V_x。

（b）如果要求 V_O 不小于−13 V，那么求最大允许的 R_L 值。

（c）如果 R_L 在 100 Ω到 1 kΩ的范围内变化，那么 I_L 和 V_O 的相应变化为多少？

D2.33 假设运算放大器是理想的，要求设计如图 P2.33 所示的电路来实现增益 i_L/i_I = 20 A/A 的电流放大器。

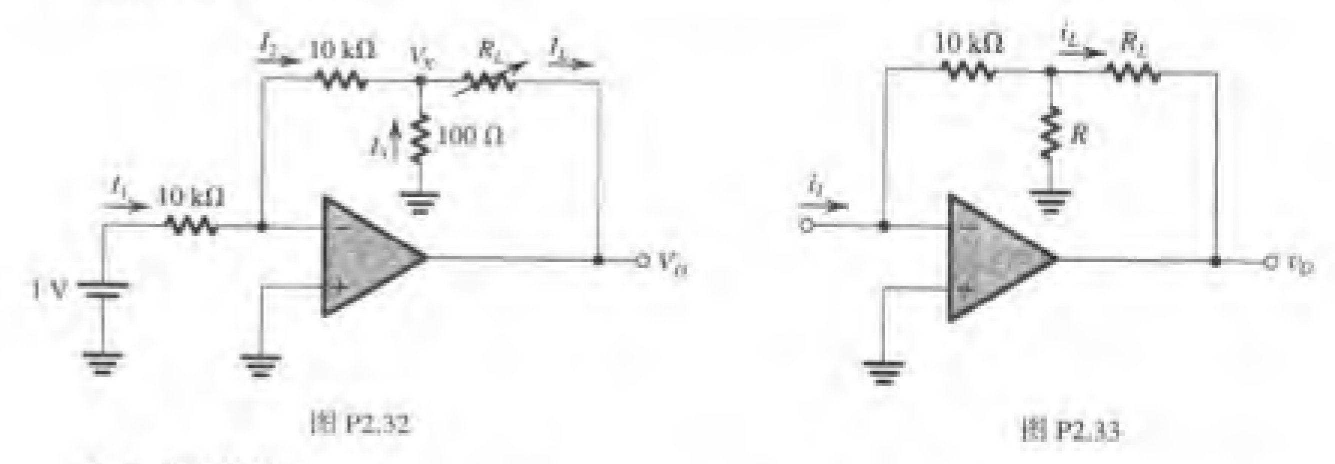


图 P2.32　　图 P2.33

（a）求 R 的值；

（b）如果 R_L= 1 kΩ，并且只要 v_O 在±12 V 范围内，则运算放大器就以理想方式运行。那么 i_I 可能的范围为多少？

（c）该电流放大器的输入电阻为多少？如果该放大器由电流为 1 mA、源内阻为 10 kΩ的电流源激励，求 i_L。

2.34 图 P2.34 所示是重新绘出的图 2.8 所示的反相放大电路，它强调 R_3 和 R_4 相当于连接在输出 v_O 两端的电压分压器，并从输出 v_O 通过 R_2 反馈回一部分输出电压（在节点 A 处得到）。假设 $R_2 \gg R_3$，因此反馈网络的负载效应可以忽略。将 v_A 表示成 v_O 的函数，并将 v_A 表示成 v_I 的函数。使用这两个关系式来求 v_O 和 v_I 的关系。与例题 2.2 中得出的结果进行比较。证明：通过观察 R_2 相当于并接在 R_3 两端，因此电压分压器由 R_4 和 $(R_3 \| R_2)$ 组成这个事实可以得到精确结果。

D2.35　设计图 P2.35 所示的电路使其输入电阻为 100 kΩ，并且当使用 10 kΩ电位器 R_4 时增益在–1 V/V 到–10 V/V 范围内变化。当电位器位于中间时，得到的增益为多少？

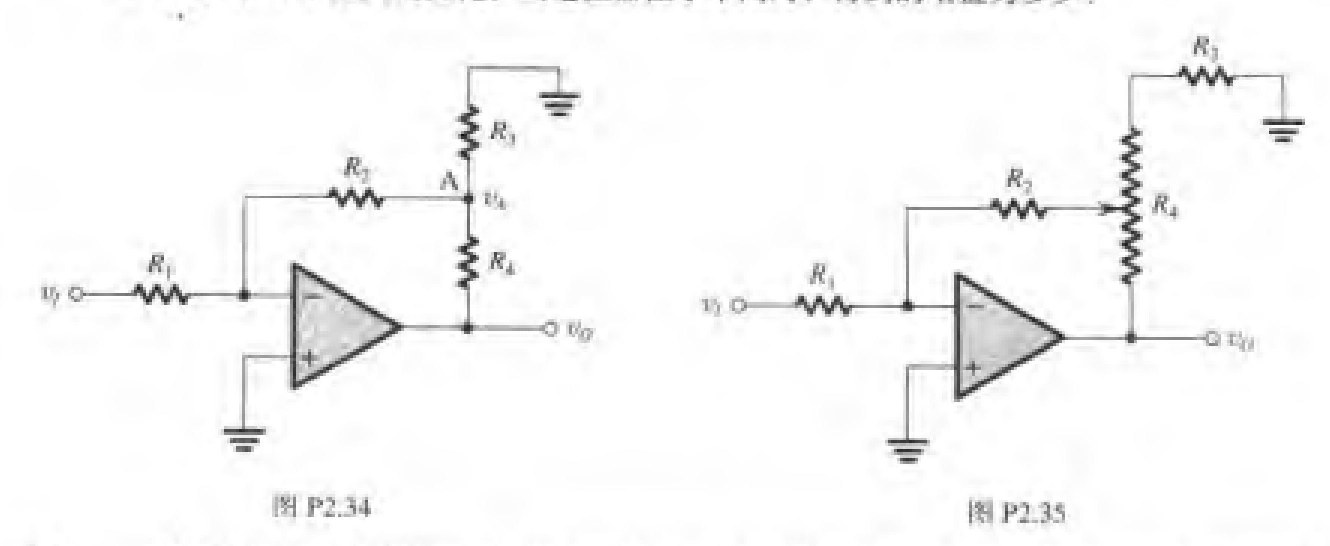


图 P2.34　　图 P2.35

2.36　一个加权加法电路使用理想运算放大器以及 100 kΩ的电阻和 50 kΩ的反馈电阻，它有三个输入端。信号 v_1 连接到它的两个输入端，而信号 v_2 加到第三个输入端。用 v_1 和 v_2 来表示 v_O。如果 $v_1 = 3$ V，$v_2 = -3$ V，那么 v_O 为多少？

D2.37　设计一个运算放大器来产生输出 $v_O = -[4v_1 + (v_2/3)]$。选择数值较小的电阻，但所选择的电阻要使输入信号为 1 V 时的输入电流（从每个输入信号源得到的电流）不超过 0.1 mA。

D2.38　使用图 2.10 所示的方法设计一个运算放大器电路，它的输入为 v_1，v_2 和 v_3，输出为 $v_O = -(2v_1 + 4v_2 + 8v_3)$，要求使用小电阻且同时要求该电阻不小于 10 kΩ。

D2.39　一个理想运算放大器被连接成图 2.10 所示的加权加法电路。反馈电阻 R_f =10 kΩ，6 个 10 kΩ 电阻被连接到该运算放大器的反相输入端。证明该基本电路可以实现下列功能，并画出不同的电路结构：

（a）$v_O = -(v_1 + 2v_2 + 3v_3)$

（b）$v_O = -(v_1 + v_2 + 2v_3 + 2v_4)$

（c）$v_O = -(v_1 + 5v_2)$

（d）$v_O = -6v_1$

在每种情况下，求从每个输入源 v_1，v_2，v_3 和 v_4 看进去的输入电阻，并利用该电路至少实现两种额外的加法函数。怎样实现加法系数是 0.5 的电路呢？

D2.40　给出一个电路实现加权加法器的功能并给出相应的元件值，要求能够将 $5\sin(\omega t)$ V 的正弦波信号的直流电平从 0 转变为–5 V。假设除了正弦波信号，还可以得到 2 V 的直流参考电压。画出输出信号波形。

D2.41　使用两个理想运算放大器和电阻实现下面的加法函数：

$$v_O = v_1 + 2v_2 - 3v_3 - 4v_4$$

D*2.42　在一个仪表系统中需要得到两个信号的差值，一个信号是 $v_1 = 3\sin(2\pi\times 60t) + 0.01\sin(2\pi\times 1000t)$ V，另一个信号是 $v_2 = 3\sin(2\pi\times 60t) - 0.01\sin(2\pi\times 1000t)$ V。利用两个运算放大器以及 10 kΩ电阻来实现获得这两个信号差值的电路，并画出该电路。因为希望该电路能够放大 1000 Hz 的分量，因此要求它的总增益为 10。可以使用的运算放大器除了输出电压幅度被限制为±10 V 以外，其他指标都理想。

*2.43 图 P2.43 给出了一个数模转换电路。该电路接受 4 位二进制输入字 $a_3a_2a_1a_0$，其中 a_0，a_1，a_2 和 a_3 可以取 0 或 1，并且该电路提供一个对应于数字输入值的模拟输出电压 v_O。输入字的每一位控制相应数字标注的开关。例如，如果 a_2 为 0，那么开关 S_2 将 20 kΩ电阻接地，而如果 a_2 为 1，那么开关 S_2 将 20 kΩ电阻接到+5 V 的电源。证明 v_O 为

$$v_O = -\frac{R_f}{16}[2^0a_0 + 2^1a_1 + 2^2a_2 + 2^3a_3]$$

其中 R_f 的数量级是 kΩ。求使 v_O 在 0 到−12 V 的范围内变化的 R_f 值。

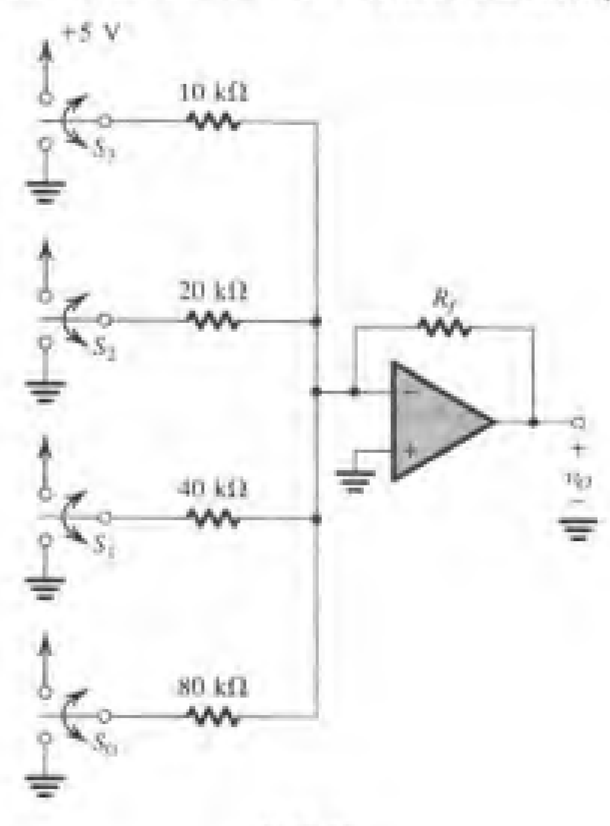


图 P2.43

2.3 节：同相组态

D2.44 若使用理想运算放大器来实现具有下列闭环增益的设计，那么应该使用多大值的 (R_1, R_2) 电阻？如果可能，在设计中至少使用一个 10 kΩ的电阻作为最小的电阻。

（a）+1 V/V

（b）+2 V/V

（c）+101 V/V

（d）+100 V/V

D2.45 设计一个基于同相放大器拓扑的电路，要求增益为 +1.5 V/V，并只使用 10 kΩ的电阻。有两种可能的设计，那么哪一种设计能够通过简单地将一个电阻短路而比较容易地将增益转换成+1.0 V/V 或+2.0 V/V 的电路？

D2.46 图 P2.46 所示为一个使用滑动线圈仪表的模拟电压表，它具有非常高的输入电阻。该电压表测量加在

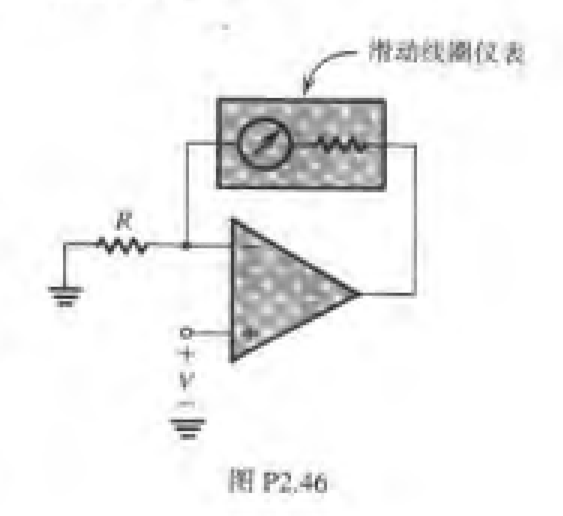


图 P2.46

运算放大器正输入端和地之间的电压 V。假设当流过滑动线圈的电流为 100 μA 时该滑动线圈为满量程，求 V 为+10 V 时能得到满量程读数的 R 值。所显示的仪表电阻是否会影响电压表的刻度呢?

D*2.47 (a) 用叠加定理证明图 P2.47 所示电路的输出为

$$v_O = -\left[\frac{R_f}{R_{N1}}v_{N1} + \frac{R_f}{R_{N2}}v_{N2} + \cdots + \frac{R_f}{R_{Nn}}v_{Nn}\right] + \left[1 + \frac{R_f}{R_N}\right]\left[\frac{R_P}{R_{P1}}v_{P1} + \frac{R_P}{R_{P2}}v_{P2} + \cdots + \frac{R_P}{R_{Pn}}v_{Pn}\right]$$

其中，

$$R_N = R_{N1} // R_{N2} // \cdots // R_{Nn}$$
$$R_P = R_{P1} // R_{P2} // \cdots // R_{Pn} // R_{P0}$$

(b) 设计一个电路使得

$$v_O = -2v_{N1} + v_{P1} + 2v_{P2}$$

使用的最小电阻为 10 kΩ。

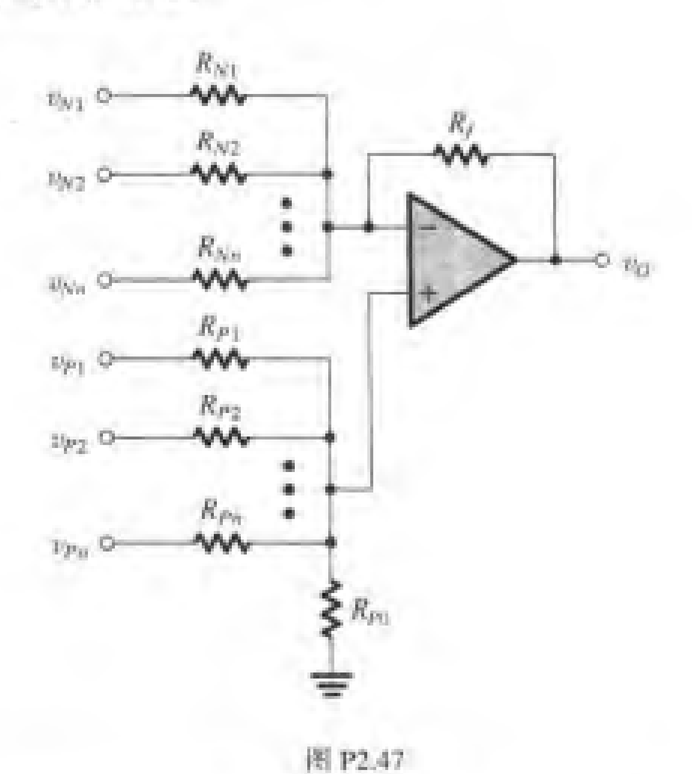


图 P2.47

D2.48 使用理想运算放大器设计一个电路，要求它的输出为 $v_O = v_{I1} + 3v_{I2} - 2(v_{I3} + 3v_{I4})$。(提示：使用类似于图 P2.47 所示的结构。)

2.49 推导图 P2.49 所示电路的电压增益表达式 v_O / v_I。

2.50 对于图 P2.50 所示的电路，利用叠加定理求用输入电压 v_1 和 v_2 表示的输出 v_O。假设运算放大器理想。当

$$v_1 = 10\sin(2\pi \times 60t) - 0.1\sin(2\pi \times 1000t)\ \text{V}$$
$$v_2 = 10\sin(2\pi \times 60t) + 0.1\sin(2\pi \times 1000t)\ \text{V}$$

时，求 v_O。

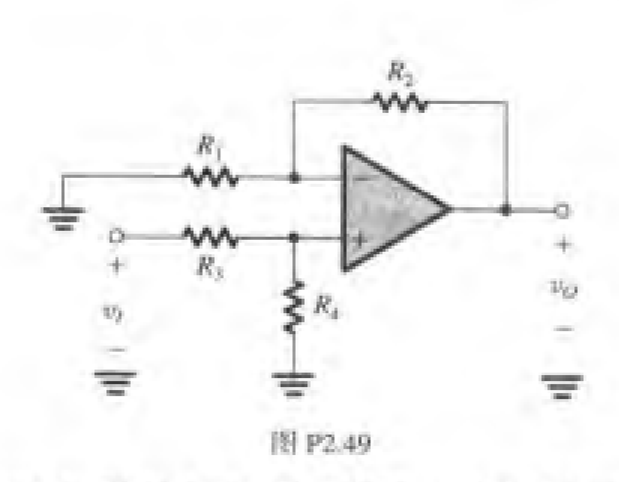


图 P2.49

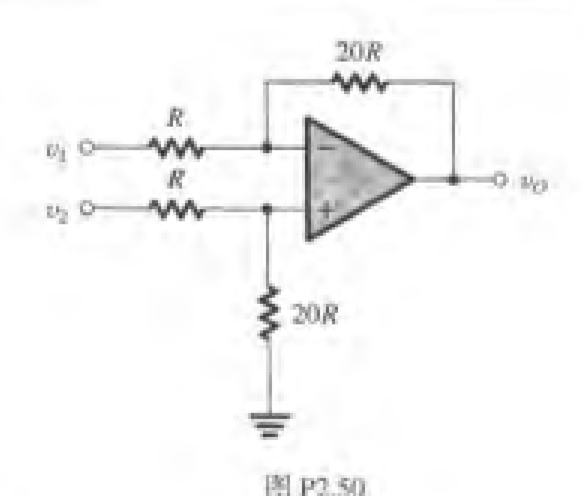


图 P2.50

D2.51 图 P2.51 所示电路使用 10 kΩ的电位器来实现增益可调节的放大器。推导出增益与电位器位置 x 的关系表达式。假设运算放大器为理想运算放大器，则增益范围为多少？如何增加一个固定电阻使增益范围为 1V/V–21 V/V。该电阻值应该为多少？

10 kΩ的电位器

图 P2.51

D2.52 只使用 1 kΩ和 10 kΩ的电阻，给出一个基于同相组态的电路设计，要求增益为+10 V/V。

2.53 要将一个源内阻为 100 kΩ的 10 V 电源与 1 kΩ的负载相连。求以下两种情况的负载两端的电压：

（a）电源直接连接到负载。

（b）在电源和负载之间插入一个单位增益运算放大器缓冲器。

求每种情况下负载电流以及电源提供的电流。在（b）情况下，负载电流从何而来？

2.54 推导图 2.14 所示电压跟随器的增益表达式，假设运算放大器除了增益有限外其他特性都理想。当 A = 1000、100 以及 10 时，计算闭环增益值。求每种情况下增益幅度偏离单位标称值的百分比误差。

2.55 完成下面使用理想运算放大器得到的反馈放大器的参数表。注意，R_{in} 表示输入电阻，R_1 和 R_2 是反相和同相组态中所标的反馈网络电阻。

情况	增益	R_{in}	R_1	R_2
a	−10 V/V	10 kΩ		
b	−1 V/V		100 kΩ	
c	−2 V/V			100 kΩ
d	+1 V/V	∞		
e	+2 V/V		10 kΩ	
f	+11 V/V			100 kΩ
g	−0.5 V/V	10 kΩ		

D2.56 一个标称增益为 10 V/V 的同相运算放大器电路使用的运算放大器开环增益为 50 V/V，最小电阻为 10 kΩ。求实际得到的闭环增益为多少？为了得到标称增益，应该在哪个电阻两端并联一个多大的电阻？如果在制造过程中使用增益为 100 V/V 的运算放大器，那么在这两种情况下（有补偿电阻和没有补偿电阻）得到的闭环增益为多少？

2.57 使用式（2.11）证明：如果闭环增益 G 从它的标称值 $G_0 = 1 + R_2/R_1$ 的减小量小于 G_0 的 $x\%$，那么该运算放大器的开环增益至少比 G_0 大 $F = (100/x) - 1 \simeq 100/x$ 倍。求 x = 0.01、0.1、1 和 10 时满足要求的 F，并利用这些结果来求每一个 x 值下，为了得到 1 V/V、10 V/V、10^2 V/V、10^3 V/V 以及 10^4 V/V 的闭环增益所需的最小开环增益值。

2.58 对于下面的运算放大器开环增益 A 和闭环增益的标称值 G_0 的各种组合，计算实际得到的闭环增益值 G，并计算 $|G|$ 小于标称增益幅度 $|G_0|$ 的百分比。

情况	G_0(V/V)	A(V/V)
a	−1	10
b	+1	10
c	−1	100
d	+10	10
e	−10	100
f	−10	1000
g	+1	2

2.59 图 P2.59 给出的电路所提供的输出电压 v_O 是可调的，通过调节 100 kΩ的电位器来改变输出电压。求 v_O 的变化范围。如果该电位器是"20 转"器件，求每转一圈时 v_O 的变化范围。

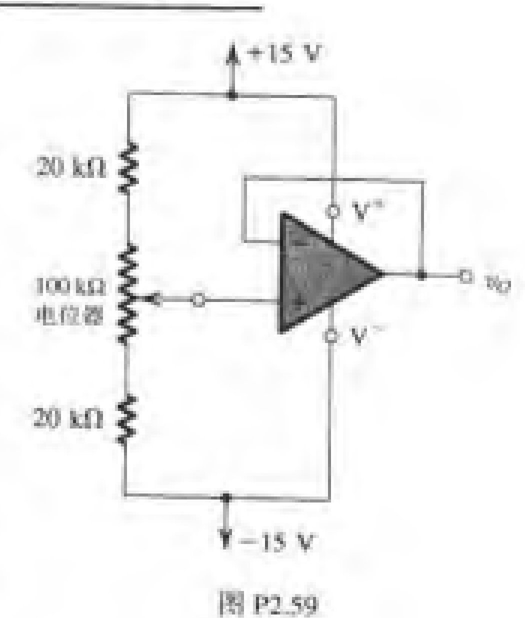


图 P2.59

2.4 节：差分放大器

2.60 在图 2.16 所示的差分放大器中，当 $R_1 = R_3 = 10$ kΩ 和 $R_2 = R_4 = 100$ kΩ时，求电压增益 v_O/v_{Id}。差模输入电阻为多少？如果这两个关键的电阻比例 (R_2/R_1) 和 (R_4/R_3) 相差 1%，那么共模增益 A_{cm} 为多少？并求这种情况下 CMRR 的值。

D2.61 利用图 2.16 所示组态的差分放大器（假设运算放大器是理想的）设计具有下列差模增益的电路。在每种情况下，差模输入电阻应该为 20 kΩ。

（a）1 V/V

（b）2 V/V

（c）100 V/V

（d）0.5 V/V

2.62 对于图 P2.62 所示的电路，用 v_1 和 v_2 来表示 v_O。单独从 v_1 看进去的输入电阻为多少？单独从 v_2 看进去的输入电阻又为多少？从连接在两个输入端之间的电源看进去的输入电阻为多少？同时在每个输入端接上同一个电源后的输入电阻为多少？

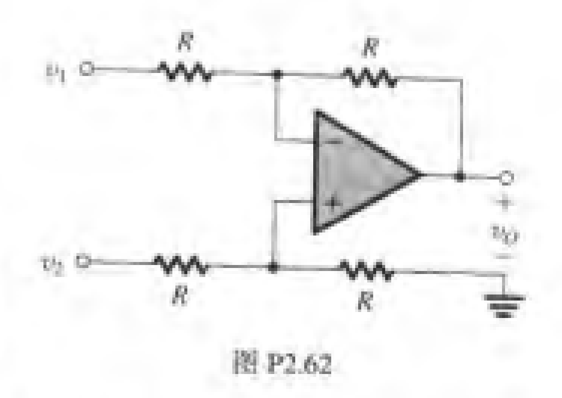


图 P2.62

2.63 考虑图 2.16 所示的差分放大器，将两个输入端同时连接到一个共模信号输入源。当 $R_2/R_1 = R_4/R_3$ 时，证明共模输入电阻为 $(R_3 + R_4) \| (R_1 + R_2)$。

2.64 考虑图 2.16 所示的电路，假设每个信号源 v_{I1} 和 v_{I2} 都有一个串联电阻 R_s。为了使该放大器

成为理想差分放大器，除了满足式（2.15）的条件以外，还必须满足哪些条件？

*2.65 对于图 P2.62 所示的电路，假设所有电阻为 100 kΩ ± x%，求最坏情况时的共模增益表达式。当 x = 0.1、1 和 5 时，计算该共模增益，并计算每种情况下得到的 CMRR 值。

2.66 对于图 2.16 所示的差分放大器，证明如果每个电阻的容差为 ±100ε%（即 5%电阻，ε = 0.05），那么最坏情况下的 CMRR 约为

$$\text{CMRR} \cong 20\log\left[\frac{K+1}{4\varepsilon}\right]$$

其中，K 为 (R_2/R_1) 和 (R_4/R_3) 的标称（理想）值。计算理想差模增益为 100 V/V 的放大器在最坏情况下的 CMRR 值，假设运算放大器理想并且使用 1%电阻。

D*2.67 设计图 2.16 所示的差分放大器电路以使差模增益为 100，差模输入电阻为 20 kΩ，最小 CMRR 为 80 dB。假设运算放大器为理想的。指出两个电阻的值以及它们的容差（例如，优于 x%）。

*2.68 （a）求图 P2.68 所示的差分放大器电路的 A_d 和 A_{cm}。

（b）如果只要该放大器的正输入和负输入端的共模电压跌幅在 ± 2.5 V 范围内，它就可以正常工作，那么对输入共模信号 v_{Icm} 的范围的相应限制为多少？（这称为差分放大器的共模范围。）

（c）将电路进行一些修改，在节点 A、B 和地之间分别接上 10 kΩ的电阻，那么此时 A_d、A_{cm} 以及输入共模范围的值为多少？

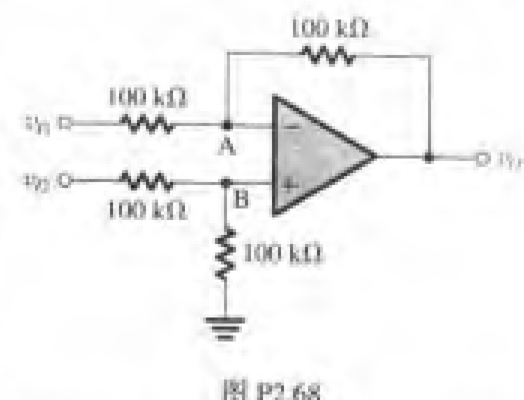


图 P2.68

**2.69 为了获得具有高增益和高输入电阻的差分放大器，图 P2.69 中的电路除了由连接在运算放大器输出端和负输入端之间的电阻 R 提供的负反馈以外，还采用了正反馈。具体地说，连接在输出端的电压分压器（R_5、R_6）将 β 倍的输出（即 βv_O）通过电阻 R 返回到运算放大器的正输入端。假设 R_5 和 R_6 远小于 R，则流过 R 的电流远小于流过电压分压器的电流，结果是 $\beta = R_6/(R_5+R_6)$。证明差模增益为

$$A_d \equiv \frac{v_O}{v_{Id}} = \frac{1}{1-\beta}$$

设计一个电路以使差模增益为 10 V/V，差模输入电阻为 2 MΩ。选择 R，R_5 和 R_6 的值使 $(R_5+R_6) \leqslant R/100$。

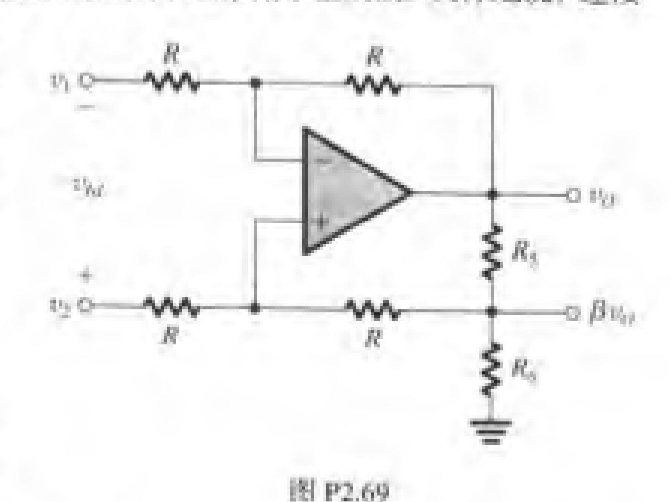


图 P2.69

*2.70 图 P2.70 给出了一个改进的差分放大器。该电路包括一个电阻 R_G，它可以改变放大器的增益。证明差模电压增益为

$$\frac{v_O}{v_{Id}} = -2\frac{R_2}{R_1}\left[1+\frac{R_2}{R_G}\right]$$

（提示：运算放大器输入端的虚短路使得流过电阻 R_1 的电流为 $v_{Id}/2R_1$。）

D*2.71　图 P2.71 所示的电路表示通用集成电路 INA105，它由 Burr-Brown 制造并被称为差分放大器模块。它由一个运算放大器以及精密的金属膜电阻组成。通过对 A、B、C、D 以及 O 进行合适的连接可以实现不同的应用。

（a）给出使该电路成为具有单位增益的差分放大器的电路结构。

（b）给出使该电路实现的放大器的单端增益为以下各值的电路结构：

（i）−1 V/V

（ii）+1 V/V

（iii）+2 V/V

（iv）+1/2 V/V

要避免使其中的连接端开路，因为这样该连接端就相当于一个天线，它会通过电容耦合进干扰信号和噪声。应该寻找一个合适的节点以冗余方式连接这种连接端。当有多种电路实现时，从器件的匹配和输入电阻等方面来评述每种电路的优点。

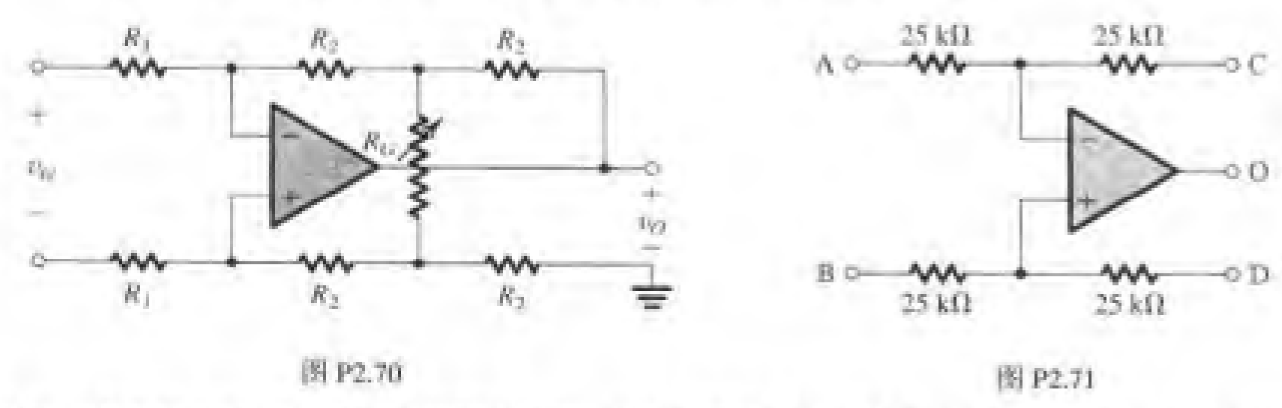


图 P2.70　　　图 P2.71

2.72　考虑图 2.20（b）所示的仪器放大器，它的共模输入电压为+3 V（直流），差模输入信号为 80 mV 峰值的正弦波。设 $2R_1 = 1\ \text{k}\Omega$，$R_2 = 50\ \text{k}\Omega$，$R_3 = R_4 = 10\ \text{k}\Omega$。求该电路中每个节点的电压。

2.73　（a）考虑图 2.20（a）所示的仪表放大器。如果该运算放大器除了如图 1.13 所示的输出饱和电压为 ±14 V 以外，其他都理想，那么当 $R_1 = 1\ \text{k}\Omega$ 和 $R_2 = 100\ \text{k}\Omega$ 时，允许的最大输入共模信号是多少？

（b）对于图 2.20（b）所示的电路，重复（a）中的问题，并对这两个电路的差别进行评论。

2.74　（a）用差模和共模分量表示 v_{I1} 和 v_{I2}，求图 2.20（a）所示电路中的 v_{O1} 和 v_{O2} 并求它们的差模分量 $v_{O2} - v_{O1}$ 以及共模分量 $\frac{1}{2}(v_{O1} + v_{O2})$。然后求该仪器放大器第一级的差模增益和共模增益以及 CMRR。

（b）对于图 2.20（b）所示的电路，重复（a）中的问题，并对这两个电路的差别进行评论。

**2.75　对于图 2.20（b）所示类型的仪器放大器，某设计者提出令 $R_2 = R_3 = R_4 = 100\ \text{k}\Omega$，$2R_1 = 10\ \text{k}\Omega$。当这些器件都理想时，求差模增益、共模增益以及 CMRR。如果所有电阻都是 ±1% 电阻，重新计算最坏情况时的上述各值。当 $2R_1$ 减少到 1 kΩ时，重复后者的分析。对于第一级和第二级的差模增益的重要性能够得出什么结论？

D2.76　使用 100 kΩ的电位器作为可调器件，设计图 2.20（b）所示的仪器放大器电路，使差模增益在 1 到 100 范围内变化。（提示：设计第二级的增益为 0.5。）

*2.77　图 P2.77 所示的电路为浮动负载（两个连接端都未接地的负载）提供电压，这在电源电路里有很好的可应用性。

（a）假设运算放大器理想，当在节点 A 施加峰峰值为 1 V 的正弦波时，画出节点 B 和节点 C 的电压波形，并画出 v_O 的波形。

（b）电压增益 v_O/v_I 为多少？

（c）假设该运算放大器由±15 V 的电源供电，并且它的输出饱和电压为 ±14 V（如图 1.13 所示），那么能够提供的最大正弦输出电压为多少？指出它的峰峰值和 RMS 值。

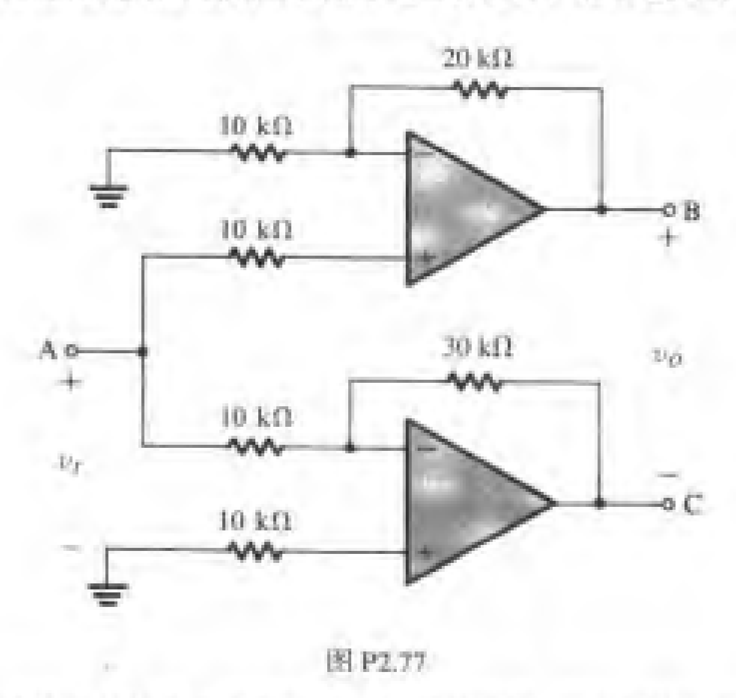


图 P2.77

*2.78 图 P2.78 中的两个电路能够实现电压/电流转换器的功能，即它们给负载阻抗 Z_L 提供的电流与 v_I 成比例而与 Z_L 的值无关。证明它们的确具有该功能，并求每个电路中作为 v_I 的函数的 i_O。对这两个电路的差别进行评论。

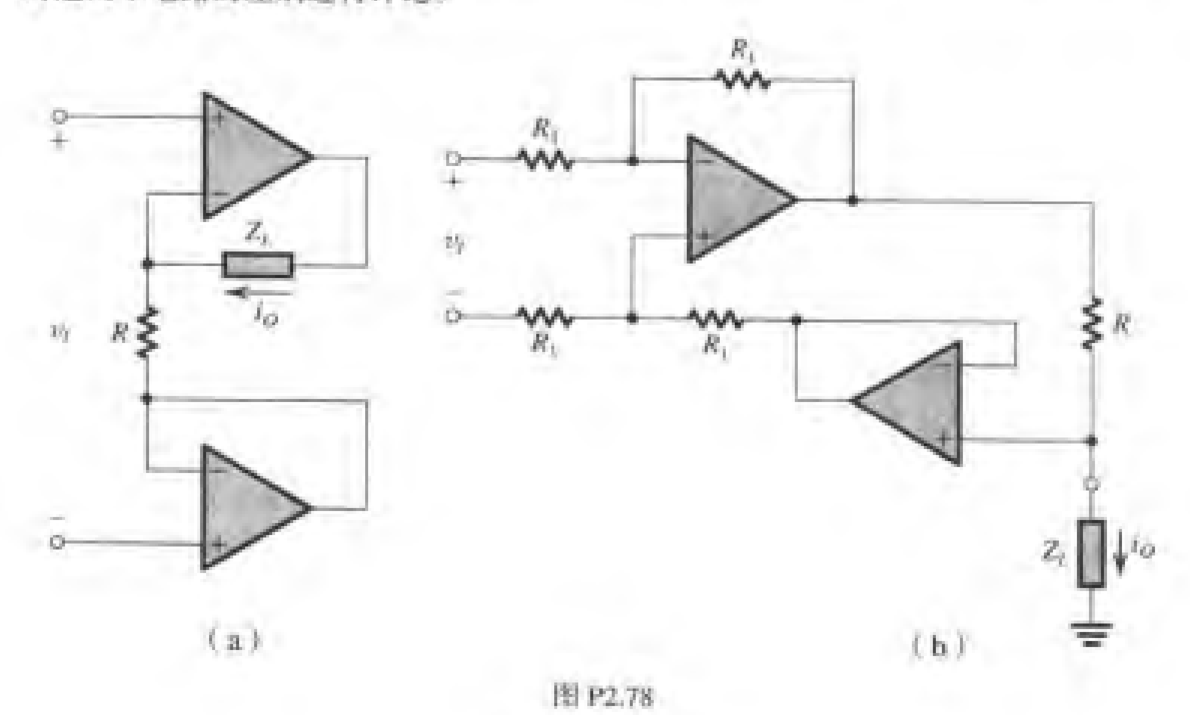


图 P2.78

2.5 节：有限开环增益与带宽对电路性能的影响

2.79　下表中的数据应用于具有内部补偿的运算放大器上。填写该表中的空缺项。

A_0	f_b(Hz)	f_t(Hz)
10^5	10^2	
10^6		10^6
	10^3	10^8
	10^{-1}	10^6
2×10^5	10	

2.80　在非常低的频率上测得具有内部补偿的运算放大器的开环增益为 80 dB；在 100 kHz 时，测得到开环增益为 40 dB。估算 A_0，f_b 和 f_t 的值。

2.81　对一个具有补偿的、用于高频运行的运算放大器进行测量，得到 100 kHz 处的开环增益为 5.1×10^3，而在 10 kHz 处为 8.3×10^3。估算它的 3 dB 频率、单位增益频率以及直流增益。

2.82　对具有内部补偿的放大器进行测量得到下面所示的直流增益以及增益下降 20 dB 时的频率。对于每一种情况，求 3 dB 频率和单位增益频率。

（a）3×10^5 V/V；6×10^2 Hz

（b）50×10^5 V/V；10 Hz

（c）1500 V/V；0.1 MHz

（d）100 V/V；0.1 GHz

（e）25 V/mV；25 kHz

2.83　一个反相放大器的额定增益为−20 V/V，它采用直流增益为 10^4 以及单位增益频率为 10^6 Hz 的运算放大器，该闭环放大器的 3 dB 频率 $f_{3\text{dB}}$ 为多少？当频率为 0.1 $f_{3\text{dB}}$ 和 10 $f_{3\text{dB}}$ 时，它的增益为多少？

2.84　某运算放大器的增益带宽积为 20 MHz，它的闭环增益为+100 V/V，那么 3 dB 带宽为多少？在什么频率处该闭环放大器有−6°的相移？什么时候有−84°的相移？

2.85　在一个闭环放大器中使用具有内部补偿的运算放大器，要求该闭环放大器具有下列额定直流增益和 3 dB 带宽，求该运算放大器的 f_t。

（a）−100 V/V；100 kHz

（b）+100 V/V；100 kHz

（c）+2 V/V；10 MHz

（d）−2 V/V；10 MHz

（e）−1000 V/V；20 kHz

（f）+1 V/V；1 MHz

（g）−1 V/V；1 MHz

2.86　求得一个增益为 100 V/V 的同相运算放大器电路的 3 dB 频率为 8 kHz。对于一个特定的应用，要求带宽为 20 kHz。在上述条件下可以实现的最大增益为多少？

2.87　考虑一个单位增益跟随器，它使用 $f_t = 1$ MHz 的具有内部补偿的运算放大器，则该跟随器的 3 dB 频率为多少？在什么频率时该跟随器的增益比它的低频增益幅度低 1%？如果该跟随器的输入是 1 V 的阶跃信号，求输出电压 10%到 90%的上升时间。（注意，STC 低通网络的阶跃响应在附录 D 中讨论。）

D*2.88 要求设计一个同相放大器，它的直流增益为 10。当输入端施加 100 mV 的阶跃电压时，要求在至多 100 ns 的时间内其输出可达到最终值 1 V 的 1%的范围，该放大器的 f_t 必须为多少？（注意，STC 低通网络的阶跃响应在附录 D 中讨论。）

D*2.89 本习题说明使用级联闭环放大器能够获得比具有相同总增益的单级放大器更大的总带宽。

（a）将两个相同的放大器级联，每个放大器都具有低通 STC 频率响应，3 dB 频率为 f_1，证明所得到的整个放大器的 3 dB 频率为

$$f_{3\,\mathrm{dB}}=\sqrt{\sqrt{2}-1}\,f_1$$

（b）使用单个 $f_t=1$ MHz 的只有内部补偿的运算放大器来设计得到直流增益为 40 dB 的同相放大器，那么所得到的 3 dB 频率为多少？

（c）将两个相同的直流增益为 20 dB 的同相放大器级联来重新设计（b）中的放大器，那么整个放大器的 3 dB 频率为多少？与（b）中得到的值进行比较。

D**2.90 某设计者想在 5 MHz 时得到稳定的 100 V/V 增益，考虑所选择的放大器拓扑结构。如果采用单级运算放大器，那么为了满足要求，该运算放大器的单位增益频率为多少？但是能够得到的最好的放大器的 f_t 为 40 MHz，那么需要多少个这样的放大器级联才能实现他的目标？他能使用的每级放大器的 3 dB 频率为多少？总的 3 dB 频率为多少？

2.91 利用单位增益频率为 f_t 的运算放大器来实现：

（a）直流增益幅度为 K 的反相放大器；

（b）直流增益为 K 的同相放大器。

求每种情况下的 3 dB 频率和增益带宽积（$\mathrm{GBP}\equiv|\mathrm{Gain}|\times f_{3\,\mathrm{dB}}$），并对结果进行评论。

*2.92 考虑一个反相加法器，它有两个输入 V_1 和 V_2 并且 $V_o=-(V_1+V_2)$。求每个用运算放大器 f_t 表示的增益函数 V_o/V_1 和 V_o/V_2 的 3 dB 频率。（提示：在每种情况下都可以将另一个输入设为 0——这是叠加原理的一个应用。）

2.6 节：运算放大器的大信号工作性能

2.93 一个使用±15 V 电源的运算放大器的工作是线性的，输出范围为−12 V 到+12 V。如果在一个增益为−100 的反相放大器组态中使用该运算放大器，那么要使输出没有限幅，在输入端可以施加的最大可能正弦波的均方根值为多少？

2.94 一个运算放大器被连接成反相组态以实现−100 V/V 的闭环增益，它使用 1 kΩ和 100 kΩ的电阻。负载电阻 R_L 被连接在输出端和地之间，并在输入端加上一个幅度为 V_p 的低频正弦信号。假设该运算放大器输出电压在±10 V 时达到饱和以及输出电流被限制在±20 mA 的范围，除此以外，其他都理想。

（a）如果 $R_L=1\,\mathrm{k}\Omega$，要得到不失真的输出正弦信号，最大可能的 V_p 值为多少？

（b）当 $R_L=100\,\Omega$ 时，重复计算（a）。

（c）如果要求得到峰值为 10 V 的输出正弦信号，所允许的最小 R_L 值为多少？

2.95 一个单位增益跟随器使用摆率为 20 V/μs 的运算放大器，输入脉冲从 0 V 上升为 3 V。为确保满幅度输出，所能施加的最短脉冲是多少？对于该脉冲，描述一下输出结果。

*2.96 要求输出是 10 V 的脉冲，并且该脉冲上升时间和下降时间之和只占脉冲宽度（在一半幅度处）的 20%，那么要处理 2μs 宽的脉冲，则该运算放大器的摆率应该为多少？（注意，脉冲信号的上升时间和下降时间通常通过 10%和 90%高度点测量。）

2.97 一个摆率为 10 V/μs 的运算放大器能够产生最高频率为多少的峰峰值为 20 V 的三角波？对于相同频率的正弦波，能够得到的不失真输出信号的最大幅度为多少？

2.98 对于摆率为 60 V/μs 的放大器，能够在输出端产生峰峰值为 20 V 的正弦波的最高频率为多少？

D*2.99 在用运算放大器设计时必须检查由运算放大器的有限带宽（f_t）、摆率（SR）和输出饱和电压（$V_{o\max}$）引起的闭环放大器对电压的限制以及运行的频率范围。本习题就是来说明这个问题的。使用 $f_t = 2$ MHz，SR = 1 V/μs 以及 $V_{o\max} = 10$ V 的运算放大器来设计标称增益为 10 的同相放大器。假设输入是峰值幅度为 V_i 的正弦波。

（a）如果 $V_i = 0.5$ V，那么在输出发生失真之前最大频率为多少？

（b）如果 $f = 20$ kHz，那么在输出发生失真之前 V_i 的最大值为多少？

（c）如果 $V_i = 50$ mV，那么有用的工作频率范围为多少？

（d）如果 $f = 5$ kHz，那么有用的输入电压范围为多少？

2.7 节：直流不完整性

2.100 一个运算放大器连接成反相组态，输入端接地，并且 $R_2 = 100$ kΩ，$R_1 = 1$ kΩ，得到输出直流电压为−0.3 V。如果输入偏置电流非常小，求输入失调电压。

2.101 一个同相放大器增益为 200，它使用输入失调电压为±2 mV 的运算放大器。求输入为 $0.01\sin\omega t$ V 时的输出。

2.102 利用输入失调电压为 3 mV、输出饱和电平为±13 V 的运算放大器来设计闭环增益为 1000 的同相放大器。问：输出没有被限幅时所能施加的最大输入正弦波的幅度为多少？如果该放大器的电容耦合方式如图 2.36 所示，那么最大可能的幅度为多少？

2.103 一个运算放大器连接成闭环反相组态，它的增益为 1000 V/V，并使用阻值较小的电阻。当输入接地时，测得直流输出电压为−1.4 V。问：输入失调电压为多少？画出图 2.28 中的失调电压源，注意极性。

2.104 一个标称增益为−100 V/V 的反相放大器使用了一个非理想的运算放大器和 100 kΩ以及 10 MΩ的电阻。当输入开路时求得输出电压为+9.31 V，当输入接地时求得输出电压为+9.09 V。

（a）该放大器的偏置电流为多少？它的方向是怎样的？

（b）估计输入失调电压值。

（c）在正输入端和地之间接上一个 10 MΩ的电阻，当输入浮动（断开）时测得输出直流电压为−0.8 V。估计输入失调电流。

D*2.105 一个同相放大器的增益为+10 V/V，它使用 100 kΩ的电阻作为反馈电阻，并由电阻为 5 kΩ的电源供电。当放大器的失调电压为 0 mV、偏置电流为 1μA 以及失调电流为 0.1μA 时，输出的范围为多少？为了补偿偏置电流，应该在什么地方加上一个额外的电阻？此时输出的范围又将变为怎样？设计者希望使用该放大器和电阻为 15 kΩ的电源，在这种情况下，为了补偿偏置电流，应该使用多大的电阻？并在什么地方加上该电阻？

D2.106 使用如图 2.36 所示的电路来得到一个交流耦合同相放大器并使用不大于 100 kΩ的电阻，增益为 200 V/V。那么应该使用多大的 R_1，R_2 和 R_3？如果由 C_1 得到的角频率为 100 Hz，由 C_2 得到的角频率为 10 Hz，那么 C_1 和 C_2 的值应该为多少？

*2.107 考虑如图 2.16 所示的差分放大器电路。假设 $R_1 = R_3 = 10\,\text{k}\Omega$，$R_2 = R_4 = 1\,\text{M}\Omega$。如果该

运算放大器的$V_{OS}=4$ mV，$I_B=0.3$ μA 以及$I_{OS}=50$ nA，求输出端在最坏情况时（即输出最大）的直流失调电压。

*2.108 图 P2.108 所示的电路使用失调电压为±4 mV 的运算放大器，它的输出失调电压为多少？当输入通过电容 C 交流耦合时，它的输出失调电压将变为多少？如果 1 kΩ的电阻通过电容耦合到地，那么输出失调电压变为多少？

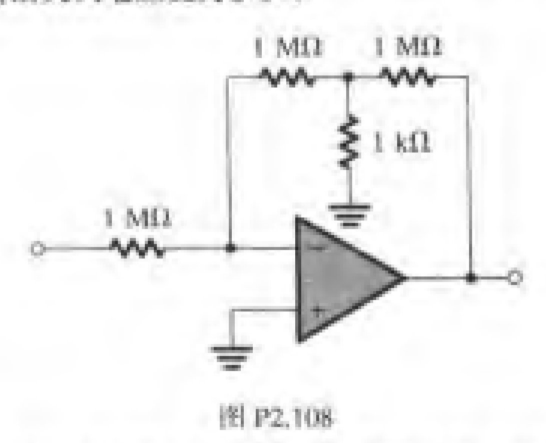


图 P2.108

2.109 在一个闭环增益为+1000 的运算放大器中使用调零电路从而使温度在 25°C 时输入接地得到输出为 0。如果该放大器的输入失调电压漂移为 10μV/°C，那么在 0°C 和 75°C 时输出为多少？因为不能独立确定 0°C 或 75°C 时输出失调电压的极性，那么期望它们的相对极性应该是怎样的？

2.110 一个运算放大器使用 1 MΩ的反馈电阻，它的闭环增益为+100。

（a）如果输入偏置电流为 100 nA，那么当输入接地时输出电压为多少？

（b）如果输入失调电压为±1 mV，输入偏置电流如（a），那么当输入接地时，可以得到的最大可能的输出为多少？

（c）如果使用偏置电流补偿，那么应该使用多大的电阻？如果失调电流不大于偏置电流的十分之一，那么所得到的输出失调电压（由失调电流单独产生）为多少？

（d）使用（c）中的偏置电流补偿，那么由于失调电压和失调电流的共同影响产生的最大输出直流电压为多少？

*2.111 使用一个运算放大器来得到–100 V/V 的闭环增益，它使用 10 kΩ和 1 MΩ的反馈电阻以及偏置电流补偿电阻 R_3。问：R_3 的值应该为多少？当输入接地时，求得输出失调电压为+0.21 V。估计输入失调电流，假设输入失调电压为 0。如果输入失调电压为 1 mV，而极性未知，那么失调电流可能的范围为多少？当未接地的 R_3 端流入或流出多大的电流时，该运算放大器的输出电压为 0？如果可以使用±15 V 的电源，那么应该使用什么样的电阻和电源电压？

2.8 节：积分器与微分器

2.112 一个米勒积分器包含一个理想运算放大器，一个 100 kΩ的电阻 R，以及一个 10 nF 的电容 C。在输入端加上一个正弦波信号。

（a）在什么频率处（Hz）输入信号和输出信号的幅度相等？

（b）在该频率处，输出正弦波的相位与输入的相位有何关系？

（c）如果（a）中求得的频率降低 10 倍，则输出电压将变化多少倍，增大还是减小？

（d）（c）中的输入和输出相位之间的关系是什么？

D2.113 设计一个米勒积分器，使它的时间常数为 1 s，输入电阻为 100 kΩ。在 0 时刻，在它的输

入端加上−1 V 的直流电压。问：在什么时刻 $v_O = -10$ V，输出达到 0 V 需要多长时间？达到+10 V 需要多长时间？

2.114　一个基于运算放大器的反相积分器在 1 kHz 时测得电压增益为−100 V/V，那么在什么频率时其增益降到−1 V/V？该积分器的时间常数为多少？

D2.115　设计一个米勒积分器，使它的单位增益频率为 1 krad/s，输入电阻为 100 kΩ。当输入端加上 2 V 的 2 ms 脉冲，并且输出端初始值为 0 V 时，画出输出曲线。当输入端加上 $2\sin 1000t$ 的正弦波时，描述所得到的输出信号。

D2.116　设计一个米勒积分器，它的输入电阻为 20 kΩ，单位增益频率为 10 kHz。问：需要什么元件？为了使电路能够长期稳定，在电容两端加上一个反馈电阻，使得直流增益被限制为 40 dB，那么该电阻值为多少？相应的下限 3 dB 频率为多少？画出并标注以下两种情况下的输出信号，输入为 0.1 ms、1 V 的正输入脉冲（初值为 0 V）：（a）没有直流稳定网络（但是输出的初始值为 0 V）；（b）接上反馈电阻。

*2.117　一个米勒积分器的初始输入电压和输出电压均为 0，时间常数为 1 ms，并由如图 P2.117 所示的信号驱动。画出输出波形并标注。如果输入电平为 ±2 V，当时间常数保持不变（1 ms）和时间常数变为 2 ms 时会发生什么情况？

2.118　考虑一个米勒积分器，它的时间常数为 1 ms，初始输出为 0，输入为一个脉冲串，它的脉宽为 10 μs，幅度为 1 V，并从 0 V 开始上升（见图 P2.118）。画出输出波形并标注。如果输出电压有 1 V 的变化，则需要多少个脉冲？

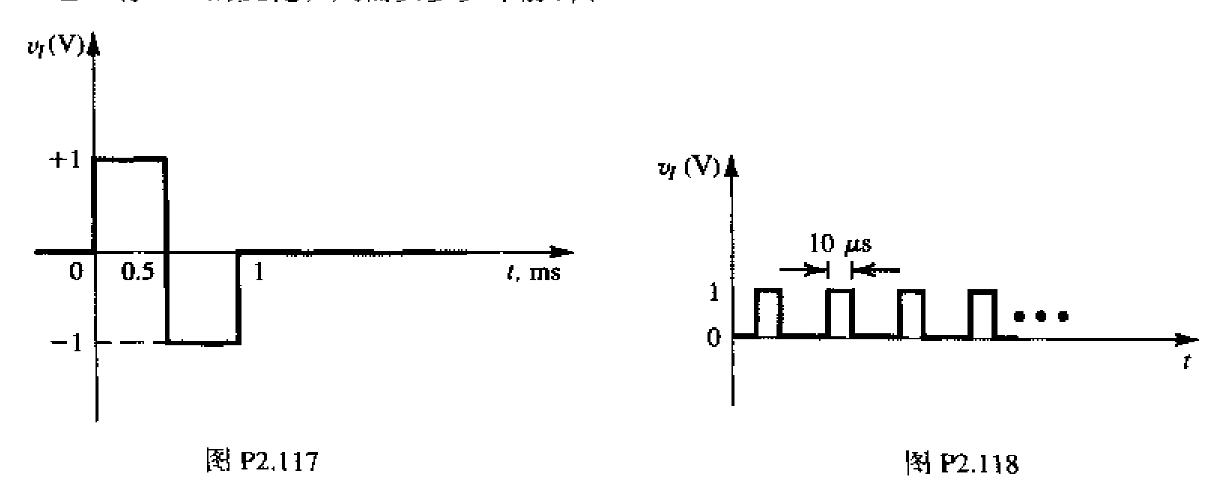


图 P2.117　　　　图 P2.118

D2.119　图 P2.119 所示的电路可实现低通 STC 功能。这个电路被称为一阶低通有源滤波器。推导出传输函数并证明直流增益为 $(-R_2/R_1)$，3 dB 频率为 $\omega_0 = 1/CR_2$。设计一个电路使得该电路输入电阻为 1 kΩ，直流增益为 20 dB，3 dB 频率为 4 kHz。当频率为多少时该传输函数的幅度降为 1？

2.120　利用 $R = 10$ kΩ，$C = 10$ nF 以及 $V_{OS} = 3$ mV，$I_B = 0.1\mu$A 和 $I_{OS} = 10$ nA 的运算放大器来实现一个积分器。为了得到一个有限直流增益，在电容两端接上一个 1 MΩ的电阻。

（a）为了补偿 I_B 的影响，在运算放大器的同相输入端串联上一个电阻，那么该电阻值应该为多少？

（b）接上（a）中的电阻后，当输入接地时，求该积分器最坏情况时的直流输出电压。

2.121　一个微分器包含一个理想运算放大器、一个 10 kΩ电阻以及一个 0.01 μF 电容。当输入正弦波信号和输出正弦波信号有相等的幅度时，频率 f_0（Hz）为多少？当输入信号是频率为 $10f_0$、峰峰值为 1 V 的正弦波时，输出信号为多少？

2.122 一个运算放大器微分器的时间常数为 1 ms 并由如图 P2.122 所示的速率受控的阶跃信号驱动。假设 v_O 的初始值为 0，画出它的波形并标注。

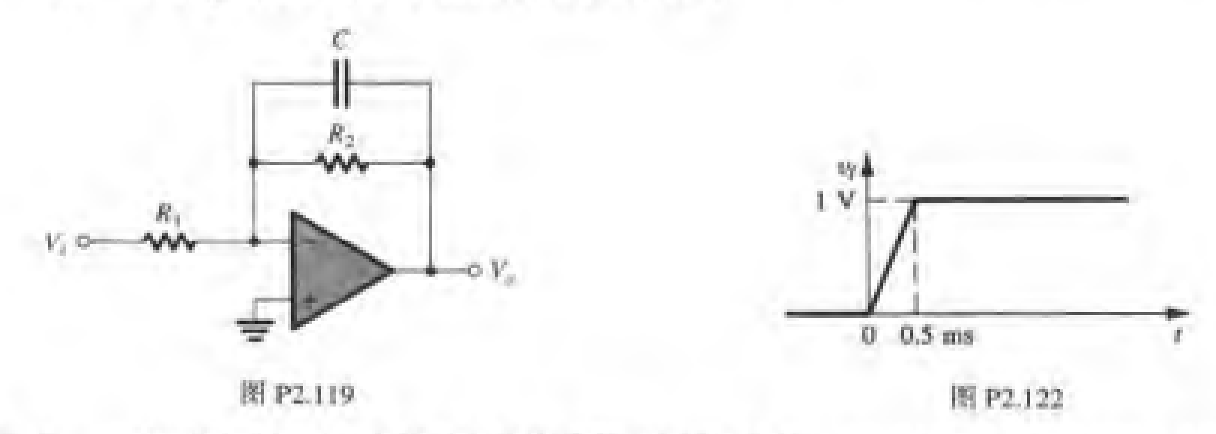


图 P2.119 图 P2.122

*2.123 一个采用图 2.44（a）所示电路的运算放大器微分器，$R = 10\ \text{k}\Omega$，$C = 0.1\ \mu\text{F}$。在输入端加上频率为 1 kHz，峰值幅度为±1 V 的三角波。问：输出什么形式的信号？频率为多少？峰值幅度为多少？平均值为多少？为了使输出峰值幅度为 10 V，R 应该为多少？当频率为 1 kHz，峰值幅度为 1V 的正弦波加上该（原始）电路时，输出波形为多少？它的峰值为多少？利用三种方法来计算：首先直接利用图 2.44（a）中的第二个公式来计算；第二，使用图 2.44（a）中的第三个公式来计算；第三，利用输入正弦波的最大斜率来计算。在每种情况下，给出峰值输出电压和它的位置。

2.124 利用一个理想运算放大器设计微分电路，使用 10 nF 电容，时间常数为 10^{-3} s。在频率为单位增益频率的十分之一和 10 倍时，求增益和相移为多少？为了使高频时增益幅度限制为 100 V/V，需要加上一个串联输入电阻。那么相关的 3 dB 频率为多少？当频率为单位增益频率的 10 倍时，增益和相移为多少？

D2.125 图 P2.125 所示的电路可实现高通 STC 功能。该电路被称为一阶高通有源滤波器。推导传输函数并证明高频增益为$(-R_2/R_1)$，3 dB 频率为$\omega_0 = 1/CR_1$。设计一个电路使得高频输入电阻为 10 kΩ，高频增益为 40 dB，3 dB 频率为 1000 Hz。在什么频率时该传输函数的幅度降为 1？

D**2.126 推导出图 P2.126 所示电路（理想运算放大器）的传输函数，并证明它可以写为

$$\frac{V_o}{V_i} = \frac{-R_2/R_1}{[1+(\omega_1/j\omega)][1+j(\omega/\omega_2)]}$$

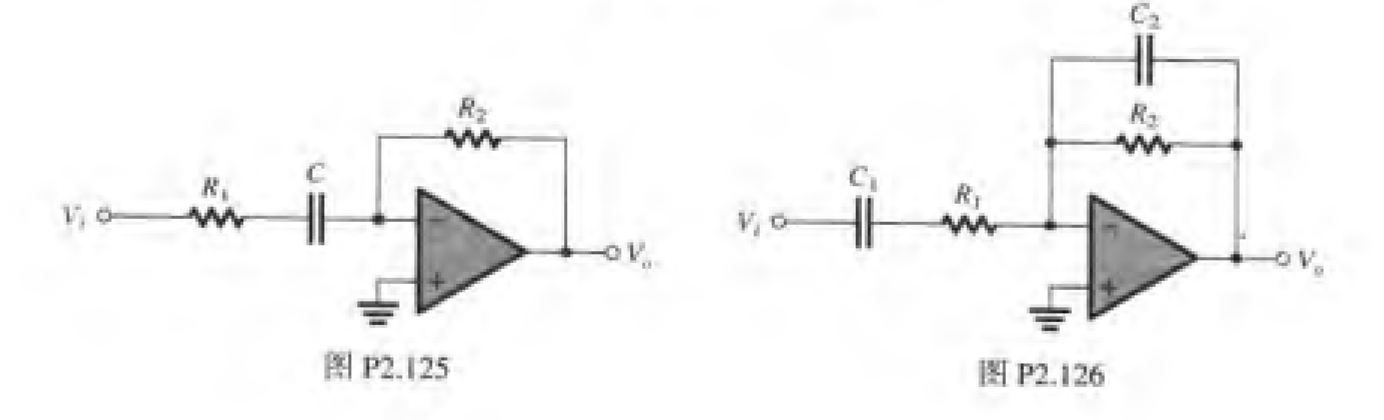


图 P2.125 图 P2.126

其中，$\omega_1 = 1/C_1R_1$，$\omega_2 = 1/C_2R_2$。假设设计的电路满足$\omega_2 \gg \omega_1$，求下列频率范围内传输函数的近似表达式：

（a）$\omega \ll \omega_1$

（b）$\omega_1 \ll \omega \ll \omega_2$

（c）$\omega \gg \omega_2$

利用这些近似表达式画出幅频响应的波特图。可以看出该电路相当于一个放大器，它的增益在低频时以高通 STC 网络的形式下降，在高频时以低通 STC 网络的形式下降。设计一个电路使得中频区有 60 dB 的增益，下限 3 dB 频率点在 100 Hz 处，上限 3 dB 频率点在 10 kHz 处，输入电阻（$\omega \gg \omega_1$）为 1 kΩ。

第3章 二 极 管

引言

前一章讲的几乎都是线性电路，任何非线性特性（如放大器输出饱和）都被认为是电路设计者解决的问题。但是有许多信号处理函数却只能由非线性电路来实现 这些例子包括从交流电源中产生直流电压，以及不同波形信号（例如，正弦波、方波、脉冲等）的产生。此外，数字逻辑和存储器电路组成了一类特殊的非线性电路。

最简单和最基本的非线性电路元件是二极管。正如电阻一样，二极管也有两个连接端，但是没有电阻的特性，即流过电阻上的电流和它两端的电压之间有线性关系，二极管具有非线性的伏安特性。

本章的内容是关于二极管的。为了理解二极管特性的本质，我们从虚构的元件（即理想二极管）开始，然后介绍硅结二极管、解释其端口特性和二极管电路的分析技术。后者包括器件建模的重要内容。根据二极管特性建模是后面两章讲解晶体管建模的基础。

在二极管电路的许多应用中，利用二极管来设计整流电路是最常见的应用，因此我们将比较详细地讲解整流电路，同时简单介绍二极管的其他一些应用。利用二极管和其他器件组成的更多的非线性电路在整本书中都可以找到，特别是第13章。

为了理解二极管端口特性的起源，我们需要了解它的物理行为。对 *pn* 结的物理行为和半导体物理基本概念的学习是理解结二极管特性和下一章介绍的场效应管特性以及第5章讲解的双极型晶体管特性的基础。

尽管本章中大多数内容是关于硅 *pn* 结二极管的，但是我们仍然简单介绍了一些特殊类型的二极管，包括光电二极管和发光二极管。本章最后还描述了在 SPICE 电路仿真程序中使用的二极管模型，而且给出了使用 SPICE 仿真的一个设计实例。

3.1 理想二极管

3.1.1 电流-电压特性

理想二极管可以说是最基本的非线性电路器件。它是一个二端器件，具有图 3.1（a）所示的电路符号和图 3.1（b）所示的伏安特性。理想二极管的端口特性可以解释如下：如果将负电压［相对于图 3.1（a）中指定的参考方向］加到二极管上，那么二极管上将没有电流流过，它相当于开路［见图 3.1（c）］。在这种模式下工作的二极管称为反向偏置，或者反向工作。一个理想的二极管在反向工作时是没有电流流过的，这种状态被称为截止。

另一方面，如果把一个正向电流［相对于图 3.1（a）中指定的参考方向］加到理想二极管上，那么二极管两端的电压降为 0。换句话说，理想二极管在正向情况下相当于短路［见图 3.1（d）］。它可以使任何电流通过而且电压降为 0。正向偏置的二极管称为导通。

从上面的描述应该可以看出，必须设计一个外部电路使流过导通二极管的正向电流和截止二极管两端的反向电压限制为预先确定的值。图 3.2 是解释该论点的两个二极管电路。在图 3.2（a）

所示的电路中，二极管显然是导通的。因此它的电压降为 0，而流过它的电流由+10 V 的电源和 1 kΩ的电阻确定，为 10 mA。图 3.2（b）所示电路中的二极管显然为截止，因此它的电流为 0，意味着全部的 10 V 电源都加在反向偏置的二极管两端。

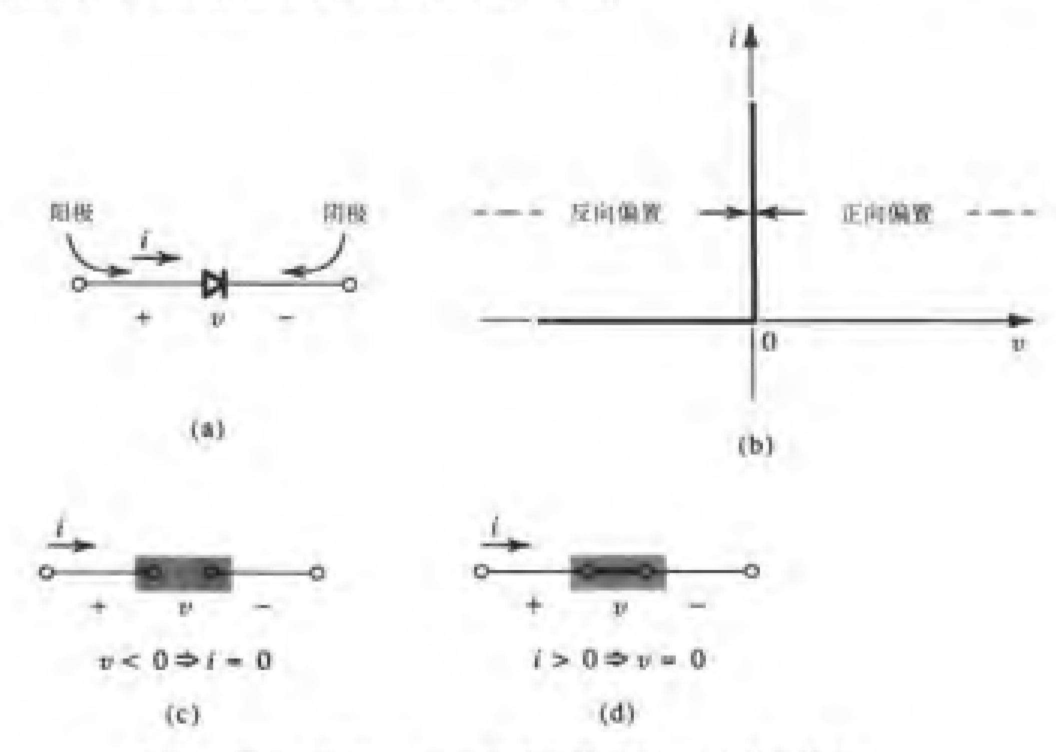


图 3.1 理想二极管：（a）二极管电路符号；（b）伏安特性；（c）反向偏置的等效电路；（d）正向偏置的等效电路

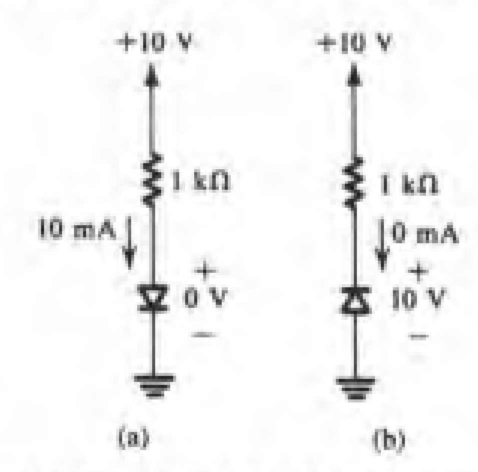


图 3.2 理想二极管的两种工作模式和使用外部电路来限制正向电流（a）和反向电压（b）

二极管的正端叫做阳极，负端叫做阴极，这里沿用了真空管二极管的叫法。理想二极管的伏安特性（单向导通）解释了选择类似箭头的电路符号的原因。

从前面的描述显然可以看出理想二极管的伏安特性是高度非线性的，尽管它由两段直线组成，但它们之间相差 90°。由不同直线段组成的非线性曲线可以称为分段线性。如果一个具有分段线性特性的器件在一个特殊的应用中以下面的方式使用，即其两端的信号只沿着其中的一段线性段移动，那么针对该具有特殊性的电路应用，该器件就可以认为是线性电路元件。另一方面，如果信号在特性曲线的一个或更多的转折点之间移动，那么就不再可以进行线性分析。

3.1.2　一个简单应用——整流器

二极管的一个基本应用是如图 3.3（a）所示的整流电路，它利用了二极管的非线性伏安特性。电路由一个二极管 D 和一个电阻 R 串联组成。假定输入电压 v_I 是如图 3.3（b）所示的正弦波，并假定二极管是理想的。在输入正弦波的正半周，正电压 v_I 将在二极管上产生正向电流，且二极管的电压降 v_D 非常小——理想情况为 0。因此该电路有如图 3.3（c）所示的等效电路并且输出电压 v_O 等于输入电压 v_I。另一方面，在 v_I 的负半周，二极管将不能导通，因此该电路有如图 3.3（d）所示的等效电路，v_O 为 0。因此，输出电压的波形如图 3.3（e）所示。当 v_I 极性交替变化并且平均值为 0 时，v_O 为单向的并且具有有限的平均值或有限的直流分量。因此，图 3.3（a）的电路可对信号进行整流，故称为整流器。它可以用来从交流信号中产生直流电压。我们将在 3.5 节中介绍整流电路。

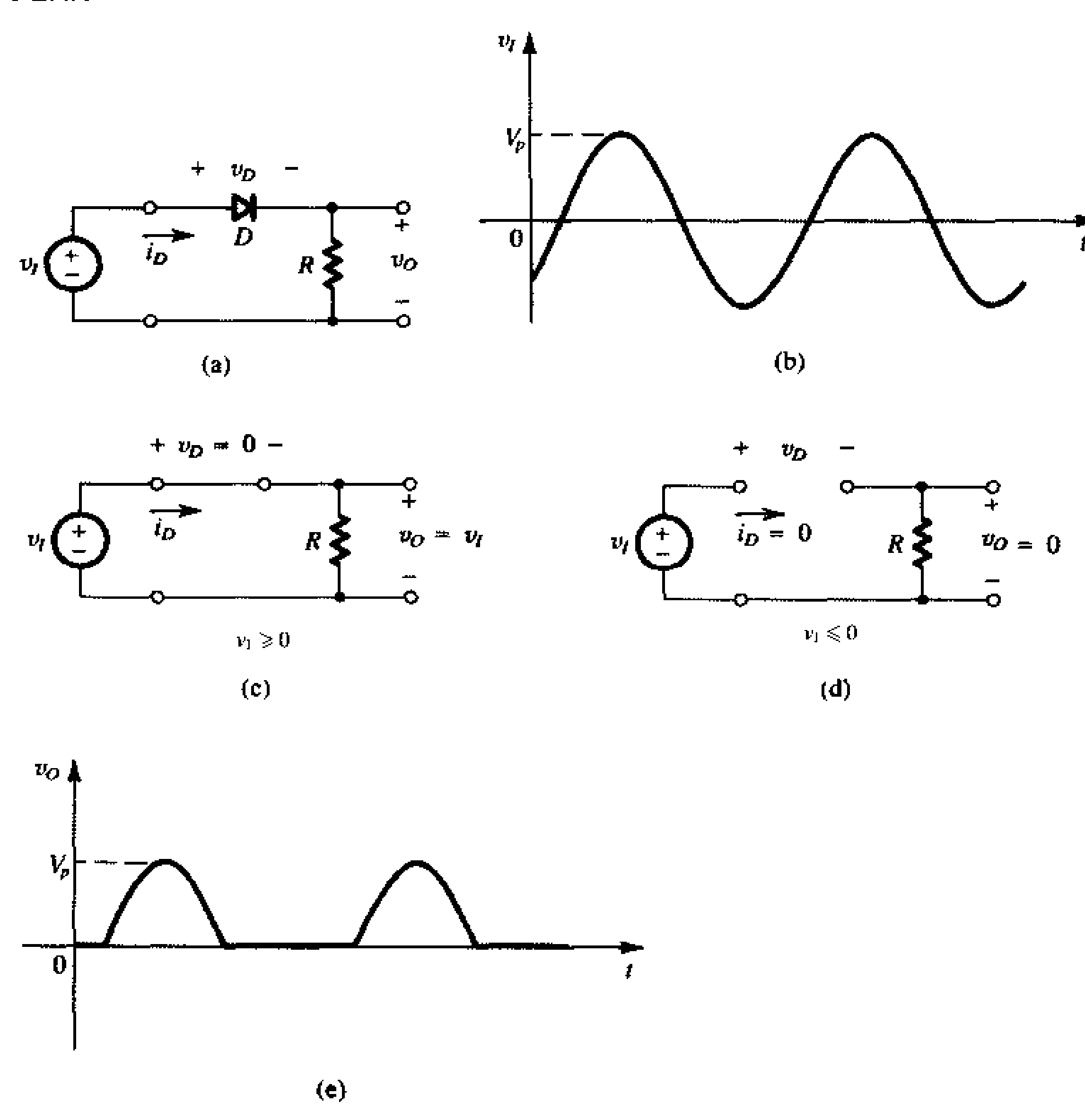


图 3.3　（a）整流电路；（b）输入波形；（c）当 $v_I \geq 0$ 时的等效电路；（d）当 $v_I \leq 0$ 时的等效电路；（e）输出波形

练习 3.1　对于图 3.3（a）的电路，画出 v_O~v_I 的传输特性。

答案：见图 E3.1

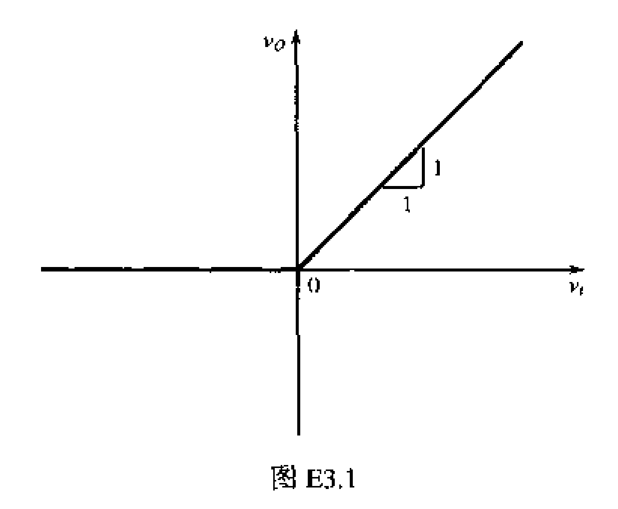


图 E3.1

练习 3.2 对于图 3.3（a）的电路，画出 v_D 的波形。

答案： 见图 E3.2

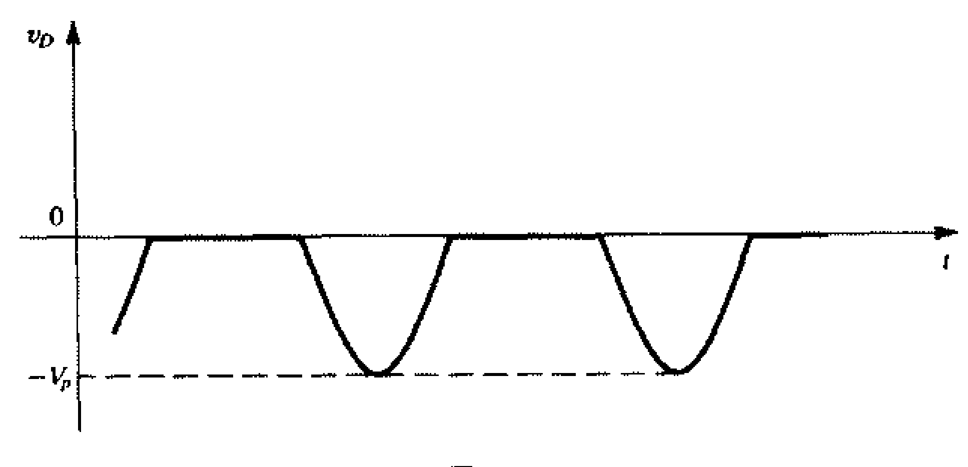


图 E3.2

练习 3.3 在图 3.3（a）的电路中，假设 v_I 的峰值为 10 V，$R = 1\text{k}\Omega$，求 i_D 的峰值和 v_O 的直流分量。

答案： 10 mA；3.18 V

例题 3.1 图 3.4（a）所示是一个为 12 V 电池充电的电路。如果 v_S 是正弦波，峰值为 24 V，求二极管导通时对应的周期部分。并求二极管电流的峰值和二极管两端的最大反向偏置电压。

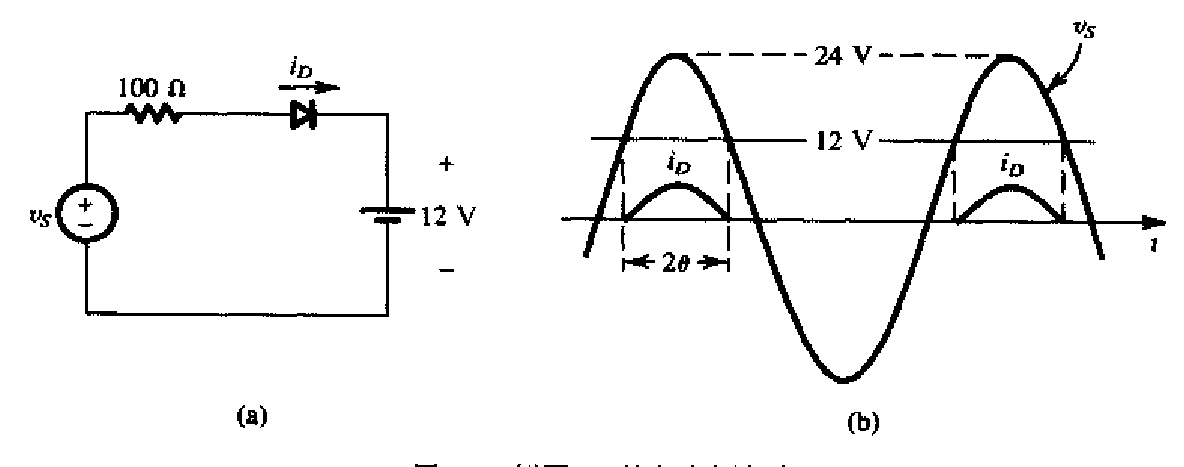


图 3.4 例题 3.1 的电路和波形

解：当 v_S 超过 12 V 时，二极管导通，如图 3.4（b）所示。导通角为 2θ，其中 θ 由下式给出：

$$24\cos\theta = 12$$

因此 $\theta = 60^\circ$，导通角为 120°，或三分之一周期。

二极管电流的峰值为

$$I_d = \frac{24-12}{100} = 0.12\ \text{A}$$

二极管两端的最大反向电压发生在 v_S 为负峰值时，即 24 + 12 = 36 V。■

3.1.3 另一种应用——二极管逻辑门

二极管与电阻一起可以实现数字逻辑函数。图 3.5 所示是两种二极管逻辑门。为了了解这些电路的功能，考虑一个正逻辑系统，其中电压值接近于 0 V 对应于逻辑 0（低），而电压值接近于 +5 V 对应于逻辑 1（高）。图 3.5（a）的电路有三个输入：v_A，v_B，v_C。很容易看出，接有+5 V 输入的二极管将导通，因此控制输出 v_Y 等于+5 V。在输出端这个正电压将使输入端为低（大约为 0 V）的二极管截止。因此如果一个或几个输入端为高，则输出为高。所以该电路实现了逻辑或的功能，在布尔表示法中可以表示成

$$Y = A + B + C$$

同样，读者可以利用上面提到的相同逻辑系统证明图 3.5（b）所示的电路实现了逻辑与的功能。

$$Y = A \cdot B \cdot C$$

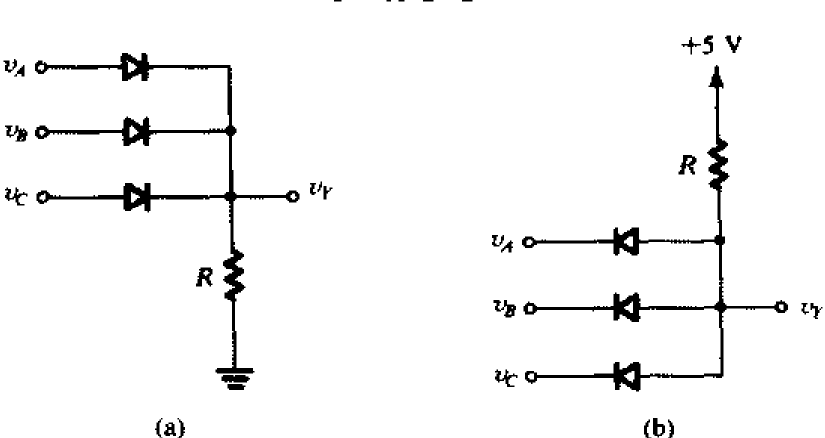


图 3.5 二极管逻辑门：（a）或门；（b）与门（正逻辑系统）

例题 3.2 假定二极管是理想的，求图 3.6 所示电路的 I 和 V 的值。

解：在这些电路中，一般不可能一眼就看出二极管是否导通。在这样的情况下，我们在分析之前首先进行假设，然后验证是否可以得到一致的结论。对于图 3.6（a）所示的电路，我们假设两个二极管都导通。那么有 $V_B = 0$ 和 $V = 0$。流过 D_2 的电流为

$$I_{D2} = \frac{10-0}{10} = 1\ \text{mA}$$

列出 B 点的节点方程如下：

$$I + 1 = \frac{0-(-10)}{5}$$

可以得到 $I = 1$ mA。因此 D_1 符合最初的假设，即是导通的，最后的结果是 $I = 1$ mA，$V = 0$ V。

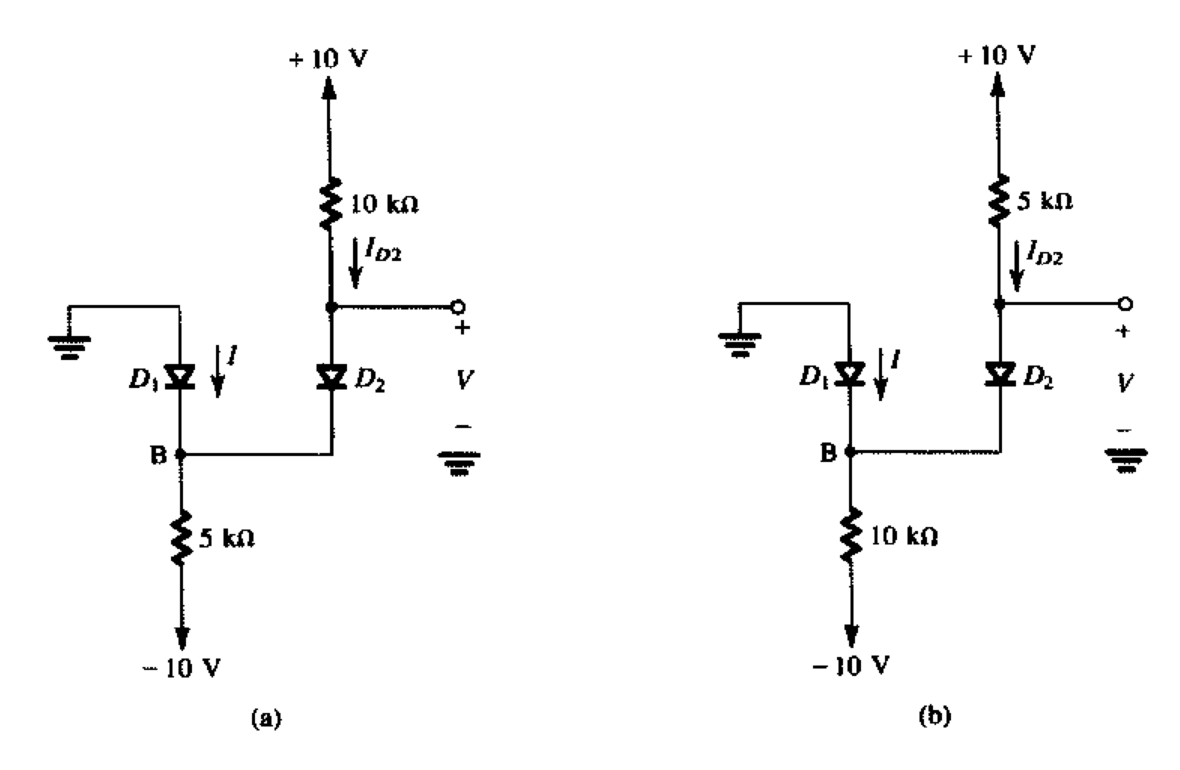


图 3.6 例 3.2 的电路

对于图 3.6（b）所示的电路，如果假设两个二极管都导通，那么 $V_B=0$ 且 $V=0$。D_2 的电流为

$$I_{D2}=\frac{10-0}{5}=2\text{ mA}$$

节点 B 的节点方程为

$$I+2=\frac{0-(-10)}{10}$$

可以得到 $I=-1$ mA。显然这是不可能的，因此最初的假设不正确。让我们重新开始，假定 D_1 截止，D_2 导通，则电流 I_{D2} 为

$$I_{D2}=\frac{10-(-10)}{15}=1.33\text{ mA}$$

节点 B 的电压为

$$V_B=-10+10\times1.33=+3.3\text{ V}$$

因此 D_1 符合截止的假设，最后的结果是 $I=0$，$V=3.3$ V。■

练习 3.4 求如图 E3.4 所示电路中 I 和 V 的值。

答案：（a）2 mA，0 V；（b）0 mA，5 V；（c）0 mA，5 V；（d）2 mA，0 V；（e）3 mA，+3 V；（f）4 mA，+1 V

练习 3.5 图 E3.5 给出了交流电压表的电路。它使用动圈式仪表，当流过它的平均电流为 1 mA 时达到满量程。该动圈式仪表具有 50 Ω 的电阻。求 R 的值以使得输入峰峰值为 20 V 的正弦波电压 v_I 时该仪表满量程。（提示：半周正弦波的平均值为 V_p/π。）

答案：3.133 kΩ

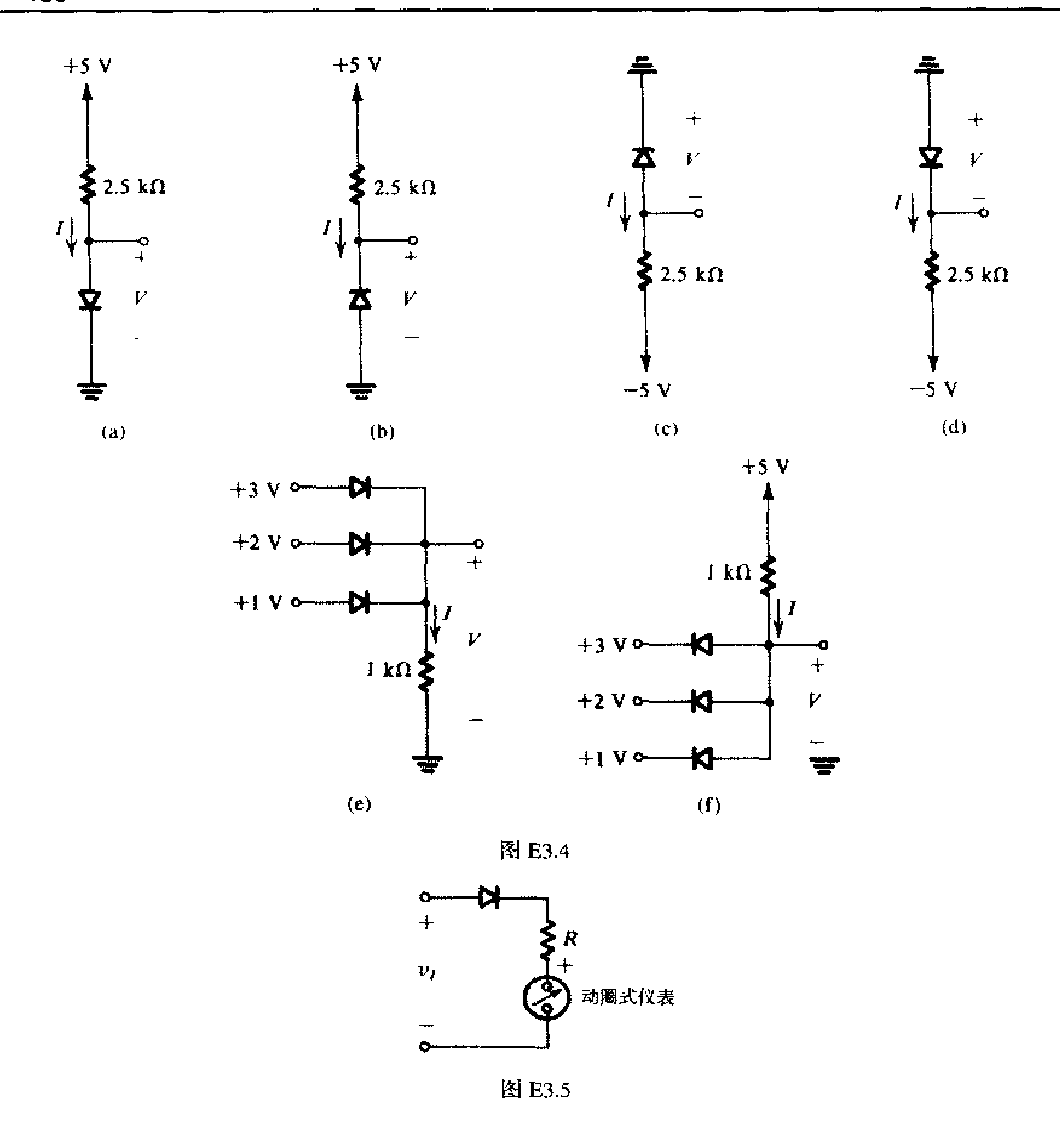


图 E3.4

图 E3.5

3.2 结二极管端口特性

在这一节中，我们介绍实际二极管的特性——明确地说是由硅制成的半导体结二极管。导致二极管端口特性的物理过程以及称其为“结二极管”的原因将在 3.7 节中介绍。

图 3.7 所示是一个硅结二极管的伏安特性。图 3.8 与图 3.7 具有相同的伏安特性，但我们对它进行了一些尺度扩展和尺度压缩以显示更多细节。注意，尺度变换将导致原点处呈现出明显的不连续。

如图所示，该特性曲线由三个不同的部分组成：

1. 正向偏置区域，$v>0$ 区域
2. 反向偏置区域，$v<0$ 区域
3. 击穿区，$v<-V_{ZK}$ 区域

这三个工作区域将在后面几节描述。

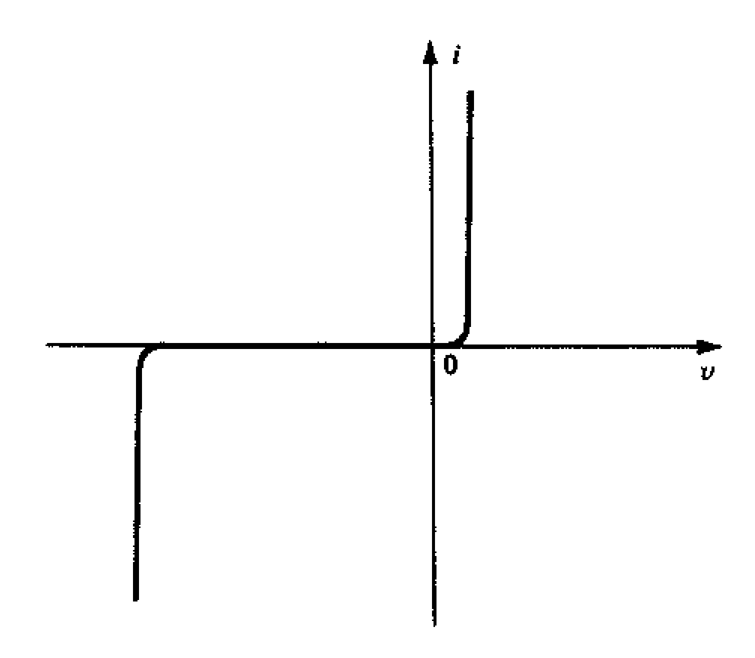


图 3.7 硅结二极管的伏安特性

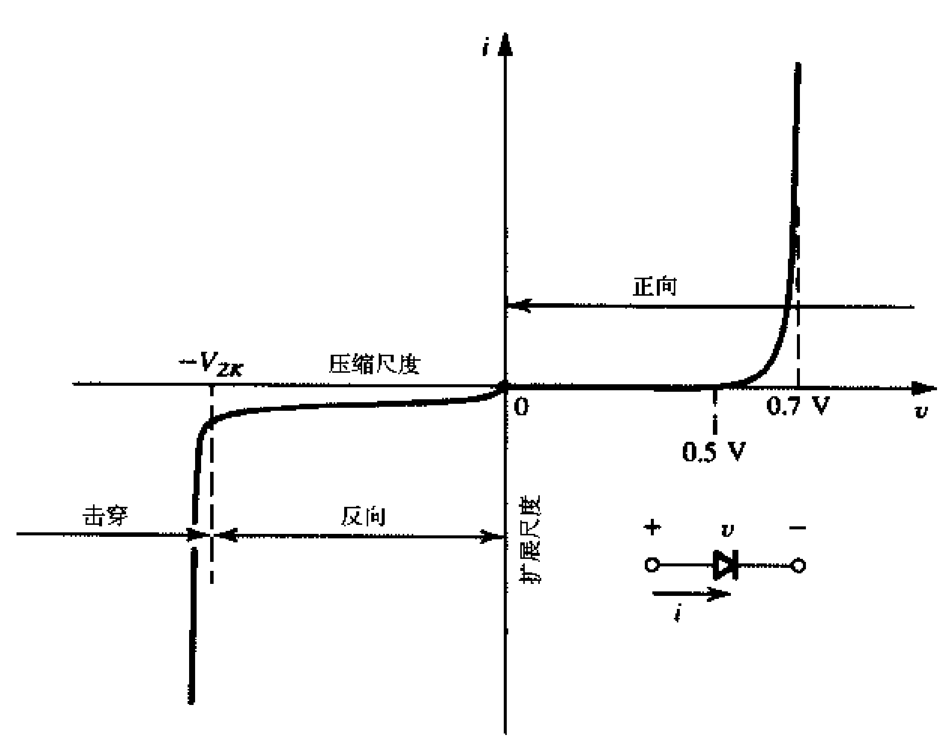


图 3.8 二极管伏安特性。为了给出更多细节，使用了一些扩展尺度和压缩尺度

3.2.1 正向偏置区域

当端口电压 v 为正时，则进入正向偏置工作区域（或简单地称之为正向工作区域）。在正向区域中，伏安关系可以用下式近似表示：

$$i = I_S(e^{v/nV_T} - 1) \tag{3.1}$$

在该式中，I_S 在给定温度时对于给定的二极管是常数。以二极管的物理参数和温度表示的 I_S 的公式在 3.7 节中给出。电流 I_S 通常叫做饱和电流（其原因很快就会说明）。我们偶尔也会使用 I_S 的另一个名字，即比例电流。该名字是由于 I_S 与二极管的横截面积成正比而得。因此结面积增大一

倍将导致二极管的I_S也增大一倍，并且如二极管方程所示，对于给定的正向电压v，电流i也将增大一倍。对于“小信号”二极管，主要是在低功耗电路中应用的小型二极管，其I_S在10^{-15}A的数量级。但是I_S与温度密切相关，经验表明，温度每上升5°C，I_S增加一倍。

式（3.1）中的电压V_T叫做热电压，它是一个常数且可以用下式表示：

$$V_t = \frac{kT}{q} \tag{3.2}$$

其中，k为玻尔兹曼常数，其值为1.38×10^{-23} J/K；

T为热力学温度，其值为273+摄氏温度；

q为电荷量，其值为1.60×10^{-19} C。

在室温（20°C）时，V_T的值为25.2 mV。在电路的近似分析中，我们使用室温时的$V_T = 25$ mV[1]。

在二极管方程中，常数n是一个处于1和2之间的值，该值取决于二极管的材料和物理结构。使用标准集成电路制造工艺的二极管在正常条件[2]下工作时$n=1$。作为分立的二端元件使用时通常$n=2$。一般来说，我们将假定$n=1$（除非特别说明）。

对于一个明显的正向电流i，具体地说对于$i \gg I_S$，式（3.1）可以近似表示成指数关系：

$$i = I_S e^{v/nV_T} \tag{3.3}$$

这种关系也可以表示成对数形式：

$$v = nV_T \ln\frac{i}{I_S} \tag{3.4}$$

其中，ln表示自然（底为e）对数。

电流i对电压v的指数关系可以在很大的电流范围内存在（该范围跨度可以达到7个十倍的关系，即具有10^7倍的因子）。这是结二极管一个非常值得注意的特性，也在双极型晶体管中被发现，该特性可以在许多应用中被利用。

考虑式（3.3）的正向伏安特性，并计算对应于二极管电压V_1时的电流I_1：

$$I_1 = I_S e^{V_1/nV_T}$$

同样，如果电压为V_2，则二极管电流I_2为

$$I_2 = I_S e^{V_2/nV_T}$$

这两个式子可以合并成

$$\frac{I_2}{I_1} = e^{(V_2-V_1)/nV_T}$$

重写得到

$$V_2 - V_1 = nV_T \ln\frac{I_2}{I_1}$$

该式也可以写成以10为底的对数，则有

① 一个略高于环境的温度（大约为25℃）通常用来作为在机箱中工作的电子设备的工作温度。在该温度下，$V_T = 25.8$ mV。但是为了简化及快速进行电路分析，本书将使用数学上方便的值$V_T = 25$ mV。

② 在一个集成电路中，二极管通常是通过把一个双极型晶体管（BJT）连接成一个二端器件得到的，第5章将会谈到。

$$V_2 - V_1 = 2.3nV_T \log \frac{I_2}{I_1} \quad (3.5)$$

该式简单地描述了当电流有10倍的变化时，二极管的电压降将变化$2.3nV_T$倍。当$n=1$时，大约为60 mV；当$n=2$时，大约为120 mV。这也表明了二极管的伏安关系在半对数表上可以最方便地画出。用线性纵坐标表示v，对数横坐标表示i就可以得到一条斜率为$2.3nV_T$每十倍电流的直线。最后必须提到，如果不知道n的精确值（可以通过简单的实验得到），则电路设计者可以使用简便的近似数“0.1 V/十倍”作为二极管对数特性的斜率。

正向区域的伏安特性表明（见图3.8），当v小于约0.5 V时电流非常小，因此可以忽略。这个值通常称为开启电压。然而必须要强调的是，这个特性的门限只是指数关系的一个结果。这个关系的另一个结果是i快速增加后，一个全导通的二极管的电压降位于一个非常窄的范围内，大约为0.6 V到0.8 V。这就可以得到一个简单的二极管模型，该模型假定一个导通的二极管的两端大约有0.7 V的压降。具有不同电流额定值（即不同面积和不同的I_S）的二极管在不同的电流下将呈现0.7 V的压降。例如，一个小信号二极管在$i=1$ mA时可能有0.7 V的压降，而一个大功率二极管在$i=1$ A时也具有0.7 V的压降。我们将在下一节中介绍二极管电路分析及二极管模型。

例题3.3 一个硅二极管是一个1 mA器件，当电流为1 mA时，正向电压为0.7 V。计算n为1或者2时的结比例常数I_S。对于相同制造工艺的1 A二极管，当比例常数为多少时会使0.7 V压降的二极管流过1 A的电流？

解：因为

$$i = I_S e^{v/nV_T}$$

所以

$$I_S = i e^{-v/nV_T}$$

对于1 mA二极管：

如果$n=1$：$I_S = 10^{-3} e^{-700/25} = 6.9\times10^{-16}\text{A}$，或大约为$10^{-15}$A

如果$n=2$：$I_S = 10^{-3} e^{-700/50} = 8.3\times10^{-10}\text{A}$，或大约为$10^{-9}$A。

二极管在0.7 V时流过1 A的电流相当于1000个1 mA的二极管并联，总的结面积为后者的1000倍。因此I_S也是1000倍，当$n=1$和$n=2$时，分别是1 pA和1 μA。

从这个例子可以明显看出所使用的n值是非常重要的。 ■

因为I_S和V_T都是温度的函数，正向伏安特性也将随温度变化，如图3.9所示。在给定的二极管电流为常量时，二极管两端的电压降在温度每升高1°C时大约下降2 mV。二极管电压随温度的变化特性在电子温度计的设计中被采用。

练习3.6 考虑一个硅二极管，$n=1.5$，如果电流从0.1 mA变到10 mA，求电压的变化。

答案：172.5 mV

练习3.7 一个硅二极管的$n=1$，在$i=1$ mA时，$v=0.7$ V。求$i=0.1$ mA和$i=10$m A时的电压降。

答案：0.64 V；0.76 V

练习3.8 利用在25°C时硅二极管$I_S=10^{-14}$ A以及温度每升高1°C则I_S增加15%的事实，求在125°C时I_S的值。

答案：1.17×10^{-8} A

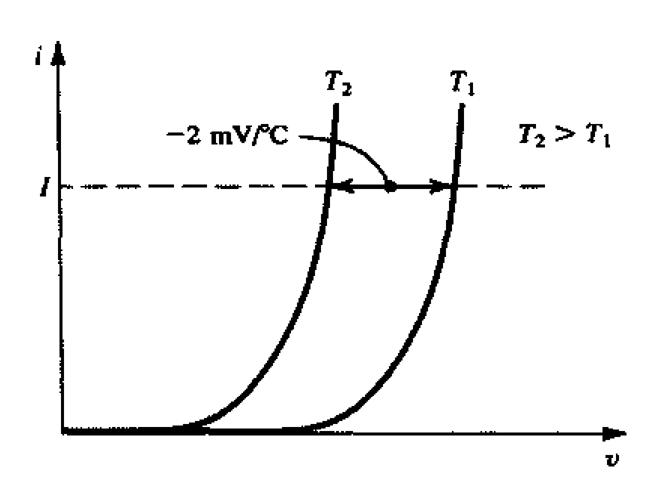


图 3.9 二极管正向特性的温度相关性。在电流为常量时，温度每升高 1°C，电压降约下降 2 mV

3.2.2 反向偏置区域

当二极管电压 v 为负时则进入反向偏置工作区域。式（3.1）表明如果 v 为负，并在幅度上比 V_T（25 mV）大若干倍，指数项与 1 相比非常小以至可以忽略，因此二极管电流就变为

$$i = -I_S$$

即反向电流是常数，等于 I_S。这就是术语饱和电流产生的原因。

实际二极管存在反向电流，虽然很小，但远大于 I_S。例如，一个小信号二极管的 I_S 在 10^{-14} A 到 10^{-15} A 的数量级，它产生的反向电流可能在 1 nA 的数量级。如果反向电压增大，则反向电流也在一定程度上增加。注意，因为电流的幅度很小，这些细节在图 3.8 中的二极管伏安特性中不是很明显。

反向电流的大部分是由于泄漏效应引起的。该漏电流与结面积成比例，就像 I_S 与结面积成比例一样。但是漏电流的温度特性与 I_S 的温度特性不同。当温度每上升 5°C 时，I_S 增加一倍，而反向电流温度特性的经验表明：温度每上升 10°C，反向电流增大一倍。

练习 3.9 图 E3.9 所示电路中的二极管是一个大电流器件，它的反向漏电流与电压无关。如果在 20°C 时，$V = 1$ V，求在 40°C 和 0°C 时 V 的值。

答案：4 V；0.25 V

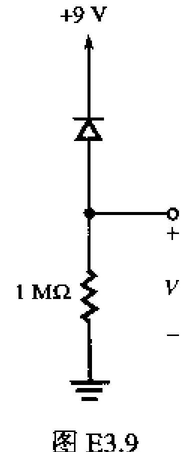


图 E3.9

3.2.3 击穿区域

二极管运行的第三个区域是击穿区域，该区域在图 3.8 的伏安特性中可以很容易识别出来。当反向电压的幅度超过特定二极管指定的门限电压时就进入击穿区域，该门限称为击穿电压。这就是图 3.8 所示的伏安曲线中的拐点处电压，记为 V_{ZK}，其中下标 Z 代表齐纳（后面解释），K 表示拐点。

从图 3.8 中可以看出，在击穿区域，反向电流快速增大，而相关的电压降的增加非常小。只要二极管的功耗被外部电路限制在安全水平内，那么二极管击穿通常不具有破坏性。这个安全值通常在器件数据表中指定。因此必须限制击穿区域中的反向电流，使它与允许的功耗值相符。

击穿时的二极管伏安特性几乎是一条垂直线，这使得它可以用在电压稳压器中。这方面的内容将在 3.5 节中介绍。

3.3 二极管正向特性建模

我们已经介绍了二极管的端口特性，现在开始对正向导通的二极管电路进行分析。图 3.10 给出了这样的一个电路。它由一个直流电源 V_{DD} 、一个电阻 R 和一个二极管组成。分析该电路可得到二极管电压 V_D 和电流 I_D 。为了得到分析结果，我们为二极管的工作建立各种不同的模型。我们已经知道了两种这样的模型：理想二极管模型和指数模型。在下面的讨论中，我们将讨论在不同的情况下这两种模型的适用性。我们也将得到和讨论一些其他模型。这些内容除了在二极管电路分析和设计中很具实用性之外，也是学习下面两章关于晶体管工作模型内容的基础。

3.3.1 指数模型

工作在正向区域的二极管的最精确模型是指数模型。遗憾的是，其严重的非线性本质使得这个模型最难使用。为了解释这一点，可利用指数二极管模型来分析图 3.10 的电路。

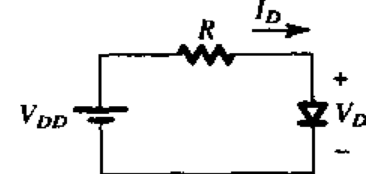


图 3.10 一个用来对二极管正向导通进行电路分析的简单电路

假定 V_{DD} 大于或略大于 0.5 V，二极管电流将远大于 I_S，我们可以用指数关系来表示二极管的伏安特性：

$$I_D = I_S e^{V_D/nV_T} \tag{3.6}$$

另外一个控制电路工作的式子是通过基尔霍夫回路方程得到的下式：

$$I_D = \frac{V_{DD} - V_D}{R} \tag{3.7}$$

假定二极管参数 I_S 和 n 已知，式（3.6）和式（3.7）是两个未知量 I_D 和 V_D 的方程。我们可以用两种方法（图解法和迭代法）得到结果。

3.3.2 利用指数模型的图解分析

通过在电流电压平面上画出式（3.6）和式（3.7）的曲线可以进行图解分析，两个曲线图的交点坐标就是求解的结果。图解法的图形如图 3.11 所示。曲线表示指数二极管方程[即式(3.6)]，直线表示式（3.7）。该直线称为负载线，在后面几章中将更能看出负载线这个名字的意义。负载线与二极管曲线在 Q 点相交，Q 点表示电路的工作点，其坐标值给出了 I_D 和 V_D 的值。

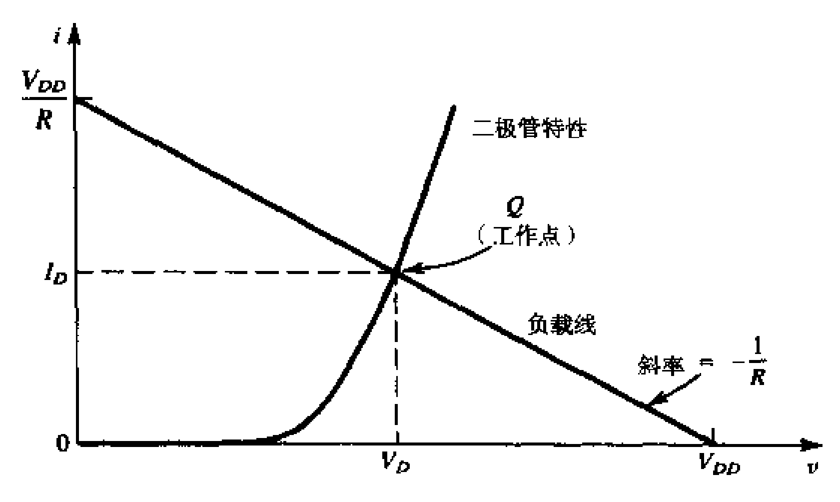


图 3.11 图 3.10 所示电路的图解分析（利用指数二极管模型）

图解分析有助于对电路的工作进行形象化分析。但是，进行这种分析的工作量太大，特别对于复杂电路更是如此，因而在实际中不太可行。

3.3.3 利用指数模型的迭代分析

式（3.6）和式（3.7）可以利用一个简单的迭代过程来求解，如下面例题的求解过程。

例题 3.4 确定图 3.10 中的电路的电流 I_D 和二极管电压 V_D，其中 $V_{DD} = 5$ V，$R = 1$ kΩ。假定二极管电流为 1 mA 时的管压降为 0.7 V，并且电流每变化 10 倍，电压降将变化 0.1 V。

解： 开始迭代时，我们假设 $V_D = 0.7$ V，利用式（3.7）可确定电流如下：

$$I_D = \frac{V_{DD} - V_D}{R}$$
$$= \frac{5 - 0.7}{1} = 4.3 \text{ mA}$$

然后利用二极管方程可得到 V_D 的一个更好的估计。我们可以利用式（3.5）来完成，即

$$V_2 - V_1 = 2.3nV_T \log \frac{I_2}{I_1}$$

对于本例题的情况，$2.3nV_T = 0.1$ V，因此，

$$V_2 = V_1 + 0.1 \log \frac{I_2}{I_1}$$

用 $V_1 = 0.7$ V，$I_1 = 1$ mA，$I_2 = 4.3$ mA 来替代可以得到 $V_2 = 0.763$ V。因此第一次迭代的结果是 $I_D = 4.3$ mA，$V_D = 0.763$ V。以相同的方式进行第二次迭代：

$$I_D = \frac{5 - 0.763}{1} = 4.237 \text{ mA}$$
$$V_2 = 0.763 + 0.1 \log \left[\frac{4.237}{4.3} \right]$$
$$= 0.762 \text{ V}$$

因此第二次迭代得到 $I_D = 4.237$ mA，$V_D = 0.762$ V。因为这些值与第一次迭代后得到的值差别不大，因此不需要进行再一次的迭代，其结果是 $I_D = 4.237$ mA，$V_D = 0.762$ V。■

3.3.4 快速分析的需要

上面例题中使用的迭代分析比较简单，并且通过两次或三次迭代可以得到精确的结果。但是在一些情况下，其工作量和所用的时间仍然很大从而不太可行。具体地说，如果对一个比较复杂的电路进行手工设计，那么快速的电路分析是必需的。通过快速分析，设计者可以在决定一个合适的电路设计之前计算不同的可能情况。为了加速分析过程，我们必须能够接受不太精确的值。但是这几乎不是一个问题，因为更精确的分析可以在最后或接近于设计完成之后进行。接近于最后的设计的精确分析可以在计算机电路分析程序如 SPICE（见 3.9 节）的辅助下完成。这样分析的结果可再用来对设计进行进一步优化或微调。

为了加速分析过程，必须寻找更简单的二极管正向特性的模型。

3.3.5　分段线性模型

如果能够得到描述二极管端口特性的线性关系，那么分析可以大大简化。图 3.12 所示的就是这方面的一个尝试，其中指数曲线用两段直线来近似，这两段直线是具有 0 斜率的线段 A 和具有 $1/r_D$ 斜率的直线 B。可以看出对于图 3.12 所示的情况，在 0.1 mA 到 10 mA 的电流范围内，由直线模型所预示的电压不同于由指数模型预示的电压，其差别小于 50 mV。显然，两条直线的选择不是惟一的，通过限制电流范围可以得到更精确的近似。

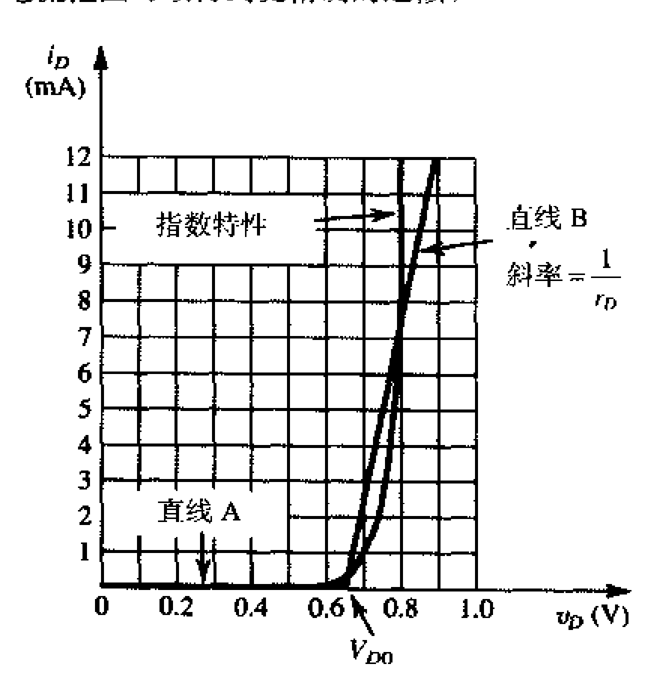


图 3.12　用两段直线来近似二极管正向特性——分段线性模型

图 3.12 的直线模型（分段线性模型）可以用下式描述：

$$
\begin{aligned}
i_D &= 0, \quad v_D \leqslant V_{D0} \\
i_D &= (v_D - V_{D0})/r_D, \quad v_D \geqslant V_{D0}
\end{aligned}
\tag{3.8}
$$

其中，V_{D0} 是直线 B 在电压轴上的截距，r_D 是直线 B 的斜率的倒数。对于该例，$V_{D0} = 0.65$ V，$r_D = 20\ \Omega$。

由式（3.8）描述的分段线性模型可以用图 3.13 所示的等效电路表示。注意，包含在该模型中的理想二极管用来限制 i_D 只有正向电流流过。该模型也称为电池加电阻模型。

例题 3.5　使用分段线性模型重复例题 3.4，该模型的参数在图 3.12 中给出（$V_{D0} = 0.65$ V，$r_D = 20\ \Omega$）。注意，在该图中所描述的特性就是例题 3.4 中描述的二极管特性（1 mA 时有 0.7 V 压降及 0.1 V/十倍）。

解：用图 3.13 中的等效电路模型来替代图 3.10 电路中的二极管，得到如图 3.14 所示的电路，从中可以写出电流 I_D 的表达式：

$$
I_D = \frac{V_{DD} - V_{D0}}{R + r_D}
$$

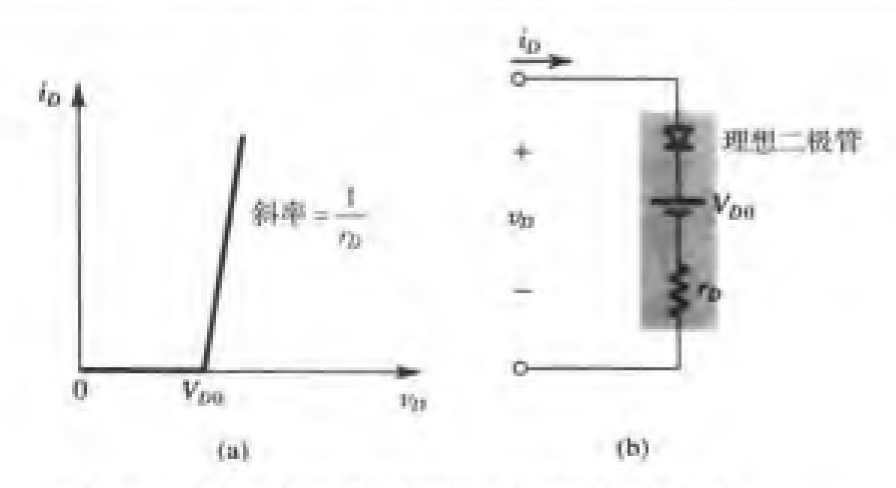


图 3.13 二极管正向特性的分段线性模型及其等效电路

其中，模型参数 V_{D0} 和 r_D 从图 3.12 可以看出，其值为 $V_{D0} = 0.65$ V，$r_D = 20\ \Omega$。因此，

$$I_D = \frac{5-0.65}{1+0.02} = 4.26\ \text{mA}$$

可以计算得到二极管电压 V_D 如下：

$$\begin{aligned} V_D &= V_{D0} + I_D r_D \\ &= 0.65 + 4.26 \times 0.02 = 0.735\ \text{V} \end{aligned}$$

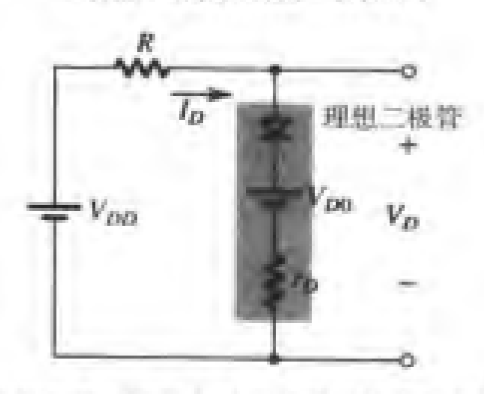


图 3.14 图 3.10 的电路，用图 3.13 的分段线性模型替代了二极管 ■

3.3.6 常数压降模型

如果我们使用一条垂直直线来近似指数曲线的快速上升部分，如图 3.15 所示，就可以得到更简单的二极管正向特性模型。所得到的模型可以简单地说成是一个正向导通的二极管有一个常数压降 V_D。V_D 的值通常设为 0.7 V。注意，对于特性如图 3.15 所描述的二极管，该模型指出在 0.1 mA 到 10 mA 的电流范围内，二极管电压的变化在 ±0.1 V 之内。常数压降模型可以用图 3.16 所示的等效电路模型表示。

常数压降模型是分析和设计初始阶段最常使用的模型。特别是如果在这个阶段没有二极管特性的详细信息，那么就可以使用这种模型，而这种情况是很常见的。

最后，如果采用常数压降模型来解决例题 3.4 和例题 3.5 的问题，我们可以得到

$$V_D = 0.7\ \text{V}$$

以及

$$I_D = \frac{V_{DD} - 0.7}{R}$$
$$= \frac{5 - 0.7}{1} = 4.3 \text{ mA}$$

这个值与前面用更精确的模型所得到的值没有太大区别。

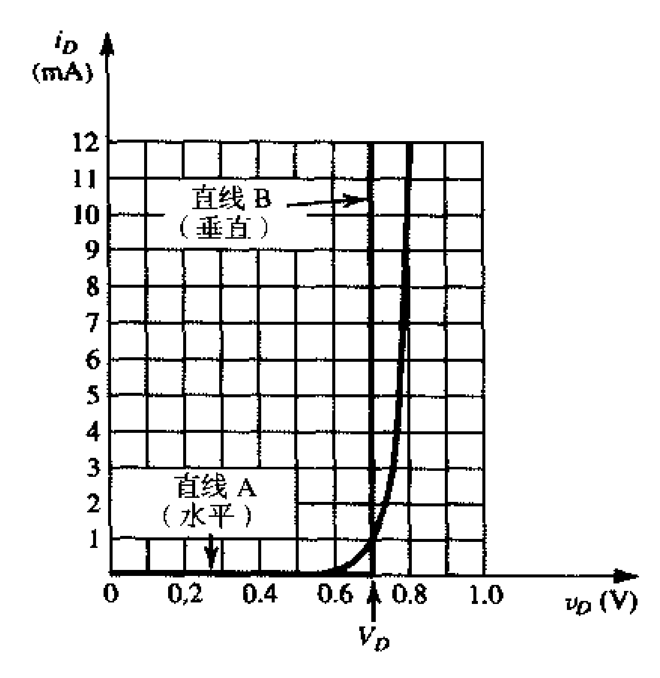


图 3.15 二极管正向特性的常数压降模型的推导。垂直直线（B）用来近似快速上升的指数部分。可以看出在 0.1 mA 到 10 mA 的电流范围内，二极管电压 V_D 的变化在 ± 0.1 V 之内

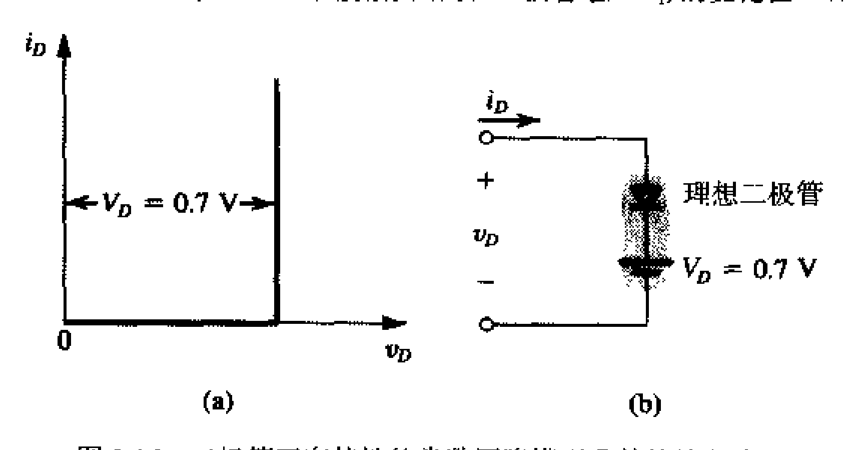


图 3.16 二极管正向特性的常数压降模型及其等效电路

3.3.7 理想二极管模型

在电压远大于二极管压降（0.6～0.8 V）的应用中，我们可以完全忽略二极管电压降而计算二极管电流，并因此得到理想的二极管模型（见 3.1 节）。对于例题 3.4 和例题 3.5 的电路（即图 3.10 所示电路，V_{DD} = 5 V，R =1 kΩ），理想二极管的使用将导致

$$V_D = 0 \text{ V}$$
$$I_D = \frac{5 - 0}{1} = 5 \text{ mA}$$

对于快速分析，用这些值作为粗略的估计其效果并不差。然而我们几乎不用增加额外的工作，就

可以利用0.7 V压降模型得到更逼真的结果。可以看出，在确定多个二极管电路中哪个二极管导通、哪个二极管截止时，理想二极管模型使用得非常多。正如3.1节所述。

练习 3.10 对于图3.10的电路，当$V_{DD} = 5$ V，$R = 10$ kΩ时，求I_D和V_D。假设二极管在1 mA电流时的电压为0.7 V，并且电压变化是电流变化的0.1 V/十倍。分别利用以下模型求解：（a）迭代；（b）分段线性模型，$V_{D0} = 0.65$ V，$r_D = 20\,\Omega$；（c）$V_D = 0.7$ V的常数压降模型。

答案：（a）0.434 mA，0.663 V；（b）0.434 mA，0.659 V；（c）0.43 mA，0.7 V

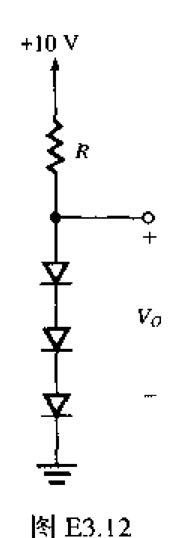


图 E3.12

练习 3.11 考虑一个二极管，它是特性如图3.12所示的二极管的100倍大（结面积）。如果以类似于图3.12中的方式（但是在100倍大的电流范围上）来近似二极管特性，则模型参数V_{D0}和r_D将如何变化？

答案：V_{D0}不变化；r_D减小100倍变为0.2 Ω

练习 D3.12 设计图E3.12的电路来提供2.4 V的输出电压。假定能得到的二极管在1 mA时有0.7 V的压降，并且电流以$\Delta V = 0.1$ V/十倍变化。

答案：$R = 760\,\Omega$

练习 3.13 利用0.7 V压降模型重复练习3.4，得到比练习3.4（利用理想二极管模型）更好的I和V估计值。

答案：（a）1.72 mA，0.7 V；（b）0 mA，5 V；（c）0 mA，5 V；（d）1.72 mA，0.7 V；（e）2.3 mA，+2.3 V；（f）3.3 mA，+1.7 V

3.3.8 小信号模型

在一些应用中，二极管被偏置工作在正向伏安特性上，并且有一个交流小信号叠加在直流量上。对于这种情况，首先必须利用前面讨论的模型来确定二极管的直流工作点（V_D和I_D）。最经常使用的是0.7 V压降模型。然后，对于在直流偏置点附近工作的小信号，用一个电阻可以对二极管建立一个最佳模型，该电阻等于指数伏安特性在直流偏置点处的切线斜率的倒数。在1.4节的二端口网络中，已经介绍了非线性器件偏置的概念以及将信号变化限制在伏安特性偏置点附近几乎呈线性的很短的线段内的概念。下面，我们将构建一个这样的结二极管小信号模型并举例说明它的应用。

考虑图3.17（a）中的概念性电路以及图3.17（b）中相应的图解分析。一个用电池表示的直流电压V_D被加到二极管上，一个假定（任意）是三角波的时变信号$v_d(t)$被叠加在直流电压V_D上。当没有$v_d(t)$信号时，二极管电压等于V_D，因此，二极管将流过一个直流电流I_D，并且

$$I_D = I_S e^{V_D/nV_T} \tag{3.9}$$

当加上信号$v_d(t)$时，总的二极管瞬时电压$v_D(t)$为

$$v_D(t) = V_D + v_d(t) \tag{3.10}$$

因此，二极管总的瞬时电流$i_D(t)$为

$$i_D(t) = I_S e^{v_D/nV_T} \tag{3.11}$$

将式（3.10）中的v_D代入，可以得到

$$i_D(t) = I_S e^{(V_D+v_d)/nV_T}$$

该式可以重新写成

$$i_D(t) = I_S e^{V_D/nV_T} e^{v_d/nV_T}$$

利用式（3.9），可以得到

$$i_D(t) = I_D e^{v_d/nV_T} \tag{3.12}$$

如果信号 $v_d(t)$ 的幅度足够小，使得

$$\frac{v_d}{nV_T} \ll 1 \tag{3.13}$$

那么可以将式（3.12）的指数展开成级数并忽略第二项以后的级数从而得到以下的近似表达式：

$$i_D(t) \simeq I_D\left(1+\frac{v_d}{nV_T}\right) \tag{3.14}$$

这就是小信号近似。当 $n=2$ 且信号幅度小于 10 mV 时，或 $n=1$ 且信号幅度小于 5 mV 时［见式（3.13）以及 $V_T = 25$ mV］[1]，这个近似是有效的。

从式（3.14）可得

$$i_D(t) = I_D + \frac{I_D}{nV_T} v_d \tag{3.15}$$

因此，我们可以得到叠加在直流电流 I_D 上与信号电压 v_d 成正比的信号电流分量，即

$$i_D = I_D + i_d \tag{3.16}$$

其中，

$$i_d = \frac{I_D}{nV_T} v_d \tag{3.17}$$

将信号电流 i_d 与信号电压 v_d 相关联的分量具有电导的量纲℧，我们称之为二极管小信号电导。该参数的倒数称为二极管小信号电阻或增量电阻，即 r_d：

$$r_d = \frac{nV_T}{I_D} \tag{3.18}$$

注意，r_d 的值与偏置电流 I_D 成反比。

现在返回来看图 3.17（b）的图形表示。很容易可以看出使用小信号近似等效于假设信号幅度足够小从而使沿着伏安曲线的移动被限制在几乎是线性的很短的一条线段上。这条线段的斜率等于伏安曲线在工作点 Q 处的切线斜率，也等于小信号电导。读者可以证明伏安曲线在 $i = I_D$ 处的斜率等于 I_D/nV_T，也就是 $1/r_d$，即

$$r_d = 1\bigg/\left[\frac{\partial i_D}{\partial v_D}\right]_{i_D=I_D} \tag{3.19}$$

从前面的叙述可以得出结论：叠加在二极管直流偏置点或静态点 V_D 和 I_D 上的是小信号量 $v_d(t)$ 和 $i_d(t)$，它们之间由偏置点计算得到的二极管小信号电阻 r_d 相关联［见式（3.18）］。因此小信号分析可以从直流偏置分析中分离出来，这可以带来很大的便利，它是小信号近似内在的二极管特性导致的线性化结果。具体地说，完成了直流分析以后，将所有的直流电源去掉（即将直流

---

[1] 对于 $n=2$，$v_d/nV_T = 0.2$，$v_d = 10$ mV，因此在指数展开式中的下一项是 $\frac{1}{2}\times 0.2^2 = 0.02$，比我们保留的线性项要小 10 倍。通过进一步减小 v_d，可以得到更好的近似。同样，对于 $n=1$，v_d 应该限制在 5 mV 之内

电压源短路，将直流电流源开路）以及用小信号电阻替代二极管就可以得到小信号等效电路 下面的例题说明了小信号模型的应用

图 3.17 二极管小信号模型的产生 注意，图中所示的数值是针对 $n = 2$ 的二极管得出的

例题 3.6 考虑图 3.18（a）所示的电路，其中 $R = 10\ \text{k}\Omega$，电源 V^+ 具有 10 V 的电压值并且叠加了峰值为 1 V 的 60 Hz 正弦波（电源电压的这个信号分量是电源设计中的一个干扰，我们称之为电源纹波。具体内容将会在后面介绍）。计算二极管的直流电压及其两端的正弦波信号的幅度。假定二极管在 1 mA 时有 0.7 V 的压降并且 $n = 2$

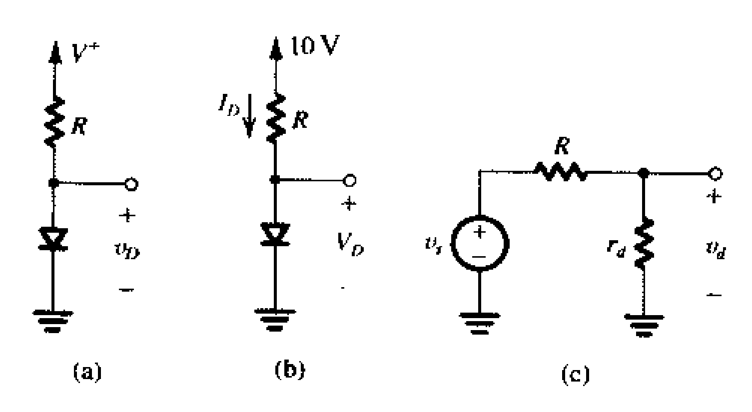


图 3.18 （a）例题 3.6 的电路；（b）计算直流工作点的电路；（c）小信号等效电路

解：只考虑直流量，假设$V_D \simeq 0.7$ V，则二极管直流电流为

$$I_D = \frac{10-0.7}{10} = 0.93\ \text{mA}$$

因为这个值非常接近于1 mA，因此二极管的电压将非常接近于0.7 V的假设值。在该工作点，二极管增量电阻r_d为

$$r_d = \frac{nV_T}{I_D} = \frac{2\times25}{0.93} = 53.8\ \Omega$$

二极管两端的信号电压可以从图3.18（c）的小信号等效电路得到。其中，v_s表示V^+上的60 Hz、峰值为1 V的正弦波分量，v_d是相应的二极管两端的信号。利用电压分压法则，可以得到v_d的峰值为

$$v_d(\text{峰值}) = \hat{V}_s \frac{r_d}{R+r_d} = 1\frac{0.0538}{10+0.0538} = 5.35\ \text{mV}$$

最后，我们注意到该值非常小，从而说明该二极管小信号模型的使用是合理的。■

3.3.9 二极管正向压降在稳压器中的应用

二极管小信号模型可以进一步应用在一个常见的二极管电路中，即利用二极管来产生稳定的电压。稳压器的目的就是在其输出端提供固定的直流电压。无论是从稳压器输出端得到的负载电流发生变化，还是输入稳压器电路的直流电源电压发生变化，都要求输出电压尽可能地保持不变。因为二极管的正向电压降几乎保持在0.7 V左右，而流过它的电流相对来说可以有比较大的变化，因此一个正向偏置的二极管可以被构造成一个简单的稳压器。例如，在例题3.6中，我们已经看到当10 V的直流电压源有峰峰值为2 V的纹波时（±10%的偏移），相应的二极管电压的纹波只有±5.4 mV（±0.8%的偏移）左右。大于0.7 V的稳定电压可以通过串联一定数量的二极管得到。例如，串联三个正向偏置的二极管可以提供大约2 V的电压。在下面的例子中给出了这样一个电路，它使用二极管小信号模型来量化稳压器的功效。

例题3.7 考虑图3.19所示的电路。三个二极管串联以提供大约2.1 V的固定电压。计算：（a）电源电压发生±10%的变化时和（b）接上一个1 kΩ负载电阻时稳压器电压发生变化的百分比，假定$n=2$。

解：当没有负载时，二极管串上的额定电流为

$$I = \frac{10-2.1}{1} = 7.9\ \text{mA}$$

因此每个二极管的增量电阻为

$$r_d = \frac{nV_T}{I}$$

利用$n=2$可得到

$$r_d = \frac{2\times25}{7.9} = 6.3\ \Omega$$

串联连接的三个二极管的总增量电阻为

$$r = 3r_d = 18.9\ \Omega$$

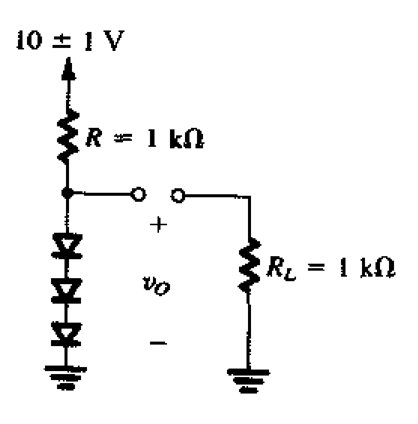


图3.19 例题3.7的电路

该电阻与电阻 R 组成电压分压器，其比例可以用来计算由于 ± 10%（即±1 V）的电源电压的变化引起的输出电压的变化。因此输出电压的峰峰值变化为

$$\Delta v_O = 2\frac{r}{r+R} = 2\frac{0.0189}{0.0189+1} = 37.1\,\text{mV}$$

也就是说，对应于电源电压 ± 1 V（ ± 10%）的变化，输出电压有 ± 18.5 mV 或 ± 0.9%的变化。因为这隐含着每个二极管有大约 ± 6.2 mV 的变化，所以使用小信号模型是可行的。

当在二极管串两端连接上 1 kΩ的负载电阻时，得到的电流约为 2.1 mA。因此二极管上的电流将减少 2.1 mA，这将导致二极管串两端的电压减小为

$$\Delta v_O = -2.1\times r = -2.1\times 18.9 = -39.7\,\text{mV}$$

因为这表明每个二极管两端的电压减少约 13.2 mV，因此使用小信号模型不完全合适。然而，利用指数模型详细计算后得到的电压变化为 $\Delta v_O = -35.5$ mV，这与利用增量模型得到的近似值没有太大差别。 ■

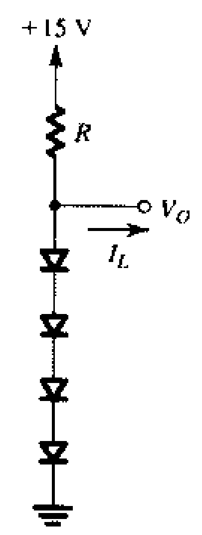


图 E3.16

练习 3.14 求偏置电流为 0.1 mA，1 mA 和 10 mA 时二极管的小信号增量电阻 r_d 的值。

答案：250 Ω；25 Ω；2.5 Ω

练习 3.15 考虑一个偏置电流为 1 mA 且 $n = 2$ 的二极管。求电压变化（a）−20 mV，（b）−10 mV，（c）−5 mV，（d）+5 mV，（e）+10 mV 和（f）+20 mV 时电流的变化。在每一种情况下：（i）利用小信号模型计算；（ii）利用指数模型计算。

答案：（a）−0.40，−0.33 mA；（b）−0.20，−0.18 mA；（c）−0.10，−0.10 mA；（d）+0.10，+0.11 mA；（e）+0.20，+0.22 mA；（f）+0.40，+0.49 mA

练习 D3.16 设计图 E3.16 所示的电路使得当 $I_L = 0$ 对 $V_O = 3$ V，并且负载电流每变化 1 mA，V_O 变化 40 mV。求 R 的值和每个二极管的结面积（假定四个二极管相同）以及与 1 mA 电流时压降为 0.7 V 的二极管的面积比。假定 $n = 1$。

答案：$R = 4.8$ kΩ；0.34

3.3.10 总结

作为本节关于二极管模型内容的总结，表 3.1 列出了所讲的 5 种二极管模型，并给出了每种模型的备注。这些备注可以帮助读者选择合适的模型以完成特定的应用。电路设计者总是会遇到这样的问题：“使用哪一种模型？”其实并不只是二极管有这种问题，每一种电路元件都存在这样的问题。解决这个问题的关键是在精度和分析速度之间寻找平衡。选择合适的器件模型的能力可以通过实践和经验来提高。

表 3.1 二极管正向特性模型

模型	图形	方程	电路	说明
指数	i_D；0；0.5 V；v_D	$i_D = I_S e^{v_D/nV_T}$ $v_D = 2.3nV_T\log\left(\frac{i_D}{I_S}\right)$ $V_{D2}-V_{D1} = 2.3nV_T\log\left(\frac{I_{D2}}{I_{D1}}\right)$ $2.3nV_T = 60$ mV, $n = 1$ $2.3nV_T = 120$ mV, $n = 2$	i_D；+；v_D；−	$I_S = 10^{-12}$ A 到 10^{-15}A，具体取决于结面积 $V_T \cong 25$ mV，$n = 1\sim2$ 基于物理的和非常精确的模型，当需要精确分析时非常有用



（续）

模型	图形	方程	电路	说明
分段线性模型（电池加电阻）	i_D；斜率 $= 1/r_D$；0；V_{D0}；v_D	若 $v_D \le V_{D0}$： $i_D = 0$ 若 $v_D \ge V_{D0}$： $i_D = \frac{1}{r_D}(v_D - V_{D0})$	i_D；+；v_D；−；理想二极管；V_{D0}；r_D	V_{D0} 和 r_D 的选择由所要求的模型的电流范围确定。因为需要的工作量很大，因此不像常数压降模型那样有用，所以很少使用
常数压降模型（0.7 V 模型）	i_D；0；0.7 V；v_D	若 $i_D > 0$： $v_D = 0.7$ V	i_D；+；v_D；−；理想二极管；0.7 V	容易使用。在快速分析的手工分析中很常见，这种分析方法是电路设计基本方法
理想模型	i_D；0；v_D	若 $i_D > 0$： $v_D = 0$	i_D；+；v_D；−；理想二极管	在多个二极管电路中确定哪个二极管是导通的，哪个二极管是截止的，该模型非常好。在获得二极管的近似电流，特别是当电路电压远大于 V_D 时很有用
小信号模型	i_D；斜率 $= 1/r_d$；I_D；0；V_D；v_D	对于叠加在 V_D 和 I_D 上的小信号： $i_d = v_d / r_d$ $r_d = nV_T / I_D$ （当 $n = 1$，v_d 限制在 5 mV；当 $n = 2$，v_d 限制在 10 mV）	i_d；+；v_d；−；r_d	求二极管电压的信号分量时很有用（例如，在稳压器的应用中）。该模型是晶体管小信号模型的基础（见第4章和第5章）

3.4 工作在反向击穿区域的二极管——齐纳二极管

二极管在击穿区域具有非常陡峭的伏安曲线（见图 3.8）和几乎不变的电压降，这个表明工作在击穿区域的二极管可以设计成稳压器。读者可以回想前面一节介绍的稳压器电路，在负载电流和系统电源电压发生变化时稳压器电路能够提供固定的直流输出电压。事实上已经证明这是工作在反向击穿区域的二极管的一个很重要的应用，因此人们制作出了一些特殊的二极管使其专门工作在击穿区域。这种二极管称为击穿二极管，或者更通用地称为齐纳二极管，后者是以早期从事该领域研究的一位科学家的名字命名的。

图 3.20 是齐纳二极管的电路符号。在齐纳二极管的一般应用中，电流流进阴极，而且阴极相对于阳极为正。因此图 3.20 中的 I_Z 和 V_Z 都是正值。

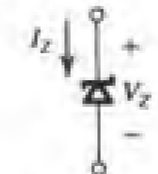


图 3.20 齐纳二极管的电路符号

3.4.1 齐纳二极管的规范和建模

图 3.21 显示了二极管伏安特性在击穿区域的细节。从图中可以看出，当电流大于拐点电流 I_{ZK}

（在齐纳二极管的数据表中给出）时，伏安特性几乎是一条直线。生产厂商通常会说明齐纳二极管在指定的测试电流 I_{ZT} 下其两端的电压值 V_Z 。我们已经在图 3.21 中标明了这些参数，它们就是 Q 点的坐标。因此，一个 6.8 V 的齐纳二极管在指定测试电流（例如 10 mA）时将产生 6.8 V 的压降。当流过齐纳二极管的电流偏离 I_{ZT} 时，其两端的电压也将发生变化，然而这种变化非常小。图 3.21 给出了对于电流变化 ΔI ，齐纳电压的变化为 ΔV ，它与 ΔI 的关系为

$$\Delta V = r_z \Delta I$$

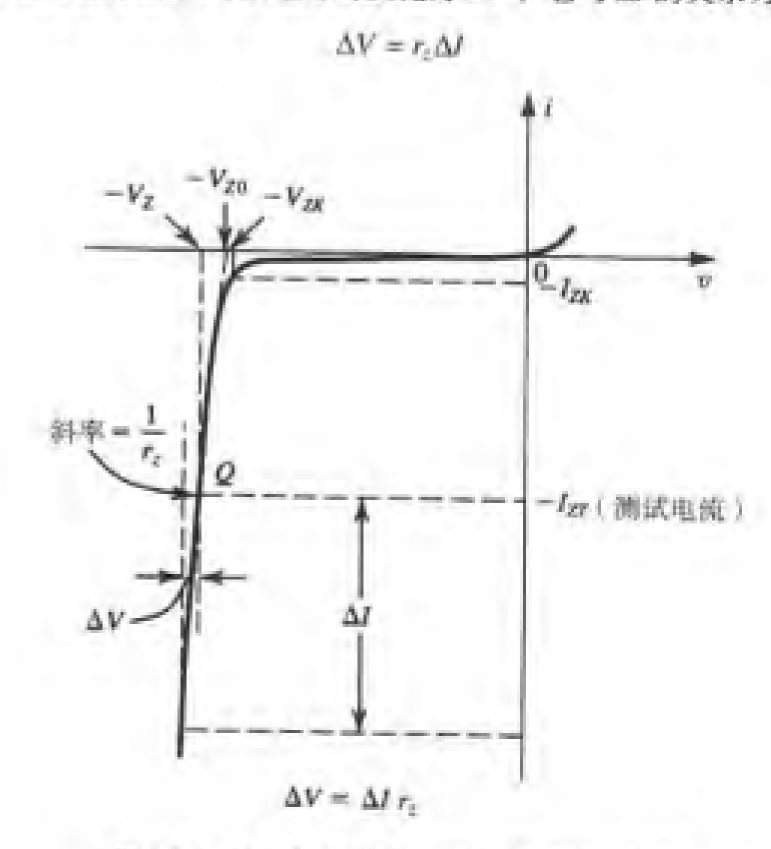


图 3.21　显示击穿区域细节的二极管伏安特性

其中，r_z 是几乎呈线性的伏安曲线在 Q 点的斜率的倒数。电阻 r_z 是齐纳二极管在工作点 Q 的增量电阻，也可以称其为齐纳二极管的动态电阻，它的值在器件数据表中标明。一般来说，r_z 的值在几个欧姆到几十个欧姆的范围内。显然，r_z 值越小，电流变化时齐纳电压就越稳定，因此在稳压器的设计中其性能就越理想。这可以从图 3.21 看出，在很宽的电流范围之内，r_z 很小并且基本保持不变，但是在拐点附近，r_z 的值大大增加。因此，作为一个通用的设计指导，应该避免使齐纳二极管工作在低电流区域。

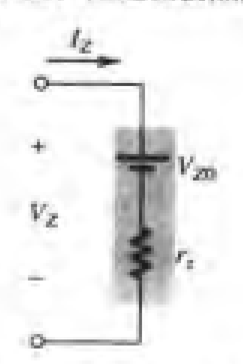


图 3.22　齐纳二极管模型

齐纳二极管的电压 V_Z 在几个伏特到数百伏特的范围内。除了标明 V_Z（在特定电流 I_{ZT} ）、r_z 和 I_{ZK} 之外，生产厂商也会标明器件能够安全工作的最大功耗。因此，一个参数为 0.5 W、6.8 V 的齐纳二极管能够安全运行的最大电流约为 70 mA。

齐纳二极管几乎呈线性的伏安特性表明该器件能够建立如图 3.22 所示的模型。这里，V_{Z0} 是斜率为 $1/r_z$ 的直线与电压轴相交的点（参考图 3.21）。尽管 V_{Z0} 与拐点电压 V_{ZK} 有些不同，但实际上它们的值几乎相等。因此，图 3.22 的等效电路模型可以描述为

$$V_Z = V_{Z0} + r_z I_Z \tag{3.20}$$

它适用于 $I_Z > I_{ZK}$ 的情况，显然，$V_Z > V_{Z0}$ 。

3.4.2 作为并联稳压器的齐纳二极管

我们通过一个例子来解释齐纳二极管在分流稳压器设计中的应用。之所以叫做分流稳压器，是因为稳压电路与负载并联（分流）连接。

例题 3.8 图 3.23（a）所示电路中的 6.8 V 齐纳二极管，在 $I_Z = 5$ mA 时，$V_Z = 6.8$ V，$r_z = 20\ \Omega$，$I_{ZK} = 0.2$ mA。电源电压V^+的额定值为 10 V，但是有±1 V 的变化。

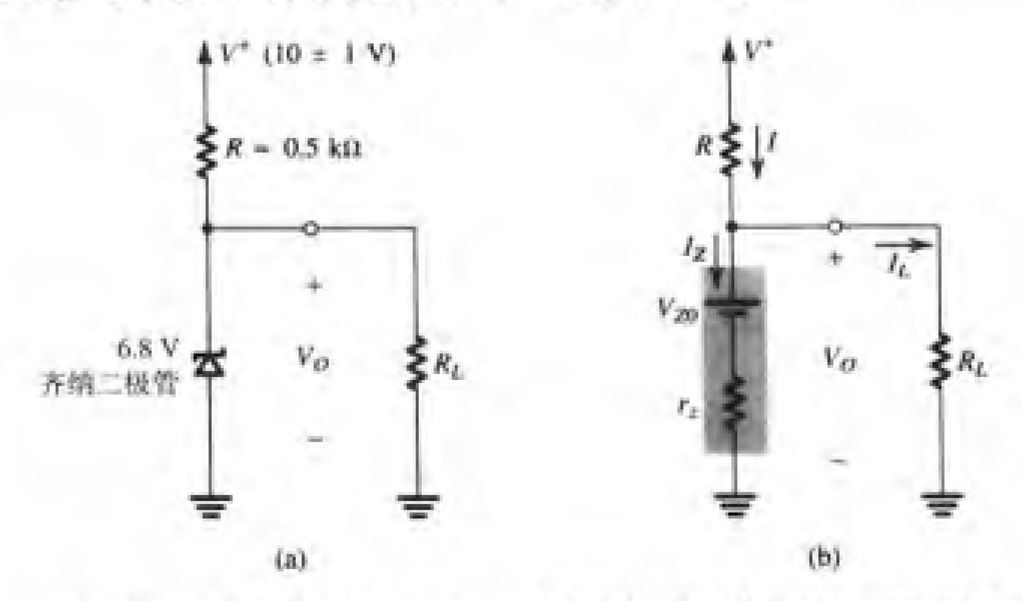


图 3.23 （a）例题 3.8 的电路；（b）用等效电路模型替代齐纳二极管后的电路

（a）求没有负载且V^+为额定值时的V_O。

（b）当V^+有±1 V 的变化时，求V_O的变化。注意，$(\Delta V_O / \Delta V^+)$，通常用 mV/V 表示，称为线性稳压性。

（c）接上负载电阻R_L，它获得的电流$I_L = 1$ mA，此时求V_O的变化，并求负载稳压性$(\Delta V_O / \Delta I_L)$，单位为 mV/mA。

（d）当$R_L = 2$ kΩ时，求V_O的变化。

（e）当$R_L = 0.5$ kΩ时，求V_O的值。

（f）求二极管仍能够工作在击穿区域的最小R_L值。

解： 首先必须确定齐纳二极管的模型参数V_{Z0}。将$V_Z = 6.8$ V，$r_z = 20\ \Omega$，$I_Z = 5$ mA 代入式（3.20）可以得到$V_{Z0} = 6.7$ V。图 3.23（b）显示的是用该模型替代齐纳二极管后的电路。

（a）没有负载连接，流过齐纳二极管的电流为

$$I_Z = I = \frac{V^+ - V_{Z0}}{R + r_z}$$
$$= \frac{10 - 6.7}{0.5 + 0.02} = 6.35 \text{ mA}$$

因此得到

$$V_O = V_{Z0} + I_Z r_z$$
$$= 6.7 + 6.35 \times 0.02 = 6.83 \text{ V}$$

（b）对于V^+有±1 V 的变化时，输出电压的变化为

$$\Delta V_O = \Delta V^+ \frac{r_z}{R+r_z}$$
$$= \pm 1 \times \frac{20}{500+20} = \pm 38.5\ \text{mV}$$

因此，

$$\text{线性稳压性} = 38.5\ \text{mV/V}$$

（c）当接上负载电阻 R_L 并获得 $I_L = 1$ mA 的负载电流时，流过齐纳二极管的电流将减少 1 mA 相应的输出电压的变化为

$$\Delta V_O = r_z \Delta I_Z$$
$$= 20 \times (-1) = -20\ \text{mV}$$

因此负载稳压性为

$$\text{负载稳压性} \equiv \frac{\Delta V_O}{\Delta I_L} = -20\ \text{mV/mA}$$

（d）当接上 2 kΩ的负载电阻时，负载电流约为 6.8 V/2 kΩ = 3.4 mA。因此齐纳电流的变化为 $\Delta I_Z = -3.4$ mA，相应的齐纳电压（输出电压）变为

$$\Delta V_O = r_z \Delta I_Z$$
$$= 20 \times (-3.4) = -68\ \text{mV}$$

这是一种近似计算，因为它忽略了电流 I 的变化。ΔV_O 的更精确估计可以通过分析图 3.23（b）所示的电路得到。据此分析的结果是 $\Delta V_O = -70$ mV。

（e）0.5 kΩ的 R_L 将获得 6.8/0.5 = 13.6 mA 的负载电流。这是不可能的，因为通过 R 提供的电流 I 只有 6.4 mA（当 $V^+ = 10$ V 时）。因此，该齐纳二极管一定截止。如果确实是这种情况，那么 V_O 由 R_L 和 R 组成的电压分压器确定［见图 3.23（a）］：

$$V_O = V^+ \frac{R_L}{R+R_L}$$
$$= 10 \frac{0.5}{0.5+0.5} = 5\ \text{V}$$

因为该电压低于齐纳二极管的击穿电压，因此该二极管确实不可能工作在击穿区域。

（f）对于工作在击穿区域边缘的齐纳二极管，$I_Z = I_{ZK} = 0.2$ mA，$V_Z \simeq V_{ZK} \simeq 6.7$ V。此时通过 R 提供的最低（最坏情况）电流为（9 − 6.7）/0.5 = 4.6 mA，因此负载电流为 4.6−0.2 = 4.4 mA，相应的 R_L 值为

$$R_L = \frac{6.7}{4.4} \simeq 1.5\ \text{k}\Omega$$ ■

3.4.3 温度效应

齐纳电压 V_Z 与温度的相关性由它的温度系数 TC 或通常所说的 temco 来指明，通常用 mV/°C 表示。TC 的值取决于齐纳电压，对于一个给定的二极管，TC 随工作电流变化。V_Z 低于 5 V 的齐纳二极管呈现负的温度系数。另一方面，具有更高电压的齐纳二极管呈现正的温度系数。所以在指定电流下，V_Z 约为 5 V 的齐纳二极管的温度系数可能为 0。另一种得到低温度系数参考电压的常用方法是将具有约 2 mV/°C 的正温度系数的齐纳二极管串接上一个正向导通的二极管。因为正向导通的二极管有大约 0.7 V 的电压降，而且导通电压的温度系数约为−2 mV/°C，因此该串联组合可以提供 $(V_Z + 0.7)$ 的电压，温度系数约为 0。

练习 3.17 一个齐纳二极管在 10 mA 时的额定电压为 10 V，它的增量电阻为 50 Ω。如果二极管的电流减半，那么电压为多少？如果其电流加倍，电压又为多少？齐纳二极管模型中的 V_{Z0} 值为多少？

答案：9.75 V；10.5 V；9.5 V

练习 D3.18 当电流大于拐点电流的 5 倍时，一个齐纳二极管具有 5.6 V 的固定电压。I_{ZK} 指定为 1 mA。该齐纳二极管在设计并联稳压器时被采用，稳压器由 15 V 电源供电。负载电流在 0 mA 到 15 mA 的范围内变化。求一个合适的电阻 R 的阻值。齐纳二极管的最大功耗是多少？

答案：470 Ω；112 mW

练习 3.19 一个并联稳压器使用的齐纳二极管在电流为 50 mA 时电压为 5.1 V，且增量电阻为 7 Ω。该二极管由标称电压为 15 V 的电源通过 200 Ω的电阻供电。在没有负载时的输出电压为多少？求线性稳压性和负载稳压性。

答案：5.1 V；33.8 mV/V；−7 mV/mA

3.4.4 最后的说明

尽管齐纳二极管简单实用，但近年来的普及性在下降。实际上在稳压器设计中，它们已经开始被专用集成电路所替代，这些集成电路可以比齐纳二极管更有效和更灵活地实现稳压的功能。

3.5 整流电路

二极管一个最重要的应用体现在整流电路的设计中。二极管整流器是电源电子设备中直流电源的一个重要构件。这种电源结构的框图如图 3.24 所示。从图中可以看出，一个 120 V（rms）的 60 Hz 的信号由交流线输入，经直流电源产生直流电压 V_O（通常在 5～20 V 的范围内）提供给由负载模块表示的电子电路。要求直流电压 V_O 尽可能保持不变（即使交流线电压发生了变化，或者负载上的电流发生了变化）。

直流电源中的第一个模块是电源变压器，它由两个独立的绕在铁心上的线圈组成，并且两个绕组之间具有电磁耦合。主绕组匝数为 N_1，它被连接到 120 V 的交流电源，次级绕组匝数为 N_2，它被连接到直流电源电路。因此，在次级绕组的两端之间输出一个 $120(N_2/N_1)$ V (rms)的交流电压 v_S。设计者通过选择合适的变压器匝数比（N_1/N_2）可以使线电压降到所要求的值，该值会产生特定的电源直流电压输出。例如，8 V rms 的次级电压适用于产生 5 V 的直流输出，这可以通过 15∶1 的匝数比实现。

除了为直流电源提供合适的正弦信号的幅度之外，电源变压器还为电子设备和电源线电路之间提供电隔离。它可以使设备使用者遭受电击的危险性达到最小。

二极管整流器将输入正弦波 v_S 转换成单极性输出，它具有图 3.24 所示的脉动波形。尽管该波形的均值不为 0 或者有一个直流分量，但是它的脉动本质使其不适合作为电子电路的直流源，因此需要一个滤波器。整流器输出的幅度变化可以通过图 3.24 中的滤波模块大大减小。在下面几节中，我们将介绍许多整流电路和一个输出滤波器的简单实现。

尽管整流滤波器的输出比没有滤波器时要稳定得多，但还是包含与时间相关的分量，该分量称为纹波。为了减少纹波以及稳定电源的直流输出电压的幅度，使它不因负载电流的变化而变化，可以采用一个稳压器。稳压器可以利用 3.4 节中介绍的齐纳并联稳压器来实现，但是现在更常用的是集成电路稳压器。

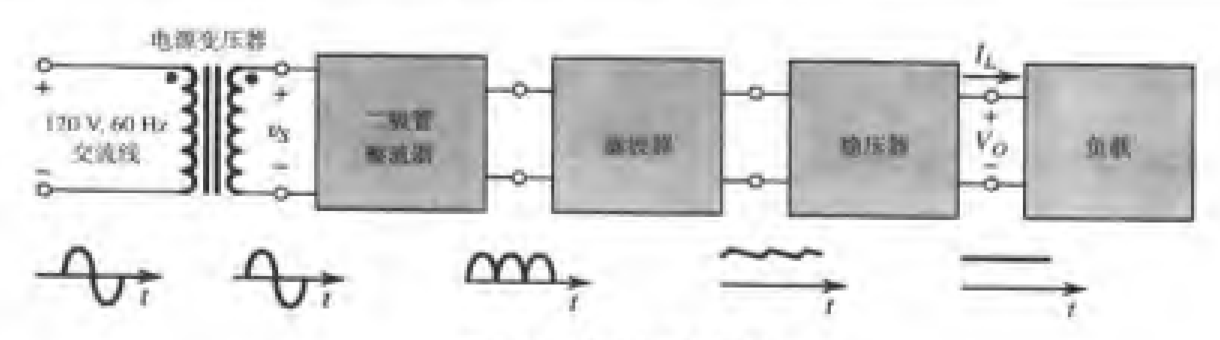


图 3.24 直流电源的框图

3.5.1 半波整流器

半波整流器工作在输入正弦波交替的半个周期内。图 3.25（a）所示为一个半波整流器电路，该电路在 3.1 节的（见图 3.3）分析中假定二极管是理想的。利用更实际的电池加电阻二极管模型，可以得到图 3.25（b）所示的等效电路，从图中可以得出

$$v_O = 0,\quad v_S < V_{D0} \tag{3.21a}$$

$$v_O = \frac{R}{R+r_D}v_S - V_{D0}\frac{R}{R+r_D},\quad v_S \geqslant V_{D0} \tag{3.21b}$$

由这些公式画出的传输特性曲线如图 3.25（c）所示。在许多应用中，有 $r_D \ll R$，因此第二个公式可以简化为

$$v_O = v_S - V_{D0} \tag{3.22}$$

其中，V_{D0} = 0.7 V 或 0.8 V。图 3.25（d）所示是输入 v_S 为正弦波时的输出电压波形。

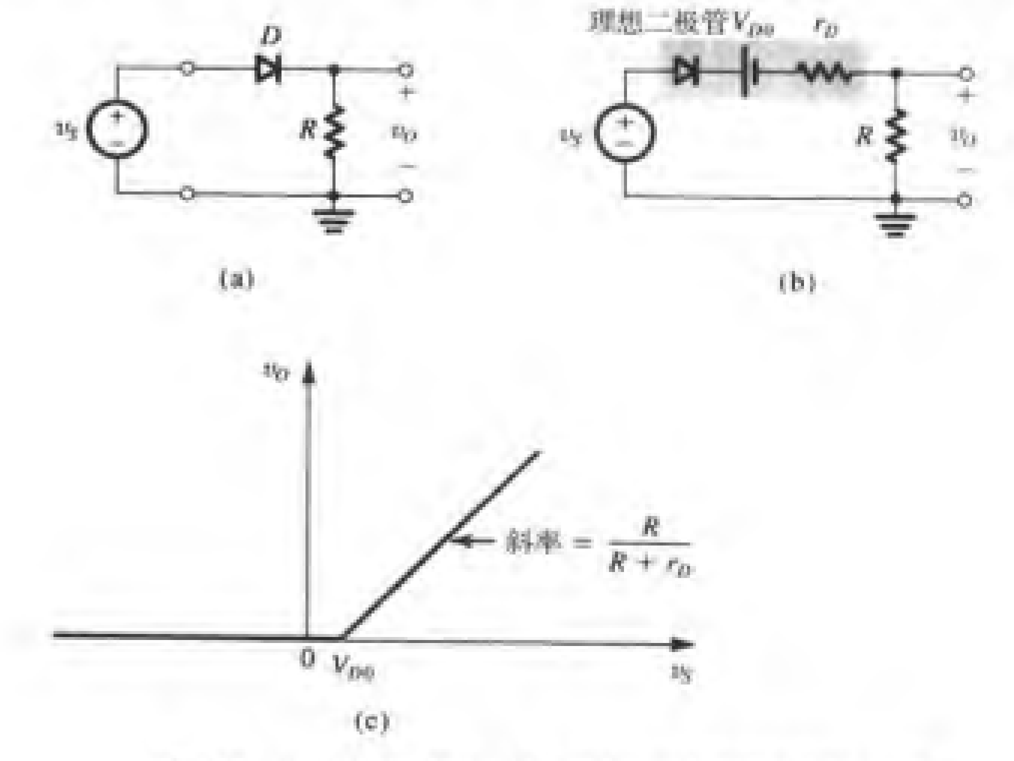
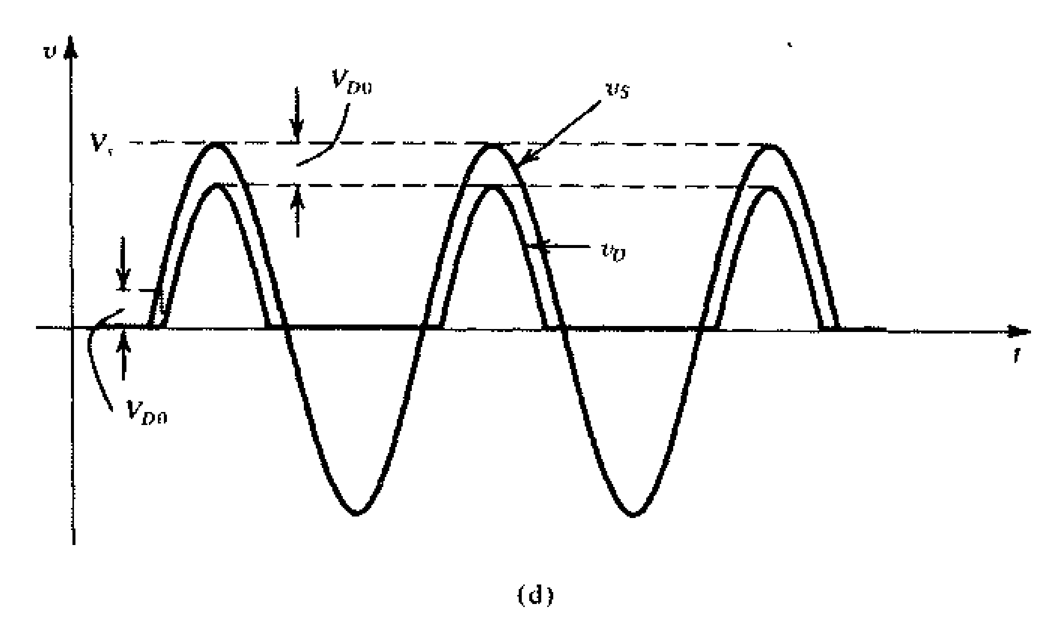


图 3.25 （a）半波整流器；（b）用电池加电阻模型替代二极管后的半波整流器的等效电路；（c）整流电路的传输特性



(d)

图 3.25（续） （d）输入和输出波形，假定 $r_D \ll R$

在选择二极管设计整流器时，必须指明两个重要的参数：二极管的电流处理能力（取决于二极管预计流过的最大电流）以及反向峰值电压（PIV），这是二极管必须能够承受的未被击穿的反向电压（取决于二极管两端预计施加的最大反向电压）。在图 3.25（a）所示的整流电路中可以看出，当 v_S 处于负半周时，二极管将截止，v_O 为 0。得出的 PIV 等于 v_S 的峰值，即

$$\mathrm{PIV} = V_s$$

然而在选择二极管的时候通常要更谨慎些，即选择二极管的反向击穿电压至少比所期望的 PIV 大 50%。

在结束对半波整流器的讨论时，读者应该注意到两点：第一，可以使用二极管的指数特性来确定整流器精确的传输特性（见练习 3.73）。但是，由于此举需要的工作量通常太大，因而在实际工作中并不实用。当然，这种分析方法利用计算机电路分析程序（如 SPICE）可以很容易实现（见 3.9 节）。

第二，不管是否对电路进行精确分析，必须明白当小信号输入时，该电路不能正确工作。例如，该电路不能够用来对一个幅度为 100 mV 的输入正弦波进行整流。如果需要，则应该使用精密整流器，该电路采用运算放大器与二极管相结合的电路结构，有关内容可参见 3.5.5 节。

练习 3.20 对于图 3.25（a）所示的半波整流电路，忽略 r_D 的影响，证明：（a）在二极管导通的半个周期，导通开始于 $\theta = \sin^{-1}(V_{D0}/V_s)$，结束于 $(\pi-\theta)$，整个导通角为 $(\pi-2\theta)$。（b）v_O 的平均值（直流分量）是 $V_O \simeq (1/\pi)V_s - V_{D0}/2$。（c）二极管峰值电流为 $(V_s - V_{D0})/R$。

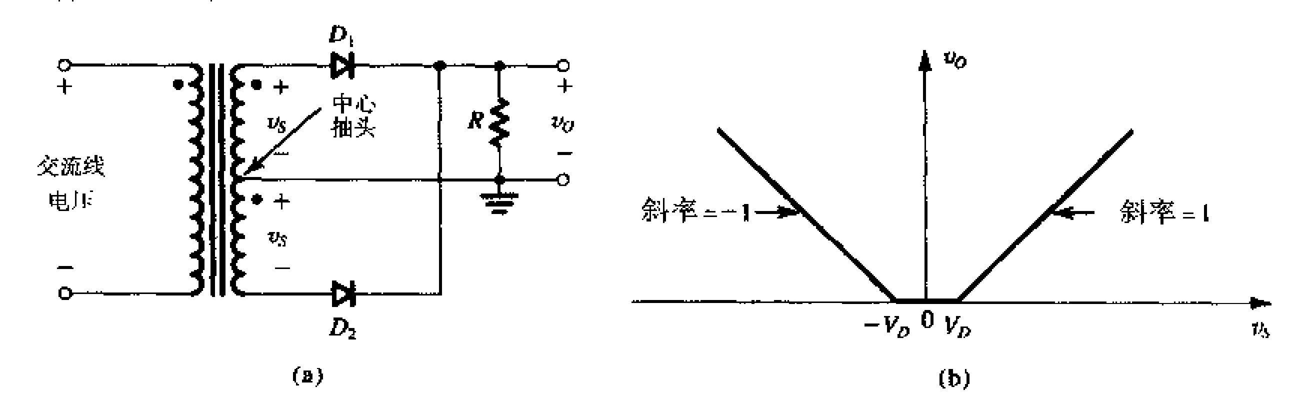
当输入是 12 V（rms）的正弦波，$V_{D0} \simeq 0.7$ V，$R = 100\ \Omega$ 时，求这些量的数值结果，并求 PIV 的值。

答案：（a）$\theta = 2.4°$，导通角 = 175°；（b）5.05 V；（c）163 mA；17 V

3.5.2 全波整流器

全波整流器工作在输入正弦波的两个半周期内。为了得到单极性的输出，它将正弦波的负半周反转。一种可能的实现方法如图 3.26（a）所示，其中，变压器次级绕组是中心抽头的，在次级绕组的每半个绕组两端以图示的极性提供两个相等的电压 v_S。注意，当输入线电压为正时（输入到主绕组），标有 v_S 的两个信号都为正。在这种情况下，D_1 导通，D_2 反向偏置。流过 D_1 的电流

将流过 R，并返回到次级绕组的中心抽头。然后该电路如半波整流器那样工作，在 D_1 导通的正半周期，输出将等于半波整流器产生的输出。



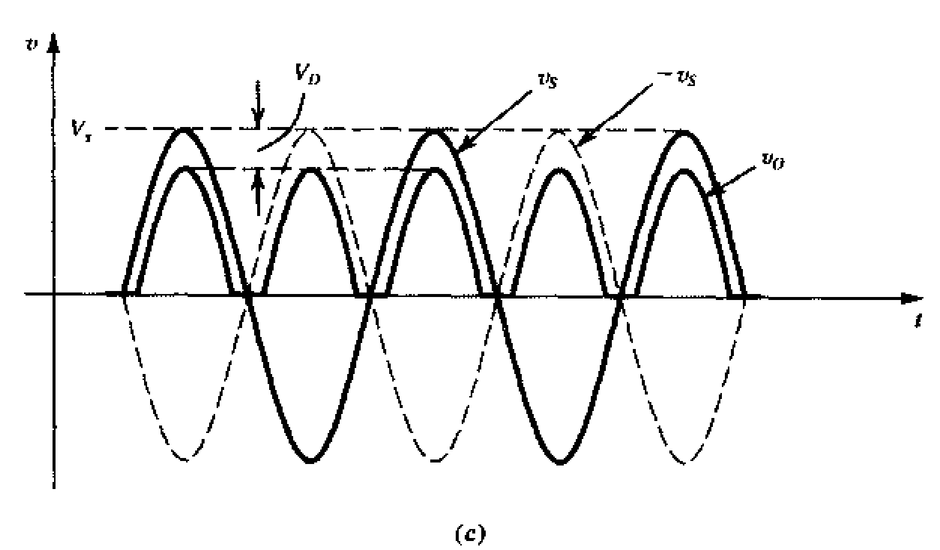


图 3.26 使用中心抽头的次级绕组变压器组成的全波整流器：（a）电路；（b）传输特性，假定二极管采用常数压降模型；（c）输入和输出波形

现在，在交流线电压的负半周，标有 v_S 的两个信号都为负。因此 D_1 截止，D_2 导通。流过 D_2 的电流将流过 R 并返回到中心抽头。由此可以得到以下结论：在 D_2 导通的负半周，该电路同样如半波整流器那样工作。然而重要的一点是：流经 R 的电流总是以相同的方向流过，因此 v_O 是单极性的，如图 3.26（c）所示。其输出波形是在假定导通二极管有固定电压降 V_D 的条件下得到的。因此，全波整流器的传输特性呈现如图 3.26（b）所示的结果。

显然，全波整流器可以产生比半波整流器具有更大能量的波形。在几乎所有的整流器应用中都会选择全波整流器类型。

为了求得全波整流电路中二极管的 PIV，考虑正半周的情况。二极管 D_1 导通，D_2 截止。D_2 的阴极电压为 v_O，阳极电压为 $-v_S$。因此，D_2 两端的反向电压为（v_O+v_S），当 v_O 达到它的峰值 (V_s-V_D) 时，反向电压达到最大值，同时 v_S 也达到峰值 V_s，因此，

$$\text{PIV} = 2V_s - V_D$$

此值近似为半波整流器的两倍。

练习 3.21 对于图 3.26（a）所示的全波整流电路，忽略 r_D 的影响，证明：（a）在正弦输入经过零点附近 $2\sin^{-1}(V_D/V_s)$ 的角度内输出为 0。（b）v_O 的平均值（直流分量）是 $V_O \simeq (2/\pi)V_s - V_D$。（c）流过每个二极管的峰值电流为 $(V_s-V_D)/R$。求每个周期 $v_O>0$ 所占的百分比、V_O 的值、二极

管峰值电流和 PIV 的值。已知 v_S 是 12 V（rms）的正弦波，$V_D \simeq 0.7$ V，$R=100\,\Omega$。

答案：97.4%；10.1 V；163 mA；33.2 V

3.5.3 桥式整流器

全波整流器的另一种实现方法如图 3.27（a）所示。该电路称为桥式整流器，因为它的结构与惠斯登电桥的结构相似。桥式整流器并不需要一个中心抽头的变压器，与图 3.26 所示的全波整流器相比，这是一个明显的优点。但是该桥式整流器需要 4 个二极管，而前面的电路只需要两个。然而这并不是缺点，因为二极管并不贵，并且可以买到封装在一起的二极管电桥。

桥式整流器电路的工作原理如下：在输入电压的正半周期，v_S 为正，因此电流流过二极管 D_1、电阻 R 和二极管 D_2。同时，二极管 D_3 和 D_4 反向偏置。可以看出在导通路径上有两个二极管串联，因此 v_O 将比 v_S 低两个二极管的压降（前面讨论的电路中只有一个压降）。这是桥式整流器的一个缺点。

接下来考虑输入电压的负半周期。次级电压 v_S 为负，因此 $-v_S$ 为正，强制电流流过 D_3，R 和 D_4。同时，二极管 D_1 和 D_2 反向偏置。但是仍需注意的重要一点是在两个半周期，流过 R 的电流方向相同（从右到左），因此 v_O 总是为正，如图 3.27（b）所示。

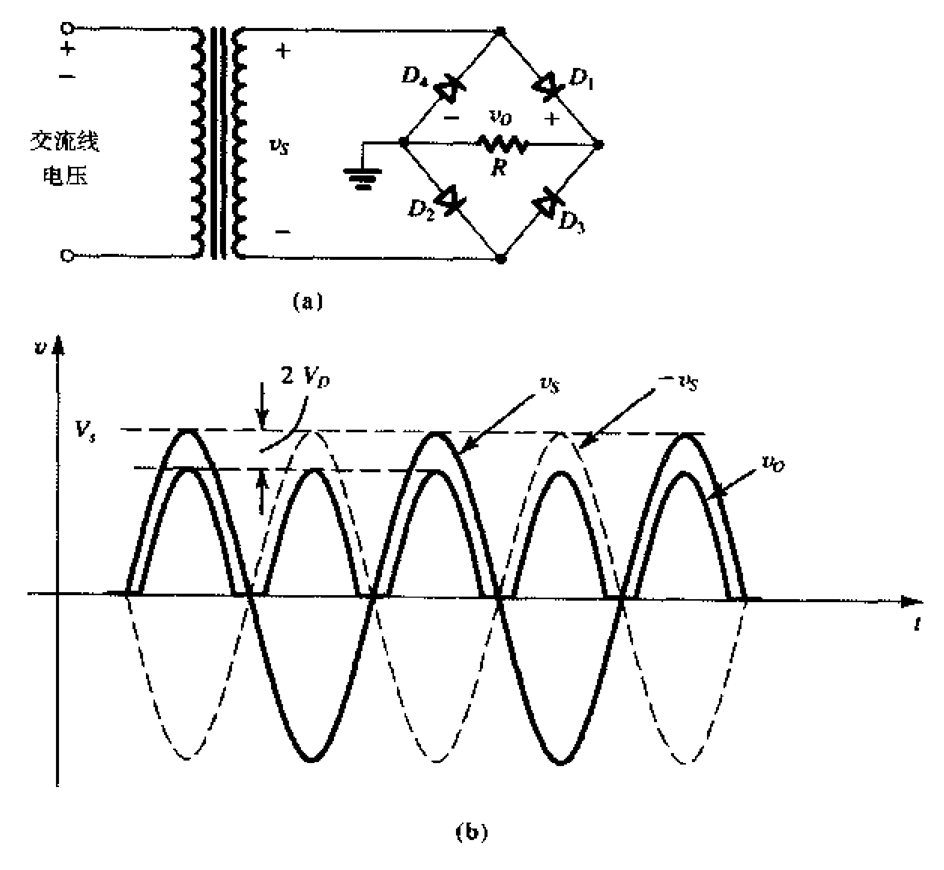


图 3.27 桥式整流器：（a）电路；（b）输入和输出波形

为了确定每个二极管的反向峰值电压（PIV），考虑正半周期的电路。D_3 两端的反向电压可以通过 D_3，R 和 D_2 组成的回路得到：

$$v_{D3}\text{（反向）}=v_O+v_{D2}\text{（正向）}$$

因此，v_{D3} 的最大值出现在 v_O 的峰值，即

$$\text{PIV}=V_s-2V_D+V_D=V_s-V_D$$

可以看出，PIV 是采用中心抽头变压器的全波整流器的一半，这是桥式整流器的另一个优点。

桥式整流器与使用中心抽头变压器的全波整流器相比还有一个优点，即变压器的次级绕组的匝数只有一半。这一点通过观察中心抽头的变压器的次级绕组的使用就可以看出，因为每半个次级绕组都只在一半的时间内使用。这些优点使得桥式整流器成为最普及的整流电路结构。

练习 3.22　对于图 3.27（a）所示的桥式整流器电路，使用常数压降二极管模型证明：（a）输出电压的平均值（直流分量）是 $V_O \simeq (2/\pi)V_s - 2V_D$。（b）二极管的峰值电流为 $(V_s - 2V_D)/R$。当 v_S 是 12 V (rms)的正弦波，$V_D = 0.7$ V，$R = 100\,\Omega$ 时，求（a）和（b）中相应量的值，以及 PIV 值。

答案：9.4 V；156 mA；16.3 V

3.5.4　带滤波电容的整流器——峰值整流器

上面讨论的整流电路产生的输出电压的脉动特性使得它不适合作为电子电路的直流电源。减小输出电压变化的一个简单方法是在负载电阻两端加一个电容。可以看出该滤波电容可以实实在在地减小整流器输出电压的变化。

为了了解具有滤波电容的整流电流如何工作，首先考虑图 3.28 所示的简单电路。假设输出 v_I 是峰值为 V_p 的正弦波，并假定二极管是理想的。当 v_I 为正时，二极管导通，电容充电使得 $v_O = v_I$。这种情况一直持续到 v_I 达到它的峰值 V_p。达到峰值后，v_I 开始减小，二极管变为反向偏置，输出电压保持 V_p 不变。实际上，从理论上讲，电容将保持它的电荷，从而可以无限制地保持它的电压，因为电容没有放电回路。因此电路提供了等于输入正弦波峰值的直流输出电压。从我们希望产生直流输出的观点来看，这是非常好的结果。

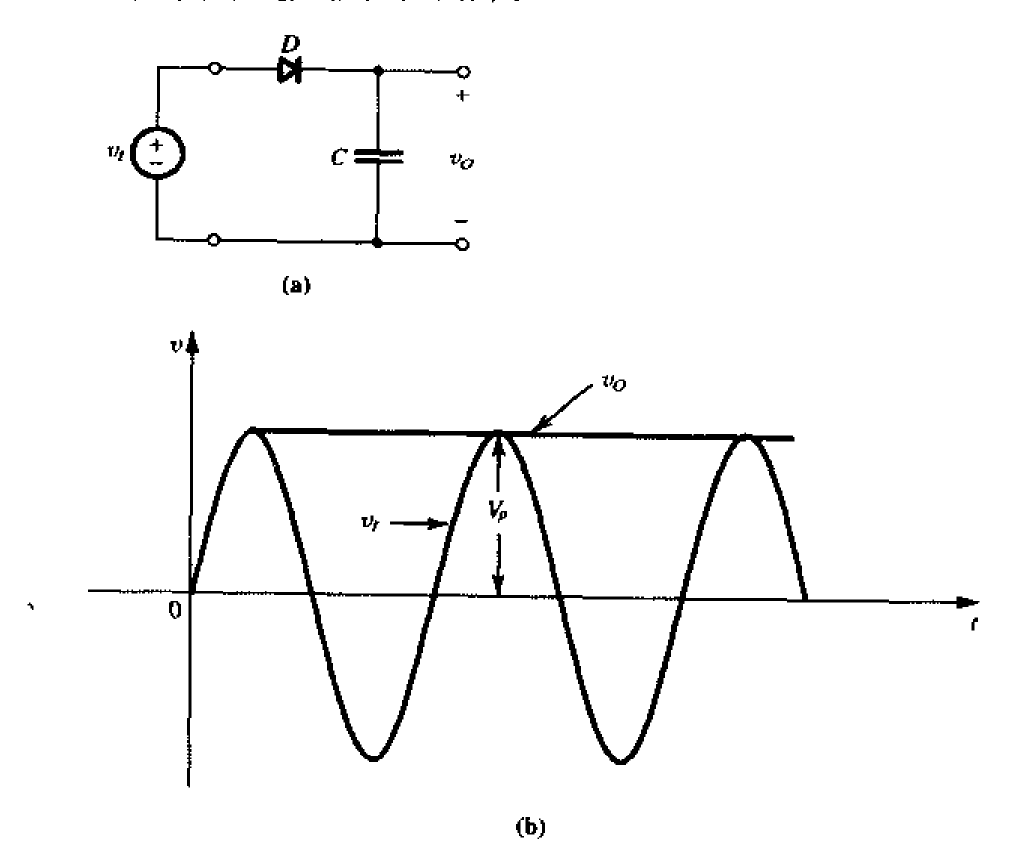


图 3.28　（a）用来解释滤波电容影响的简单电路；（b）输入和输出波形，假定是理想二极管。注意，电路提供等于输入正弦波峰值的直流电压，该电路因此被称为峰值整流器或峰值检波器

接下来我们考虑更实际的情况，这里，在电容 C 两端接上负载电阻 R，如图 3.29（a）所示。我们仍然假定二极管是理想的。同前面一样，对于正弦输入，电容充电到输入的峰值 V_p。然后二极管截止，电容通过负载电阻 R 放电。电容放电将几乎持续整个周期，直到 v_I 值超过电容电压、然后二极管再一次导通，电容重新充电到 v_I 的峰值，这个过程不断重复进行。可以看出为了保证输出电压在电容放电过程中不至于减少得太多，可以选择 C 的值，使得时间常数 CR 远大于放电时间。

现在来详细分析该电路。图 3.29（b）所示是稳态输入和输出电压波形，假设 $CR \gg T$，其中 T 是输入正弦波的周期。负载电流为

$$i_L = v_O / R \tag{3.23}$$

二极管电流为（当导通时）

$$i_D = i_C + i_L \tag{3.24}$$

$$= C\frac{dv_I}{dt} + i_L \tag{3.25}$$

其波形如图 3.29（c）所示。可以看出：

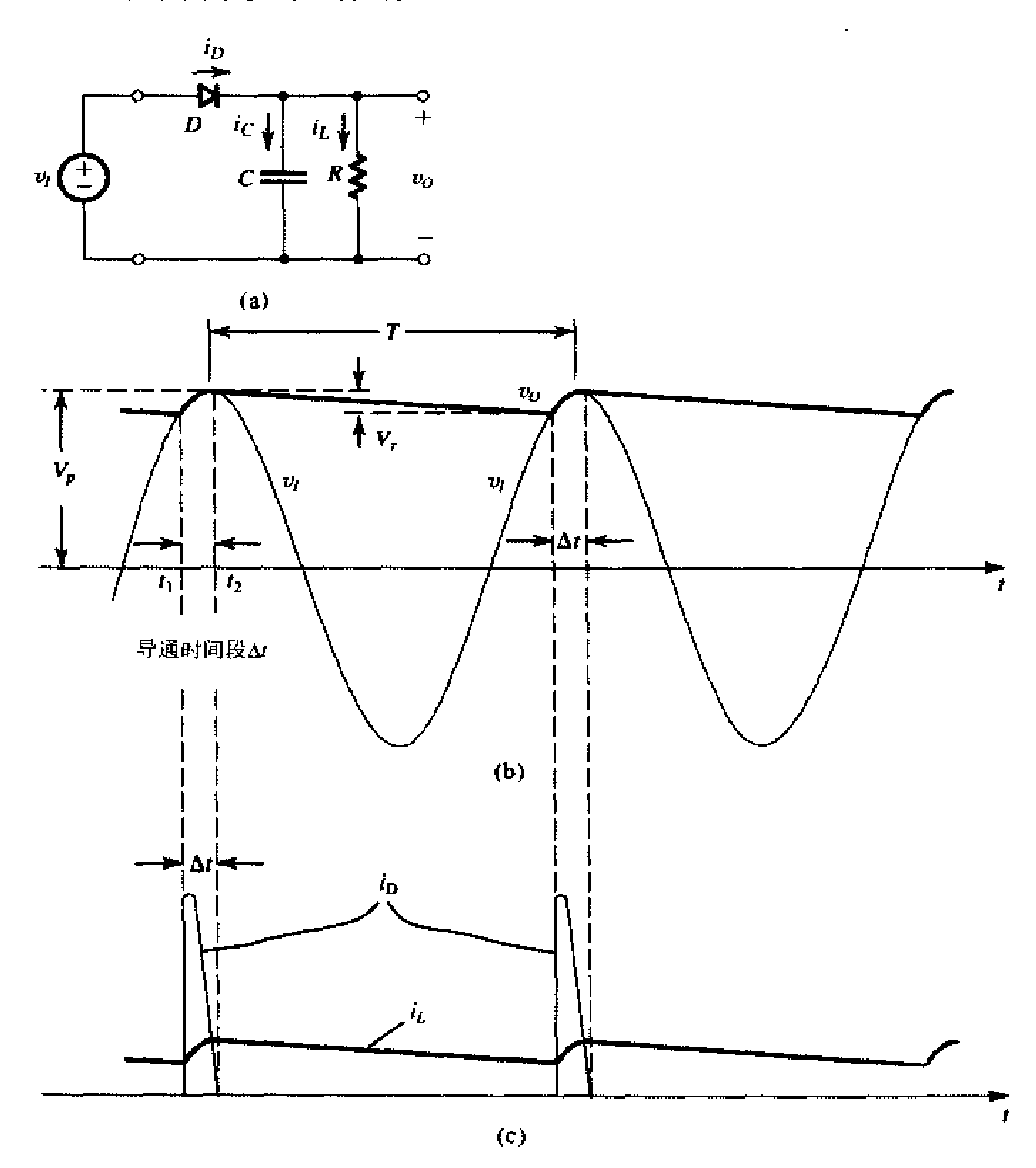


图 3.29 峰值整流器电路中，当 $CR \gg T$ 时，其电压和电流的波形。假定二极管是理想的

1. 在输入正弦波峰值附近的一个短时间间隔 Δt 内二极管导通，并为电容补充电荷，其数量等于在很长的放电时间间隔内丢失的电荷。放电时间约等于周期 T。
2. 假定是理想二极管，二极管从 t_1 时刻开始导通，此时输入 v_I 等于指数衰减的输出 v_O。在达到 v_I 的峰值不久，在 t_2 时刻二极管截止，t_2 的精确值可以通过设置式（3.25）中的 $i_D=0$ 得到。
3. 在二极管截止期间，电容 C 通过 R 放电，因此 v_O 以时间常数 CR 呈指数衰减。放电时间从刚刚过 v_I 的峰值开始。在几乎持续整个周期 T 的放电时间结束时，$v_O=V_p-V_r$，其中，V_r 是纹波电压的峰峰值。当 $CR \gg T$ 时，V_r 的值非常小。
4. 当 V_r 很小时，v_O 几乎恒定并等于 v_I 的峰值。因此，直流输出电压约等于 V_p。同样，电流 i_L 也几乎恒定，它的直流分量 I_L 为

$$I_L=\frac{V_P}{R} \tag{3.26}$$

如果需要，直流输出电压的更精确的表达式可以通过 v_O 极值的平均值得到：

$$V_O=V_P-\frac{1}{2}V_r \tag{3.27}$$

有了这些结论，就可以推导出 V_r 的表达式以及二极管电流的平均值和峰值。在二极管截止期间，v_O 可以表示成

$$v_O=V_P e^{-t/CR}$$

在放电时间结束时，则有

$$V_P-V_r \simeq V_P e^{-T/CR}$$

因为 $CR \gg T$，所以利用近似 $e^{-T/CR} \simeq 1-T/CR$ 可以得到

$$V_r \simeq V_P\frac{T}{CR} \tag{3.28}$$

可以看出，为了保证 V_r 较小，必须选择电容 C 使得 $CR \gg T$。式（3.28）中的纹波电压可以用频率 $f=1/T$ 表示成

$$V_r=\frac{V_P}{fCR} \tag{3.29a}$$

利用式（3.26），将 V_r 表示成

$$V_r=\frac{I_L}{fC} \tag{3.29b}$$

注意，上面使用的近似的另一种解释是电容以恒定电流 $I_L=V_p/R$ 放电。只要满足 $V_r \ll V_p$，该近似就有效。

利用图 3.29（b），并假设二极管几乎是在 v_I 的峰值处停止导通，我们可以确定导通时间间隔 Δt 为

$$V_P\cos(\omega\Delta t)=V_P-V_r$$

其中，$\omega=2\pi f=2\pi/T$ 是 v_I 的角频率，因此 $(\omega\Delta t)$ 是一个较小的角，因此可以利用近似式 $\cos(\omega\Delta t)\simeq 1-\frac{1}{2}(\omega\Delta t)^2$ 得到

$$\omega\Delta t \simeq \sqrt{2V_r / V_P} \tag{3.30}$$

我们注意到当$V_r \ll V_p$时，导通角$\omega\Delta t$正如假设的那样是一个很小的角度。

为了确定在导通时二极管的平均电流i_{Dav}，这里列出二极管补充给电容的电荷方程如下：

$$Q_{supplied} = i_{Cav}\Delta t$$

其中，由式（3.24）可得

$$i_{Cav} = i_{Dav} - I_L$$

在放电期间，电容丢失的电荷为

$$Q_{lost} = CV_r$$

利用式（3.30）和式（3.29a），得到

$$i_{Dav} = I_L(1+\pi\sqrt{2V_P / V_r}) \tag{3.31}$$

可以看出当$V_r \ll V_p$时，二极管在导通时的平均电流远大于直流负载电流。这并不奇怪，因为二极管在非常短的时间内导通的电荷必须补充在长时间放电过程中电容丢失的电荷。在放电过程中，放电电流为I_L。

二极管峰值电流$i_{D\max}$可以通过计算式（3.25）在二极管导通开始时的值来确定，也就是说，在$t = t_1 = -\Delta t$时（其中，$t = 0$是在峰值处）。假定i_L恒等于式（3.26）给出的值，则可以得到

$$i_{D\max} = I_L(1+2\pi\sqrt{2V_P / V_r}) \tag{3.32}$$

从式（3.31）到式（3.32）可以看出，当$V_r \ll V_p$时，$i_{D\max} \simeq 2i_{Dav}$，这与$i_D$的波形几乎是一个直角［见图3.29（c）］有很大的关系。

例题 3.9 考虑一个峰值整流器，它输入峰值为$V_p = 100$ V 的 60 Hz 正弦波。假设负载电阻$R = 10\ \text{k}\Omega$。求产生纹波电压峰峰值为 2 V 的电容C的值，并计算二极管导通的周期部分，以及二极管电流的平均值和峰值。

解： 由式（3.29a）可以得到C的值为

$$C = \frac{V_P}{V_r fR} = \frac{100}{2\times60\times10\times10^3} = 83.3\ \mu\text{F}$$

由式（3.30）得到导通角$\omega\Delta t$为

$$\omega\Delta t = \sqrt{2\times2/100} = 0.2\ \text{rad}$$

因此，二极管在$(0.2/2\pi)\times100 = 3.18\%$的周期内导通，二极管平均电流可以由式（3.31）得到，其中$I_L = 100/10 = 10$ mA：

$$i_{Dav} = 10(1+\pi\sqrt{2\times100/2}) = 324\ \text{mA}$$

利用式（3.32）求得二极管峰值电流为

$$i_{D\max} = 10(1+2\pi\sqrt{2\times100/2}) = 638\ \text{mA}$$

■

图 3.29（a）的电路称为半波峰值整流器。通过在负载电阻两端加上一个电容可以将图 3.26（a）和图 3.27（a）所示的全波整流电路转换成峰值整流器。如在半波整流情况下，直流输出电压几乎等于输入正弦波的峰值（见图 3.30），但是纹波频率将是输入频率的两倍。在这种情况下，纹波峰峰值电压可以利用与上面相同的过程推导出来，但是放电周期T要用$T/2$代替，可以得到

$$V_r = \frac{V_P}{2fCR} \tag{3.33}$$

二极管导通时间 Δt 仍由式（3.30）给出，每个二极管的平均电流和峰值电流为

$$i_{Dav} = I_L(1+\pi\sqrt{V_P/2V_r}) \tag{3.34}$$

$$i_{D\max} = I_L(1+2\pi\sqrt{V_P/2V_r}) \tag{3.35}$$

与半波情况下相应的公式相比，可以看出对于相同的 V_p，f，R 和 V_r（相同的 I_L），所需要的电容是半波整流器电容的一半。全波整流器中每个二极管的电流也近似为半波电路的二极管电流的一半。

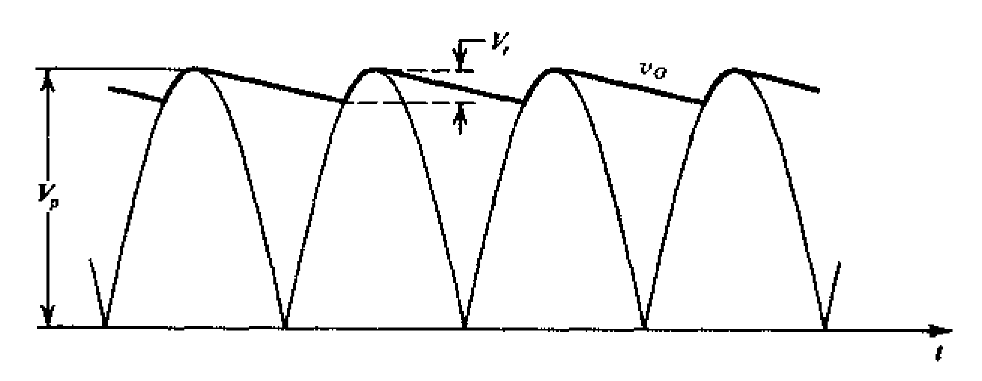


图 3.30 全波峰值整流器中的波形

上面的分析假定二极管是理想的。得到的结果的精度可以通过二极管压降来得到改善。这很容易做到，只要将半波整流器和使用中心抽头变压器的全波整流电路的电容充电的峰值电压 V_p 用 $(V_p - V_D)$ 代替，对于桥式整流电路用 $(V_p - 2V_D)$ 代替电容充电的峰值电压 V_p 即可。

通过本节的讨论，我们发现峰值整流器电路可以应用在需要检测输入信号峰值的信号处理系统中。在这种情况下，电路称为峰值检波器。峰值检波器的一个很普及的应用是调幅信号的解调器设计。在这里我们不做进一步讨论。

练习 3.23 推导式（3.33）、式（3.34）和式（3.35）

练习 D3.24 考虑一个桥式整流电路，在负载电阻两端接一个滤波电容。变压器次级输出一个 12 V(rms) 的 60 Hz 频率的正弦波，假定 $V_D = 0.8$ V，负载电阻 $R = 100\ \Omega$。在这种情况下，要求产生峰峰值不大于 1 V 的纹波电压，求电容 C 的值。在输出端直流电压为多少？求负载电流。求二极管的导通角、二极管平均电流为多少？每个二极管两端的反向峰值电压为多少？根据它的峰值电流和 PIV 值确定二极管类型。

答案： 1281 μF；15.4 V 或 14.9 V（更好的估计）；0.15 A；0.36 rad（20.7°）；1.45 A；2.74 A；16.2 V。选择峰值电流为 3.5 A 到 4 A 以及 PIV 为 20 V 的二极管。

3.5.5 精密半波整流器——超二极管[1]

到目前为止所介绍的整流电路在信号通路上都会遭受一个或两个二极管压降的损失，因此这些电路只有当所需整流的信号远大于导通二极管的电压降（大约 0.7 V）时才能很有效地工作。在这样的情况下，二极管正向特性的细节或二极管电压的精确值在确定电路性能时不起主要作用。整流器在电源设计中的应用确实是这种情况。但是在其他的一些应用中，所要整流的信号非

1. 这一节需要用到运算放大器的知识

常小（例如，大约为100 mV左右的数量级），从而不足以使二极管导通。此外，在仪表应用中也需要具有精密和可预计的传输特性的整流电路。在这些应用中，人们开发了一类使用运算放大器（见第2章）和二极管一起来提供精密整流的电路。在下面的讨论中，我们将介绍一个这样的电路，而把运算放大器的更详细的内容放在第13章。

图3.31（a）是一个精密半波整流电路，它由一个放在运算放大器负反馈通路上的二极管和作为整流器负载电阻的电阻R组成。该运算放大器当然需要电源供电，但是为了简化起见在电路图中没有画出。该电路的工作情况如下：如果v_I为正，运算放大器的输出电压v_A也为正，二极管将导通，因此在运算放大器的输出端和负输入端之间建立了一条闭环反馈通路。该负反馈通路迫使两个输入端之间虚短路。因此在负输入端的电压（也是输出电压v_O）等于（几个毫伏）正输入端的电压（就是输入电压v_I）：

$$v_O = v_I \quad v_I \geq 0$$

注意，在图3.25所示的简单半波整流电路中，失调电压（约0.6 V）不再存在。要使运算放大器电路开始工作，v_I只要超过一个可忽略不计的小电压即可，该电压等于二极管压降除以运算放大器的开环增益。换句话说，直线传输特性v_O-v_I几乎通过原点。这使得该电路适合处理非常小的信号。

现在考虑v_I为负的情况。运算放大器的输出电压v_A将跟随v_I变为负，从而导致二极管反向偏置，因此没有电流流过电阻R，这样v_O保持为0 V。因此，对于$v_I<0$，$v_O=0$。因为在这种情况下二极管截止，运算放大器以开环形式工作，它的输出为负的饱和电平。

该电路的传输特性如图3.31（b）所示，它几乎与半波整流器的理想特性相同。二极管的非理想特性几乎完全被放在运算放大器负反馈通路上的二极管屏蔽掉了。这是负反馈的另一个重要的应用，我们将在第8章中进一步介绍。二极管和运算放大器的结合［如图3.31（a）中的虚线框所示］被称为"超二极管"。

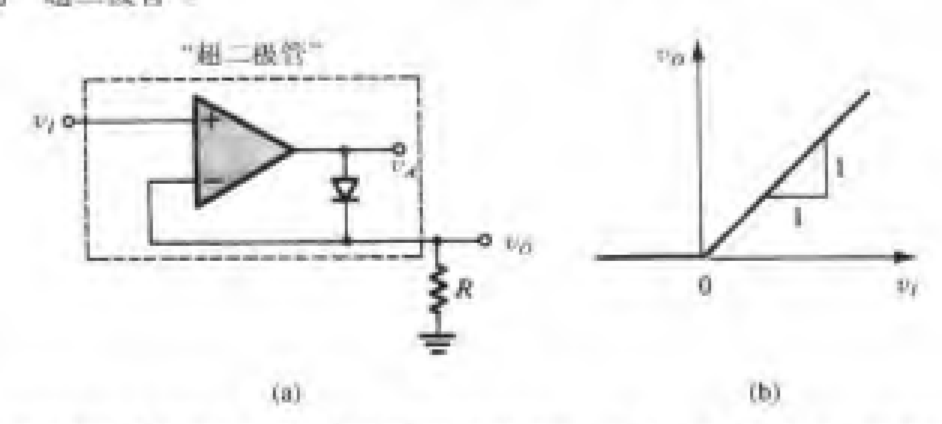


图3.31 超二极管精密半波整流器及其近乎理想的传输特性。注意，当$v_I>0$且二极管导通时，运算放大器提供负载电流，信号源被缓冲，这是一个额外的好处。运算放大器的电源没有在图中画出

练习 3.25 考虑一个运算整流器或图3.31（a）所示的超二极管电路，其中$R=1\text{ k}\Omega$。对于$v_I=$ 10 mV，1 V和−1 V时，在运算放大器的输出端和整流器的输出端产生的电压是多少？假定运算放大器是理想的，在±12 V时输出饱和。二极管在1 mA时有0.7 V的压降，并且电流每变化10倍有0.1 V的电压变化。

答案：10 mV，0.51 V；1 V，1.7 V；0 V，−12 V

练习 3.26 如果图3.31（a）中的二极管反接，求v_O-v_I的传输特性。

答案：当$v_I \geq 0$时，$v_O=0$；当$v_I \leq 0$时，$v_O=v_I$。

3.6 限幅电路与钳位电路

本节将介绍一些二极管的非线性电路的应用。

3.6.1 限幅电路

图 3.32 给出了限幅电路的基本传输特性。如图所示，对于一定范围内的输入，$L_-/K \leqslant v_I \leqslant L_+/K$，限幅器如线性电路一样工作，提供与输入成比例的输出，即 $v_O = Kv_I$。尽管 K 通常大于 1，但是在本节中讨论的电路有 $K \leqslant 1$，因此称为无源限幅器（有源限幅器的例子在第 13 章中给出）。如果 v_I 超过上门限（L_+/K），输出电压被限制或钳位在上限电平 L_+ 处。相反，如果 v_I 低于下门限（L_-/K），输出电压 v_O 被限制在下限电平 L_- 处。

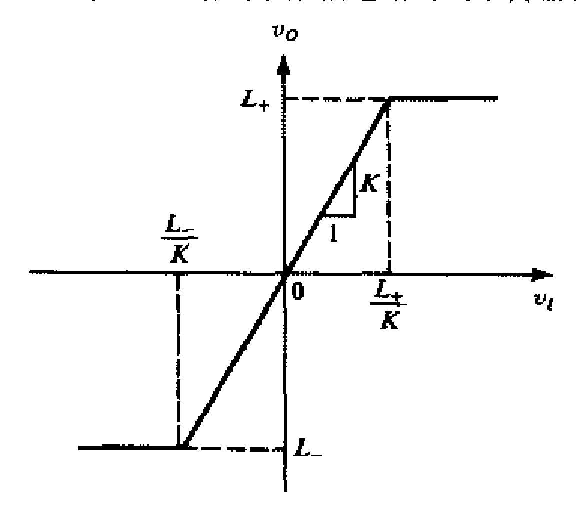


图 3.32 限幅电路的基本传输特性

图 3.32 所示的基本传输特性描述了一个双向限幅器，即在输入波形的正负峰值都有作用的限幅器。当然也存在单向限幅器。最后，我们注意到如果将如图 3.33 所示的输入波形加入到一个双向限幅器，它两边的峰值都将被钳位。因此限幅器有时也称为钳位器。

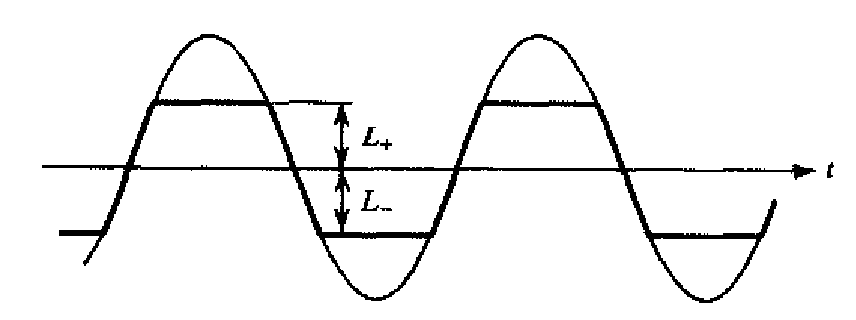


图 3.33 将一个正弦波加入限幅器可以产生两边峰值被钳位的波形

特性如图 3.32 描述的限幅器被称为硬限幅器。软限幅器在线性区域和饱和区域之间有更平滑的过渡，并且在饱和区域斜率大于 0，如图 3.34 所示。根据应用的需要可以选择硬限幅器或软限幅器。

限幅器在许多信号处理系统中都有应用。一个最简单的应用就是将运算放大器两个输入端之间的电压限制为小于组成运算放大器电路输入级的晶体管的击穿电压。在本书的后面我们会进一步说明这一点以及其他的限幅器的应用。

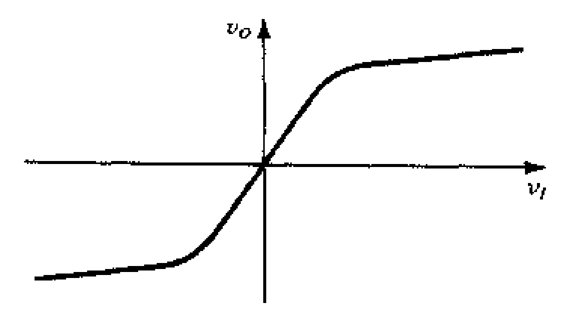


图 3.34 软限幅

二极管与电阻相结合可以简单地实现限幅器的功能。图 3.35 中描述了许多这类应用的例子，并对每个例子都给出了电路及其传输特性。利用恒压降二极管模型可以得到传输特性（$V_D = 0.7$ V），但是我们假设在传输特性的线性区域和饱和区域之间具有平滑的过渡。传输特性的更好的近似可以通过使用分段线性模型来得到。如果这样做的话，那么传输特性在饱和区域有一个微小的斜率（由于 r_D 的影响）。

图 3.35（a）所示的电路是一个半波整流器电路，但是其中的输出是从二极管上得到的。当 $v_I < 0.5$ V 时，二极管截止，没有电流流过，电阻 R 两端的电压降为 0，因此 $v_O = v_I$。当 v_I 超过 0.5 V 时，二极管导通，最后将 v_O 限制在一个二极管压降（0.7 V）上。图 3.35（b）所示的电路除了二极管反接之外与图 3.35（a）所示的电路类似。

实现双向限幅功能可以通过并联两个极性相反的二极管来完成，如图 3.35（c）所示。其中，传输特性的线性区域为 $-0.5\text{ V} \leqslant v_I \leqslant 0.5\text{ V}$。在 v_I 的这个范围内，两个二极管都截止，$v_O = v_I$。当 v_I 超过 0.5 V 时，D_1 导通，最后将 v_O 限制在+0.7 V。同样，当 v_I 低于−0.5 V 时，D_2 导通，最后将 v_O 限制在−0.7 V。

二极管限幅器的门限与饱和电平可以通过使用二极管串或将二极管和直流电压串联来设置。图 3.35（d）所示是后面一种思想的具体实现。最后，也可以不使用二极管串，而是使用如图 3.35（e）所示的两个串联的齐纳二极管。在该电路中，正向限幅发生在 $V_{Z2}+0.7$ 的电压处，其中，0.7 V 表示齐纳二极管 Z_1 在正向导通时的电压降。对于负的输入，Z_1 作为齐纳二极管，而 Z_2 正向导通。应该注意，可以买到实现该应用的串联连接的齐纳二极管对，它叫做双阳极二极管。

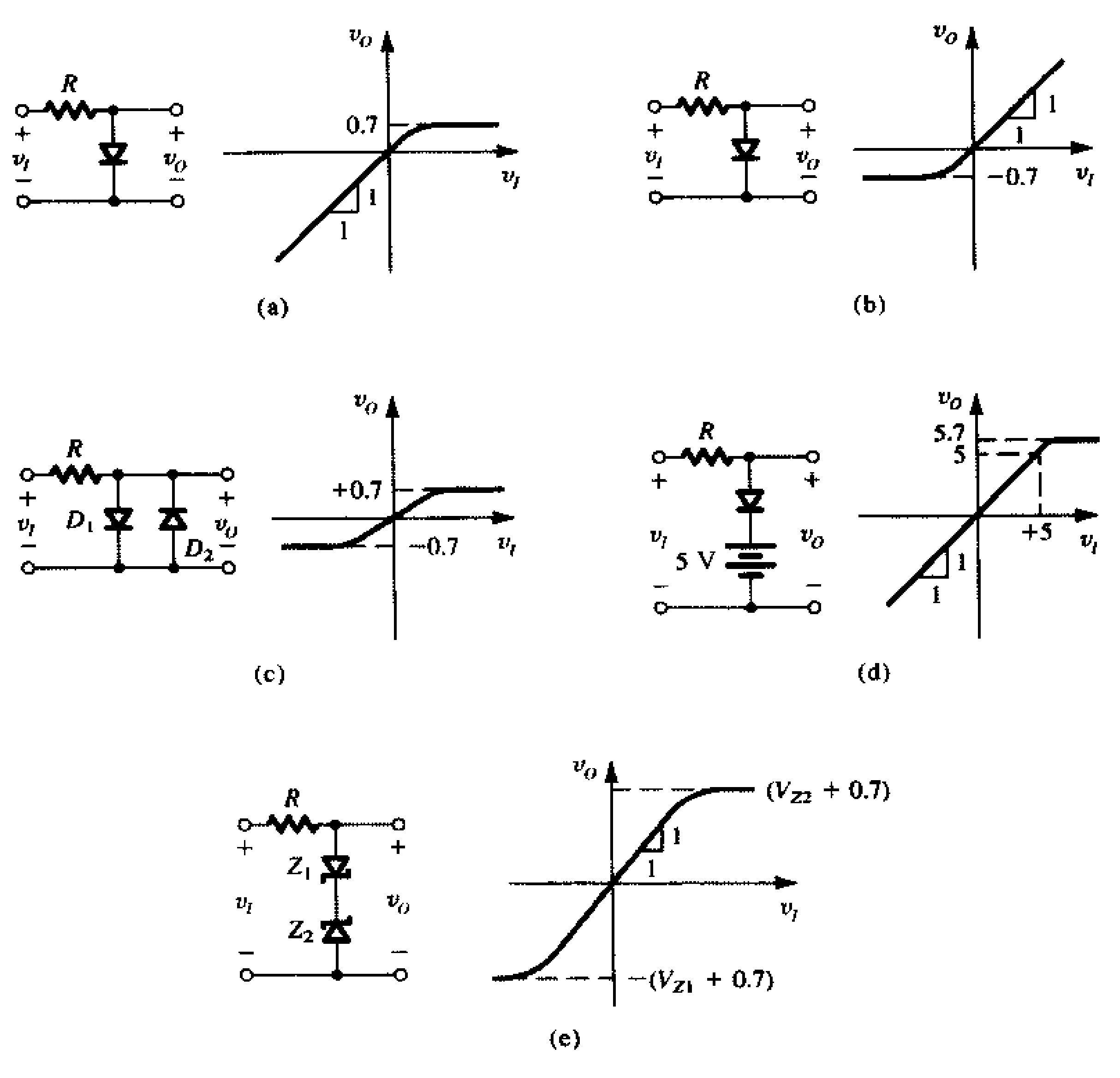


图 3.35　各种不同的基本限幅电路

如果运算放大器与二极管和电阻相结合，则可以得到更灵活的限幅电路。这种电路的例子在第 13 章中讨论。

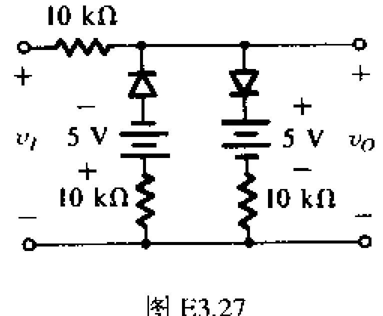


图 E3.27

练习 3.27 假定二极管是理想的，给出图 E3.27 所示电路的传输特性。

答案： 当 $-5 \leqslant v_I \leqslant +5$ 时，$v_O = v_I$

当 $v_I \leqslant -5$ 时，$v_O = \frac{1}{2}v_I - 2.5$

当 $v_I \geqslant +5$ 时，$v_O = \frac{1}{2}v_I + 2.5$

3.6.2 钳位电容或直流恢复器

如果基本的峰值整流电路的输出是取自二极管两端，而不是电容两端，那么就可以得到一个很有意思的重要电路，该电路叫做直流恢复器，如图 3.36 所示，它输入一个方波。因为二极管连接的极性，电容将被充电至电压 v_C，它的极性如图 3.36 所示，幅度等于输入信号的负峰值。随后，二极管截止，电容不确定地保持它的电压。如果输入方波有−6 V 和+4 V 的任意值，那么 v_C 等于 6 V。因为输出电压 v_O 为

$$v_O = v_I + v_C$$

所以输出波形等于输入波形，但是它向上偏移了 v_C。在本例中，输出是电平为 0 V 和+10 V 的方波。

使图 3.36 所示电路的工作形象化的另一种方法是：因为二极管按图示极性连接在输出端，因此它阻碍输出电压达到小于 0 V 的数值（通过导通和对电容进行充电，才能使输出大于 0 V），但是这个连接不能限制 v_O 的正偏移，因此输出波形被钳位到 0 V 的最低值，这就是为什么该电路叫做钳位电容的原因。显然，将二极管反接可提供最高值钳位于 0 V 的输出波形。在这两种情况下，输出波形都具有有限的平均值或直流分量，该直流分量完全与输入波形的平均值无关。作为一个应用，考虑一个脉冲信号，它通过电容耦合或交流耦合系统传送。脉冲串通过电容耦合电路，输出会丢失最初的输入所含有的直流分量。将刚才得到的输出脉冲作为输入提供给一个钳位电路，从钳位电路的输出端得到的信号将含有一个确定的直流分量，这个过程称为直流恢复。这就是为什么该电路也被称为直流恢复器的原因。

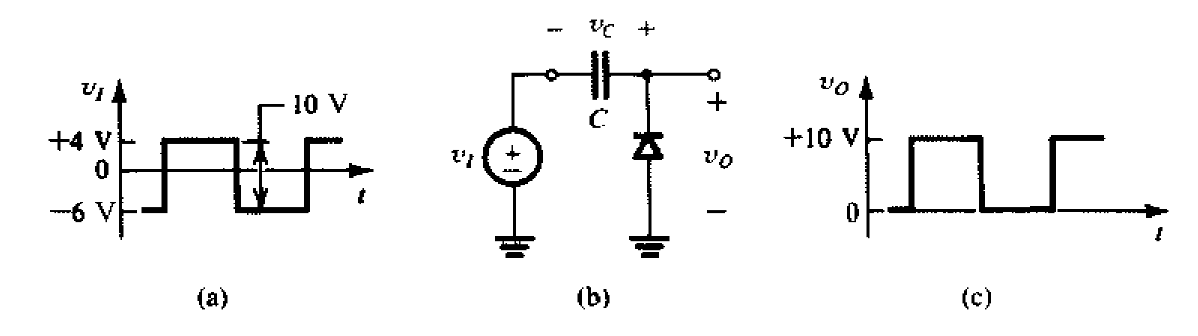


图 3.36 方波输入与没有负载时的钳位电容和直流恢复器

恢复直流信号是很有用的，因为一个脉冲波形的直流分量或平均值是对占空比[1]的一个有效度量。一个脉冲波形的占空比是可以被调制（该过程称为脉宽调制）的，因此可以用来传输信息

[1] 一个脉冲波形的占空比是指脉冲占整个周期的比例。换句话说，将脉冲宽度用一部分脉冲周期来表示。

在这种系统中，可以简单地将接收到的脉冲波形输入到一个直流恢复器以实现检波或解调，然后使用简单的 RC 低通滤波器将输出波形的平均值从叠加的脉冲中分离出来。

当钳位电路中的二极管两端接上负载电阻 R 时，如图 3.37 所示，情况就完全不同了。当输出高于地电位时，在 R 上必定流过一个净直流电流。因为这时二极管截止，所以该电流很明显是来自电容，即促使电容放电，输出电压下降。图 3.37 是方波输入时的情况。在 t_0 到 t_1 间隔内，输出电压以时间常数 CR 呈指数下降。在 t_1 时刻，输入减小 V_a 伏，输出也跟着减小。这使得二极管导通，并快速地给电容充电。在 t_1 到 t_2 间隔结束时，输出电压一般为负的十分之几伏（例如，-0.5 V）。然后，随着输入上升 V_a 伏（在 t_2 时刻），输出也跟着上升，并不断重复。在稳态时，在 t_0 到 t_1 时间间隔内电容丢失的电荷在 t_1 到 t_2 时间间隔内被恢复。该电荷平衡使得我们可以计算二极管的平均电流以及输出波形的细节。

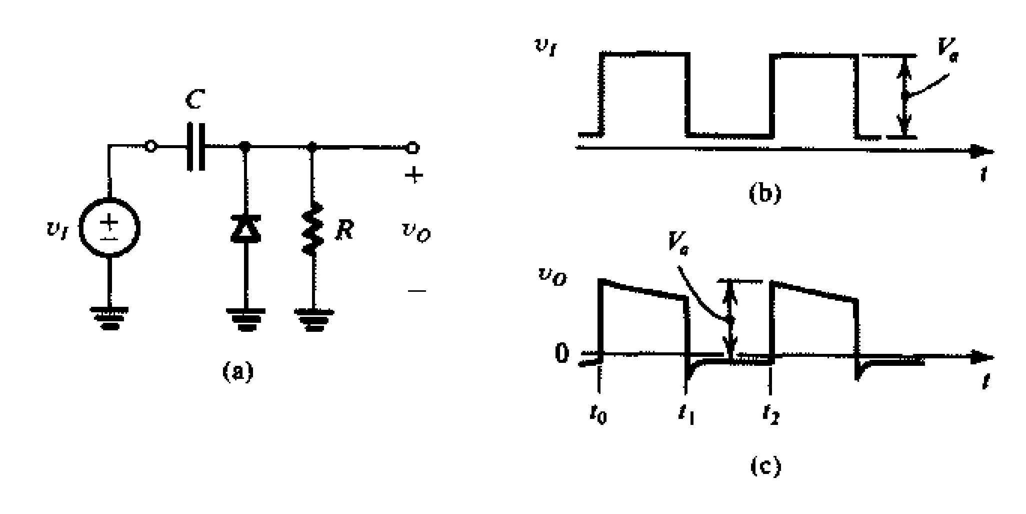


图 3.37 有负载电阻 R 的钳位电容

3.6.3 电压倍增器

图 3.38（a）给出的电路由两部分级联而成，这两部分是由 C_1 和 D_1 组成的钳位电路和由 D_2 和 C_2 组成的峰值整流电路。当输入为幅度是 V_p 的正弦波时，假定二极管理想，则钳位电路部分的输出电压波形如图 3.38（b）所示。注意，正峰值被钳位在 0 V，而负峰值达到 $-2V_p$。峰值检波部分对该波形产生响应，在电容 C_2 两端输出幅度为 $2V_p$ 的负直流电压。因为输出电压是输入峰值的两倍，因此该电路被称为电压倍增器。该技术经过扩展后，可以提供 V_p 的更高倍数的输出直流电压。

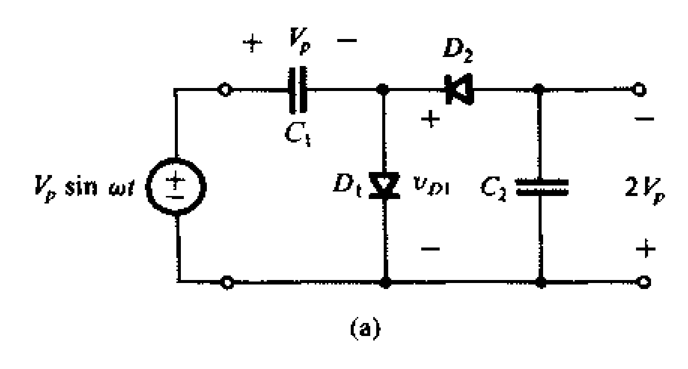


图 3.38 电压倍增器：（a）电路

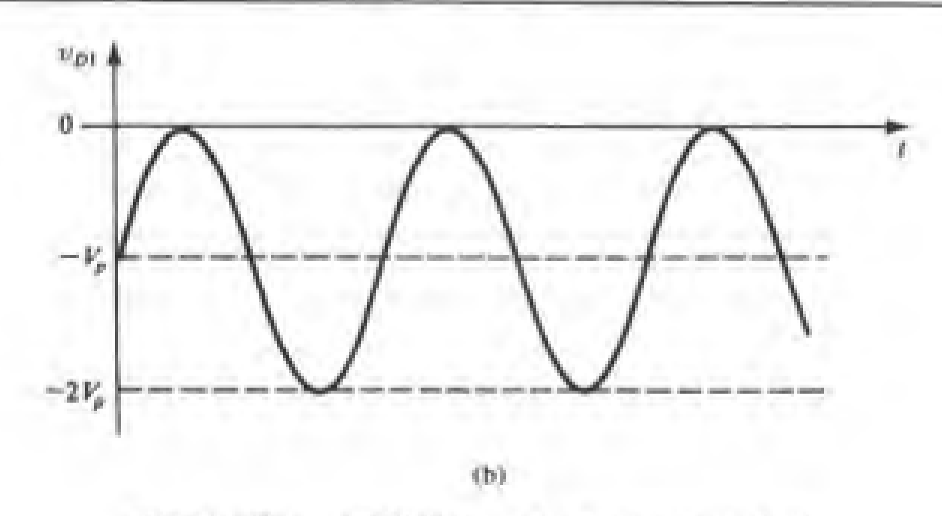


图 3.38（续）　电压倍增器：（b）D_1 两边的电压波形

练习 3.28　如果图 3.36 电路中的二极管反接，那么 v_O 的直流分量为多少？

答案：–5 V

3.7　二极管的物理特性

介绍完结二极管的端口特性和应用电路后，现在简单讨论产生这些端口特性的物理过程。在下面讨论器件的物理性能时在某种程度上做了一些简化，但对完整理解二极管以及理解下面两章介绍的晶体管工作原理提供了足够的背景知识。

3.7.1　半导体基本概念

3.7.1.1　*pn* 结

半导体二极管基本上是一个 *pn* 结，如图 3.39 所示。该图表明，该 *pn* 结由 *p* 型半导体材料（例如硅）与 *n* 型半导体材料（也为硅）紧密接触在一起组成。实际上，*p* 区和 *n* 区都是相同的硅晶体，也就是说，*pn* 结是在单个硅晶体上通过创建不同掺杂区域（*p* 区和 *n* 区）形成的。附录 A 简单地描述了 *pn* 结制造过程中采用的工艺。如图 3.39 所示，连接 *p* 区和 *n* 区的外部导线（二极管电极）通过金属接触得到。

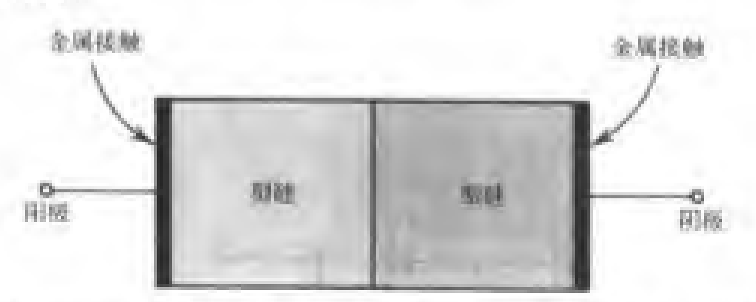


图 3.39　结二极管的简化物理结构（实际的几何图形在附录 A 中给出）

除了作为最基本的二极管以外，*pn* 结也是双极型晶体管（BJT）的基本组成部分，并在场效应管的工作中发挥着重要作用。因此，理解 *pn* 结的物理特性对于理解二极管和晶体管的工作原理及端口特性都很重要。

3.7.1.2　本征硅

尽管硅或者锗都可以用来制造半导体器件（确实，早期的二极管和晶体管是由锗制成的），

但是今天的集成电路技术几乎完全是基于硅的。由于这个原因，本书主要讨论硅器件[1]。

纯净硅或者本征硅晶体有规则的晶格结构。在该结构中与每个硅原子相关联的4个价电子组成的共价键将原子束缚在各自的位置上。图3.40给出了该结构的二维表示。可以看出，每个原子与相邻的原子共享4个共价键中的一个，每对价电子组成一个共价键。在足够低的温度时，所有的共价键都完整无缺，并且没有（或者非常少）可以传输电流的自由电子。但是在室温时，一些共价键遭受热激发的破坏而产生一些自由电子。如图3.41所示，当一个共价键被破坏时，一个电子就离开原来的原子，因此相应的原子成为带有一个电子电荷量的正电荷。相邻原子的一个电子有可能离开其原来的原子，而被该正电荷吸收，从而填补了存在于被电离的原子中的空穴，但是在另一个原子中又产生了新的空穴。这个过程重复进行，从而可以有效地产生带正电荷的载流子——空穴，它在硅晶体结构中移动并能够传导电流。空穴的电荷等于电子电荷量。

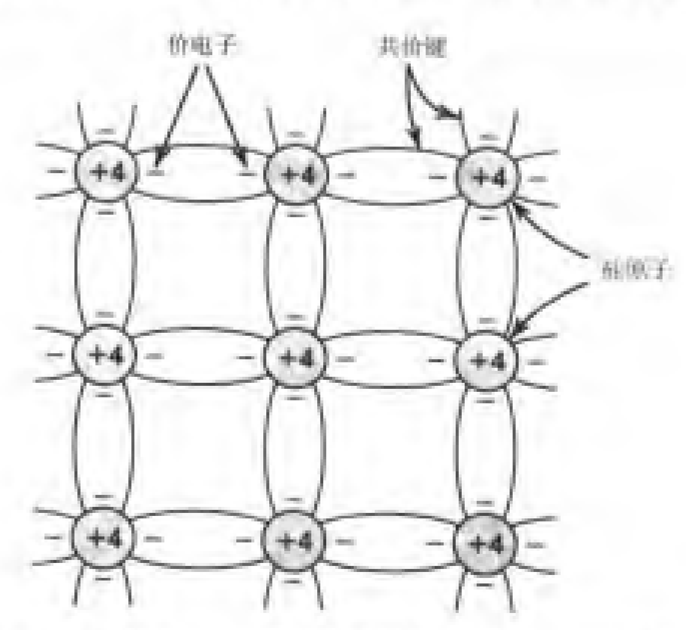


图3.40 硅晶体的二维表示。圆圈代表硅原子的内核，+4表示它带有+4q的正电荷，它们与4个价电子的电荷构成电中性。从图中可以看出如何通过共享价电子形成共价键。在0 K时，所有的共价键完整无缺，没有自由电子来传导电流

由于热激发产生相同数量的自由电子和空穴，因此二者有相等的浓度。这些自由电子和空穴在硅晶体结构中随意移动，在这个过程中一些电子可能会填充一些空穴，这个过程叫做复合。其结果导致自由电子和空穴消失。复合率与自由电子和空穴的数量成比例，而反过来自由电子和空穴的数量由电离率确定。电离率是与温度密切相关的函数。在热平衡时，复合率等于电离率或热产生率，我们可以计算自由电子的浓度 n，它等于空穴浓度 p：

$$n = p = n_i$$

其中，n_i 是在给定温度下本征硅中自由电子和空穴的浓度。半导体物理的研究显示在热力学温度 T（开尔文）时，本征浓度 n_i（也就是每立方厘米中自由电子和空穴的数量）为

$$n_i^2 = BT^3 e^{-E_G/kT} \tag{3.36}$$

[1] 一个例外是砷化镓（GaAs）电路，尽管在本书中没有涉及这个内容，但是在本书网站及（上册）附带的CD中包含一些详细内容。

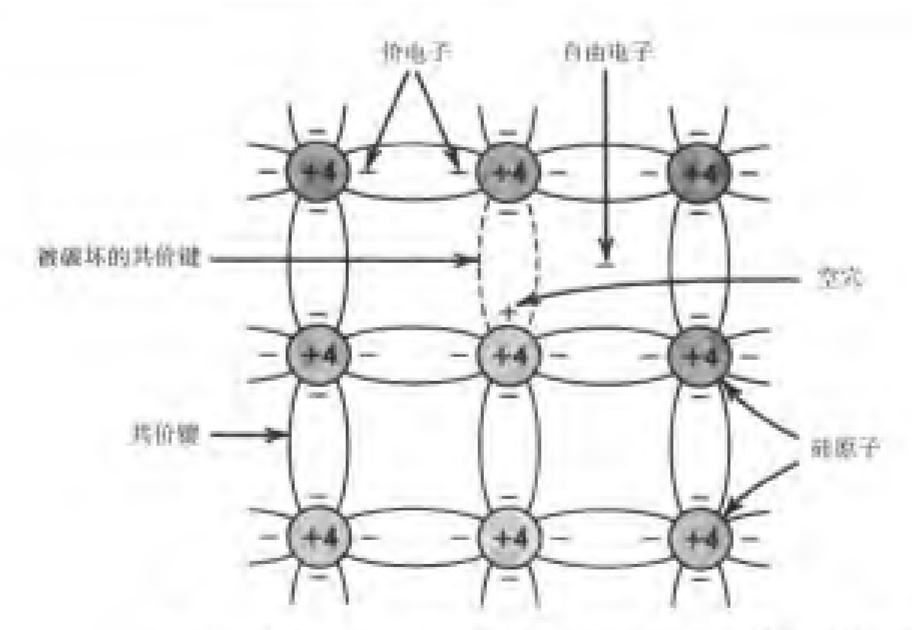


图 3.41　在室温时，一些共价键被热激发破坏。每个破坏的共价键产生一个自由电子和一个空穴，它们都可以传导电流

其中，B 是与材料相关的参数，对于硅来说它等于 5.4×10^{31}；E_G 是被称为能带隙能量（禁带宽度）的参数，对于硅来说等于 1.12 电子伏特（eV）；k 是玻尔兹曼常数，其值为 8.62×10^{-5} eV/K。尽管在针对电路的介绍性的阐述中不使用禁带宽度，但需注意 E_G 表示破坏共价键而产生电子-空穴对所需要的最小能量。将给出的参数值代入式（3.36），可以得到在室温下（$T=300$ K）本征硅的 $n_i=1.5\times10^{10}$ 载流子/cm^3。我们知道，硅晶体大约有 5×10^{22} 原子/cm^3，代入本征硅的载流子浓度，可知在室温时只有十亿分之一的原子被电离。

最后，必须注意将硅称为半导体的原因是它的电导率介于导体（例如金属）的电导率和绝缘体（例如玻璃）的电导率之间。电导率取决于用来传导电流的载流子数。

3.7.1.3　扩散和漂移

空穴和电子在硅晶体中的移动有两种机理——扩散和漂移。扩散和热骚动造成的随机运动相关。在一片自由电子和空穴浓度均匀分布的硅中，该随机运动不会导致电荷的净流动（即电流）。另一方面，如果出现某些情况，例如自由电子的浓度在这片硅的一端大于另一端，那么电子就会从高浓度区域向低浓度区域扩散。扩散过程将产生电荷的净流动，或者称为扩散电流。举个例子，假设有一根硅棒，如图 3.42（a）所示，其空穴浓度曲线如图 3.42（b）所示，该浓度曲线由于某些原因沿 x 轴下降，该浓度差将产生沿 x 方向的空穴扩散电流，在任意一点的电流大小与浓度曲线的斜率成比例，或与浓度梯度成比例，即该点处有

$$J_p=-qD_p\frac{dp}{dx}\tag{3.37}$$

其中，J_p 是电流密度（即在垂直于 x 轴的平面上单位面积的电流），单位为 A/cm^2；q 是电子电荷量，其值为 1.6×10^{-19} C；D_p 是一个常数，叫做扩散系数或空穴的扩散率。注意，梯度（dp/dx）是负值，因此在 x 方向产生正电流，正如所期望的那样。由于电子浓度梯度产生的电子扩散中存在与空穴相同的关系，因此电子电流密度为

$$J_n=qD_n\frac{dn}{dx}\tag{3.38}$$

其中，D_n 是电子的扩散率。可以看出负值（dn/dx）将产生一个负电流，这是由于电流的正方向定为正电荷的流动方向（或负电荷流动方向的相反方向）的原因。对于空穴和电子在本征硅里的扩散，扩散系数的典型值为 $D_p = 12\ \text{cm}^2/\text{s}$、$D_n = 34\ \text{cm}^2/\text{s}$。

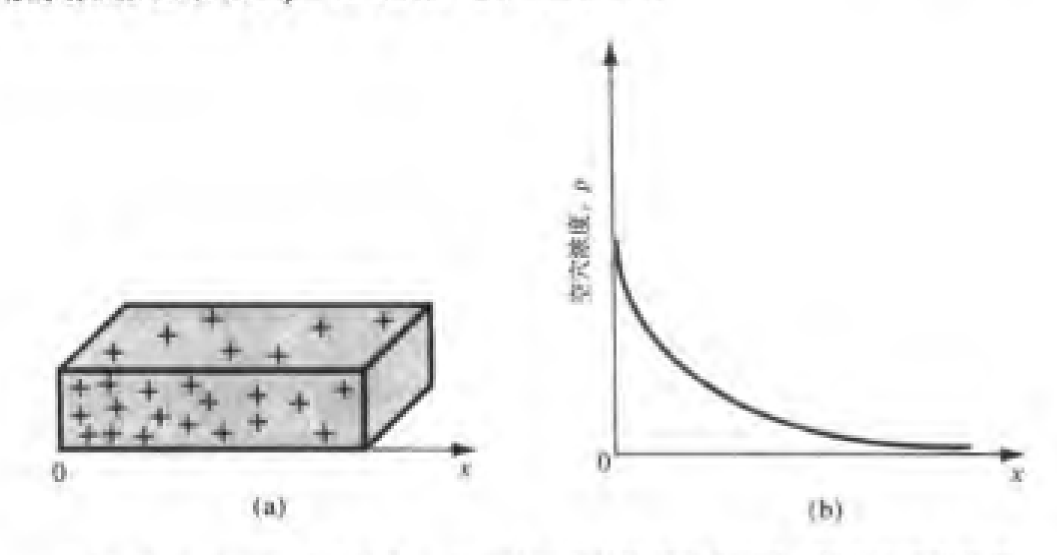


图 3.42 （a）一根本征硅棒；（b）由于某种原因产生的沿 x 轴空穴浓度曲线

载流子在半导体 中的另一种运动是漂移。当在硅的两端加上电场时会发生载流子漂移。自由电子和空穴在电场作用下被加速，并获得一个速度分量（叠加在它们的热运动速度上），该速度分量叫做漂移速度。如果电场强度记为 E（V/cm），带正电荷的空穴将沿 E 的方向漂移，获得的速度 v_{drift}（cm/s）为

$$v_{drift} = \mu_p E \tag{3.39}$$

其中，μ_p 是一个常数，叫做空穴的迁移率，单位为 $\text{cm}^2/\text{V}\cdot\text{s}$。对于本征硅，$\mu_p$ 为 $480\ \text{cm}^2/\text{V}\cdot\text{s}$。带负电荷的电子产生与电场方向相反的漂移，它的速度由类似于式（3.39）的关系式给出（只要将 μ_p 用电子迁移率 μ_n 代替）。对于本征硅，μ_n 为 $1350\ \text{cm}^2/\text{V}\cdot\text{s}$，约为空穴迁移率的 2.5 倍。

现在考虑空穴密度为 p、自由电子密度为 n 且电场为 E 的硅晶体。空穴沿电场 E 的方向（称为 x 方向）漂移，速度为 $\mu_p E$，因此密度为 qp（库仑/cm³）的正电荷以速度 $\mu_p E$（cm/s）沿 x 方向运动。可以得到在 1 s 内 $qp\mu_p EA$（库仑）的电荷将通过面积为 A (cm²)的垂直于 x 轴的平面。这是由空穴漂移引起的电流分量。除以 A 可得到电流密度：

$$J_{p\text{-}drift} = qp\mu_p E \tag{3.40a}$$

自由电子沿与 E 相反的方向漂移，因此密度为 $(-qn)$ 的电荷沿 x 的负方向运动，因此有负速度 $(-\mu_n E)$。结果产生一个正的电流分量，其密度为

$$J_{n\text{-}drift} = qn\mu_n E \tag{3.40b}$$

将式（3.40a）和式（3.40b）合并得到总的漂移电流密度：

$$J_{drift} = q(p\mu_p + n\mu_n)E \tag{3.40c}$$

注意，这是欧姆定理的形式，它的电阻率（单位为 $\Omega\cdot\text{cm}$）为

$$\rho = 1/[q(p\mu_p + n\mu_n)] \tag{3.41}$$

最后，有必要提到在载流子的扩散率和迁移率之间存在一个称为爱因斯坦关系式的简单关系：

$$\frac{D_n}{\mu_n}=\frac{D_p}{\mu_p}=V_T \tag{3.42}$$

其中，V_T 是前面二极管伏安关系中提到过的热电压［见式（3.1）］。在室温时，V_T = 25 mV。读者可以很容易地检验式（3.42）的有效性，只要将上面本征硅的典型值代入即可。

3.7.1.4　杂质半导体

上面描述的本征硅晶体由于热激发产生相同的自由电子浓度和空穴浓度。这些浓度用 n_i 表示，与温度密切相关。杂质半导体是其中一种载流子（自由电子或空穴）占主导的材料，其中大多数带电载流子是带负电荷的自由电子的杂质硅叫做 n 型硅，而大多数带电载流子是带正电荷的空穴的杂质硅叫做 p 型硅。

通过引入小数量的杂质原子对硅晶体进行掺杂可以使它转变成 n 型硅或 p 型硅。例如，加入五价元素的杂质原子（如磷元素）可得到 n 型硅，因为在晶体结构中替代硅原子的磷原子有 5 个价电子，其中 4 个与相邻的硅原子组成共价键，而第 5 个极易成为一个自由电子（见图 3.43）。因此，每个磷原子在硅晶体中提供了一个自由电子。磷杂质称为施主杂质。有一点必须要弄清楚，即在这个过程中没有空穴产生。因此在磷掺杂的硅中大多数带电载流子是电子。实际上，如果施主原子（磷）的浓度为 N_D，在热平衡下，n 型硅中自由电子的浓度 n_{n0} 为

$$n_{n0}=N_D \tag{3.43}$$

其中增加的下标 0 表示热平衡。利用半导体物理的理论可以证明在热平衡条件下电子和空穴浓度的乘积保持不变，即

$$n_{n0}p_{n0}=n_i^2 \tag{3.44}$$

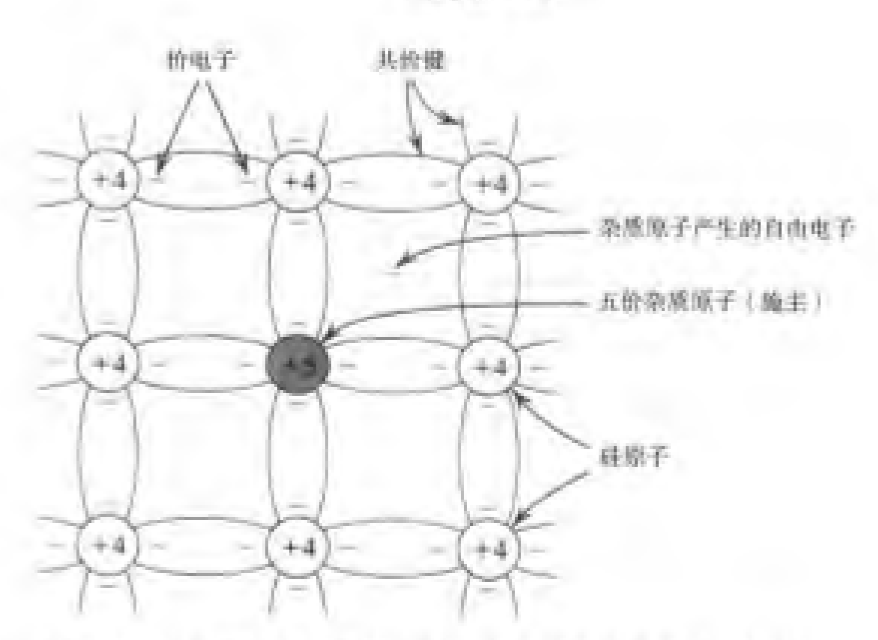


图 3.43　五价元素掺杂后的硅晶体。每个掺杂原子产生一个自由电子，因此叫做施主杂质。被掺杂的半导体变为 n 型

因此热激发产生的空穴浓度 p_{n0} 为

$$p_{n0} \simeq \frac{n_i^2}{N_D} \tag{3.45}$$

因为 n_i 是温度的函数［见式（3.36）］，因此可以得出少数载流子（空穴）的浓度也是温度的函数，而多数载流子（电子）的浓度与温度无关。

为了得到 p 型半导体，必须往硅中掺入三价杂质（如硼）。每个杂质硼原子接受一个硅晶体的电子，因此它们就在晶格结构中形成共价键。如图 3.44 所示，每个硼原子产生一个空穴。在 p 型硅中，热平衡条件下多数载流子（空穴）的浓度近似等于受主杂质（硼）的浓度 N_A：

$$p_{p0} \simeq N_A \tag{3.46}$$

在 p 型硅中，由热激发产生的少数载流子（电子）的浓度可以利用载流子浓度的乘积保持不变来计算得到，因此，

$$n_{p0} = \frac{n_i^2}{N_A} \tag{3.47}$$

必须要强调的是一片 n 型硅或 p 型硅是呈电中性的，多数载流子（在 n 型硅中为电子，p 型硅中为空穴）所带的电荷被与杂质原子相关的束缚电荷中和。

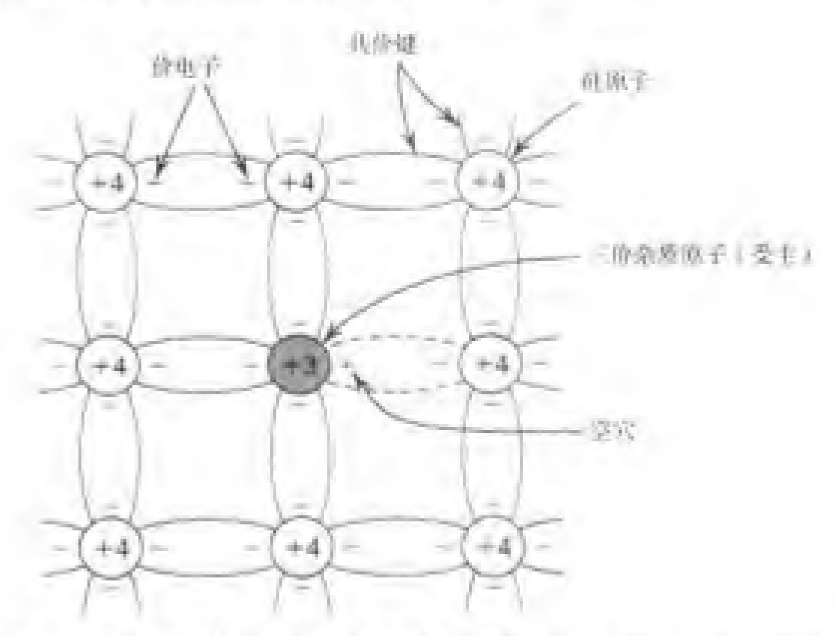


图 3.44　掺入三价元素后的硅晶体。每个掺杂原子产生一个空穴，半导体变为 p 型

练习 3.29　计算在 250 K、300 K 和 350 K 时本征载流子的浓度 n_i。

答案：1.5×10^8/cm³；1.5×10^{10}/cm³；4.18×10^{11}/cm³

练习 3.30　考虑一个 n 型硅，它的掺杂浓度 N_D 为 10^{17}/cm³。求在 250 K、300 K 和 350 K 时电子和空穴的浓度。可以利用练习 3.29 的结果。

答案：10^{17}，2.25×10^{-1}；10^{17}，2.25×10^{3}；10^{17}，1.75×10^{6}（单位为每立方厘米）

练习 3.31　求电阻率：（a）本征硅；（b）p 型硅，$N_A=10^{16}$/cm³。使用 $n_i=1.5\times10^{10}$/cm³，并假定对于本征硅，$\mu_n=1350$ cm²/V·s，$\mu_p=480$ cm²/V·s，对于杂质硅，$\mu_n=1110$ cm²/V·s；$\mu_p=400$ cm²/V·s。（注意掺杂导致载流子迁移率降低。）

答案：（a）2.28×10^5 Ω·cm；（b）1.56 Ω·cm

3.7.2 开路条件下的 *pn* 结

图 3.45 是一个开路条件下（即外部端口断开）的 *pn* 结。在 *p* 型材料中，符号“+”表示多数载流子空穴。这些空穴的电荷被与受主原子相关的相等数量的束缚负电荷中和。为了简化起见，这些束缚电荷没有在图中画出。同样，图中也没有画出 *p* 型材料中由热激发产生的少数载流子电子。

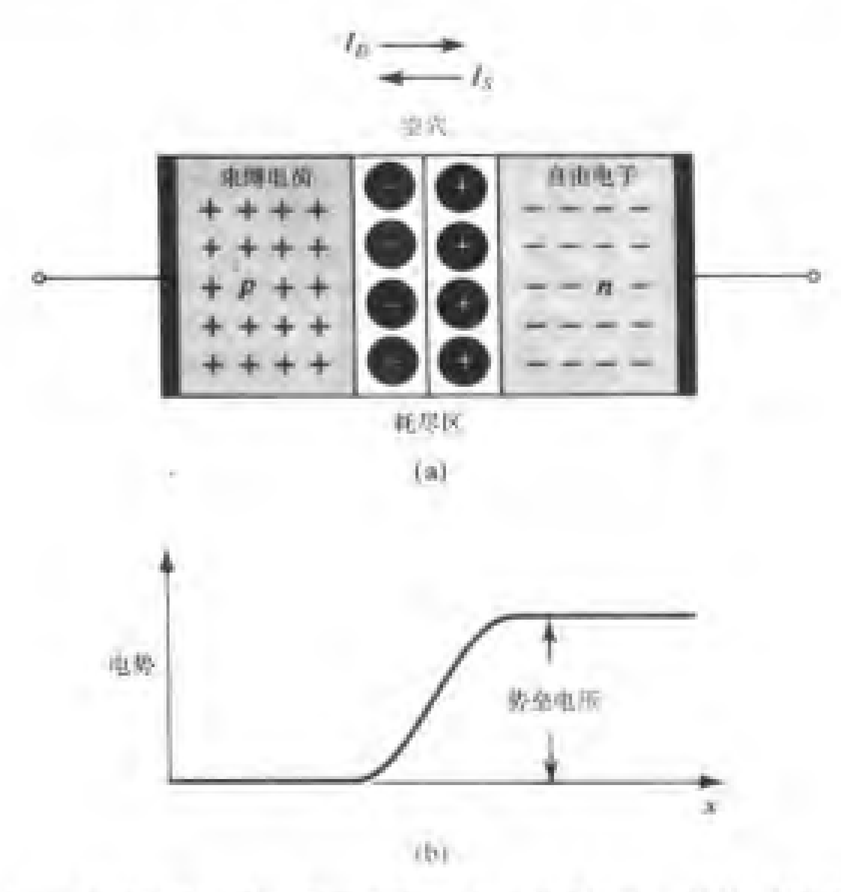


图 3.45 （a）未加电压的 *pn* 结（端口开路）；（b）沿垂直于 *pn* 结的 *x* 轴方向的电势分布

在 *n* 型材料中，多数载流子电子用“–”号表示。同样，为了保持图形的简单，中和了多数载流子电子电荷的束缚正电荷没有在图中画出。*n* 型材料也包含由热激发产生的少数载流子空穴，在图中也没有画出。

3.7.2.1 扩散电流 I_D

因为 *p* 区的空穴浓度高于 *n* 区的空穴浓度，因此空穴从 *p* 区一侧向 *n* 区一侧扩散。同样，电子从 *n* 区一侧向 *p* 区一侧扩散。这两个电流分量加在一起就组成了扩散电流 I_D，它的方向从 *p* 区指向 *n* 区，如图 3.45 所示。

3.7.2.2 耗尽区

跨越 *pn* 结扩散进入 *n* 区的空穴很快与那里的多数载流子电子复合而消失。该复合过程导致一些自由电子从 *n* 型材料中消失，因此一些束缚正电荷将不再被自由电子中和，这个电荷就称为未被复合电荷。因为复合发生在靠近结的地方，因此在靠近结的地方有一个区域，在这个区域中，自由电子被耗尽，而只包含未被复合的束缚正电荷，如图 3.45 所示。

跨越 *pn* 结扩散进入 *p* 区的电子也很快与那里的多数载流子空穴复合而消失。这也导致一些

多数载流子空穴的消失，使得一些束缚负电荷未被复合（即不再被空穴中和）。因此，在接近结的 p 型材料中，将有一个空穴耗尽的区域，该区域只包含未被复合的束缚负电荷，如图 3.45 所示。

从上面的分析可以看出载流子耗尽区域将存在于结的两边，在该区域中，n 区一侧带正电荷，而 p 区一侧带负电荷。该载流子耗尽区域（或简单地称耗尽区）也称为空间电荷区。在耗尽区两侧的电荷将在该区域两端建立一个电场，从而在耗尽区域上产生一个电势差，相对于 p 区一侧来说，n 区一侧为正，如图 3.45（b）所示。因此该电场将阻碍空穴扩散进入 n 区，也阻碍电子扩散进入 p 区。实际上，耗尽区两侧的电压差成为扩散进入 n 区的空穴和扩散进入 p 区的电子必须克服的势垒。该势垒电压越大，能够克服该势垒的载流子的数量就越小，因此扩散电流的数值就越小。可见，扩散电流 I_D 很大程度上取决于耗尽区两侧的电压降 V_0。

3.7.2.3 漂移电流 I_S 和平衡

除了由于多数载流子扩散引起的电流分量 I_D 以外，在结两侧还存在由于少数载流子漂移引起的电流分量。具体地说，n 型材料中一些由于热激发产生的空穴通过 n 型材料扩散到耗尽区的边缘。在那里，它们受耗尽区中电场的作用扫过该区域进入 p 区。同样，p 型材料中的一些由于热激发产生的少数载流子电子扩散到耗尽区的边缘，受耗尽区电场的作用扫过该区域进入 n 区。这两个电流分量（电子从 p 区到 n 区的漂移运动和空穴从 n 区到 p 区的漂移运动）加在一起形成了漂移电流 I_S，它的方向从 pn 结的 n 区指向 p 区，如图 3.45 所示。因为电流 I_S 是热激发产生的少数载流子形成的，因此它的值与温度密切相关，但它却与耗尽层电压 V_0 的值无关。

在开路条件下（见图 3.45）没有外部电流存在，因此这两个方向相反的电流在数值上必须相等：

$$I_D = I_S$$

该平衡条件由势垒电压 V_0 维持。因此，如果由于某些原因使 I_D 大于 I_S，那么在 pn 结的两边就有更多的束缚电荷未被复合，耗尽层将增大，其两端的电压（V_0）也将增大。这反过来又使得 I_D 减少直到达到平衡 $I_D = I_S$。另一方面，如果 I_S 大于 I_D，那么未复合的电荷数将减少，耗尽层也将减小，它两端的电压（V_0）将减少。这使得 I_D 增加直到达到平衡 $I_D = I_S$。

3.7.2.4 *pn* 结内建电位差

不加外部电压，得到的 pn 结两端的电压 V_0 为

$$V_0 = V_T \ln\left(\frac{N_A N_D}{n_i^2}\right) \tag{3.48}$$

其中，N_A 和 N_D 是 pn 结 p 区和 n 区的掺杂浓度。因此 V_0 取决于掺杂浓度和温度，称为 pn 结的内建电位差。对于硅来说，在室温时，V_0 在 0.6 V 到 0.8 V 的范围内。

当 pn 结端口开路时，在端口之间测得的电压为 0 V。也就是说，耗尽区两端的电压 V_0 并不呈现在二极管的端口之间。这是因为在二极管接口上的金属半导体结上存在接触电压，它与势垒电压相反并平衡了势垒电压。如果不是这样的话，我们将可以从孤立的 pn 结获得能量，显然这违反了能量守恒定理。

3.7.2.5 耗尽区的宽度

很明显，耗尽区既存在于 p 区中，也存在于 n 区中，并且这两边存在相等数量的电荷。但是，因为通常情况下 p 区和 n 区的掺杂浓度不一样，因此可以推出其两侧耗尽区的宽度也不一样。相反，为了使未复合的电荷有相同的数量，耗尽层将向掺杂较低的一边延伸。具体地说，如果 p 区

耗尽区的宽度记为 x_p，n 区记为 x_n，那么电荷平衡条件可以写为

$$qx_pAN_A = qx_nAN_D$$

其中，A 是 pn 结的横截面面积。该式可以重新写为

$$\frac{x_n}{x_p} = \frac{N_A}{N_D} \tag{3.49}$$

实际上，pn 结一边的掺杂通常远远高于另一边的掺杂，结果是耗尽区几乎完全在低掺杂的一边。最后，由器件物理理论可以得出，一个开路的 pn 结的耗尽区的宽度为

$$W_{dep} = x_n + x_p = \sqrt{\frac{2\varepsilon_s}{q}\left(\frac{1}{N_A}+\frac{1}{N_D}\right)V_0} \tag{3.50}$$

其中，ε_s 是硅的介电常数，其值为$11.7\varepsilon_0 = 1.04\times10^{-12}$ F/cm。W_{dep} 的典型值在 0.1 μm 到 1μm 之间。

练习 3.32　对于一个 pn 结，$N_A = 10^{17}/\text{cm}^3$，$N_D = 10^{16}/\text{cm}^3$。求$T = 300$ K 时的内建电位差、耗尽区的宽度及其延伸到 p 区和 n 区的距离。假设 $n_i = 1.5\times10^{10}/\text{cm}^3$。

答案：728 mV；0.32 μm；0.03 μm；0.29 μm

3.7.3　反向偏置条件下的 pn 结

如果 pn 结连接上一个恒流源（而不是电压源），如图 3.46 所示，从微观角度可以更容易地解释反向偏置的 pn 结的工作情况。显然，电流源是反向的。现在假定 I 小于 I_S，如果 I 大于 I_S，将发生击穿，如 3.7.4 节中介绍的那样。

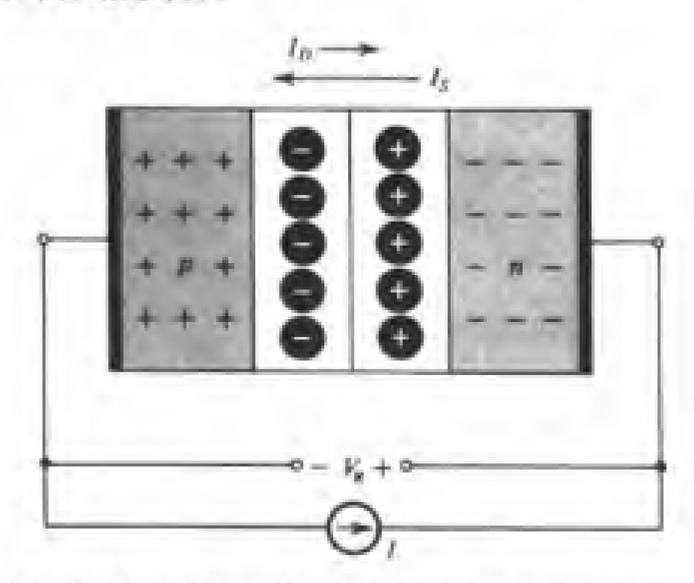


图 3.46　由反向恒流源激励的 pn 结。为了避免击穿，需保证 I 小于 I_S。注意，耗尽层增宽，势垒电压增大 V_R 伏，它呈现在 pn 结的两端，是反向电压

由外电路电子传导的电流 I 在 pn 结内从 n 区流向 p 区（与电流 I 的方向相反），这会导致电子离开 n 区而空穴离开 p 区。离开 n 区的自由电子使得未被复合的正束缚电荷增加。同样，离开 p 区的空穴导致未被复合的负束缚电荷增加。因此，反向电流 I 将导致耗尽层的宽度增加，存储在耗尽层中的电荷增加。这反过来又将导致耗尽区两端的电压更高，也就是说，具有更大的势垒电压，它将引起扩散电流 I_D 减小。与势垒电压无关的漂移电流 I_S 保持不变。最后，达到平衡（稳态）时有

$$I_S - I_D = I$$

在平衡时，增加的耗尽层电压高出内建电位差 V_0 的部分将呈现为外部电压，它的值可以在二极管两端测量得到，相对于 p 端来说，n 端为正。该电压在图 3.46 中用 V_R 表示。

现在可以考虑由反向电压 V_R 激励的 pn 结，其中 V_R 小于击穿电压 V_{ZK}（参考图 3.8 对 V_{ZK} 的定义）当刚刚加上电压 V_R 的时候，在外电路产生从 p 区到 n 区的一个反向电流。该电流使得耗尽层宽度增加，电荷增加。最后，耗尽层两端的电压增加，在达到平衡即外部反向电流 I 等于（$I_S - I_D$）时，增加的电压幅度为外部电压 V_R 的大小。但是初始外部电流可以远大于 I_S。该初始值对耗尽层进行充电并使它两端的电压增加 V_R 伏。最后，当达到稳态时，I_D 可以忽略不计，因此反向电流几乎等于 I_S。

3.7.3.1 耗尽电容

从上面的分析可以看出 pn 结的耗尽层类似于一个电容。随着 pn 结两端的电压变化，存储在耗尽层中的电荷也相应地发生变化。图 3.47 给出了 pn 结的电荷与外部电压的特性曲线。注意，这里只给出了反向偏置区域的曲线部分。

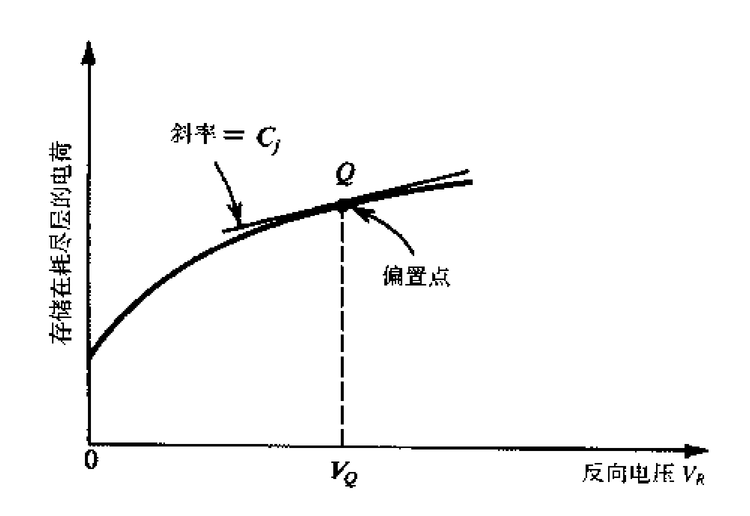


图 3.47 存储在耗尽层两侧的电荷与反向电压 V_R 的关系

存储在耗尽层中的电荷 q_J 的表达式可以通过求解存储在 pn 结的任一侧的电荷导出（两侧的电荷相同）。对于 n 区，可以得到

$$q_J = q_N = qN_D x_n A$$

其中，A 是结的横截面面积（垂直于页面的平面）。接下来利用式（3.49）用耗尽层宽度 W_{dep} 来表示 x_n，可以得到

$$q_J = q\frac{N_A N_D}{N_A + N_D} A W_{dep} \tag{3.51}$$

其中，W_{dep} 可以由式（3.50）将 V_0 用耗尽区两端的总电压 $(V_0 + V_R)$ 代替后得到：

$$W_{dep} = \sqrt{\left(\frac{2\varepsilon_s}{q}\right)\left(\frac{1}{N_A} + \frac{1}{N_D}\right)(V_0 + V_R)} \tag{3.52}$$

合并式（3.51）和式（3.52）可以得到如图 3.47 所示的 $q_J - V_R$ 的非线性关系的表达式。显然，该关系表示的不是一个线性电容。但是，如果器件有偏压，并且信号在偏置点附近的摆幅很小，如图 3.47 所示，那么就可以使用线性电容来近似。这是我们在 1.4 节中所采用的技术，即从一个具

有非线性传输特性的放大器得到线性放大效果，在 3.3 节中用该技术得到了工作在正向区域的二极管的小信号模型。在小信号近似下，耗散电容（也称为结电容）是 $q_J \sim V_R$ 曲线在偏置点 Q 的斜率：

$$C_j = \left.\frac{dq_J}{dV_R}\right|_{V_R=V_Q} \tag{3.53}$$

很容易可以计算出该导数并求得 C_j。同样，我们可以将耗尽层看做平板电容，并可以利用更熟悉的公式得到 C_j 的相同表达式：

$$C_j = \frac{\varepsilon_s A}{W_{dep}} \tag{3.54}$$

其中，W_{dep} 在式（3.52）中给出。C_j 的表达式可以写成更方便的形式：

$$C_j = \frac{C_{j0}}{\sqrt{1+\dfrac{V_R}{V_0}}} \tag{3.55}$$

其中，C_{j0} 是加零电压时得到的 C_j 值：

$$C_{j0} = A\sqrt{\left(\frac{\varepsilon_s q}{2}\right)\left(\frac{N_A N_D}{N_A+N_D}\right)\left(\frac{1}{V_0}\right)} \tag{3.56}$$

前面的分析和 C_j 的表达式适用于两侧载流子浓度急剧变化的 pn 结。C_j 更通用的一个公式为

$$C_j = \frac{C_{j0}}{\left(1+\dfrac{V_R}{V_0}\right)^m} \tag{3.57}$$

其中，m 是常数，其值取决于 pn 结从 p 区到 n 区浓度的变化方式，叫做变容指数，它的范围是从 $\frac{1}{3}$ 到 $\frac{1}{2}$。

概括起来说，当反向偏置电压加到一个 pn 结上时，将发生一个过渡过程，在该过程中，耗尽电容被重新充电到新的偏置电压。当完成该过渡过程后，稳态的反向电流等于 $I_S - I_D$。通常，当二极管反向偏置时，I_D 很小，反向电流几乎等于 I_S。但这只是理论模型，不是很实用。在实际中，对于 I_S 为 10^{-15} A 数量级的器件，流过器件的反向电流为几个纳安（nA，10^{-9} A）。之所以有这么大的差别是由于泄漏和其他影响造成的。此外，反向电流在一定程度上与反向电压的大小有关，这与理论模型相反，在理论模型中，$I = I_S$ 与所加的反向电压值无关。但是因为所涉及到的电流非常小，因此人们通常不关心二极管伏安特性的反向细节。

练习 3.33 对于一个 pn 结，$N_A = 10^{17}/\text{cm}^3$，$N_D = 10^{16}/\text{cm}^3$，工作在 $T = 300$ K，求：（a）每单位结面积（这里用 μm^2 更方便）上的 C_{j0} 值；（b）在 2 V 的反向偏置电压时的电容 C_j，假定结面积为 2500 μm^2，$n_i = 1.5\times10^{10}/\text{cm}^3$，$m=\frac{1}{2}$，$V_0$ 的值为练习 3.32 中求得的值（$V_0 = 0.728$ V）

答案：（a）0.32 fF/μm^2；（b）0.41 pF

3.7.4 击穿区域的 *pn* 结

在考虑 3.7.3 节中介绍的工作在反向偏置区域的二极管时，假定反向电流源 I（见图 3.46）小于 I_S，或者等效为 V_R 小于击穿电压 V_{ZK}（参考图 3.8 中 V_{ZK} 的定义）。现在考虑 pn 结的击穿机理

并解释伏安关系在击穿区域中近乎垂直的原因。为此，假设 pn 结由一电流源激励，该电流源提供大于 I_S 的反向恒定电流 I，如图 3.48 所示。该电流源将 p 区中的空穴通过外电路[1]转移到 n 区，而将 n 区中的电子通过外电路转移到 p 区。结果导致越来越多的束缚电荷未被复合，因此耗尽层加宽，势垒电压增大。后者的影响使得扩散电流减小，直至减小到几乎为 0。但是这并没有完全达到稳态，因为 I 大于 I_S。因此耗尽层增宽的过程会不断持续直到产生足够高的结电压，这时就形成了新的运行机制来提供维持电流 I 所需要的载流子。现在要解释的是提供超过 I_S 的反向电流的两种机制，这两种机制取决于 pn 结的材料和结构等。

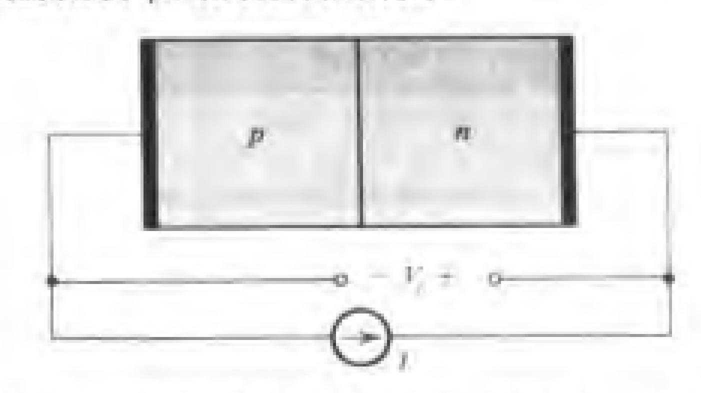


图 3.48 由反向电流源 I 激励的 pn 结，其中 $I>I_S$。该 pn 结击穿，建立在结两端的电压为 V_Z，极性如图所示

两种可能的击穿机理是齐纳效应和雪崩效应。如果 pn 结击穿电压 $V_Z<5\text{ V}$，那么该击穿机理通常是齐纳效应。当 V_Z 大于约 7 V 时发生的是雪崩击穿。对于击穿发生在 5 V 和 7 V 之间的 pn 结，击穿机理既可能是齐纳效应，也可能是雪崩效应，还可能是两者的组合。

当耗尽层中的电场增大到能够破坏共价键并产生电子–空穴对时就会发生齐纳击穿。以这种方式产生的电子将在电场作用下被扫向 n 区，而空穴被扫向 p 区。因此，这些电子和空穴组成了跨过 pn 结的反向电流，并维持外部电流 I。一旦发生齐纳效应，就会产生大量载流子，而结电压的增加可以忽略不计。因此，击穿区域的反向电流就由外部电路确定，而结两端的反向电压保持接近于额定击穿电压 V_Z 的值。

另一种击穿机理是雪崩击穿，当在电场作用下跨过耗尽区域的少数载流子获得的动能足以把和它们碰撞的原子的共价键打破时，就会产生雪崩击穿。在这个过程中释放出来的载流子具有足够高的能量，它们能够使其他的载流子在另一次碰撞电离中释放出来。这个过程与雪崩的方式相同，结果是产生了许多载流子来维持由外电路确定的反向电流，而结两端的电压降的变化可以忽略不计。

如前面提到的那样，pn 结击穿不是一个破坏过程，前提是只要没有超过最大指定的功耗。该最大功耗值反过来又指明了反向电流的最大值。

3.7.5 正向偏置条件下的 pn 结

接下来考虑正向偏置区域中 pn 结的工作情况。如果我们用一个电流为 I 的正向恒流源来激励 pn 结，就可以很容易解释它的物理行为，如图 3.49 所示。正向偏置会使多数载流子由外电路提供给结的两边：空穴进入 p 区，电子进入 n 区。这些多数载流子将中和一些未被复合的束缚电荷，使得存储在耗尽层中的电荷减少。因此耗尽层宽度减小，耗尽层势垒电压也减小。势垒电压的减

[1] 外电路中的电流完全由电子产生。

小使得更多的空穴跨过阻挡层从 p 区进入 n 区，电子从 n 区进入 p 区。因此扩散电流 I_D 增加，直到达到平衡，即 $I_D - I_S = I$（外部提供的正向电流）。

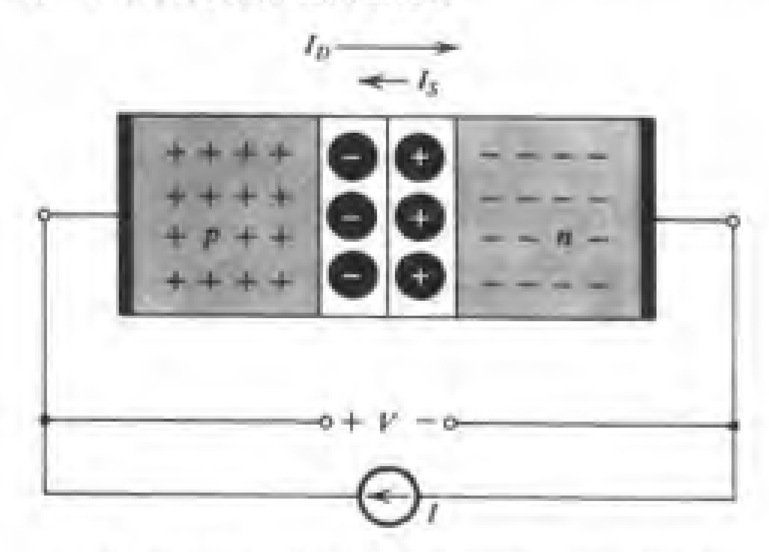


图 3.49　用电流为 I 的正向恒流源激励的 pn 结。耗尽层宽度减小，势垒电压减小 V 伏，V 是正向外部电压

现在讨论稳态时流过正向偏置的 pn 结的电流。此时，势垒电压比 V_0 小 V 伏，V 是呈现在二极管两端的正向电压降（即二极管的阳极将比阴极高 V 伏）。由于势垒电压的减小或因为具有正向压降 V，空穴跨过 pn 结被注入到 n 区，而电子被注入到 p 区。注入 n 区的空穴使得那里的少数载流子浓度 p_n 超过热平衡值 p_{n0}，多出的浓度（$p_n - p_{n0}$）在接近耗尽层的边缘最高，并且随着远离 pn 结将呈指数减小，最后达到 0。图 3.50 显示了少数载流子的浓度分布。

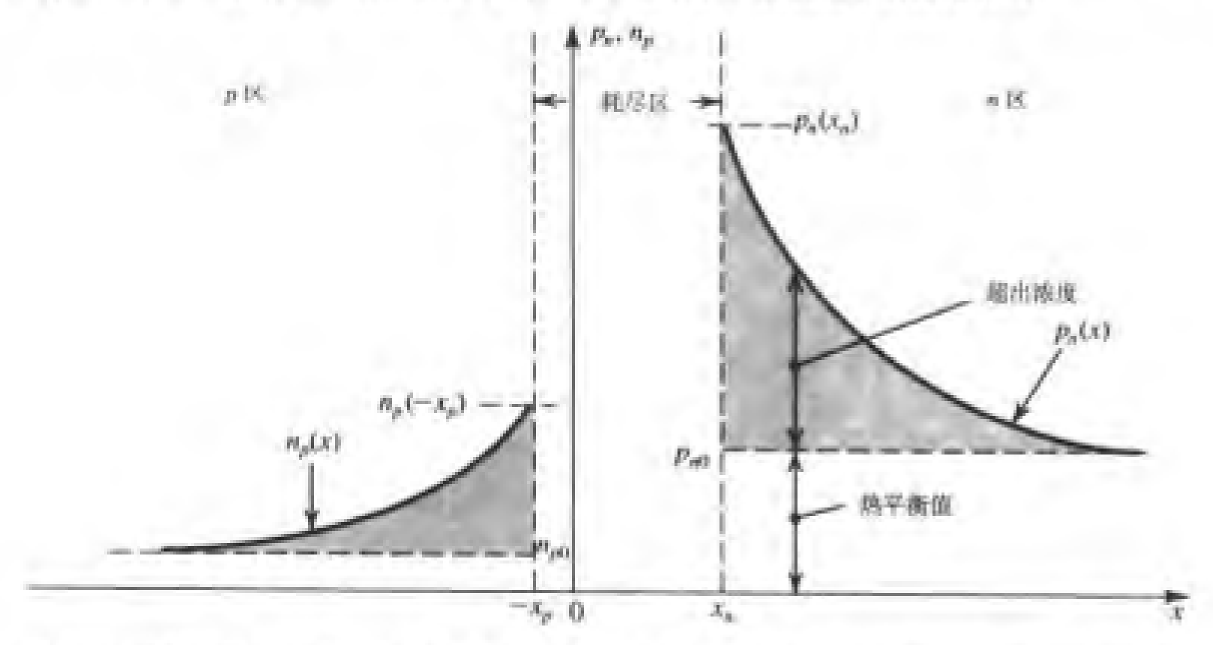


图 3.50　正向偏置的 pn 结中的少数载流子分布。假定 p 区比 n 区的掺杂浓度更高：$N_A \gg N_D$

在稳态时，非平衡少数载流子的浓度曲线保持不变，并且该分布会导致扩散电流 I_D 增加并大于 I_S。这是因为所显示的分布使得所注入的少数载流子空穴从 pn 结扩散进入 n 区，而且由于复合而消失。为了维持平衡，必须由外电路提供相同数量的电子，这样就补充了 n 区中的电子。

对 p 区的少数载流子电子可以进行类似的分析。扩散电流 I_D 是电子和空穴分量之和。

3.7.5.1　电流电压关系

现在解释一下如何得到式（3.1）的二极管电流电压关系。为了得到这个结果，我们需要全面地分析注入到 n 区的空穴引起的电流分量。半导体物理中有一个重要结果可以应用，即耗尽区边缘的少数载流子浓度［在图 3.50 中记为 $p_n(x_n)$］与正向电压 V 有关：

$$p_n(x_n) = p_{n0}e^{V/V_t} \tag{3.58}$$

这称为 pn 结法则，其证明过程可以在有关器件物理的书籍中找到。

n 区中非平衡空穴浓度的分布如图 3.50 所示，它是距离的指数衰减函数，可以写为

$$p_n(x) = p_{n0} + [p_n(x_n) - p_{n0}]e^{-(x-x_n)/L_p} \tag{3.59}$$

其中，L_p 是常数，它确定了指数衰减的陡度，叫做 n 型硅中空穴的扩散长度。L_p 的值越小，注入的空穴与多数载流子电子的复合就越快，从而导致少数载流子浓度的更陡的衰减。实际上，L_p 与另一个半导体参数有关，该参数称为非平衡少数载流子寿命 τ_p，它是空穴注入到 n 区直至与多数载流子电子复合所花的平均时间。它们的关系是

$$L_P = \sqrt{D_P\tau_p} \tag{3.60}$$

其中，如前面提到的那样，D_p 是 n 型硅中空穴的扩散系数。L_p 的典型值是 1 μm 到 100 μm，相应的 τ_p 值在 1 ns 到 10 000 ns 的范围内。

在 n 区中扩散的空穴会产生空穴电流，它的密度可以利用式（3.37）和式（3.59）计算得到，而 $p_n(x_n)$ 可从式（3.58）得到：

$$J_p = q\frac{D_p}{L_p}p_{n0}(e^{V/V_T}-1)e^{-(x-x_n)/L_p}$$

可以看出，J_p 在耗尽区的边缘（$x=x_n$）最大，并且随着距离呈指数衰减。该衰减是由于与多数载流子电子的复合引起的。在稳态时，必须补充多数载流子，因此就要通过外电路把电子提供到 n 区，并且提供电子的速率要等于产生在 $x=x_n$ 处的电流值。因此，由于空穴注入的电流密度为

$$J_p = q\frac{D_p}{L_p}p_{n0}(e^{V/V_T}-1) \tag{3.61}$$

所以可以对注入 p 区的电子进行同样的分析，并得到电子电流分量 J_n：

$$J_n = q\frac{D_n}{L_n}n_{p0}(e^{V/V_t}-1) \tag{3.62}$$

其中，L_n 是 p 区中电子扩散长度。因为 J_p 和 J_n 有相同的方向，因此可以将它们相加，然后乘以 pn 结横截面面积 A 就可以得到总的电流 I：

$$I = A\left(\frac{qD_p p_{n0}}{L_p} + \frac{qD_n n_{p0}}{L_n}\right)(e^{V/V_t}-1)$$

将 $p_{n0} = n_i^2/N_D$ 和 $n_{p0} = n_i^2/N_A$ 代入，可以将 I 表示为

$$I = Aqn_i^2\left(\frac{D_p}{L_pN_D} + \frac{D_n}{L_nN_A}\right)(e^{V/V_T}-1) \tag{3.63}$$

这就是二极管方程，其中饱和电流 I_S 为

$$I_S = Aqn_i^2\left(\frac{D_p}{L_pN_D}+\frac{D_n}{L_nN_A}\right) \quad (3.64)$$

可以看出，正如期望的那样，I_S 与结面积 A 成正比。此外，I_S 与 n_i^2 成比例，n_i^2 是一个与温度密切相关的函数［见式（3.36）］。另外，我们还注意到式（3.63）的指数不包括常数 n，n 是一个对非线性影响进行修正的参数。

3.7.5.2 扩散电容

从工作在正向区域的 pn 结的描述中我们可以注意到在稳态时，p 区和 n 区中存储有一定数量的非平衡少数载流子电荷。如果端口电压发生变化，该电荷也会发生变化，直至达到新的稳态。该电荷存储现象会导致另一种电容效应，该效应明显不同于存储在耗尽层中的电荷引起的电容效应

为了计算非平衡少数载流子的存储电荷，参见图 3.50。存储在 n 区中的非平衡空穴电荷可以通过计算阴影面积得到：

$$\begin{aligned} Q_p &= Aq\times \text{指数 } p_n(x) \text{下的阴影面积} \\ &= Aq\times[p_n(x_n)-p_{n0}]L_p \end{aligned}$$

将式（3.58）中的 $p_n(x_n)$ 代人，并利用式（3.61）可以得到 Q_p 的表达式为

$$Q_p = \frac{L_p^2}{D_p}I_p$$

其中，$I_p = AJ_p$ 是流过 pn 结的空穴电流分量。现在，利用式（3.60）将空穴寿命 $L_p^2/D_p = \tau_p$ 代入，可以得到

$$Q_p = \tau_p I_p \quad (3.65)$$

该关系表明存储的非平衡空穴电荷与空穴电流分量和空穴寿命成正比。对于存储在 p 区中的电子电荷可以得到同相的关系：

$$Q_n = \tau_n I_n \quad (3.66)$$

其中，τ_n 是 p 区中电子的寿命。将 Q_p 和 Q_n 相加可以得到总的非平衡少数载流子电荷：

$$Q = \tau_p I_p + \tau_n I_n \quad (3.67)$$

该电荷可以用二极管电流 $I = I_p + I_n$ 表示为

$$Q = \tau_T I \quad (3.68)$$

其中，τ_T 叫做二极管的平均传输时间。显然，τ_T 与 τ_n 和 τ_p 相关。此外，在大多数实际器件中，pn 结的一侧比另一侧具有更高的掺杂浓度。例如，如果 $N_A \gg N_D$，可以看出 $I_p \gg I_n$，$I \approx I_p$，$Q_p \gg Q_n$，$Q \approx Q_p$，因此 $\tau_T \approx \tau_p$。这种情况将在练习 3.34 中举例说明。

对于在偏置点附近的微小变化，可以定义小信号扩散电容 C_d 为

$$C_d = \frac{dQ}{dV}$$

并且可以得到

$$C_d = \left(\frac{\tau_T}{V_T}\right)I \quad (3.69)$$

其中，I 是在偏置点的二极管电流。我们注意到 C_d 与二极管的电流 I 成正比，因此当二极管反向偏置时 C_d 可以忽略不计。此外我们还注意到为了使 C_d 更小，传输时间 τ_T 也必须更小。这是对二极管在高速和高频工作时的一个重要要求。

练习 3.34 某二极管的 $N_A = 10^{17}/\text{cm}^3, N_D = 10^{16}/\text{cm}^3, n_i = 1.5\times10^{10}/\text{cm}^3, L_p = 5\,\mu\text{m}$，$L_n = 10\,\mu\text{m}$，$A = 2500\,\mu\text{m}^2$，$D_p$（在 n 区中）$= 10\,\text{cm}^2/\text{V·s}$，$D_n$（在 p 区中）$= 18\,\text{cm}^2/\text{V·s}$。二极管正向偏置，流过的电流为 $I = 0.1$ mA 计算：（a）I_S；（b）正向偏置电压 V；（c）由于空穴注入引起的电流分量和电子注入引起的电流分量 I；（d）τ_n 和 τ_p；（e）在 n 区中非平衡少数载流子空穴电荷 Q_p 和 p 区中非平衡少数载流子电子电荷 Q_n，以及总的存储的非平衡少数载流子电荷 Q 及传输时间 τ_T；（f）扩散电容。

答案：（a）2×10^{-15} A；（b）0.616 V；（c）91.7 μA，8.3 μA；（d）25 ns，55.6 ns；（e）2.29 pC，0.46 pC，2.75 pC，27.5 ns；（f）110 pF

3.7.5.3 结电容

正向偏置下的耗尽层电容或结电容可以在式（3.57）中将 V_R 用 $-V$ 代替后得到。然而已经证明在正向偏置区域该关系的精度很差。作为一种替换，电路设计者通常使用下面的经验公式：

$$C_j \simeq 2C_{j0} \tag{3.70}$$

3.7.6 总结

为了便于参考，表 3.2 给出了一系列描述 pn 结的物理特性的重要关系式。

表 3.2 有关 pn 结特性的重要方程的总结

物理量	关系式	系数或参数值（本征硅在 $T = 300$ K 时）
本征硅中的载流子浓度（/cm³）	$n_i^2 = BT^3 e^{-E_G/kT}$	$B = 5.4\times10^{31}/(\text{K}^3\text{cm}^6)$ $E_G = 1.12$ eV $k = 8.62\times10^{-5}$ eV/K $n_i = 1.5\times10^{10}/\text{cm}^3$
扩散电流密度（A/cm²）	$J_p = -qD_p \dfrac{dp}{dx}$ $J_n = qD_n \dfrac{dn}{dx}$	$q = 1.60\times10^{-19}$ C $D_p = 12\,\text{cm}^2/\text{s}$ $D_n = 34\,\text{cm}^2/\text{s}$
漂移电流密度（A/cm²）	$J_{drift} = q(p\mu_p + n\mu_n)E$	$\mu_p = 480\,\text{cm}^2/\text{V·s}$ $\mu_n = 1350\,\text{cm}^2/\text{V·s}$
电阻率（Ω·cm）	$\rho = 1/[q(p\mu_p + n\mu_n)]$	μ_p 和 μ_n 随掺杂浓度的增加而减小
迁移率与扩散率的关系	$\dfrac{D_n}{\mu_n} = \dfrac{D_p}{\mu_p} = V_T$	$V_T = kT/q$ $\simeq 25.8$ mV
n 型硅中载流子浓度（/cm³）	$n_{n0} \simeq N_D$ $p_{n0} = n_i^2/N_D$	
p 型硅中载流子浓度（/cm³）	$p_{p0} \simeq N_A$ $n_{p0} = n_i^2/N_A$	
pn 结内建电位差（V）	$V_0 = V_T \ln\left(\dfrac{N_A N_D}{n_i^2}\right)$	

（续）

物理量	关系式	系数或参数值（本征硅在 $T=300$ K 时）
耗尽区宽度（cm）	$\frac{x_n}{x_p}=\frac{N_A}{N_D}$ $W_{dep}=x_n+x_p$ $=\sqrt{\frac{2\varepsilon_s}{q}\left(\frac{1}{N_A}+\frac{1}{N_D}\right)(V_0+V_R)}$	$\varepsilon_s=11.7\varepsilon_0$ $\varepsilon_0=8.854\times10^{-14}$ F/cm
存储在耗尽层的电荷（C）	$q_J=q\frac{N_AN_D}{N_A+N_D}AW_{dep}$	
耗尽电容（F）	$C_j=\frac{\varepsilon_sA}{W_{dep}},C_{j0}=\frac{\varepsilon_sA}{W_{dep}\|V_{R=0}}$ $C_j=C_{j0}\Big/\left(1+\frac{V_R}{V_0}\right)^m$ $C_j\simeq2C_{j0}$(正向偏置)	$m=\frac{1}{3}\sim\frac{1}{2}$
正向电流（A）	$I=I_p+I_n$ $I_p=Aqn_i^2\frac{D_p}{L_pN_D}(e^{V/V_T}-1)$ $I_n=Aqn_i^2\frac{D_n}{L_nN_A}(e^{V/V_T}-1)$	
饱和电流（A）	$I_s=Aqn_i^2\left(\frac{D_p}{L_pN_D}+\frac{D_n}{L_nN_A}\right)$	
少数载流子寿命（s）	$\tau_p=L_p^2/D_p\quad\tau_n=L_n^2/D_n$	$L_p,L_n=1\ \mu\text{m}\sim100\ \mu\text{m}$ $\tau_p,\tau_n=1\ \text{ns}\sim10^4\ \text{ns}$
非平衡少数载流子的电荷存储量	$Q_p=\tau_pI_p\quad Q_n=\tau_nI_n$ $Q=Q_p+Q_n=\tau_TI$	
扩散电容（F）	$C_d=\left(\frac{\tau_T}{V_T}\right)I$	

3.8 特种二极管[1]

在本节中，我们简单讨论一些重要的特种二极管。

3.8.1 肖特基势垒二极管（SBD）

肖特基势垒二极管（SBD）通过金属与中度掺杂的 n 型半导体材料接触形成。得到的金属-半导体结类似于二极管，具有单向导电性（从金属阳极到半导体阴极），而另一个方向相当于开路，称为肖特基势垒二极管或简称肖特基二极管。实际上，SBD 的伏安特性非常类似于 pn 结二极管的伏安特性，但有两点例外：

1. 在 SBD 中，电流由多数载流子（电子）传导，因此 SBD 并没有正向偏置的 pn 结中那样的少数载流子电荷存储效应，所以肖特基二极管从导通转换为截止的速度比 pn 结二极管要快很多，反之亦然。
2. SBD 的正向导通压降要低于 pn 结的正向压降。例如，由硅制成的 SBD 的正向电压降为 0.3 V 到 0.5 V，而硅 pn 结二极管为 0.6 V 到 0.8 V。SBD 也可以用 GaAs 制成，实际上，它在 GaAs 电路的设计中发挥着重要的作用[2]。GaAs SBD 的正向电压降大约为 0.7 V。

---

① 跳过本节不会影响内容的连续性。

② 本书的网站及（上册）附带的 CD 中包含 GaAs 电路的内容。

除了GaAs电路，肖特基二极管也应用在一类特殊形式的双极型晶体管逻辑电路的设计中，称为肖特基-TTL，其中TTL代表晶体管-晶体管逻辑。

在结束肖特基势垒二极管的介绍之前，有必要提醒读者注意：不是每一个金属-半导体接触组合都是一个二极管。实际上，金属通常沉积在半导体表面为半导体器件引出电极以及在集成电路中连接不同的器件。这种金属半导体连接称为欧姆接触以区别于SBD中的整流接触。欧姆接触通常通过在高掺杂（低电阻率）的半导体区域上沉积金属制成。

3.8.2 变容二极管

前面介绍反向偏置的pn结呈现电荷存储效应，可用耗尽层或结电容C_j来建模。如式（3.57）所示，C_j是反向偏置电压V_R的函数。该关系在很多应用中都要用到（如无线电接收机中的自动调谐），因此人们制造出了特殊的二极管并用来作为随电压变化的电容，这种二极管称为变容二极管。这些器件通过将变容指数m设置为3或4来进行优化以使电容与电压密切相关。

3.8.3 光电二极管

如果反向偏置的pn结被光照，也就是说暴露于入射光，则冲击二极管的光子会破坏共价键，因此在耗尽层中会产生电子-空穴对。然后，耗尽层中的电场会将释放出来的电子扫到n区、将空穴扫到p区，从而产生一个反向电流。该电流称为光电流并与入射光的强度成正比。这种二极管称为光电二极管，它可以将光信号转换成电信号。

光电二极管通常由复合半导体（如GaAs）[1]制成。光电二极管是正在发展的一类称为光电子学或光子学电路的重要组成部分。顾名思义，这种电路利用电子学和光学的最佳组合来进行信号处理、存储和传输。通常，电子学适合于信号处理，而光学是最适合传输和存储的方法。这种例子包括电话和电视信号的光纤传输，CD-ROM中的光存储，等等。光传输提供了非常宽的带宽以及非常低的信号衰减。光存储可以在相当小的空间里可靠地存储大量数据。

最后注意，如果不是反向偏置，那么受光照的光电二极管就相当于太阳能电池。通常，太阳能电池采用低成本的硅制造，它将光能转换成电能。

3.8.4 发光二极管

发光二极管（LED）与光电二极管的作用相反，它将正向电流转换成光。读者可以回忆一下在正向偏置的pn结中，少数载流子被注入pn结并扩散进入p区和n区。然后这些扩散的少数载流子与多数载流子复合，这种复合会发出光。这可以用称为直接带隙材料类型的半导体制成的pn结来实现。GaAs就属于这种材料，因此能够用来制造发光二极管。

由LED发出的光与发生的复合次数成正比，而复合次数又与二极管中的正向电流成正比。

LED是一种非常普及的器件，在许多类型的显示设计中都有应用，包括实验室仪器如数字电压表的显示。它们可以发出不同颜色的光。此外，LED可以以非常窄的带宽产生相干光，这种器件就是激光二极管。激光二极管可以应用在光通信系统和CD播放器以及其他的应用中。

将LED与光电二极管组合在同一个封装中可以得到光隔离器。LED将加到光隔离器上的电子信号转换成光，然后由光电二极管检测到并转换回电子信号且输出到光隔离器的输出端。使用光隔离器可实现连接在隔离器的输入端的电子电路和输出端的电路之间的完全电隔离。这种隔离在减少系统中信号传输的电干扰影响时非常有用，因此光隔离器经常在数字电路的设计中使用，

[1] 基本的半导体（如硅），使用周期表中的第4列元素，而复合半导体使用第3列和第5列或第2列和第6列元素。例如，GaAs由Ga（第3列）和As（第5列）组成，因此称为III-V复合元素。

此外还可以使用在医疗器械的设计中以减少在对病人进行电击治疗时的危险性。

我们注意到在 LED 和光电二极管之间的光耦合不需要在封装内实现。实际上，它可以利用光纤远距离实现，这在光纤通信连接中已经做到。

3.9　二极管的 SPICE 模型与仿真实例

作为本章的总结，我们描述一下 SPICE 中使用的二极管模型，同时介绍一下 SPICE 在直流电源设计中的使用。

3.9.1　二极管模型

对于设计者来说，仿真结果是采用的器件模型质量的直接反映。模型越能如实地表示器件的不同特性，仿真结果就越能精确地描述实际电路的工作情况。换句话说，为了了解器件特性的各种缺陷对电路性能的影响，这些缺陷必须包含在电路仿真器所使用的器件模型中。对器件模型的评价适用于所有的器件，而不仅仅是二极管。

二极管的大信号 SPICE 模型如图 3.51 所示。静态特性由指数伏安关系建立模型。动态特性由非线性电容 C_D 表示，C_D 是扩散电容 C_d 和结电容 C_j 之和。串联电阻 R_S 表示 *pn* 结两侧 *p* 区和 *n* 区的总电阻。该寄生电阻值在理想时为 0，但它的典型值对于小信号二极管来说则在几个欧姆的范围内。对于小信号分析，SPICE 使用二极管的增量电阻 r_d 以及 C_d 和 C_j 的增量值。

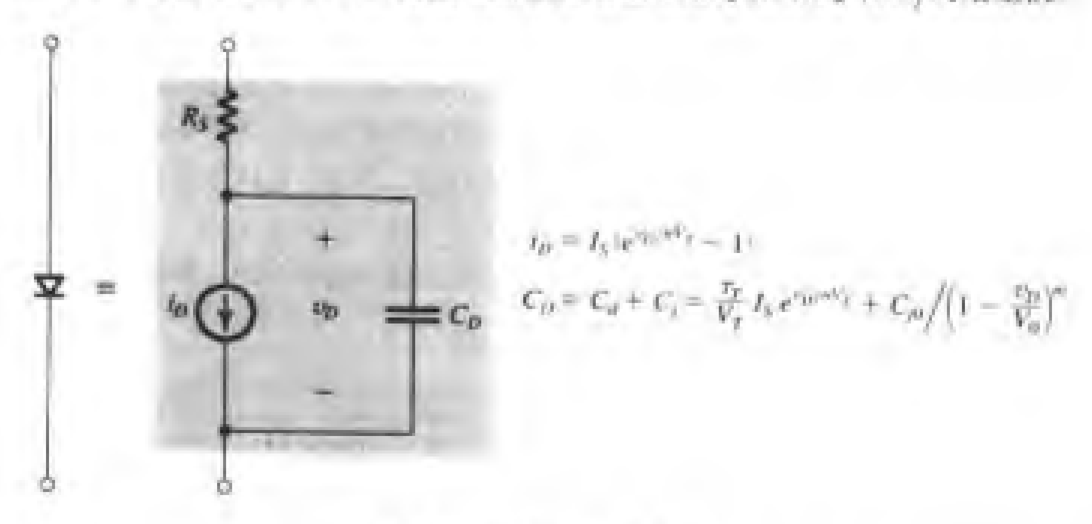


图 3.51　SPICE 二极管模型

表 3.3 列出了部分 SPICE 中使用的二极管模型参数，读者对这些参数都应该比较熟悉了。拥有一个好的器件模型只能解决一半问题，另一半问题是确定合适的模型参数值，然而这决不是一件容易的事情。模型参数的值要通过器件制造工艺的特性和对实际生产出来的器件进行专门测量得到。半导体制造商花了很大的精力和金钱来提取器件的模型参数值。对于分立二极管，SPICE 模型的参数值可以从二极管数据表中得到，如果需要也可以通过一些关键测量得到。电路仿真器（如 PSpice）在它们的库中包含了一些流行器件的模型参数。例如，在例题 3.10 中，我们使用可以买到的 1N4148 *pn* 结二极管，它的 SPICE 模型参数可以在 PSpice 中得到。

表 3.3　SPICE 二极管模型的部分参数

SPICE 参数	书中符号	描述	单位
IS	I_S	饱和电流	A

（续）

SPICE 参数	书中符号	描述	单位
N	n	发射系数	
RS	R_S	欧姆电阻	Ω
VJ	V_0	内建电势	V
CJ0	C_{j0}	零偏置耗散（结）电容	F
M	m	变容指数	
TT	τ_T	传输时间	s
BV	V_{ZK}	击穿电压	V
IBV	I_{ZK}	V_{ZK} 时的反向电流	A

3.9.2 齐纳二极管模型

上述二极管并没有完全描述二极管在击穿区域的特性，因此不能为齐纳二极管提供满意的模型。但是，图 3.52 所示的等效电路可以用来模拟 SPICE 中的齐纳二极管。其中，D_1 是理想二极管，在 SPICE 中，可以用一个非常小的 n 值近似（例如 $n = 0.01$）。二极管 D_2 是一般的二极管，它对齐纳二极管的正向偏置区域建立模型（对于大多数应用，D_2 的参数对结果影响不大）。

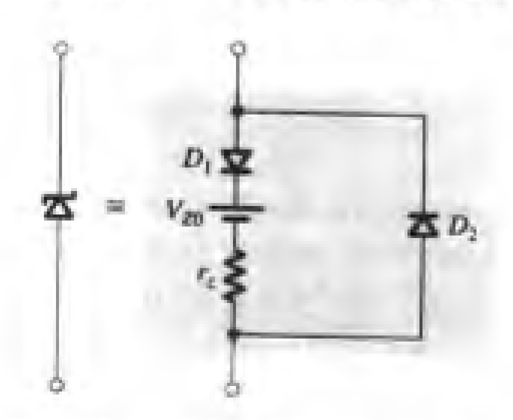


图 3.52 SPICE 中用来模拟齐纳二极管的等效电路。二极管 D_1 是理想的，在 SPICE 中可以用一个非常小的 n 值近似（例如 $n = 0.01$）

例题 3.10 直流电源的设计

在这个例题中，将使用如图 3.53 所示的整流电路[1]设计一个直流电源。该电路由全波二极管整流器、滤波电容和齐纳稳压管组成。惟一可能引起困惑的元件是变压器的次级绕组和地之间的 100 MΩ 电阻 $R_{isolation}$。该电阻保证直流的连续性，以使 SPICE 能够保持正常工作。它对电路的运行没有什么影响。

假定要求直流电源（见图 3.53）提供 5 V 的额定直流电压，并能够提供大到 25 mA 的负载电流 I_{load}，即负载 R_{load} 可能小到 200 Ω。该电源由 120 V (rms)的 60 Hz 的交流线输入。注意，在 PSpice 示意图中（见图 3.53），我们使用峰值为 169 V 的正弦电压源来表示 120 V (rms)的电源［因为 120 V rms = 169 V（峰值）］。假定可采用一个 5.1 V 的齐纳二极管，当 $I_Z = 20$ mA 时 $r_z = 10\,\Omega$（因此 $V_{Z0} = 4.9$ V），并且流过齐纳二极管的所需要的最小电流为 $I_{Z\min} = 5$ mA。

[1] 要提醒读者的是：本书所有 SPICE 例子的示意图和相应的 PSpice 仿真文件都可以在本书的 CD 中或在网站 www.sedrasmith.org 上找到。在这个示意图中（如图 3.53 所示），使用变量参数来输入不同电路元件的值。这样只要简单改变相应的参数值，就可以分析元件值变化的影响了。

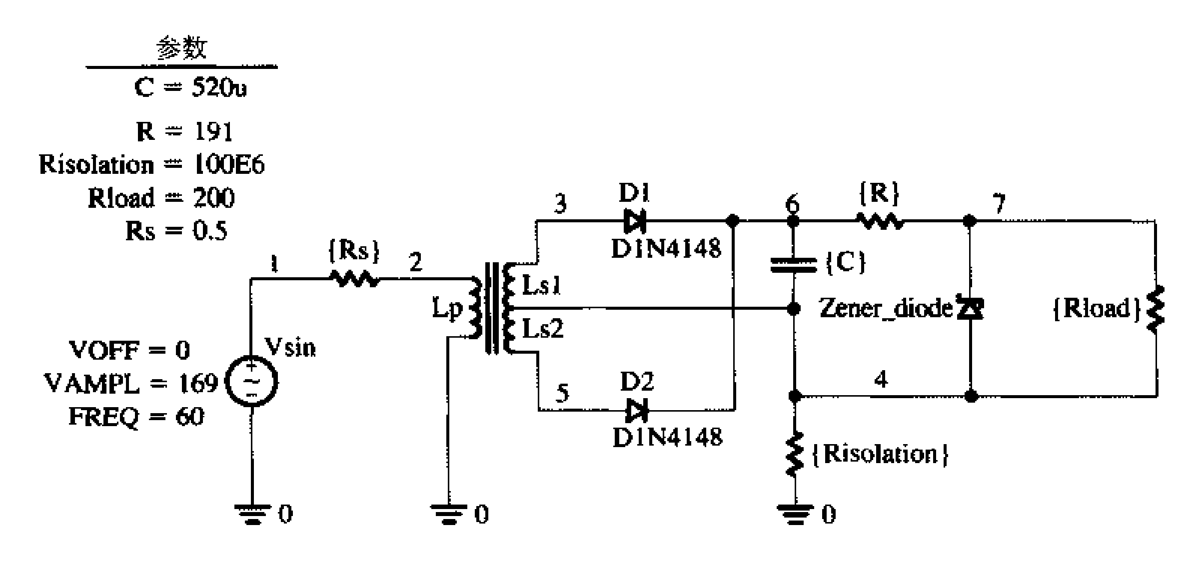


图 3.53　例题 3.10 的 5 V 直流电源的示意图

首先可以得到如下的近似设计：使用圈数比为 14 : 1 的中心抽头的变压器，将 120 V (rms) 的电源降压并在每个次级绕组两端提供 12 V（峰值）的正弦波．既要为整流器和稳压器提供所需的电压（大于 5 V 的输出），又要保持二极管的 PIV 额定值相当小，12 V 的选择就是这两者之间的一个合理的折中。为了确定 R 的值，可使用下面的表达式：

$$R = \frac{V_{C\min} - V_{Z0} - r_z I_{Z\min}}{I_{Z\min} + I_{L\max}}$$

其中，电容两端的最小电压$V_{C\min}$的估计值是用 12 V 减去二极管压降（例如，0.8 V）并且允许电容两端存在如$V_r = 0.5$ V 的纹波电压求得的，因此$V_{S\min} = 10.7$ V．此外，我们注意到$I_{L\max} = 25$ mA，$I_{Z\min} = 5$ mA，$V_{Z0} = 4.9$ V，$r_z = 10\ \Omega$，因此结果是$R = 191\,\Omega$．

接着，用式（3.33）来确定C，将式（3.33）中的V_p / R用流过 191 Ω 电阻的电流替代。C两端的电压从 10.7 V 变到 11.2 V，它的平均值为 10.95 V，因此可以估计该电流。此外，齐纳二极管两端要求的电压是 5 V。结果是$C = 520\,\mu$F．

因为现在有了近似的设计，所以可以用 SPICE 来进行仿真了．对于齐纳二极管，使用图 3.52 所示的模型，并假定（任意地）D_1的$I_S = 100$ pA，$n = 0.01$，而D_2的$I_S = 100$ pA，$n = 1.7$．对于整流二极管，使用 1N4148[1]（$I_S = 2.682$ nA，$n = 1.836$，$R_S = 0.5664\,\Omega$，$V_0 = 0.5$ V，$C_{j0} = 4$ pF；$m = 0.333$，$\tau_T = 11.54$ ns，$V_{ZK} = 100$ V，$I_{ZK} = 100\,\mu$A）。

在 PSpice 中，执行瞬态分析并画出平滑电容C两端的电压v_O和负载电阻R_{load}两端的电压波形．当$R_{\text{load}} = 200\ \Omega$（$I_{\text{load}} \simeq 25$ mA）时的仿真结果如图 3.54 所示．可以看出，v_C的平均值为 10.85 V，纹波为 ±0.21 V，因此$V_r = 0.42$ V，接近于我们在选择C时所期望的 0.5 V。输出电压v_O非常接近于所要求的 5 V，它在 4.957 V 和 4.977 V 之间变化，纹波只有 20 mV。当$R_{\text{load}} = 500\,\Omega$，250 Ω，200 Ω，150 Ω时，电压$v_O$的变化如图 3.55 所示。可见，当$R_{\text{load}}$小到 200 Ω（$I_{\text{load}} = 25$ mA）时，v_O非常接近于 5 V 的额定值．当$R_{\text{load}} = 150\,\Omega$（指$I_{\text{load}} \simeq 33.3$ mA，大于最大的设计值）时，可以看出v_O有一个明显的下降（下降到约 4.8 V），输出端有更大的纹波电压（大约为 190 mV）。这是因为齐纳稳压管不再工作了，实际上它已经截止。

[1] 1N4148 模型包含在 Pspice（OrCad 9.2 Lite 版本）的 evaluation 库（EVAL）中。相关信息可以在本书（上册）附带的 CD 中获得。

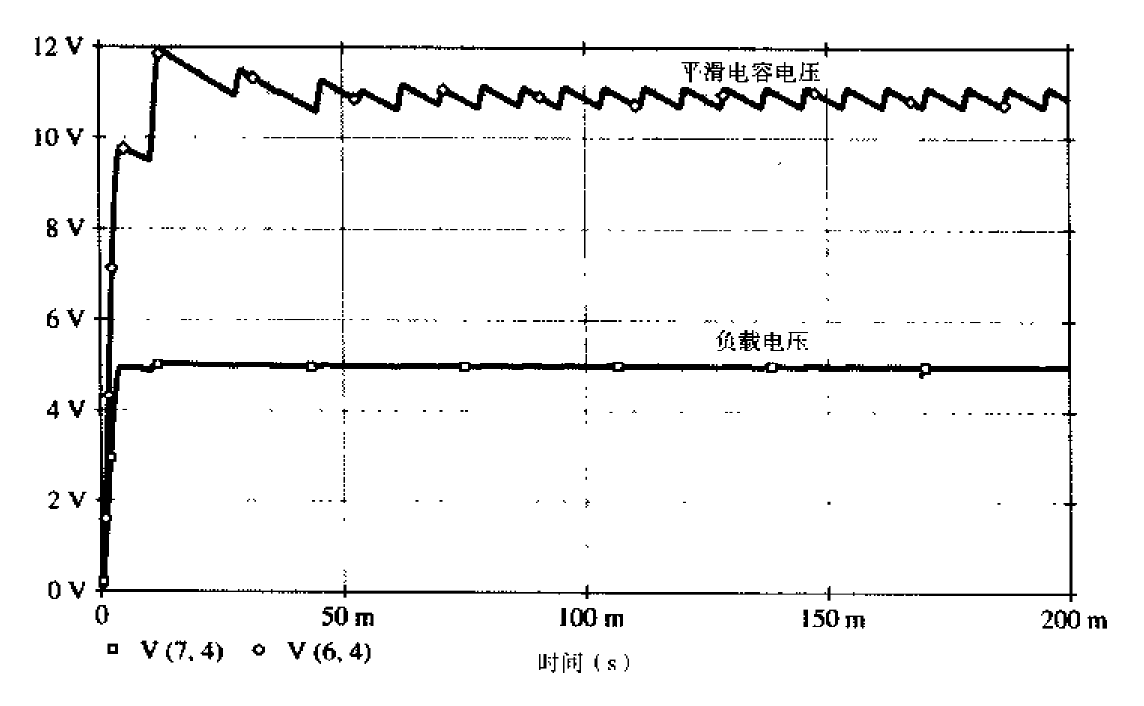


图 3.54 在例 3.10 的 5 V 电源中，平滑电容 C 两端的电压 v_C 和负载电阻 $R_{load} = 200\ \Omega$ 两端的电压 v_O

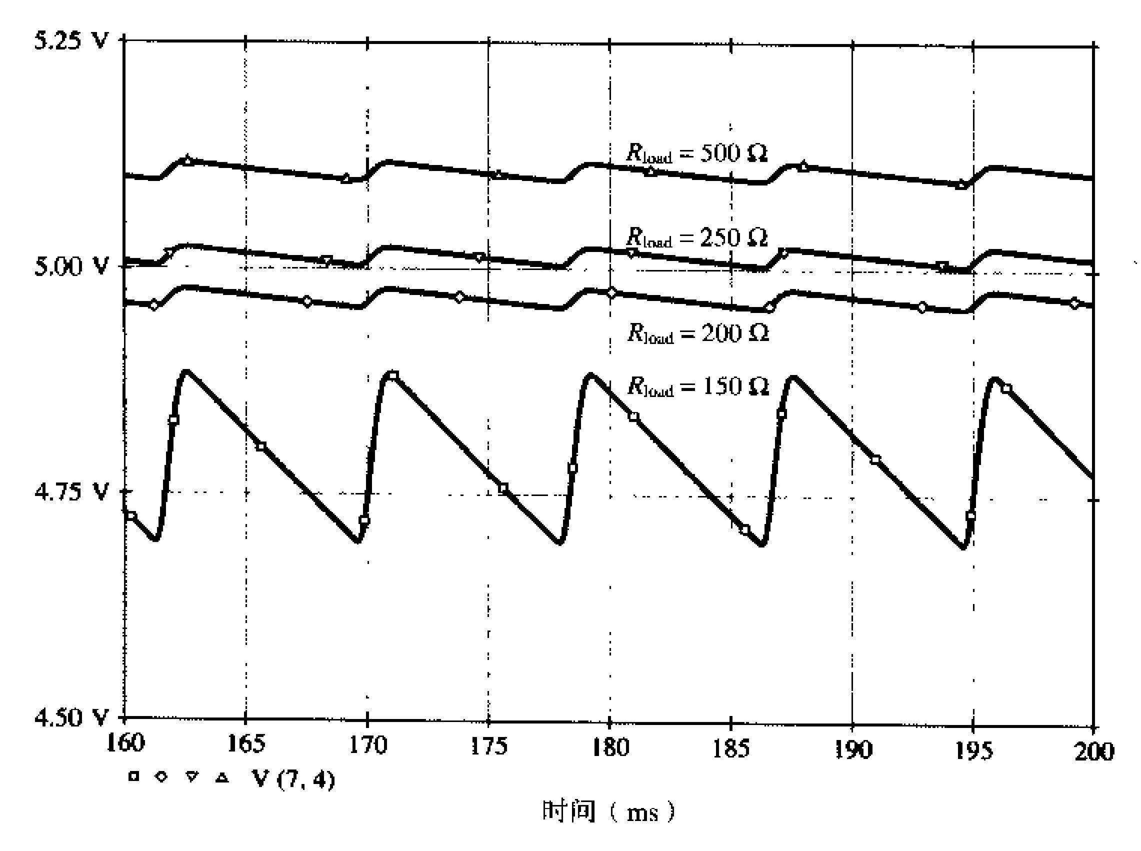


图 3.55 负载电阻 $R_{load} = 500\ \Omega$，$250\ \Omega$，$200\ \Omega$，$150\ \Omega$ 时，5 V 电源的输出电压波形（见例题 3.10）。当负载电阻为 $150\ \Omega$ 时失去了稳压功能

现在可以得出这样的结论：该设计满足了规定指标，因此可以结束设计了。但是我们还可以进一步运行 PSpice 来考虑进行优化设计。例如，我们可以考虑如果使用更低的 C 值会发生什么，等等。我们也可以研究目前设计的其他特性，例如，流过每个二极管的最大电流，查明该最大值是否在二极管指定的额定值的范围内。 ■

练习 3.35 利用 PSpice 分析电压倍增器的性能，其原理图如图 E3.35（a）所示。具体地说，当输入是峰值为 10 V、频率为 1 kHz 的正弦波时，绘出电压 v_2 和 v_{out} 的瞬态响应曲线。假设二极管是 1N4148（$I_S = 2.682$ nA，$n = 1.836$，$R_S = 0.5664\ \Omega$，$V_0 = 0.5$ V，$C_{j0} = 4$ pF，$m = 0.333$，$\tau_T = 11.54$ ns，$V_{ZK} = 100$ V，$I_{ZK} = 100\ \mu$A）。

答案：电压波形如图 E3.35（b）所示

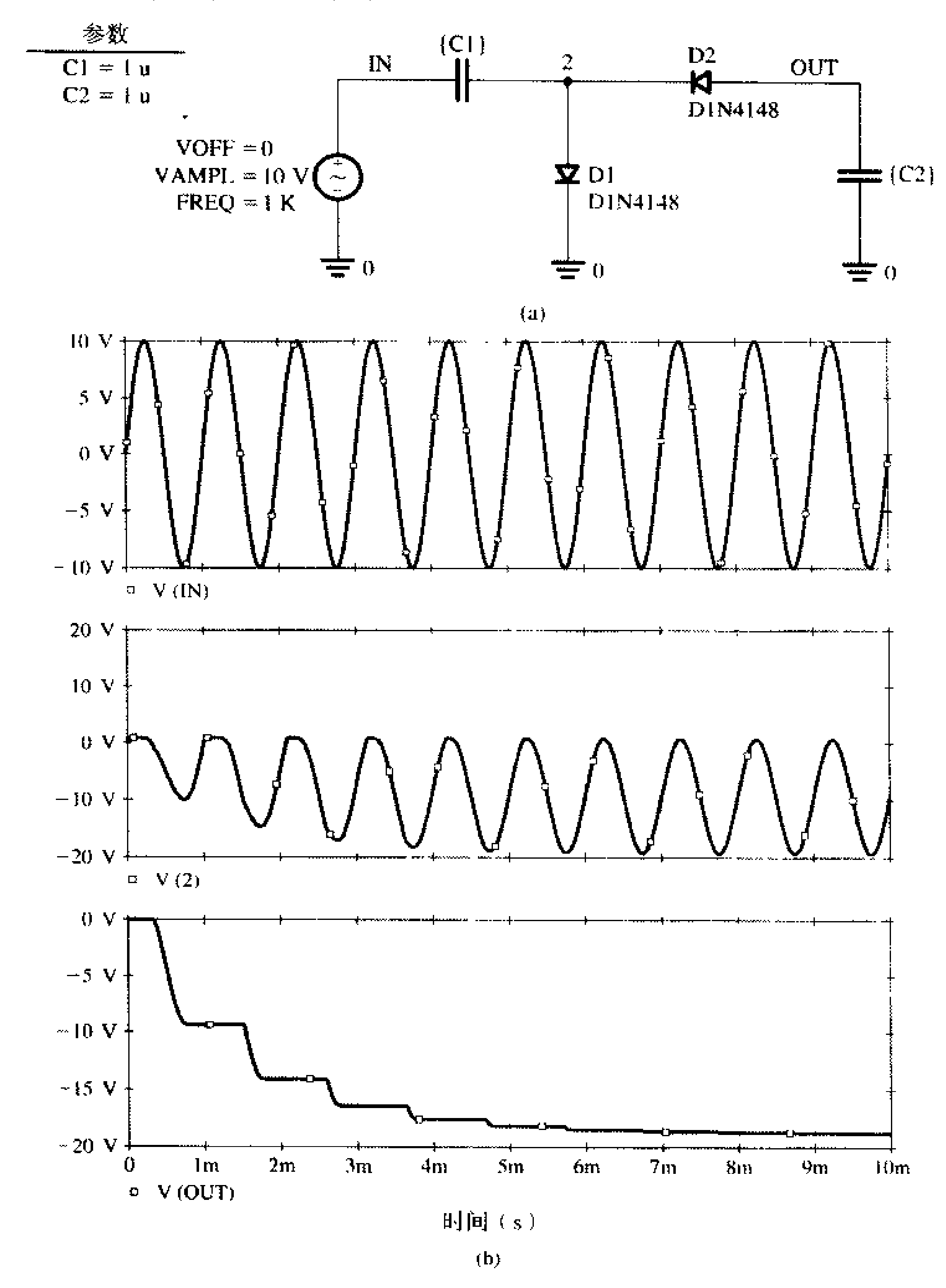


图 E3.35 （a）电压倍增器的原理图（见练习 3.35）；（b）电压倍增器电路中不同的电压波形。最上面的是输入正弦波电压信号，中间的是二极管 D_1 两端的电压，最下面的是输出端的电压

小结

- 正向偏置时，理想二极管可以流过由外电路施加的任意电流值，而电压降为0。反向偏置时，理想二极管不能导通，任何施加的电压在二极管两端呈现为反向偏置。
- 单向导电性使得二极管在整流电路的设计中非常有用。
- 实际的硅二极管的正向导通特性可以用关系式 $i = I_S e^{v/nV_T}$ 精确描述。
- 硅二极管在正向电压小于0.5 V时，导通电流可以忽略。当正向电压增大到0.5 V时，电流快速增大，而电流每变化10倍，电压降增加60 mV到120 mV（取决于 n 的值）。
- 反偏时，流过硅二极管的电流在 10^{-9} A的数量级。该电流远大于 I_S，并且随着反偏电压的增大而增大。
- 超过一定的反向电压值（取决于二极管）就会发生击穿，电流快速增大，而相应的电压只有很小的增加。
- 工作在击穿区域的二极管叫做齐纳二极管，它们常用在稳压器的设计中。稳压器的功能是提供恒定的直流电压，在电源电压或负载电流发生变化时，直流电压只有很小的变化。
- 存在各种不同层次的模型，选择哪种模型由具体应用决定。
- 在许多应用中，导通的二极管用常数电压降模型，通常近似为0.7 V。
- 工作在直流电流 I_D 的二极管有一个小信号电阻 $r_d = nV_T / I_D$。
- 硅结二极管基本上是一个 pn 结，这种结在单晶硅中形成。
- 在 p 型硅中有大量的空穴（带正电荷的载流子），而在 n 型硅中有丰富的电子。
- 在 pn 结的接触面上形成一个载流子耗尽区，n 区带正电荷，p 区带负电荷。产生的电压差称为势垒电压。
- 扩散电流 I_D 正向流过 pn 结（由 p 区的空穴传输和 n 区的电子传输），I_S 电流反向流过 pn 结（由热激发产生的少数载流子传输）。在开路 pn 结中，$I_D = I_S$，势垒电压记为 V_0。V_0 也叫做 pn 结内建电位差。
- 在 pn 结上施加反向偏置电压 $|V|$ 会使耗尽区宽度加宽，势垒电压增大到 $(V_0 + |V|)$。扩散电流减小，并且有 $(I_S - I_D)$ 的反向净电流。
- 在 pn 结上施加正向偏置电压 $|V|$ 会使耗尽区宽度变窄，势垒电压减小到 $(V_0 - |V|)$。扩散电流增大，并且有 $(I_D - I_S)$ 的正向净电流。
- 对于正向区域的二极管模型的总结参见表3.1
- pn 结物理特性关系式的总结参见表3.2。

习题

3.1 节：理想二极管

3.1 一个AA干电筒电池的戴维南等效电压为1.5 V的电压源，电阻为1 Ω。它被连接到一个理想二极管的两端。描述两种可能产生的情况，并求该二极管在以下两种情况下的电流和端口电压：（a）二极管的负极和电池的正极连接；（b）二极管的正极和电池的正极连接。

3.2 对于图P3.2所示的电路采用理想二极管，求所标明的电压和电流值。

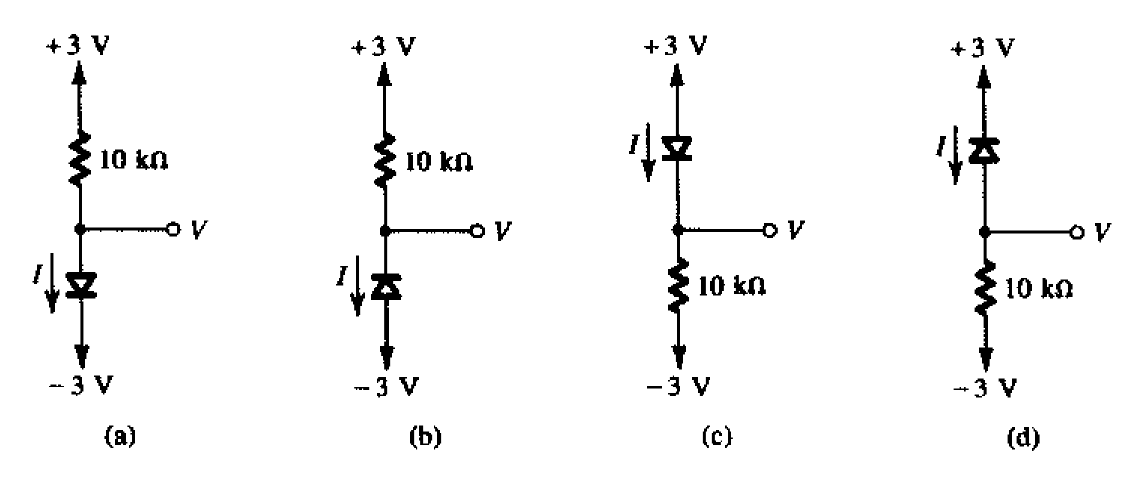


图 P3.2

3.3 对于图 P3.3 所示的电路采用理想二极管，求所标明的电压和电流值。

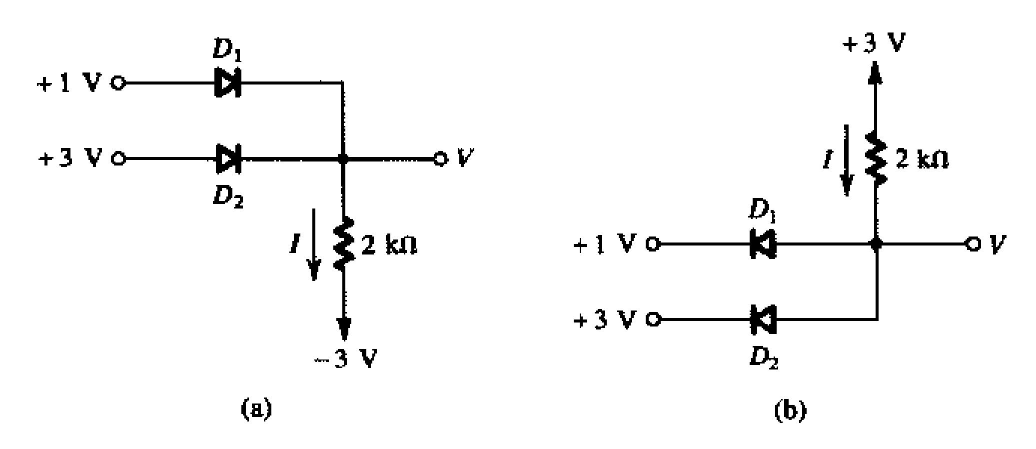


图 P3.3

3.4 在图 P3.4 所示的每个理想二极管电路中，v_I 为 1 kHz、峰值为 10 V 的正弦波。画出 v_O 的波形。它的正峰值和负峰值各为多少？

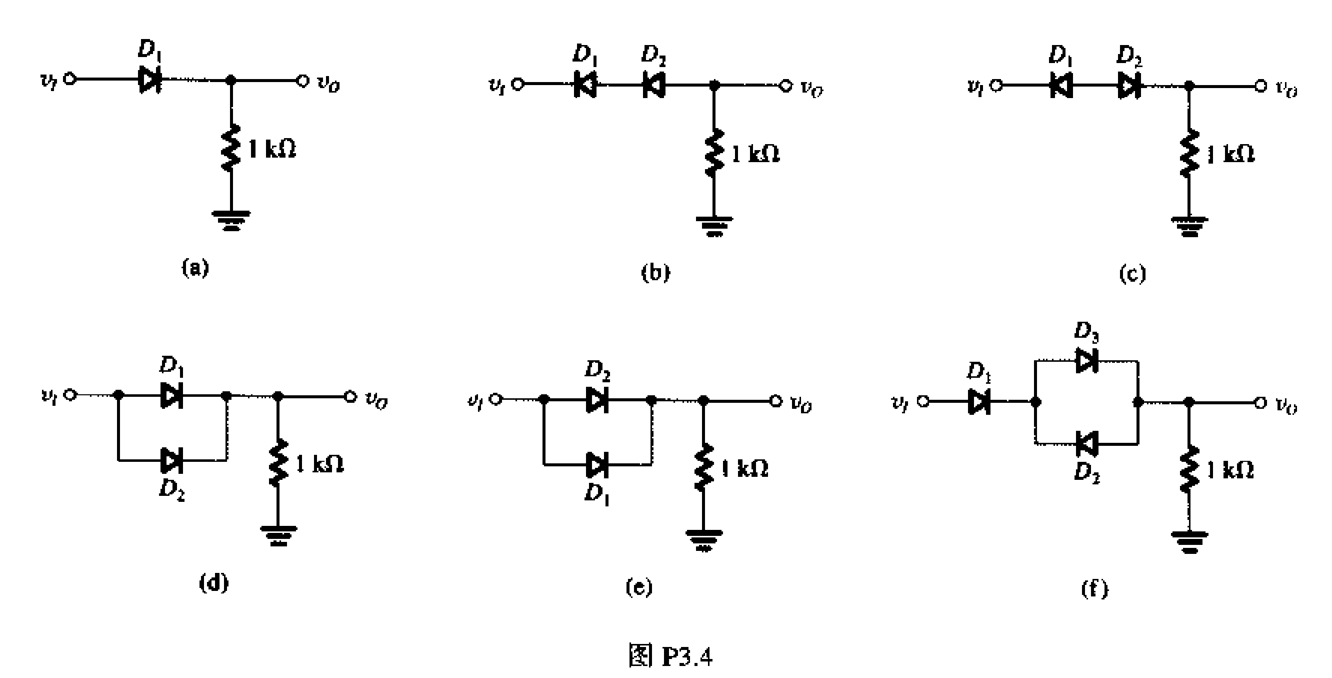


图 P3.4

(g) (h) (i)

(j) (k)

图 P3.4（续）

3.5 图 P3.5 所示的电路是一个电池充电器模型。其中 v_I 是峰值为 10 V 的正弦波，D_1 和 D_2 是理想二极管，I 是 100 mA 的电流源，B 是 4.5 V 的电池。画出电池电流 i_B 的波形并标明数值。它的峰值为多少？平均值为多少？如果 v_I 的峰值减小 10%，那么 i_B 的峰值和平均值将分别变为多少？

3.6 图 P3.6 所示的电路可以作为逻辑门，它的输入电压既可以是高也可以是低。用“1”来表示高电平，“0”来表示低电平。如果用一个 4 列的表格给出所有可能的输入组合以及得到的 X 值和 Y 值，则 X 与 A 和 B 之间的逻辑关系是什么？Y 与 A 和 B 之间的逻辑关系是什么？当 A 和 B 为何值时，X 和 Y 有相同的值？当 A 和 B 为何值时，X 和 Y 有相反的值？

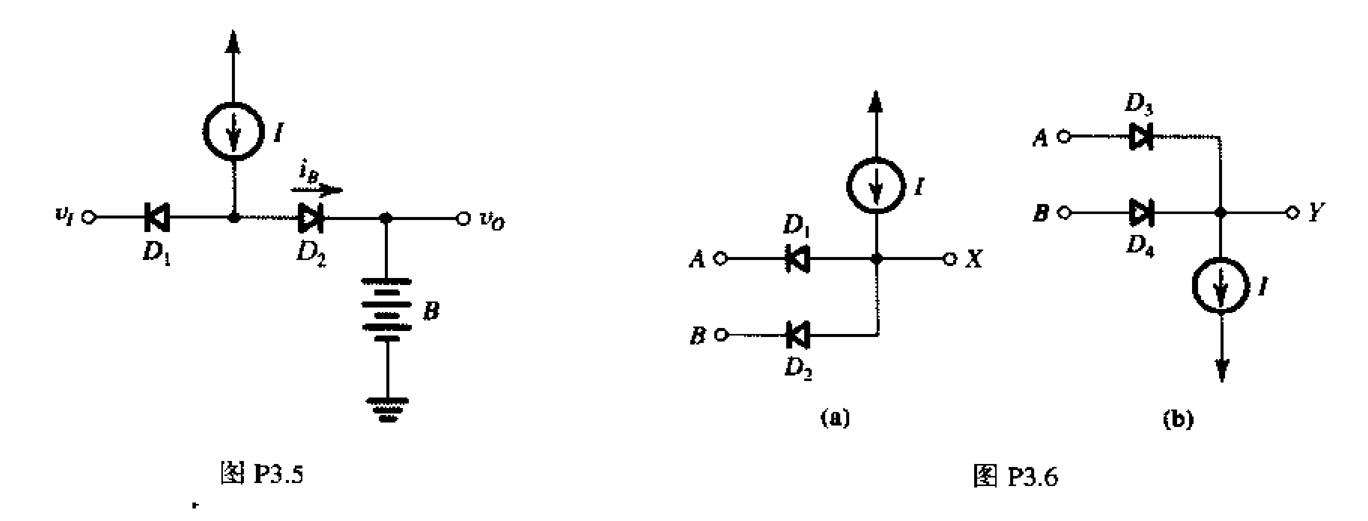


图 P3.5

图 P3.6

D3.7 对于图 3.5（a）所示的逻辑门，假设二极管理想并且输入电压为 0 V 和+5 V。求使从每个输入信号源得到的电流不超过 0.1 mA 的合适的 R 值。

D3.8 对于图 3.5（b）所示的逻辑门重复习题 3.7 的问题。

3.9 假设图 P3.9 电路中的二极管理想，求所标明的电压和电流值。

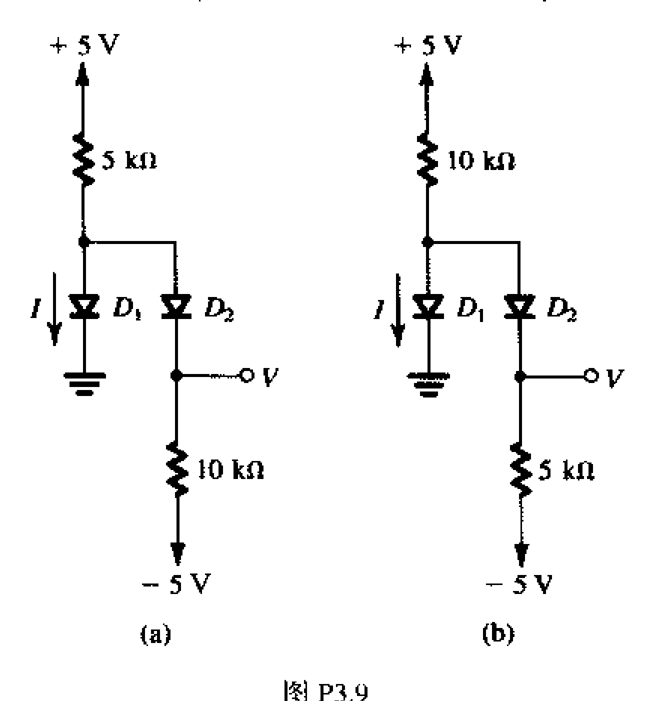


图 P3.9

3.10 假设图 P3.10 电路中的二极管理想，使用戴维南定理来简化电路，并求所标明的电流和电压值

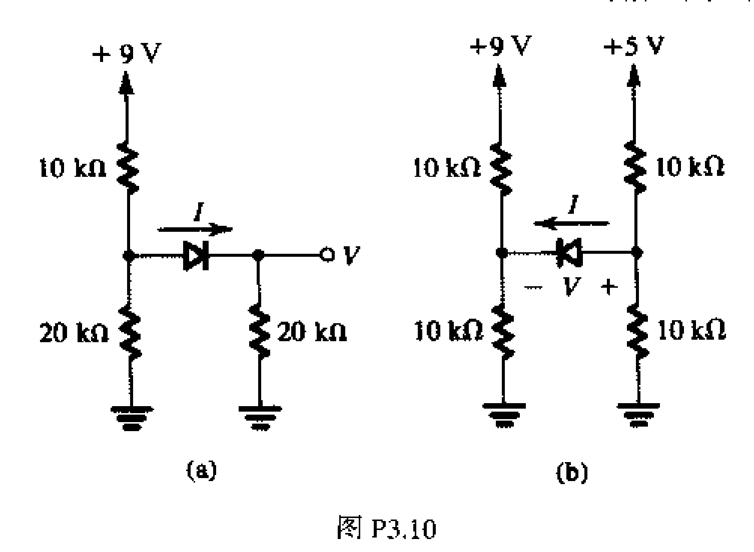


图 P3.10

D3.11 对于图 3.3（a）所示的整流电路，设输入正弦波的 rms 值为 120 V，并假设二极管理想。选择使二极管的峰值电流不超过 50 mA 的合适的 R 值。二极管两端的最大反向电压为多少？

3.12 考虑图 3.3 所示的整流电路，输入源 v_I 的源电阻为 R_s。当 $R_s=R$ 并假设二极管理想时，画出 v_O 与 v_I 的传输特性并标明数值。

3.13 一个峰峰值为 6 V、平均值为 0 的方波被加入到类似于图 3.3（a）所示的电路，该电路采用 100 Ω的电阻。那么输出电压的峰值为多少？输出电压的平均值为多少？二极管电流的峰值为多少？平均值为多少？二极管两端的最大反向电压为多少？

3.14 当方波电压的平均值为 2 V，峰峰值保持 6 V 不变时，重新计算习题 3.13 的问题。

*D3.15 使用理想二极管设计一个类似于图 3.4 所示的电池充电电路，要求在一个周期的 20%的时间内有电流流过 12 V 电池，并且电流的平均值为 100 mA。那么正弦波电压的峰峰值应该为多少？电阻应该为多少？二极管电流的峰值为多少？二极管两端反向电压的峰值为多少？如果电阻被指定为只有一位有效位并且对峰峰值电压取整（往最接近的方向取整），那么为了保证所要求的充电电流，应该选择什么样的设计？二极管有电流流过的时间在整个周期中所占的比例为多少？二极管电流的平均值为多少？二极管电流的峰值为多少？二极管两端反向电压的峰值为多少？

3.16 使用一根电线和一个共地回线就可以将图 P3.16 所示电路用在信号灯系统中。在任何时候，输入都可以是下列三个值之一：+3 V，0 V，−3 V。在每个输入值情况下，两个灯的状态是什么？（注意，信号灯相互之间可以分开放置，也可能会有几种连接方式，但是都用一根电线。）

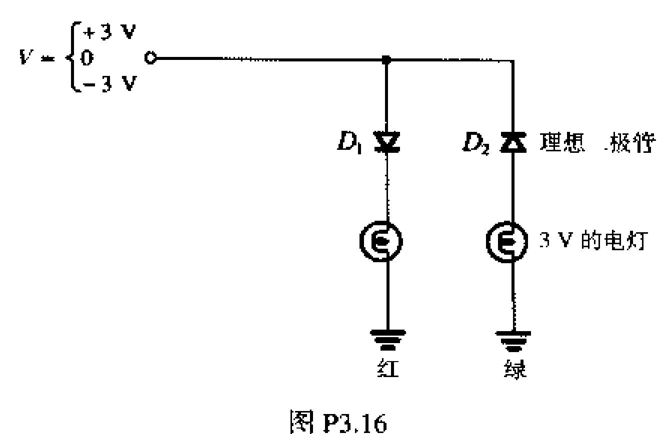


图 P3.16

3.2 节：结二极管端口特性

3.17 计算−40℃，0℃，+40℃ 和+150℃ 时的热电压 V_T 值。在什么温度时 V_T 精确地等于 25 mV？

3.18 求正向电压为多少时 $n = 2$ 的二极管流过的电流等于 1000 I_S？当正向电压为 0.7 V 时，用 I_S 来表示流过二极管的正向电流。

3.19 一个二极管的 $n = 1$，并且当电流为 1.0 mA 时其正向电压降为 0.7 V。那么当它工作在 0.5 V 时，其电流值为多少？

3.20 一个二极管的 $n = 1$，当结电压为 0.7 V 时导通电流为 5 mA。那么它的饱和电流 I_S 为多少？如果结电压上升到 0.71 V，则流过该二极管的电流为多少？结电压上升到 0.8 V 时电流又为多少？如果结电压下降到 0.69 V，电流为多少？下降到 0.6 V 呢？如果要使二极管电流增大 10 倍，那么结电压应该如何变化？

3.21 对结二极管测量得到下面的结果，其中 V 是端口电压，I 是二极管电流。计算当 $n = 1$ 和 $n = 2$ 时每个二极管的 I_S 值以及当电流为测量电流的 1%时的端口电压。$V_T = 25$ mV。

（a）当 $I = 1.00$ A 时 $V = 0.700$ V；

（b）当 $I = 1.00$ mA 时 $V = 0.650$ V；

（c）当 $I = 10\ \mu$A 时 $V = 0.650$ V；

（d）当 $I = 10$ mA 时 $V = 0.700$ V。

3.22 下面列出的是对几个不同结二极管测量得到的结果。对于每一个二极管给出的是二极管电流 I、相应的二极管电压 V 以及电流为 $I/10$ 时的二极管电压。计算每种情况下的 I_S、n 以及在 $10I$ 时的二极管电压值。

（a）10.0 mA，700 mV，600 mV；

（b）1.0 mA，700 mV，600 mV；

（c）10 A，800 mV，700 mV；

（d）1 mA，700 mV，580 mV；

（e）10 μA，700 mV，640 mV。

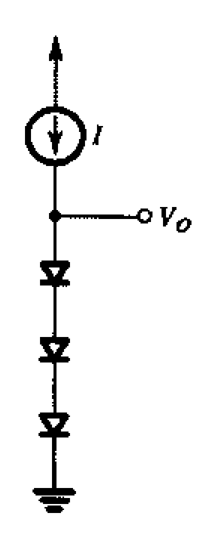


图 P3.23

3.23 图 P3.23 所示电路使用 3 个相同的二极管，它们的 $n = 1$ 且 $I_S = 10^{-14}$A。

求使输出电压 $V_O=2\text{V}$ 的电流 I 的值。如果负载从输出端得到 1 mA 的电流，那么输出电压的变化为多少？

3.24 一个结二极管应用在一个由恒流源 I 供电的电路中。如果在二极管边上再并联一个相同的二极管，那么对该二极管的正向电压有什么影响？假设 $n=1$。

3.25 在图 P3.25 所示的电路中，两个二极管都有 $n=1$，但是 D_1 的结面积是 D_2 的 10 倍，那么 V 的值为多少？为了使 V 等于 50 mV，则电流 I_2 应该为多少？

3.26 在图 P3.26 所示的电路中，两个二极管相同，电压为 0.7 V 时电流为 10 mA，电压为 0.8 V 时电流为 100 mA。求 $V=80$ mV 时 R 的值。

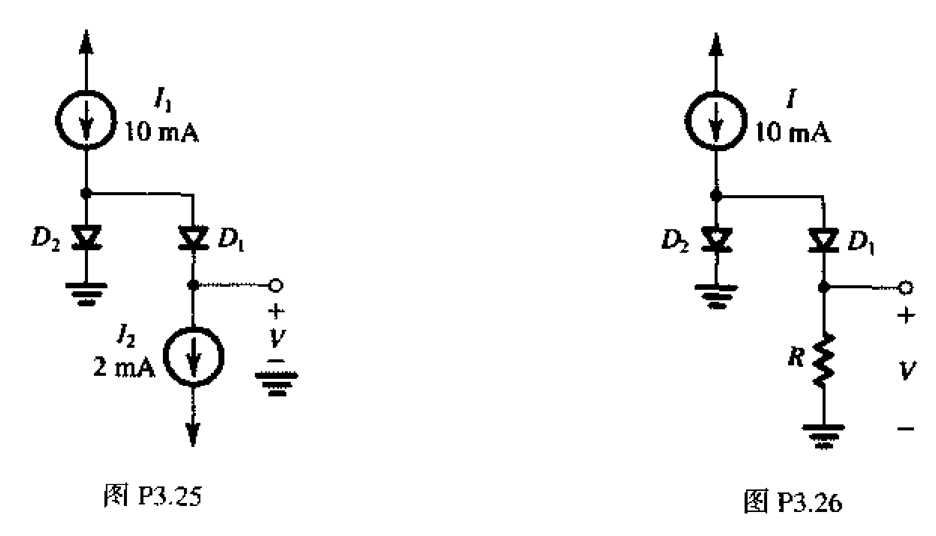


图 P3.25　　图 P3.26

3.27 几个二极管有不同的尺寸，但 n 都等于 1，在不同温度和结电流下对这些二极管进行测量可得到如下的结果。求每个二极管在电流为 1 mA 和 25°C 时的电压。

（a）在 10 μA 和 0°C 时为 620 mV；

（b）在 1 A 和 50°C 时为 790 mV；

（c）在 100 μA 和 100°C 时为 590 mV；

（d）在 10 mA 和−50°C 时为 850 mV；

（e）在 100 mA 和 75°C 时为 700 mV。

*3.28 在图 P3.28 所示的电路中，$n=1$，D_1 是一个具有大面积和高电流的二极管，它的反向漏电流较大并且与所加的电压无关，而 D_2 是一个非常小且电流较低的二极管。在 20°C 的环境温度下，调整电阻 R_1 使得 $V_{R1}=V_2=520$ mV。随后的测量表明 R_1 为 520 kΩ。在 0°C 和 40°C 时，电压 V_{R1} 和 V_2 将变为多少？

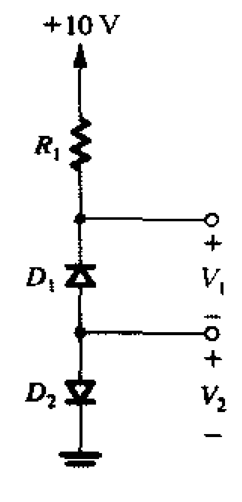


图 P3.28

3.29 某二极管加上 15 A 的电流时，发现它的结电压立刻变为 700 mV。但是因为功耗使得二极管温度上升，电压减小，并最终成为 580 mV。那么结二极管的温度升高了多少？在最后状态时，二极管损耗的功率为多少？每瓦功率损耗导致温度升高多少？（这称为热阻。）

*3.30 某设计者能够设计在较宽电源电压范围内工作的仪器，他发现二极管的结电压降几乎与结电流无关，因此他考虑使用大功率二极管来得到相对恒定的电压。一个功率二极管在 0.8 V 时额定电流为 10 A。此外，设计者相信该二极管的 $n=2$。对于可得到的电流源，其电流在 0.5 mA 到 1.5 mA 的范围内变化，那么结电压可能为多少？当温度有±25°C 的变化时，电压变化可能为多少？

*3.31 作为习题 3.30 中提出的思想的另一种考虑，设计者给出了第二种从易变的电流源获得相对恒定的电压的方法：它依赖于对可获得的小电流的精确复制（采用称为电流镜像的过程）。该设计者提出利用两个不同截面积的二极管来提供相同的电流并且测量其结电压的差值。可以采用两种类型的二极管：对于 700 mV 的正向电压，其中一个二极管流过 0.1 mA 的电流，而另一个流过 1 A 的电流。现在对这两个二极管提供 0.5 mA 到 1.5 mA 范围内的相同电流，那么它们电压差值的范围为多少？±25℃ 的温度变化对该设置有什么影响？假设 $n=1$。

3.3 节：二极管正向特性建模

*3.32 考虑图 3.10 所示二极管电路的图解分析，$V_{DD}=1$ V，$R=1$ kΩ，二极管有 $I_S=10^{-15}$A 和 $n=1$。计算负载线与二极管特性曲线的交点附近的几个点，并利用图解过程来调整对二极管电流的估计值。求得的二极管电流和电压值为多少？利用分析法计算所估计的电流值对应的电压。它与由图解法得到的结果差多少？

3.33 利用迭代分析方法确定图 3.10 所示电路中的二极管电流和电压值，其中，$V_{DD}=1$ V，$R=1$ kΩ，二极管有 $I_S=10^{-15}$A 和 $n=1$。

3.34 一个 “1 mA 二极管”（即当 $i_D=1$ mA 时 $v_D=0.7$ V）与 200 Ω的电阻串联连接到 1.0 V 的电源上。

（a）给出二极管电流的粗略估计；

（b）如果该二极管 $n=2$，使用迭代分析估计二极管电流的更精确值。

3.35 下面给出了一系列电路（如图 3.10 所示），其参数列出如下。对于所使用的每个二极管，给出了在结电压为 V_0 时测量得到的结电流 I_0，以及当电流增大 10 倍时结电压的变化ΔV。利用二极管指数方程和迭代法求每个电路的二极管电流 I_D 及相应的电压 V_D。（提示：为了减少工作量，需要注意虽然不是所有情况，但在大多数情况下在电路和二极管参数之间有非常特殊的关系。最后我们注意到使用这些关系或者它们的近似可以使电路设计变得非常简单。）

电路	V_{DD}(V)	R(kΩ)	I_0(mA)	V_0(mV)	ΔV(mV)
a	10.0	9.3	1.0	700	100
b	3.0	2.3	1.0	700	100
c	2.0	2.0	10	700	100
d	2.0	2.0	1.0	700	100
e	1.0	0.30	10	700	100
f	1.0	0.30	10	700	60
g	1.0	0.30	10	700	120
h	0.5	30	10	700	100

D3.36 假设可得到的二极管在 $i_D=1$ mA 和 $n=1$ 时 $v_D=0.7$ V，设计一个电路，该电路使用 4 个串联连接的二极管，并与连接到 10 V 电源的电阻 R 串联。要求二极管串两端的电压为 3.0 V。

3.37 一个二极管在 $i_D=1$ mA 和 $n=2$ 时 $v_D=0.7$ V，求该二极管的分段线性模型的参数。该模型在 1 mA 和 10 mA 时完全拟合。利用该分段线性模型来计算 i_D 分别为 0.5 mA，5 mA 和 14 mA 时 v_D 值的误差为多少（以 mV 为单位）？

3.38 利用直线来近似图 3.12 给出的二极管特性曲线，该直线与二极管特性曲线在 10 mA 和 1 mA 时精确匹配。问：直线的斜率为多少？r_D 为多少？V_{D0} 为多少？

3.39 在图 3.12 中给出的二极管特性曲线上，画出由一个 0.9 V 的电压源和一个 100 Ω电阻组成的

外电路的负载线。使用下面两个模型得到的二极管压降和环路电流为多少？

（a）实际的二极管特性模型；

（b）所示的二段线性模型。

3.40 对于下面描述的二极管，求电池加电阻模型的参数 r_D 和 V_{D0}，该模型的直线与二极管指数特性相交于指定二极管电流的 0.1 倍和 10 倍处。

（a）当 $I_D = 1$ mA 和 $n = 1$ 时 $V_D = 0.7$ V；

（b）当 $I_D = 1$ A 和 $n = 1$ 时 $V_D = 0.7$ V；

（c）当 $I_D = 10$ μA 和 $n = 1$ 时 $V_D = 0.7$ V。

3.41 特性曲线如图 3.15 所示的二极管工作在 10 mA 处。对于一个近似的恒压降模型来说，最合适的电压可能是多少？

3.42 某二极管与 R 和 V 串联工作。某设计者考虑使用恒压降模型，但是不能确定 V_D 是 0.7 V 还是 0.6 V。那么在计算电流值时，如果要求差别只有 1%，则 V 的值应该为多少？当 $V = 2$ V，$R = 1$ kΩ时，使用这两个 V_D 值得到的两个电流为多少？其差别用百分数表示时为多少？

D3.43 某设计者有许多二极管，这些二极管在 0.7 V 时流过的电流为 20 mA，并且电流变化 10 倍，电压变化 0.1 V。该设计者想利用 10 mA 的电流源来得到 1.25 V 的参考电压。给出实现该要求的二极管的串并联组合。需要多少个二极管？实际得到的电压为多少？

3.44 考虑图 3.3（a）所示的半波整流电路，$R = 1$ kΩ，二极管的特性和分段线性模型如图 3.12 所示（$V_{D0} = 0.65$ V，$r_D = 20$ Ω）。二极管模型使用分段线性模型，分析该整流电路，求输出电压 v_O 对 v_I 的函数。画出当 $0 \leqslant v_I \leqslant 10$ V 时，v_O 对 v_I 的传输特性。当 v_I 是峰值为 10 V 的正弦波时，画出 v_O 的波形并标明数值。

3.45 使用恒压降二极管模型（$V_D = 0.7$ V）来求解例题 3.2。

3.46 对于图 P3.2 所示的电路，使用恒压降二极管模型（$V_D = 0.7$ V），求所示的电流和电压值。

3.47 对于图 P3.3 所示的电路，使用恒压降二极管模型（$V_D = 0.7$ V），求所示的电流和电压值。

3.48 对于图 P3.9 所示的电路，使用恒压降二极管模型（$V_D = 0.7$ V），求所示的电流和电压值。

3.49 对于图 P3.10 所示的电路，使用戴维南定理来简化电路，并求所示的电流和电压值。假设导通二极管可以用恒压降二极管模型（$V_D = 0.7$ V）表示。

D3.50 用恒压降模型（$V_D = 0.7$ V）来表示二极管，重复习题 3.11 的问题。设计结果有什么不同？

3.51 重复例题 3.1 中的问题，假设该二极管的面积是特性和分段线性模型如图 3.12 所示器件的 10 倍。用分段线性模型（$v_D = 0.65 + 2i_D$）表示该二极管。

3.52 当电压变化量约为 10 mV 时，小信号模型是有效的。对于下面两种情况，对应的电流变化百分比为多少（考虑正信号和负信号）：

（a）$n = 1$

（b）$n = 2$

在每种情况下，如果电流变化限制为 10%，那么允许的最大电压信号为多少（正或负）？

3.53 在一个特定的电路应用中，10 个“20 mA 二极管”（20 mA 二极管是指当流过 20 mA 的电流时产生 0.7 V 的压降）并联连接，工作的总电流为 0.1 A。当这些二极管完全匹配并且 $n = 1$ 时，流过每个二极管的电流为多少？每个二极管对应的小信号电阻为多少？组合后的小信号电阻为多少？与导通电流为 0.1 A 的单个二极管的增量电阻进行比较。如果每个 20 mA 二极管有一个 0.2 Ω的串联电阻（该电阻由连接到 pn 结的电线产生），那么这 10 个并联连接的二极管的等效电阻为多少？为了实现等效，单个二极管需要连接多大的电阻？（注意，这就是为什么实际二极管的并联连接经常被使用并且有很大好处的原因。）

3.54 在图 P3.54 所示的电路中，I 是直流电流，v_s 是正弦信号。电容 C_1 和 C_2 非常大，它们的功能是将信号耦合进二极管以及将信号从二极管耦合出来，但是它们阻止直流电流流入信号源或负载（未画出）。使用二极管小信号模型证明输出电压的信号分量为

$$v_o = v_s \frac{nV_T}{nV_T + IR_s}$$

如果 $v_s = 10$ mV，当 $I = 1$ mA，0.1 mA 和 1 μA 时，求 v_o。设 $R_s = 1$ kΩ，$n = 2$。当 I 为何值时，v_o 变为 v_s 的一半？可以看出该电路的功能是一个信号衰减器，衰减系数由直流电流 I 控制。

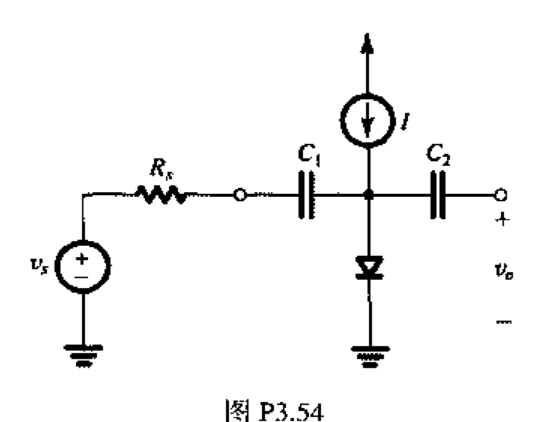


图 P3.54

3.55 在图 P3.54 所示的衰减电路中，设 $R_s = 10$ kΩ。二极管是 1 mA 器件，即在直流电流为 1 mA 时电压降为 0.7 V，并且 $n = 1$。当输入小信号时，I 的值应该为多少才能使 $v_o / v_s = 0.50$？0.10？0.01？0.001？在每种情况下，确保二极管电流的信号分量限制在直流电流的±10%时，能够使用的最大输入信号为多少？对应的输出信号为多少？

3.56 在图 P3.56 所示的电容耦合衰减电路中，I 是从 0 mA 到 1 mA 变化的直流电流，D_1 和 D_2 是 $n = 1$ 的二极管，C_1 和 C_2 是非常大的耦合电容。当输入非常小的信号时，求 v_o / v_i 的值，其中 I 分别为：

（a）0 μA
（b）1 μA
（c）10 μA
（d）100 μA
（e）500 μA
（f）600 μA
（g）900 μA
（h）990 μA
（i）1 mA

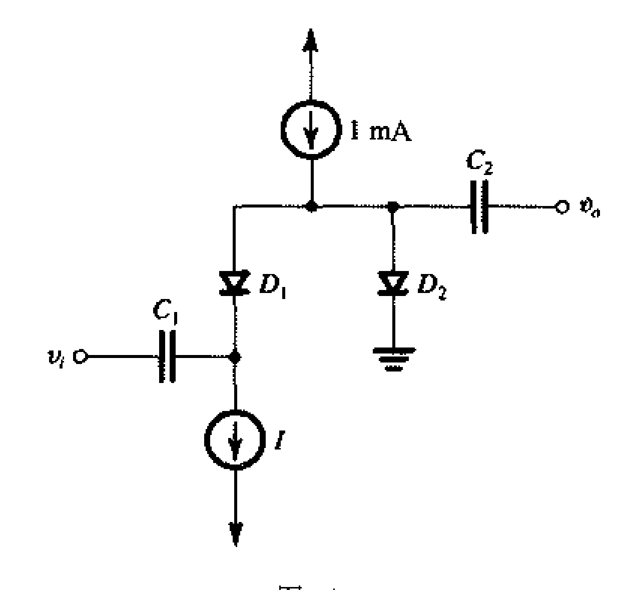


图 P3.56

当每个二极管的电流超过 10 μA 时，仍然要维持临界二极管电流为直流值的 10%，求最大的输入信号为多少？

*3.57 在图 P3.57 所示的电路中，二极管 D_1 到 D_4 都相同，$n = 1$，并且是“1 mA 二极管”，即电流为 1 mA 时电压降为 0.7 V。

（a）当输入小信号时（例如，峰值为 10 mV 的信号），求小信号传输 v_o / v_i 的值，I 分别为 0 μA，1 μA，10 μA，100 μA，1 mA 和 10 mA。

（b）对于正向导通的二极管，当信号电流限制为直流偏置电流的 10%时，它能够支持的最大电压信号幅度为多少？对于图 P3.57 的电路，输入峰值为 10 mV 的信号，求使二极管电流保持在其直流电流的±10%之内的最小的 I 值。

（c）当 $I = 1$ mA 时，求使二极管电流至多偏离直流值的 10%的最大可能的输出信号。对应的输入信号的幅度为多少？

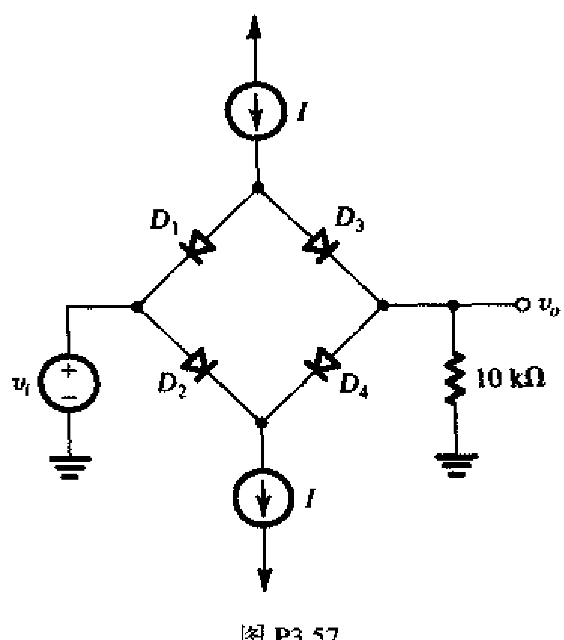


图 P3.57

*3.58 在图 P3.58 所示的电路中，I 是直流电流，v_i 是幅度较小的正弦信号（小于 10 mV），频率为 100 kHz。二极管用它的小信号电阻 r_d 表示，它是 I 的函数，画出确定正弦输出电压 V_o 的电路，并求 V_i 和 V_o 之间的相移。求产生−45°相移的 I 值以及当 I 在该值的 0.1 倍到 10 倍范围内变化时的相移范围。假设 $n=1$。

*3.59 考虑图 P3.59 所示的稳压电路。选择 R 的值使输出电压 V_O（二极管两端的电压）为 0.7 V。

（a）使用二极管小信号模型，证明对应于 V^{+}1 V 的变化，产生的输出电压的变化为

$$\frac{\Delta V_O}{\Delta V^{+}}=\frac{nV_T}{V^{+}nV_t-0.7}$$

这被称为线性稳压性，通常用 mV/V 表示。

（b）当 m 个二极管串联连接并调整 R 的值使每个二极管两端的电压为 0.7 V（$V_O=0.7m$ V）时，推导线性稳压性的表达式。

（c）当 $V^{+}=10$ V（额定值）以及 m 分别为 1 和 3 时，计算线性稳压性的值。令 $n=2$。

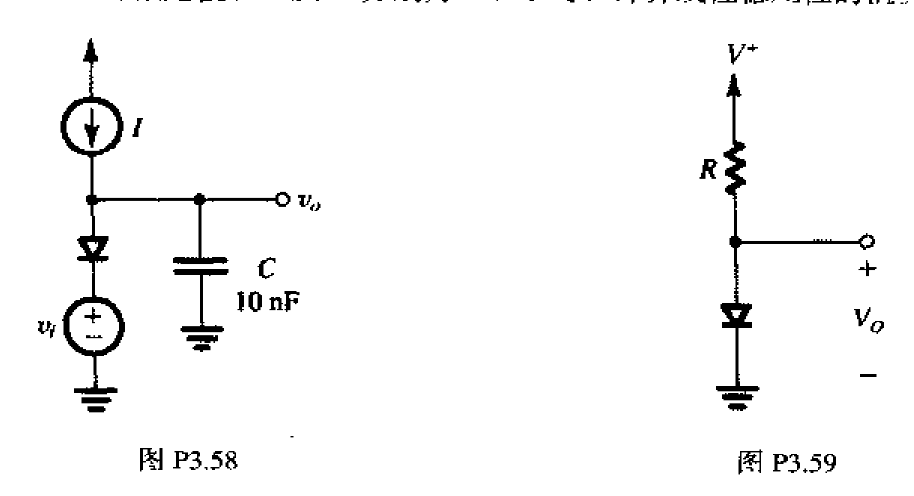


图 P3.58　　图 P3.59

*D3.60 在从输出端获得负载电流 I_L 的条件下考虑图 P3.59 所示的稳压电路。

（a）如果 I_L 的值足够小使得对应的稳压输出电压 ΔV_O 的变化足够小，则使用二极管小信号模型可以证明：

$$\frac{\Delta V_O}{I_L}=-(r_d\,//\,R)$$

这被称为负载稳压性，通常用 mV/mA 表示。

（b）如果选择 R 的值使得在没有负载时二极管两端的电压为 0.7 V，二极管电流为 I_D，证明（a）中得出的表达式变为

$$\frac{\Delta V_O}{I_L}=-\frac{nV_T}{I_D}\frac{V^+-0.7}{V^+-0.7+nV_T}$$

选择使负载稳压性为小于等于 5 mV/mA 的最小 I_D 值。假设 $n=2$。如果 V^+ 的额定值为 10 V，那么 R 的值应该为多少？指定满足要求的二极管。

（c）当 m 个二极管串联连接并调整 R 的值使得在没有负载时 $V_O=0.7m$ V 时，推导（b）中定义的负载稳压性的表达式。

D3.61 设计一个二极管稳压器来为 150 Ω负载提供 1.5 V 的电压。使用两个二极管，这两个二极管在电流为 10 mA 时电压降为 0.7 V，并且 $n=1$。它们通过电阻 R 连接到+5 V 的电源。指定 R 的值。当接上负载时二极管电流为多少？当去掉负载时，输出电压将增加多少？如果负载电阻减到 100 Ω，75 Ω和 50 Ω时，将会产生什么样的变化？

*D3.62 一个稳压器由两个串联连接的二极管组成，它由恒流源激励，该恒流源用来替换标称值为 1.5 V 的碳锌电池。该稳压器负载电流在 2 mA 到 7 mA 的范围内变化。现在有 5 mA，10 mA 和 15 mA 三个恒流源可供选择，你将选择哪一个？为什么？当负载电流在整个范围内变化时，输出电压的变化为多少？假设二极管有 $n=2$。

*3.63 参见如图 P3.63 所示的稳压器设计，其中二极管 D_1 和 D_2 是 10 mA 器件，即当电流为 10 mA 时电压降为 0.7 V。每个二极管都有 $n=1$。

（a）接上 150 Ω的负载时，稳压器的输出电压 V_O 为多少？

（b）没有负载时，求 V_O。

（c）接上负载时，使带负载的输出电压保持在其标称值±0.1 V 的范围内，则 5 V 电源可以降到多大？

（d）当增大 5 V 电源且增大的量等于（c）中求得的减小量时，带负载的输出电压将变为多少？

（e）对于（c）和（d）得到的变化范围，在最坏情况下当源电压发生 1%的变化时，输出电压变化的百分数为多少？

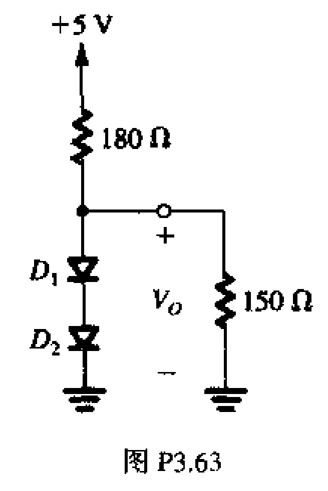


图 P3.63

3.4 节：工作在反向击穿区域的二极管——齐纳二极管

3.64 下面给出了一些齐纳二极管的部分指标，指出所缺的参数，并估算相应的参数值。从图 3.21 中可知 $V_{ZK}\cong V_{Z0}$。

（a）$V_Z=10.0$ V，$V_{ZK}=9.6$ V，$I_{ZT}=50$ mA；

（b）$I_{ZT}=10$ mA，$V_Z=9.1$ V，$r_z=30$ Ω；

（c）$r_z=2$ Ω，$V_Z=6.8$ V，$V_{ZK}=6.6$ V；

（d）$V_Z=18$ V，$I_{ZT}=5$ mA，$V_{ZK}=17.2$ V；

（e）$I_{ZT}=200$ mA，$V_Z=7.5$ V，$r_z=1.5$ Ω。

假设击穿二极管的额定功率是根据齐纳二极管电流（I_{ZT}）两倍的要求定义的，那么上面给出的每个二极管的额定功率为多少？

D3.65 某设计者需要一个 20 V 的并联稳压器。有两种齐纳二极管可供选择：r_z 为 10 Ω的 6.8 V 器件和 r_z 为 30 Ω的 5.1 V 器件。对于这两种选择，求负载稳压性。在计算中忽略稳压电阻 R 的影响。

3.66 一个并联稳压器使用增量电阻为 5 Ω的齐纳二极管，并通过 82 Ω的电阻被激励。如果原始电源有 1.3 V 的变化，那么相应的稳压器输出电压的变化为多少？

3.67 有一个 9.1 V 的齐纳二极管，当测试电流为 28 mA 时可得到它的标称电压。在该电流时，增量电阻为 5 Ω。求齐纳二极管模型的 V_{Z0}、电流为 10 mA 和 100 mA 时的齐纳电压。

D3.68 使用电流为 12 mA 时电压为 7.5 V 的齐纳二极管来设计 7.5 V 的齐纳稳压电路。该齐纳二极管的增量电阻 r_z = 30 Ω，拐点电流为 0.5 mA。该稳压器由 10 V 电源供电，负载为 1.2 kΩ。问：选择多大的 R 值？当电源升高 10%时，稳压器输出电压为多少？降低 10%时，输出电压又为多少？当电源升高 10%并同时移去负载时，输出电压为多少？当电源降低 10%时，要求齐纳二极管工作电流不低于拐点电流，则可以使用的最小的负载电阻为多少？

*D3.69 使用 1N5235 齐纳二极管给出两种并联稳压器的设计，该齐纳二极管在 I_Z = 20 mA 时 V_Z = 6.8 V，r_z = 5 Ω；I_Z = 0.25 mA（接近拐点）时 r_z = 750 Ω。在这两种设计中，电源电压的标称值为 9 V，并且有±1 V 的变化。假设第一种设计中电源电流不是问题，因此二极管工作电流为 20 mA。假设第二种设计中从原始电源得到的电流受到限制，二极管被迫工作在 0.25 mA 的电流上。假设没有负载。求每个设计中 R 的值和线性稳压性。

*D3.70 一个齐纳并联稳压器使用 9.1 V 的齐纳二极管，在 I_Z = 9 mA 时 V_Z = 9.1 V，并且 r_z = 30 Ω，I_{ZK} = 0.3 mA。可获得的 15 V 电压源有±10%的变化。对于该二极管，V_{Z0} 为多少？当负载电阻 R_L 的标称值为 1 kΩ，齐纳二极管标称电流为 10 mA 时，流过电源电阻 R 的电流必须为多少？对于标称源电压，选择电阻 R 的值使它至少能够提供这样的电流，电阻的有效位指定为 1 位。得到的标称输出电压为多少？对于电源电压±10%的变化，输出电压的变化为多少？如果负载电流减少 50%，那么 V_O 增加多少？当电源电压较低时，为了保持稳压，负载电阻能够容忍的最小值为多少？得到的最低可能的输出电压为多少？使用本习题中得到的数值结果，计算线性稳压性和负载稳压性。

*D3.71 要求设计一个齐纳稳压器来提供 10 V 左右的稳定电压。采用型号为 1N4740 的 10 V、1 W 齐纳二极管，在 25 mA 测试电流时有 10 V 的压降，且 r_z 为 7 Ω。原始电源的标称值为 20 V，但它的变化幅度达到±25%。该稳压器要求能够提供 0 mA 到 20 mA 的负载电流。设计要达到最小齐纳电流为 5 mA 的要求。

（a）求 V_{Z0}；

（b）计算所需要的 R 值；

（c）求线性稳压性。对应于±25%的 V_S 变化，V_O 变化的百分数是多少？

（d）求负载稳压性。从没有负载变到满负载时，V_O 变化的百分数是多少？

（e）在设计中要求齐纳二极管导通的最大电流为多少？在这个条件下，齐纳二极管的功耗是多少？

3.5 节：整流电路

3.72 考虑图 3.25（a）所示的半波整流电路，其中二极管反向偏置。设 v_S 是峰值为 15 V 的正弦波，R = 1.5 kΩ。使用 V_D = 0.7 V 的恒压降二极管模型。

（a）画出传输特性曲线；

（b）画出 v_O 的波形；

（c）求 v_O 的平均值；

（d）求二极管的峰值电流；

（e）求二极管的 PIV 值

3.73 使用二极管的指数特性证明当 v_S 和 v_O 都大于 0 时，图 3.25（a）所示电路的传输特性为

$$v_O = v_S - v_D(i_D = 1\,\text{mA时}) - nV_T \ln(v_O / R)$$

其中，v_S 和 v_O 的单位为 V，R 的单位为 kΩ。

3.74 考虑一个半波整流电路，它的输入是一个峰峰值为 5 V、平均值为 0 的三角波，$R = 1$ kΩ。假设二极管可以用 $V_{D0} = 0.65$ V，$r_D = 20$ Ω的分段线性模型表示。求 v_O 的平均值。

3.75 一个半波整流电路的 $R = 1$ kΩ，使用的二极管在电流为 1 mA 时电压降为 0.7 V，并且电流每变化 10 倍，电压就有 0.1 V 的变化。求对应于 $v_O = 0.1$ V，0.5 V，1 V，2 V，5 V 和 10 V 时输入到整流器的电压值。画出该整流器的传输特性曲线。

3.76 将 120 V（rms）、60 Hz 的家用电源通过 10：1 的变压器加给一个具有 1 kΩ负载的半波整流电路。该整流电路使用一个硅二极管，该二极管在任何电流下的压降都为 0.7 V。那么整流输出的电压峰值为多少？二极管在整个周期的哪部分导通？平均输出电压为多少？负载上的平均电流为多少？

3.77 将 120 V（rms）、60 Hz 的家用电源通过 5：1 的变压器加给一个具有 1 kΩ负载的全波整流电路。变压器次级使用中心抽头绕组。该整流电路使用两个硅二极管，并且这些二极管在任何电流下的压降都为 0.7 V。整流输出的电压峰值为多少？每个二极管在整个周期的哪部分导通？平均输出电压为多少？负载上的平均电流为多少？

3.78 将 120 V（rms）、60 Hz 的家用电源通过 10：1 的变压器加给一个具有 1 kΩ负载的全波桥式整流电路。变压器只有单个次级绕组。该整流电路使用 4 个二极管，每一个二极管都可以用在任何电流下的压降都为 0.7 V 的模型来表示。那么在负载两端整流得到的电压的峰值为多少？每个二极管在整个周期的哪部分导通？通过负载的平均电流为多少？

D3.79 使用图 3.26 所示的电路设计一个全波整流电路，要求输出电压的平均值为：

（a）10 V

（b）100 V

求每种情况下变压器的匝数比。假设导通二极管的电压降为 0.7 V，交流线电压为 120 V rms。

D3.80 对于图 3.27 所示的桥式整流电路，重复习题 3.79。

D3.81 考虑图 3.26 中的全波整流电路，变压器匝数比使得整个次级绕组两端的 rms 电压值为 24 V。如果输入交流线电压（120 V rms）有±10%的波动，求二极管所需要的 PIV 值。（记住，在设计中必须使用安全因子。）

*3.82 图 P3.82 中的电路实现的是输出互补的整流器。画出 v_O^+ 和 v_O^- 的波形并标明确切的数值。假设导通二极管两端的压降为 0.7 V。如果每个输出电压的平均幅度为 15 V，求整个次级绕组两端的正弦波的幅度应该为多大？每个二极管的 PIV 为多少？

3.83 在习题 3.76 的整流电路中增加一个电容来使纹波电压的峰峰值为：（i）输出电压峰值的 10%；（ii）输出电压峰值的 1%。在每种情况下，求：

（a）平均输出电压为多少？

（b）二极管导通的时间在整个周期中所占比例是多少？

（c）二极管电流的平均值为多少？

（d）二极管电流的峰值为多少？

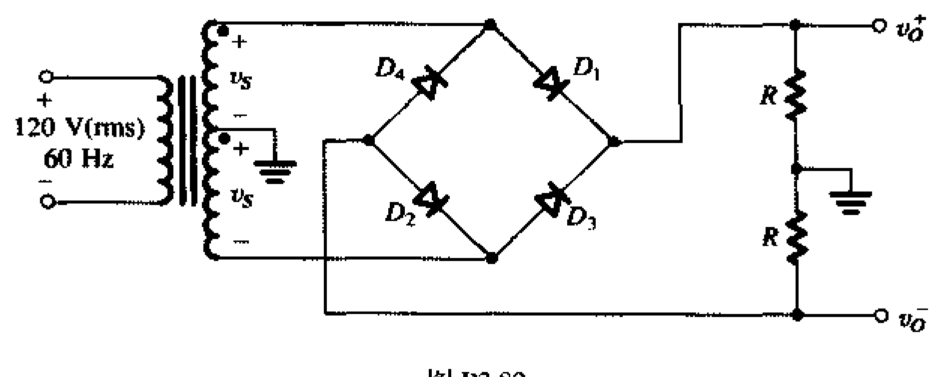


图 P3.82

3.84 对于习题 3.77，重复习题 3.83 的问题。

3.85 对于习题 3.78，重复习题 3.83 的问题。

*D3.86 使用峰值整流器来设计一个直流电源，要求它提供 15 V 的平均直流输出电压，最大允许的纹波为±1 V。该整流器激励一个 150 Ω的负载，激励信号由线电压（rms 为 120 V、60 Hz）通过变压器接入。所得到的二极管导通时压降为 0.7 V。如果设计者选取半波电路：

（a）指出变压器次级两端电压的 rms 值；

（b）求滤波电容所需要的值；

（c）求二极管两端的最大反向电压，并指出二极管的额定 PIV；

（d）计算在导通期间流过二极管的平均电流；

（e）计算二极管电流的峰值。

*D3.87 如果设计者选用中心抽头的全波电路，重复习题 3.86 的问题。

*D3.88 如果设计者选用桥式全波整流电路，重复习题 3.86 的问题。

*3.89 考虑一个半波峰值整流器，它由一个峰峰值为 20 V、平均值为 0、频率为 1 kHz 的三角波电压 v_S 激励。假设二极管导通时压降为 0.7 V。设负载电阻 $R=100\ \Omega$，滤波电容 $C=100\ \mu\text{F}$。求直流输出电压的平均值，二极管导通的时间间隔，在导通期间二极管电流的平均值以及最大的二极管电流。

*D3.90 考虑图 P3.82 中的电路，在负载电阻 R 两端加上两个相等的滤波电容。假设二极管导通时其电压降为 0.7 V。设计一个可提供±15 V 的直流输出电压并且纹波的峰峰值不大于 1 V 的电路。每个电源应该能够为负载电阻 R 提供 200 mA 的直流电流。指定全部的电容、二极管和变压器的参数。

3.91 图 P3.91 所示的精密整流电路中的运算放大器是一个理想放大器，它的输出饱和电平为±12 V。假设该二极管导通时其电压降固定为 0.7 V。求下列情况的 v_-，v_O 和 v_A 值：

（a）$v_I=+1$ V

（b）$v_I=+2$ V

（c）$v_I=-1$ V

（d）$v_I=-2$ V

当 v_I 是 1 kHz、5 V 幅度、0 均值的对称方波时，求输出电压的平均值。

3.92 图 P3.92 电路中的运算放大器是一个理想放大器，它的输出饱和电平为±12 V。该二极管导通时其电压降固定为 0.7 V。求下列情况的 v_-、v_+ 和 v_O 值：

（a）$v_I=+1$ V

（b）$v_I=+2$ V

(c) $v_I=-1$ V
(d) $v_I=-2$ V

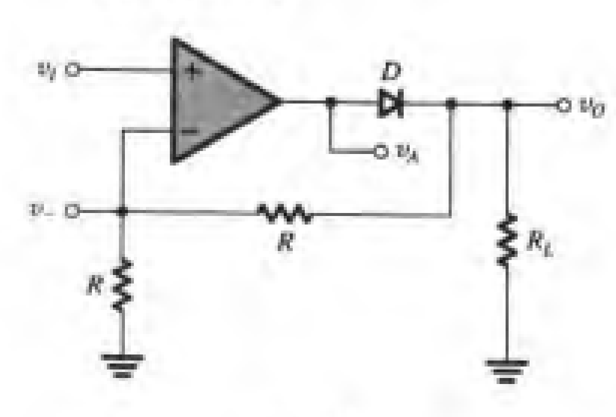


图 P3.91

图 P3.92

3.6 节：限幅电路与钳位电路

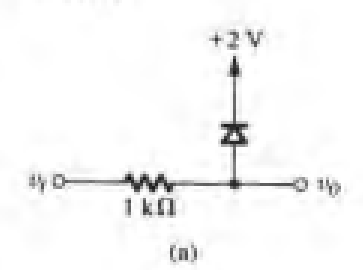
3.93 画出图 P3.93 所示的限幅电路中 v_O 对 v_I 的传输特性。当加上 0.5 V 的正向电压时所有的二极管导通，完全导通时电压降为 0.7 V。

3.94 假设二极管的模型是 $V_{D0}=0.65$ V，$r_D=20\ \Omega$的分段线性模型，重新求解习题 3.93 的问题。

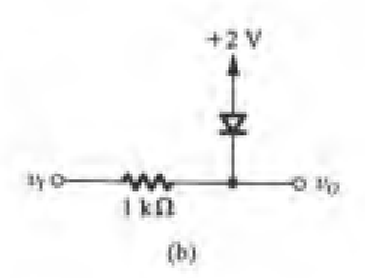
3.95 将图 P3.93（a）和图 P3.93（d）所示的电路按照下面的情况连接：两个输入端连结在一起，两个输出端连结在一起。画出所得到的电路的传输特性，假设二极管的开启电压为 0.5 V，当完全导通时它们的电压降为 0.7 V。

3.96 重复习题 3.95，此时图 P3.93（a）和 P3.93（b）所示的电路按照下列情况连接：两个输入端连结在一起，两个输出端连结在一起。

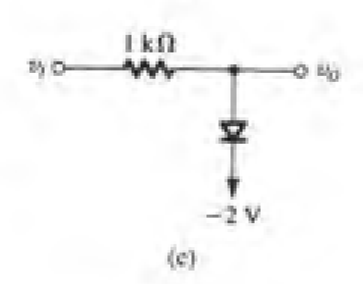
*3.97 当$-20\ \text{V}\leqslant v_I\leqslant +20$ V 时，画出并标明图 P3.97 所示电路的传输特性。假设二极管可以用$V_{D0}=0.65$ V，$r_D=20\ \Omega$的分段线性模型表示。给定的齐纳二极管在 10 mA 电流时测量得到的电压为 8.2 V，$r_z=20\ \Omega$，并用分段线性模型表示该齐纳二极管。



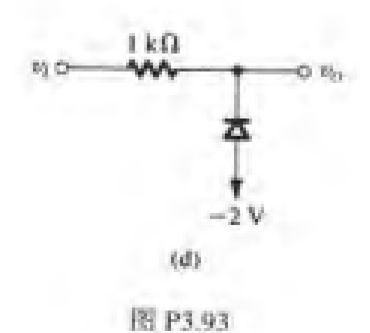
(a)



(b)



(c)



(d)

图 P3.93

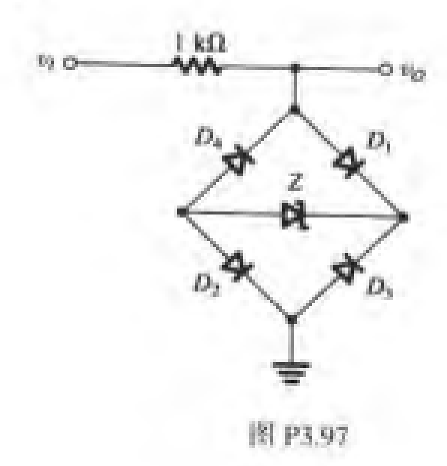


图 P3.97

*3.98 通过计算对应于 v_O=0.5 V，0.6 V，0.7 V，0.8 V，0 V，–0.5 V，–0.6 V，–0.7 V 和–0.8 V 时的 v_I，画出图 P3.98 所示电路的传输特性。假设二极管是 1 mA 器件(即当电流为 1 mA 时有 0.7 V 的压降)，它有 0.1 V/十倍电流的对数特性。描述该电路作为硬限幅和软限幅的情况。K 的值为多少？估计 L_+ 和 L_-。

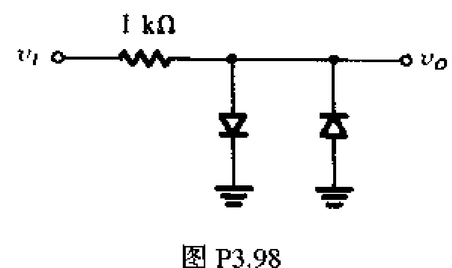


图 P3.98

D3.99 只使用二极管和 10 kΩ的电阻来设计限幅电路，要求提供限幅在下列范围的输出信号：

(a) –0.7 V 以上；

(b) –2.1 V 以上；

(c) ±1.4 V。

假设每个二极管导通时压降为 0.7 V。

D3.100 使用一个电阻、两个二极管和两个电源设计一个双向限幅电路来激励 1 kΩ的负载，要求额定限幅电平为±3 V。二极管模型为 0.7 V 的恒压降。在非限幅区，电压增益至少为 0.95 V/V。

*3.101 当二极管模型用 0.5 V 的失调电压以及当 0.7 V 时导通电流为 10 mA 对应的电阻来描述时，重新考虑习题 3.100 的问题。画出并量化当输入为±10 V 时的输出电压。

*3.102 在图 P3.102 所示的电路中，二极管电流为 0.1 mA 时电压降为 0.7 V，并有 0.1 V/十倍电流的对数特性。当输入在±5 V 的范围内时，给出在 B 和 C 输出节点电压的曲线并标明数值。当节点 A 加上峰值为 5 V 的 100 Hz 的正弦信号时，画出节点 B 和节点 C 的信号曲线。

**3.103 画出并标明图 P3.103 所示电路在±10 V 的输入信号作用下的传输特性曲线。所有的二极管都为 1 mA 器件（即当电流为 1 mA 时有 0.7 V 的压降）以及 n = 1。在±10 V 的极限电平时，特性曲线的斜率为多少？

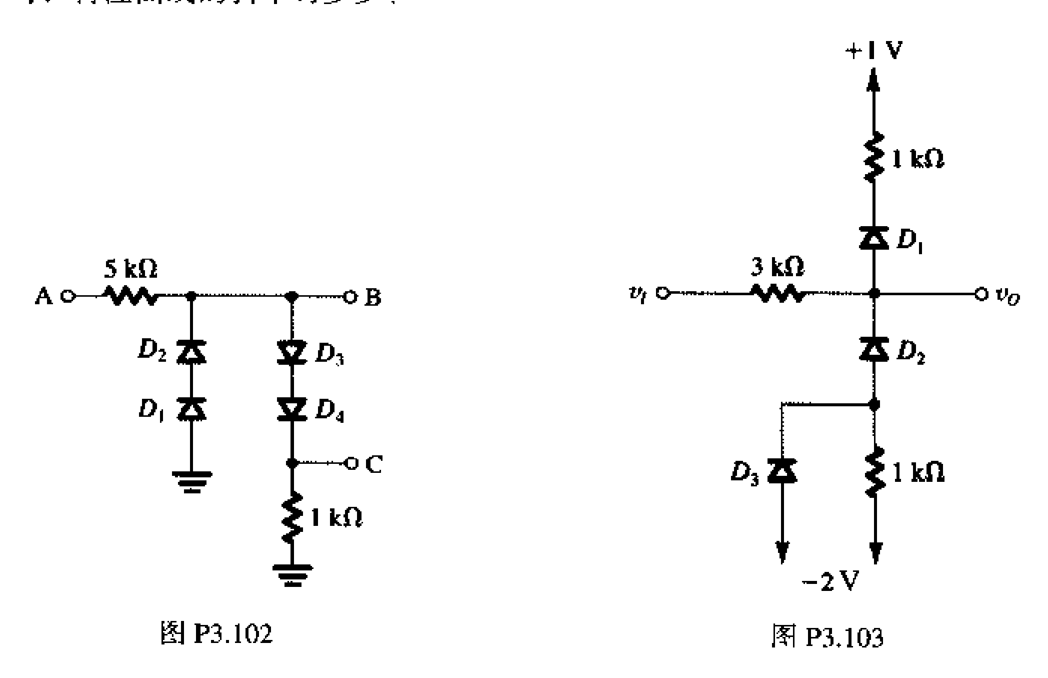


图 P3.102　　　　图 P3.103

3.104 一个钳位电容使用负极接地的理想二极管，它由 rms 为 10 V 的正弦波激励，得到的输出电压的平均值（直流）为多少？

**3.105 图 P3.105 中的电路使用理想二极管，在所示的输入情况下，画出相应的输出曲线。标出最正的输出电平和最负的输出电平。假设 $CR \gg T$。

图 P3.105

3.7 节：二极管的物理特性

注意，在下面的习题中，如果需要知道未给出的参数或物理系数的值，请参考表 3.1。

3.106 求硅在−70℃，0℃，20℃，100℃以及 125℃时的本征载流子浓度 n_i。在每个温度下，被电离的原子占多大比例？已知一个硅晶体的原子浓度约为 5×10^{22} 原子/cm^3。

3.107 某设计师想找到关于集成电路中导通路径的方法，从而要测量一个由不同材料制成的长为 10 μm、宽为 3 μm、厚为 1 μm 的连接棒的端到端电阻。他考虑下列材料制成的连接棒：

（a）本征硅

（b）$N_D=10^{16}/\text{cm}^3$ 的 n 型掺杂硅

（c）$N_D=10^{18}/\text{cm}^3$ 的 n 型掺杂硅

（b）$N_A=10^{10}/\text{cm}^3$ 的 p 型掺杂硅

（e）电阻率为 2.8 $\mu\Omega\cdot$cm 的铝

求每种情况的电阻。对于本征硅，使用表 3.2 中的参数。对于掺杂硅，假设 $\mu_n\cong2.5\mu_p=1200\ \text{cm}^2/\text{V}\cdot\text{s}$（已知 $R=\rho L/A$）。

3.108 空穴被稳定地注入到 n 型硅区域（连接到其他器件，对于本习题来说注入的细节并不重要）。稳态时，在 n 型硅区域建立了如图 P3.108 所示的非平衡空穴浓度曲线。其中，非平衡指超过和大于浓度 p_{n0} 的情

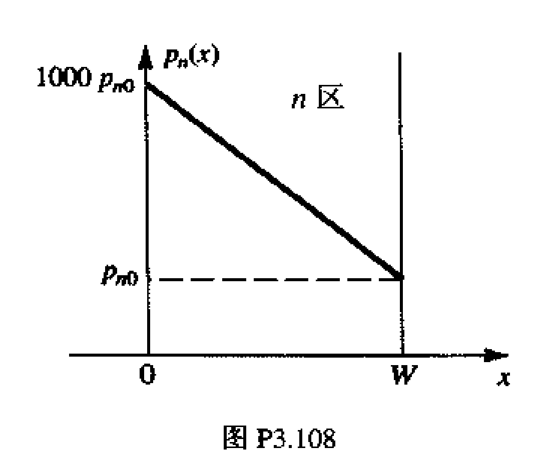


图 P3.108

况。如果 $N_D=10^{16}/\text{cm}^3$，$n_i=1.5\times10^{10}/\text{cm}^3$，以及 $W=5\ \mu\text{m}$，求 x 方向上流过的电流密度。

3.109 比较电子和空穴通过 10 μm 厚的本征硅层的漂移速度，该硅层两端施加了 5 V 的电压。设 $\mu_n=1350\ \text{cm}^2/\text{V}\cdot\text{s}$ 且 $\mu_p=480\ \text{cm}^2/\text{V}\cdot\text{s}$。

3.110 求长为 10 μm、截面积为 5 μm×4 μm 以及自由电子浓度和空穴浓度分别为 $10^5/\text{cm}^3$ 和 $10^{15}/\text{cm}^3$ 的硅棒加上 1 V 电压时流过的电流。假设 $\mu_n=1200\ \text{cm}^2/\text{V}\cdot\text{s}$，$\mu_p=500\ \text{cm}^2/\text{V}\cdot\text{s}$。

3.111 一个 10 μm 长的掺入施主杂质的硅棒加上 1 V 电压时，为了产生 $1\ \text{mA}/\mu\text{m}^2$ 的电流密度，其施主杂质浓度应该为多少？［注意，尽管载流子迁移率随掺杂浓度的变化而变化（见习题 3.113 的表格），但是作为近似，可以假设 μ_n 固定不变，并且可以使用本征硅的值，即 $1350\ \text{cm}^2/\text{V}\cdot\text{s}$。］

3.112 在磷掺杂的硅层中，它的杂质浓度为 $10^{16}/\text{cm}^3$，求在 25℃ 和 125℃ 时空穴和电子的浓度。

3.113 载流子迁移率和扩散率都随硅的掺杂浓度增大而减小。下表给出了 μ_p 和 μ_n 对掺杂浓度的几个数据值。利用爱因斯坦关系式求相应的 D_n 和 D_p 值。

掺杂浓度	μ_n cm²/V·s	μ_p cm²/V·s	D_n cm²/s	D_p cm²/s
本征硅	1350	480		
10^{16}	1100	400		
10^{17}	700	260		
10^{18}	360	150		

3.114 一个 pn 结的 p 区和 n 区掺杂浓度都是 10^{16} 原子/cm³，求该 pn 结的内建电位差，假设 $n_i\simeq10^{10}/\text{cm}^3$。当外部不加电压时，耗尽层的宽度为多少？延伸到 p 区和 n 区的宽度分别为多少？如果结的截面积为 $100\ \mu\text{m}^2$，求存储在结两边的电荷量为多少并计算结电容 C_j。

3.115 对于一个给定的 pn 结，如果受主杂质浓度为 $10^{16}/\text{cm}^3$，施主杂质浓度为 $10^{15}/\text{cm}^3$，求该 pn 结的内建电位差，假设 $n_i\simeq10^{10}/\text{cm}^3$。当加上 $V_R=5\ \text{V}$ 的反向偏置电压时，求耗尽层的宽度（W_{dep}）以及延伸到 p 区和 n 区的宽度。在该反向偏置电压下，计算存储在结两边的电荷量。假设结面积为 $400\ \mu\text{m}^2$，计算 C_j。

3.116 一个 10 μm×10 μm 的 pn 结的耗尽层在某一侧的宽度为 0.1 μm。估计存储在该侧的总电荷量。这一侧的掺杂浓度为 $10^{16}/\text{cm}^3$。

3.117 结合式（3.51）和式（3.52）求以 V_R 表示的 q_J 的表达式。对该表达式进行微分运算来求结电容 C_j 的表达式。证明该表达式与利用式（3.54）和式（3.52）得到的结果相同。

3.118 对于 $C_{j0}=0.6\ \text{pF}$，$V_0=0.75\ \text{V}$ 以及 $m=1/3$ 的 pn 结，求反向偏置电压为 1 V 和 10 V 时的电容值。

3.119 一个雪崩击穿的二极管的击穿电压为 12 V，额定功耗为 0.25 W。当连续工作电流为多少时它的功耗会上升到最大值的一半？如果在间隔 20 ms 的时间内，只有 10 ms 的时间发生击穿，那么允许的平均击穿电流为多少？

3.120 在正向偏置的 pn 结中，证明由空穴注入产生的电流分量与由电子注入产生的电流分量之比为

$$\frac{I_p}{I_n}=\frac{D_p}{D_n}\frac{L_n}{L_p}\frac{N_A}{N_D}$$

当 $N_A = 10^{18}/\mathrm{cm}^3$，$N_D = 10^{16}/\mathrm{cm}^3$，$L_p = 5\ \mu\mathrm{m}$，$L_n = 10\ \mu\mathrm{m}$，$D_p = 10\ \mathrm{cm}^2/\mathrm{s}$，$D_n = 20\ \mathrm{cm}^2/\mathrm{s}$ 时，计算该电流之比，并计算二极管正向导通电流 $I = 1$ mA 时 I_p 和 I_n 的值。

3.121 一个 $p^+\!-\!n$ 二极管的 p 区掺杂浓度要远大于 n 区掺杂浓度。在这种二极管中，正向电流主要由空穴注入引起。证明：

$$I \simeq I_p = Aqn_i^2 \frac{D_p}{L_p N_D}(e^{V/V_T} - 1)$$

当 $N_D = 5\times10^{16}/\mathrm{cm}^3$，$D_p = 10\ \mathrm{cm}^2/\mathrm{s}$，$\tau_p = 0.1\ \mu\mathrm{s}$，以及 $A = 10^4\ \mu\mathrm{m}^2$ 时，求 I_S 以及 $I =$ 0.2 mA 时得到的电压 V。假设工作在 300 K 时，$n_i = 1.5\times10^{10}/\mathrm{cm}^3$。计算 $I = 0.2$ mA 时非平衡少数载流子的电荷量和扩散电容值。

**3.122 一个窄基区二极管的 p 区和 n 区的宽度分别远小于 L_n 和 L_p。结果是每个区中非平衡少数载流子的分布是一条直线而不是如图 3.50 所示的指数。

（a）对于窄基区二极管，画出对应于图 3.50 的图形，假设 $N_A \gg N_D$（如图 3.50 所示）。

（b）按照类似于 3.7.5.1 节中给出的推导，证明如果 p 区和 n 区的宽度记为 W_p 和 W_n，则有

$$I = Aqn_i^2\left[\frac{D_p}{(W_n - x_n)N_D} + \frac{D_n}{(W_p - x_p)N_A}\right](e^{V/V_T} - 1)$$

和

$$Q_p = \frac{1}{2}\frac{(W_n - x_n)^2}{D_p} I_p$$

$$\simeq \frac{1}{2}\frac{W_n^2}{D_p} I_p, \qquad W_n \gg x_n$$

（c）假设 $Q \simeq Q_p$，$I \simeq I_p$，证明：

$$C_d = \frac{\tau_T}{V_T} I$$

其中，

$$\tau_T = \frac{1}{2}\frac{W_n^2}{D_p}$$

（d）如果设计者希望在 I=1 mA 时将 C_d 限制为 8 pF，则 W_n 应该为多少？假设 $D_p = 10\ \mathrm{cm}^2/\mathrm{s}$。

第 4 章　MOS 场效应晶体管（MOSFET）

引言

我们已经介绍了最基本的二端半导体器件——结二极管，我们现在开始介绍三端半导体器件。三端器件远比二端器件更有用，因为它们的应用场合非常广泛，其范围从信号放大到数字逻辑和存储器。涉及到的基本原理是：利用两端之间的电压来控制流过第三端的电流。以这种方式，一个三端器件可以用来实现一个受控源，我们已经在第 1 章中介绍过，它是放大器设计的基础。此外也可以使用控制信号使第三端的电流从 0 变到一个较大的值，因此该器件可以作为开关工作。正如我们在第 1 章中介绍的，开关是实现数字电路的基本元素——逻辑反相器的基础。

三端半导体器件主要有两类：本章介绍的金属-氧化物-半导体场效应管（MOSFET）；以及将在第 5 章中介绍的双极型晶体管（BJT）。尽管这两类晶体管都有独特的特征和应用范围，但是目前 MOSFET 已经成为应用最广泛的电子器件，特别在集成电路的设计中，集成电路指的是制造在单片硅芯片上的电路。

与 BJT 相比，MOSFET 可以造得更小（即只需要占用很小的硅 IC 芯片面积），制造工艺（见附录 A）相对比较简单，而且它们运行时需要的功率相对较低。此外电路设计者已经找到只使用 MOSFET 来实现数字电路和模拟电路的方法（不需要电阻或只需要少量电阻）。所有这些特性使得人们可以在单片 IC 芯片上封装大量的 MOSFET（大于 2 亿个）以实现非常复杂的大规模集成电路，如存储器和微处理器电路。模拟电路（比如放大器和滤波器）也可以用 MOS 技术实现，但是集成度较低。此外，模拟功能和数字功能越来越多地在同一块 IC 芯片上实现，这称为混合信号设计。

本章的目标是使读者熟悉 MOSFET：包括它的物理结构和工作原理，端口特性、电路模型，以及基本的电路应用，如放大器和数字逻辑反相器。尽管存在分立的 MOS 晶体管，掌握本章介绍的内容也可以使读者设计分立元件的 MOS 电路，但是大多数 MOSFET 的应用都是基于集成电路设计的，这个事实深深地影响了 MOSFET 的学习。

4.1　器件结构与物理特性

增强型 MOSFET 是使用最广泛的场效应晶体管。在本节中，我们将介绍它的结构以及物理特性，据此可以导出下一节中要介绍的器件的电流-电压特性。

4.1.1　器件结构

图 4.1 所示是 n 沟道增强型 MOSFET 的物理结构。我们很快就会明白“增强型”和“n 沟道”的含义。晶体管制造在 p 型衬底上，p 型衬底是一个为器件提供物理支撑（在集成电路中，它为整个电路提供支撑）的单晶硅圆片。在衬底上创建两个重掺杂的 n 型区，即图中的 n^+ 源区[1]和 n^+ 漏区。厚度为 t_{ox}（典型值为 2~50 nm）[2]的一薄层二氧化硅（SiO_2）作为生长在衬底表面的

---

① 符号 n^+ 表示重掺杂硅。相反，n^- 表示轻掺杂硅。相同的注释也适用于 p 型半导体。

② 纳米（nm）是 10^{-9} m 或 0.001 μm。微米（μm）是 10^{-6} m。有时，氧化层的厚度用埃（Å）表示。1 Å 是 10^{-1} nm，或 10^{-10} m

绝缘体覆盖在源区和漏区之间的区域。在氧化层上沉积一层金属来形成器件的栅极电极。源区、漏区以及称为背栅[①]的衬底上都需要引出电极。因此就有四个端子：栅极（G）、源极（S）、漏极（D）和衬底极（B）。

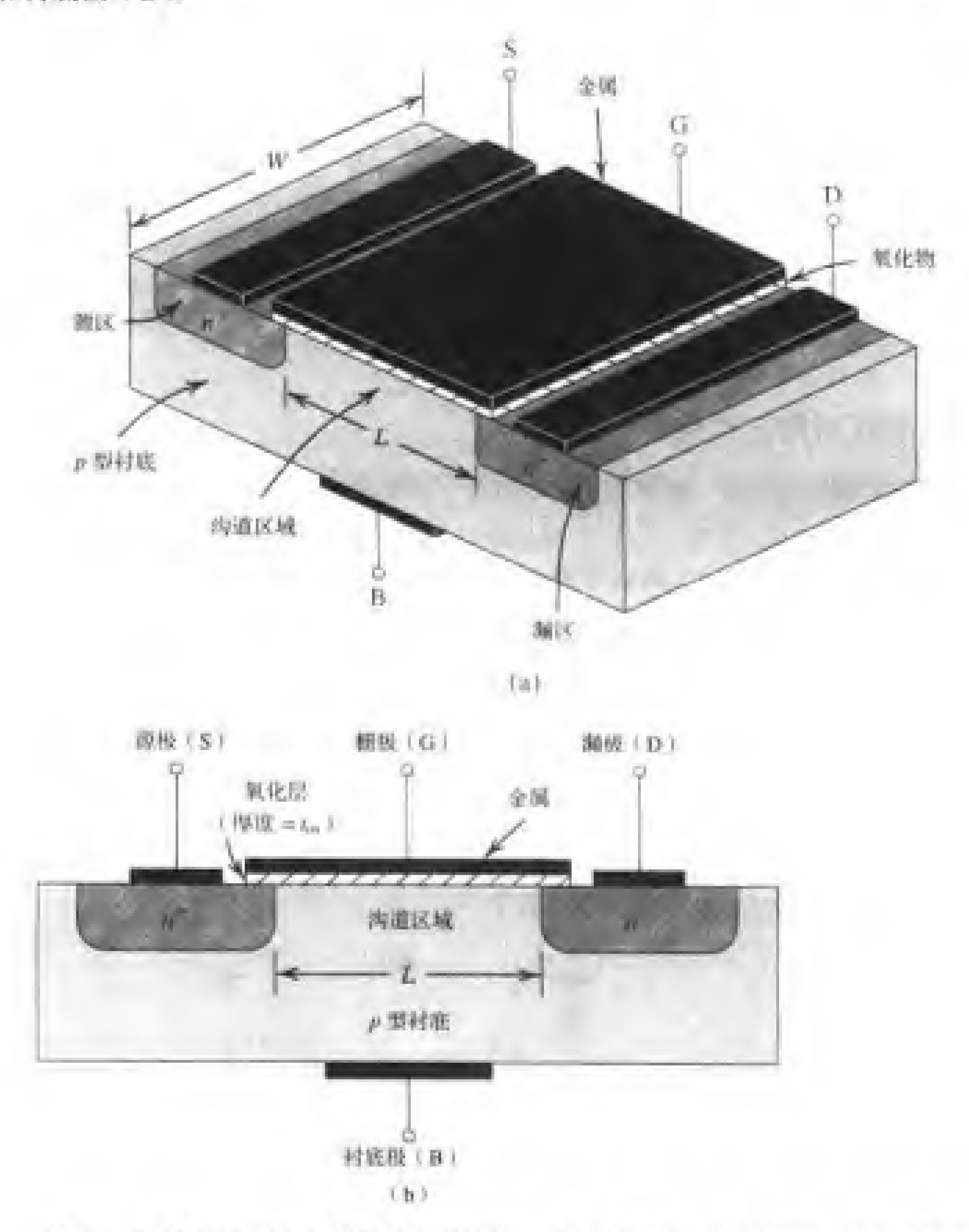


图 4.1　增强型 NMOS 晶体管的物理结构：（a）透视图；（b）截面。L 的典型值为 0.1 μm 到 3μm，W 为 0.2 μm 到 100 μm，氧化层厚度（t_{ox}）为 2 nm 到 50 nm

现在可以很清楚地看到，器件名称（金属–氧化物–半导体 FET）就来自它的物理结构。但是该名字已经成为一个通用的名字，即使栅极不是金属的 FET 也叫这个名字。实际上，大多数现代 MOSFET 采用称为硅栅技术的工艺制成，在这种技术中，用一种称为多晶硅的特定类型的硅来形成栅极电极（见附录 A）。这里对 MOSFET 工作原理和特性的描述不考虑栅极类型。

① 在图 4.1 中，衬底的接触电极显示在器件的底部，这在后面解释衬底效应的现象时证明是有帮助的。但是有必要注意在实际 IC 中，衬底的接触电极位于器件的顶部。

MOSFET 的另一个名字叫绝缘栅场效应管，或 IGFET。该名字也来自于该器件的物理结构，强调栅极与器件衬底电绝缘（通过氧化层），这是由于该绝缘体使得栅极电流非常小（在 10^{-15} A 的数量级）。

可以看出衬底与源区和漏区之间组成 *pn* 结。在正常工作时，这些 *pn* 结在任何时间都必须反向偏置。因为漏区相对于源区有正电压，因此只要将衬底电极连接到源极，就可以使两个 *pn* 结有效地截止。在下面对 MOSFET 工作原理的描述中都假定是这种情况。因此，这里认为衬底对器件的工作没有影响，MOSFET 将作为一个三端器件来处理，三个端子是栅极（G）、源极（S）和漏极（D）。不久将会看到加在栅极上的电压可以控制源极和漏极之间流过的电流，该电流以水平方向在标有“沟道区域”的区域中从漏区流向源区。可以看出，该区域的长度为 *L*，宽度为 *W*，这是 MOSFET 的两个重要参数。*L* 的典型值在 0.1 μm 到 3 μm 之间，而 *W* 在 0.2 μm 到 100 μm 的范围。最后，可以看出 MOSFET 是对称器件，因此它的源极和漏极可以互换，且不会改变器件特性。

4.1.2 无栅极电压时的工作特性

当栅极上没有加偏置电压时，源和漏之间存在两个背靠背的串联二极管。一个是由 n^+ 漏区和 *p* 型衬底之间的 *pn* 结形成的二极管，另一个是 *p* 型衬底与 n^+ 源区之间的 *pn* 结形成的二极管。当加上电压 v_{DS} 时，这两个背靠背的二极管将阻碍从漏到源的电流的产生。实际上，漏源之间的通路是一个阻值非常高的电阻（在 10^{12} Ω的数量级）。

4.1.3 创建电流沟道

接下来考虑图 4.2 所描述的情况，其中，源极和漏极都接地，只在栅极上加上一个正电压。因为源极接地，栅极电压就相当于加在栅极和源极之间的 v_{GS} 电压。栅极电压首先排斥栅极下面衬底区域中（沟道区域）的空穴（带正电）。这些空穴被向下排斥进入衬底，并留下载流子耗尽区域。该耗尽区域是与受主杂质原子相关联的带负电的束缚电荷。这些电荷没有被复合掉的原因是原先中和它们的空穴现在被排斥进入衬底内部了。

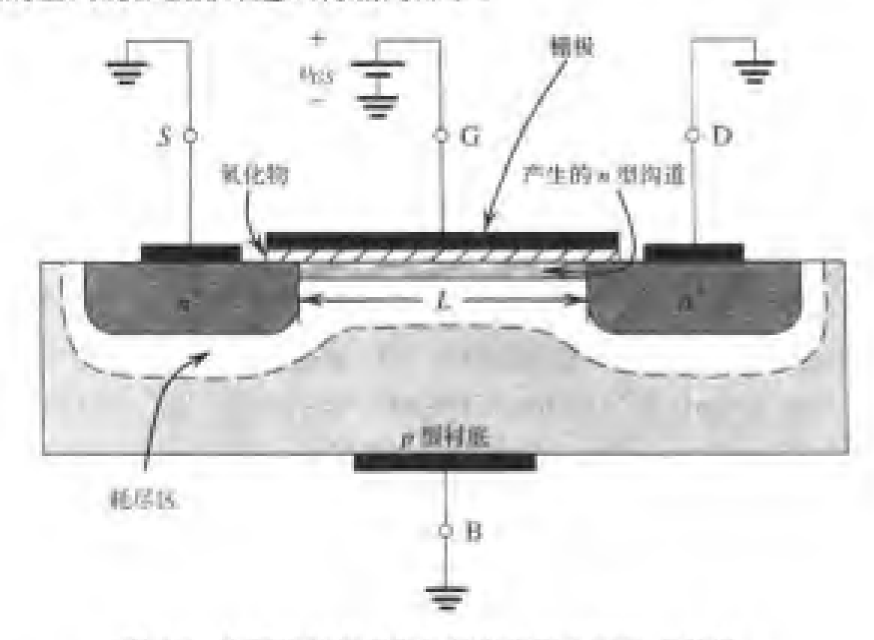


图 4.2 在栅极施加正电压的增强型 NMOS 晶体管，在栅极下面的衬底顶部感应产生一个 *n* 沟道

同时，正栅极电压从n^+源区和漏区吸引电子（那里有丰富的电子）进入沟道区域。当栅极下面的衬底附近积聚了足够数量的电子时，就形成一个n型区，它连接源区和漏区，如图4.2所示。现在，如果在源和漏之间加上电压，那么在n型区域内就有由移动的电子传导的电流。因此感应出来的n型区域就组成了从漏到源的电流流通的沟道。图4.2所示的MOSFET相应地称为n沟道MOSFET，或称为NMOS晶体管。可以看出n沟道是在p型衬底中形成的：沟道的创建过程就是将衬底表面从p型转化成n型的过程。因此感应产生的沟道也称为反型层。

在沟道区域积聚足够数量的自由电子形成导电沟道时的v_{GS}电压值称为开启电压，记为V_t[1]。显然，对于n沟道FET，V_t为正。V_t值取决于器件制造工艺参数，典型值为0.5 V到1.0 V。

MOSFET的栅极和沟道之间形成了一个平板电容器，氧化层作为该电容器的电介质。正的栅极电压使正电荷积聚在电容器上面的平板上（栅极）。相应的负电荷积聚在下面的板上，由反型层中的电子形成。因此就产生了一个垂直方向的电场。该电场控制了沟道中的电荷量，因此它也确定了沟道的电导率。当加上v_{DS}电压时，就有电流流过该沟道。

4.1.4 施加一个小电压v_{DS}

产生沟道后，在源和漏之间施加一个正电压v_{DS}，如图4.3所示。首先考虑v_{DS}较小的情况（即50 mV左右）。v_{DS}电压引起电流i_D流过n沟道。该电流由自由电子传导，自由电子从源区向漏区流动。按照习惯，电流方向与负电荷的流向相反。因此沟道中的电流i_D就从漏指向源，如图4.3所示。i_D的大小取决于沟道中的电子密度，而电子密度又取决于v_{GS}的大小。具体地说，当$v_{GS}=V_t$时，刚刚形成沟道，流过的电流相当小，可以忽略。当v_{GS}超过V_t时，越来越多的电子被吸引到沟道中。可以形象地认为沟道中载流子的增加引起沟道深度的增加。结果导致沟道电导增大，或沟道电阻减小。实际上，沟道电导与过栅电压$(v_{GS}-V_t)$成正比，该电压也称为有效电压或过驱动电压。电流i_D与$v_{GS}-V_t$成正比，并且也与引起i_D的电压v_{DS}成正比。

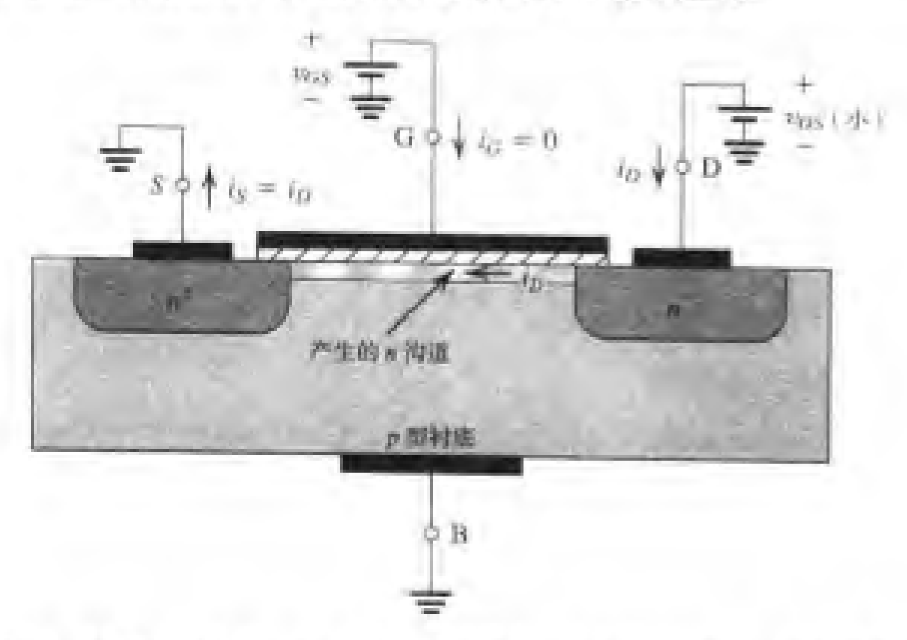


图4.3 NMOS晶体管，$v_{GS}>V_t$，并且具有一个小的v_{DS}电压。该器件相当于一个电阻，其电阻值由v_{GS}确定。具体地说，沟道电导与$v_{GS}-V_t$成正比，因此i_D与$(v_{GS}-V_t)v_{DS}$成正比。注意，为了简化起见未画出耗尽区

[1] 有些书中用V_T来表示开启电压。我们使用V_t以避免与热电压V_T混淆。

图 4.4 所示为不同 v_{GS} 下的 $i_D \sim v_{DS}$ 的曲线。可以看出，MOSFET 如同一个线性电阻，它的阻值受 v_{GS} 控制。当 $v_{GS} \leqslant V_t$ 时，电阻为无穷大。当 v_{GS} 超过 V_t 后，电阻值开始随 v_{GS} 增大而减小。

上面的描述指出为了使 MOSFET 导通，必须产生一个沟道。然后，在开启电压 V_t 之上增大 v_{GS} 将增强沟道，这就是增强模式工作和增强型 MOSFET 名字的由来。最后，我们注意到流出源极的电流（i_S）等于流入漏极的电流（i_D），而栅极电流 $i_G = 0$。

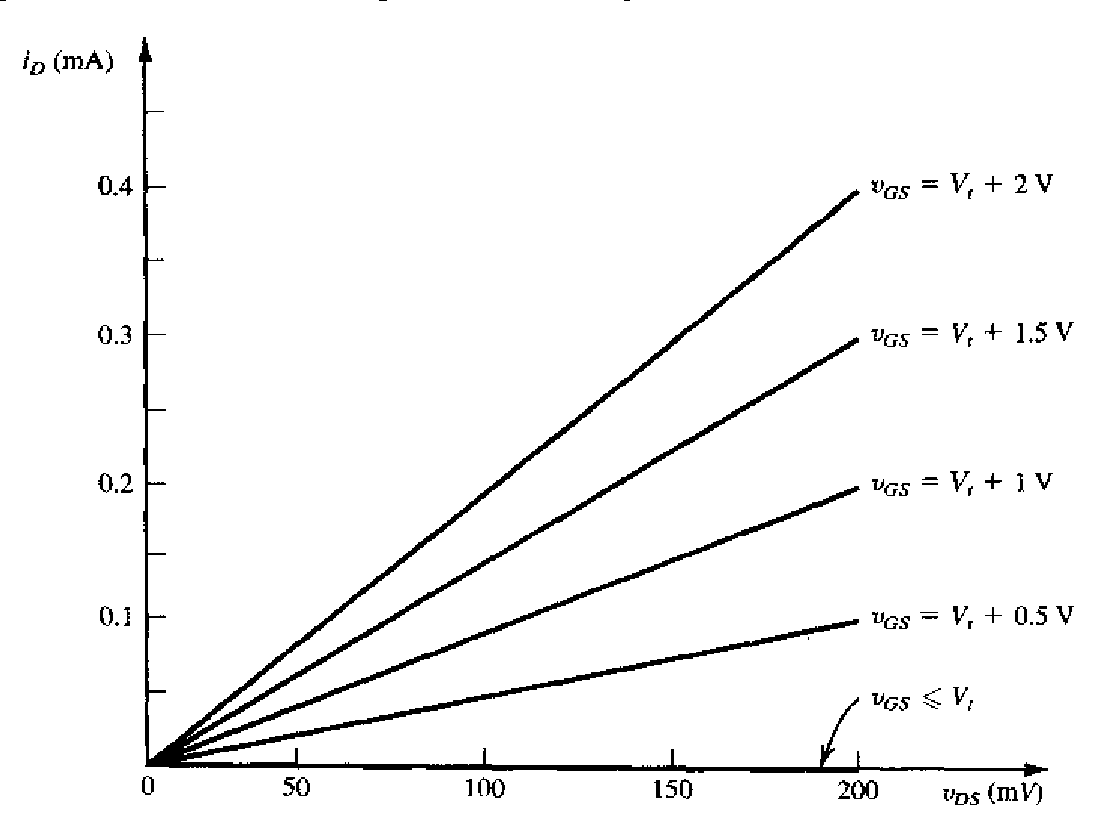


图 4.4　图 4.3 中的 MOSFET 在漏源之间的电压 v_{DS} 较小时的伏安特性。该器件相当于一个线性电阻，其阻值由 v_{GS} 控制

练习 4.1　从上面 v_{DS} 小电压工作的 MOSFET 的描述中可以看出 i_D 与 $(v_{GS} - V_t)v_{DS}$ 成正比。求特性曲线如图 4.4 所示的器件的比例系数，并求出对应于 0.5 V 到 2 V 的 $v_{GS} - V_t$ 电压时漏到源的电阻范围。

答案： 1 mA/V^2；2 kΩ到 0.5 kΩ

4.1.5　v_{DS} 增加时的工作特性

接下来考虑当 v_{DS} 增大时的情况。此时仍然假定 v_{GS} 大于 V_t 并保持不变。参考图 4.5，注意，v_{DS} 相当于沟道长度两端的电压降，也就是说，沿着沟道从源区到漏区，电压（相对于源区来测量）从 0 增大到 v_{DS}。因此，在栅极和沿沟道的点之间的电压从源端的 v_{GS} 减小到漏端的 $v_{GS} - v_{DS}$。因为沟道深度取决于该电压，因此沟道深度不再均匀；相反，沟道将呈现为如图 4.5 所示的锥形形状，在源端最深，在漏端最窄。随着 v_{DS} 增大，沟道变得越来越尖，并且电阻也相应地增加。因此 $i_D \sim v_{DS}$ 曲线不再是直线，而是如图 4.6 所示的弯曲线。最后，当 v_{DS} 增大到使栅极和漏端沟道之间的电压减小为 V_t 时（即 $v_{GD} = V_t$ 或者 $v_{GS} - v_{DS} = V_t$ 或者 $v_{DS} = v_{GS} - V_t$）在漏端的沟道深度减为 0，沟道被夹断。继续增大 v_{DS} 不会对沟道的形状产生太大影响（理论上没有影响），并且流过沟道的电流保持恒等于当电压达到 $v_{DS} = v_{GS} - V_t$ 时的值。因此漏极电流在该值达到饱和，MOSFET 进入饱和工作区。出现饱和时的电压 v_{DS} 记为 v_{DSsat}：

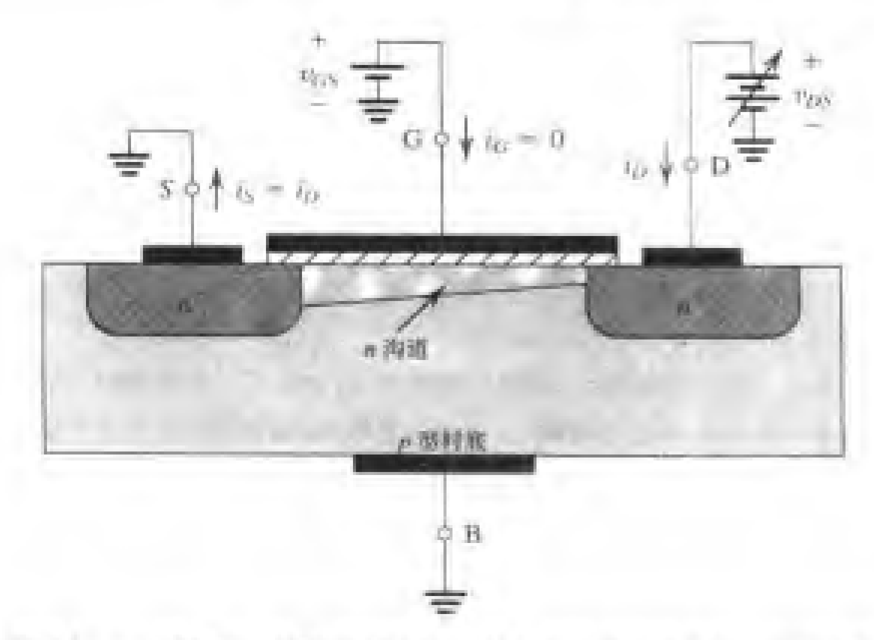


图 4.5 v_{DS} 增加后，增强型 NMOS 晶体管的沟道变成锥形，沟道电阻随着 v_{DS} 增加而增大。在此过程中，v_{GS} 保持大于 V_t 的值不变

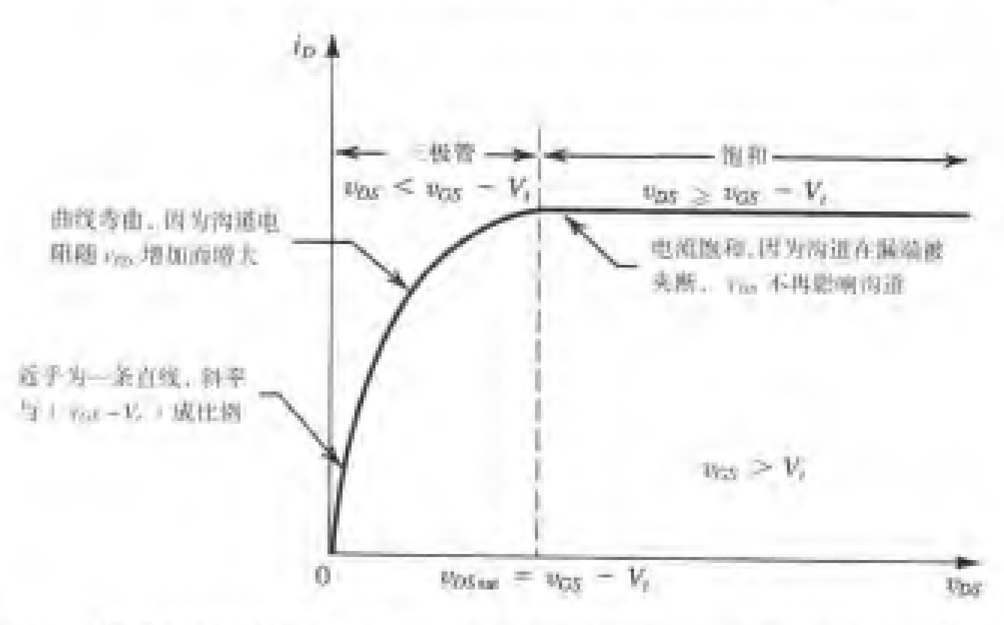


图 4.6 增强型 NMOS 晶体管工作于 $v_{GS} > V_t$ 时，漏极电流 i_D 与漏源电压 v_{DS} 的关系

$$v_{DSsat} = v_{GS} - V_t \tag{4.1}$$

显然，对于 $v_{GS} \geq V_t$ 的任意值，都有相应的 v_{DSsat}。如果 $v_{DS} \geq v_{DSsat}$，该器件工作在饱和区域。当 $v_{DS} < v_{DSsat}$ 时得到的 $i_D - v_{DS}$ 特性曲线的区域称为三极管区，这里沿用了类似于 FET 的真空管器件的叫法[1]。

为了进一步理解 v_{DS} 的影响，在图 4.7 中画出了当 v_{DS} 增加而 v_{GS} 保持不变时的沟道。从理论上讲，当 v_{DS} 大于 v_{DSsat}（它等于 $v_{GS} - V_t$）后的任何增加的值都不会对沟道形状产生影响，而只是呈现在围绕着沟道和 n^+ 漏区的耗尽区域的两端。

1 为突出 FET 在三极管区的变阻特性，本书采用变阻区的名字来表示。——译者注

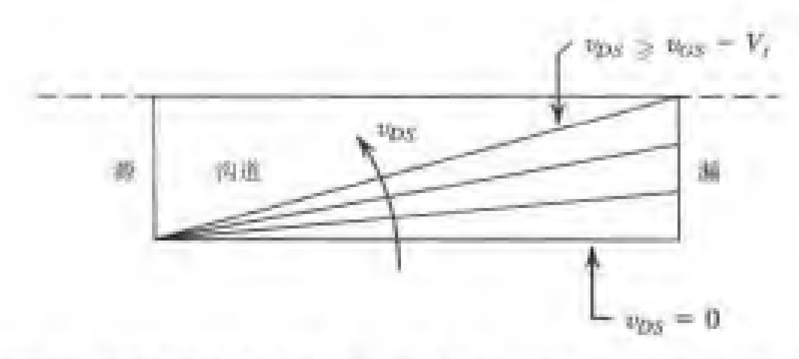


图 4.7 增加 v_{DS} 电压导致沟道成为锥形，最终当 v_{DS} 达到 $v_{GS}-V_t$ 的值时，漏端沟道被夹断，在 $v_{GS}-V_t$ 值上再增加 v_{DS} 对沟道形状的影响很小（理论上没有影响）

4.1.6 $i_D \sim v_{DS}$ 关系的推导

由上面给出的物理特性的描述可以推导出图 4.6 描述的 $i_D \sim v_{DS}$ 关系表达式。为此假定电压 v_{GS} 加在栅极和源极之间，且 $v_{GS} > V_t$ 以产生沟道。再假设电压 v_{DS} 加在漏源之间。首先考虑在变阻区的运行，在该区域时，沟道必定是连续的，因此 v_{GD} 必定大于 V_t，或者 $v_{DS} < v_{GS} - V_t$。在这种情况下，沟道具有如图 4.8 所示的形状。

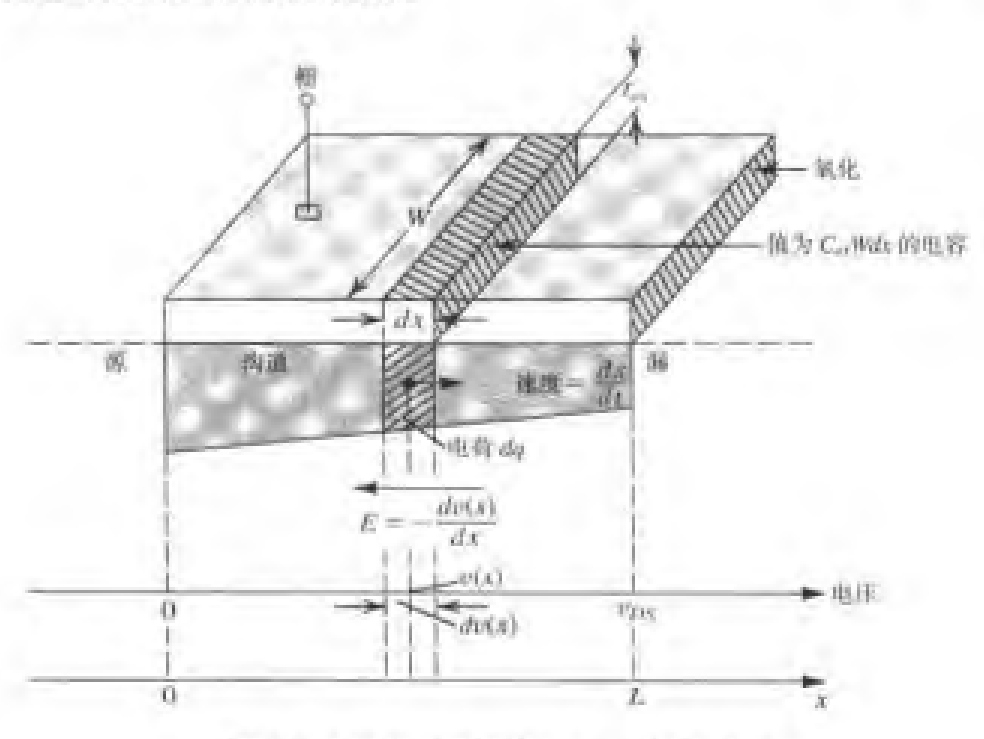


图 4.8 NMOS 晶体管的 $i_D \sim v_{DS}$ 关系的推导

在 MOSFET 中，栅极和沟道区形成一个平板电容器，其中的氧化层作为电介质。如果单位栅极面积电容量记为 C_{ox}，氧化层的厚度记为 t_{ox}，则

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \tag{4.2}$$

其中，ε_{ox} 是氧化硅的介电常数：

$$\varepsilon_{ox} = 3.9\varepsilon_0 = 3.9 \times 8.854 \times 10^{-12} = 3.45 \times 10^{-11}\ \text{F/m}$$

氧化物厚度 t_{ox} 由 MOSFET 的工艺决定。例如，t_{ox}=10 nm，$C_{ox} = 3.45 \times 10^{-3}\ \text{F/m}^2$，或表示成一种

常用的形式，即 3.45 fF/μm^2。

现在参考图 4.8，并考虑离源区距离为 x 的无穷小的栅极条。这个条的电容量为 $C_{ox}Wdx$。为了求得储存在这一无穷小的栅极条电容上的电荷，可将该电容乘以栅极和沟道在 x 点之间的有效电压，其中该有效电压是在 x 点产生沟道的电压，因此等于$[v_{GS}-v(x)-V_t]$，$v(x)$ 是沟道在 x 点处的电压。可以得出，在 x 点的无穷小的沟道中含有的电子电荷 dq 为

$$dq=-C_{ox}(W\ dx)[v_{GS}-v(x)-V_t] \tag{4.3}$$

其中，前面的负号表明 dq 是负电荷。

电压 v_{DS} 沿沟道产生一个电场，方向为负 x 方向。在 x 点处，该电场可以表示成

$$E(x)=-\frac{dv(x)}{dx}$$

电场 $E(x)$ 使电子电荷 dq 以速度 dx/dt 漂向漏区：

$$\frac{dx}{dt}=-\mu_n E(x)=\mu_n\frac{dv(x)}{dx} \tag{4.4}$$

其中，μ_n 是沟道中电子的迁移率（叫做表面迁移率）。它是一个物理参数，其值取决于具体的工艺技术。我们可以得到如下的漂移电流 i：

$$\begin{aligned}i&=\frac{dq}{dt}\\&=\frac{dq}{dx}\frac{dx}{dt}\end{aligned}$$

用式（4.3）中的单位长度电荷 dq/dx 和式（4.4）中的电子漂移速度 dx/dt 代入，可得

$$i=-\mu_n C_{ox}W[v_{GS}-v(x)-V_t]\frac{dv(x)}{dx}$$

显然，上述电流是在沟道的特定点上计算得到的。由于沿沟道上的任何点的电流 i 都必须相等，因此 i 必然也等于源到漏的电流。因为我们感兴趣的是漏到源的电流 i_D，因此可以求得 i_D 为

$$i_D=-i=\mu_n C_{ox}W[v_{GS}-v(x)-V_t]\frac{dv(x)}{dx}$$

将它重新写成下式：

$$i_D dx=\mu_n C_{ox}W[v_{GS}-V_t-v(x)]dv(x)$$

将该式的左边从 $x=0$ 到 $x=L$ 进行积分，右边从 $v(0)=0$ 到 $v(L)=v_{DS}$ 积分：

$$\int_0^L i_D dx=\int_0^{v_{DS}}\mu_n C_{ox}W[v_{GS}-V_t-v(x)]dv(x)$$

可得

$$i_D=(\mu_n C_{ox})\left(\frac{W}{L}\right)\left[(v_{GS}-V_t)v_{DS}-\frac{1}{2}v_{DS}^2\right] \tag{4.5}$$

这就是在变阻区的 i_D-v_{DS} 特性的表达式。在变阻区边缘的电流值或者饱和区开始处的电流值可以通过将 $v_{DS}=v_{GS}-V_t$ 代入得到：

$$i_D=\frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)(v_{GS}-V_t)^2 \tag{4.6}$$

这是饱和区 $i_D \sim v_{DS}$ 特性的表达式。它仅仅给出了对应于给定 v_{GS} 时 i_D 的饱和值（在饱和区，对于给定的 v_{GS}，即使 v_{DS} 发生变化 i_D 也保持不变）。

在式（4.5）和式（4.6）中，$\mu_n C_{ox}$ 是常数，由 n 沟道 MOSFET 的制造工艺决定，称为工艺跨导参数。它决定了 MOSFET 的跨导值，并记为 k_n'，量纲为 A/V^2：

$$k_n' = \mu_n C_{ox} \qquad (4.7)$$

式（4.5）和式（4.6）的 $i_D \sim v_{DS}$ 表达式可以用 k_n' 写成如下形式：

$$i_D = k_n' \frac{W}{L}\left[(v_{GS}-V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \qquad \text{（变阻区）} \qquad (4.5a)$$

$$i_D = \frac{1}{2}k_n' \frac{W}{L}(v_{GS}-V_t)^2 \qquad \text{（饱和区）} \qquad (4.6a)$$

在本书中，将使用这两种形式。

从式（4.5）和式（4.6）可以看出漏极电流和沟道宽度与长度之比成比例，沟道宽度与长度之比称为 MOSFET 的沟道宽长比。电路设计者可以选择 W 和 L 的值来获得所需要的伏安特性。但是对于给定的制造工艺，有一个最小的沟道长度 L_{min}。实际上，可以用某一给定的制造工艺下可能具有的最小沟道长度来描述该工艺，并且该长度随着技术的进步而不断减小。例如，在完成本书的时候（即 2003 年），主流的 MOS 技术是 0.13 μm 工艺，也就是说这种工艺的最小沟道长度是 0.13 μm。同样，也有一个最小沟道宽度 W。例如，前面提到的 0.13 μm 工艺的 W_{min} 是 0.16 μm。最后，应该注意氧化物的厚度 t_{ox} 随 L_{min} 的减小而减小，因此对于 1.5 μm 技术来说，t_{ox} 是 25 nm，但是现代的 0.13 μm 技术的 t_{ox} 是 2 nm。

例题 4.1 考虑某工艺技术，它的 $L_{min} = 0.4\ \mu m$，$t_{ox} = 8$ nm，$\mu_n = 450\ cm^2/V\cdot s$，$V_t = 0.7$ V。

（a）求 C_{ox} 和 k_n'

（b）对于 $W/L = 8\ \mu m/0.8\ \mu m$ 的 MOSFET，计算当晶体管工作在饱和区时所需的 V_{GS} 和 $V_{DS\min}$，假设直流电流 $I_D = 100\ \mu A$。

（c）对于（b）中的器件，在 v_{DS} 非常小时，求器件相当于 1000 Ω电阻时所需要的 V_{GS} 值。

解：

（a）

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = \frac{3.45\times10^{-11}}{8\times10^{-9}} = 4.32\times10^{-3}\ F/m^2$$

$$= 4.32\ fF/\mu m^2$$

$$k_n' = \mu_n C_{ox} = 450(cm^2/V\cdot s)\times 4.32(fF/\mu m^2)$$

$$= 450\times10^8(\mu m^2/V\cdot s)\times4.32\times10^{-15}(F/\mu m^2)$$

$$= 194\times10^{-6}(F/V\cdot s)$$

$$= 194\ \mu A/V^2$$

（b）当运行在饱和区时，有

$$i_D = \frac{1}{2}k_n'\frac{W}{L}(v_{GS}-V_t)^2$$

因此，

$$100 = \frac{1}{2}\times194\times\frac{8}{0.8}(V_{GS}-0.7)^2$$

可以得到

$$V_{GS}-0.7=0.32\ \text{V}$$

或

$$V_{GS}=1.02\ \text{V}$$

以及

$$V_{DS\min}=V_{GS}-V_t=0.32\ \text{V}$$

（c）当 v_{DS} 非常小且 MOSFET 工作在变阻区时，有

$$i_D \cong k_n' \frac{W}{L}(v_{GS}-V_t)v_{DS}$$

从中可以得到漏源电阻 r_{DS} 为

$$r_{DS} \equiv \left.\frac{v_{DS}}{i_D}\right|_{小v_{DS}} = 1\bigg/\left[k_n' \frac{W}{L}(V_{GS}-V_t)\right]$$

因此，

$$1000=\frac{1}{194\times10^{-6}\times10(V_{GS}-0.7)}$$

可以得到

$$V_{GS}-0.7=0.52\ \text{V}$$

因此，

$$V_{GS}=1.22\ \text{V}$$

■

练习 4.2　对于 0.8 μm 工艺技术，t_{ox}= 15 nm；μ_n =550 cm^2/V·s。求 C_{ox}，k_n' 以及使 $W/L=20$ 的晶体管工作在 $I_D=0.2$ mA 的饱和区所需要的过驱动电压 $V_{OV}\equiv V_{GS}-V_t$，所需的最小 V_{DS} 值为多少？

答案：2.3 fF/μm^2；127 μA/V^2；0.40 V；0.40 V

练习 4.3　利用变阻区的表达式证明 n 沟道 MOSFET 可以近似为一个线性电阻 r_{DS}，设晶体管具有 $V_{OV}\equiv V_{GS}-V_t$ 的过驱动电压，两端的 V_{DS} 电压较小。

$$r_{DS}=1\bigg/\left[k_n' \frac{W}{L} V_{OV}\right]$$

计算当器件有 k_n'=100 μA/V^2，$W/L=10$，以及工作在 0.5 V 的过驱动电压时的 r_{DS} 值。

答案：2 kΩ

4.1.7　*p* 沟道 MOSFET

p 沟道增强型 MOSFET（PMOS 晶体管）制造在 n 型衬底上，并有 p^+ 型源区和漏区，载流子是空穴。该器件的工作方式与 n 沟道器件相同，除了 v_{GS} 和 v_{DS} 的极性为负以及开启电压 V_t 为负以外，电流 i_D 流入源极，流出漏极。

最初，PMOS 技术是 MOS 制造的主导技术。但是，因为 NMOS 器件可以做得更小、运行更快，并且 NMOS 比 PMOS 需要的电源电压更低，因此 NMOS 技术实际上已经取代了 PMOS 技术。

但是，熟悉 PMOS 晶体管还是很重要的，这是因为下面两个原因：PMOS 器件仍然在分立电路设计中使用，更重要的是 PMOS 和 NMOS 晶体管都在互补 MOS 或 CMOS 电路中使用，这是目前占主导的 MOS 技术。

4.1.8 互补 MOS 或 CMOS

顾名思义，互补 MOS 技术采用两种极性的 MOS 晶体管。尽管 CMOS 电路在某种程度上比 NMOS 更难制造，但是使用互补器件使得许多功能强大的电路设计成为可能。现在，CMOS 确实是所有 IC 技术中最广泛使用的技术，既适用于模拟电路也适应于数字电路。CMOS 技术实际上已经取代了完全基于 NMOS 晶体管的设计。此外，在完成本书的时候（即 2003 年），CMOS 技术已经取代了几年前只能用双极型器件来实现的很多应用。在本书中，我们将介绍许多 CMOS 电路技术。

图 4.9 所示为 CMOS 芯片的截面，它说明了如何制造 PMOS 和 NMOS 晶体管。可以看出，NMOS 晶体管直接在 p 型衬底上实现，而 PMOS 晶体管制造在专门制作的称为 n 阱的 n 区内。这两种器件之间通过一层厚的氧化物区域互相隔离。在图中没有画出到 p 型衬底和到 n 阱的连接线，后者的连接线作为 PMOS 晶体管的衬底极。

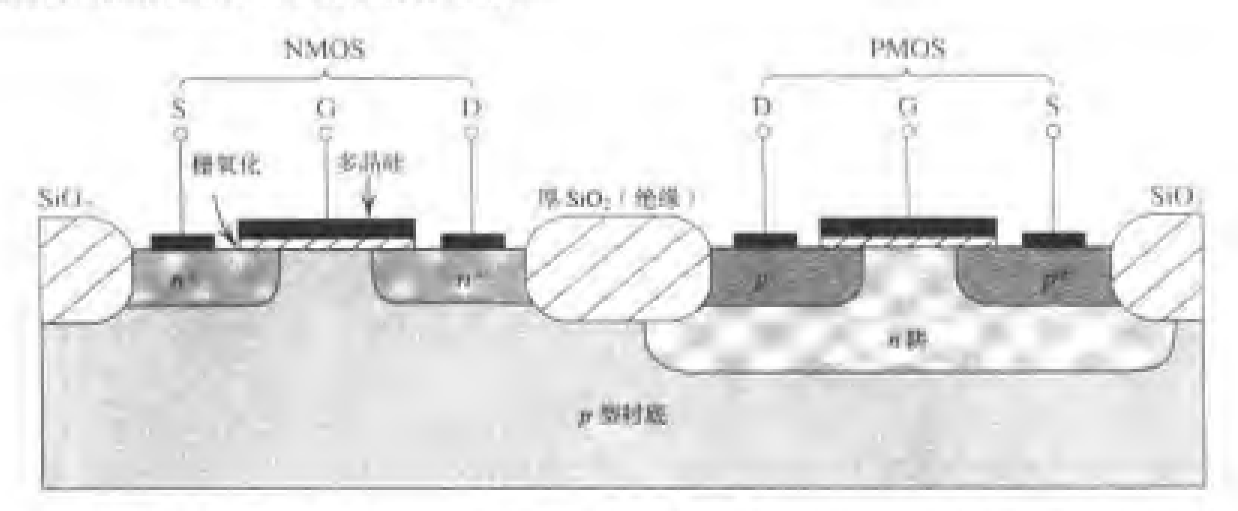


图 4.9 CMOS 集成电路的截面。可以看出，PMOS 晶体管在独立的 n 型区域形成，该 n 型区域称为 n 阱。此外还有另外一种可能的设置，在这种设置中，使用 n 型衬底，而 n 型器件在 p 阱中形成。图中未画出到 p 型衬底和到 n 阱的连接线，后者作为 p 沟道器件的衬底极

4.1.9 工作在亚阈区的 MOS 晶体管

上面对 n 沟道 MOSFET 工作原理的描述表明：当 $v_{GS} < V_t$ 时，没有电流流过，器件截止。但是这并不完全正确，因为我们发现当 v_{GS} 的值小于但接近于 V_t 时，存在一个小的漏极电流。在该亚阈区，漏极电流与 v_{GS} 之间呈指数关系，非常类似于下一章讨论的双极型晶体管的 $i_C - v_{BE}$ 关系。

尽管在大多数应用中，MOS 晶体管工作时要求 $v_{GS} > V_t$，而在一些特殊的但越来越多的应用中会使用亚阈区的特性。在本书中，我们不进一步考虑亚阈区的特性，读者可以参考列在附录 F 中的参考书。

4.2 电流-电压特性

前面一节讲解了增强型 MOS 晶体管运行的物理基础，本节将介绍其电流-电压的完整特性。这些特性可以在直流或低频时测量得到，因此称为静态特性。限制 MOSFET 在高频和高速转换运

行时的动态影响将在 4.8 节讨论。

4.2.1 电路符号

图 4.10（a）所示是 n 沟道增强型 MOSFET 的电路符号。可以看出，表示栅极和沟道的两条垂直线之间的空间表明栅极和器件的衬底之间互相绝缘。p 型衬底的极性和 n 沟道的极性由表示衬底（B）的线段上的箭头来指示。该箭头同样也表明了器件的极性，也就是说，它是一个 n 沟道器件。

尽管 MOSFET 是对称器件，但是在电路设计中指明器件的源极和漏极（不必在电极旁边写上 S 和 D）还是很有用的。图 4.10（b）所示的改进电路符号可以实现该目的。其中，箭头在源极，将它与漏极区分开来。箭头显示了电流流动的方向，因此也指明了器件的极性（即 n 沟道）。可以看出，在改进的符号中，没有必要在衬底线上画出箭头。尽管图 4.10（b）所示的电路符号清楚地区分了源极和漏极，然而实际上，加在器件两端的电压确定了源极和漏极，在 n 沟道 FET 中，相对于源极来说，漏极总是为正。

在器件的源极与衬底相连的应用中，可以得到进一步简化的电路符号，如图 4.10（c）所示。该电路符号也用于衬底对电路工作的影响不太重要的应用中，我们将在后面讲到。

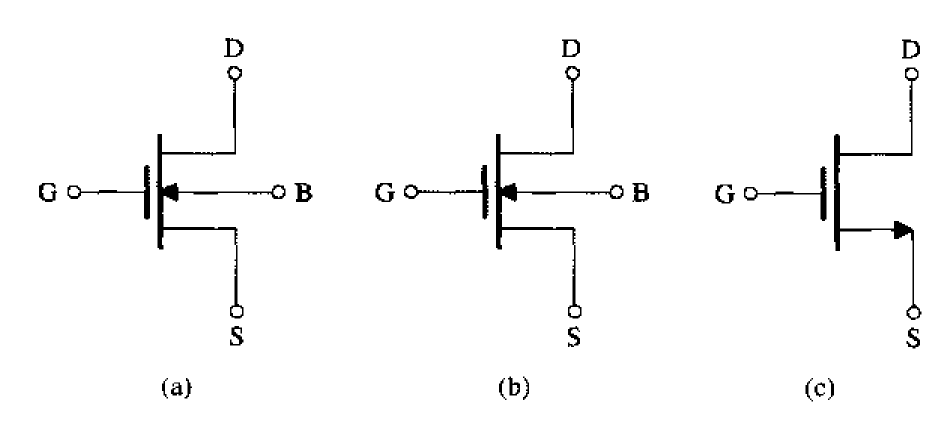


图 4.10 （a）n 沟道增强型 MOSFET 的电路符号；（b）改进的电路符号，箭头画在源极以使它与漏极区分开来并指出器件极性（即 n 沟道）；（c）简化的电路符号，用来表示源极与衬底电极连接或衬底对器件工作的影响不重要

4.2.2 $i_D \sim v_{DS}$ 特性

图 4.11（a）所示为加上电压 v_{GS} 和 v_{DS} 后的 n 沟道增强型 MOSFET，并且指出了电流的方向。这个概念性的电路可以用来测量 $i_D \sim v_{DS}$ 特性，它是一族曲线，每一条曲线都是在一个固定的 v_{GS} 时测量得到的。从前面一节的物理特性的学习中可以预计每一条 $i_D \sim v_{DS}$ 曲线都有图 4.6 所示的形状。情况确实也是这样，从图 4.11（b）中可以明显看出，图中显示了一组典型的 $i_D \sim v_{DS}$ 特性曲线。全面理解 MOSFET 端口特性对于想要设计 MOS 电路的读者是非常重要的。

图 4.11（b）中的特性曲线表明有三个不同的工作区域：截止区、变阻区和饱和区。如果 FET 用做放大器，则利用饱和区；如果作为一个开关，则利用截止区和变阻区。当 $v_{GS} < V_t$ 时，器件截止。为了使 MOSFET 工作于变阻区，首先必须产生一个沟道：

$$v_{GS} \geqslant V_t \text{（沟道产生）} \tag{4.8}$$

然后使 v_{DS} 足够小以使沟道保持连续，因此要确保栅极到漏极的电压满足

$$v_{GD} > V_t \text{（连续沟道）} \tag{4.9}$$

利用 $v_{GD} = v_{GS} + v_{SD} = v_{GS} - v_{DS}$，可以将该条件用 v_{DS} 写成

$$v_{GS} - v_{DS} > V_t$$

重新排列后写成

$$v_{DS} < v_{GS} - V_t \text{（连续沟道）} \tag{4.10}$$

式（4.9）或式（4.10）可以作为判断变阻区运行的条件。总之，当 v_{GS} 大于 V_t 以及漏极电压至少低于栅极电压 V_t 伏时，n 沟道增强型 MOSFET 工作在变阻区。

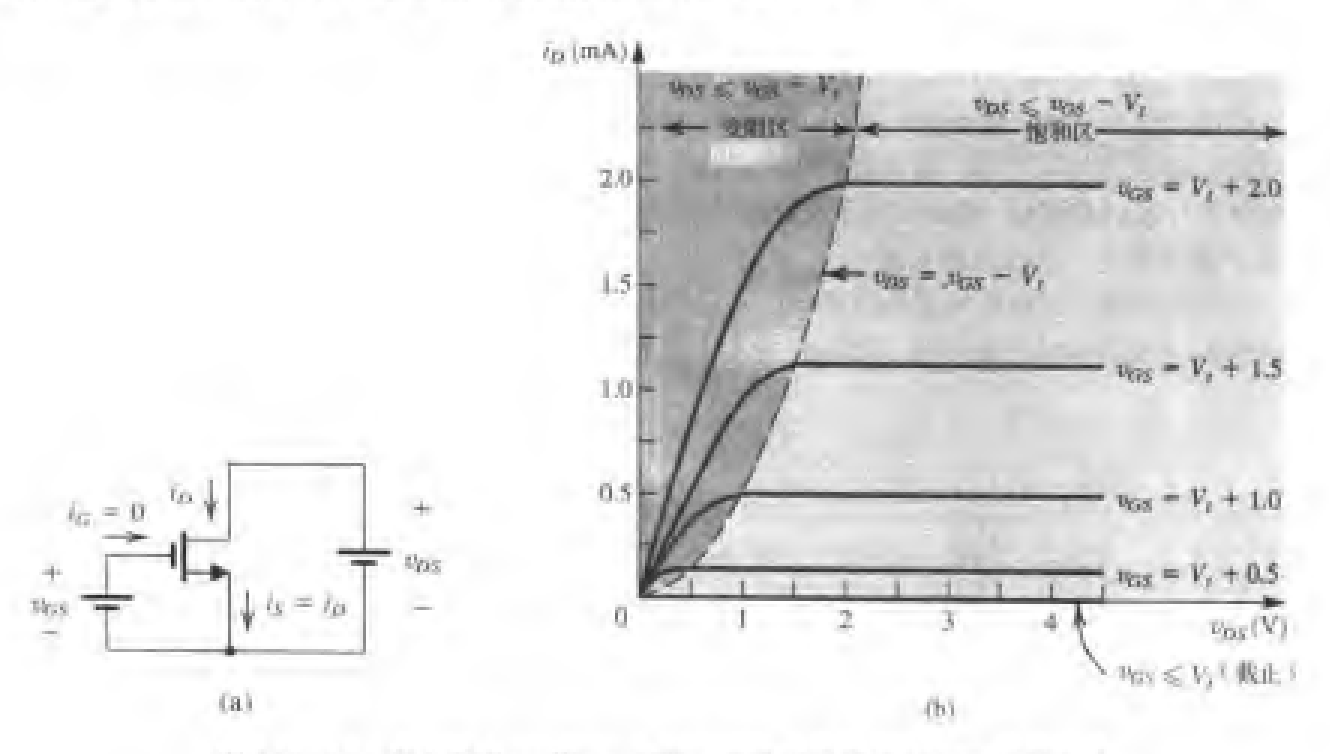


图 4.11 （a）加上电压 v_{GS} 和 v_{DS} 后的 n 沟道增强型 MOSFET 且指出了电流的方向；（b）$k_n'(W/L) = 1.0\ \text{mA/V}^2$ 的器件的 $i_D - v_{DS}$ 特性

在变阻区，$i_D - v_{DS}$ 特性可以用式（4.5）的关系来描述，现重写如下：

$$i_D = k_n' \frac{W}{L}\left[(v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2\right] \tag{4.11}$$

其中，$k_n' = \mu_n C_{ox}$ 是工艺跨导参数，它的值由制造工艺决定。如果 v_{DS} 足够小，则可以忽略式（4.11）中的 v_{DS}^2 项，由此可以得到原点附近 $i_D - v_{DS}$ 的特性关系：

$$i_D = k_n' \frac{W}{L}(v_{GS} - V_t)v_{DS} \tag{4.12}$$

该线性关系表示 MOS 晶体管作为一个线性电阻工作，它的电阻值 r_{DS} 由 v_{GS} 控制。具体地说，当 v_{GS} 设为 V_{GS} 时，r_{DS} 为

$$r_{DS} \equiv \left.\frac{v_{DS}}{i_D}\right|_{\substack{v_{DS}\text{小} \\ v_{GS}=V_{GS}}} = \left[k_n' \frac{W}{L}(V_{GS} - V_t)\right]^{-1} \tag{4.13}$$

我们在前面一节中讨论了该区域的工作情况（参考图 4.4）。用栅极到源极的过驱动电压

$$V_{OV} \equiv V_{GS} - V_t \tag{4.14}$$

来表示 r_{DS} 是很有用的：

$$r_{DS}=1\bigg/\left[k_n'\left(\frac{W}{L}\right)V_{OV}\right] \tag{4.15}$$

最后，请读者证明在写式（4.12）时所涉及到的近似是基于 $v_{DS} \ll 2V_{OV}$ 的假设。

为了使 MOSFET 工作在饱和区，必须产生一个沟道：

$$v_{GS} \geqslant V_t \text{（产生沟道）} \tag{4.16}$$

另外，通过提高 v_{DS} 使栅极到漏极的电压下降到小于 V_t 便可使漏端夹断：

$$v_{GD} \leqslant V_t \text{（沟道夹断）} \tag{4.17}$$

该条件可以用 v_{DS} 表示为

$$v_{DS} \geqslant v_{GS}-V_t \text{（沟道夹断）} \tag{4.18}$$

总之，当 v_{GS} 大于 V_t 并且漏极电压大于 v_{GS} 减 V_t 时，n 沟道增强型 MOSFET 工作在饱和区。

变阻区和饱和区的分界线可以描述为

$$v_{DS}=v_{GS}-V_t \text{（边界）} \tag{4.19}$$

将该 v_{DS} 值代入式（4.11）得到饱和电流 i_D 为

$$i_D=\frac{1}{2}k_n'\frac{W}{L}(v_{GS}-V_t)^2 \tag{4.20}$$

因此在饱和时，根据式（4.20）的平方律关系，MOSFET 提供的漏极电流与漏极电压 v_{DS} 无关，而由栅极电压 v_{GS} 确定，图 4.12 中给出了相应的草图。因为漏极电流与漏极电压无关，所以饱和的 MOSFET 相当于一个理想电流源，它的值根据式（4.20）的非线性关系由 v_{GS} 控制。图 4.13 给出了工作在饱和区的 MOSFET 的电路表示。这是大信号等效电路模型。

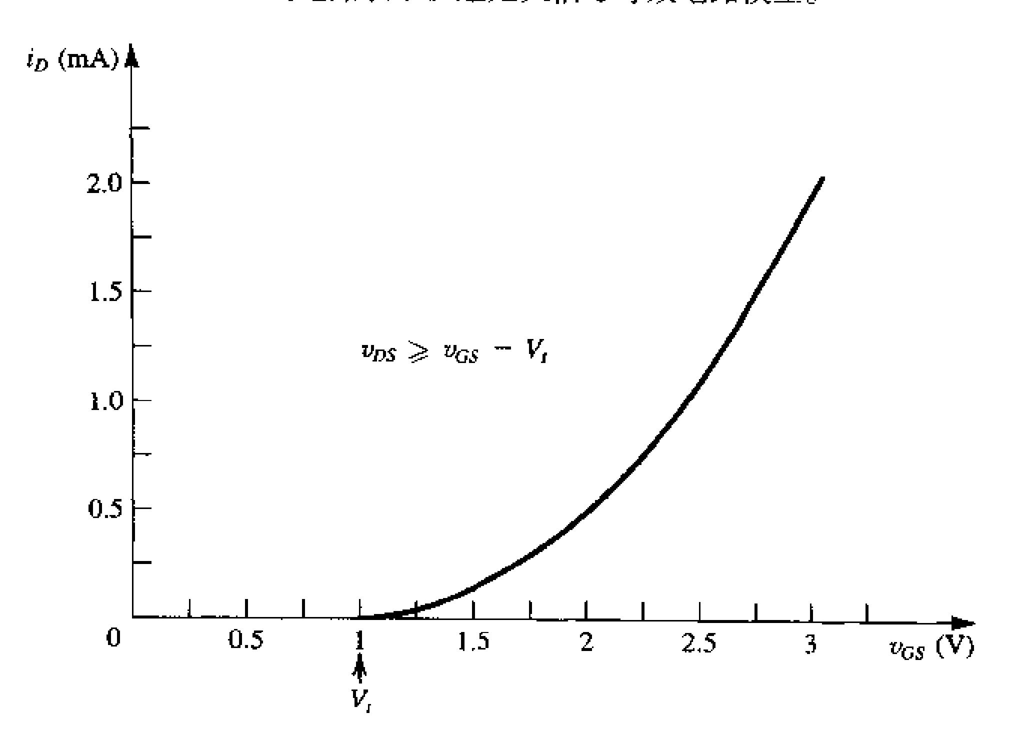


图 4.12　增强型 NMOS 晶体管在饱和区时的 $i_D \sim v_{GS}$ 特性（$V_t=1$ V，$k_n'(W/L)=1.0$ mA/V^2）

返回到图 4.11（b）所示的 $i_D \sim v_{DS}$ 特性曲线，我们注意到变阻区和饱和区的分界线显示为一条虚线曲线。因为该曲线由 $v_{DS}=v_{GS}-V_t$ 表示，因此用变阻区的式（4.11）或饱和区的式（4.20）

中的 v_{DS} 代替 $v_{GS}-V_t$ 就可以得到该曲线的方程，结果为

$$i_D=\frac{1}{2}k_n'\frac{W}{L}v_{DS}^2 \tag{4.21}$$

必须注意图 4.4、图 4.11 和图 4.12 描述的特性是当 MOSFET 的 $k_n'(W/L)=1.0\ \text{mA/V}^2$ 以及 $V_t=1\ \text{V}$ 时的特性。

最后，图 4.14 显示了运行在变阻区和饱和区的增强型 NMOS 晶体管的电极电压的相对电平。

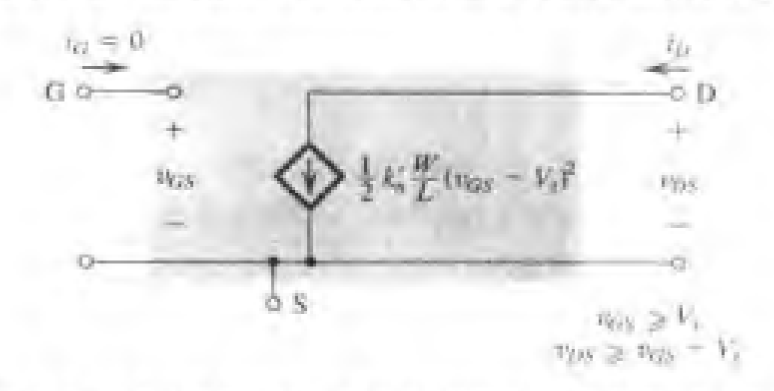


图 4.13 工作在饱和区的 n 沟道 MOSFET 的大信号等效电路模型

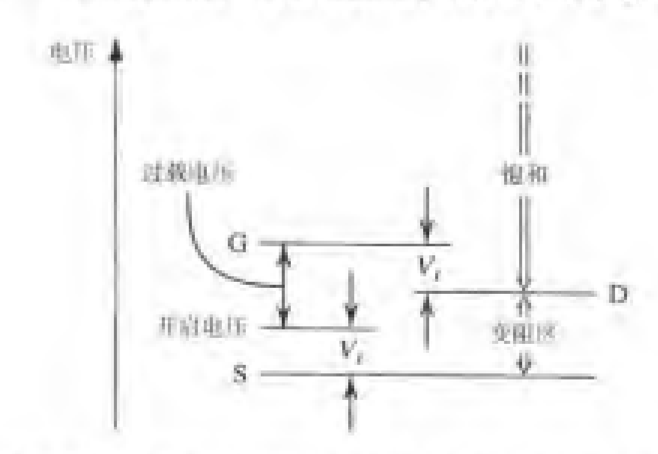


图 4.14 运行在变阻区和饱和区的增强型 NMOS 晶体管的电极电压的相对电平

练习 4.4 一个增强型 NMOS 晶体管的 $V_t=0.7\ \text{V}$，源极接地，栅极电压为 1.5 V（直流）。该器件在以下三种情况下工作于什么区：（a）$V_D=+0.5\ \text{V}$；（b）$V_D=0.9\ \text{V}$；（c）$V_D=3\ \text{V}$。

答案：（a）变阻区；（b）饱和区；（c）饱和区

练习 4.5 如果练习 4.4 中的 NMOS 器件有 $\mu_nC_{ox}=100\ \mu\text{A/V}^2$，$W=10\ \mu\text{m}$，$L=1\ \mu\text{m}$。求练习 4.4 中指定的（a）、（b）、（c）三种情况下的漏极电流值。

答案：（a）275 μA；（b）320 μA；（c）320 μA

练习 4.6 一个增强型 NMOS 晶体管的 $V_t=0.7\ \text{V}$，当 $v_{GS}=v_{DS}=1.2\ \text{V}$ 时流过的电流 $i_D=100\ \mu\text{A}$。求当 $v_{GS}=1.5\ \text{V}$ 和 $v_{DS}=3\ \text{V}$ 时的 i_D 值。并计算当 v_{DS} 较小且 $v_{GS}=3.2\ \text{V}$ 时的漏源电阻 r_{DS}。

答案：256 μA；500 Ω

4.2.3 饱和时的有限输出电阻

式（4.12）和图 4.13 中相应的大信号等效电路模型指出在饱和区 i_D 与 v_{DS} 无关，因此漏极到源极的电压变化（Δv_{DS}）不会引起 i_D 电流的变化，这表明从饱和的 MOSFET 的漏极看进去的增

量电阻为无穷。但这是一种理想化的情况，它基于一个前提条件，就是一旦漏极端的沟道被夹断，v_{DS} 的进一步增加不会影响沟道的形状。实际上超过 v_{DSsat} 以后，v_{DS} 继续增加会在一定程度上对沟道产生影响。具体地说，随着 v_{DS} 增加，沟道夹断点会从漏端稍微移向源端。图 4.15 说明了这种情况，从中可以注意到沟道两端的电压保持不变，为 $v_{GS}-V_t=v_{DSsat}$，加到漏极的多余电压呈现为漏区和沟道尾端之间的窄耗尽区两端的电压降。该电压加速了沟道漏区一端的电子运动，并将它们扫过耗尽区而进入漏区。但是，要注意（由于耗尽层宽度增大）沟道长度实际上是减小了，即从 L 减小到 $L-\Delta L$，该现象称为沟道长度调制效应。现在，因为 i_D 与沟道长度成反比［见式（4.20）］，因此 i_D 随 v_{DS} 增大而增大。

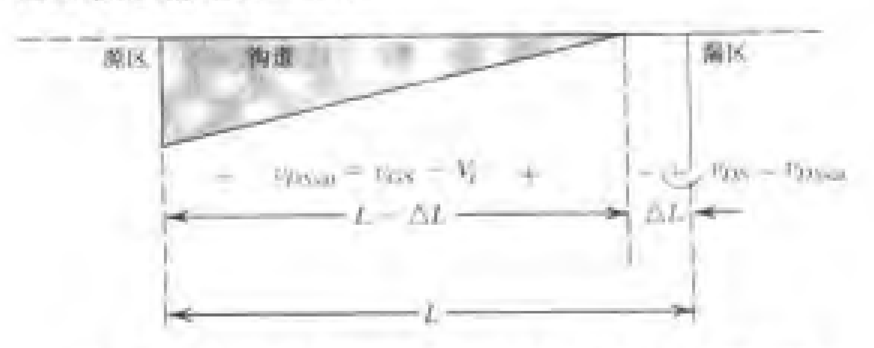


图 4.15　超过 v_{DSsat} 以后，v_{DS} 继续增加使沟道夹断点略微移离漏端，因此减小了有效的沟道长度（减小 ΔL）

为了解释在饱和区 i_D 与 v_{DS} 的相关性，用 $L-\Delta L$ 替代式（4.20）中的 L 可以得到

$$
\begin{aligned}
i_D &= \frac{1}{2}k_n'\frac{W}{L-\Delta L}(v_{GS}-V_t)^2 \\
&= \frac{1}{2}k_n'\frac{W}{L}\frac{1}{1-(\Delta L/L)}(v_{GS}-V_t)^2 \\
&\cong \frac{1}{2}k_n'\frac{W}{L}\left(1+\frac{\Delta L}{L}\right)(v_{GS}-V_t)^2
\end{aligned}
$$

其中，假定 $(\Delta L/L)\ll 1$。如果假定 ΔL 与 v_{DS} 成正比：

$$\Delta L=\lambda' v_{DS}$$

其中，λ' 是工艺参数，量纲为 μm/V，可以得到 i_D 为

$$i_D=\frac{1}{2}k_n'\frac{W}{L}\left(1+\frac{\lambda'}{L}v_{DS}\right)(v_{GS}-V_t)^2$$

通常，λ'/L 记为 λ：

$$\lambda=\frac{\lambda'}{L}$$

可以得出 λ 是量纲为 V^{-1} 的工艺参数，对于给定工艺，λ 与沟道长度成反比。用 λ 表示，i_D 的表达式变为

$$i_D=\frac{1}{2}k_n'\frac{W}{L}(v_{GS}-V_t)^2(1+\lambda v_{DS}) \tag{4.22}$$

图 4.16 显示了受沟道长度调制效应影响的一组典型的 $i_D\sim v_{DS}$ 特性。我们观察到的 i_D 与 v_{DS} 在饱和区的线性相关性在式（4.22）中由 $(1+\lambda v_{DS})$ 表示。从图 4.16 中可以看出当直线 $i_D\sim v_{DS}$ 特性反向延伸

时，它们与 v_{DS} 轴相交于 $v_{DS}=-V_A$ 的点，其中 V_A 是一个正电压。但是式（4.22）指出当 $v_{DS}=-1/\lambda$ 时，$i_D=0$，因此，

$$V_A=\frac{1}{\lambda}$$

可见 V_A 是一个工艺参数，量纲为 V。对于给定的工艺，V_A 与设计者所选择的 MOSFET 的沟道长度 L 成正比。如同 λ，我们可以对 V_A 与 L 的相关性进行分离：

$$V_A=V_A'L$$

其中，V_A' 完全是与工艺相关的参数，量纲为 V/μm。V_A' 的典型值在 5 V/μm 到 50 V/μm 的范围。V_A 通常指厄尔利电压，以 J.M. Early 名字命名，他在 BJT（见第 5 章）中发现了类似的现象。

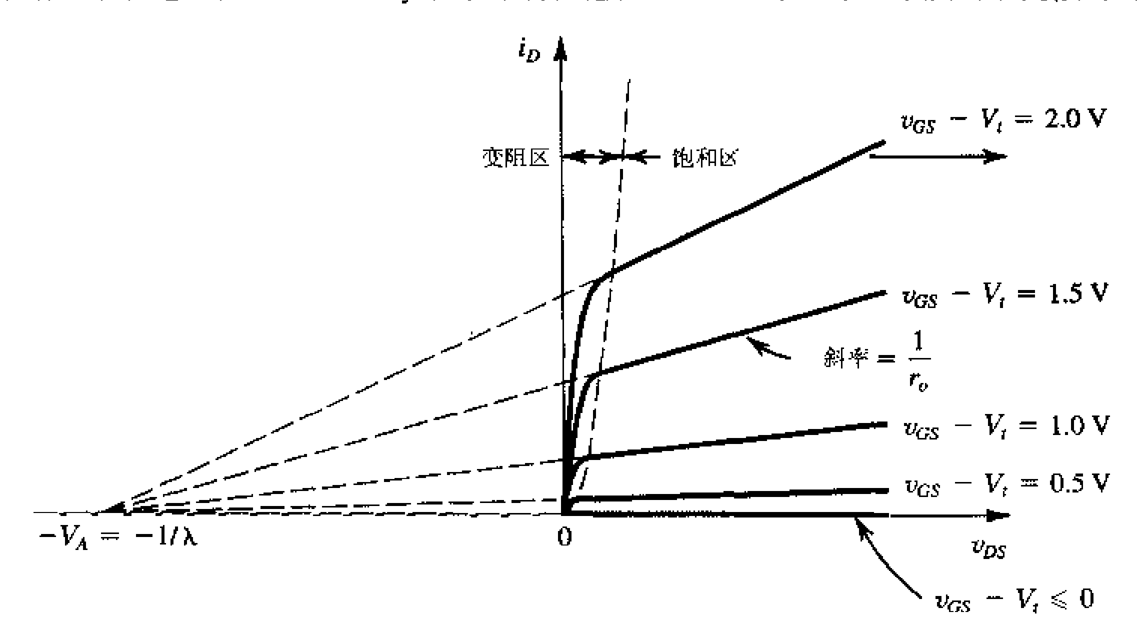


图 4.16 在饱和区中 v_{DS} 对 i_D 的影响。MOSFET 参数 V_A 取决于工艺参数，对于给定工艺，V_A 与沟道长度 L 成正比

式（4.22）指出当考虑沟道长度调制效应时，i_D 的饱和值与 v_{DS} 相关。因此对于给定的 v_{GS}，Δv_{DS} 将使漏极电流 i_D 产生一个相应的变化（即 Δi_D）。可以得到在饱和区表示 i_D 的电流源的输出电阻不再是无穷大。这里定义输出电阻 r_o[1] 为

$$r_o\equiv\left[\frac{\partial i_D}{\partial v_{DS}}\right]^{-1}_{v_{GS}\text{为常数}} \tag{4.23}$$

利用式（4.22）可以得到

$$r_o=\left[\lambda\frac{k_n'}{2}\frac{W}{L}(V_{GS}-V_t)^2\right]^{-1} \tag{4.24}$$

可以写成

$$r_o=\frac{1}{\lambda I_D} \tag{4.25}$$

① 在本书中，使用 r_o 来标注饱和区的输出电阻，r_{DS} 表示在变阻区当 v_{DS} 较小时的漏源电阻。

或等效为

$$r_o = \frac{V_A}{I_D} \tag{4.26}$$

其中，I_D 是不考虑沟道长度调制效应时的漏极电流，即

$$I_D = \frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2$$

因此输出电阻与漏极电流成反比。最后，图 4.17 中给出了增加 r_o 后的大信号等效电路模型。

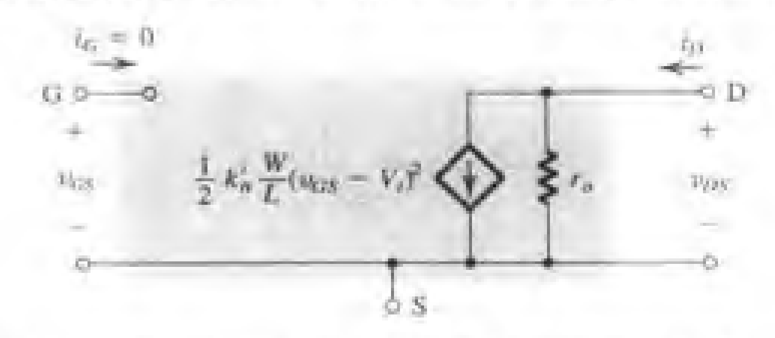


图 4.17　增加输出电阻 r_o 以后，饱和区的 n 沟道 MOSFET 的大信号等效电路模型。输出电阻依据 i_D 和 v_{DS} 的线性关系建立模型，该关系在式（4.22）中给出

练习 4.7　一个 NMOS 晶体管用 0.4 μm 工艺制造，$\mu_n C_{ox}=200\,\mu\text{A/V}^2$，$V_A'=50\,\text{V}/\mu\text{m}$。如果 $L=0.8\,\mu\text{m}$，$W=16\,\mu\text{m}$，求 V_A 和 λ。求当该器件工作在 $V_{OV}=5$ V，$V_{DS}=1$ V 时产生的 I_D 值。并求在该工作点时的 r_o 值。如果 V_{DS} 增大 2 V，I_D 相应的变化值为多少？

答案：40 V；0.025 V^{-1}；0.51 mA；80 kΩ；0.025 mA

4.2.4　p 沟道 MOSFET 特性

p 沟道增强型 MOSFET 的电路符号如图 4.18（a）所示。图 4.18（b）所示为一个改进的电路符号，在该符号中指明电流方向的箭头标在源极上。当源极与衬底电极相连接时，可以使用图 4.18（c）所示的简化符号。正常工作时的电压和电流极性在图 4.18（d）中标明。对于 p 沟道器件，开启电压 V_t 为负。为了形成沟道，必须加上比 V_t 更负的栅极电压：

$$v_{GS} \leqslant V_t\text{（形成沟道）} \tag{4.27}$$

或等效为

$$v_{SG} \geqslant |V_t|$$

和加上一个比源极电压更负的漏极电压（即 v_{DS} 为负，或等效的 v_{SD} 为正）。电流 i_D 流出漏极，如图所示。为了工作在变阻区，v_{DS} 必须满足

$$v_{DS} \geqslant v_{GS}-V_t\text{（连续沟道）} \tag{4.28}$$

即漏极电压必须至少高于栅极电压 $|V_t|$。电流 i_D 由与 NMOS 相同的式子［即式（4.11）］给出，但要用 k_p' 代替 k_n'：

$$i_D = k_p'\frac{W}{L}\left[(v_{GS}-V_t)v_{DS}-\frac{1}{2}v_{DS}^2\right] \tag{4.29}$$

其中，v_{GS}、v_{DS} 及 V_t 为负，跨导参数 k_p' 为

$$k'_p = \mu_p C_{ox} \tag{4.30}$$

其中，μ_p 是产生的 p 沟道中的空穴的迁移率。μ_p 典型值为 $0.25\mu_n$ 到 $0.5\mu_n$，是一个与工艺相关的参数。

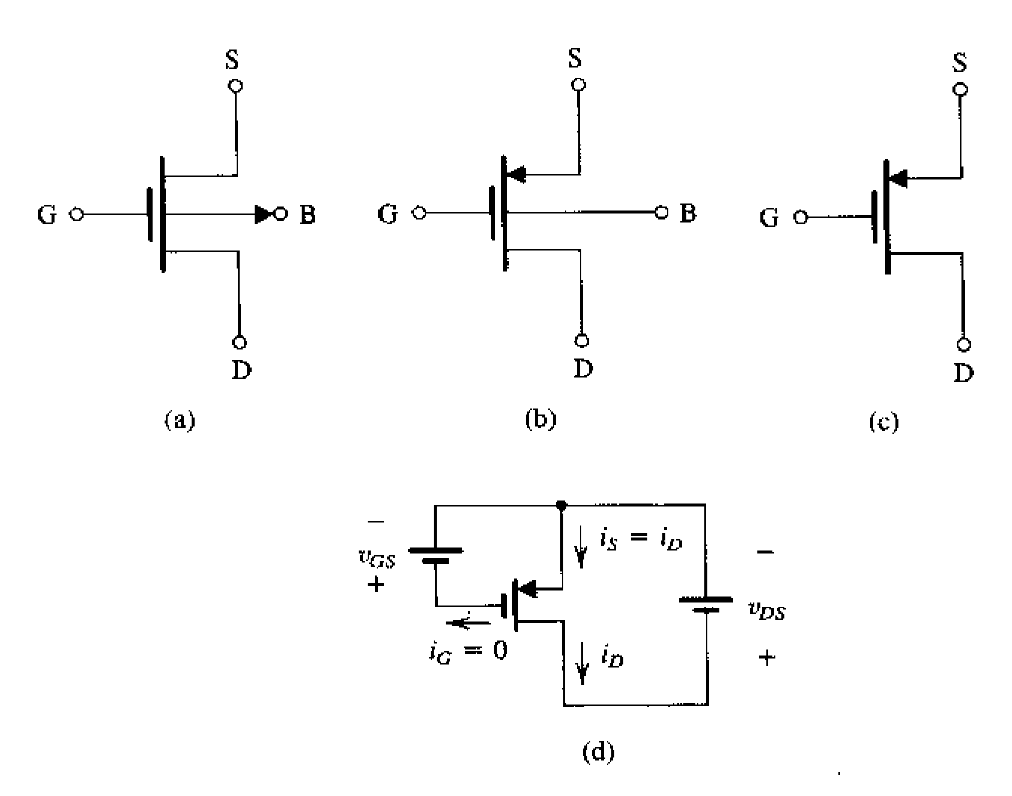


图 4.18 （a）p 沟道增强型 MOSFET 的电路符号；（b）箭头在源极的改进的符号；（c）源极连接到衬底极的简化的电路符号；（d）加上电压和指明电流方向的MOSFET。注意，v_{GS} 和 v_{DS} 为负，i_D 流出漏极

为了工作在饱和区，v_{DS} 必须满足

$$v_{DS} \leqslant v_{GS} - V_t \text{（沟道夹断）} \tag{4.31}$$

也就是说，漏极电压必须小于栅极电压加上 $|V_t|$ 的值。电流 i_D 由与 NMOS 相同的式子［即式（4.22）］给出，但要用 k'_p 代替 k'_n：

$$i_D = \frac{1}{2}k'_p \frac{W}{L}(v_{GS} - V_t)^2(1 + \lambda v_{DS}) \tag{4.32}$$

其中，v_{GS}，v_{DS}，V_t 和 λ 都为负。但要注意在利用式（4.24）到式（4.26）计算 r_o 时必须使用 λ 和 V_A 的幅值。

总之，为了使 PMOS 导通，栅极电压必须至少低于源极电压 $|V_t|$。为了工作在变阻区，漏极电压必须至少超过栅极电压 $|V_t|$；否则，PMOS 将工作在饱和区。

最后，图 4.19 中用图形表明了这些工作条件。

练习 4.8 如图 E4.8 所示的 PMOS 晶体管，$V_t = -1$ V，$k'_p = 60\ \mu\text{A/V}^2$，$W/L = 10$。（a）求晶体管导通的 V_G 的范围。（b）求晶体管工作在变阻区时用 V_G 表示的 V_D 的范围。（c）求晶体管工作在饱和区时用 V_G 表示的 V_D 的范围。（d）忽略沟道长度调制效应（即假设 $\lambda = 0$），求晶体管工作在饱和模式下，$I_D = 75\ \mu\text{A}$ 时 $|V_{OV}|$、V_G 的值以及相应的 V_D 范围。（e）如果 $\lambda = -0.02\ \text{V}^{-1}$，求对应于（d）中求得的 $|V_{OV}|$ 的 r_o 值。（f）如果 $\lambda = -0.02\ \text{V}^{-1}$ 且具有（d）中得到的 V_{OV} 值，求 $V_D = +3$ V

和 $V_D=0$ V 时 I_D 的值，并计算饱和时的输出电阻 与（e）中求得的值进行比较。

答案：（a）$V_G \leqslant +4$ V；（b）$V_D \geqslant V_G+1$；（c）$V_D \leqslant V_G+1$；（d）0.5 V，3.5 V，$\leqslant 4.5$ V；（e）0.67 MΩ；（f）78 μA，82.5 μA，0.67 MΩ（相同）

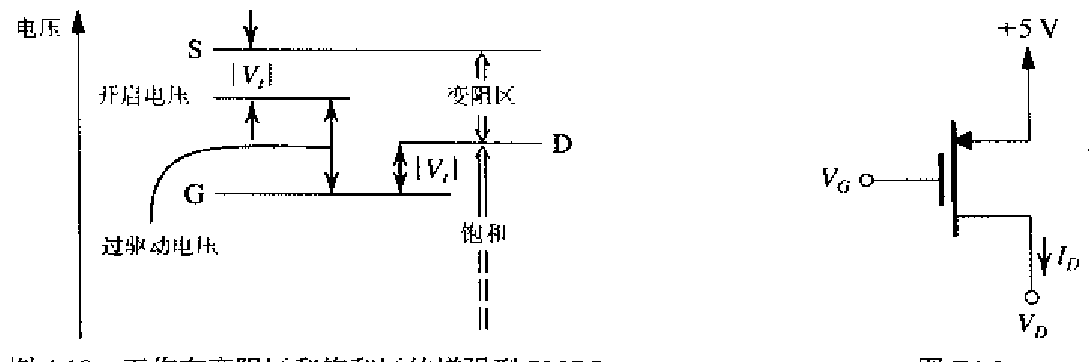


图 4.19 工作在变阻区和饱和区的增强型 PMOS 晶体管的电极电压的相对电平

图 E4.8

4.2.5 衬底的作用——背栅效应

在许多应用中，源极和衬底极（B）相连接，使得衬底和产生的沟道之间的 pn 结（见图 4.5）是固定的 0 偏置（截止）。在这种情况下，衬底并不对电路的工作产生影响，它的存在可以忽略

但是在集成电路中，衬底经常是许多 MOS 晶体管共用的。为了保证所有的衬底到沟道的 pn 结截止，在 NMOS 电路中衬底通常连接到电路的最低电位（在 PMOS 电路中连接到最高电位）上。在源极和衬底极之间就有反向偏置电压（在 n 沟道器件中为 V_{SB}），该电压会对器件的工作产生影响。为了理解这一点，考虑一个 NMOS 晶体管并假设它的衬底相对于源极为负。该反向偏置电压将加宽耗尽区（参考图 4.2）。反过来又减少了沟道深度。为了使沟道保持原来的状态，必须增大 v_{GS}。

用开启电压的变化可以最方便地表示 V_{SB} 对沟道的影响。具体地说，根据下面的关系式，衬底反向偏置电压 V_{SB} 的增加将导致 V_t 的增加：

$$V_t = V_{t0} + \gamma[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}] \tag{4.33}$$

其中，V_{t0} 是 $V_{SB}=0$ 时的开启电压，ϕ_f 是一个物理参数，$2\phi_f$ 的典型值为 0.6 V，γ 是制造工艺参数，可以由下式得到：

$$\gamma = \frac{\sqrt{2qN_A\varepsilon_s}}{C_{ox}} \tag{4.34}$$

其中，q 是电子电荷量（1.6×10^{-19} C），N_A 是 p 型衬底的掺杂浓度，ε_s 是硅的介电常数（$11.7\varepsilon_0 = 11.7\times8.854\times10^{-14} = 1.04\times10^{-12}$ F/cm）。参数 γ 的量纲为 $\sqrt{\text{V}}$，典型值为 0.4 $\text{V}^{1/2}$。最后，式（4.33）可以等效地应用于 p 沟道器件，只要将 V_{SB} 用衬底的反向偏置电压 V_{BS} 代替（或者，用 $|V_{SB}|$ 代替 V_{SB}）即可，并且 γ 是负值。在计算 γ 时，N_A 必须用 N_D 代替，N_D 是形成 PMOS 的 n 阱的掺杂浓度。对于 p 沟道器件，$2\phi_f$ 的典型值为 0.75 V，γ 的典型值为 $-0.5\ \text{V}^{1/2}$。

式（4.33）表明 V_{SB} 的增加将导致 V_t 的增加，而 V_t 的增加反过来又导致 i_D 的增加（尽管 v_{GS} 一直保持不变），因此可以得出衬底电压将控制 i_D；也就是说衬底相当于 MOSFET 的另一个栅极，这种现象称为背栅效应（衬底效应）。在这里参数 γ 被称为衬底效应参数。背栅效应可能会引起电路性能的下降（详细内容见第 6 章）。

练习 4.9 一个 NMOS 晶体管的 $V_{t0}=0.8$ V，$2\phi_f=0.7$ V，$\gamma=0.4\ \text{V}^{1/2}$。求当 $V_{SB}=3$ V 时的 V_t。

答案：1.23 V

4.2.6 温度效应

V_t 和 k' 都是温度敏感参数。温度每增加1°C，V_t 减小 2 mV。随着温度增加，$|V_t|$的减小将导致漏极电流相应增加。但是，因为k'随温度的增加而减小，并且其效果很明显，因此随着温度增加可以观察到漏极电流减小。这个结果在功率电路中应用 MOSFET 时非常有用（见第 14 章）

4.2.7 击穿和输入保护

当漏极电压增大到一定值时，漏区和衬底之间的 pn 结会遭受雪崩击穿（见 3.7.4 节）。该击穿通常发生在 20 V 到 150 V 的电压范围内，并导致电流某种程度地快速增大（称为弱雪崩）。

在现代器件中还有一种在较低电压（大约 20 V）时发生的击穿称为穿通，它发生在沟道较短的器件中，当漏极电压增大到一定值时，包围着漏区的耗尽区通过沟道一直延伸到源区。然后漏极电流快速增加。穿通击穿通常不会导致器件的永久性破坏。

当栅源电压大约超过 30 V 时，可能会发生另一种击穿。这是栅极氧化物的击穿，它会导致器件的永久性破坏。尽管 30 V 看起来较高，然而必须注意 MOSFET 有一个非常高的输入电阻和非常小的输入电容，因此栅极电容上积聚的小数量的静态电荷就有可能产生超过击穿电压值的电压。

为了防止 MOSFET 栅极电容上静态电荷的积聚，在 MOS 集成电路的输入端通常要加上栅极保护器件，通常会利用钳位二极管来进行保护。

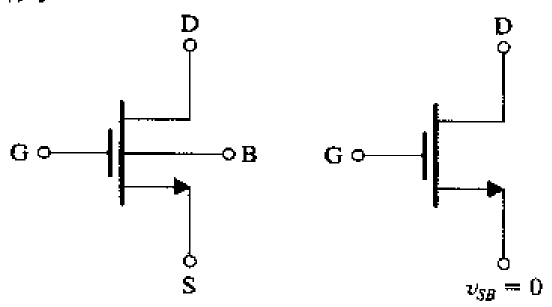
4.2.8 总结

为了便于参考，表 4.1 给出了增强型 MOSFET 电流-电压关系的总结。

表 4.1 MOSFET 电流-电压特性的总结

NMOS 晶体管

符号：



过驱动电压：

$v_{OV}=v_{GS}-V_t$

$v_{GS}=V_t+v_{OV}$

工作在变阻区：

■ 条件：

（1）$v_{GS}\geqslant V_t \Leftrightarrow v_{OV}\geqslant 0$

（2）$v_{GD}\geqslant V_t \Leftrightarrow v_{DS}\leqslant v_{GS}-V_t \Leftrightarrow v_{DS}\leqslant v_{OV}$

■ 伏安特性：

$$i_D=\mu_n C_{ox}\frac{W}{L}\left[(v_{GS}-V_t)v_{DS}-\frac{1}{2}v_{DS}^2\right]$$

■ $v_{DS}\ll 2(v_{GS}-V_t)\Leftrightarrow v_{DS}\ll 2v_{OV}$

$$r_{DS}\equiv\frac{v_{DS}}{i_D}=1\Big/\left[\mu_n C_{ox}\frac{W}{L}(v_{GS}-V_t)\right]$$

（续）

工作在饱和区：

■ 条件：

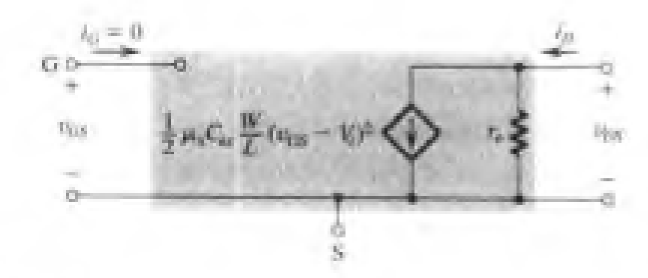
（1）$v_{GS} \geq V_t \Leftrightarrow v_{OV} \geq 0$

（2）$v_{GD} \leq V_t \Leftrightarrow v_{DS} \geq v_{GS} - V_t \Leftrightarrow v_{DS} \geq v_{OV}$

■ 伏安特性：

$i_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_{GS} - V_t)^2(1 + \lambda v_{DS})$

■ 大信号等效电路模型：



$r_o = \left[\lambda \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_t)^2\right]^{-1} = \frac{V_A}{I_D}$

其中，$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_t)^2$

开启电压：

$V_t = V_{t0} + \gamma(\sqrt{2\phi_f + |V_{SB}|} - \sqrt{2\phi_f})$

工艺参数：

$C_{ox} = \varepsilon_{ox}/t_{ox}$ (F/m^2)

$k_n' = \mu_n C_{ox}$ (A/V^2)

$V_A' = (V_A/L)$ (V/m)

$\lambda = (1/V_A)$ (V^{-1})

$\gamma = \sqrt{2qN_A\varepsilon_s}/C_{ox}$ $(V^{1/2})$

常数：

$\varepsilon_0 = 8.854 \times 10^{-12}$ F/m

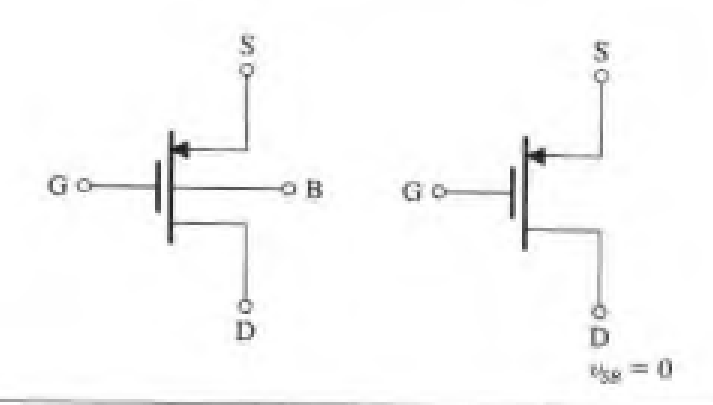
$\varepsilon_{ox} = 3.9\varepsilon_0 = 3.45 \times 10^{-11}$ F/m

$\varepsilon_s = 11.7\varepsilon_0 = 1.04 \times 10^{-10}$ F/m

$q = 1.602 \times 10^{-19}$ C

PMOS 晶体管

符号：



（续）

过驱电压：

$v_{OV} = v_{GS} - V_t$

$v_{SG} = |V_t| + |v_{OV}|$

伏安特性：

与 NMOS 具有相同的关系，以下参数除外：

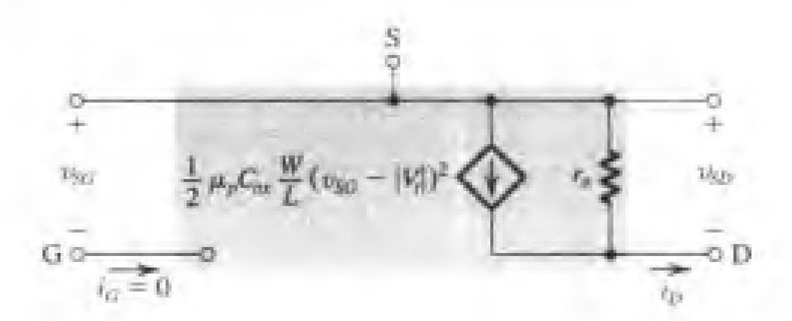
- 用 μ_p、k_p' 和 N_D 分别替代 μ_n、k_n' 和 N_A
- V_t、v_{OV}、V_A、λ 和 γ 为负
- 工作在变阻区的条件：

  （1）$v_{GS} \leq V_t \Leftrightarrow v_{OV} \leq 0 \Leftrightarrow v_{SG} \geq |V_t|$

  （2）$v_{DG} \geq |V_t| \Leftrightarrow v_{DS} \geq v_{GS} - V_t \Leftrightarrow v_{SD} \leq |v_{OV}|$
- 工作在饱和区的条件：

  （1）$v_{GS} \leq V_t \Leftrightarrow v_{OV} \leq 0 \Leftrightarrow v_{SG} \geq |V_t|$

  （2）$v_{DG} \leq |V_t| \Leftrightarrow v_{DS} \leq v_{GS} - V_t \Leftrightarrow v_{SD} \geq |v_{OV}|$
- 大信号等效电路模型：



$$r_o = \left[|\lambda| \frac{1}{2}\mu_p C_{ox}\frac{W}{L}(V_{SG} - |V_t|)^2\right]^{-1} = \frac{|V_A|}{I_D}$$

其中，

$$I_D = \frac{1}{2}\mu_p C_{ox}\frac{W}{L}(V_{SG} - |V_t|^2)$$

4.3 MOSFET 直流电路

介绍了 MOSFET 的伏安特性之后，现在开始考虑只有直流电压和电流的电路。具体地说，我们将给出一系列直流时 MOSFET 的电路设计和分析例子，目的是使读者熟悉 MOSFET 器件以及培养快速有效的 MOSFET 电路分析能力。

在下面的例子中，为了简化以及把主要注意力集中在 MOSFET 电路工作的本质上，我们将忽略沟道长度调制效应，即假设 $\lambda = 0$。可以发现，用过驱动电压 $V_{OV} = V_{GS} - V_t$ 就可方便地计算。对于 NMOS，V_t 和 V_{OV} 为正；而对于 PMOS，V_t 和 V_{OV} 为负。对于 PMOS，读者可能更喜欢用 $V_{SG} = |V_{GS}| = |V_t| + |V_{OV}|$。

例题 4.2 设计图 4.20 所示的电路，使晶体管工作在 $I_D = 0.4$ mA，$V_D = +0.5$ V。该 NMOS 晶体管的 $V_t = 0.7$ V，$\mu_n C_{ox} = 100\ \mu\text{A/V}^2$，$L = 1\ \mu\text{m}$，$W = 32\ \mu\text{m}$。忽略沟道长度调制效应（即假设 $\lambda = 0$）。

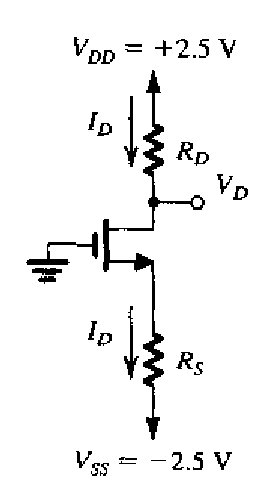


图 4.20　例题 4.2 的电路

解：因为 V_D = 0.5 V，大于 V_G，这意味着 NMOS 晶体管工作在饱和区，因此使用饱和区的 i_D 表达式来确定所要求的 V_{GS}：

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_t)^2$$

将 $V_{GS}-V_t = V_{OV}$，I_D = 0.4 mA = 400 μA，$\mu_n C_{ox} = 100\ \mu\text{A/V}^2$，$W/L = 32/1$ 代入得到

$$400 = \frac{1}{2}\times 100\times\frac{32}{1}V_{OV}^2$$

从中可以得到

$$V_{OV} = 0.5\text{ V}$$

因此，

$$V_{GS} = V_t + V_{OV} = 0.7 + 0.5 = 1.2\text{ V}$$

从图 4.20 可以看出栅极接地，因此源极必须在−1.2 V，所需的 R_S 为

$$\begin{aligned} R_S &= \frac{V_S - V_{SS}}{I_D} \\ &= \frac{-1.2-(12.5)}{0.4} = 3.25\text{ k}\Omega \end{aligned}$$

为了使漏极的直流电压为+0.5 V，选择 R_D 如下：

$$\begin{aligned} R_D &= \frac{V_{DD} - V_D}{I_D} \\ &= \frac{2.5-0.5}{0.4} = 5\text{ k}\Omega \end{aligned}$$

■

练习 D4.10　对下面的情况，重新设计图 4.20 所示的电路：$V_{DD} = -V_{SS} = 2.5$ V，$V_t = 1$ V，$\mu_n C_{ox} = 60\ \mu\text{A/V}^2$，$W/L = 120\mu\text{m}/3\mu\text{m}$，$I_D = 0.3$ mA 和 $V_D = +0.4$ V

答案：$R_S = 3.3\text{ k}\Omega$；$R_D = 7\text{ k}\Omega$

例题 4.3　设计图 4.21 所示电路得到 80 μA 的 I_D 电流。求所需的 R 值和直流电压 V_D。假设 NMOS 晶体管的 V_t = 0.6 V，$\mu_n C_{ox} = 200\ \mu\text{A/V}^2$，$L = 0.8\mu$m，$W = 4\ \mu$m。忽略沟道长度调制效应（即假设 $\lambda = 0$）。

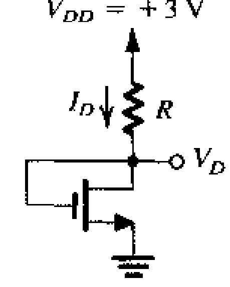


图 4.21　例题 4.3 的电路

解：因为 $V_{DG} = 0$，$V_D = V_G$，并且 FET 工作在饱和区，因此，

$$\begin{aligned} I_D &= \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_t)^2 \\ &= \frac{1}{2}\mu_n C_{ox}\frac{W}{L}V_{OV}^2 \end{aligned}$$

从中可以得到 V_{OV} 为

$$\begin{aligned} V_{OV} &= \sqrt{\frac{2I_D}{\mu_n C_{ox}(W/L)}} \\ &= \sqrt{\frac{2\times 80}{200\times(4/0.8)}} = 0.4\text{ V} \end{aligned}$$

例题 4.5　分析图 4.23（a）所示的电路，确定所有节点的电压和所有支路上的电流。设 $V_t = 1$ V，$k_n'(W/L) = 1$ mA/V^2，忽略沟道长度调制效应（即假设 $\lambda = 0$）。

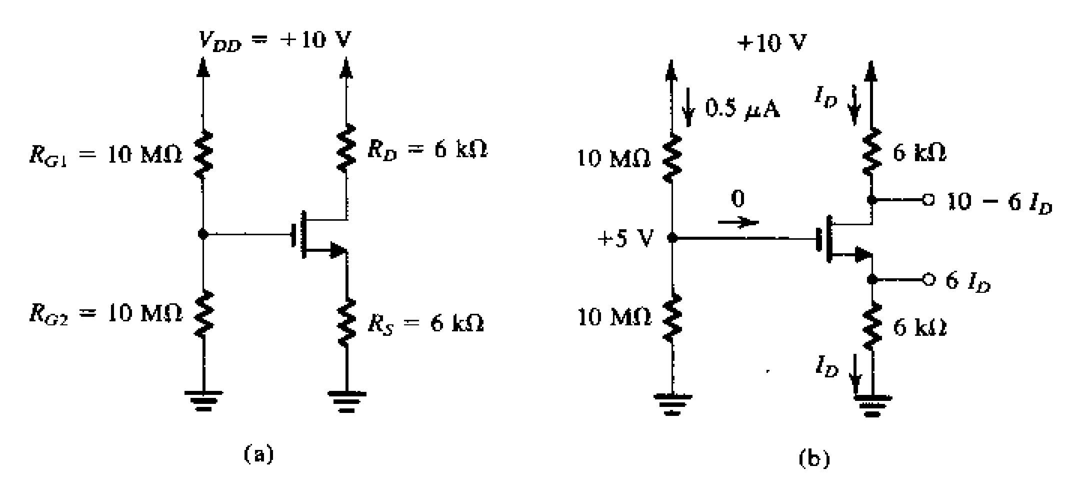


图 4.23　（a）例题 4.5 的电路；（b）带有一些分析细节的电路

解：因为栅极电流为 0，因此由两个 10 MΩ的电阻组成的电压分压器就可以确定栅极电压：

$$V_G = V_{DD}\frac{R_{G2}}{R_{G2}+R_{G1}} = 10\times\frac{10}{10+10} = +5\text{ V}$$

由于栅极电压为正，NMOS 晶体管将导通，但是不知道晶体管是工作在饱和区还是变阻区。先假定工作在饱和区，求解问题，然后检查假设的有效性。显然，如果我们的假设被证明是不成立的，就必须重新求解工作在变阻区时的情况。

参考图 4.23（b），因为栅极电压是 5 V，源极电压为 $I_D(\text{mA})\times 6(\text{k}\Omega) = 6I_D$，可以得到

$$V_{GS} = 5 - 6I_D$$

因此 I_D 为

$$\begin{aligned} I_D &= \frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2 \\ &= \frac{1}{2}\times 1\times(5-6I_D-1)^2 \end{aligned}$$

由此可以得到下面的 I_D 的一元二次方程：

$$18I_D^2 - 25I_D + 8 = 0$$

求解该方程得到两个 I_D 值：0.89 mA 和 0.5 mA。用第一个值得到的源极电压为 $6\times 0.89 = 5.34$，它大于栅极电压，说明晶体管截止。因此，

$$\begin{aligned} I_D &= 0.5\text{ mA} \\ V_S &= 0.5\times 6 = +3\text{ V} \\ V_{GS} &= 5-3 = 2\text{ V} \\ V_D &= 10-6\times 0.5 = +7\text{ V} \end{aligned}$$

因为 $V_D > V_G - V_t$，因此该晶体管如最初假设的那样工作在饱和区。■

练习 4.14　对于图 4.23 所示的电路，保证晶体管工作在饱和模式时最大的 R_D 值为多少？

答案：12 kΩ

练习 D4.15　重新设计图 4.23 所示的电路，要求：$V_{DD} = +5$ V，$I_D = 0.32$ mA，$V_S = 1.6$ V，$V_D = 3.4$ V，

并且流过电压分压器 R_{G1} 和 R_{G2} 的电流为 1 μA。假设 MOSFET 和例题 4.5 中的 MOSFET 相同。

答案： $R_{G1}=1.6\ \text{M}\Omega$；$R_{G2}=3.4\ \text{M}\Omega$，$R_S=R_D=5\ \text{k}\Omega$

例题 4.6 设计图 4.24 所示的电路使得晶体管工作在饱和区，并且 $I_D=0.5\ \text{mA}$，$V_D=+3\ \text{V}$。假设该增强型 PMOS 晶体管的 $V_t=-1\ \text{V}$，$k'_p(W/L)=1\ \text{mA/V}^2$，$\lambda=0$。求晶体管保持工作在饱和模式时最大的 R_D 值为多少？

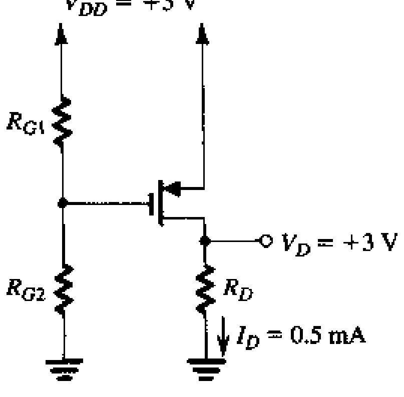


图 4.24 例题 4.6 的电路

解： 因为 MOSFET 工作在饱和区，因此，

$$I_D=\frac{1}{2}k'_p\frac{W}{L}(V_{GS}-V_t)^2$$
$$=\frac{1}{2}k'_p\frac{W}{L}V_{OV}^2$$

将 $I_D=0.5\ \text{mA}$，$k'_p(W/L)=1\ \text{mA/V}^2$ 代入，并且 PMOS 晶体管的 V_{OV} 为负，可以得到

$$V_{OV}=-1\ \text{V}$$

和

$$V_{GS}=V_t+V_{OV}=-1-1=-2\ \text{V}$$

因为源极电压为+5 V，栅极电压必须设为+3 V。这可以通过选择合适的 R_{G1} 和 R_{G2} 得到。一种可能的选择是 $R_{G1}=2\ \text{M}\Omega$；$R_{G2}=3\ \text{M}\Omega$。

R_D 的值可以由下式确定：

$$R_D=\frac{V_D}{I_D}=\frac{3}{0.5}=6\ \text{k}\Omega$$

可以一直维持饱和工作模式直到 V_D 比 V_G 大 $|V_t|$，即

$$V_{D\max}=3+1=4\ \text{V}$$

得到该漏极电压后可以求得 R_D 的值为

$$R_D=\frac{4}{0.5}=8\ \text{k}\Omega$$

■

例题 4.7 图 4.25（a）所示电路中的 NMOS 和 PMOS 晶体管有 $V_{tn}=-V_{tp}=1\ \text{V}$，$k'_n(W_n/L_n)=k'_p(W_p/L_p)=1\ \text{mA/V}^2$。假设两个器件的 $\lambda=0$，当 $v_I=0\ \text{V}$、$+2.5\ \text{V}$ 及 $-2.5\ \text{V}$ 时，求漏极电流 i_{DN} 和 i_{DP} 以及电压 v_O。

解： 图 4.25（b）给出了 $v_I=0\ \text{V}$ 时的电路。可以看出因为 Q_N 和 Q_P 完全匹配，并且工作在相同的 $|V_{GS}|$（即 2.5 V），因此该电路对称，由此可以得出 $v_O=0\ \text{V}$。因此 Q_N 和 Q_P 都工作在 $|V_{DG}|=0$ 处，即饱和模式。可以得到漏极电流为

$$I_{DP}=I_{DN}=\frac{1}{2}\times1\times(2.5-1)^2$$
$$=1.125\ \text{mA}$$

接下来考虑 $v_I=+2.5\ \text{V}$ 时的电路。晶体管 Q_P 的 V_{GS} 为 0，因此 Q_P 截止，电路就变成如图 4.25（c）所示。可以看出 v_O 为负，因此 v_{GD} 将大于 V_t，使得 Q_N 工作在变阻区。对了简化起见，假设 v_{DS} 较小，因此使用

$$I_{DN}\cong k'_n(W_n/L_n)(V_{GS}-V_t)V_{DS}$$
$$=1[2.5-(-2.5)-1][v_O-(-2.5)]$$

从图 4.25（c）所示的电路图可以得到

$$I_{DN}(\text{mA}) = \frac{0 - v_O}{10(\text{k}\Omega)}$$

这两个方程可以同时求解得到

$$I_{DN} = 0.244\ \text{mA},\ v_O = -2.44\ \text{V}$$

可以看出，$V_{DS} = -2.44 - (-2.5) = 0.06$ V，同我们的假设一样，它是一个较小的值

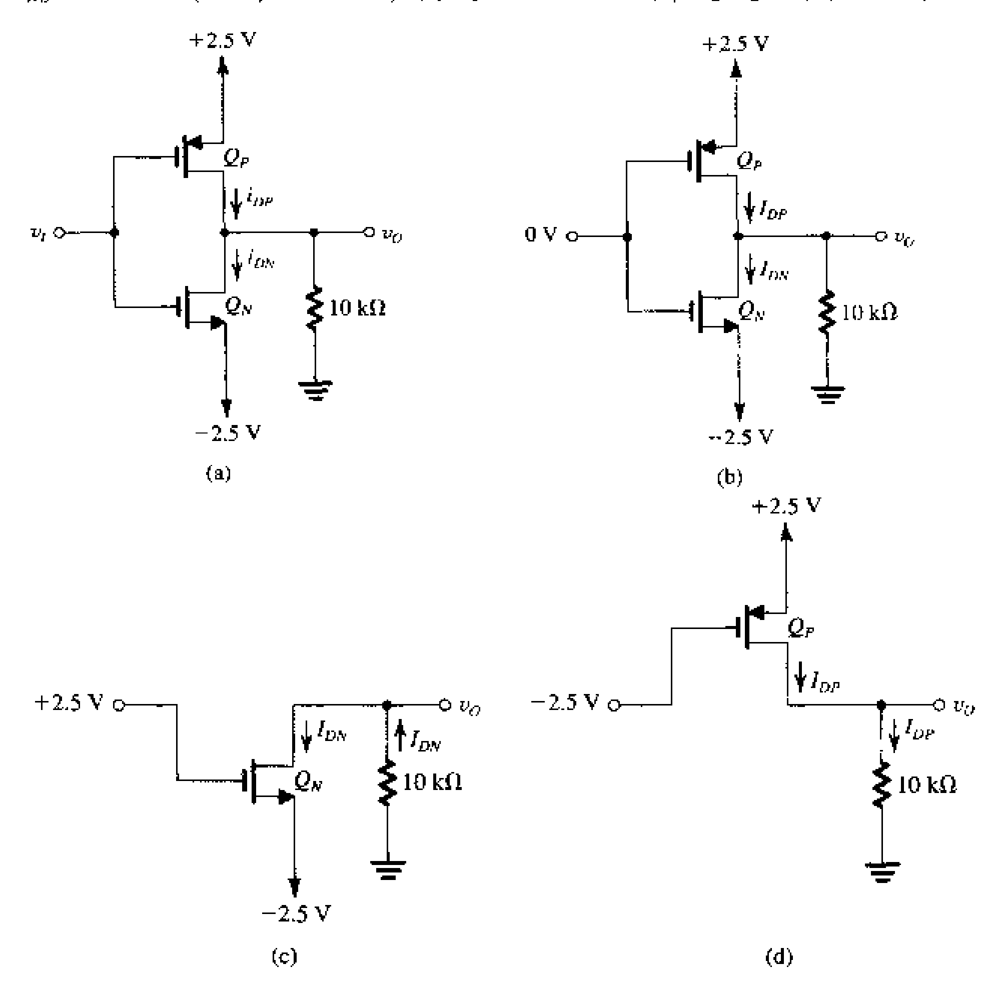


图 4.25　例题 4.7 的电路

最后，$v_I = -2.5$ V 的情况［见图 4.25（d）］与 $v_I = +2.5$ V 的情况刚好完全相反：晶体管 Q_N 截止，因此 $I_{DN} = 0$，Q_P 工作在变阻区并且 $I_{DP} = 2.44$ mA，$v_O = +2.44$ V ■

练习 4.16　图 E4.16 所示电路中的 NMOS 和 PMOS 晶体管有 $V_{tn} = -V_{tp} = 1$ V，$k_n'(W_n/L_n) = k_p'(W_p/L_p) = 1$ mA/V^2，假设两个器件的 $\lambda = 0$，求当 $v_I = 0$ V，+2.5 V 及 −2.5 V 时的漏极电流 i_{DN} 和 i_{DP} 以及电压 v_O

答案：$v_I = 0$ V 时：0 mA，0 mA，0 V；$v_I = +2.5$ V 时：0.104 mA，0 mA，1.04 V；$v_I = -2.5$ V 时：0 mA，0.104 mA，−1.04 V

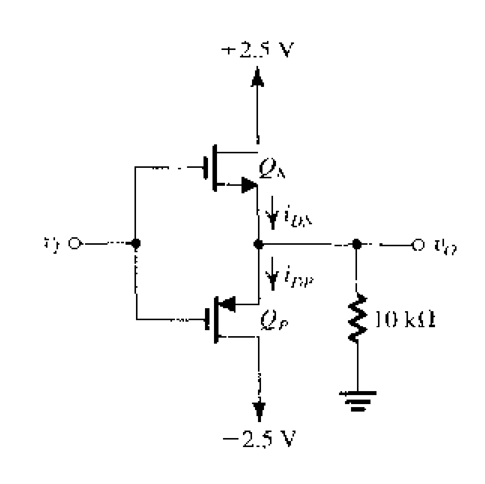


图 E4.16

4.4 作为放大器和开关的 MOSFET

本节开始讲解 MOSFET 在放大器电路设计中的应用[①]。MOSFET 作为放大器应用的基础是：它工作在饱和区域时相当于一个电压控制电流源——栅源电压 v_{GS} 的变化将导致漏极电流 i_D 的变化，因此饱和的 MOSFET 可以用来实现一个互导放大器（见 1.5 节）。但是，因为我们对线性放大器感兴趣——即输出信号（在此情况下是漏极电流 i_D）与输入信号（在这种情况下，是栅源电压 v_{GS}）呈线性关系的放大器——我们必须在 i_D 和 v_{GS} 的高度非线性关系中找到一种方法。

从基本的非线性器件中得到线性放大的技术是利用直流偏置使 MOSFET 工作在一个合适的 V_{GS} 和相应的 I_D 上，然后在直流偏置电压 V_{GS} 上叠加所要放大的电压信号 v_{gs}。通过将信号 v_{gs} 保持在一个较小的范围内，所得到的漏极电流的变化 i_d 就与 v_{gs} 成正比。我们在 1.4 节中已经介绍了这种技术，并已经应用在 3.3.8 节的二极管的例子中。但是，在考虑 MOSFET 的小信号工作之前，我们来查看一张范围更广的"大图"：我们将介绍 MOSFET 放大器的大信号工作特性。通过推导出一个普通使用的 MOSFET 放大电路的电压传输特性来介绍它的大信号性能。从电压传输特性可以很清楚地看出：晶体管作为小信号放大器工作时的偏置区域以及作为开关（即完全导通或完全截止）工作时的偏置区域。MOSFET 开关在模拟电路和数字电路中都有应用。

4.4.1 大信号工作的传输特性

图 4.26（a）所示是最普遍使用的 MOSFET 放大器［即共源电路（CS）］的基本结构。之所以叫共源或漏端接地电路这个名字，是因为当电路被看做是二端口网络时，接地的源端是栅极和源极组成的输入端以及漏极和源极组成的输出端的公共端。尽管 MOSFET 的基本控制行为是 v_{GS} 的变化（这里是 v_I 的变化，因为 $v_{GS}=v_I$）导致 i_D 的变化，我们还是使用电阻 R_D 来得到输出电压 v_O：

$$v_O = v_{DS} = V_{DD} - R_D i_D \tag{4.35}$$

通过这种方法，该互导放大器就转化成了电压放大器。最后要注意的是：需要一个直流电源来使 MOSFET 导通，并为 MOSFET 的运行提供必要的功率。

分析图 4.26（a）所示的电路可确定在不同的输入电压 v_I 时的输出电压 v_O，即确定 CS 放大器的电压传输特性。为了达到这个目的，假设 v_I 的范围为 0 到 V_{DD}。为了更好地理解电路的工作，我们用两种方法推导出它的传输特性，这两种方法是图解法和解析法。

4.4.2 传输特性的图解推导

共源放大器的性能受 MOSFET 的 $i_D - v_{DS}$ 特性及其关系的制约，通过电阻 R_D 将漏极和电源 V_{DD} 连接起来可得到 i_D 和 v_{DS} 的关系，即

$$v_{DS} = V_{DD} - R_D i_D \tag{4.36}$$

或

$$i_D = \frac{V_{DD}}{R_D} - \frac{1}{R_D} v_{DS} \tag{4.37}$$

① 放大器外部端口的特性已经在第 1 章（1.4 节和 1.5 节）中做了介绍，对不熟悉基本放大器概念的读者在学习 MOS 放大器之前回顾一下这些内容将很有帮助。

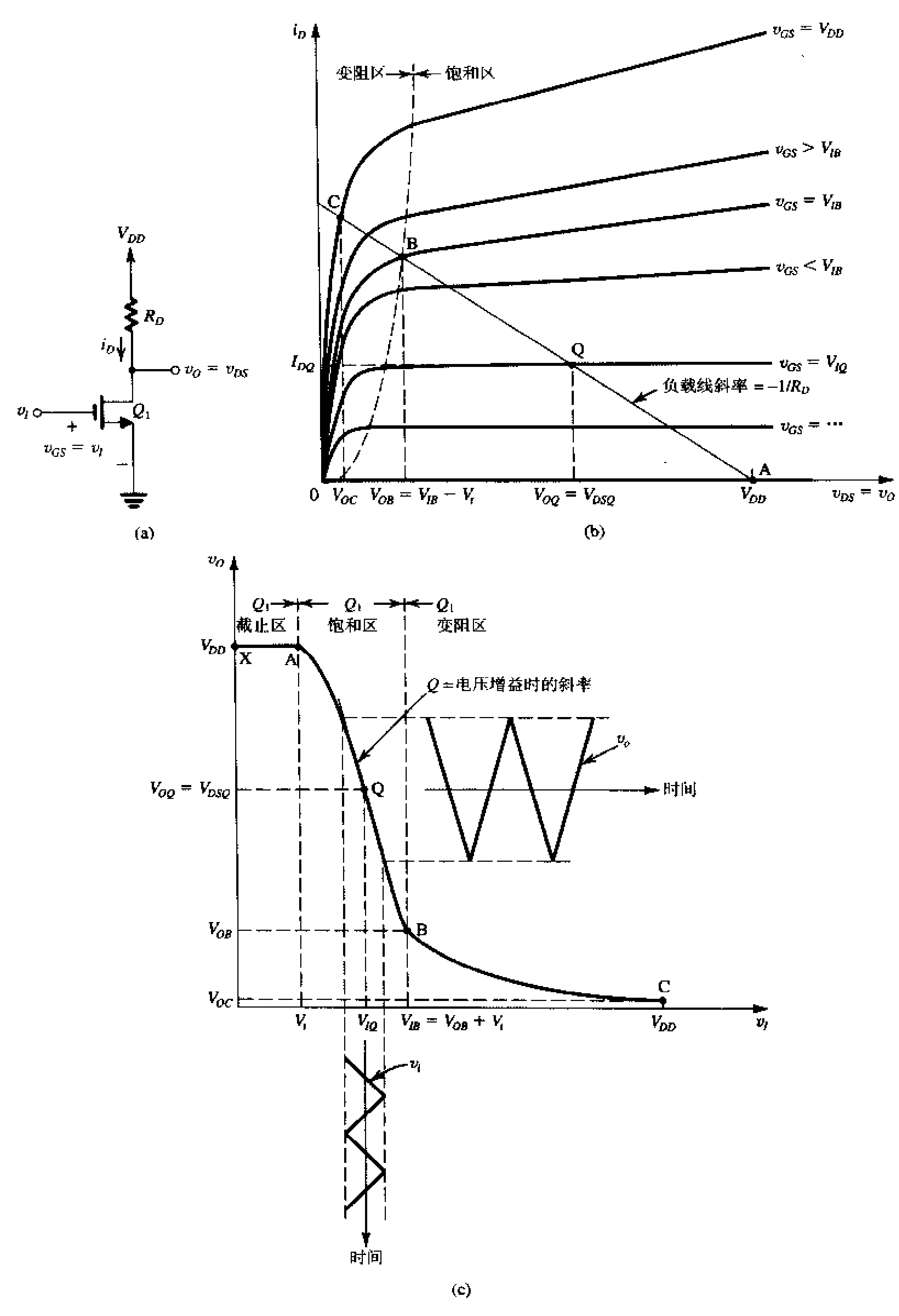


图 4.26 （a）共源放大器的基本电路；（b）确定（a）中放大器传输特性的图解表示；（c）放大器工作在偏置点 Q 时的传输特性

图 4.26（b）所示为叠加在式（4.37）表示的呈直线的 $i_D \sim v_{DS}$ 关系上的 MOSFET $i_D \sim v_{DS}$ 特性曲线的草图。可以看出，直线与 v_{DS} 轴相交于 V_{DD} [因为从式（4.36）可知，当 $i_D = 0$ 时，$v_{DS} = V_{DD}$]，并且斜率为 $-1/R_D$。因为 R_D 通常被认为是放大器的负载电阻（即在其两端提供输出电压的电阻），因此图 4.26（b）中的直线称为负载线。

图 4.26（b）所示的图形可以用来确定给定任意 v_I 时（$v_{GS} = v_I$）的 v_O（等于 v_{DS}）。具体地说，对于任意给定的 v_I 值，可以定出相应的 $i_D \sim v_{DS}$ 曲线，并从该曲线与负载线的交点得到 v_O。

如果进行定性分析的话，电路的工作情况如下：因为 $v_{GS} = v_I$，可以看出当 $v_I < V_t$ 时，晶体管截止，i_D 为 0，$v_O = v_{DS} = V_{DD}$。电路工作于 A 点。随着 v_I 超过 V_t，晶体管导通，i_D 增加，v_O 减小。因为 v_O 最初较高，因此晶体管将工作在饱和区。这就相当于工作点沿着负载线从 A 移到 B。在该运行区域可以设定一个特殊点，标为 Q，它是当 $V_{GS} = V_{IQ}$ 时得到的点，其坐标为 $V_{OQ} = V_{DSQ}$ 和 I_{DQ}。

电路将一直工作在饱和区直到 v_O 减小到比 v_I 小 V_t 为止。这时，$v_{DS} = v_{GS} - V_t$，MOSFET 进入变阻区工作。这就是图 4.26（b）中的 B 点，它是负载线和虚线曲线的交点，虚线曲线定义了饱和区和变阻区的分界线。B 点定义为

$$V_{OB} = V_{IB} - V_t$$

当 $v_I > V_{IB}$ 时，晶体管进入更深的变阻区。注意，因为变阻区的特性曲线聚集在一起，因此输出电压慢慢减小到 0。此时再设定 $v_I = V_{DD}$ 时的一个特殊点 C。相应的输出电压 V_{OC} 通常比较小。这样逐点确定传输特性就得到了图 4.26（c）所示的传输曲线。可以看出，我们已经绘出了它的三段不同的分段区域，每一段对应于 MOSFET Q_1 的三个工作区域之一。我们把图 4.26（b）中几个重要的点标在了传输曲线上。

4.4.3 作为开关工作

当 MOSFET 作为一个开关时，它工作在传输曲线的极点（extreme point）。具体地说，通过使 $v_I < V_t$，器件截止，这样使得器件工作在线段 XA 中的某一点，并有 $v_O = V_{DD}$。当加上接近于 V_{DD} 的电压时，开关导通，导致其工作点非常接近于 C 点，v_O 非常小（在 C 点，$v_O = V_{OC}$）。在这个连接处可以看出图 4.26（c）所示的传输曲线是 1.7 节中给出的数字逻辑反相器的形式。确实，共源 MOS 电路可以用来作为逻辑反相器，它的“低”电压接近于 0 V，“高”电压接近于 V_{DD}。更复杂的 MOS 逻辑反相器将在 4.10 节中介绍。

4.4.4 作为线性放大器工作

为了使 MOSFET 作为放大器工作，可使用传输曲线的饱和模式那一段。该器件被偏置在接近于曲线中间的点，例如 Q 点是一个合适的偏置点。直流偏置点也称为静态点，因此把它标为 Q 点。然后把所要放大的电压信号 v_i 叠加在图 4.26（c）所示的直流电压 V_{IQ} 上。保持 v_i 足够小使其限制在几乎为线性的一段传输曲线上，这样得到的输出信号 v_o 与 v_i 成正比。也就是放大器近似为线性放大器，v_o 与 v_i 具有相同的波形，只是它比输入增大了 A_v 倍，A_v 为放大器在 Q 点的电压增益：

$$A_v \equiv \left.\frac{dv_O}{dv_I}\right|_{v_I = V_{IQ}} \tag{4.38}$$

因此电压增益等于传输曲线在偏置点 Q 处的斜率。可以看出该斜率为负，因此基本 CS 放大器为反相放大器，这一点从图 4.26（c）所示的 v_o 与 v_i 的波形中也可以看出。如果输入信号 v_i 的幅度增大，显然输出信号会发生失真，因为其工作不再被限制在传输曲线上近似为线性的部分。

我们会在4.6节讨论MOSFET的小信号特性，现在先来讨论如何选择合适的偏置点Q的位置因为输出信号将叠加在输出直流电压V_{OQ}或V_{DSQ}上，因此V_{DSQ}对于所要求的输出信号的摆幅是一个很重要的参数，也就是说，V_{DSQ}必须远小于V_{DD}并且远大于V_{OB}，使得输出信号能够分别达到所要求的正负摆幅。如果V_{DSQ}非常接近于V_{DD}，输出信号正波峰可能被限制在V_{DD}而引起顶部限幅，因为在这一部分时间里MOSFET被截止。我们称这种情况为电路没有足够的"正摆幅空间"。同样，如果V_{DSQ}非常接近于变阻区的分界线，那么在负波峰附近的时间里MOSFET将进入变阻区，导致输出信号失真。我们称这种情况为电路没有足够的"负摆幅空间"。最后要注意，尽管是在给定的传输曲线上讨论偏置点位置的选择，但是确定传输曲线的R_D值又必须是由电路设计者给出的。因此当考虑偏置点Q的位置时，选择R_D与参考$i_D - v_{DS}$平面结合起来是一个更合适的方法。这一点在图4.27中有进一步的解释。

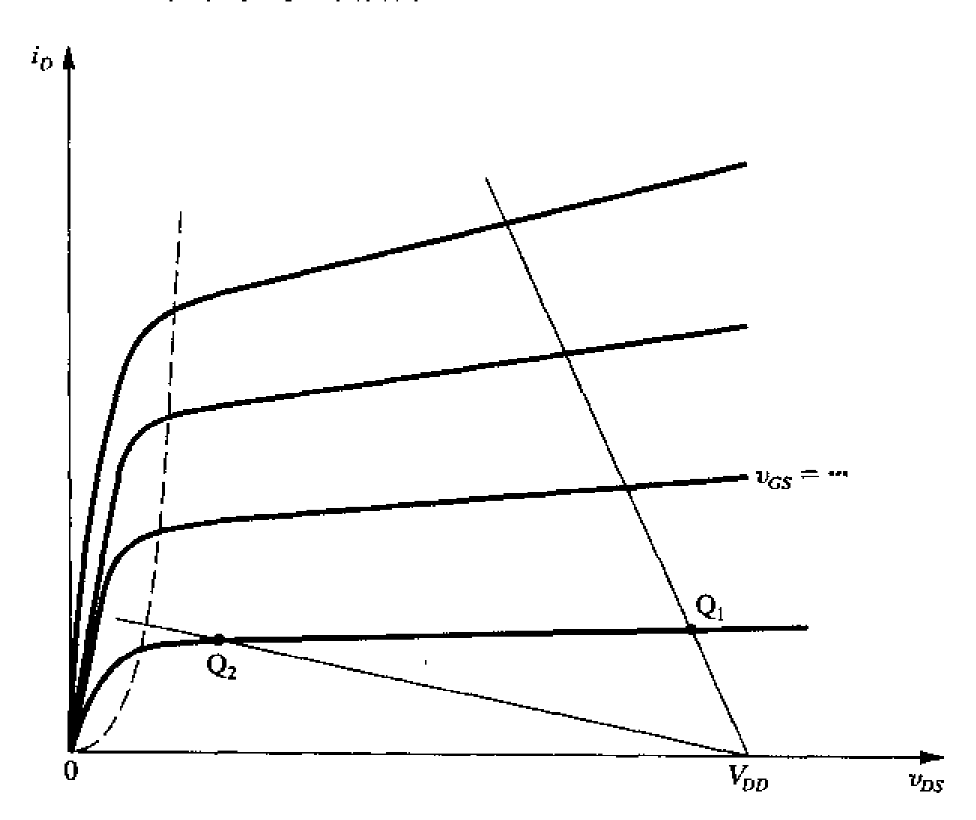


图 4.27　两条负载线和相应的偏置点。偏置点Q_1没有为漏极电压正摆幅留出足够的空间（太接近于V_{DD}）。偏置点Q_2太接近于变阻区的分界线而不能输出足够的负信号摆幅

4.4.5　传输特性的解析表达式

用描述MOSFET工作在三个区域（截止区、饱和区及变阻区）的伏安特性关系可以很容易地推导出图4.26（a）所示的三段传输特性的解析表达式。

截止区域段，XA： $v_I \leqslant V_t$，$v_O = V_{DD}$。

饱和区域段，AQB： $v_I \geqslant V_t$，$v_O \geqslant v_I - V_t$。忽略沟道长度调制效应并将式

$$i_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)(v_I - V_t)^2$$

代入下式

$$v_O = V_{DD} - R_D i_D$$

可以得到

$$v_O = V_{DD} - \frac{1}{2}R_D\mu_n C_{ox}\frac{W}{L}(v_I - V_t)^2 \tag{4.39}$$

我们可以利用上述关系式推导出在偏置点 Q（即 $v_I = V_{IQ}$ 时）的增量电压增益 A_v 的表达式为

$$A_v \equiv \left.\frac{dv_O}{dv_I}\right|_{v_I = V_{IQ}}$$

因此，

$$A_v = -R_D\mu_n C_{ox}\frac{W}{L}(V_{IQ} - V_t) \tag{4.40}$$

可以看出，电压增益与 R_D、互导参数 $k_n' = \mu_n C_{ox}$、晶体管宽长比 W/L 和偏置点上的过驱动电压 $V_{OV} = V_{IQ} - V_t$ 成正比。

将 $v_I = V_{IQ}$ 和 $v_O = V_{OQ}$ 代入式（4.39），利用式（4.40），并将 $V_{OV} = V_{IQ} - V_t$ 代入，可以得到另一个简单而有用的电压增益表达式：

$$A_v = -\frac{2(V_{DD} - V_{OQ})}{V_{OV}} = -\frac{2V_{RD}}{V_{OV}} \tag{4.41}$$

其中，V_{RD} 是漏极电阻 R_D 两端的直流电压，即 $V_{RD} = V_{DD} - V_{OQ}$。

饱和区域段的终点可以描述为

$$V_{OB} = V_{IB} - V_t \tag{4.42}$$

因此将 $v_I = V_{IB}$ 和 $v_O = V_{OB}$ 代入式（4.39）并求解所得到的方程和式（4.42）可以得到终点的坐标。

变阻区域段，BC： $v_I \geq V_t$，$v_O \leq v_I - V_t$。将变阻区的 i_D 表达式

$$i_D = \mu_n C_{ox}\frac{W}{L}\left[(v_I - V_t)v_O - \frac{1}{2}v_O^2\right]$$

代入下式

$$v_O = V_{DD} - R_D i_D$$

可以得到

$$v_O = V_{DD} - R_D\mu_n C_{ox}\frac{W}{L}\left[(v_I - V_t)v_O - \frac{1}{2}v_O^2\right]$$

v_O 较小时的一段曲线可以近似为

$$v_O \cong V_{DD} - R_D\mu_n C_{ox}\frac{W}{L}(v_I - V_t)v_O$$

并可以简化为

$$v_O = V_{DD}\Big/\left[1 + R_D\mu_n C_{ox}\frac{W}{L}(v_I - V_t)\right] \tag{4.43}$$

可以使用该表达式求得在 $i_D - v_{DS}$ 平面［式（4.13）］的原点附近漏极到源极的电阻 r_{DS} 为

$$r_{DS} = 1\Big/\left[\mu_n C_{ox}\frac{W}{L}(v_I - V_t)\right]$$

与式（4.43）一起可以得到

$$v_O = V_{DD}\frac{r_{DS}}{r_{DS}+R_D} \tag{4.44}$$

它有一个直观意义：当 v_O 较小时，MOSFET 相当于一个电阻 r_{DS}（它的值由 v_I 确定），该电阻与 R_D 一起组成对 V_{DD} 进行分压的一个电压分压器。通常，$r_{DS} \ll R_D$，因此式（4.44）可以简化为

$$v_O \cong V_{DD}\frac{r_{DS}}{R_D} \tag{4.45}$$

例题 4.8　为了使上面的分析更具体，我们考虑一个带数值的例子。具体地说，考虑图 4.26（a）所示的 CS 电路，其中 $k_n'(W/L) = 1\ \text{mA/V}^2$，$V_t = 1\ \text{V}$，$R_D = 18\ \text{k}\Omega$，以及 $V_{DD} = 10\ \text{V}$。

解：首先，确定传输曲线上的几个重要点的坐标：

（a）X 点：

$$v_I = 0\ \text{V},\quad v_O = 10\ \text{V}$$

（b）A 点：

$$v_I = 1\ \text{V},\quad v_O = 10\ \text{V}$$

（c）B 点：将下式

$$\begin{aligned} v_I = V_{IB} &= V_{OB} + V_t \\ &= V_{OB} + 1 \end{aligned}$$

和 $v_O = V_{OB}$ 代入式（4.39）得到

$$9V_{OB}^2 + V_{OB} - 10 = 0$$

它有两个根，其中只有一个有物理意义，即

$$V_{OB} = 1\ \text{V}$$

因此，

$$V_{IB} = 1 + 1 = 2\ \text{V}$$

（d）C 点：从式（4.43）可以得到

$$V_{OC} = \frac{10}{1 + 18 \times 1 \times (10 - 1)} = 0.061\ \text{V}$$

它是一个非常小的值，可以证明我们使用式（4.43）的近似表达式的正确性。

接下来对放大器进行偏置使它工作在饱和区域段中合适的点上。因为这一段从 $v_O = 1\ \text{V}$ 延伸到 $v_O = 10\ \text{V}$，我们选择工作在 $V_{OQ} = 4\ \text{V}$。这一点允许信号在两个方向上都有合适的摆幅，并且比在该范围的中点（即在 $V_{OQ} = 5.5\ \text{V}$）有更高的电压增益。为了输出 4 V 的直流电压，漏极直流电流必须为

$$I_D = \frac{V_{DD} - V_{OQ}}{R_D} = \frac{10 - 4}{18} = 0.333\ \text{mA}$$

所需要的过驱动电压 V_{OV} 可以通过下式求得：

$$I_D = \frac{1}{2}k_n'\frac{W}{L}V_{OV}^2$$

$$V_{OV}=\sqrt{\frac{2\times0.333}{1}}=0.816\ \text{V}$$

因此，必须使 MOSFET 工作的栅源直流电压为

$$V_{GSQ}=V_t+V_{OV}=1.816\ \text{V}$$

在该偏置点处的放大器增益可以由式（4.40）求得：

$$\begin{aligned}A_v&=-18\times1\times(1.816-1)\\&=-14.7\ \text{V/V}\end{aligned}$$

为了更好地理解放大器的工作原理，我们加上一个输入信号 v_i，比如说峰峰值为 150 mV 的三角波。图 4.28（a）显示了这样的一个信号，它叠加在直流偏置电压 $V_{GSQ}=1.816$ V 上．如图所示，v_{GS} 在偏置点 1.816 V 附近从 1.741 V 到 1.891 V 之间呈线性变化。因此，i_D 为

$$v_{GS}=1.741\ \text{V时，}\ i_D=\frac{1}{2}\times1\times(1.741-1)^2=0.275\ \text{mA}$$

$$v_{GS}=1.816\ \text{V时，}\ i_D=\frac{1}{2}\times1\times(1.816-1)^2=0.333\ \text{mA}$$

$$v_{GS}=1.891\ \text{V时，}\ i_D=\frac{1}{2}\times1\times(1.891-1)^2=0.397\ \text{mA}$$

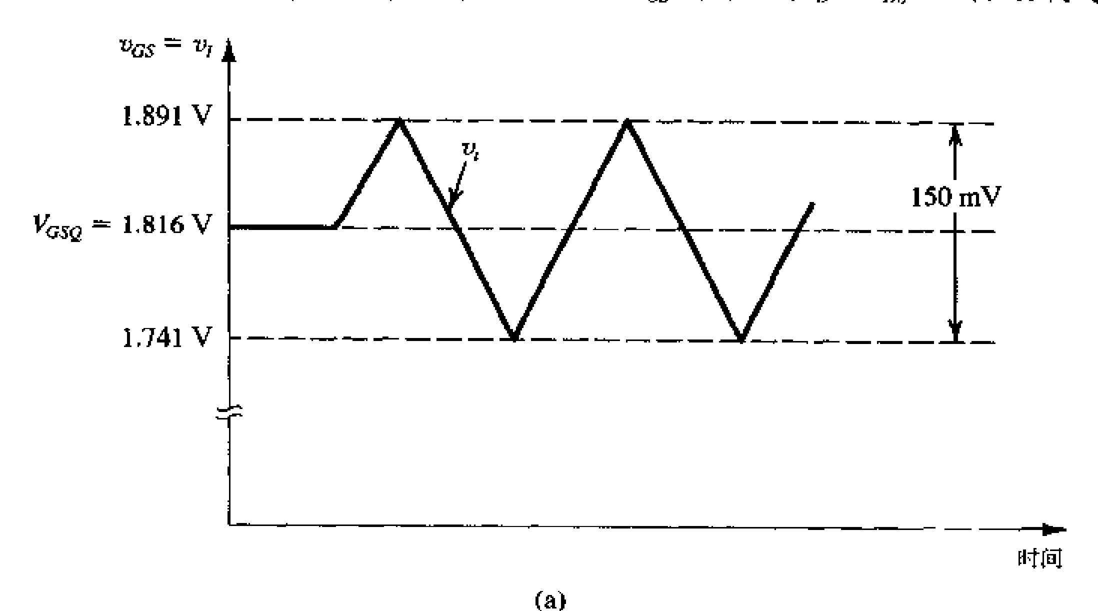
注意，i_D 的负增量为(0.333－0.275) = 0.058 mA，而正增量为(0.397 － 0.333) = 0.064 mA，二者有些不同，表明这段 $i_D\sim v_{GS}$ 曲线（或 $v_O\sim v_I$ 曲线）不是完全线性的。输出电压将在偏置值 $V_{OQ}=4$ V 附近变化，并且具有下面的极点值：

$$v_{GS}=1.741\ \text{V 时，}\ i_D=0.275\ \text{mA},\quad v_O=10-0.275\times18=5.05\ \text{V}$$

$$v_{GS}=1.891\ \text{V 时，}\ i_D=0.397\ \text{mA},\quad v_O=10-0.397\times18=2.85\ \text{V}$$

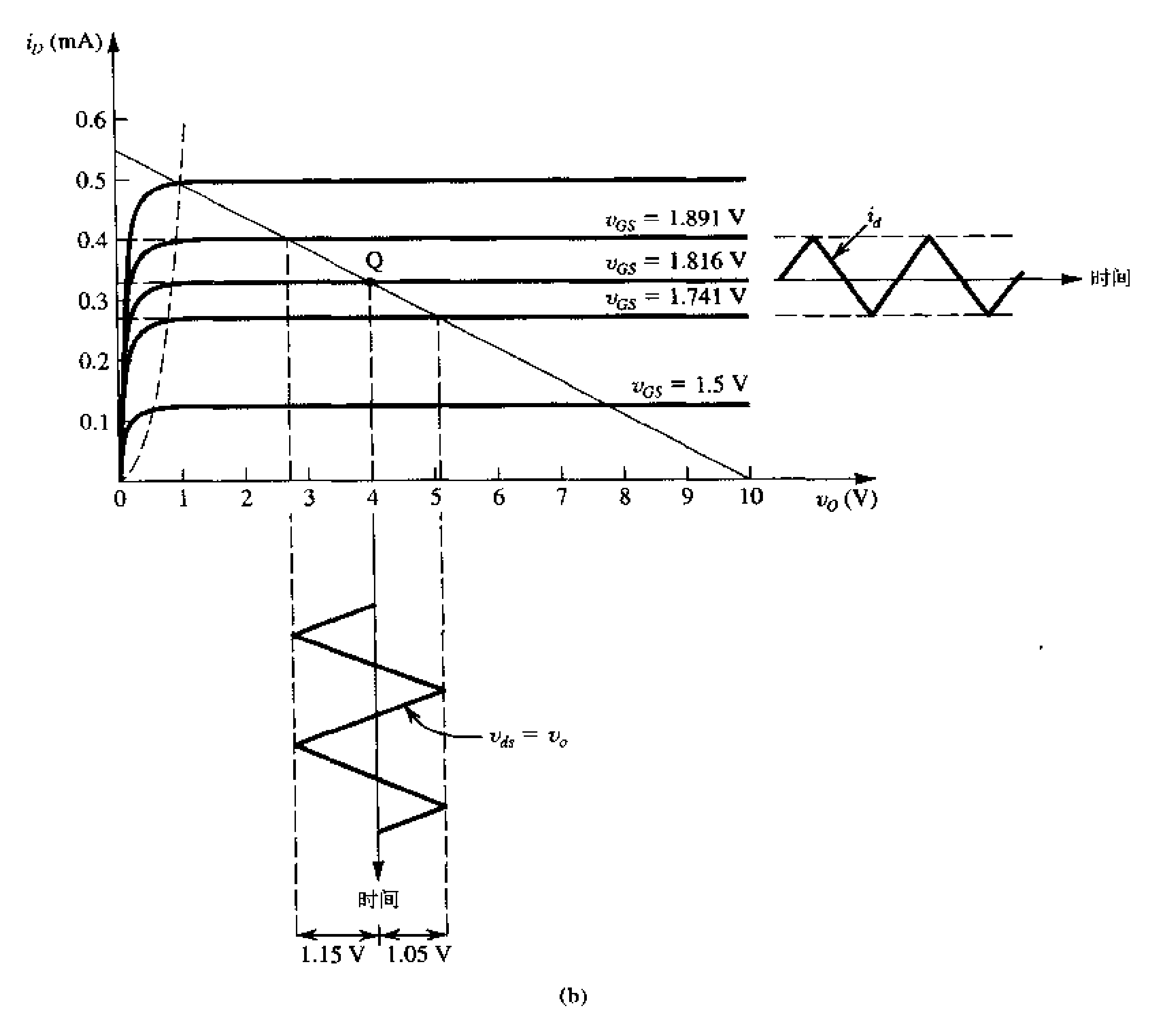
因此，正增量是 1.05 V，而负增量稍大一点，为 1.15 V，这同样是一个非线性传输特性的结果。v_O 的非线性失真可以通过减小输入信号的幅度来减小。

通过考虑图 4.28（b）所示的图解分析可以进一步理解放大器的工作。可以看出，随着由 v_i 引起的 v_{GS} 变化，瞬时工作点沿着负载线移动，它是对应于 v_{GS} 瞬时值的 $i_D\sim v_{DS}$ 曲线和负载线的交点。



(a)

图 4.28　例题 4.8 的电路



(b)

图 4.28（续）　例题 4.8 的电路

可以看出，通过将晶体管静态工作点设置在饱和区可以确保瞬时工作点总能保持在饱和区，因此非线性失真最小。最后，可以看出在该例中，我们的计算精确到 3 位小数，这样做只是为了说明其中的概念。实际上，这种精度对于近似手工分析是不可行的。■

4.4.6　关于偏置的最后说明

在上面的例子中，假定 MOSFET 被偏置在 v_{GS} 等于 1.816 V 的固定值上。尽管可以使用合适的电压分压网络对 V_{DD} 进行分压，或对其他在系统中可以得到的参考电压进行分压来产生固定偏置电压，但是采用固定 v_{GS} 并不是一个好的偏置方法。在下一节中我们会解释这一点，并给出更好的偏置策略。

练习 4.17　对于上面介绍的例题 4.8 的电路，以及参考图 4.26（c）中的传输特性：（a）求出 V_{IQ}，V_{IB}，V_{OQ}，V_{OB}。（b）使用（a）中的值确定输出信号最大允许的负峰值以及相应输入信号的正峰值。忽略 MOSFET 平方特性引起的失真。（c）重复计算（b）中输出信号的最大允许正峰值及相应输入信号的负峰值。（d）由（b）和（c）得到的结果，求在输入端能够施加的正弦波的最大幅度和相应的输出信号幅度。该幅度对应的增益为多少？为什么它与例题 4.8 中求得的 14.7 V/V 的结果不同？

答案：（a）1.816 V，2 V，4 V，1 V；（b）3 V，0.184 V；（c）6 V，0.816 V；（d）0.184 V，3 V，16.3 V/V，因为具有非线性传输特性。

练习 4.18 推导式（4.41）的电压增益表达式。使用该表达式来验证例题 4.8 中得到的增益值。

4.5 MOS 放大电路的偏置

正如前面所提到的，设计 MOSFET 放大器电路的重要一步是为晶体管建立合适的直流工作点，这称为偏置或偏置设计。合适的直流工作点或偏置点是用稳定的漏极直流电流 I_D 和漏源直流电压 V_{DS} 来描述的，并确保晶体管对所有期望的输入信号电平都工作在饱和区。

4.5.1 采用固定 V_{GS} 的偏置

对 MOSFET 进行偏置最直接的方法是将它的栅源电压 V_{GS} 固定，且能够提供所需要的 I_D 值。该电压值可以从电压源 V_{DD} 通过使用合适的电压分压器得到，也可以通过系统中其他的参考电压来获得，与如何产生 V_{GS} 无关，总之这不是 MOSFET 偏置的好方法。为了理解这一点，我们回想下式：

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS}-V_t)^2$$

我们注意到开启电压 V_t 的值、氧化物电容 C_{ox} 和晶体管宽长比 W/L 在具有相同大小和类型的器件中差别较大。分立器件必定是这种情况，这些参数值在同一生产厂家的相同型号器件之间有很大的变化。在集成电路中也有这种情况，特别是在不同的晶圆和不是同一批制造出来的晶圆上的器件之间更是如此。此外，V_t 和 μ_n 都与温度有关，如果固定 V_{GS} 的值，那么漏极电流 I_D 将变得与温度关系密切。

为了强调利用固定 V_{GS} 进行偏置并不是一种好的技术，我们在图 4.29 中给出了两条 $i_D \sim v_{GS}$ 特性曲线，分别表示同一批生产的类型相同的 MOSFET 的极限值。可以看出当 V_{GS} 固定时，漏极电流值的差别非常大。

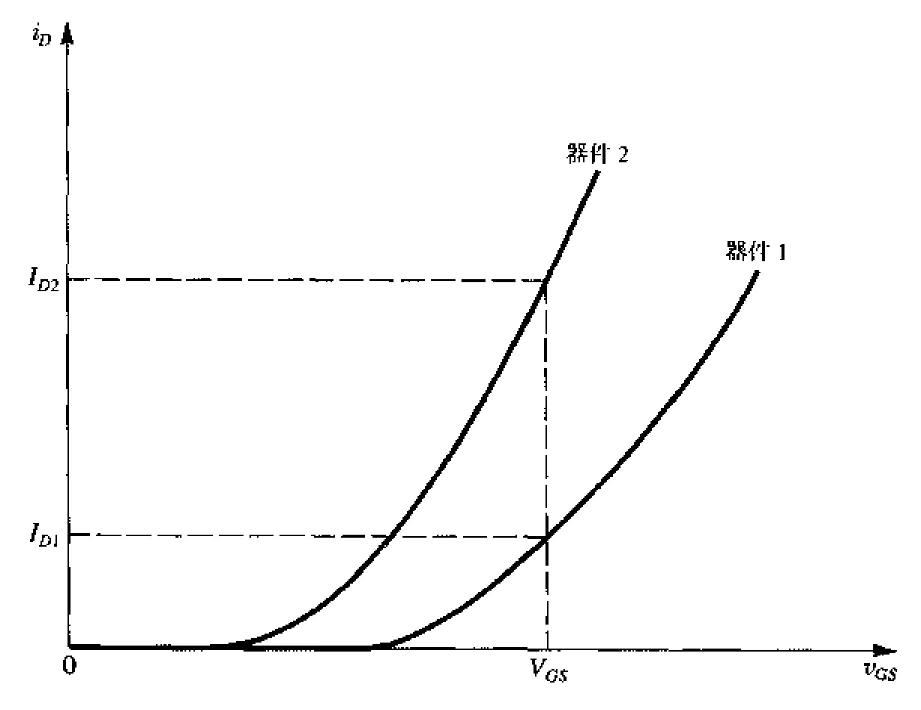


图 4.29 使用固定偏置（固定 V_{GS}）将导致较大的 I_D 值的变化。器件 1 和器件 2 表示相同类型的不同器件的极值

4.5.2 源极接电阻的固定 V_G 偏置

如图 4.30（a）所示，固定栅极上的直流电压 V_G 并在源极连接上一个电阻，这是一个很好的分立 MOSFET 电路的偏置方法。对于这种电路，我们可以写出：

$$V_G = V_{GS} + R_S I_D \tag{4.46}$$

如果 V_G 远大于 V_{GS}，I_D 将主要由 V_G 和 R_S 的值确定。但即使 V_G 不是远大于 V_{GS}，电阻 R_S 也会提供负反馈，它可以稳定偏置电流 I_D 的值。为了理解这一点，考虑由于某种原因使 I_D 增加的情况。式（4.46）指出因为 V_G 固定不变，因此 V_{GS} 将减小。这反过来又导致 I_D 减小，这个变化与最初假设的变化相反。R_S 的作用就是保持漏极电流 I_D 尽可能稳定。R_S 的负反馈作用使得它被称为衰减电阻，这个名字在后面会显得更合适。

图 4.30（b）所示是该偏置策略的图解说明。图中显示了同一批 MOSFET 两个不同器件的 $i_D \sim v_{GS}$ 特性曲线的极限值。叠加在器件特性上的直线表示由偏置电路［即用式（4.46）表示的］施加的约束，该直线与 $i_D \sim v_{GS}$ 特性曲线的交点给出了偏置点的坐标（I_D 和 V_{GS}）。可以看出，与固定 V_{GS} 的情况相比，这里得到的 I_D 的变化非常小。此外还可注意到该变化随着 V_G 和 R_S 变大而减小（偏置线变得平缓）。

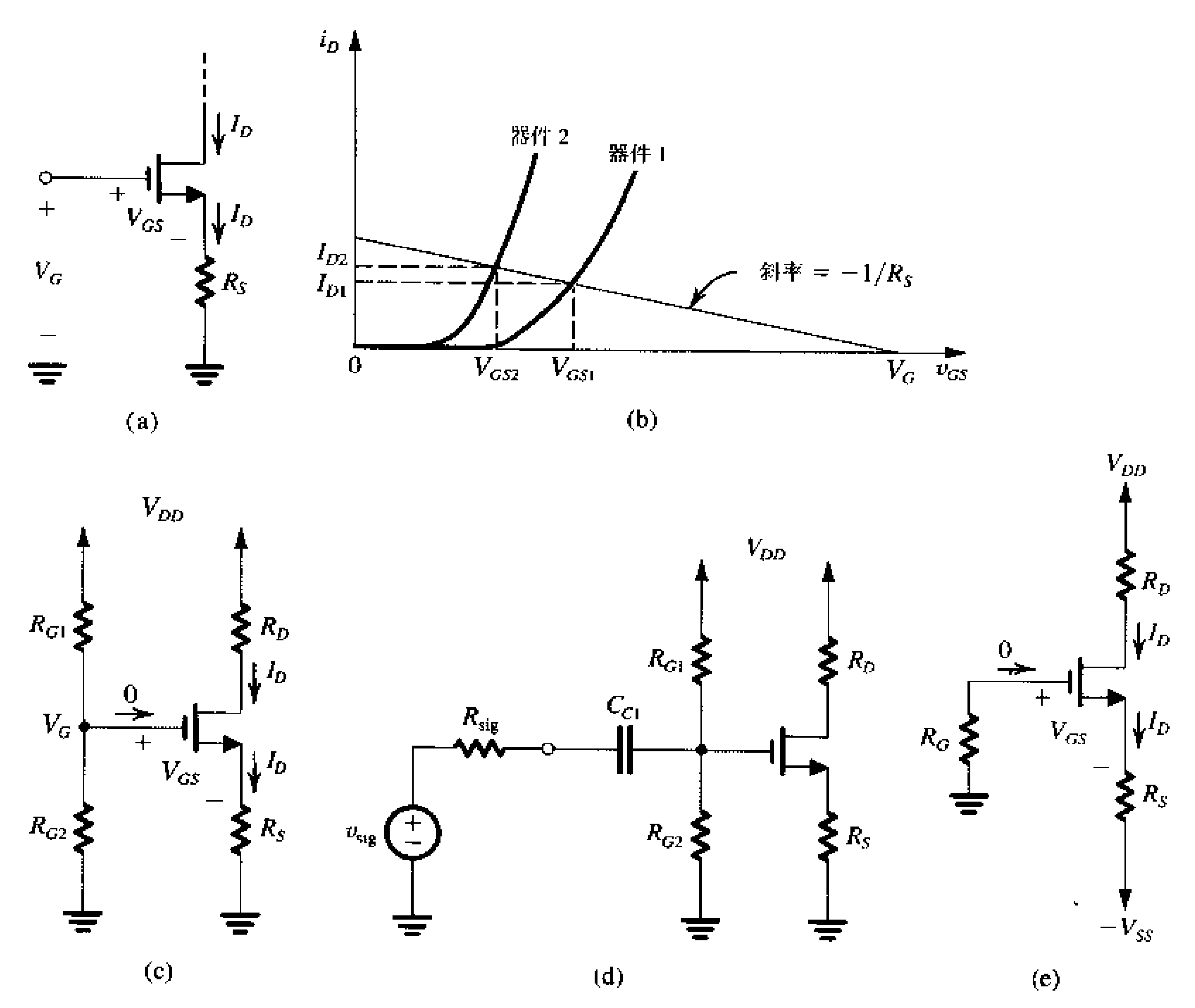


图 4.30　使用固定栅极电压 V_G 和源极电阻 R_S 进行的偏置：（a）基本结构；（b）I_D 的变化减小了；（c）单电源供电的实际实现电路；（d）利用电容 C_{C1} 将信号源耦合到栅极；（e）双电源供电的实际实现电路

图 4.30（c）和图 4.30（e）给出了该偏置策略的两种可能的实际实现电路。图 4.30（c）中的电路使用单电源 V_{DD} 并通过电压分压器（R_{G1}，R_{G2}）得到 V_G。因为 $I_G=0$，因此 R_{G1} 和 R_{G2} 可以选得非常大（MΩ数量级），使 MOSFET 对可能通过耦合电容连接到栅极的信号源呈现较大的输入电阻，如图 4.30（d）所示。其中电容 C_{C1} 能够阻断直流信号，因此可以使信号 v_{sig} 耦合到放大器输入端而又不会干扰 MOSFET 的直流偏置点。C_{C1} 的值应该选得足够大，使得它对所有被关注的信号频率都相当于短路。我们将在 4.7 节中介绍电容耦合的 MOSFET 放大器，它只适合于分立元件电路设计。最后要注意，在图 4.30（c）所示的电路中，应尽可能大地选择电阻 R_D 以获得较高的增益，但是又要选择足够小的 R_D 使得在漏极得到需要的信号幅度，而且还要保证 MOSFET 在所有时间内都工作在饱和区。

经常遇到的情况是采用两个电源，此时可以使用图 4.30（e）所示的相对简单的偏置结构 该电路是式（4.46）的实现形式，用 V_{SS} 替换 V_G。电阻 R_G 在栅极建立直流地，并对可能通过耦合电容连接到栅极的信号源呈现较大的输入电阻。

例题 4.9 要求设计图 4.30（c）所示的电路使漏极直流电流 $I_D=0.5$ mA。该 MOSFET 有 $V_t=1$ V，$k_n'W/L=1$ mA/V^2。为了简化分析，忽略沟道长度调制效应（即假设 $\lambda=0$）。使用 $V_{DD}=15$ V 的电源。当该 MOSFET 用另外一个具有相同的 $k_n'W/L$ 但 $V_t=1.5$ V 的器件替换后，计算 I_D 值变化的百分数。

解：根据该经典偏置电路的设计经验，我们选择 R_D 和 R_S，以使 R_D、晶体管（即 V_{DS}）和 R_S 两端的压降均为电源电压 V_{DD} 的三分之一。当 $V_{DD}=15$ V 时，该选择使得 $V_D=+10$ V，$V_S=+5$ V 现在因为 I_D 要求为 0.5 mA，所以可以求得 R_D 和 R_S 的值为

$$R_D=\frac{V_{DD}-V_D}{I_D}=\frac{15-10}{0.5}=10\text{ k}\Omega$$

$$R_S=\frac{V_S}{R_S}=\frac{5}{0.5}=10\text{ k}\Omega$$

确定所要求的 V_{GS} 值可以首先计算过驱动电压 V_{OV}：

$$I_D=\frac{1}{2}k_n'(W/L)V_{OV}^2$$

$$0.5=\frac{1}{2}\times1\times V_{OV}^2$$

得到 $V_{OV}=1$ V，因此，

$$V_{GS}=V_t+V_{OV}=1+1=2\text{ V}$$

因为 $V_S=+5$ V，V_G 必定为

$$V_G=V_S+V_{GS}=5+2=7\text{ V}$$

为了使栅极电压等于该电压值，我们可以选择 $R_{G1}=8$ MΩ，$R_{G2}=7$ MΩ。最后的电路如图 4.31 所示。可以看出漏极上的直流电压（+10 V）允许有+5 V 的正信号幅度（即，达到 V_{DD}）和−4 V 的负信号幅度［即，达到（V_G-V_t）］。

如果该 NMOS 晶体管用另外一个 $V_t=1.5$ V 的晶体管代替，那么新的 I_D 值为

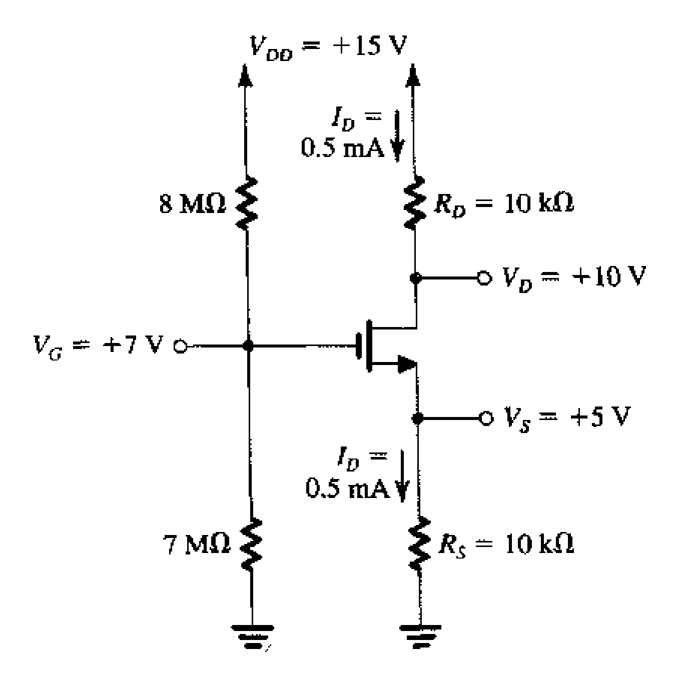


图 4.31 例题 4.9 的电路

$$I_D = \frac{1}{2}\times 1\times (V_{GS}-1.5)^2 \tag{4.47}$$

$$V_G = V_{GS} + I_D R_S$$

$$7 = V_{GS} + 10 I_D \tag{4.48}$$

求解式（4.47）和式（4.48）可以得到

$$I_D = 0.455\ \text{mA}$$

因此 I_D 的变化为

$$\Delta I_D = 0.455 - 0.5 = -0.045\ \text{mA}$$

即有 $\dfrac{-0.045}{0.5}\times 100 = -9\%$ 的变化。 ■

练习 4.19 考虑例题 4.9 中的 MOSFET，采用固定 V_{GS} 的偏置。为了使直流偏置电流 $I_D = 0.5$ mA，求所要求的 V_{GS} 值。器件参数为 $V_t = 1$ V，$k_n'W/L = 1\ \text{mA/V}^2$，以及 $\lambda = 0$。当该晶体管用另外一个 $V_t = 1.5$ V 的晶体管替换后，I_D 值变化的百分数为多少？

答案：$V_{GS} = 2$ V；-75%

练习 D4.20 设计图 4.30（e）所示电路使其工作在 0.5 mA 的漏极直流电流以及 $V_D = +2$ V 上。设 $V_t = 1$ V，$k_n'W/L = 1\ \text{mA/V}^2$，$\lambda = 0$，$V_{DD} = V_{SS} = 5$ V。使用 5%的标准电阻值（见附录 G），并给出 I_D，V_D 和 V_S 的结果。

答案：$R_D = R_S = 6.2\ \text{k}\Omega$；$I_D = 0.49$ mA，$V_S = -1.96$ V，$V_D = +1.96$ V 可以在 1 MΩ到 10 MΩ的范围内选择 R_G 值

4.5.3 栅源间接反馈电阻的偏置

图 4.32 所示是使用连接在漏极和栅极之间的反馈电阻进行简单而有效的偏置的方法。其中大反馈电阻 R_G（通常为 MΩ的数量级）迫使栅极直流电压等于漏极直流电压（因为 $I_G = 0$），因此可以写出

$$V_{GS}=V_{DS}=V_{DD}-R_DI_D$$

上式可以重新写成下面的形式：

$$V_{DD}=V_{GS}+R_DI_D \tag{4.49}$$

它与式（4.46）的形式相同，上面讨论的就是式（4.46）描述的偏置策略的性能［见图 4.30（a）］。因此如果 I_D 由于某种原因发生变化，例如增加，那么式（4.49）表明 V_{GS} 必定减小。V_{GS} 的减小反过来又引起 I_D 的减小，这与最初假定的变化相反。因此 R_G 提供的负反馈或衰减使 I_D 的值尽可能保持固定不变。

在图 4.32 所示的电路中通过耦合电容将输入电压信号加到栅极可以将其作为 CS 放大器使用。由于使用耦合电容，因此加上信号不会破坏已经建立的直流偏置条件。在漏极输出的放大信号可以通过电容耦合到电路的其他部分。我们将在 4.6 节中考虑这种 CS 放大器电路。在那里我们将介绍该电路有输出电压摆幅受限的缺点。

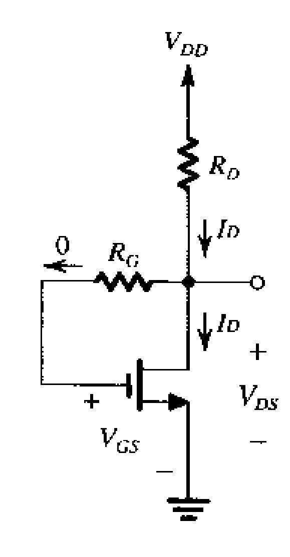


图 4.32 使用漏极到栅极的大反馈电阻 R_G 对 MOSFET 进行偏置

练习 D4.21 要求设计图 4.32 所示电路使其工作在 0.5 mA 的漏极直流电流上。假定 $V_{DD}=+5$ V，$k_n'W/L=1$ mA/V²，$V_t=1$ V 以及 $\lambda=0$。R_D 使用 5%的标准电阻值，并给出 I_D 和 V_D 的实际值。

答案：$R_D=6.2$ kΩ；$I_D\cong0.49$ mA；$V_D\cong1.96$ V

4.5.4 恒流源偏置

对 MOSFET 放大器进行偏置的最有效的方法是使用恒流源。图 4.33（a）所示的是应用于分立 MOSFET 的偏置方法。其中 R_G（通常为 MΩ数量级）在栅极上建立直流地，并对通过电容耦合到栅极的输入信号源呈现较大的电阻。电阻 R_D 在漏极上建立合适的直流电压，在确保任何时候晶体管都工作在饱和区的情况下，允许输出信号达到所需要的摆幅。

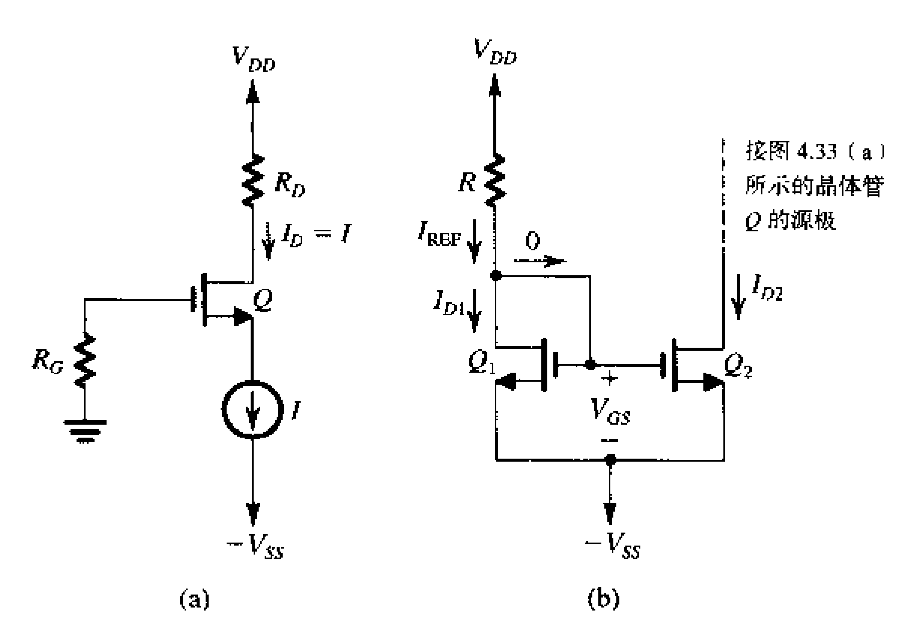


图 4.33 （a）使用恒流源 I 对 MOSFET 进行偏置；（b）利用镜像电流源实现的恒流源 I

图 4.33（b）所示是一个实现恒流源 I 的电路。该电路的核心是 Q_1，其漏极与栅极短路，因此工作在饱和区：

$$I_{D1}=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_1(V_{GS}-V_t)^2 \tag{4.50}$$

其中忽略了沟道长度调制效应（即，假设 $\lambda=0$）。Q_1 的漏极电流由 V_{DD} 通过 R 提供。因为栅极电流为 0，所以

$$I_{D1}=I_{\text{REF}}=\frac{V_{DD}+V_{SS}-V_{GS}}{R} \tag{4.51}$$

其中，流过 R 的电流被称为电流源的参考电流，记为 I_{REF}。给定 Q_1 的参数值以及所要求的 I_{REF} 值，就可以用式（4.50）和式（4.51）来确定 R 的值。现在考虑晶体管 Q_2：它与 Q_1 有相同的 V_{GS}，因此如果假设它工作在饱和区，它的漏极电流（也就是所要求的电流源的电流 I）为

$$I=I_{D2}=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_2(V_{GS}-V_t)^2 \tag{4.52}$$

其中忽略了沟道长度调制效应。从式（4.51）和式（4.52）中可以得到电流 I 和参考电流 I_{REF} 的关系：

$$I=I_{\text{REF}}\frac{(W/L)_2}{(W/L)_1} \tag{4.53}$$

因此 I 和 I_{REF} 的关系为 Q_1 和 Q_2 的宽长比之比。该电路称为镜像电流源，在 IC MOS 放大器设计中非常普及，我们将在第 6 章详细介绍。

练习 D4.22　晶体管 Q_1 和 Q_2 具有相同的长度，但它们的宽度关系为 $W_2/W_1=5$，利用这两个晶体管来设计图 4.33(b)所示的电路，要求 $I=0.5$ mA。设 $V_{DD}=-V_{SS}=5$ V，$k_n'(W/L)_1=0.8$ mA/V^2，$V_t=1$ V 以及 $\lambda=0$。求所要求的 R 值。Q_1 和 Q_2 的栅极电压为多少？当 Q_2 保持在饱和区时，Q_2 漏极上允许的最小电压为多少？

答案：85 kΩ；−3.5 V；−4.5 V

4.5.5　最后的说明

本节介绍了分立元件电路的偏置。惟一的例外是图 4.33（b）所示的镜像电流源，如上所述，它主要应用在 IC 设计中。集成 MOS 放大器的偏置设计将在第 6 章中介绍。

4.6　小信号工作与小信号模型

在 4.4 节共源 MOSFET 放大器的大信号特性的介绍中，我们已经讲了可以通过对 MOSFET 进行偏置使其工作在饱和区并保持输入信号足够小以实现线性放大。在前面一节中也介绍了对 MOS 晶体管进行偏置的方法，现在开始详细讨论小信号性能。为此我们使用图 4.34 所示的概念性的共源放大电路。其中 MOS 晶体管由所加的直流电压 V_{GS} 进行偏置，这显然不是一个实际的设置，但是它是一个简单而且对讨论有用的设置。所要放大的输入信号 v_{gs} 被叠加在直流偏置电压 V_{GS} 上，输出电压从漏极获得。

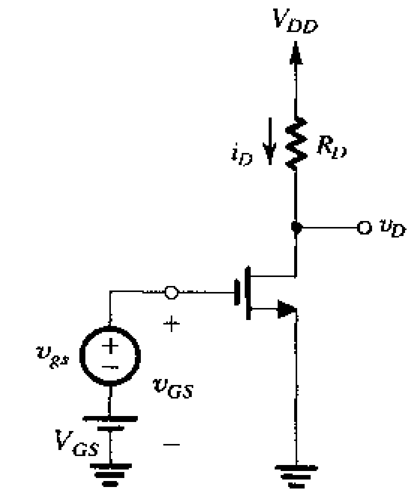


图 4.34　用来分析 MOSFET 小信号放大器性能的概念性的电路

4.6.1　直流偏置点

设信号 v_{gs} 为 0，可以得到直流偏置电流 I_D 为

$$I_D = \frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2 \tag{4.54}$$

其中忽略了沟道长度调制效应（即假定λ=0）。漏极直流电压 V_{DS}（或简化为 V_D，因为 S 接地）为

$$V_D = V_{DD} - R_D I_D \tag{4.55}$$

为确保工作在饱和区，必须有

$$V_D > V_{GS} - V_t$$

此外，因为漏极的总电压含有叠加在 V_D 上的信号分量，因此 V_D 必须比（$V_{GS}-V_t$）大很多以使输出能够达到所要求的信号幅度。

4.6.2　漏极信号电流

接下来考虑加上输入信号 v_{gs} 后的情况。栅源电压的总瞬时量为

$$v_{GS} = V_{GS} + v_{gs} \tag{4.56}$$

它产生一个总瞬时漏极电流 i_D：

$$\begin{aligned} i_D &= \frac{1}{2}k_n'\frac{W}{L}(V_{GS}+v_{gs}-V_t)^2 \\ &= \frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2 + k_n'\frac{W}{L}(V_{GS}-V_t)v_{gs} + \frac{1}{2}k_n'\frac{W}{L}v_{gs}^2 \end{aligned} \tag{4.57}$$

式（4.57）右边的第一项是直流偏置电流 I_D [见式（4.54）]；第二项是与输入信号 v_{gs} 成正比的电流分量；第三项是与输入信号的平方成正比的电流分量；最后一项是不希望得到的项，因为它表示了非线性失真。为了减少由 MOSFET 引入的非线性失真，输入信号要足够小，使得

$$\frac{1}{2}k_n'\frac{W}{L}v_{gs}^2 \ll k_n'\frac{W}{L}(V_{GS}-V_t)v_{gs}$$

可以得到

$$v_{gs} \ll 2(V_{GS}-V_t) \tag{4.58}$$

或等效为

$$v_{gs} \ll 2V_{OV} \tag{4.59}$$

其中，V_{OV} 是晶体管工作时的过驱动电压。

如果小信号条件满足，就可以忽略式（4.57）中的最后一项，因此 i_D 表示为

$$i_D \simeq I_D + i_d \tag{4.60}$$

其中，

$$i_d = k_n'\frac{W}{L}(V_{GS}-V_t)v_{gs}$$

将 i_d 和 v_{gs} 关联起来的参数是 MOSFET 的跨导 g_m：

$$g_m \equiv \frac{i_d}{v_{gs}} = k_n' \frac{W}{L}(V_{GS} - V_t) \tag{4.61}$$

或用过驱动电压 V_{OV} 表示为

$$g_m = k_n' \frac{W}{L} V_{OV} \tag{4.62}$$

图 4.35 所示是增强型 MOSFET 小信号性能的图解表示。可以看出 g_m 等于 $i_D \sim v_{GS}$ 特性曲线在偏置点处的斜率：

$$g_m \equiv \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{GS}=V_{GS}} \tag{4.63}$$

这是 g_m 的正式定义，据此可以得到式（4.61）和式（4.62）的表达式

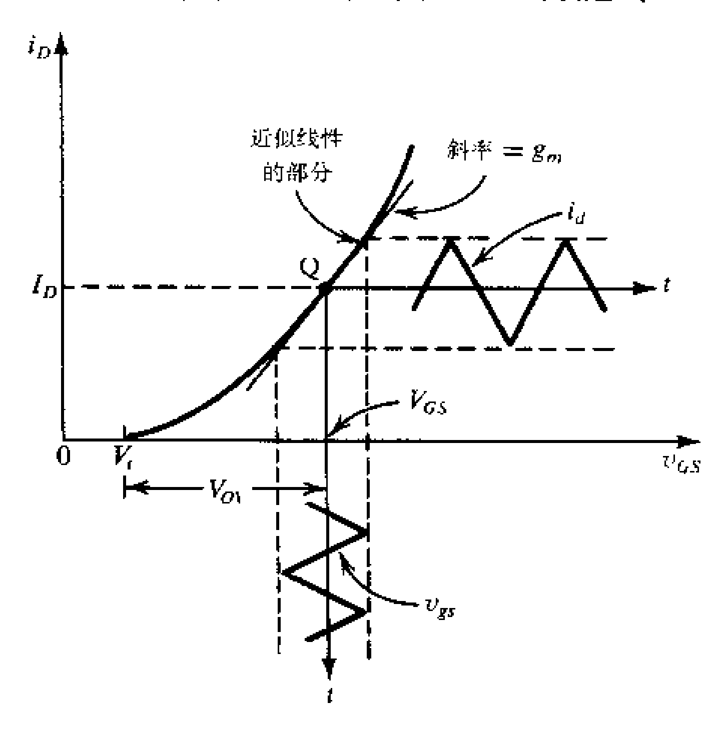


图 4.35　增强型 MOSFET 放大器的小信号特性

4.6.3　电压增益

回到图 4.34 所示的电路，可以将总的瞬时漏极电压 v_D 表示为

$$v_D = V_{DD} - R_D i_D$$

在小信号条件下：

$$v_D = V_{DD} - R_D(I_D + i_d)$$

将上式重新写成

$$v_D = V_D - R_D i_d$$

因此漏极电压的信号分量为

$$v_d = -i_d R_D = -g_m v_{gs} R_D \tag{4.64}$$

表明电压增益为

$$A_v \equiv \frac{v_d}{v_{gs}} = -g_m R_D \tag{4.65}$$

式（4.65）中的负号表明输出信号 v_d 与输入信号 v_{gs} 有 180°的相位差，我们在图 4.36 中给出了说明，即给出了 v_{GS} 和 v_D 的波形。为了确保线性工作，假定输入信号是幅度远小于式（4.58）中的小信号条件 $2(V_{GS}-V_t)$ 的三角波。为了在所有时间内晶体管都工作在饱和区，v_D 的最小值不应该比相应的 v_G 值小 V_t 以上。v_D 的最大值应该小于 V_{DD}，否则 FET 会进入截止区，输出信号波形的波峰会被削平。

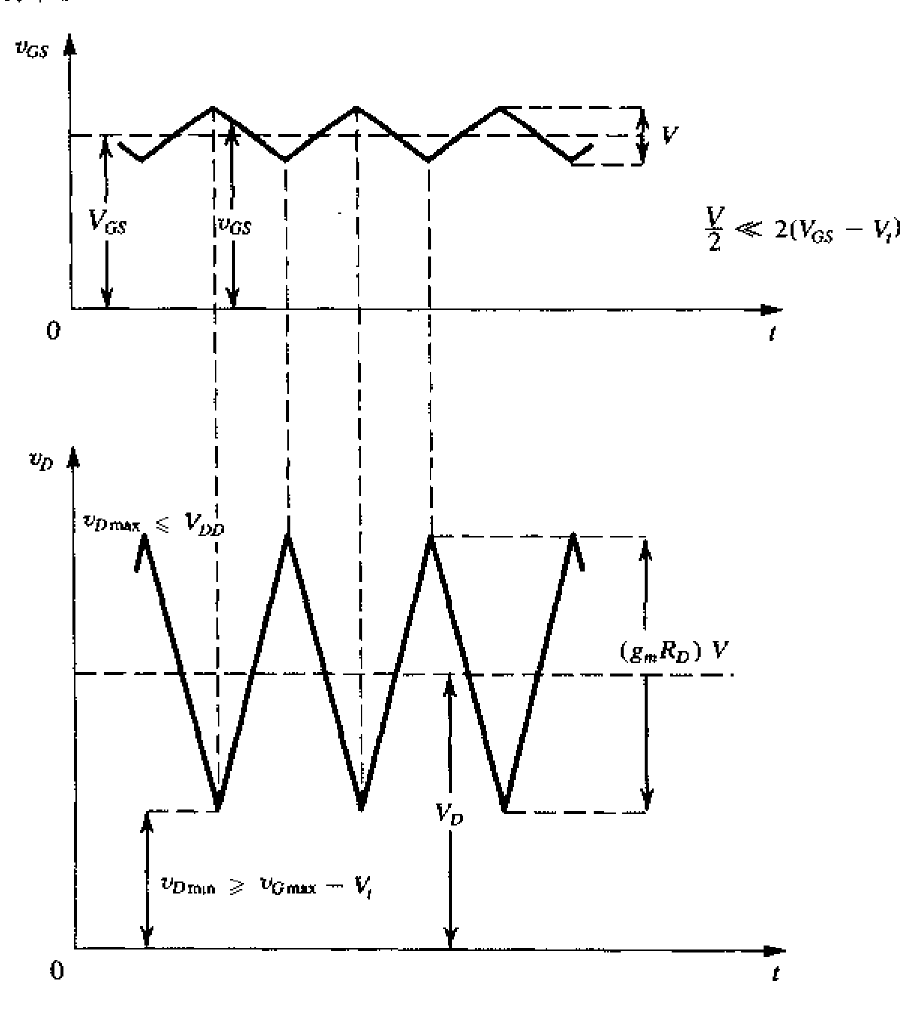


图 4.36 图 4.34 所示电路的总瞬时电压 v_{GS} 和 v_D

最后，我们注意到将从式（4.61）得到的 g_m 代入式（4.65）的电压增益表达式就得到 4.4 节中推导出来的电压增益表达式，也就是式（4.40）。

4.6.4 直流分析和信号分析的分离

从前面的分析可以看出，在小信号近似中信号量被叠加在直流量上。例如，总的漏极电流 i_D 等于直流电流 I_D 加上信号电流 i_d，总的漏极电压 $v_D = V_D + v_d$，等等。可以推断将直流计算和小信号计算分开可以大大简化分析和设计。也就是说，一旦建立了稳定的直流工作点并通过计算得到所有直流量，就可以忽略直流量来进行信号分析。

4.6.5 小信号等效电路模型

从信号的观点看，FET 相当于一个电压控制电流源，它在栅极和源极之间输入信号 v_{gs}，在

漏极输出电流 $g_m v_{gs}$。该受控源的输入电阻非常高——理想情况下为无穷大。输出电阻(也就是从漏极看进去的电阻)也很高,目前我们假设它也是无穷大。将所有这些综合在一起可以得到图4.37(a)所示的电路,它表示MOSFET的小信号特性,因此是小信号模型或小信号等效电路。

在MOSFET放大器电路的分析中,晶体管用图4.37(a)所示的等效电路模型替换。除了将理想直流恒压源短路外,电路的其余部分保持不变。这是因为在理想直流恒压源两端的电压不变,因此在直流恒压源两端的电压信号总是为0。采用直流恒流源时具有对偶的关系,也就是说,理想直流恒流源的信号电流总为0,因此在放大器的小信号等效电路中,理想直流恒流源开路。得到的电路就可以用来进行任何需要的信号分析,如计算电压增益。

图4.37(a)所示的小信号模型最大的缺点是它假定饱和区的漏极电流与漏极电压无关。从我们对MOSFET饱和区特性的介绍中已经知道漏极电流实际上受 v_{DS} 的线性影响。这种影响用漏极和源极之间的一个有限电阻 r_o 来建模,该电阻值由4.2.3节中的式(4.26)给出,这里重写如下:

$$r_o = \frac{|V_A|}{I_D} \tag{4.66}$$

其中,$V_A = 1/\lambda$ 是MOSFET参数,可以直接指明或通过测量得到。对于给定的工艺技术,V_A 与MOSFET的沟道长度成正比。电流 I_D 是不考虑沟道长度调制效应时的漏极直流电流值,即

$$I_D = \frac{1}{2}k_n'\frac{W}{L}V_{OV}^2 \tag{4.67}$$

r_o 的典型值为10 kΩ到1000 kΩ。如图4.37(b)所示,在受控源两端并联上 r_o 以后可以提高小信号模型的准确性。

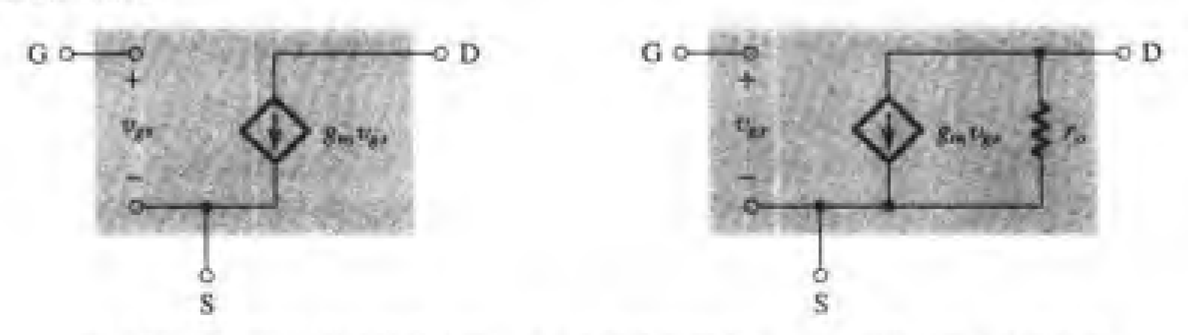


图4.37 MOSFET的小信号模型:(a)忽略饱和区中 i_D 对 v_{DS} 的依赖性(沟道长度调制效应);(b)包含沟道长度调制效应,用输出电阻 $r_o = |V_A|/I_D$ 建模

必须注意,小信号模型参数 g_m 和 r_o 与MOSFET的直流偏置点相关。

返回到图4.34所示的放大器,用图4.37(b)所示的小信号模型替代MOSFET可以得到电压增益表达式:

$$A_v = \frac{v_d}{v_{gs}} = -g_m(R_D // r_o) \tag{4.68}$$

因此有限输出电阻 r_o 导致电压增益幅度的减小。

尽管上面的分析是针对NMOS晶体管的,但是得到的结果以及图4.37中的等效电路模型可以等效地应用于PMOS器件,只是PMOS使用的参数是 $|V_{GS}|$、$|V_t|$、$|V_{OV}|$ 和 $|V_A|$,并且是用 k_p' 替代 k_n'。

4.6.6 跨导 g_m

现在来分析式（4.61）给出的 MOSFET 跨导，这里重写如下：

$$g_m = k_n'(W/L)(V_{GS}-V_t) = k_n'(W/L)V_{OV} \quad (4.69)$$

该关系指出 g_m 与 MOS 晶体管的工艺互导参数 $k_n' = \mu_n C_{ox}$ 和 W/L 成正比，因此为了得到较大的跨导，该器件沟道必须短而宽。可以看出，对于给定器件，该跨导与偏置电压 V_{GS} 超过开启电压 V_t 的值（即过驱动电压 $V_{OV} = V_{GS} - V_t$）成正比。但是注意，通过对器件偏置更大的 V_{GS} 来增加 g_m 有一个缺点，它会减小漏极端允许的电压信号幅度。

将式（4.69）中的 $(V_{GS}-V_t)$ 用 $\sqrt{2I_D/(k_n'(W/L))}$ ［即式（4.53）］代替可以得到 g_m 的另一个有用的表达式：

$$g_m = \sqrt{2k_n'}\sqrt{W/L}\sqrt{I_D} \quad (4.70)$$

该表达式表明：

1. 对于给定的 MOSFET，g_m 与直流偏置电流的平方根成正比。
2. 对于给定的偏置电流，g_m 与 $\sqrt{W/L}$ 成正比。

相比之下，第 5 章中将介绍的双极型晶体管（BJT）的跨导与偏置电流成正比，而与器件的物理尺寸和几何形状无关。

为了理解 MOSFET 中得到的 g_m 的值，考虑一个集成电路器件，它工作在 $I_D = 0.5$ mA，并且 $k_n' = 120\ \mu\text{A/V}^2$。式（4.70）表明当 $W/L = 1$ 时，$g_m = 0.35$ mA/V，而一个 $W/L = 100$ 的器件的 $g_m = 3.5$ mA/V。相比而言，工作在集电极电流为 0.5 mA 的 BJT 的 $g_m = 20$ mA/V。

另外，将式（4.69）中的 $k_n'(W/L)$ 用 $2I_D/(V_{GS}-V_t)^2$ 代替可以得到 g_m 的又一个有用的表达式：

$$g_m = \frac{2I_D}{V_{GS}-V_t} = \frac{2I_D}{V_{OV}} \quad (4.71)$$

总之，可以用三个不同的关系式确定 g_m，它们是式（4.69）、式（4.70）和式（4.71），相应的三个不同的设计参数为（W/L）、V_{OV} 和 I_D，其中任何两个都可以独立地选择。也就是说，设计者可以选择 MOSFET 工作在某一过驱动电压 V_{OV} 和特定电流 I_D，然后可以求得所要求的 W/L 比并确定 g_m。

例题 4.10 图 4.38（a）所示是一个分立元件的共源 MOSFET 放大器，它使用漏栅反馈偏置设置。输入信号 v_i 通过一个大电容耦合到栅极，漏极的输出信号通过另一个大电容耦合到负载电阻 R_L。分析该放大器电路并确定其小信号电压增益、输入电阻和最大允许输入信号。该晶体管有 $V_t = 1.5$ V，$k_n'(W/L) = 0.25\ \text{mA/V}^2$，$V_A = 50$ V。假定耦合电容足够大使得在所关注的信号频率上相当于短路。

解：首先计算直流工作点：

$$I_D = \frac{1}{2}\times 0.25(V_{GS}-1.5)^2 \quad (4.72)$$

其中，为了简化起见，忽略沟道长度调制效应。因为栅极直流电流为 0，因此在 R_G 两端没有直流电压降，所以 $V_{GS} = V_D$，代入式（4.72）可以得到

$$I_D = 0.125(V_D - 1.5)^2 \quad (4.73)$$

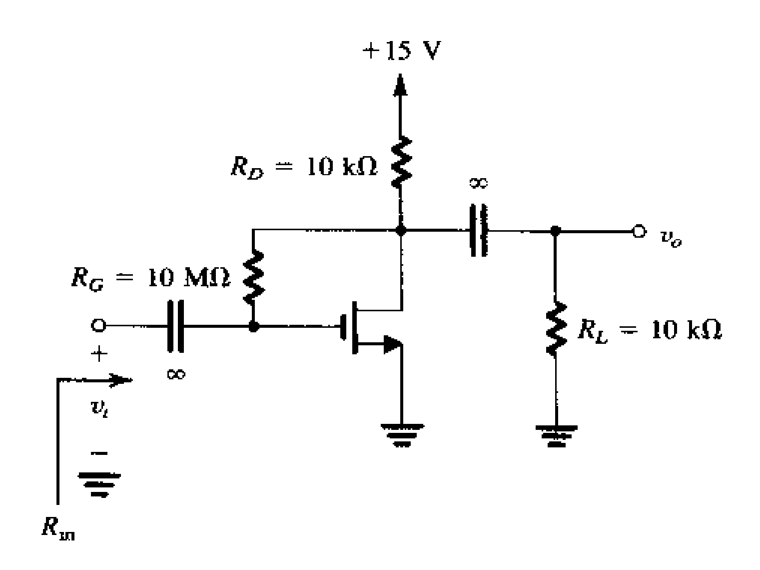
并且

$$V_D = 15 - R_D I_D = 15 - 10 I_D \tag{4.74}$$

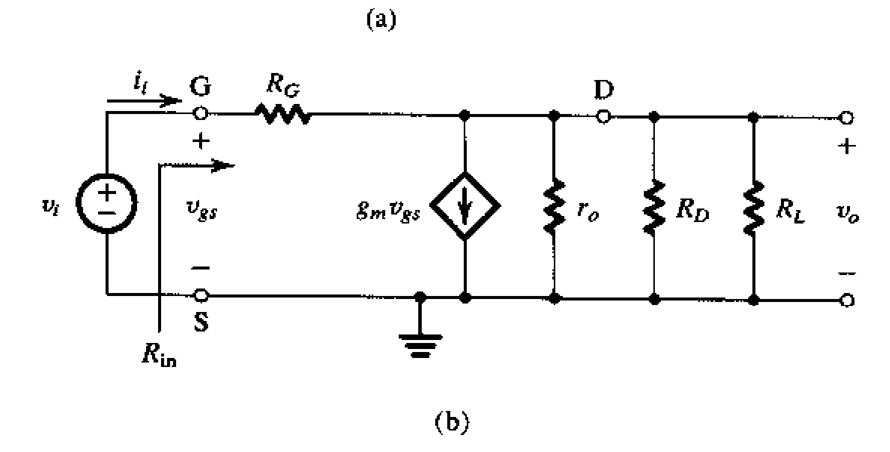
求解式（4.73）和式（4.74）可得

$$I_D = 1.06\ \text{mA} \quad 及 \quad V_D = 4.4\ \text{V}$$

（注意，二次方程的另一个解无意义。）



(a)



(b)

图 4.38　例题 4.10：（a）放大电路；（b）等效电路模型

由下式可求得 g_m：

$$g_m = k_n' \frac{W}{L}(V_{GS} - V_t)$$
$$= 0.25(4.4 - 1.5) = 0.725\ \text{mA/V}$$

输出电阻 r_o 为

$$r_o = \frac{V_A}{I_D} = \frac{50}{1.06} = 47\ \text{k}\Omega$$

图 4.38（b）所示是放大器的小信号等效电路，从中可以看出耦合电容被短路，直流电源被短路接地。因为 R_G 非常大（为 10 MΩ），流过它的电流与流过受控源的电流 $g_m v_{gs}$ 相比可以忽略，因此可以求出输出电压：

$$v_o \simeq -g_m v_{gs}(R_D \,//\, R_L \,//\, r_o)$$

因为 $v_{gs}=v_i$，电压增益为

$$A_v=\frac{v_o}{v_i}=-g_m(R_D /\!/ R_L /\!/ r_o)$$
$$=-0.725(10/\!/10/\!/47)=-3.3\ \text{V/V}$$

为了计算输入电阻 R_{in}，我们注意到输入电流 i_i 为

$$i_i=(v_i-v_o)/R_G$$
$$=\frac{v_i}{R_G}\left(1-\frac{v_o}{v_i}\right)$$
$$=\frac{v_i}{R_G}[1-(-3.3)]=\frac{4.3v_i}{R_G}$$

因此，

$$R_{in}\equiv\frac{v_i}{i_i}=\frac{R_G}{4.3}=\frac{10}{4.3}=2.33\ \text{M}\Omega$$

最大允许输入信号 $\hat{v}_i$ 由任何时候 MOSFET 都要工作在饱和区的要求来确定，即

$$v_{DS}\geqslant v_{GS}-V_t$$

在 v_{GS} 最大和 v_{DS} 相应最小的点处运用该条件中的等式，即

$$v_{DS\min}=v_{GS\max}-V_t$$
$$V_{DS}-|A_v|\hat{v}_i=V_{GS}+\hat{v}_i-V_t$$
$$4.4-3.3\hat{v}_i=4.4+\hat{v}_i-1.5$$

可以得到

$$\hat{v}_i=0.34\ \text{V}$$

注意，在负方向，该输入信号的幅度导致 $v_{GS\min}=4.4-0.34=4.06\ \text{V}$，它大于 V_t，因此该晶体管保持导通。因此如同我们所推测的那样，对输入信号幅度的限制由上述考虑得到，且最大允许输入信号峰值为 0.34 V。 ■

4.6.7 T 等效电路模型

通过简单电路变换，可以得到一个等价的 MOSFET 等效电路模型。该模型称为 T 模型，如图 4.39 所示。图 4.39（a）所示是上面介绍的等效电路在没有 r_o 时的结构。在图 4.39（b）中增加了一个 g_mv_{gs} 电流源，它与原来的受控源串联。显然，此举并没有改变端口电流，因此是允许的。新创建的标为 X 的电路节点在图 4.39（c）中与栅极 G 合在一起。可以看出，栅极电流没有变化，即它仍然等于 0，因此该连接没有改变端口特性。现在可以注意到有一个受控电流源 g_mv_{gs} 连接在它的控制电压 v_{gs} 两端。我们可以用一个电阻来替代这个受控源，只要该电阻与该受控源有相同的电流即可（见附录 C 的源吸收定理），因此该电阻值为 $v_{gs}/g_mv_{gs}=1/g_m$。替代后的电路如图 4.39（d）所示，它描述了替换模型。可以看出 i_g 仍然为 0，$i_d=g_mv_{gs}$，$i_s=v_{gs}/(1/g_m)=g_mv_{gs}$，所有参数都与图 4.39（a）所示的最初模型相同。

图 4.39（d）所示的模型显示了从源极看进去的栅极和源极之间的电阻是 $1/g_m$。这一结论以及 T 模型在许多应用中都很有用。注意，从栅极看进去的栅极和源极之间的电阻为无穷。

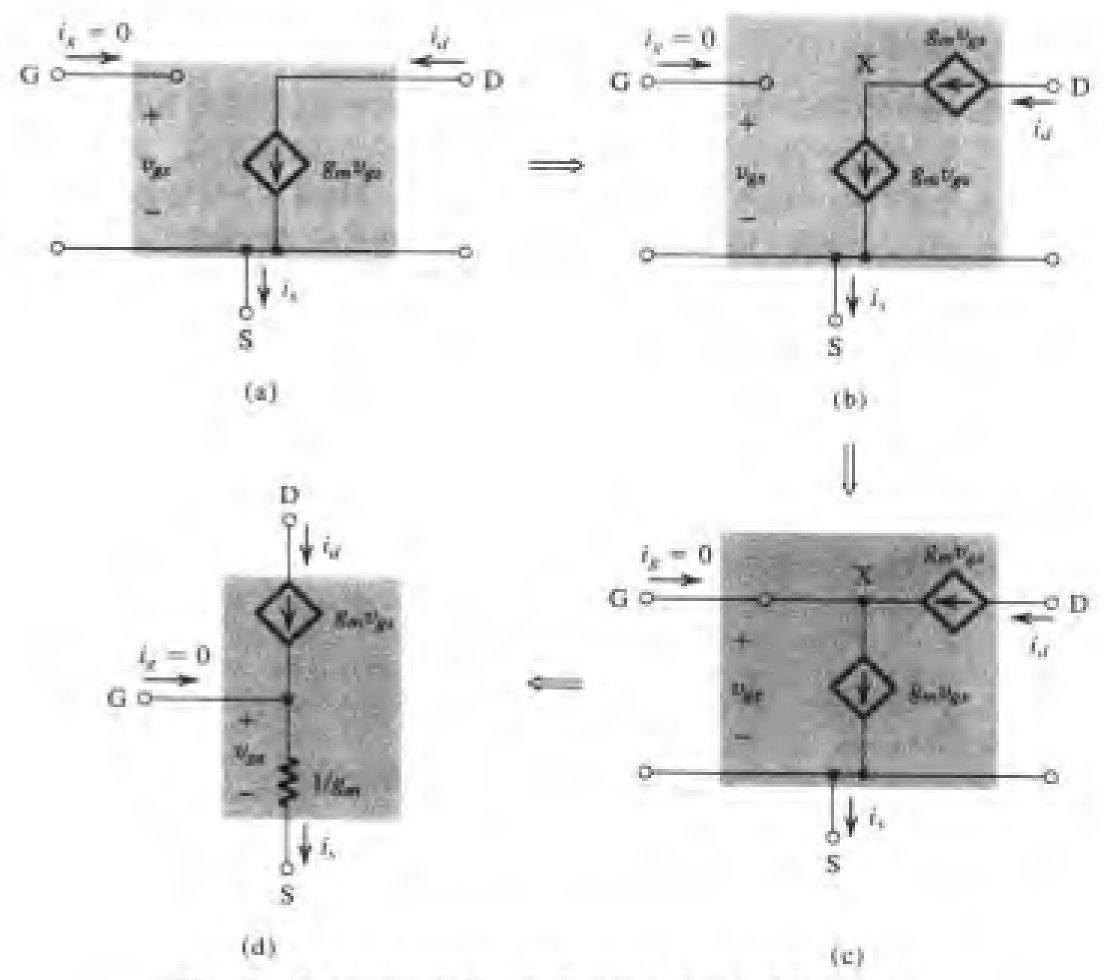


图 4.39 MOSFET T 等效电路模型的推导。为了简化起见忽略 r_o，但是可以在（d）中的 T 模型的 D 和 S 之间加上

在推导 T 模型时，没有包括 r_o。如果需要，可以在图 4.39（d）所示电路中的漏极和源极之间接入电阻 r_o，如图 4.40（a）所示。图 4.40（b）所示是用电流控制电流源替代电压控制电流源后得到的 T 模型的另一种形式。

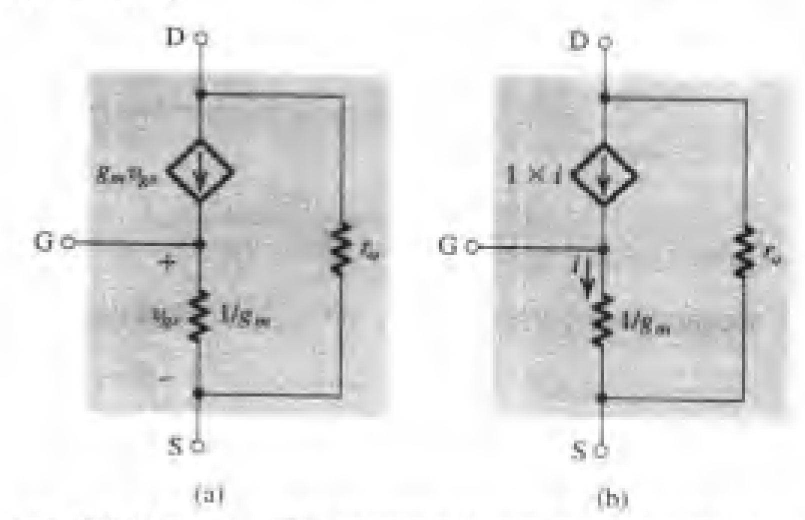


图 4.40 （a）增加漏源电阻 r_o 后的 MOSFET 的 T 模型；（b）T 模型的一个等效表示

最后，为了区别图 4.37（b）所示的模型与 T 等效模型，前者有时称为混合π模型，这是从双极型晶体管中延续而来的名字。该名字的起源在下一章中介绍。

4.6.8 衬底效应建模

如 4.2 节所述，在 MOSFET 中当源极不与衬底相连时（在 n 沟道器件的集成电路中衬底极总是连接到最负的电源，对于 p 沟道器件连接到最正的电源），会发生衬底效应。此时衬底处于信号地，但因为源极不是信号地，因此在衬底（B）和源极（S）之间就有一个信号电压 v_{bs}。在 4.2 节中提到衬底相当于“第二个栅极”或 MOSFET 的背栅。这样信号 v_{bs} 就产生了一个漏极电流分量，我们将它写成 $g_{mb}v_{bs}$，其中 g_{mb} 是背栅跨导，定义为

$$g_{mb} \equiv \left.\frac{\partial i_D}{\partial v_{BS}}\right|_{\substack{v_{GS}=\text{常数} \\ v_{DS}=\text{常数}}} \tag{4.75}$$

我们已知通过 V_t 与 V_{BS} 的相关性，i_D 依赖于 v_{BS}，利用式（4.20）、式（4.33）和式（4.61）可得

$$g_{mb} = \chi g_m \tag{4.76}$$

其中，

$$\chi \equiv \frac{\partial V_t}{\partial V_{SB}} = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} \tag{4.77}$$

χ 的典型值为 0.1 到 0.3。

图 4.41 给出的 MOSFET 模型包括了对衬底效应建模的受控源 $g_{mb}v_{bs}$。这就是当源极不与衬底极连接时使用的模型。

最后，尽管上面的分析是对 NMOS 晶体管进行的，但是得到的结果和图 4.41 所示的等效电路都可以很好地应用于 PMOS 晶体管，只是 PMOS 使用的参数是 $|V_{GS}|$，$|V_t|$，$|V_{OV}|$，$|V_{SB}|$，$|\gamma|$，$|\lambda|$ 和 $|V_A|$，以及用 k'_p 替代 k'_n。

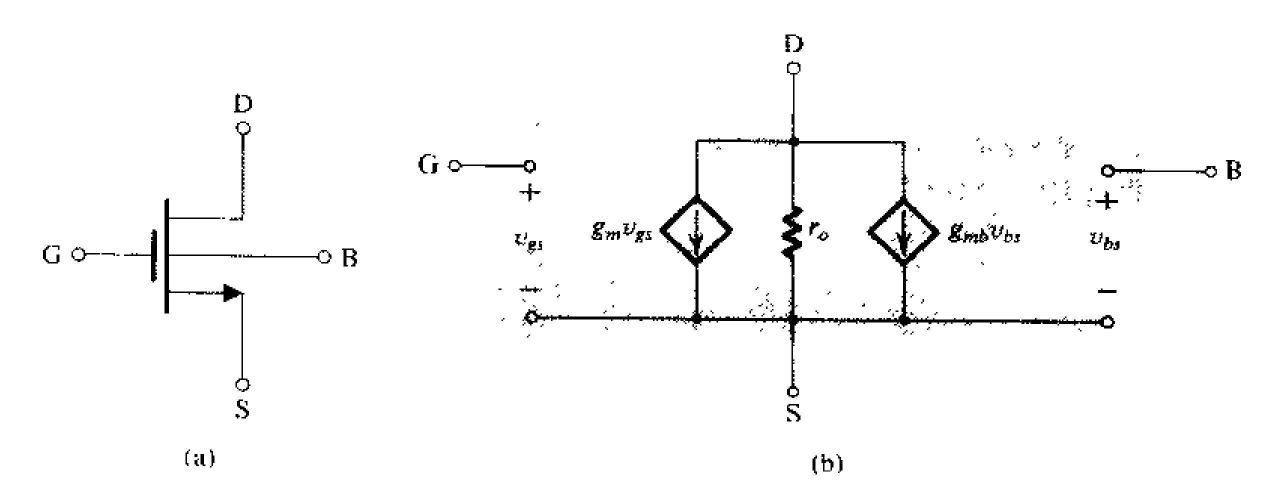


图 4.41 MOSFET 小信号等效电路模型，其中晶体管的源极和衬底不相连

4.6.9 总结

表 4.2 中总结了计算小信号 MOSFET 参数值的公式。可以看出，对于 g_m 有三个不同的公式，每一个都给设计者提供了一种设计选择。在后面的章节中我们会经常对有关参数进行评论。

表 4.2　MOSFET 的小信号等效电路模型

小信号参数

NMOS 晶体管：

■ 跨导：

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{OV} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{OV}}$$

■ 输出电阻：

$r_o = V_A / I_D = 1/\lambda I_D$

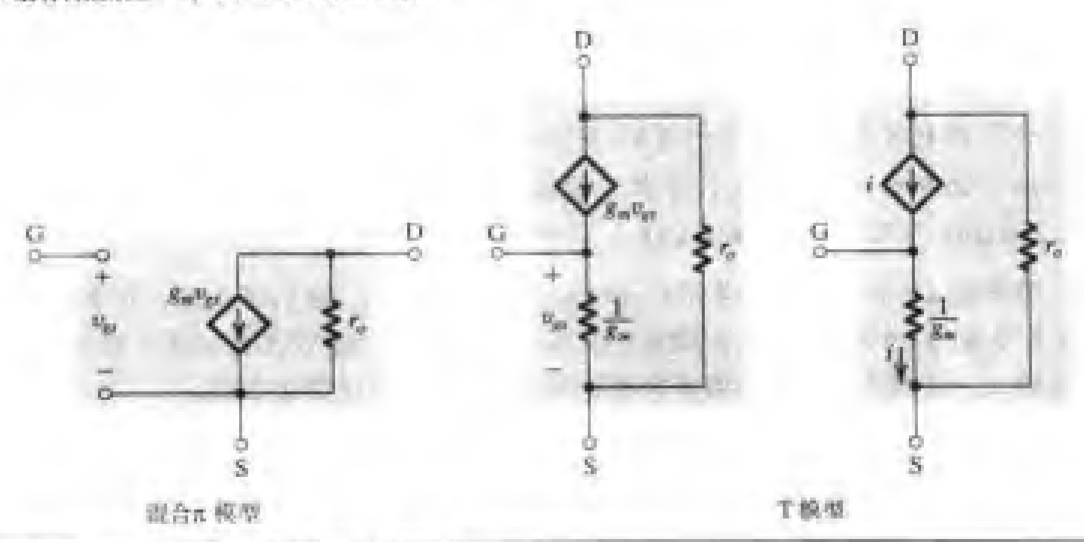
■ 背栅跨导：

$$g_{mb} = \chi g_m = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} g_m$$

PMOS 晶体管：

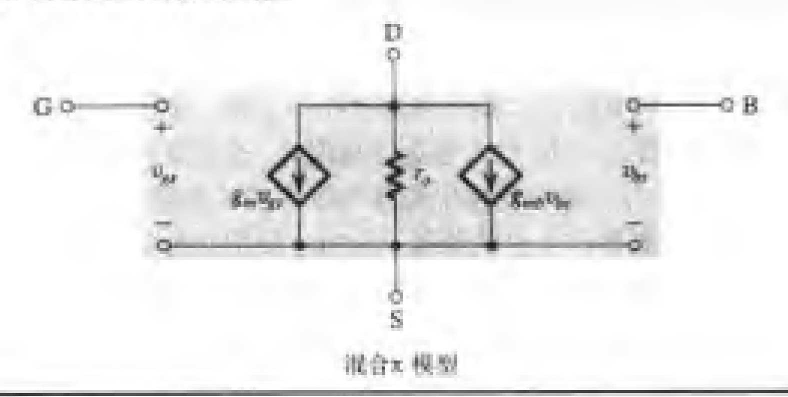
与 NMOS 有相同的公式，只是参数使用$|V_{OV}|$、$|V_A|$、$|V_{SB}|$、$|\chi|$、$|\gamma|$和$|\lambda|$以及用 μ_p 替代 μ_n

$|V_{SB}| = 0$（没有衬底效应）时的小信号等效电路模型



混合π 模型　　T 模型

$|V_{SB}| \neq 0$（包括衬底效应）时的小信号等效电路模型



混合π 模型

练习 4.23　对于图 4.34 所示的放大器，设 $V_{DD} = 5\text{ V}$，$R_D = 10\text{ k}\Omega$，$V_t = 1\text{ V}$，$k_n' = 20\,\mu\text{A/V}^2$，$W/L = 20$，$V_{GS} = 2\text{ V}$，$\lambda = 0$。（a）求直流电流 I_D 和直流电压 V_D；（b）求 g_m；（c）求电压增益；（d）如果 $v_{gs} = 0.2\sin\omega t\text{ V}$，假设满足小信号近似，求 v_d。v_D 的最大值和最小值为多少？（e）使用式（4.57）确定 i_D 的不同分量。使用等式 $\sin^2\omega t = \cos 2\omega t$ 证明 I_D 有一个微小的偏移且具有一个二次谐波分量（频率为 2ω 的分量）。把二次谐波分量的幅度表示成基波分量幅度的百分比（这个值被称为二次谐波失真）。

答案：（a）200 μA，3 V；（b）0.4 mA/V；（c）–4 V/V；（d）$v_d = -0.8\sin\omega t$ V，2.2 V，3.8 V；（e）$i_D = (204 + 80\sin\omega t - 4\cos 2\omega t)\,\mu$A，5%

练习 4.24 一个 NMOS 晶体管有 $\mu_n C_{ox} = 60\ \mu\text{A/V}^2$，$W/L = 40$，$V_t = 1$ V，$V_A = 15$ V，求以下两种情况下的 g_m 和 r_o：（a）偏置电压 $V_{GS} = 1.5$ V；（b）偏置电流 $I_D = 0.5$ mA。

答案：（a）1.2 mA/V，50 kΩ；（b）1.55 mA/V，30 kΩ

练习 4.25 一个 MOSFET 工作在 $I_D = 0.1$ mA 处并且 $g_m = 1$ mA/V。如果 $k'_n = 50\ \mu\text{A/V}^2$，求所需的宽长比（$W/L$）和过驱动电压。

答案：100，0.2 V

练习 4.26 对于某一种制造工艺，$\mu_p \approx 0.4\,\mu_n$，求 PMOS 晶体管的宽度与 NMOS 晶体管的宽度之比。要求这两个器件在相同的偏置条件下有相同的 g_m 并假设这两个器件有相同的沟道长度。

答案：2.5

练习 4.27 有一个 NMOS 晶体管，$2\phi_f = 0.6$ V，$\gamma = 0.5\ \text{V}^{1/2}$，$V_{SB} = 4$ V，求 $\chi \equiv g_{mb}/g_m$ 的值。

答案：0.12

练习 4.28 一个 PMOS 晶体管有 $V_t = -1$ V，$k'_p = 60\ \mu\text{A/V}^2$，$W/L = 16\ \mu\text{m}/0.8\ \mu\text{m}$。求当该器件被偏置在 $V_{GS} = -1.6$ V 时的 I_D 和 g_m，并求 r_o 的值，假设 λ（在 $L = 1\ \mu$m 时）$= -0.04\ \text{V}^{-1}$。

答案：216 μA；0.72 mA/V；92.6 kΩ

练习 4.29 使用表 4.2 中的公式推导用 V_A 和 V_{OV} 表示的 $(g_m r_o)$。我们将在第 6 章中看到这是一个重要的晶体管参数，称为固有增益。当 NMOS 晶体管用 0.8 μm CMOS 工艺制造并且 $V'_A = 12.5$ V/μm 时计算 $g_m r_o$ 的值。设器件有最小的沟道长度和工作在 0.2 V 的过驱动电压。

答案：$g_m r_o = 2V_A/V_{OV}$；100 V/V

4.7 单级 MOS 放大器

介绍了 MOS 放大器的偏置（见 4.5 节）和 MOSFET 放大器的小信号特性及模型之后（见 4.6 节），现在开始讨论在 MOS 放大器设计中使用的不同组态。在本节中，我们考虑分立元件 MOS 放大器的情况，而把集成电路 MOS 放大器的内容放在第 6 章。除了对 MOS 电路本身有用外，分立元件 MOS 放大器在某种程度上比 IC 放大器更容易理解，这主要有两个原因：在分立电路中直流和信号量的分离更明显，另外分立电路使用电阻作为放大器的负载。相比较而言，在第 6 章可以看到，IC MOS 放大器采用恒流源作为它的负载，这通过使用额外的 MOSFET 来实现，从而使得电路更加复杂。因此本节中的电路既是对 MOS 放大器组态进行介绍，也是学习第 6 章 IC MOS 放大器的基础。

因为在分立电路中 MOSFET 源极通常连接到衬底极，因此衬底效应可以忽略。所以在本节中，我们不考虑衬底效应。在某些电路中，为了使分析简单也忽略 r_o，而把注意力集中在放大器组态的主要特征上。

4.7.1 基本结构

图 4.42 所示是实现分立电路 MOS 放大器不同组态的基本电路。在对 MOS 放大器进行偏置的各种策略中（见 4.5 节），为了做到既简单又有效，我们选择了采用恒流源偏置的策略。图 4.42 给出了不同的直流电流和节点上的直流电压。

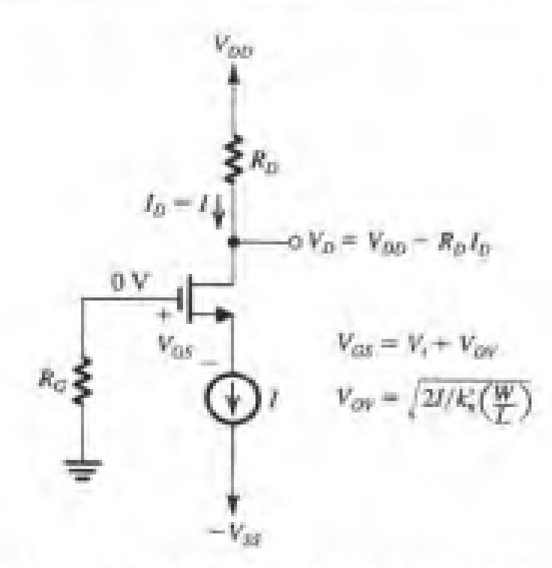


图 4.42　用来实现单级分立元件 MOS 放大器电路组态的基本结构

练习 4.30　考虑图 4.42 所示的电路，其中 $V_{DD} = V_{SS} = 10\text{ V}$，$I = 0.5\text{ mA}$，$R_G = 4.7\text{ M}\Omega$，$R_D = 15\text{ k}\Omega$，$V_t = 1.5\text{ V}$，$k_n'(W/L) = 1\text{ mA/V}^2$。求 V_{OV}，V_{GS}，V_G，V_S 和 V_D，并计算 g_m 和 r_o 的值，假设 $V_A = 75\text{ V}$。为保证该 MOSFET 工作在饱和区，则漏极最大可能的信号摆幅为多少？

答案：见图 E4.30；不考虑栅极的信号摆动，漏极可以偏向−1.5 V，因此有 4 V 的负信号幅度

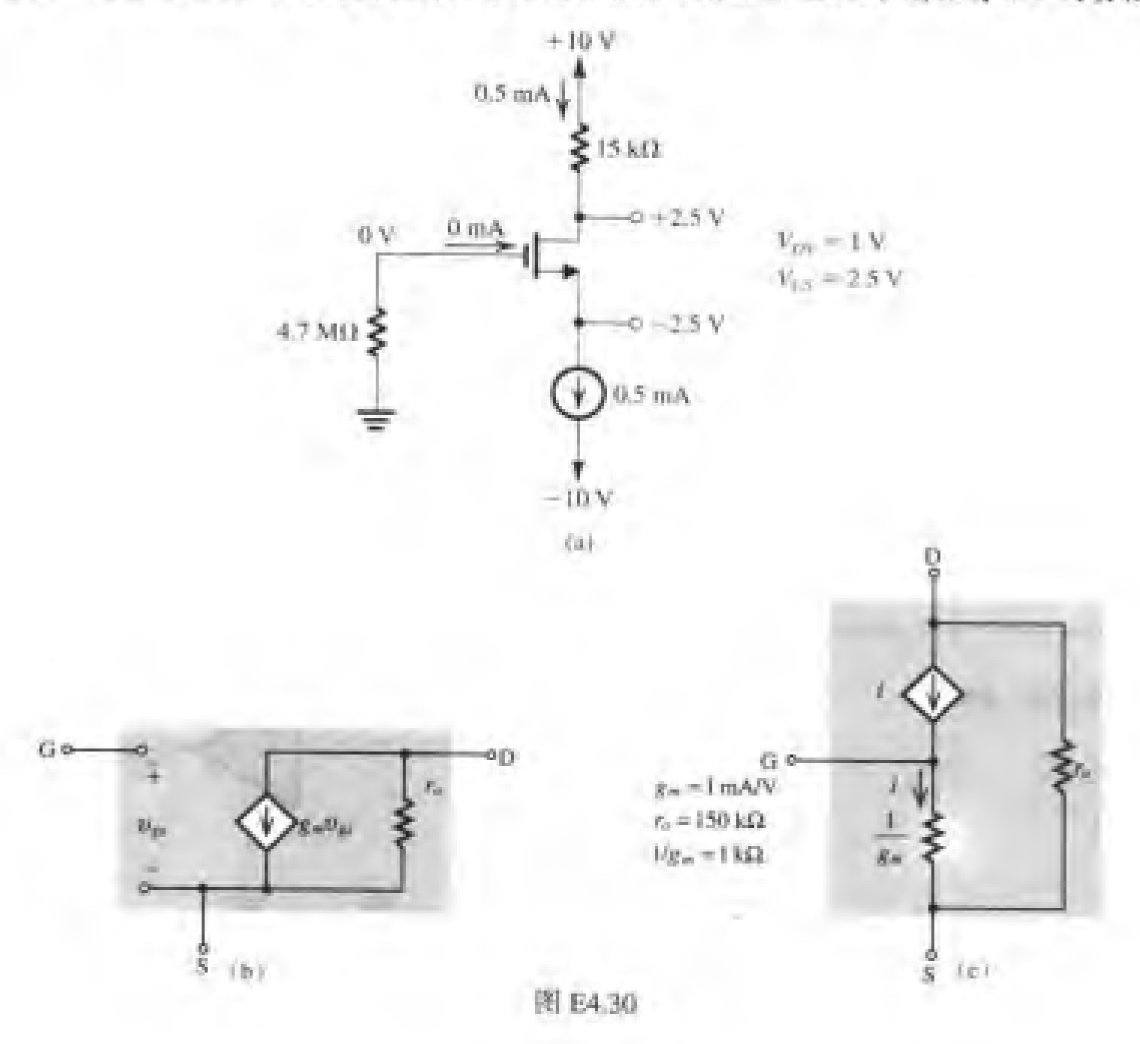


图 E4.30

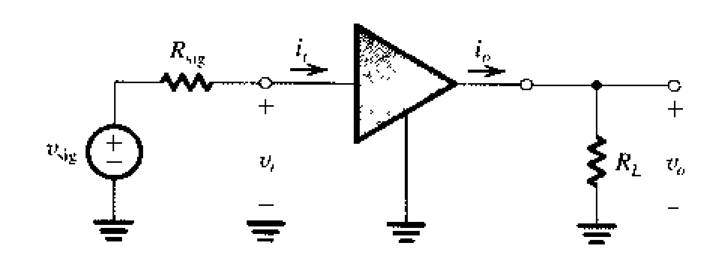
4.7.2 放大器特性

当开始学习 MOS 放大器电路时，必须知道怎样把放大器作为电路构件来描述其性能。1.5 节中给出了一个简单介绍，但是 1.5 节的内容只限于单向放大器。在本书中将要介绍的许多放大器电路其实都是非单向的（尽管本章中没有），也就是说，它们有一个内部反馈会使输入电阻与负载电阻有关。同样，内部反馈会使输出电阻与输入放大器的信号源内阻有关。表 4.3 给出了一系列用来描述和比较晶体管放大器的基本参数和等效电路。下面是一些说明：

1. 所示放大器由开路电压为 v_{sig}、内阻为 R_{sig} 的信号源激励。它既可以是一个实际信号源的参数，也可以是所分析的级联放大器中前一级放大器输出电路的戴维南等效参数。同样，R_L 可以是一个实际负载电阻，也可以是级联放大器中后一级放大器的输入电阻。
2. 参数 R_i、R_o、A_{vo}、A_{is} 和 G_m 属于放大器本身的参数，即它们与 R_{sig} 和 R_L 的值无关。相比较而言，R_{in}，R_{out}、A_v，A_i，G_{vo} 和 G_v 可能与 R_{sig} 和 R_L 其中的一个或两个都有关系同样可以看出相关参数对之间的关系式，例如，$R_i = R_{in}|_{R_L=\infty}$，$R_o = R_{out}|_{R_{sig}=0}$。
3. 如上所述，对于非单向放大器，R_{in} 可能取决于 R_L，R_{out} 可能取决于 R_{sig}。尽管本章中没有这种类型的放大器，但是在第 6 章或以后的章节中会遇到非单向 MOSFET 放大器。对于单向放大器不存在这种相关性，即有 $R_{in} = R_i$ 以及 $R_{out} = R_o$。
4. 放大器对信号源的负载由输入电阻 R_{in} 确定。R_{in} 的值决定了放大器从信号源得到的电流 i_i，也决定了呈现在放大器输入端的信号比例（即 v_i）。
5. 当从开路值 A_{vo} 计算增益 A_v 时，使用 R_o 输出电阻。这是因为 A_v 是以放大器的输入是理想电压信号 v_i 为基础的。这也可以从表 4.3 中的等效电路 A 得到。另一方面，如果从开路值 G_{vo} 计算总的电压增益 G_v 时，使用 R_{out} 输出电阻。这是因为 G_v 是基于放大器的输入是 v_{sig}，它有一个内阻 R_{sig}。这可以从表 4.3 中的等效电路 C 得到。
6. 读者应该仔细分析并思考表 4.3 中的定义及 6 种关系。例题 4.11 对此很有帮助。

表 4.3 放大器的特征参数

电路



定义

■ 没有负载时的输入电阻：

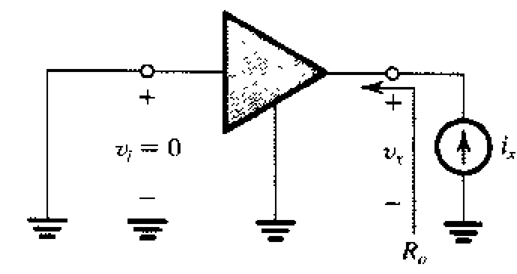
$$R_i \equiv \left.\frac{v_i}{i_i}\right|_{R_L=\infty}$$

■ 输入电阻：

$$R_{in} \equiv \frac{v_i}{i_i}$$

■ 开路电压增益：

$$A_{vo} \equiv \left.\frac{v_o}{v_i}\right|_{R_L=\infty}$$



■ 输出电阻：

$$R_{out} \equiv \left.\frac{v_x}{i_x}\right|_{v_{sig}=0}$$

（续）

■ 电压增益：

$$A_v = \frac{v_o}{v_i}$$

■ 短路电流增益：

$$A_{is} = \frac{i_o}{i_i}\bigg|_{R_L=0}$$

■ 电流增益：

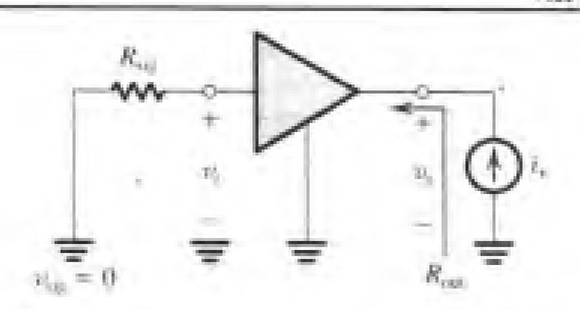
$$A_i = \frac{i_o}{i_i}$$

■ 短路互导：

$$G_m = \frac{i_o}{v_i}\bigg|_{R_L=0}$$

■ 放大器固有的输出电阻：

$$R_o = \frac{v_x}{i_x}\bigg|_{v_i=0}$$



■ 开路总电压增益：

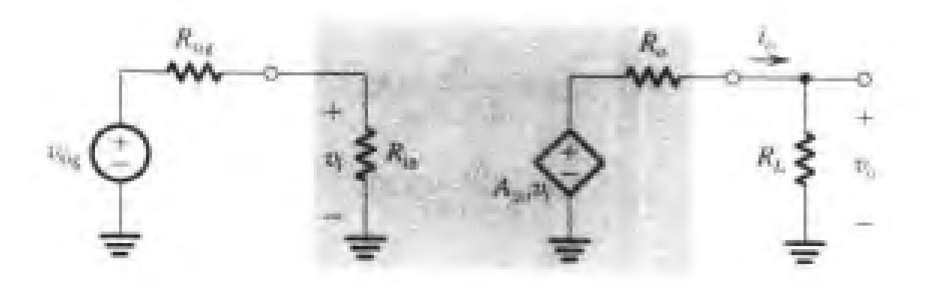
$$G_{vo} = \frac{v_o}{v_{sig}}\bigg|_{R_L=\infty}$$

■ 总电压增益：

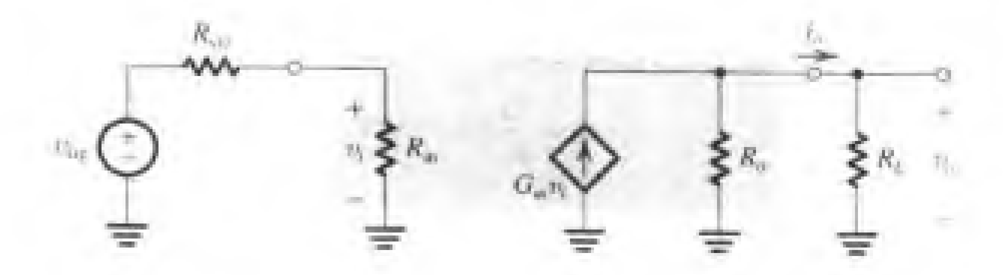
$$G_v = \frac{v_o}{v_{sig}}$$

等效电路

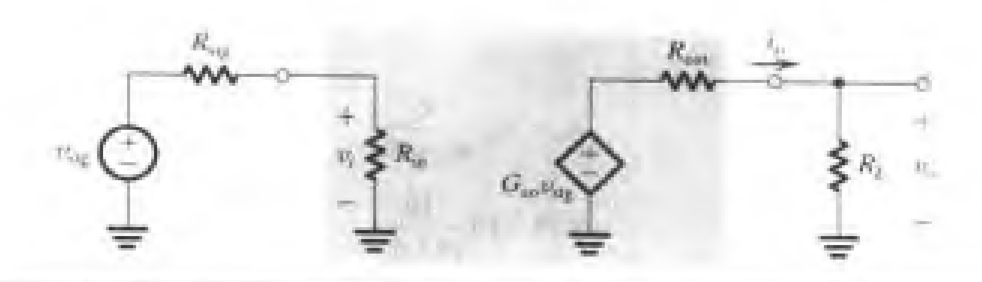
■ A：



■ B：



■ C：



关系式

■ $\dfrac{v_i}{v_{sig}} = \dfrac{R_{in}}{R_{in}+R_{sig}}$

■ $A_v = A_{vo}\dfrac{R_L}{R_L+R_o}$

■ $A_{vo} = G_m R_o$

■ $G_v = \dfrac{R_{in}}{R_{in}+R_{sig}} A_{vo}\dfrac{R_L}{R_L+R_o}$

■ $G_{vo} = \dfrac{R_i}{R_i+R_{sig}} A_{vo}$

■ $G_v = G_{vo}\dfrac{R_L}{R_L+R_{out}}$

例题 4.11 某晶体管放大器由开路电压 v_{sig} 为 10 mV、内阻 R_{sig} 为 100 kΩ的信号源激励。当放大器输出端连接上和没有连接上负载电阻 $R_L = 10$ kΩ时都测得放大器输入电压 v_i 和输出电压 v_o 。测得的结果如下：

	v_i (mV)	v_o (mV)
连上 R_L	9	90
连上 R_L	8	70

求所有的放大器参数。

解：首先，使用当 $R_L = \infty$ 时得到的数据确定

$$A_{vo} = \frac{90}{9} = 10 \text{ V/V}$$

和

$$G_{vo} = \frac{90}{10} = 9 \text{ V/V}$$

现在，因为

$$G_{vo} = \frac{R_i}{R_i + R_{sig}} A_{vo}$$

$$9 = \frac{R_i}{R_i + 100} \times 10$$

可以得出

$$R_i = 900 \text{ k}\Omega$$

接下来，使用当 $R_L = 10$ kΩ时得到的数据来确定

$$A_v = \frac{70}{8} = 8.75 \text{ V/V}$$

和

$$G_v = \frac{70}{10} = 7 \text{ V/V}$$

A_v 和 A_{vo} 的值可以用来确定 R_o：

$$A_v = A_{vo} \frac{R_L}{R_L + R_o}$$

$$8.75 = 10 \frac{10}{10 + R_o}$$

从中可得

$$R_o = 1.43 \text{ k}\Omega$$

同样，使用 G_v 和 G_{vo} 的值通过下式可确定 R_{out}：

$$G_v = G_{vo} \frac{R_L}{R_L + R_{out}}$$

$$7 = 9\frac{10}{10 + R_{out}}$$

由此得到

$$R_{out} = 2.86\ \text{k}\Omega$$

R_{in} 的值可以从下式得到：

$$\frac{v_i}{v_{sig}} = \frac{R_{in}}{R_{in} + R_{sig}}$$

因此，

$$\frac{8}{10} = \frac{R_{in}}{R_{in} + 100}$$

可得

$$R_{in} = 400\ \text{k}\Omega$$

利用下式可以求得短路互导 G_m：

$$G_m = \frac{A_{vo}}{R_o} = \frac{10}{1.43} = 7\ \text{mA/V}$$

电流增益 A_i 可利用下式求得：

$$A_i = \frac{v_o / R_L}{v_i / R_{in}} = \frac{v_o}{v_i}\frac{R_{in}}{R_L}$$
$$= A_v\frac{R_{in}}{R_L} = 8.75 \times \frac{400}{10} = 350\ \text{A/A}$$

最后确定短路电流增益 A_{is}、从表 4.3 中的等效电路 A 可知短路输出电流为

$$i_{osc} = A_{vo}v_i / R_o$$

但是，为了确定 v_i，需要知道当 $R_L = 0$ 时的 R_{in}，为了达到这个目的，从等效电路 C 可以求得短路输出电流为

$$i_{osc} = G_{vo}v_{sig} / R_{out}$$

现在，将 i_{osc} 的两个表达式列成等式并将 G_{vo} 替换为

$$G_{vo} = \frac{R_i}{R_i + R_{sig}}A_{vo}$$

从下式可得到 v_i：

$$v_i = v_{sig}\frac{R_{in}\big|_{R_L=0}}{R_{in}\big|_{R_L=0} + R_{sig}}$$

从而可以得到

$$R_{in}\big|_{R_L=0} = R_{sig}\Bigg/\left[\left(1 + \frac{R_{sig}}{R_i}\right)\left(\frac{R_{out}}{R_o}\right) - 1\right]$$
$$= 81.8\ \text{k}\Omega$$

现在可以使用

$$i_{osc} = A_{vo} i_i R_{in}\Big|_{R_L=0} / R_o$$

得到

$$A_{is} \equiv \frac{i_{osc}}{i_i} = 10 \times 81.8 / 1.43 = 572 \text{ A/A}$$

■

练习 4.31 （a）如果在例题 4.11 的放大器中 R_{sig} 增大一倍，求 R_{in}，G_v 和 R_{out} 的值。（b）当 R_L 增大一倍时，重复计算（R_{sig} 不变，即 100 kΩ）。（c）当 R_{sig}，R_L 都增大一倍时，重复计算。

答案：（a）400 kΩ，5.83 V/V，4.03 kΩ；（b）538 kΩ，7.87 V/V，2.86 kΩ；（c）538 kΩ，6.8 V/V，4.03 kΩ

4.7.3 共源（CS）放大器

共源（CS）或源极接地组态是使用最广泛的 MOSFET 放大器电路。使用图 4.42 所示电路来实现的共源放大器如图 4.43（a）所示。可以看出，为了在源极建立信号地或通常所说的交流地，在源极和地之间接上一个大电容 C_S。该电容通常在μF 的范围，并要求它在感兴趣的所有频率处具有非常小的阻抗（理想情况下为 0 阻抗，即相当于短路）。这样，信号电流可以通过 C_S 到地，因此它旁路了电流源 I（以及其他可能连接到 MOSFET 源极的任何电路元件）的输出电阻，故 C_S 被称为旁路电容。显然，信号频率越低，该旁路电容的有效性越低。这个问题会在 4.9 节中讲解。这里假定 C_S 相当于短路，因此在 MOSFET 源极建立一个 0 信号电压。

为了不干扰直流偏置电流和电压，显示为电压源 v_{sig} 与内阻 R_{sig} 的所要放大的信号通过一个大电容 C_{C1} 被连接到栅极。电容 C_{C1} 被称为耦合电容，它要对所有感兴趣的信号频率呈现短路而对直流起隔断作用。注意，随着信号频率降低，C_{C1} 的阻抗（即 $1/j\omega C_{C1}$）将会减小，它作为耦合电容的作用也会降低。这个问题也会在 4.9 节介绍放大器的频率特性时讨论。这里我们假定 C_{C1} 对所有关心的信号都相当于短路。必须指出，在信号源能够提供合适的到地的直流通路的情况下，栅极可以直接连接到信号源，并且 R_G 和 C_{C1} 可以略去。

在漏极产生的电压信号通过另一个耦合电容 C_{C2} 耦合到负载电阻 R_L。假定 C_{C2} 对所有关心的信号都呈现短路，因此输出电压 $v_o = v_d$。注意，R_L 既可以是一个实际的电阻（该电阻要求放大器能够向它提供输出电压信号），也可以是多级放大器中另一级放大器的输入电阻（在第 7 章中将介绍多级放大器）。

为了确定 CS 放大器的端口特性（也就是它的输入电阻、电压增益和输出电阻），我们用小信号模型来替代 MOSFET，得到如图 4.43（b）所示的电路。首先，我们可以看到该放大器是单向化的，因此 R_{in} 与 R_L 无关，即 $R_{in} = R_i$。R_{out} 与 R_{sig} 无关，即 $R_{out} = R_o$。该电路的分析是简单的，可以从信号源到负载一步一步进行。在输入端：

$$i_g = 0$$
$$R_{in} = R_G \tag{4.78}$$

$$v_i = v_{sig}\frac{R_{in}}{R_{in} + R_{sig}} = v_{sig}\frac{R_G}{R_G + R_{sig}} \tag{4.79}$$

通常，R_G 选得非常大（例如，在 MΩ的数量级），在许多应用中有 $R_G \gg R_{sig}$ 和

$$v_i \cong v_{sig}$$

现在，

$$v_{gs} = v_i$$

和

$$v_o = -g_m v_{gs}(r_o \parallel R_D \parallel R_L)$$

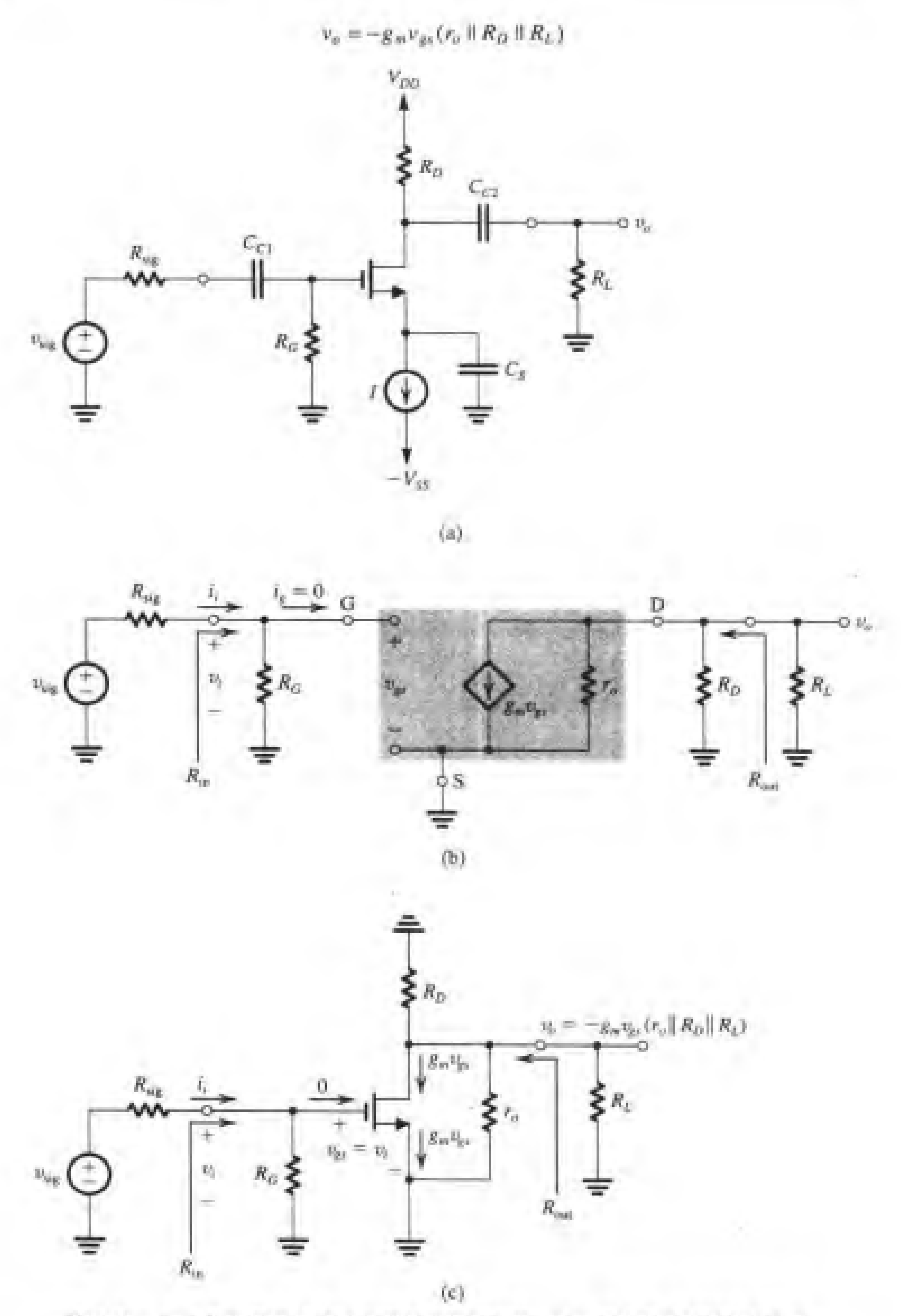


图 4.43　（a）基于图 4.42 所示电路的共源放大器；（b）放大器小信号等效电路；（c）在放大电路上直接进行小信号分析，隐含地利用了 MOSFET 模型

因此电压增益 A_v 为

$$A_v = -g_m(r_o \| R_D \| R_L) \tag{4.80}$$

开路电压增益 A_{vo} 为

$$A_{vo} = -g_m(r_o \| R_D) \tag{4.81}$$

从信号源到负载的总的电压增益为

$$\begin{aligned} G_v &= \frac{R_{in}}{R_{in}+R_{sig}} A_v \\ &= -\frac{R_G}{R_G + R_{sig}} g_m(r_o \| R_D \| R_L) \end{aligned} \tag{4.82}$$

最后，为了确定放大器输出电阻 R_{out}，设 v_{sig} 为 0，即将信号发生器 v_{sig} 短路，并从输出端往回看过去，如图 4.43 所示。通过观察可以得到：

$$R_{out} = r_o \| R_D \tag{4.83}$$

正如我们已经看到的，在 CS 放大器的分析中包含输出电阻 r_o 比较简单：因为 r_o 在漏极和源极两端，它与 R_D 并联。因为通常 $r_o \gg R_D$，r_o 的影响使得电压增益有所减小并且 R_{out} 也减小——后者是一个有利的结果。

尽管小信号等效电路模型提供了一个对放大器电路进行分析的系统的过程，但是要得到等效电路所花费的工作有时是很大的。也就是说，在简单的情况下以及经过大量的练习，我们可以在原始电路上直接进行小信号分析。在这种情况下，小信号 MOSFET 模型以隐含方式使用而不是以显现的方式使用。为了让读者掌握这一点，在图 4.43（c）中显示了在某种简化的电路上执行 CS 放大器的小信号分析过程。建议读者仔细研究该分析过程，并将它与使用图 4.43（b）的等效电路的分析进行比较。

总之，CS 放大器具有非常高的输入电阻、适中的电压增益以及相当高的输出电阻。

练习 4.32　考虑一个基于练习 4.30 电路的 CS 放大器。具体地说，参考图 E4.30 所示练习的结果求考虑 r_o 和不考虑 r_o 时的 R_{in}，A_{vo} 和 R_{out}。然后计算当 $R_{sig} = 100\ \text{k}\Omega$，$R_L = 15\ \text{k}\Omega$，以及考虑 r_o 时的总电压增益 G_v。如果 v_{sig} 是峰峰值为 0.4 V 的正弦波，那么输出信号 v_o 为多少？

答案：没有 r_o：$R_{in} = 4.7\ \text{M}\Omega$，$A_{vo} = -15\ \text{V/V}$，$R_{out} = 15\ \text{k}\Omega$；考虑 r_o：$R_{in} = 4.7\ \text{M}\Omega$，$A_{vo} = -13.6\ \text{V/V}$，$R_{out} = 13.6\ \text{k}\Omega$；$G_v = -7\ \text{V/V}$；$v_o$ 是峰峰值为 2.8 V 的正弦波，它叠加在+2.5 V 的漏极直流电压上

4.7.4　接源极电阻的共源放大器

在共源放大器的源极接入一个电阻 R_S 通常非常有益，如图 4.44（a）所示。相应的小信号等效电路如图 4.44（b）所示，其中我们可以看到晶体管用它的 T 型等效电路模型替代。T 模型比 π模型使用得更多，因为它使这种情况下的分析变得简单。一般来说，当源极接上一个电阻时，例如后面将要讨论的源跟随器电路，T 模型更受欢迎，因为这时源电阻与电阻 $1/g_m$ 相串联，$1/g_m$ 电阻表示的是从源极看进去的源极和栅极之间的电阻。

必须注意，我们没有在等效电路模型中包含 r_o。包含 r_o 将使分析变得相当复杂，r_o 将连接放大器的输出节点和输入端，因此使得放大器非单向化。幸运的是，已经证明 r_o 对分立元件电路放大器的影响并不重要。这可以通过 SPICE 仿真来验证（见 4.12 节）。但是对于集成电路并不是这种情况，在集成电路中 r_o 发挥着重要的作用，因此必须在电路的分析和设计中考虑 r_o，在第 6 章中将讨论这一点。

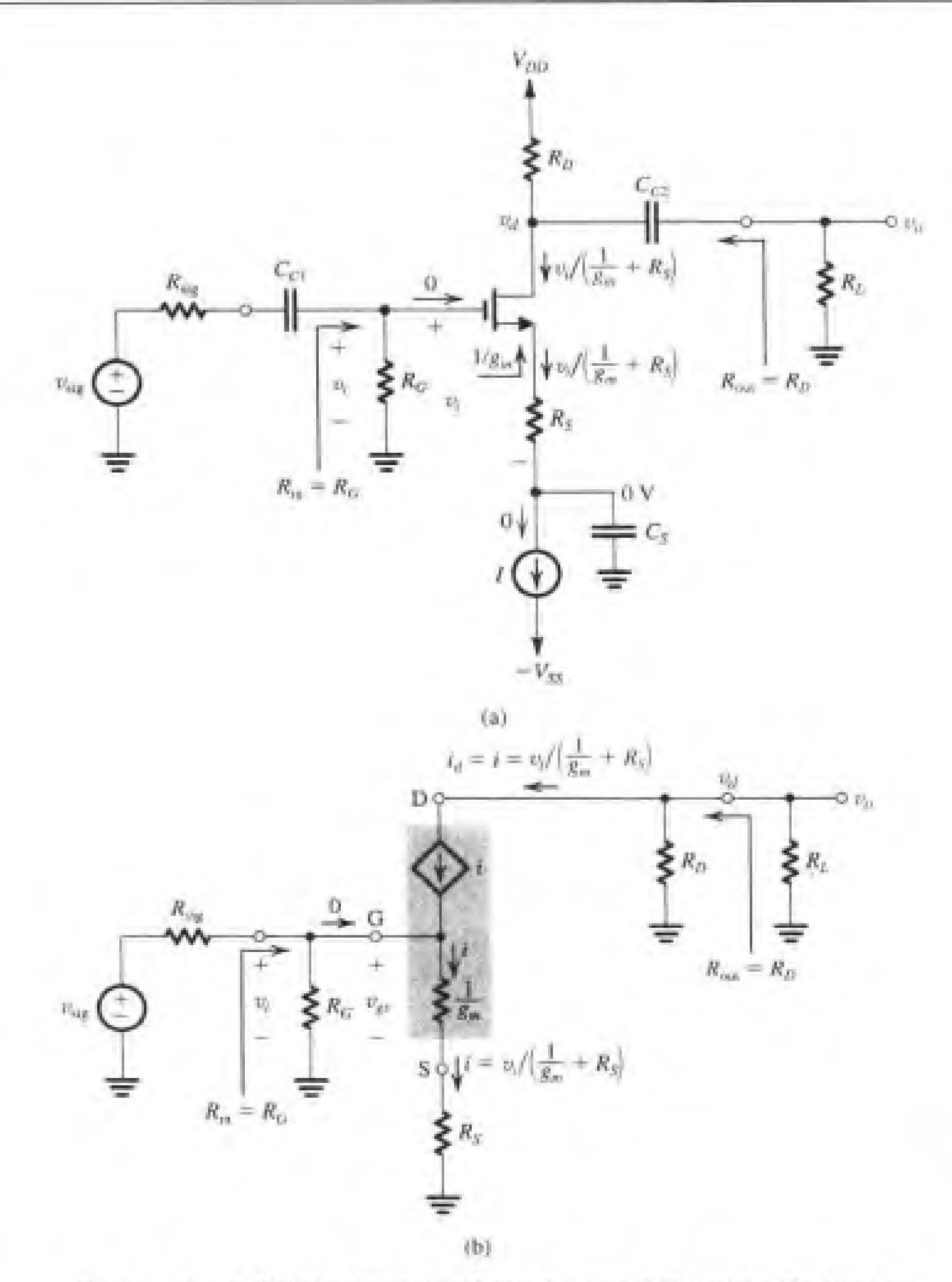


图 4.44　（a）在源极接有电阻 R_S 的共源放大器；（b）忽略 r_o 后的小信号等效电路

从图 4.44（b）可以看出在 CS 放大器的情况下：

$$R_{in}=R_i=R_G \tag{4.84}$$

因此，

$$v_i=v_{sig}\frac{R_G}{R_G+R_{sig}} \tag{4.85}$$

但是不像 CS 电路，这里 v_{gs} 只是 v_i 的一部分。它可以从由 $1/g_m$ 和 R_S 组成的电压分压器得到，并且呈现在放大器输入端两端：

$$v_{gs}=v_i\frac{\frac{1}{g_m}}{\frac{1}{g_m}+R_s}=\frac{v_i}{1+g_mR_s} \tag{4.86}$$

因此我们可以使用 R_S 的值来控制信号 v_{gs} 的大小，这样可以确保 v_{gs} 不会变得太大而引起不需要的非线性失真 [回忆一下式（4.59）给出的对 v_{gs} 的约束]。这是包含 R_S 电阻的第一个好处。其他好处会在后面的章节中讲到。例如，通过 4.12 节中的 SPICE 仿真表明 R_S 可以扩展放大器的有用带宽。R_S 引起放大器性能改善的机制是负反馈。遗憾的是，这些性能改善是以减小电压增益为代价的，下面我们就来讨论电压增益。

电流 i_d 等于流过源极的电流 i，因此，

$$i_d=i=\frac{v_i}{\frac{1}{g_m}+R_s}=\frac{g_mv_i}{1+g_mR_s} \tag{4.87}$$

可见包括 R_S 将使 i_d 减小 $(1+g_mR_S)$ 倍，这并不奇怪，因为 v_{gs} 与 v_i 之间的关联系数就是这个倍数，MOSFET 产生的电流 $i_d=g_mv_{gs}$。式（4.87）也表明 R_S 的影响结果是使 g_m 降低 $(1+g_mR_S)$ 倍。

现在可以得到输出电压如下：

$$v_o=-i_d(R_D\parallel R_L)$$
$$=-\frac{g_m(R_D\parallel R_L)}{1+g_mR_s}v_i$$

因此电压增益为

$$A_v=-\frac{g_m(R_D\parallel R_L)}{1+g_mR_s} \tag{4.88}$$

设 $R_L=\infty$，可得

$$A_{vo}=-\frac{g_mR_D}{1+g_mR_s} \tag{4.89}$$

总电压增益 G_v 为

$$G_v=-\frac{R_G}{R_G+R_{sig}}\frac{g_m(R_D\parallel R_L)}{1+g_mR_s} \tag{4.90}$$

对式（4.88）、式（4.89）及式（4.90）与没有 R_S 时的对应公式进行比较，可知包含 R_S 将导致增益减小 $(1+g_mR_S)$ 倍。在第 8 章中，我们将详细介绍负反馈。在那里我们将介绍这个倍数叫做反馈深度，它确定了性能改善的程度，但同时也导致增益的减小，这是一个平衡。在 4.5 节中，我们已经看到源极电阻 R_S 增加了直流偏置点的稳定性，也就是说，减小了 I_D 的变化。这与我们在这里观察到的完全相同：在图 4.44 所示的电路中，R_S 使 i_d 减小，而 i_d 其实就是 I_D 的变化量。因为 R_S 降低了增益，因此称它为源衰减电阻。

式(4.88)中的增益表达式的另一个解释是：从栅极到漏极的增益就是漏极的总电阻($R_D \parallel R_L$)与源极的总电阻[$(1/g_m)+R_S$]之比。

最后，我们将注意力转到图 4.44（a）的小信号分析上。通过一些练习，读者应该能够在简单的情况下省略绘制完整等效电路模型这样的额外工作，而能够隐式地利用 MOSFET 模型。这也是一个优点，它可以使注意力更集中在电路的工作上，并且能够减少在电路分析中发生计算错误的可能性。

练习 4.33　在练习 4.32 中，加入峰峰值为 0.4 V 的输入信号，CS 放大器输出峰峰值为 2.8 V 的信号。假定由于某些原因，现在的输入信号是原来的 3 倍（即峰峰值为 1.2 V），我们希望改变电路以保持输出信号电平不变。应该使用多大的 R_S？

答案：2.15 kΩ

4.7.5 共栅（CG）放大器

将 MOSFET 的栅极接地可得到一个共栅（CG）或栅极接地放大器。输入信号被加到源极，输出从漏极得到，而栅极成为输入和输出端口的公共端。图 4.45（a）是从图 4.42 所示电路得到的 CG 放大器。可以看出，因为在栅极的直流和交流电压都为 0，可以直接将栅极接地，因此可以消除电阻 R_G。耦合电容 C_{C1} 和 C_{C2} 的作用与 CS 电路中的耦合电容相同。

CG 放大器的小信号等效电路模型如图 4.45（b）所示。因为电阻 R_{sig} 直接与 MOSFET 源极串联，我们选择晶体管的 T 模型。当然两种模型都可以使用，并且能够产生相同的结果，但是，在这种情况下 T 模型更方便。这里我们仍然没有包含 r_o。包含 r_o 将使电路分析变得相当复杂，因为它呈现在放大器的输入和输出之间。在第 6 章介绍 CG 放大器的集成电路形式时会考虑 r_o 的影响。

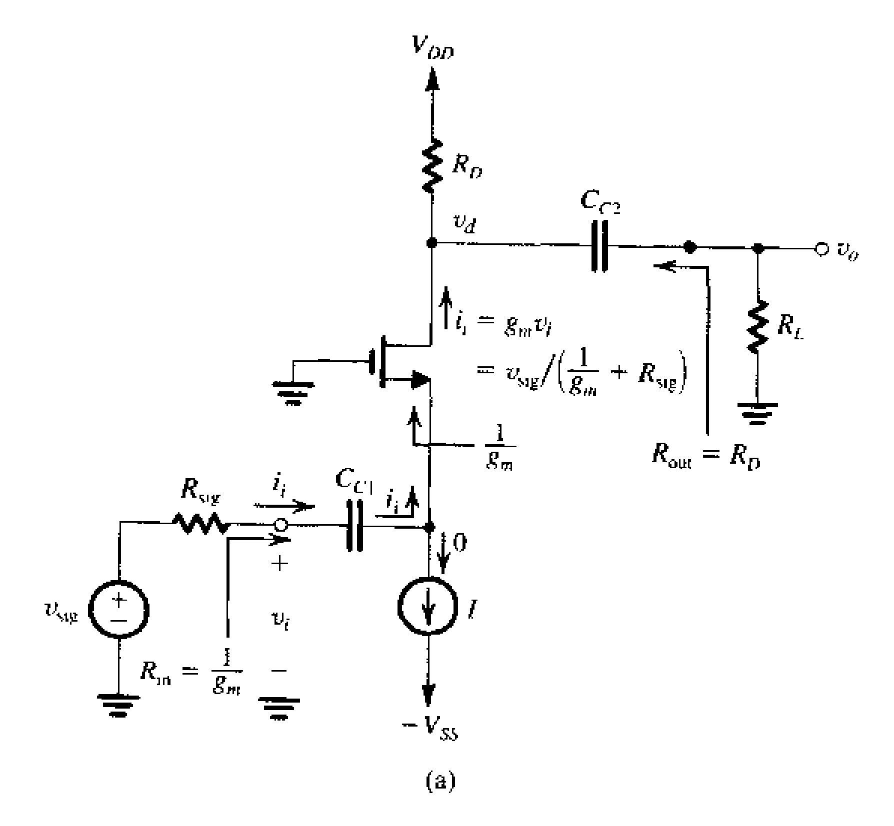


图 4.45　（a）基于图 4.42 所示电路的共栅放大器

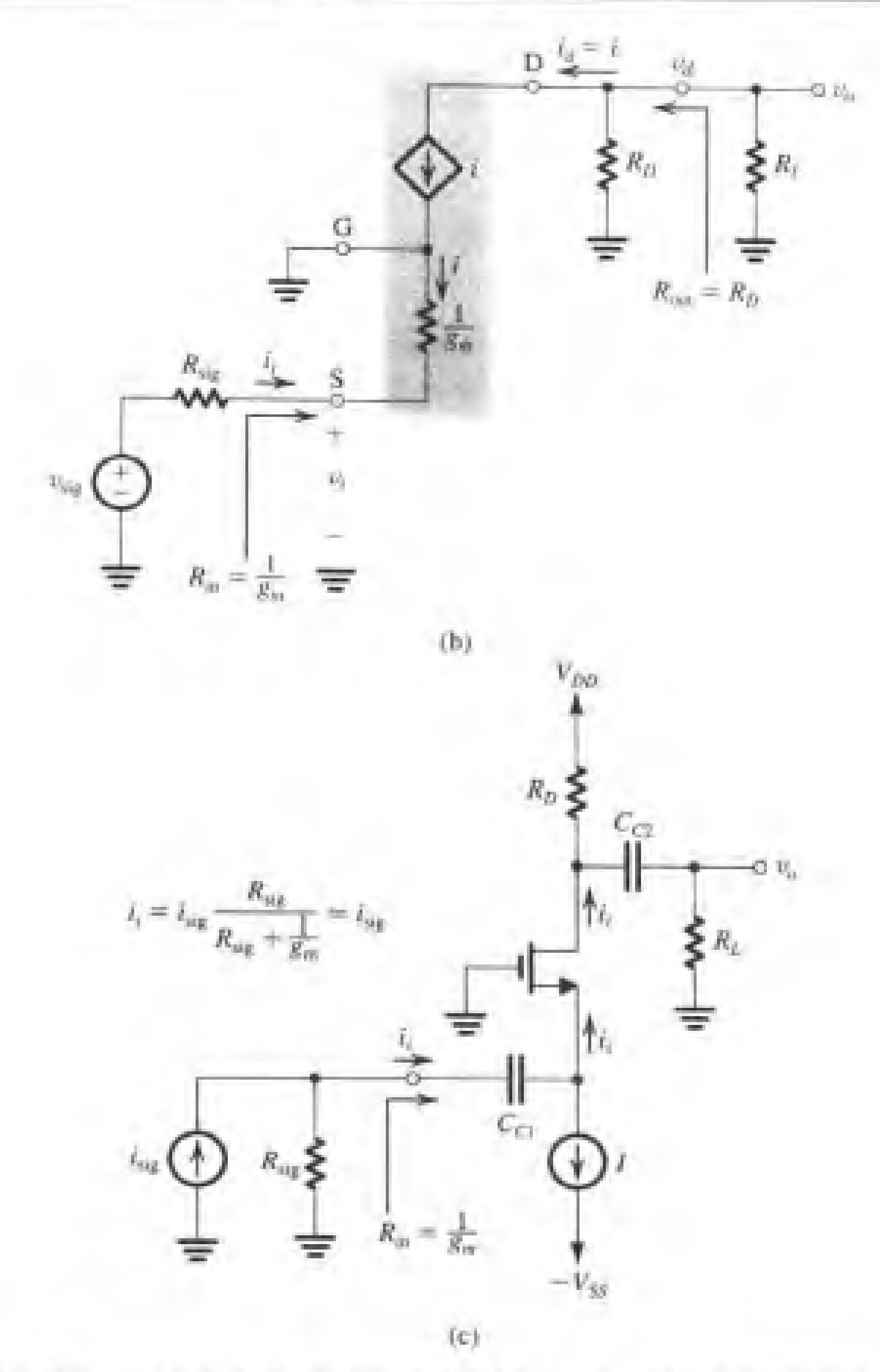


图 4.45（续）（b）（a）中电路的小信号等效电路；（c）输入电流信号的共栅放大器

从图 4.45（b）中的等效电路模型可以看出输入电阻为

$$R_{in} = \frac{1}{g_m} \tag{4.91}$$

这正是我们所期望的，这是因为此时是从 MOSFET 的源极看进去并且栅极接地[①]。此外，因为电路是单向化的，因此 R_{in} 与 R_L 无关，即 $R_{in} = R_i$。因为 g_m 为 1 mA/V 数量级，因此 CG 放大器的输入电阻相对较低（为 1 kΩ数量级）并且远低于 CS 放大器的输入电阻。可以得出，当信号耦合到 CG 放大器输入端时，可能会造成较大的信号强度丢失，因为

① 我们将在第 6 章介绍，当考虑 r_o 时，R_{in} 与 R_D 和 R_L 有关，并且与 $1/g_m$ 相差较大。

$$v_i = v_{sig} \frac{R_{in}}{R_{in} + R_{sig}} \tag{4.92}$$

因此，

$$v_i = v_{sig} \frac{\frac{1}{g_m}}{\frac{1}{g_m} + R_{sig}} = v_{sig} \frac{1}{1 + g_m R_{sig}} \tag{4.93}$$

从中可以看出为了减少信号强度的丢失，源电阻 R_{sig} 必须很小：

$$R_{sig} \ll \frac{1}{g_m}$$

可得出电流 i_i 为

$$i_i = \frac{v_i}{R_{in}} = \frac{v_i}{1/g_m} = g_m v_i$$

漏极电流 i_d 为

$$i_d = i = -i_i = -g_m v_i$$

因此输出电压为

$$v_o = v_d = -i_d (R_D \parallel R_L) = g_m (R_D \parallel R_L) v_i$$

得到电压增益为

$$A_v = g_m (R_D \parallel R_L) \tag{4.94}$$

从中可求得开路电压增益为

$$A_{vo} = g_m R_D \tag{4.95}$$

总电压增益为

$$G_v = \frac{R_{in}}{R_{in} + R_{sig}} A_v = \frac{\frac{1}{g_m}}{\frac{1}{g_m} + R_{sig}} A_v = \frac{A_v}{1 + g_m R_{sig}} \tag{4.96a}$$

可得

$$G_v = \frac{g_m (R_D \parallel R_L)}{1 + g_m R_{sig}} \tag{4.96b}$$

最后，通过观察可得输出电阻为

$$R_{out} = R_o = R_D \tag{4.97}$$

将这些公式与共源放大器的相应公式进行比较，可以看到：

1. 与 CS 放大器是反相放大器不同，CG 放大器为同相放大器。但这不是一个重要的考虑因素。
2. CS 放大器有非常高的输入电阻，而 CG 放大器的输入电阻较低。
3. CS 和 CG 放大器的 A_v 值几乎相等，而 CG 放大器的总电压增益要比 CS 放大器小 $1 + g_m R_{sig}$ 倍［见式（4.96b）］，这是由于 CG 电路的输入电阻较低所致。

上述现象并不表示 CG 电路具有什么特殊优点，为了深入理解这种电路，我们进一步考虑它的运行。图 4.45（c）所示是由内阻为 R_{sig} 的信号电流源 i_{sig} 激励的 CG 放大器。这当然可以是图 4.45（a）中使用的信号源的诺顿等效。现在使用 $R_{in}=1/g_m$ 和电流分流规则可以求得 i_{sig} 流进 MOSFET 源极的电流 i_i：

$$i_i = i_{sig}\frac{R_{sig}}{R_{sig}+R_{in}} = i_{sig}\frac{R_{sig}}{R_{sig}+\dfrac{1}{g_m}} \tag{4.98}$$

一般来说，$R_{sig} \gg 1/g_m$，并且

$$i_i \cong i_{sig} \tag{4.98a}$$

因此可以看到，该电路相对于输入信号电流源有相当低的输入电阻 $1/g_m$，这使得输入端的信号电流衰减非常小。然后，MOSFET 在漏极端重新产生这个电流，并具有很大的输出电阻。因此该电路从效果上来说相当于单位增益电流放大器或电流跟随器。共栅放大器的这个特性导致了它具有最广泛的应用，是作为一个称为 Cascode 电路的工作组态，在第 6 章中将介绍该电路。

与 CS 的高频性能相比（见 4.9 节），CG 放大器的另一个应用领域是使用其较好的高频性能我们将在第 6 章中介绍宽带放大器电路。这里应该注意，CG 放大器的低输入电阻在某些超高频应用中可能是一个优点，在这些应用中输入信号的连接可以被认为是传输线，CG 放大器的输入电阻 $1/g_m$ 是传输线的终端电阻（见习题 4.86）。

练习 4.34 考虑由图 4.42 所示电路设计得到的 CG 放大器，在练习 4.30 中已经分析过，并且分析结果显示在图 E4.30 中。注意，$g_m = 1$ mA/V，$R_D = 15$ kΩ。求当 $R_L = 15$ kΩ，$R_{sig} = 50$ Ω时的 R_{in}，R_{out}，A_{vo}，A_v 和 G_v。当 $R_{sig} = 1$ kΩ，10 kΩ，100 kΩ时总电压增益为多少？

答案：1 kΩ，15 kΩ，+15 V/V，+7.5 V/V，+6.85 V/V；+3.75 V/V；0.68 V/V；0.07 V/V

4.7.6 共漏或源极跟随放大器

最后一个单级 MOSFET 放大器组态是在漏极上建立信号地，并把它作为栅极与漏极之间的输入端口和源极与漏极之间的输出端口的公共端。与 CS 和 CG 放大器组态类似，该电路叫做共漏放大器或漏极接地放大器。但是，它通常被称为源极跟随器，我们很快就会讲到。

图 4.46（a）所示是基于图 4.42 所示电路的共漏放大器。因为漏极可作为信号地，因此不需要电阻 R_D，所以被略去。输入信号通过耦合电容 C_{C1} 进入 MOSFET 栅极，在 MOSFET 源极的输出信号通过电容 C_{C2} 耦合到负载电阻 R_L。

因为 R_L 与晶体管的源极串联（只考虑信号的时候，电流源 I 相当于开路），因此使用 MOSFET 的 T 模型更方便。此时就得到了如图 4.46（b）所示的共漏放大器的小信号等效电路。该电路的分析比较简单，过程如下：输入电阻 R_{in} 为

$$R_{in} = R_G \tag{4.99}$$

因此，

$$v_i = v_{sig}\frac{R_{in}}{R_{in}+R_{sig}} = v_{sig}\frac{R_G}{R_G+R_{sig}} \tag{4.100}$$

通常选择远大于 R_{sig} 的 R_G，因此，

$$v_i \cong v_{sig}$$

为了继续我们的分析，注意 r_o 从效果上来看相当于与 R_L 并联，结果是在栅极和地之间有一个电

阻$(1/g_m)$与$(R_L \| r_o)$串联。信号v_i呈现在该总电阻两端，因此可以使用电压分压法则来确定v_o为

$$v_o = v_i \frac{R_L \| r_o}{(R_L \| r_o) + \dfrac{1}{g_m}} \tag{4.101}$$

从中得到电压增益A_v为

$$A_v = \frac{R_L \| r_o}{(R_L \| r_o) + \dfrac{1}{g_m}} \tag{4.102}$$

开路电压增益A_{vo}为

$$A_{vo} = \frac{r_o}{r_o + \dfrac{1}{g_m}} \tag{4.103}$$

通常，$r_o \gg 1/g_m$，使得式（4.103）中从栅极到源极的开路电压增益几乎为 1。因此源极电压跟随栅极电压而变，所以它的一个常用名字为源极跟随器。在许多分立元件电路的应用中，$r_o \gg R_L$，使得式（4.102）可以近似为

$$A_v \simeq \frac{R_L}{R_L + \dfrac{1}{g_m}} \tag{4.102a}$$

合并式（4.100）和式（4.102）可以得到总电压增益G_v为

$$G_v = \frac{R_G}{R_G + R_{sig}} \frac{R_L \| r_o}{(R_L \| r_o) + \dfrac{1}{g_m}} \tag{4.104}$$

当$R_G \gg R_{sig}$，$r_o \gg 1/g_m$，$r_o \gg R_L$时，它接近于 1。

在隐含使用 MOSFET 小信号模型的电路图上直接进行小信号分析通常比较快，为了着重说明这一点，我们在图 4.46（c）中说明了这种分析方法。从中可以观察到为了将 MOSFET 的固有行为与厄尔利效应分离，我们提取出了输出电阻r_o，并对其予以单独表示。

确定输出电阻R_{out}的电路如图 4.46（d）所示。因为栅极电压为 0，往源极看，发现在源极和地之间电阻$1/g_m$与r_o并联，因此，

$$R_{out} = \frac{1}{g_m} \| r_o \tag{4.105}$$

通常，$r_o \gg 1/g_m$，将R_{out}简化为

$$R_{out} \simeq \frac{1}{g_m} \tag{4.106}$$

这表明R_{out}较低。

可以看出，尽管源极跟随器电路有较深的内部反馈（将在第 8 章中介绍），但是它的R_{in}与R_L无关（因此$R_i = R_{in}$），R_{out}与R_{sig}无关（因此$R_o = R_{out}$），原因是它的栅极电流为 0。

总之，源极跟随器有非常高的输入电阻、相当低的输出电阻和小于 1 但接近于 1 的电压增益。它的应用是把一个能提供合理大小的信号但具有高内阻的电压信号源连接到一个非常小的负载电阻，也就是说可作为单位增益的电压缓冲放大器。这种放大器的性能在 1.5 节中已经讨论过了。源极跟随器也可作为多级放大器的输出级使用，它可以使整个放大器具有较低的输出电阻，因此

使它可以提供相对较大的负载电流并且不会使增益减小（即输出信号电平没有很大减小）。我们将在第 14 章中介绍输出级的设计。

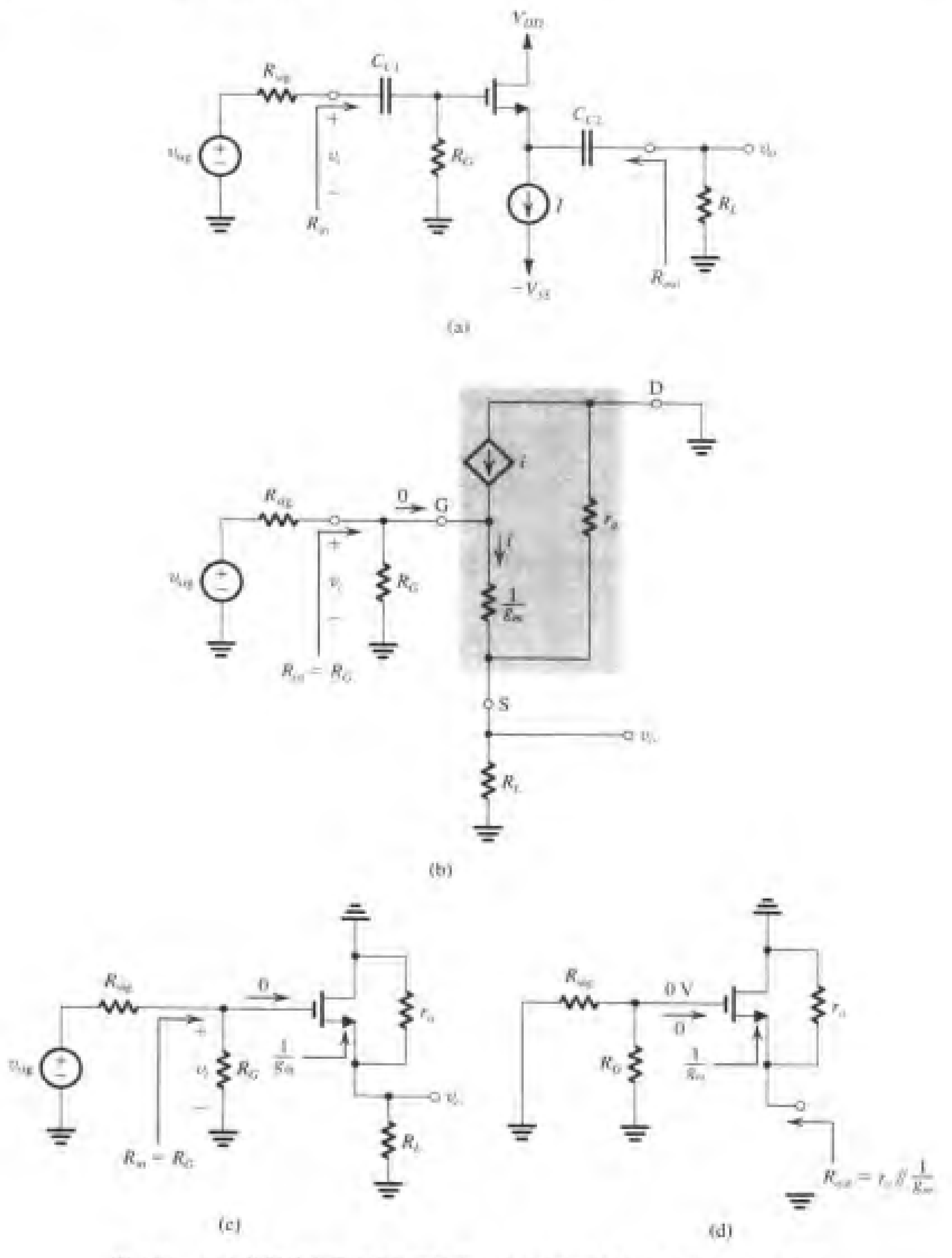


图 4.46　（a）共漏放大器或源极跟随器；（b）小信号等效电路模型；（c）直接在电路上进行小信号分析；（d）确定源极跟随器输出电阻 R_{out} 的电路

练习 4.35　考虑基于图 4.42 所示电路设计得到的如图 4.46（a）所示的源极跟随器，其分析结果显示在图 E4.30 中。具体地说，$g_m = 1$ mA/V，$r_o = 150$ kΩ。设 $R_L = 15$ kΩ，$R_{sig} = 1$ MΩ。（a）求考虑 r_o 和不考虑 r_o 时的 R_{in}，A_{vo}，A_v 和 R_{out}。（b）求考虑 r_o 时总的小信号电压增益 G_v。

答案：（a）$R_{in} = 4.7$ MΩ；$A_{vo} = 1$ V/V（不考虑 r_o），0.993 V/V（考虑 r_o）；$A_v = 0.938$（不考虑 r_o），0.932 V（考虑 r_o）；$R_{out} = 1$ kΩ（不考虑 r_o），0.993 kΩ（考虑 r_o）；（b）0.768 V/V

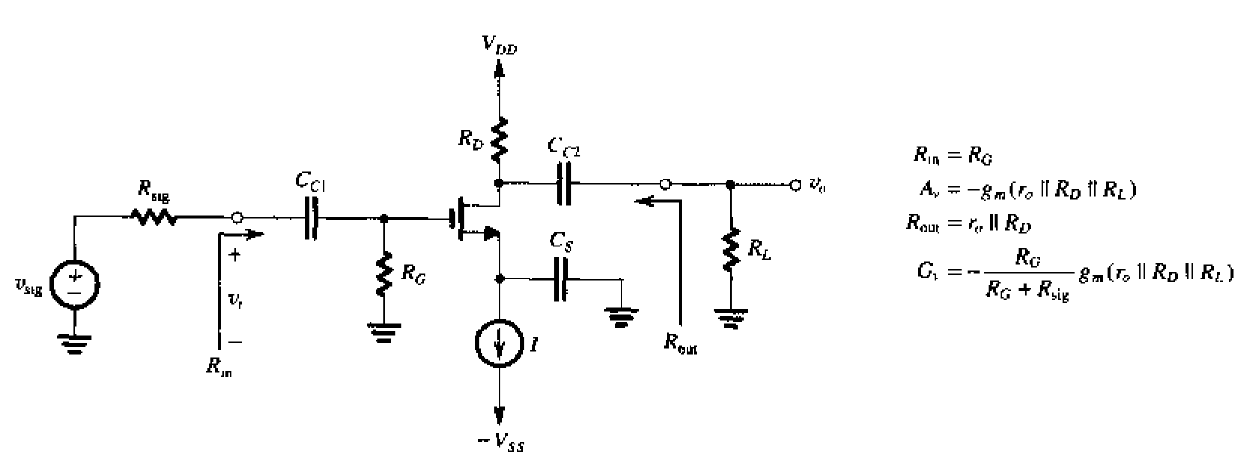
4.7.7　总结和比较

为了便于参考，表 4.4 给出了不同组态的分立单级 MOSFET 放大器的特性总结。除了本节中已有的对不同组态优缺点的评论以外，通过表 4.4 中的结果还可以得到下面的一些结论：

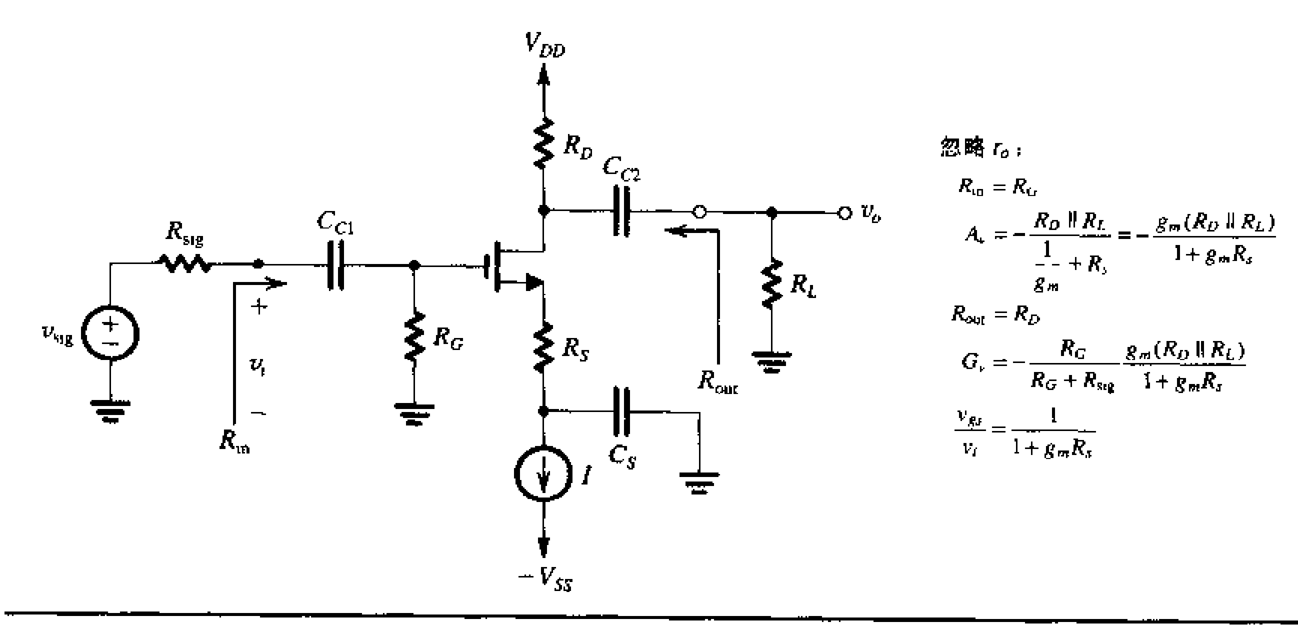
1. CS 组态最适合得到大增益。根据要求的增益大小，可以使用单级 CS 或者两级或三级 CS 的级联形式。
2. 在 CS 源极包括电阻 R_S 可以在很大程度上改善其性能（在后面几章中将会介绍），但却是以降低增益为代价的。

表 4.4　单级分立 MOS 放大器的特性


共源放大器



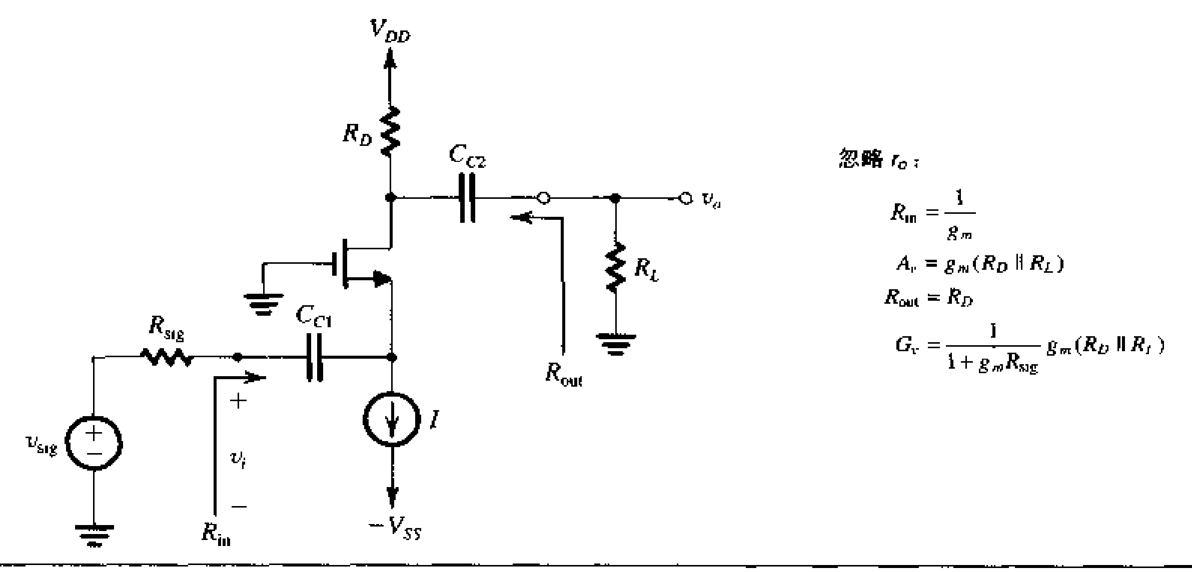
具有源极电阻的共源放大器



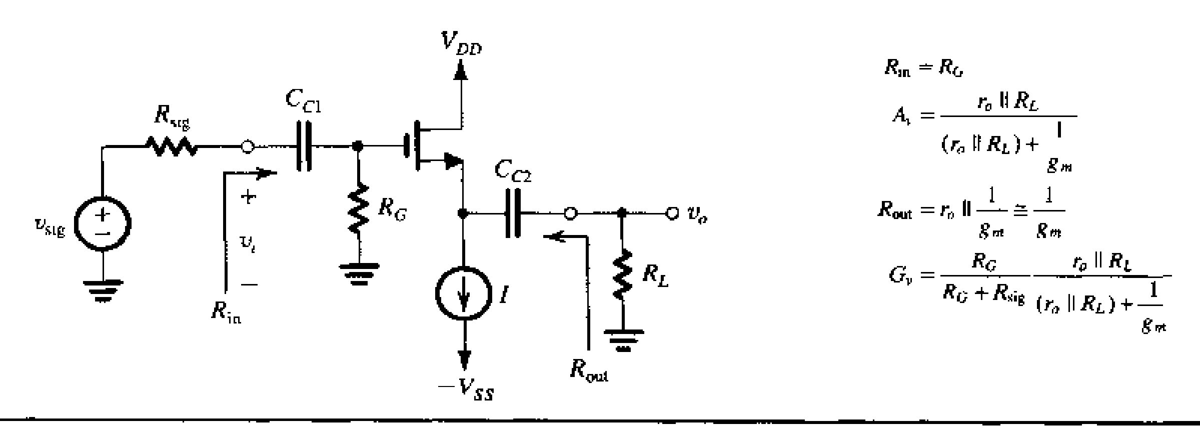
（续）



共栅放大器



共漏放大器或源极跟随器



3. CG 放大器的低输入电阻使得它只有在特定应用中才有用。其中包括不需要高输入电阻的电压放大器、利用 CG 组态良好的高频性能的电压放大器（见第 6 章）以及作为单位增益电流放大器或电流跟随器的放大器。后者引发了共栅组态最广泛的应用——Cascode 放大器（见第 6 章）。
4. 源极跟随器可用做电压缓冲器，它把高内阻的源连接到低电阻负载，并可用做多级放大器的输出级。

4.8 MOSFET 内部电容与高频模型

通过 4.1 节对 MOSFET 物理特性的介绍，我们已经知道器件具有内部电容。实际上，在推导 MOSFET 的伏安特性时，我们使用了其中的一个电容，即栅极到沟道的电容。但是我们隐含地做了这样的假定，即在该电容上的稳态电荷是瞬间获得的。换句话说，我们并不考虑对内部电容进行充电和放电所需的有限时间。结果我们推导得到的模型（如小信号模型）并不包括任何电容。使用这些模型可以计算与频率无关的恒定放大器增益。但是我们知道实际情况不是这样的，任何一个 MOSFET 放大器的增益在高频时都会下降。同样，MOSFET 数字逻辑反相器也有一个有限的非零传播延迟。为了能够预计这种结果，MOSFET 模型必须增加这些内部电容。这就是本节所要介绍的内容。

为了形象地理解不同内部电容的物理起因，读者可以参考图 4.1。在 MOSFET 中有两类基本的内部电容：

1. 栅极电容：栅极（多晶硅）与沟道组成一个平板电容器，氧化层作为该电容器的电介质。我们在 4.1 节中讨论了栅极电容（或氧化层电容），并将它的单位面积电容值记为 C_{ox}。
2. 源-衬底和漏-衬底耗尽层电容：这是由 n^+ 源区（也称为源扩散区）和 p 型衬底组成的以及 n^+ 漏区（漏扩散区）与衬底组成的反向偏置的 pn 结电容。这些电容的计算要用到第 3 章中介绍的内容。

这两类电容效应可以通过在 MOSFET 模型中的 4 个端子（G，D，S 和 B）之间增加电容来建模。这里总共有 5 个电容：C_{gs}，C_{gd}，C_{gb}，C_{sb} 及 C_{db}，其中的下标指出了电容在模型中的位置。下面将给出确定这 5 个电容值的方法。为此我们将分开讨论这两类电容效应。

4.8.1 栅极电容效应

栅极电容效应可以通过电容 C_{gs}，C_{gd} 及 C_{gb} 来建模。这些电容的值可以确定如下：

1. 当 MOSFET 工作在变阻区且 v_{DS} 较小时，沟道具有均匀深度。栅极-沟道电容为 WLC_{ox}，并且可以将它在漏端和源端之间分成相等的两个电容，因此，

$$C_{gs} = C_{gd} = \tfrac{1}{2}WLC_{ox} \qquad \text{（变阻区）} \tag{4.107}$$

显然，这是一个近似（如其他所有的建模一样），但是在变阻区工作时它的效果很好（即使 v_{DS} 不是很小）。

2. 当 MOSFET 工作在饱和区时，沟道呈锥形形状，并且在近漏端被夹断。这种情况下的栅极-沟道电容近似为 $\frac{2}{3}WLC_{ox}$，可以将它全部分配给 C_{gs}，而 C_{gd} 为 0（因为沟道在漏极夹断），因此，

$$\left.\begin{aligned} C_{gs} &= \tfrac{2}{3}WLC_{ox} \quad (4.108)\\ C_{gd} &= 0 \quad (4.109) \end{aligned}\right\} \quad \text{（饱和区）}$$

3. 当 MOSFET 截止时，沟道消失，因此 $C_{gs} = C_{gd} = 0$。但是我们可以将电容 WLC_{ox} 分配给栅极-衬底电容来对栅极电容效应建立模型，因此，

$$\left.\begin{aligned} C_{gs} &= C_{gd} = 0 \quad (4.110)\\ C_{gb} &= WLC_{ox} \quad (4.111) \end{aligned}\right\} \quad \text{（截止区）}$$

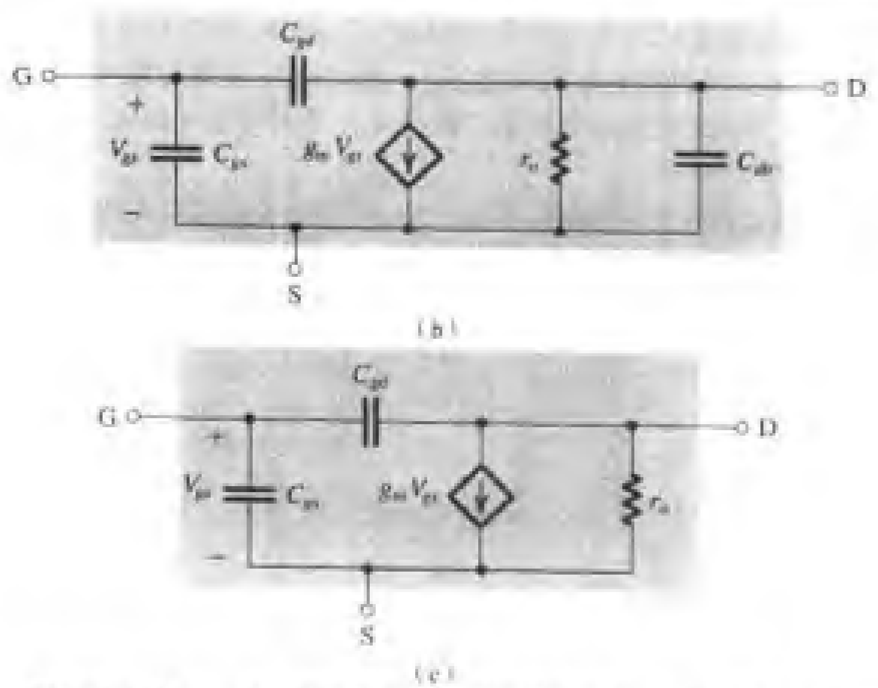
4. 在前面的所有公式中，C_{gs} 和 C_{gd} 都必须加上一个额外的小电容分量。这是由于源区和漏区扩散略微进入栅极氧化层（参考图 4.1）所产生的电容所致。如果重叠长度为 L_{ov}，可以看出重叠电容分量为

$$C_{ov} = WL_{ov}C_{ox} \tag{4.112}$$

L_{ov} 的典型值为 $0.05L$ 到 $0.1L$。

4.8.2 结电容

源区和漏区与衬底组成的两个反向偏置 pn 结的耗尽层电容可以利用 3.7.3 节得到的式（3.56）来确定。因此，对于源扩散，其源-衬底电容 C_{sb} 为



（b）

（c）

图 4.47（续） （b）源极连接到衬底的等效电路；（c）忽略（b）电路中的 C_{db} 后得到的等效电路（为了简化分析）

4.8.4 MOSFET 单位增益频率 f_T

MOSFET 放大器高频工作时的一个指标是单位增益频率 f_T。它定义为共源组态的短路电流增益变为 1 时的频率。图 4.48 给出了 MOSFET 混合π模型，源极作为输入端口和输出端口的公共端。为了确定短路电流增益，由电流源信号 I_i 输入，而输出端短路[1]。很容易就可以看出短路时的电流 I_o 为

$$I_o = g_m V_{gs} - sC_{gd}V_{gs}$$

因为 C_{gd} 较小，因此在所关心的频率处该方程的第二项可以忽略：

$$I_o = g_m V_{gs} \tag{4.115}$$

由图 4.48，可以用输入电流 I_i 来表示 V_{gs}：

$$V_{gs} = I_i / s(C_{gs} + C_{gd}) \tag{4.116}$$

合并式（4.115）和式（4.116）可得到短路电流增益为

$$\frac{I_o}{I_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \tag{4.117}$$

对于物理频率 $s = j\omega$，可以得到电流增益的幅度变为 1 时的角频率为

$$\omega_T = g_m / (C_{gs} + C_{gd})$$

因此单位增益频率 $f_T = \omega_T / 2\pi$ 为

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \tag{4.118}$$

[1] 注意，因为现在处理的量（在这个例子中是电流）是频率的函数，或者是拉普拉斯变量 s 的函数，符号使用具有小写下标的大写字母。这符合第 1 章中介绍的符号标注规范。

因为 f_T 与 g_m 成正比并与 FET 内部电容成反比，因此 f_T 越高，FET 作为放大器使用时就越有效。使用式（4.70）替代 g_m，可以得到用偏置电流 I_D 表示的 f_T（见习题 4.92）。同样，也可以用式（4.69）来代替 g_m，得到用过驱动电压 V_{OV} 表示的 f_T（见习题 4.93）。这两种表示都可以用来进一步理解 MOSFET 的工作特性。

f_T 的典型值：用较早的技术（例如，5 μm CMOS 工艺）制造时大约为 100 MHz，用现在的高速技术（例如，0.13 μm CMOS 工艺）制造时为几个 GHz。

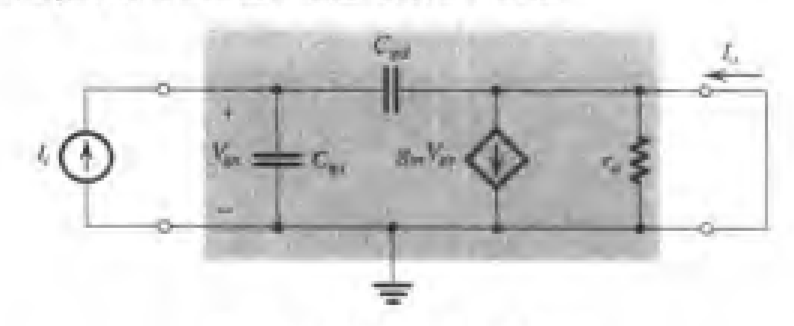


图 4.48 确定短路电流增益 I_o/I_i

练习 4.37 一个 n 沟道 MOSFET 的电容由练习 4.36 求得，计算它的 f_T。假设工作在 100 μA，$k_n' = 160\ \mu A/V^2$。

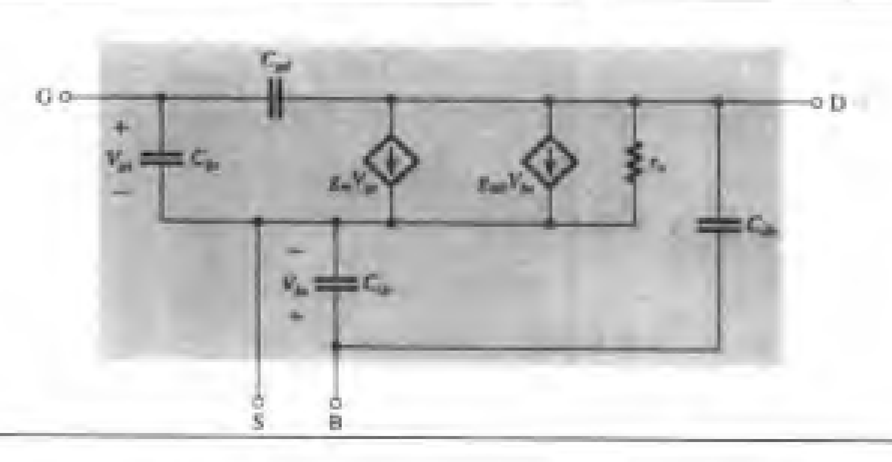
答案：3.7 GHz

4.8.5 总结

表 4.5 给出了本节的总结。

表 4.5 MOSFET 高频模型


模型



模型参数

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{OV} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{OV}}$$

$$C_{sb} = \frac{C_{sb0}}{\sqrt{1 + \frac{V_{SB}}{V_0}}}$$

$$g_{mb} = \chi g_m = \frac{\gamma}{2\sqrt{2\phi_f + V_{SB}}} g_m$$

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}}$$

$$r_o = V_A / I_D$$

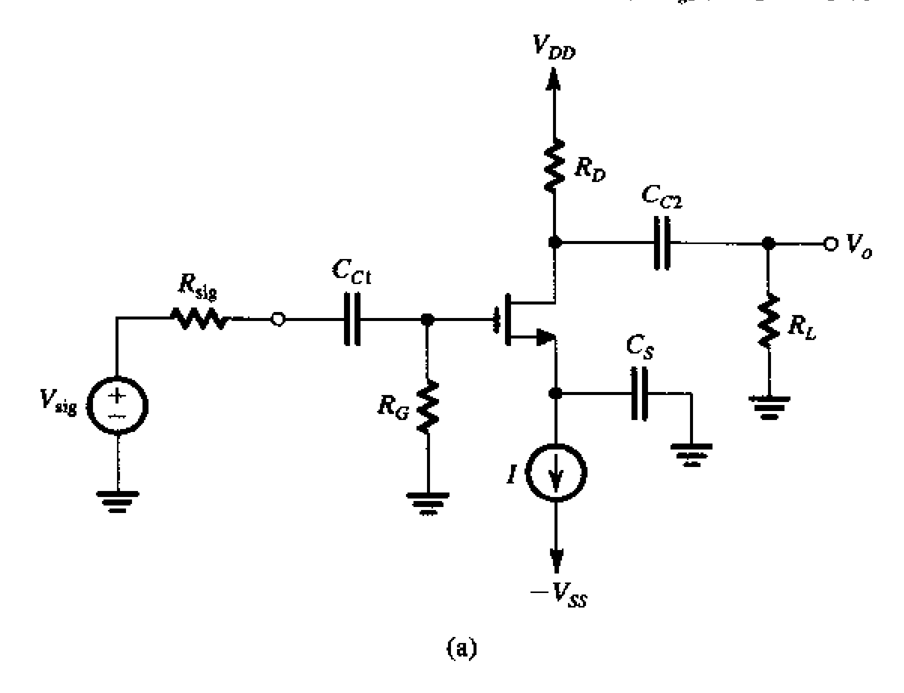
$$C_{gs} = \frac{2}{3} W L C_{ox} + W L_{ov} C_{ox}$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

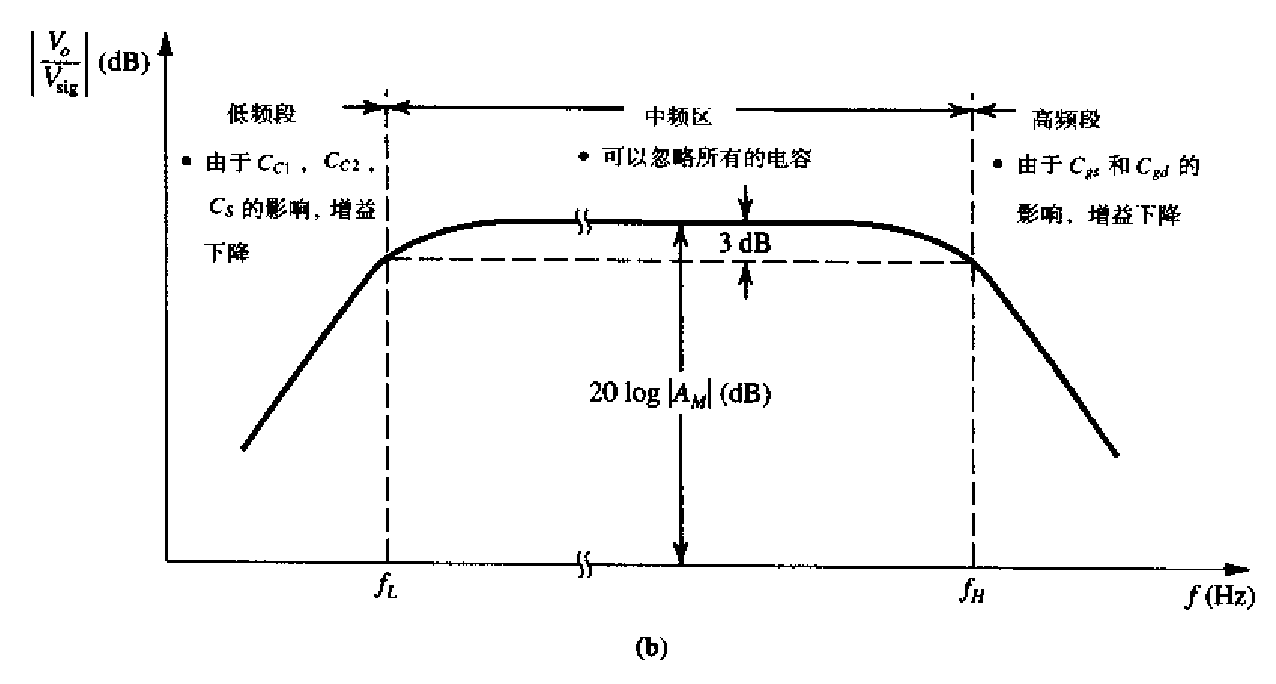
$$C_{gd} = W L_{ov} C_{ox}$$

4.9 CS 放大器的频率响应[①]

本节将介绍图 4.49（a）所示 MOSFET 共源放大器的增益与输入信号频率的相关性。在开始之前，注意下面的术语：因为我们处理的电压和电流是频率或复频率 s 的函数，因此将使用具有小写下标的大写字母的符号来表示它们（例如，V_{gs}，V_d 及 V_o）。



(a)



(b)

图 4.49 （a）电容耦合共源放大器；（b）（a）中的放大器的频率响应，绘出了三个频段

4.9.1 三个频段

在 4.7.3 节介绍图 4.49（a）所示电路的时候，耦合电容 C_{C1}，C_{C2} 和旁路电容 C_S 被假定为对所

① 我们建议读者在学习这一节之前，复习一下 1.6 节。

有感兴趣的频率都呈现短路，并且还忽略了 MOSFET 的内部电容，即在图 4.47（c）所示的 MOSFET 高频模型中的 C_{gs} 和 C_{gd} 足够小，对所有信号频率都呈现开路。结果是忽略了所有的电容效应，在 4.7.3 节中推导出来的增益表达式与频率无关。但是，实际上这种情况只能应用在有限的频率带宽上，尽管该带宽较宽，如图 4.49（b）中说明的那样，它显示了 CS 放大器总电压增益的幅度 $|G_v|$ 对频率的关系。可以看出，在一个较宽的频率范围内，增益几乎保持不变，这个带宽叫做中频区。中频区的增益值 A_M 等于在 4.7.2 节中得到的总电压增益 G_v，即

$$A_M = \frac{V_o}{V_{sig}} = -\frac{R_G}{R_G + R_{sig}} g_m(r_o \parallel R_D \parallel R_L) \tag{4.119}$$

图 4.49（b）还显示出信号频率低于和高于中频区时的增益下降。在低频段增益的下降是由于 C_{C1}、C_{C2} 及 C_S 不再相当于短路，虽然它们都是大电容（在μF 级），但是随着频率的减小，它们的阻抗在增加。另一方面，在高频段增益的下降是 C_{gs} 和 C_{gd} 不再能够作为开路的结果，尽管它们非常小［对于分立器件是在皮法（pF）或零点几皮法的范围，对于集成器件则更小］，但是在高频时它们的阻抗在减小。在本节中，我们的目标是讨论这两类电容在高频段和低频段影响放大器增益的机理。因此我们能够确定频率 f_H 和 f_L，它们定义了中频区的范围，如图 4.49（b）所示。

显然，中频区是放大器有用的频率带宽。通常，f_H 和 f_L 是其增益比中频增益下降 3 dB 时的频率。放大器带宽或 3 dB 带宽定义为下限 3 dB 频率和上限 3 dB 频率之间的差值：

$$BW = f_H - f_L \tag{4.120}$$

因为通常 $f_L \ll f_H$，因此，

$$BW \cong f_H \tag{4.121}$$

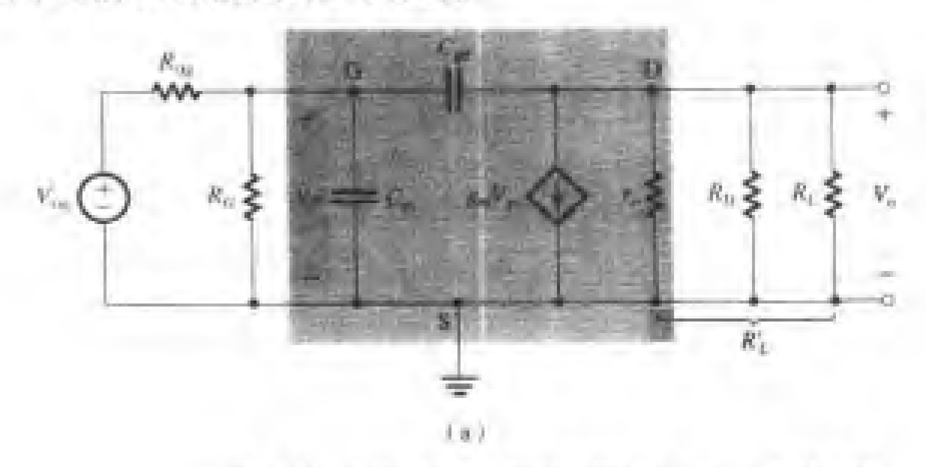
放大器的一个指标是它的增益带宽积，定义为

$$GB = |A_M| BW \tag{4.122}$$

后面可以看出，在放大器的设计中，通常可能通过对增益的牺牲来获得较好的带宽。实现这一点的一个方法就是增加一个源衰减电阻 R_S，如在 4.7.4 节所述。

4.9.2　高频响应

为了确定图 4.49（a）在高频时的增益或传输函数，特别是上限 3 dB 频率 f_H，可采用图 4.47（c）所示的高频模型来替代 MOSFET。在这些频率点上，C_{C1}、C_{C2}、C_S 相当于短路。结果得到如图 4.50（a）所示的高频放大器等效电路。



（a）

图 4.50　确定 CS 放大器的高频响应：（a）等效电路

$R'_{sig} = R_{sig} // R_G$

$R'_L = r_o // R_D // R_L$

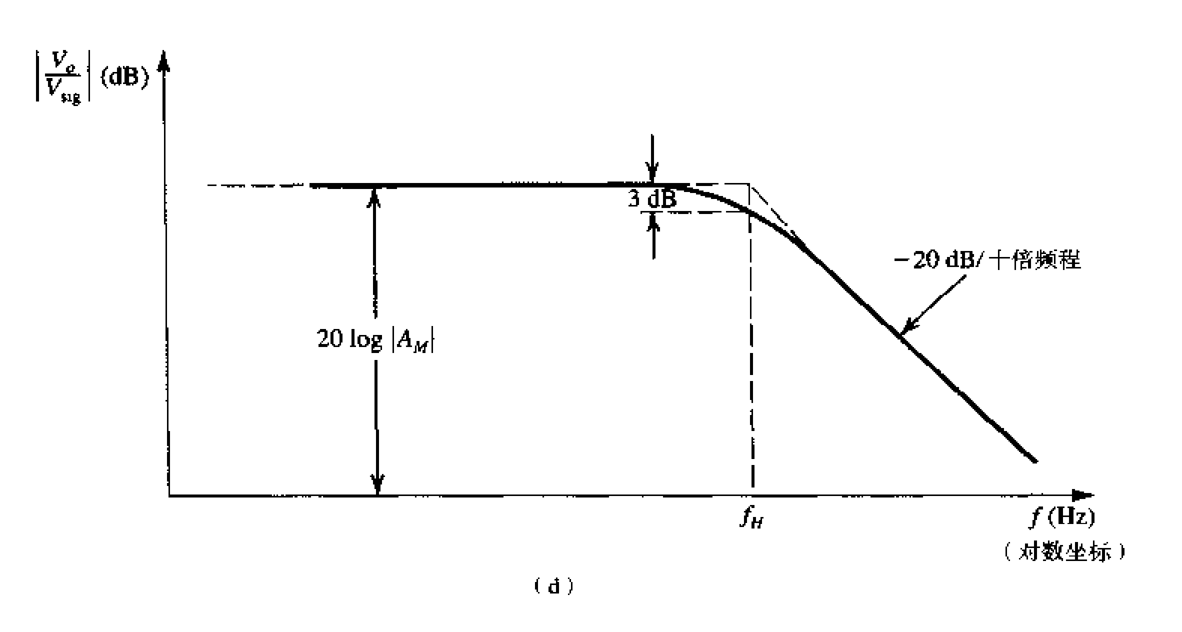
（b）

$V_o = -g_m R'_L V_{gs}$

$C_{eq} = C_{gd}(1 + g_m R'_L)$

C_{in}

（c）



（d）

图 4.50（续）　确定 CS 放大器的高频响应：（b）在（a）的输入端和输出端进行简化后的电路；（c）在输入端用等效电容 C_{eq} 替代 C_{gd} 得到的等效电路；（d）频率响应输出，是一个低通 STC 电路的响应

图 4.50（a）所示的等效电路可以通过输入端的戴维南等效以及在输出端合并三个并联的电阻来简化。简化后的电路如图 4.50（b）所示。如果能够处理连接在输出节点和输入端的桥式电容 C_{gd}，

那么就可以进一步简化该等效电路。为此首先考虑输出节点。可以看出，负载电流是$(g_mV_{gs}-I_{gd})$，其中，(g_mV_{gs})是晶体管的输出电流，I_{gd}是流过小电容C_{gd}的电流。对f_H附近的频率，因为在中频区的边缘处，因此可以合理地假设I_{gd}远小于(g_mV_{gs})，结果是V_o可以近似为

$$V_o \cong -(g_mV_{gs})R'_L = -g_mR'_LV_{gs} \qquad (4.123)$$

其中，

$$R'_L = r_o \parallel R_D \parallel R_L$$

因为$V_o = V_{ds}$，式（4.123）表明从栅极到漏极的增益为$-g_mR'_L$，与在中频时的值相同。现在可以求得电流I_{gd}为

$$\begin{aligned} I_{gd} &= sC_{gd}(V_{gs}-V_o) \\ &= sC_{gd}[V_{gs}-(-g_mR'_LV_{gs})] \\ &= sC_{gd}(1+g_mR'_L)V_{gs} \end{aligned}$$

在图 4.50（b）中，XX'的左半边电路相当于只知道右边有一个流过电流I_{gd}的电容C_{gd}存在。因此可以用一个栅极和地之间的等效电容C_{eq}替代C_{gd}，只要保证C_{eq}获得等于I_{gd}的电流即可，即

$$sC_{eq}V_{gs} = sC_{gd}(1+g_mR'_L)V_{gs}$$

可以得到

$$C_{eq} = C_{gd}(1+g_mR'_L) \qquad (4.124)$$

使用C_{eq}可以简化输入端的等效电路，如图 4.50（c）所示，并且可以知道图 4.50（c）所示的电路是低通类型的单时间常数（STC）电路（见 1.6 节和附录 D）。参考表 1.2，可以用下面的形式来表示 STC 电路的输出电压V_{gs}：

$$V_{gs} = \left(\frac{R_G}{R_G+R_{\text{sig}}}V_{\text{sig}}\right)\frac{1}{1+\dfrac{s}{\omega_0}} \qquad (4.125)$$

其中，ω_0是 STC 电路的角频率或截止频率：

$$\omega_0 = 1/C_{\text{in}}R'_{\text{sig}} \qquad (4.126)$$

其中，

$$C_{\text{in}} = C_{gs}+C_{eq} = C_{gs}+C_{gd}(1+g_mR'_L) \qquad (4.127)$$

和

$$R'_{\text{sig}} = R_{\text{sig}} \parallel R_G \qquad (4.128)$$

合并式（4.123）和式（4.125）可得到下面的 CS 放大器高频增益的表达式：

$$\frac{V_o}{V_{\text{sig}}} = -\left(\frac{R_G}{R_G+R_{\text{sig}}}\right)(g_mR'_L)\frac{1}{1+\dfrac{s}{\omega_0}} \qquad (4.129)$$

可以表示成

$$\frac{V_o}{V_{\text{sig}}} = \frac{A_M}{1+\dfrac{s}{\omega_H}} \qquad (4.130)$$

其中，中频增益A_M由式（4.119）给出，ω_H是上限 3 dB 频率：

$$\omega_H = \omega_0 = \frac{1}{C_{in} R'_{sig}} \tag{4.131}$$

和

$$f_H = \frac{\omega_H}{2\pi} = \frac{1}{2\pi C_{in} R'_{sig}} \tag{4.132}$$

现在可以看出，高频响应就是低通 STC 网络的响应，它的 3 dB 频率 f_H 由时间常数 $C_{in}R'_{sig}$ 确定。图 4.50（d）所示的是高频增益的幅度特性。

在结束本节之前，我们有如下几点说明：

1. 上限 3 dB 频率由 $R'_{sig} = R_{sig} \parallel R_G$ 和 $C_{in} = C_{gs} + C_{gd}(1+g_m R'_L)$ 的相互作用确定。因为偏置电阻 R_G 通常非常大，以至于可以忽略，因此 $R'_{sig} \cong R_{sig}$，为信号源电阻。可见 R_{sig} 越大，f_H 越小。
2. 总的输入电容 C_{in} 通常主要由 C_{eq} 确定，又由于 C_{gd} 的倍增效应，C_{eq} 会变大。因此，尽管 C_{gd} 通常很小，但由于 $(1+g_m R'_L)$ 因子的倍增效应，它对放大器频率响应的影响可能非常大，该因子近似等于放大器的中频增益。
3. 因为 C_{gd} 连接在两个节点之间，这两个节点的电压与一个较大的负增益 $(-g_m R'_L)$ 相关联，因此产生 C_{gd} 的倍增效应。该效应称为米勒效应，$(1+g_m R'_L)$ 称为米勒倍增因子。正是由于米勒效应使得 CS 放大器具有较大的总输入电容 C_{in} 以及较小的 f_H。
4. 为了扩展 MOSFET 放大器的高频响应，我们必须找到一种组态，在这种组态中，应该不存在米勒效应或者至少应该减小。我们将在第 6 章中详细讨论这一点。
5. 通过上面的分析可以得到 STC 或单极点响应，这是一个简化的结果。具体地说是基于这样一个假设，即相对于 $g_m V_{gs}$ 来说可以忽略 I_{gd}，这个假设在频率不大于 f_H 的时候大多应用得比较好。图 4.50（c）所示电路的精确分析在第 6 章中讲解，但是上面的结果足以满足现在的要求。

例题 4.12　求一个 CS 放大器的中频增益 A_M 和上限 3 dB 频率 f_H，该放大器由内电阻 $R_{sig} = 100\ \text{k}\Omega$ 的信号源输入，并且有 $R_G = 4.7\ \text{M}\Omega$，$R_D = R_L = 15\ \text{k}\Omega$，$g_m = 1\ \text{mA/V}$，$r_o = 150\ \text{k}\Omega$，$C_{gs} = 1\ \text{pF}$，$C_{gd} = 0.4\ \text{pF}$。

解：

$$A_M = -\frac{R_G}{R_G + R_{sig}} g_m R'_L$$

其中，

$$R'_L = r_o \parallel R_D \parallel R_L = 150 \parallel 15 \parallel 15 = 7.14\ \text{k}\Omega$$
$$g_m R'_L = 1 \times 7.14 = 7.14\ \text{V/V}$$

因此，

$$A_M = -\frac{4.7}{4.7+0.1} \times 7.14 = -7\ \text{V/V}$$

等效电容 C_{eq} 为

$$C_{eq} = (1+g_m R'_L)C_{gd} = (1+7.14) \times 0.4 = 3.26\ \text{pF}$$

可以得到总输入电容 C_{in} 为

$$C_{in} = C_{gs} + C_{eq} = 1 + 3.26 = 4.26\ \text{pF}$$

上限 3 dB 频率 f_H 为

$$f_H = \frac{1}{2\pi C_{in}(R_{sig} \parallel R_G)}$$

$$= \frac{1}{2\pi \times 4.26 \times 10^{-12}(0.1 \parallel 4.7) \times 10^6}$$

$$= 382\ \text{kHz}$$

■

练习 4.38　对于例题 4.12 中给出的 CS 放大器，求当信号源电阻减小到 10 kΩ时的 A_M 和 f_H。

答案：−7.12 V/V；3.7 MHz

练习 4.39　如果可以用另一个具有相同的 C_{gs} 和更小的 C_{gd} 的 MOSFET 来替代例题 4.12 中的放大器所使用的 MOSFET，为了至少获得 1 MHz 的 f_H，最大的 C_{gd} 值为多少？

答案：0.08 pF

4.9.3　低频响应

为了确定共源放大器的低频响应或传输函数，我们在图 4.51（a）中给出了去掉直流电源的电路（电流源 I 开路，电压源 V_{DD} 短路）。我们将直接在电路上进行小信号分析，但是忽略 r_o。这是为了使分析简单从而把注意力集中在重要的问题上，r_o 对放大器的低频性能影响较小，这可以通过 SPICE 仿真来验证（见 4.12 节）。

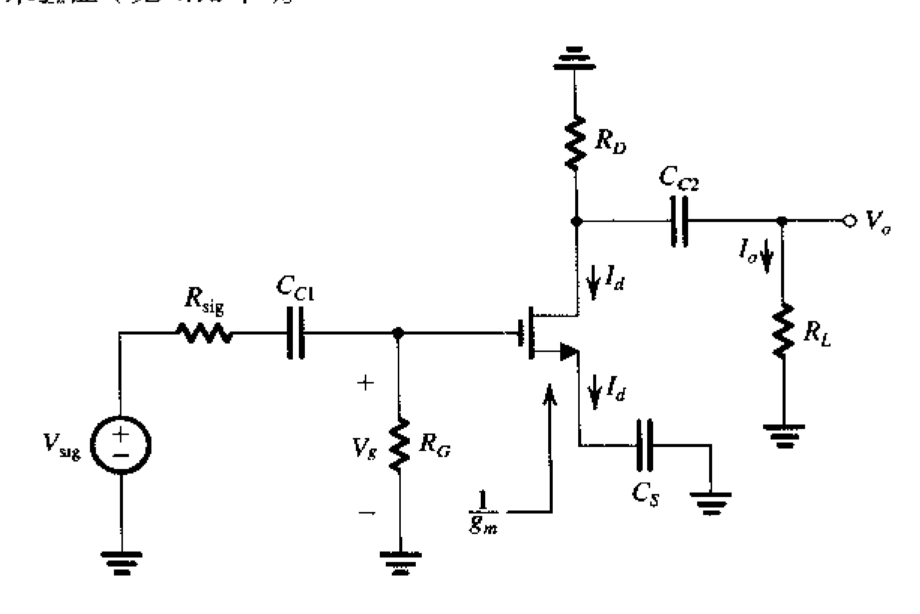


图 4.51　CS 放大器的分析，确定它的低频传输函数，为了简化分析，忽略 r_o

首先对信号发生器进行分析，求出 V_{sig} 呈现在晶体管栅极的部分，即

$$V_g = V_{sig} \frac{R_G}{R_G + \frac{1}{sC_{C1}} + R_{sig}}$$

可以将上式重新写为

$$V_g = V_{sig}\frac{R_G}{R_G + R_{sig}}\frac{s}{s + \frac{1}{C_{C1}(R_G + R_{sig})}} \quad (4.133)$$

可以看出从信号发生器到放大器输入端的信号传输的表达式有一个与频率相关的因子。通过 1.6 节对频率响应的介绍（参考附录 D），可知该因子是高通 STC 网络的传输函数，它的截止或角频率 $\omega_0 = 1/C_{C1}(R_G + R_{sig})$，因此耦合电容 C_{C1} 的影响是引入高通 STC 响应，它具有的角频率记为

$$\omega_{P1} = \omega_0 = \frac{1}{C_{C1}(R_G + R_{sig})} \quad (4.134)$$

接下来确定漏极电流 I_d，用 V_g 除以源极的总阻抗 [$(1/g_m)+(1/sC_S)$]，得到

$$I_d = \frac{V_g}{\frac{1}{g_m} + \frac{1}{sC_s}}$$

上式可以重新写为

$$I_d = g_m V_g \frac{s}{s + \frac{g_m}{C_s}} \quad (4.135)$$

可以看出，C_S 引入了一个与频率有关的因子，它也是 STC 高通类型。因此，放大器获得了另一个角频率：

$$\omega_{P2} = \frac{g_m}{C_s} \quad (4.136)$$

最后求 V_o。首先使用电流分流法则来确定 I_d 分流给 R_L 部分的电流：

$$I_o = \ I_d \frac{R_D}{R_D + \frac{1}{sC_{C2}} + R_L}$$

然后用 I_o 乘以 R_L 得到

$$V_o = I_o R_L = -I_d \frac{R_D R_L}{R_D + R_L}\frac{s}{s + \frac{1}{C_{C2}(R_D + R_L)}} \quad (4.137)$$

从中可以看出 C_{C2} 引入了第三个 STC 高通因子，给出了放大器的第三个角频率：

$$\omega_{P3} = \frac{1}{C_{C2}(R_D + R_L)} \quad (4.138)$$

合并式（4.133）、式（4.135）和式（4.137），并且将式（4.134）、式（4.136）和式（4.138）得到的角频率代入，可以得到总的放大器低频传输函数为

$$\frac{V_o}{V_{sig}} = -\left(\frac{R_G}{R_G + R_{sig}}\right)[g_m(R_D \| R_L)]\left(\frac{s}{s + \omega_{P1}}\right)\left(\frac{s}{s + \omega_{P2}}\right)\left(\frac{s}{s + \omega_{P3}}\right) \quad (4.139)$$

在式（4.139）中用 $j\omega$ 代替 s 并求出 $|V_o/V_{sig}|$ 可以得到低频幅频响应。但是在许多情况下，这三个角频率中的某一个可以远大于其他两个，比如说大 4 倍。在这种情况下，最高的转折点频率确定了下限 3 dB 频率 f_L 而不需要进行额外的手工分析。例如，因为 ω_{P2} 的表达式中包含了 g_m [见

式（4.136）]，因此ω_{P2}通常要高于ω_{P1}和ω_{P3}。如果ω_{P2}与ω_{P1}和ω_{P3}分得足够开，那么

$$f_L \cong f_{P2}$$

这意味着在这种情况下，旁路电容确定了中频区的低端。图 4.52 给出了 CS 放大器低频增益的草图，其中的三个角频率分得很开，因此它们的产生的效果完全不同。可以看出，每经过一个角频率，增益函数渐近线的斜率就增加 20 dB/十倍频程。熟悉零极点的读者可以识别出f_{P1}、f_{P2}和f_{P3}是放大器的三个实际的低频极点的频率。在第 6 章的后面及其后面的章节中我们将使用零极点的概念和相关的 s 平面概念。

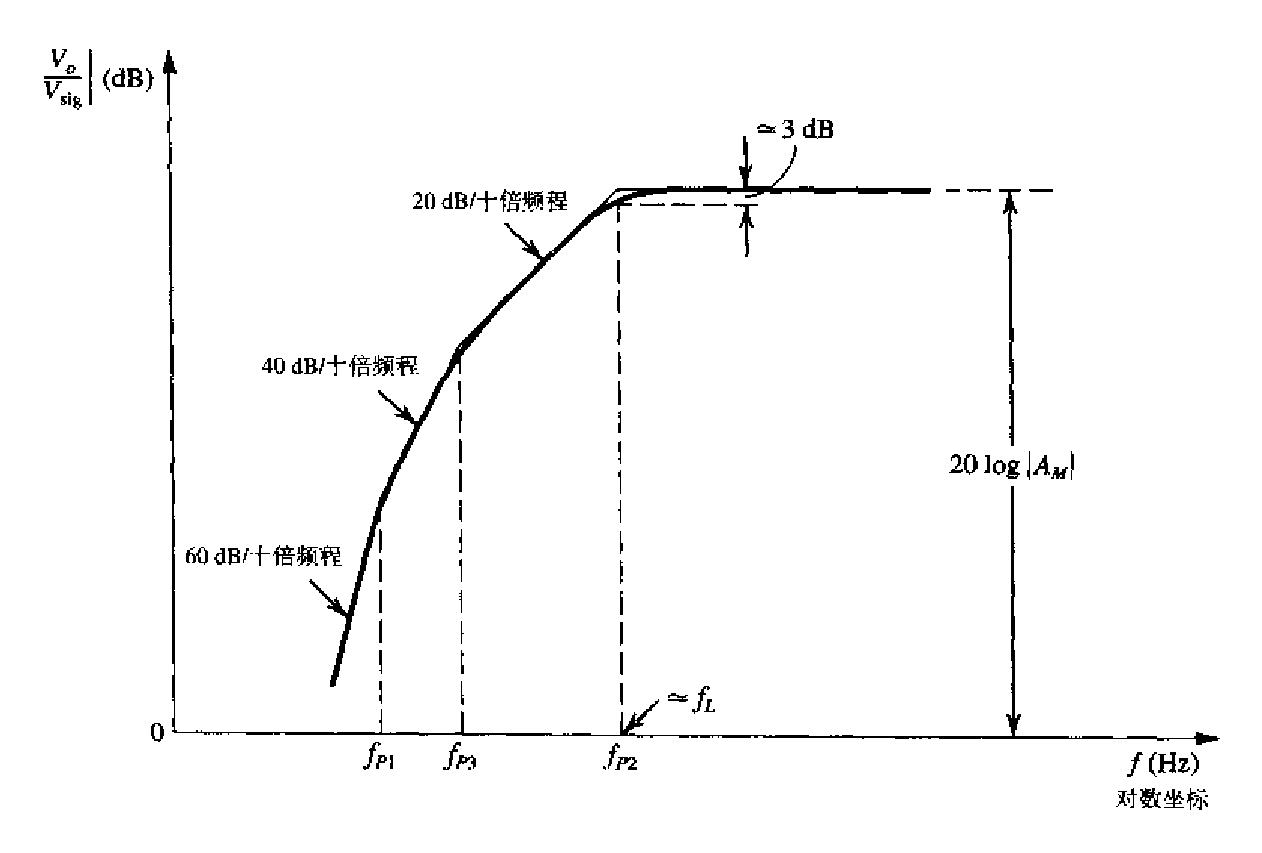


图 4.52　CS 放大器的低频幅频响应的草图，其中的三个角频率分得很开，因此产生不同的效果

在结束本节之前，要求读者应该能够快速求得时间常数从而可得到与三个电容相关的角频率。这个过程很简单：

1. 将V_{sig}减小到 0。
2. 分开考虑每个电容，即，假定另两个电容相当于短路。
3. 对每一个电容求从其两端看进去的总电阻。就是这个电阻确定了与该电容相关的时间常数。

读者可以对C_{C1}，C_{C2}，C_S这三个电容应用上述步骤，从而通过观察写出式（4.134）、式（4.136）和式（4.138）。

选择耦合电容和旁路电容的值　现在讨论如何选择C_{C1}、C_{C2}和C_S的值。设计的目标是使下限 3 dB 频率f_L处于指定的值并具有最小的电容值。如上所述，C_S产生三个角频率的最大值，通过选择C_S可使它的角频率$f_{P2}=f_L$，但总电容要最小。然后确定另外两个角频率的位置，比如说比f_{P2}的频率低 5 到 10 倍。但是f_{P1}和f_{P3}选择的值不应该太小，因为这可能需要较大的C_{C1}和C_{C2}。我们通过一个例子来说明设计过程。

例题 4.13 为放大器的耦合电容 C_{C1}，C_{C2} 和旁路电路 C_S 选择合适的值。该放大器的高频响应通过例题 4.12 中的分析得到。设放大器有 $R_G = 4.7\ \text{M}\Omega$，$R_D = R_L = 15\ \text{k}\Omega$，$g_m = 1\ \text{mA/V}$，$R_{sig} = 100\ \text{k}\Omega$。要求 f_L 为 100 Hz，并且最近的角频率至少低 10 倍。

解：选择 C_S 使得

$$f_{P2} = \frac{1}{2\pi(C_s / g_m)} = f_L$$

因此，

$$C_S = \frac{g_m}{2\pi f_L} = \frac{1\times10^{-3}}{2\pi\times100} = 1.6\ \mu\text{F}$$

当 $f_{P1} = f_{P3} = 10$ Hz 时，可得

$$10 = \frac{1}{2\pi C_{C1}(0.1+4.7)\times10^6}$$

可以得到

$$C_{C1} = 3.3\ \text{nF}$$

和

$$10 = \frac{1}{2\pi C_{C2}(15+15)\times10^3}$$

最后可以得到

$$C_{C2} = 0.53\ \mu\text{F}$$

■

练习 4.40 一个 CS 放大器有 $C_{C1} = C_{C2} = C_S = 1\mu\text{F}$，$R_G = 10\ \text{M}\Omega$，$R_{sig} = 100\ \text{k}\Omega$，$g_m = 2\ \text{mA/V}$，$R_D = R_L = 10\ \text{k}\Omega$，求 A_M，f_{P1}，f_{P2}，f_{P3} 和 f_L。

答案：−9.9 V/V；0.016 Hz；318.3 Hz；8 Hz；318.3 Hz

4.9.4 最后的说明

其他组态放大器的频率响应将在第 6 章中介绍。

4.10 CMOS 数字逻辑反相器

自 1970 年以来，互补 MOS 或者 CMOS 逻辑电路已经出现在标准封装中并被用于常见的数字电路设计之中。这样的封装包括了逻辑门及其他数字模块，每一个封装内的门的数量从几个（小规模集成电路或 SSI）到几十个（中规模集成电路或 MSI）。

在 20 世纪 70 年代早期，当大规模和超大规模集成电路（LSI 和 VLSI；每个芯片有几百到几十万个门）时代开始时，当时选择的制造工艺在电路中只使用 n 沟道 MOS 晶体管，称为 NMOS。实际上，早期的 VLSI 电路（比如早期的微处理器）用的就是 NMOS 技术。尽管在那时已经知道了 CMOS 设计的灵活性和其他优点，但当时 CMOS 工艺在设计经济的高密度 VLSI 时太复杂。然而当有了先进的制造工艺后，这种情况很快发生了改变。事实上，CMOS 工艺现已在模拟和数字集成电路里完全取代了 NMOS 工艺。

对任何数字集成电路技术，基本的电路单元是逻辑反相器[①]。一旦反相器的工作原理和特性完全被了解，这些结果可以被用于设计其他逻辑门和复杂电路。本节将介绍 CMOS 反相器。对 CMOS 反相器和逻辑电路的讨论将在第 10 章继续。

基本的反相器如图 4.53 所示。它使用两个匹配的增强型 MOSFET：一个 n 沟道晶体管 Q_N 和一个 p 沟道晶体管 Q_P。每个器件的源极和衬底连在一起，因此没有衬底效应。我们很快就会看到，CMOS 电路实现的概念性的反相器就是在第 1 章（见图 1.32）介绍的，即一对开关在输入电压 v_I 作用下互补地工作。

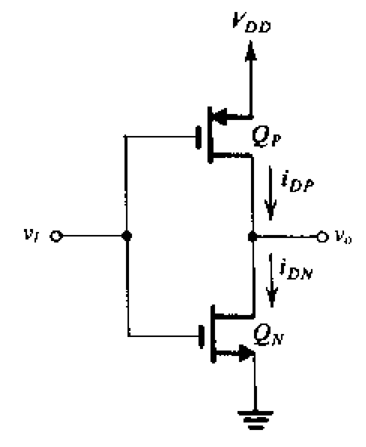
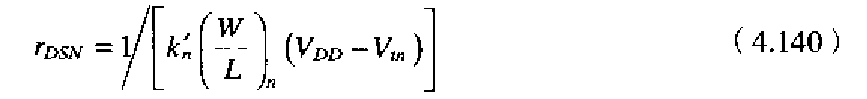


图 4.53　CMOS 反相器

4.10.1　电路工作原理

我们考虑两种极端情况：v_I 在逻辑 0 电平，大约是 0 V；v_I 在逻辑 1 电平，大约是 V_{DD}。在两种情况的分析中，为了便于解释，我们把 n 沟道器件 Q_N 看做是驱动晶体管，并且把 p 沟道晶体管 Q_P 看做是负载。但是，由于电路是完全对称的，因此这种假设是任意的，相反的假设可以得到相同的结论。

图 4.54 所示的是 $v_I = V_{DD}$ 的情况，以及 Q_N 在 $v_{GSN} = V_{DD}$ 条件下的 $i_D \sim v_{DS}$ 特性曲线（注意，$i_D = i$ 且 $v_{DSN} = v_O$）。叠加在 Q_N 特性曲线上的是负载曲线，它是 $v_{SGP} = 0$ V 时 Q_P 的 $i_D \sim v_{SD}$ 曲线。由于 $v_{SGP} < |V_t|$，因此负载曲线是一条几乎为 0 电流的水平直线。两条曲线的交点就是工作点，我们注意到输出电压接近 0 V（典型情况下小于 10 mV）并且流经两个器件的电流也接近 0。这就意味着电路的功率损耗非常小（典型情况下为零点几个微瓦）。但要注意的是尽管 Q_N 工作在接近 0 电流和 0 漏极电压的情况（即，接近 $i_D \sim v_{DS}$ 平面的原点），但工作点位于 $i_D \sim v_{DS}$ 曲线很陡的一段上。因此 Q_N 在输出端和地之间提供一个低阻抗，电阻值由式（4.13）给出，即



$$r_{DSN} = 1 \Big/ \left[k_n' \left(\frac{W}{L} \right)_n (V_{DD} - V_{tn}) \right] \tag{4.140}$$

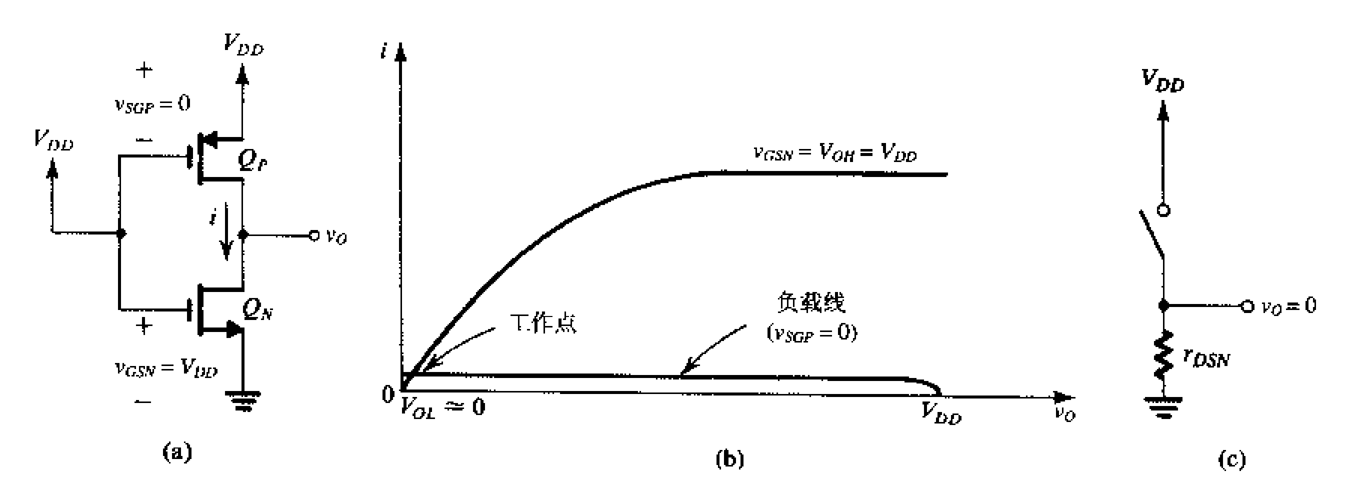


图 4.54　v_I 是高电平时的 CMOS 反相器的工作曲线：（a）$v_I = V_{DD}$ 的电路（逻辑 1 电平或 V_{OH}）；（b）确定工作点的图解法；（c）等效电路

① 我们曾在 1.7 节给出了作为电路模块的数字反相器的介绍，在继续学习本节内容之前复习一下这些内容是很有帮助的。

图 4.54（c）所示的是输入为高电平时的反相器等效电路。这个电路保证 $v_O \equiv V_{OL} = 0$ V，并且反相器的功率损耗是 0。

图 4.55 给出了当 $v_I = 0$ V 的另一种极端情况。在这种情况下，Q_N 工作在 $v_{GSN} = 0$ 的电压下，因此它的 $i_D \sim v_{DS}$ 特性曲线几乎是电流为 0 的水平直线。负载线是 $v_{SGP} = V_{DD}$ 时的 p 沟道器件的 $i_D \sim v_{SD}$ 特性曲线。如图所示，工作点的输出电压几乎等于 V_{DD}。（一般比 V_{DD} 小 10 mV），并且两个器件的电流仍旧接近 0，因此在两种状态下电路的功率损耗都非常小。

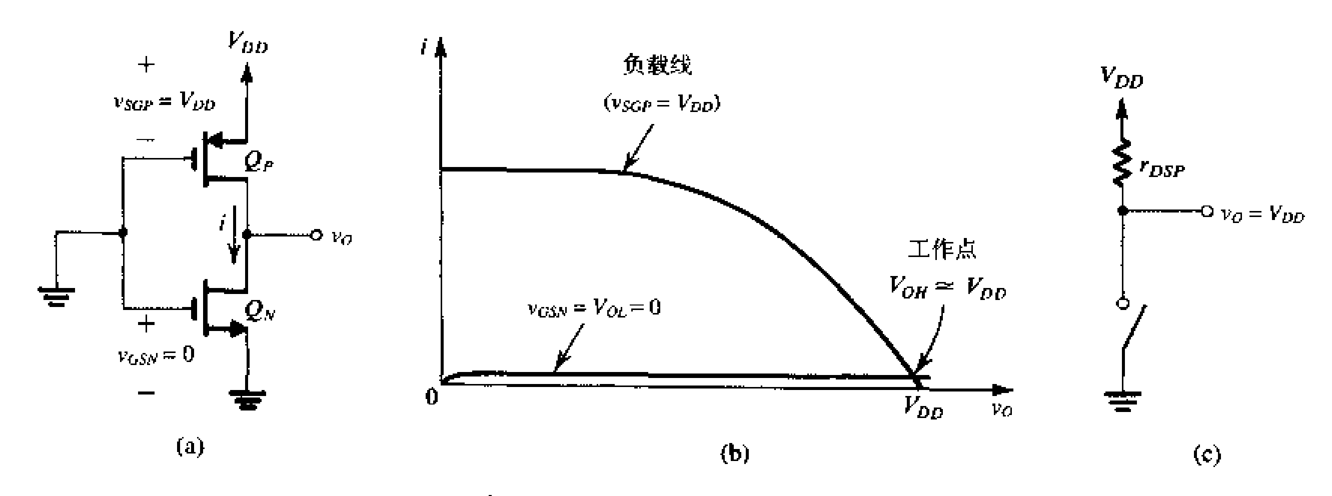


图 4.55　v_I 是低电平时的 CMOS 反相器的工作：（a）$v_I = 0$ V 的电路（逻辑 0 电平或 V_{OL}）；（b）确定工作点的图解法；（c）等效电路

图 4.55（c）所示是输入为低时的反相器的等效电路。我们可以看到 Q_P 提供了一条从输出端到直流电源 V_{DD} 的低阻抗路径，其阻抗为

$$r_{DSP} = 1\bigg/\left[k'_p\left(\frac{W}{L}\right)_p\left(V_{DD}-|V_{tp}|\right)\right] \tag{4.141}$$

这个等效电路保证了在这种情况下 $v_O \equiv V_{OH} = V_{DD}$，并且反相器的功率损耗为 0。

但要注意到尽管静态电流是 0，CMOS 反相器的负载驱动能力也是很高的。比如图 4.54 所示输入为高的时候，晶体管 Q_N 能够吸收相当大的负载电流。我们很快可以看见这个电流能够迅速使负载电容放电。由于吸收负载电流的动作使输出电压下拉到地，因此 Q_N 被称为“下拉”器件。同样，如图 4.55 所示，当输入为低的时候，晶体管 Q_P 提供相对较大的负载电流，这个电流迅速对负载电容充电，因此把输出拉向 V_{DD}，所以 Q_P 被称为“上拉”器件。读者需要注意这个术语同图 1.32 中反相器的概念电路的联系。

我们从上面可以总结出基本 CMOS 反相器可以像理想反相器那样工作。概括如下：

1. 输出电平是 0 和 V_{DD}，因此信号摆幅达到最大可能值。这一点和反相器能够提供对称的电压转移特性曲线一起，可导致很大的噪声容限。
2. 反相器在两种状态下的静态功耗是 0（忽略由于漏电流导致的功率损耗）。（注意，“静态功耗”这个名称与反相器反复开关导致的“动态功耗”不同，我们将很快对其进行讨论。）
3. 输出端和地（输出低电平）或 V_{DD}（输出高电平）之间有一个低阻抗路径。这些低阻抗路径保证输出是 0 或 V_{DD}，与宽长比（W/L）或其他器件参数无关。此外，低输出阻抗使反相器对噪声和其他干扰更加不敏感。

4. 有源上拉和下拉器件为反相器提供两种方向的高驱动能力。正如我们将要讲到的，这明显提高了工作速度。
5. 反相器输入阻抗是无穷大（因为$I_G=0$），因此反相器能够驱动任意多的类似的反相器，而且在信号电平上没有损失。当然，每增加一个反相器将增加负载电容并使工作速度下降。我们将很快讨论反相器的开关时间。

4.10.2 电压传输特性

完整的CMOS反相器的电压转移特性曲线（VTC）可以通过反复运用图解法得到（对所有v_I的值运用上面两种极端的情况）。下面我们将计算得到的电压传输特性曲线的关键点。我们要利用Q_N及Q_P的$i\sim v$关系曲线。对于Q_N：

$$i_{DN}=k_n'\left(\frac{W}{L}\right)_n\left[(v_I-V_{tn})v_O-\frac{1}{2}v_O^2\right]\qquad 其中，\ v_O\leqslant v_I-V_{tn}\tag{4.142}$$

和

$$i_{DN}=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n(v_I-V_{tn})^2\qquad 其中，\ v_O\geqslant v_I-V_{tn}\tag{4.143}$$

对于Q_P：

$$i_{DP}=k_p'\left(\frac{W}{L}\right)_p\left[(V_{DD}-v_I-|V_{tp}|)(V_{DD}-v_O)-\frac{1}{2}(V_{DD}-v_O)^2\right]\quad 其中，\ v_O\geqslant v_I+|V_{tp}|\tag{4.144}$$

和

$$i_{DP}=\frac{1}{2}k_p'\left(\frac{W}{L}\right)_p(V_{DD}-v_I-|V_{tp}|)^2\qquad 其中，\ v_O\leqslant v_I+|V_{tp}|\tag{4.145}$$

COMS反相器通常被设计成$V_{tn}=|V_{tp}|=V_t$，并且$k_n'(W/L)_n=k_p'(W/L)_p$。要注意的是，μ_p是0.3到0.5倍的μ_n。为了使两个器件的$k'(W/L)$相同，p沟道器件的宽度是n沟道器件的2~3倍。具体来说，两个器件被设计成有相同的长度，而宽度关系如下：

$$\frac{W_p}{W_n}=\frac{\mu_n}{\mu_p}$$

这样便可得到$k_n'(W/L)_n=k_p'(W/L)_p$，并且反相器在两个方向（上拉和下拉）具有对称的传输特性和相同的电流驱动能力。

当Q_N和Q_P匹配时，CMOS反相器的电压传输特性曲线如图4.56所示。其中，电压传输特性曲线由5段组成，分别对应Q_N和Q_P的不同工作模式的组合。垂直段BC是在Q_N和Q_P同时工作在饱和区时得到的。由于我们忽略饱和区有限的输出电阻，因此反相器在这个区域的增益是无限的。根据对称性，这个垂直段发生在$v_I=V_{DD}/2$点，并且以$v_O(\mathrm{B})=V_{DD}/2+V_t$和$v_O(\mathrm{C})=V_{DD}/2-V_t$为界。

我们曾在1.7节讲过，除了V_{OH}和V_{OL}，另外还有两个点决定了反相器的噪声容限。这就是输入端最高允许的逻辑0或低电平V_{IL}和输入端最低允许的逻辑1或高电平V_{IH}。它们被正式定义成传输特性曲线的小信号增益为1（即斜率为-1 V/V）的两个点。

为了确定V_{IH}，我们注意到Q_N工作在变阻区，因此它的电流由式（4.142）决定；而Q_P处于饱和区，它的电流由式（4.145）给出。令i_{DP}等于i_{DN}并假设器件匹配，可以得到

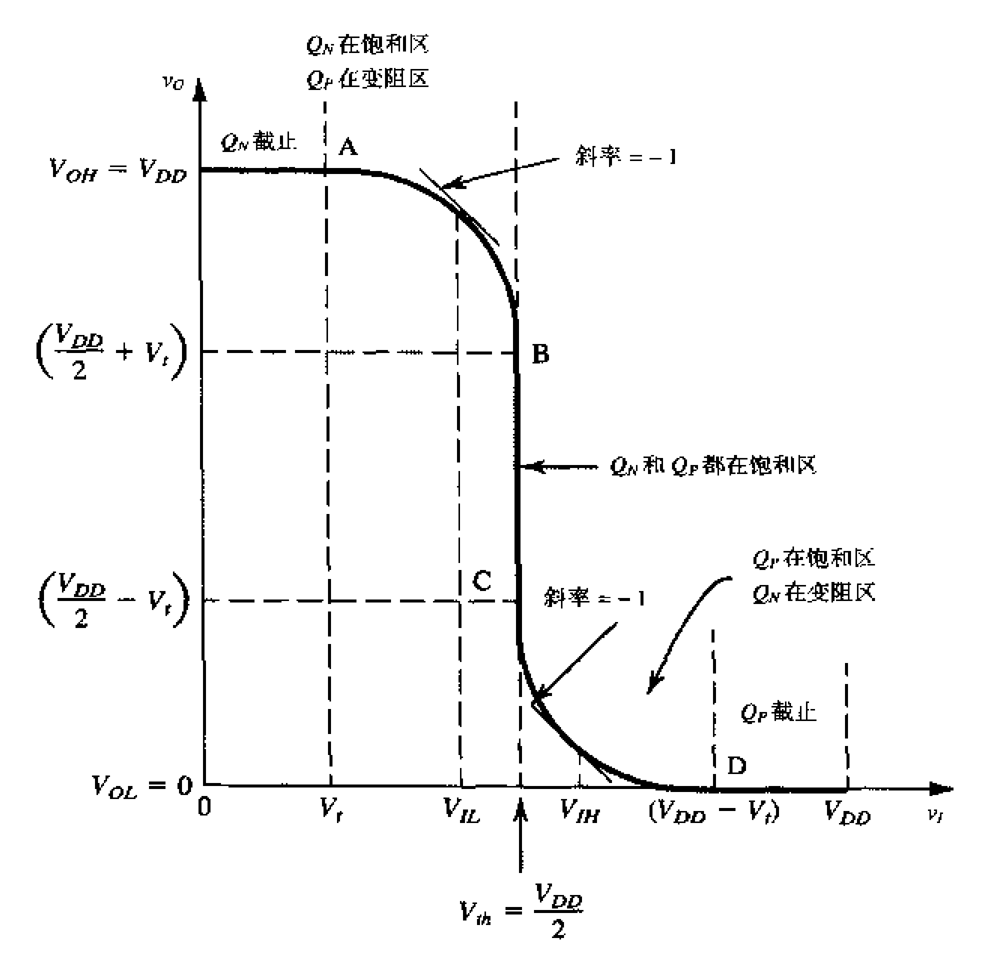


图 4.56　CMOS 反相器的电压传输特性

$$(v_I - V_t)v_O - \frac{1}{2}v_O^2 = \frac{1}{2}(V_{DD} - v_I - V_t)^2 \tag{4.146}$$

两边对 v_I 求导数得到

$$(v_I - V_t)\frac{dv_O}{dv_I} + v_O - v_O\frac{dv_O}{dv_I} = -(V_{DD} - v_I - V_t)$$

这里，我们把 $v_I = V_{IH}$ 和 $dv_O / dv_I = -1$ 代入得到

$$v_O = V_{IH} - \frac{V_{DD}}{2} \tag{4.147}$$

把 $v_I = V_{IH}$ 代入，并把式（4.147）的 v_O 代入式（4.146）得到

$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t) \tag{4.148}$$

V_{IL} 可以用和求 V_{IH} 一样的方法求得。另外，我们也可以用对称关系得到

$$V_{IH} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} - V_{IL}$$

与式（4.148）得到的 V_{IH} 一起可以得到

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_t) \tag{4.149}$$

现在可以得到噪声容限如下：

$$NM_H = V_{OH} - V_{IH} = V_{DD} - \frac{1}{8}(5V_{DD} - 2V_t) = \frac{1}{8}(3V_{DD} + 2V_t) \quad (4.150)$$

$$NM_L = V_{IL} - V_{OL} = \frac{1}{8}(3V_{DD} + 2V_t) - 0 = \frac{1}{8}(3V_{DD} + 2V_t) \quad (4.151)$$

正如期望的那样，电压传输特性曲线的对称性导致了相同的噪声容限。当然，如果 Q_N 和 Q_P 不匹配，电压传输特性曲线就不对称，噪声容限就不相等（参考习题 4.107）。

练习 4.41 一个使用匹配 MOSFET 的 CMOS 反相器有 $V_t = 1$ V，求出当 $V_{DD} = 5$ V 时的 V_{IL}，V_{IH} 和噪声容限。

答案：2.1 V；2.9 V；2.1 V

练习 4.42 考虑一个 CMOS 反相器，$V_{tn} = |V_{tp}| = 2$ V，$(W/L)_n = 20$，$(W/L)_p = 40$，$\mu_n C_{ox} = 2\mu_p C_{ox} = 20\ \mu\text{A/V}^2$，并且 $V_{DD} = 10$ V。对于 $v_I = V_{DD}$，求出 $v_O \leqslant 0.5$ V 时反相器能够吸收的最大电流。

答案：1.55 mA

练习 4.43 一个用 1.2 μm CMOS 工艺制作的反相器使用最小可能的沟道长度（即 $L_n = L_p = 1.2\ \mu$m）。如果 $W_n = 1.8\ \mu$m，找出使 Q_P 和 Q_N 匹配的 W_p。对于这种工艺 $k_n' = 80\ \mu\text{A/V}^2$，$k_p' = 27\mu\text{A/V}^2$，$V_{tn} = 0.8$ V 和 $V_{DD} = 5$ V。计算当 $v_O = V_{OL}$ 时的反相器输出电阻。

答案：5.4 μm；2 kΩ

练习 4.44 证明 CMOS 反相器的开启电压 V_{th}（见图 4.56）由下式给出：

$$V_{th} = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{1 + r}$$

这里，

$$r = \sqrt{\frac{k_p'(W/L)_p}{k_n'(W/L)_n}}$$

4.10.3 动态工作特性

正如 1.7 节所述，数字系统的工作速度由构成系统的逻辑门的传播延迟决定。由于反相器是所有数字集成电路工艺的基础，因此反相器的延迟是描述工艺特性的基本参数。下面我们将分析 CMOS 反相器的动态特性以决定它的传播延迟。图 4.57（a）所示的是在输出节点和地之间有一个电容 C 的反相器。C 代表相应的 MOSFET Q_N 和 Q_P 的内部电容、反相器输出节点到它驱动的其他逻辑门输入端的导线电容以及这些负载门（扇出门）的输入电容的总和。我们假设反相器由理想脉冲驱动（上升和下降时间为 0），如图 4.57（b）所示。由于电路是对称的（假设使用匹配 MOSFET），输出波形的上升和下降时间相等。因此我们只考虑打开或只考虑关闭过程就足够了。下面我们分析前者。

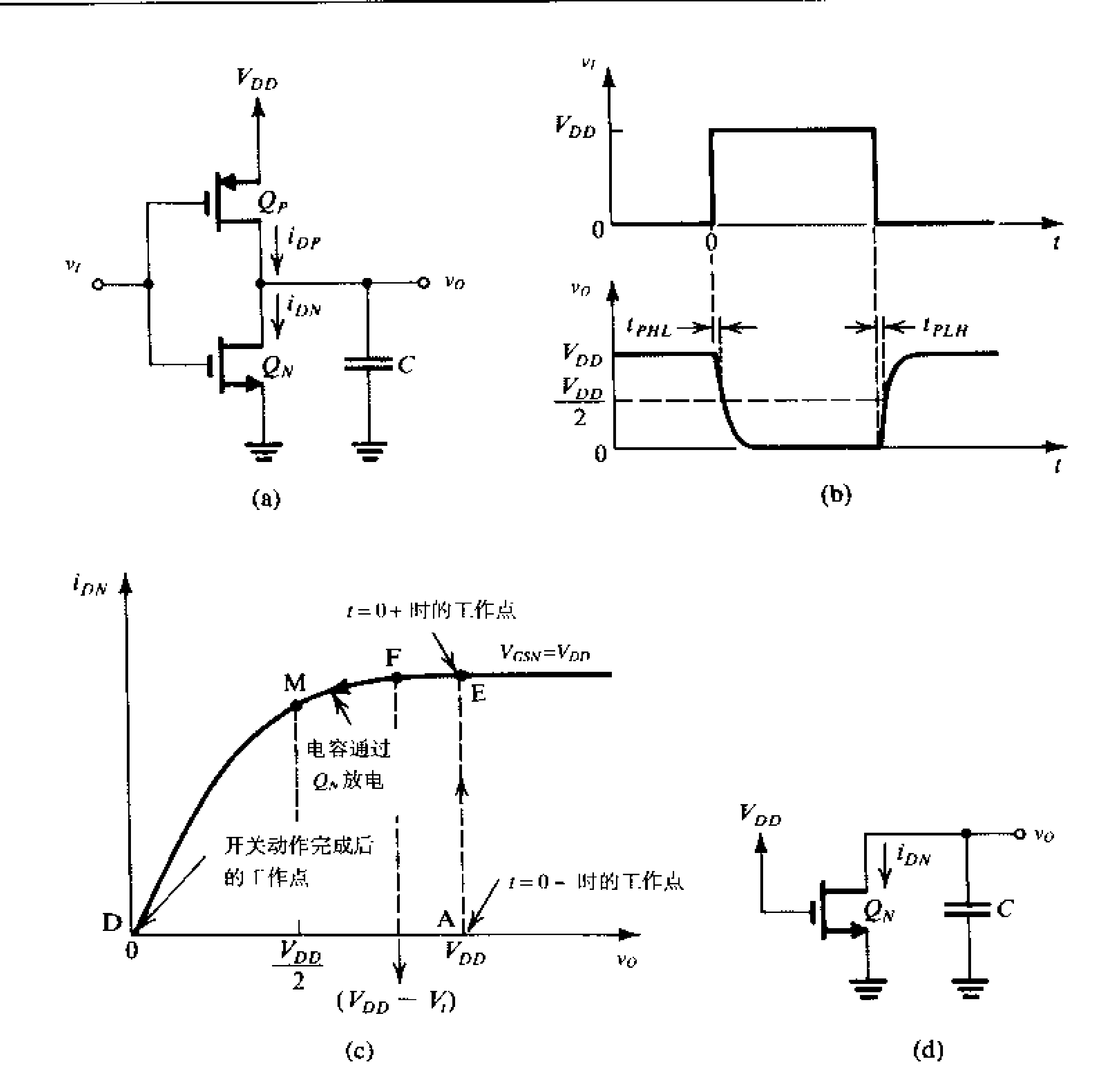


图 4.57 带负载电容的 CMOS 反相器动态工作特性：（a）电路；（b）输入和输出波形；（c）输入上升为高，并且 C 通过 Q_N 放电时工作点的轨迹；（d）电容放电时的等效电路

图4.57（c）显示了在 $t=0$ 时输入脉冲从 $V_{OL}=0$ 变为 $V_{OH}=V_{DD}$ 时工作点的轨迹。在输入脉冲前沿（即 $t=0-$ 时）输出电压等于 V_{DD}，并且电容被充电到这个电压值。在 $t=0$ 时，v_I 上升到 V_{DD}，导致 Q_P 被立刻关闭。从那时起，电路等效为图 4.57（d）所示，初始值为 $v_O=V_{DD}$。因此在 $t=0+$ 时的工作点是 E，在那里可以看见 Q_N 工作在饱和区并通过一个大电流。当 C 放电时，Q_N 电流保持不变直到 $v_O=V_{DD}-V_t$（F 点），我们把这个放电区间表示为 t_{PHL1}（这里下标 HL 表示从高到低的变化）。我们可以写出

$$t_{PHL1}=\frac{C\left[V_{DD}-\left(V_{DD}-V_t\right)\right]}{\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n\left(V_{DD}-V_t\right)^2}=\frac{CV_t}{\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n\left(V_{DD}-V_t\right)^2} \tag{4.152}$$

过了 F 点，晶体管 Q_N 工作在变阻区，因此电流由式（4.142）给出，这部分放电区间可以描述为

$$i_{DN}dt = -Cdv_O$$

用式（4.142）替代i_{DN}并重新整理微分方程，可以得到

$$\frac{k_n'(W/L)_n}{C}dt = \frac{1}{(V_{DD}-V_t)}\frac{dv_O}{\frac{1}{2(V_{DD}-V_t)}v_O^2 - v_O} \quad (4.153)$$

为了找到v_O从$(V_{DD}-V_t)$减少到50%的点，即$v_O = V_{DD}/2$的延迟时间分量t_{PHL}，我们对式（4.153）的两边进行积分。把这个延迟时间记为t_{PHL2}，可以发现：

$$\frac{k_n'(W/L)_n}{C}t_{PHL2} = \frac{1}{(V_{DD}-V_t)}\int_{v_O=V_{DD}-V_t}^{v_O=V_{DD}/2}\frac{dv_O}{\frac{1}{2(V_{DD}-V_t)}v_O^2 - v_O} \quad (4.154)$$

依据以下事实：

$$\int\frac{dx}{ax^2-x} = \ln\left(1-\frac{1}{ax}\right)$$

我们可以计算式（4.154）的积分项，并且得到

$$t_{PHL2} = \frac{C}{k_n'(W/L)_n(V_{DD}-V_t)}\ln\left(\frac{3V_{DD}-4V_t}{V_{DD}}\right) \quad (4.155)$$

式（4.152）和式（4.155）的t_{PHL}的两个分量相加得到

$$t_{PHL} = \frac{2C}{k_n'(W/L)_n(V_{DD}-V_t)}\left[\frac{V_t}{V_{DD}-V_t}+\frac{1}{2}\ln\left(\frac{3V_{DD}-4V_t}{V_{DD}}\right)\right] \quad (4.156)$$

对于通常情况（即$V_t = 0.2\,V_{DD}$），这个等式可简化为

$$t_{PHL} = \frac{1.6C}{k_n'(W/L)_nV_{DD}} \quad (4.157)$$

同样，对关闭过程进行分析可以得到与式（4.157）类似的表达式，只是将$k_n'(W/L)_n$换成了$k_p'(W/L)_p$。传播延迟是t_{PHL}和t_{PLH}的平均。从式（4.157）可以看到，要获得低延迟和高速度，应该减小C且采用更高的跨导参数k'，晶体管的W/L和电源V_{DD}应该增加。当然，参数的选择包含了物理极限和设计的折中。但这个题目远远超过了我们现在要讨论的内容。

练习 4.45 一个 VLSI 电路里的 CMOS 反相器工作在 5 V 的电压上，$(W/L)_n = 10\,\mu m/5\,\mu m$，$(W/L)_p = 20\,\mu m/5\,\mu m$，$V_{tn} = |V_{tp}| = 1$ V，$\mu_nC_{ox} = 2\mu_pC_{ox} = 20\,\mu A/V^2$。如果总的负载电容是0.1 pF，求出$t_{PHL}$，$t_{PLH}$和$t_p$。

答案：0.8 ns；0.8 ns；0.8 ns

练习 4.46 对于习题 4.42 的 CMOS 反相器（这是用于 SSI 和 MSI 应用的电路），如果负载电容是15 pF，求t_p。

答案：6 ns

4.10.4 电流和功率损耗

CMOS 反相器工作的时候，电流流过串联的Q_N和Q_P。图 4.58 显示了 CMOS 反相器电流对电压v_I的曲线。我们注意到峰值电流出现在开关门限处，即$V_{th} = v_I = v_O = V_{DD}/2$。这个电流导

致 CMOS 反相器的动态功耗。但更重要的功率损耗是反相器连接负载电容时流过 Q_P 和 Q_N 的电流带来的。

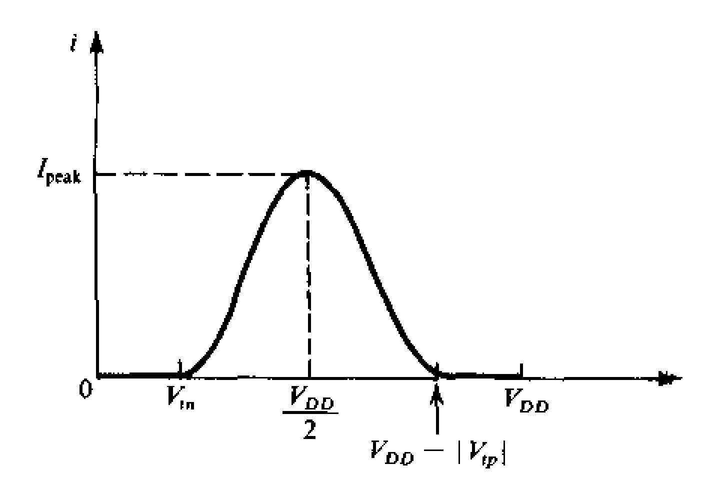


图 4.58 CMOS 反相器电流对输入电压的曲线

后面那部分功率损耗的推导如下：再次考虑图 4.57（a）所示的电路，在 $t = 0-$ 时，$v_O = V_{DD}$ 并且存在电容里的能量是 $\frac{1}{2}CV_{DD}^2$。在 $t = 0$ 时，v_I 上升到 V_{DD}，Q_P 关闭，Q_N 打开。晶体管 Q_N 对电容放电，在放电的最后时刻电容电压降到 0。因此在放电期间，有 $\frac{1}{2}CV_{DD}^2$ 的能量从电容 C 移走并通过 Q_N 消耗掉。接下来考虑 v_I 变成 0 的半个周期。晶体管 Q_N 关闭，并且 Q_P 导通为电容充电。令流经 Q_P 到 C 的瞬时电流为 i，这个电流当然是来自电源 V_{DD} 的，因此在这个充电周期从电源吸收的能量是 $\int V_{DD} i dt = V_{DD}\int i dt = V_{DD}Q$，其中 Q 是电容的充电电荷，即 $Q = CV_{DD}$。因此在充电期间从电源吸收的能量是 CV_{DD}^2。在充电结束时电容电压是 V_{DD}，因此存储的能量是 $\frac{1}{2}CV_{DD}^2$。可得到充电期间从电源得到的一半能量 $\frac{1}{2}CV_{DD}^2$ 被 Q_P 消耗。

从上面可以看到，在每个周期 $\frac{1}{2}CV_{DD}^2$ 的能量被 Q_N 消耗，并且 $\frac{1}{2}CV_{DD}^2$ 的能量被 Q_P 消耗。总的能量消耗是 CV_{DD}^2。现在如果反相器以频率 f 进行开关动作，那么动态功率损耗为

$$P_D = fCV_{DD}^2 \tag{4.158}$$

我们观察到工作频率和传播延迟有关，传播延迟越低，电路可以达到的工作频率就越高，根据式（4.158），功率损耗就越大。特定电路工艺的优点或者质量的度量指标是延迟-功率积（DP）：

$$DP = P_D t_P \tag{4.159}$$

对于特定的数字电路工艺，延迟-功率积（DP）趋向于成为常数，并且可被用于比较不同的工艺。显然，DP 值越小，对应的工艺就越高效。延迟-功率积是以焦耳为单位的，并且实际上是对每个周期内功率损耗的衡量。因此对于绝大多数功率损耗是动态损耗的 CMOS 电路而言，我们把 DP 简单地当做 CV_{DD}^2。

练习 4.47 对于练习 4.42 给出的反相器，求出开关期间 V_{DD} 的峰值电流。

答案：1.8 mA

练习 4.48 令练习 4.42 给出的反相器有一个 15 pF 的负载电容。找出反相器开关频率在 2 MHz 时的动态功率损耗。它从电源获得的平均电流是多少？

答案：3 mW；0.3 mA

练习 4.49 考虑 1.2 μm 用 CMOS 工艺制造的 100 000 门的 VLSI 芯片，令每个门的负载电容是 30 fF，如果芯片在 5 V 电源下工作并且开关频率是 100 MHz，计算：(a) 每个门的功耗；(b) 假设每个时刻有 30%的门处于开关状态，求芯片的总功耗。

答案： 75 μW；2.25 W

4.10.5 总结

本章介绍了 CMOS 数字电路。为了便于参考，表 4.6 给出了反相器的重要特性的总结。我们在第 10 章将详细阐述该主题，届时将介绍各种 CMOS 电路。

表 4.6 CMOS 逻辑反相器的重要特性的总结

门的输出阻抗

- 当 v_O 是低电平（吸收电流）时（见图 4.54）：

$$r_{DSN} = 1\Big/\left[k_n'\left(\frac{W}{L}\right)_n (V_{DD}-V_{tn})\right]$$

- 当 v_O 是高电平（提供电流）时（见图 4.55）

$$r_{DSP} = 1\Big/\left[k_p'\left(\frac{W}{L}\right)_p (V_{DD}-|V_{tp}|)\right]$$

门的开启电压

指出 VTC 在 $v_O = v_I$ 时的点：

$$V_{th} = \frac{r(V_{DD}-|V_{tp}|)+V_{tn}}{1+r}$$

这里，

$$r = \sqrt{\frac{k_p'(W/L)_p}{k_n'(W/L)_n}}$$

开关电流和功率损耗（见图 4.58）

$$I_{\text{peak}} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_n\left(\frac{V_{DD}}{2}-V_{tn}\right)^2$$

$$P_D = fCV_{DD}^2$$

噪声容限（见图 4.58）

对于匹配的器件，就是 $\mu_n\left(\frac{W}{L}\right)_n = \mu_p\left(\frac{W}{L}\right)_p$：

$$V_{th} = V_{DD}/2$$

$$V_{IL} = \frac{1}{8}(3V_{DD}+2V_t)$$

$$V_{IH} = \frac{1}{8}(5V_{DD}-2V_t)$$

$$NM_H = NM_L = \frac{1}{8}(3V_{DD}+2V_t)$$

传播延迟（见图 4.57）

对于 $V_t = 0.2\,V_{DD}$：

$$t_{PHL} = \frac{1.6C}{k_n'(W/L)_n V_{DD}}$$

$$t_{PLH} = \frac{1.6C}{k_p'(W/L)_p V_{DD}}$$

4.11　耗尽型 MOSFET

在这一节中，我们要简单讨论另一种 MOSFET——耗尽型 MOSFET。它的结构与增强型 MOSFET 结构相似，但有一个重要的差别：耗尽型 MOSFET 物理上有一个嵌入的沟道，也就是一个 n 沟道耗尽型 MOSFET 在 p 型衬底顶部有一个 n 型硅区连接 n^+ 源区和 n^+ 漏区，如果在源极和漏极加上一个电压 v_{DS}，当 $v_{GS}=0$ 时就有电流 i_D 流过。换句话说，不像增强型 MOSFET，耗尽型 MOSFET 没有必要产生沟道。

与增强型器件一样，它们都可以通过 v_{GS} 来控制沟道深度和电导率。加上一个正的 v_{GS} 可以通过吸收更多的电子进入沟道而增强沟道导电性。然而也可以加上一个负的电压 v_{GS}，它会把电子从沟道排斥出去，因而使沟道变窄，电导率下降。负 v_{GS} 耗尽了沟道中的电子载流子，这种运行模式（负 v_{GS}）称为耗尽模式。随着 v_{GS} 在负方向幅度增大到一定值时，沟道的电子载流子将完全被耗尽，即使此时仍然施加了 v_{DS}，i_D 还是会降低到 0。这个负的 v_{GS} 值就是 n 沟道耗尽型 MOSFET 的开启电压。

上面的描述指出耗尽型 MOSFET 通过施加正的 v_{GS} 电压可以工作在增强模式，也可以通过施加负的 v_{GS} 电压工作在耗尽模式。它的 $i_D\sim v_{DS}$ 伏安特性与增强型器件的伏安特性类似（除了 n 沟道耗尽型器件的 V_t 为负以外）。

图 4.59（a）所示是 n 沟道耗尽型 MOSFET 的电路符号。该符号只有一点与增强型器件不同：在代表沟道的垂直线边上有一个阴影区域，表示存在一个物理沟道。当衬底（B）与源极（S）连接时，可以得到如图 4.59（b）所示的简化符号。

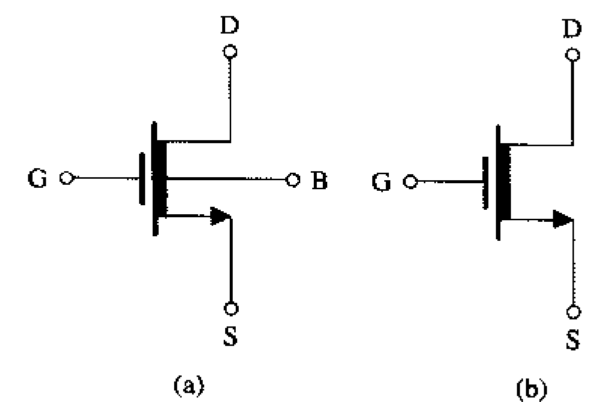


图 4.59　（a）n 沟道耗尽型 MOSFET 的电路符号；（b）衬底（B）连接到源极（S）时的简化符号

图 4.60（b）给出了当 $V_t=-4$ V，$k_n'(W/L)=2\ \text{mA/V}^2$ 时（这些是分立元件的典型值）的 n 沟道耗尽型 MOSFET 的伏安特性。尽管该特性没有显示出饱和区 i_D 与 v_{DS} 的相关性，但是这种相关性确实存在，它们与增强型器件的情况相同。可以看出，因为开启电压 V_t 为负，因此只要漏极电压不比栅极电压大 $|V_t|$，耗尽型 NMOS 将工作在变阻区。当它工作在饱和区时，漏极电压必须比栅极电压至少大 $|V_t|$。图 4.61 显示了耗尽型 NMOS 晶体管工作在这两个区域时极电压的相对电平。

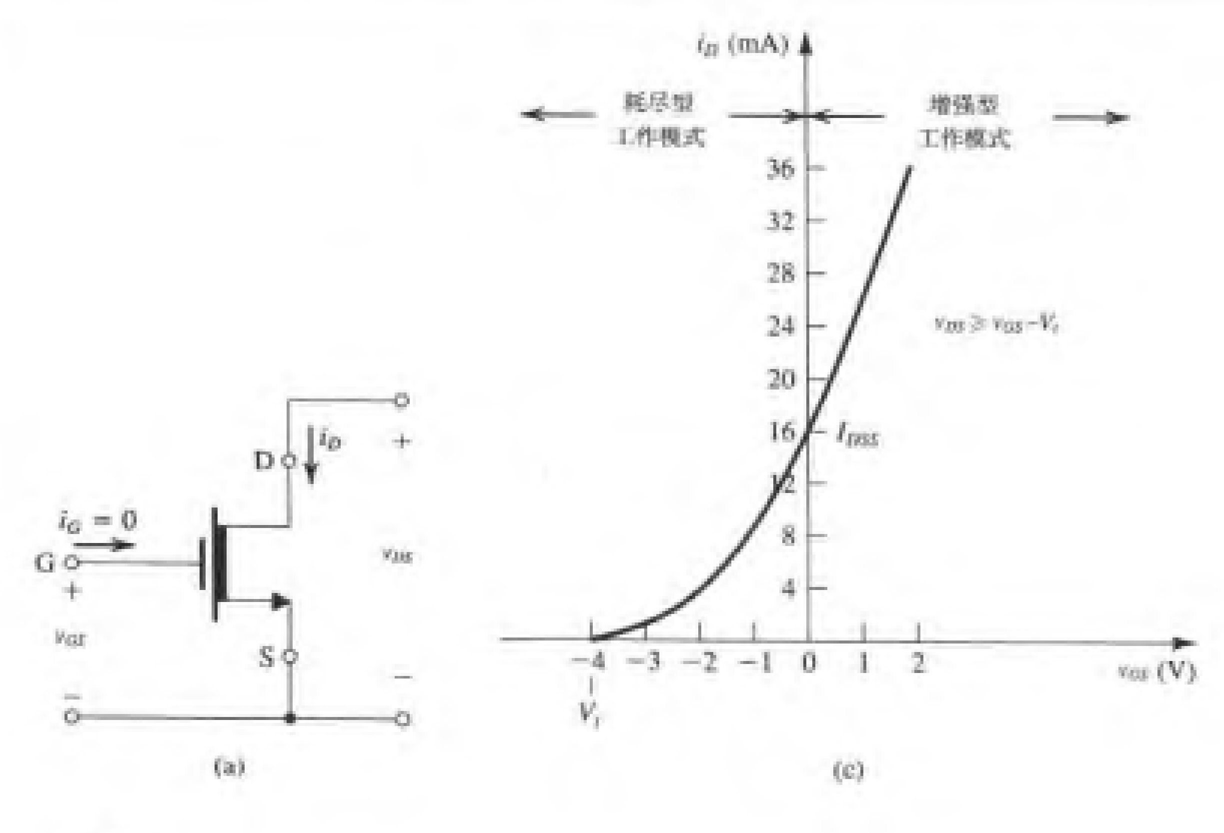
图 4.60（c）显示了饱和区的伏安特性 $i_D\sim v_{GS}$，指出了耗尽型工作模式和增强型工作模式。

描述耗尽型 MOSFET 伏安特性的表达式与增强型器件的表达式相同，除了 n 沟道耗尽型器件之外，V_t 为负。

耗尽型 MOSFET 的一个特殊参数是当 $v_{GS}=0$ 时在饱和区得到的漏极电流。记为 I_{DSS}，其值在图 4.60（b）和图 4.60（c）中标明。它可以表示为

$$I_{DSS}=\frac{1}{2}k_n'\frac{W}{L}V_t^2 \tag{4.160}$$

如同增强型器件，耗尽型 MOSFET 可以制造在同一片 IC 芯片上，从而可以得到性能改善的电路，这在后面一章中给出。



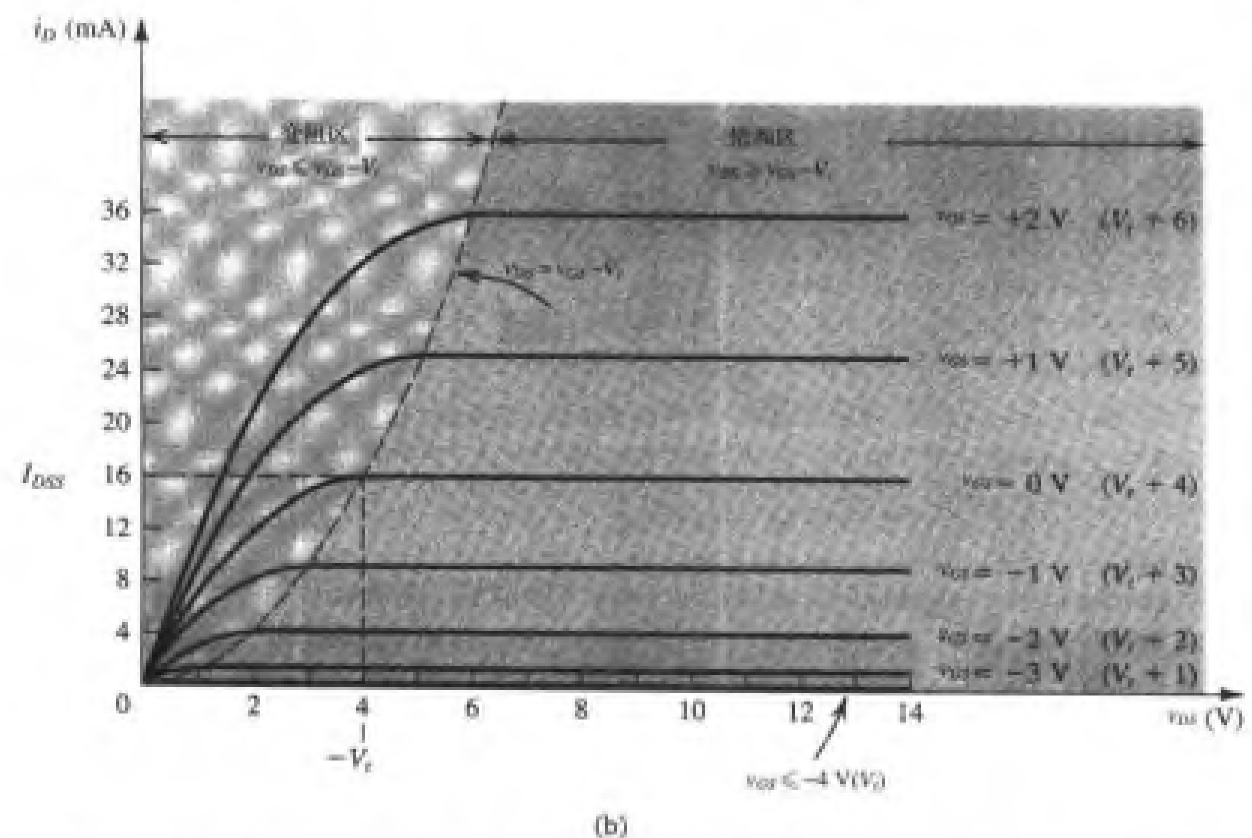


图 4.60 $V_t = -4$ V，$k_n'(W/L) = 2$ mA/V^2 时的 n 沟道耗尽型 MOSFET 的伏安特性：（a）指出了电压和电流极性的晶体管；（b）$i_D - v_{GS}$ 特性曲线；（c）饱和区的 $i_D \sim v_{GS}$ 特性曲线

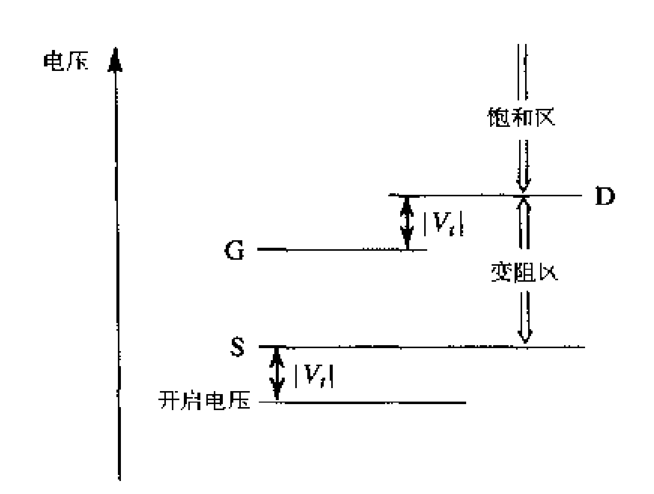


图 4.61　耗尽型 NMOS 晶体管工作在变阻区和饱和区时极电压的相对电平。显示的的情况是工作在增强模式（v_{GS} 为正）

上面只讨论了 n 沟道耗尽型器件。也可以得到分立形式的耗尽型 PMOS 晶体管，除了所有电压的极性相反（包括V_t）外，它们的工作方式与 n 沟道耗尽型器件类似。在 p 沟道器件中，i_D 从源区流向漏区，进入源极而离开漏极。在图 4.62 中显示了两种极性的增强型和耗尽型 MOSFET 的 $i_D \sim v_{GS}$ 特性曲线（工作在饱和区）。

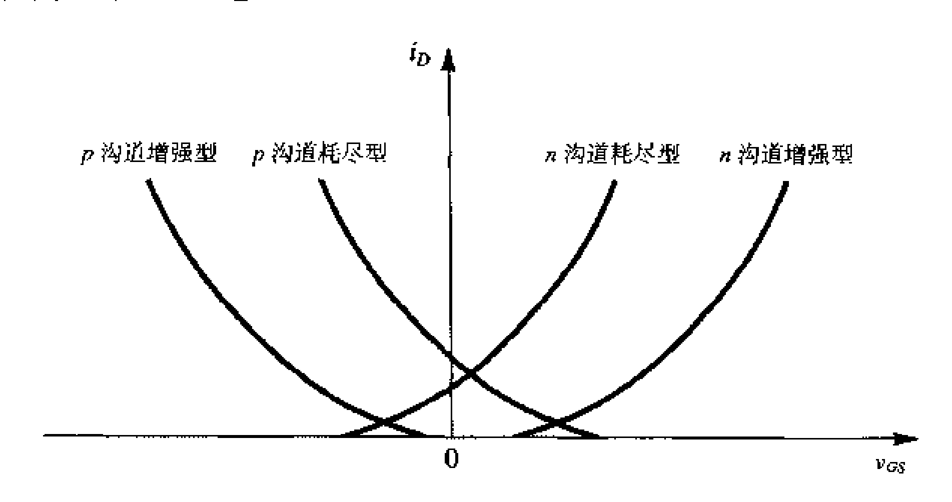


图 4.62　两种极性的增强型和耗尽型 MOSFET 的 $i_D \sim v_{GS}$ 特性曲线。注意该特性曲线与 v_{GS} 轴相交于 V_t。也可以看出 n 沟道和 p 沟道器件有不同|V_t|值的情况

练习 4.50　对于一个耗尽型 NMOS 晶体管，有 $V_t = -2$ V，$k_n'(W/L) = 2\ \text{mA/V}^2$，求当 $v_{GS} = +1$ V 对，要求工作在饱和区的最小 v_{DS}。相应的 i_D 为多少？

答案：3 V；9 mA

练习 4.51　图 E4.51 所示的耗尽型 MOSFET 有 $k_n'(W/L) = 4\ \text{mA/V}^2$, $V_t = -2$ V。I_{DSS} 的值为多少？忽略饱和区 v_{DS} 对 i_D 的影响，求源极的电压。

答案：8 mA；+1 V

练习 4.52　对于图 E4.52 所示的电路，求用 v 表示的 i 的函数，忽略饱和区 v_{DS} 对 i_D 的影响。

答案：$i = k_n' \dfrac{W}{L}\left[-V_t v - \dfrac{1}{2}v^2\right]$，这里，$v \leqslant -V_t$；$i = \dfrac{1}{2}k_n' \dfrac{W}{L} V_t^2$，这里 $v \geqslant -V_t$

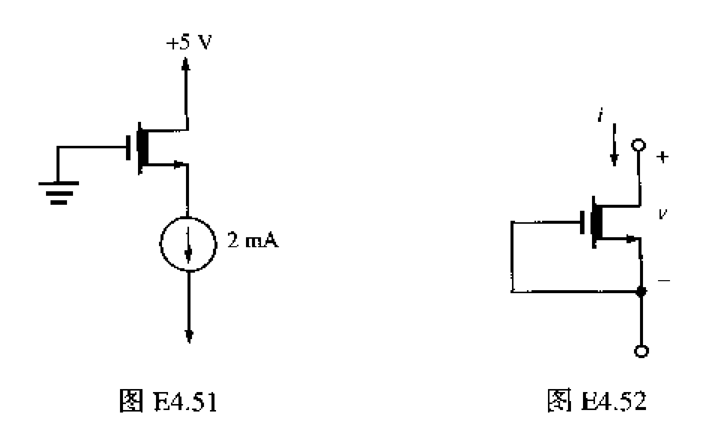


图 E4.51　　图 E4.52

4.12 MOSFET 的 SPICE 模型与仿真实例

最后，我们讨论一下 SPICE 用来对 MOSFET 进行仿真的模型，也对 SPICE 在 CS 放大器电路仿真中的应用做一些说明。

4.12.1 MOSFET 模型

为了对 MOSFET 电路特性进行仿真，仿真器需要有表示 MOSFET 特性的数学模型。在本章推导得到的表示 MOSFET 的模型是简化的或是一阶模型。该模型称为平方律模型，因为饱和区的伏安特性是二次方的。这个模型在长沟道晶体管中工作得比较好，但是对于短沟道器件，特别是亚微米晶体管，许多被忽略的因素开始发挥作用，结果是推导得到的一阶模型不再能够正确地表示 MOSFET 的实际性能。

简单的平方律模型在理解 MOSFET 作为电路元件的基本性能时是有用的，确实可以用来得到近似的手工设计。但是在制造之前更需要考虑短沟道效应的更细致的模型，因为它能够以较高的精度预计集成电路的性能。这种模型实际上已经得到，并且通过物理关系和经验数据的混合不断被优化，以便更精确地表示短沟道晶体管中的高阶效应。这些例子包括欧洲比较流行的伯克利短沟道 IGFET 模型（BSIM）和 EKV 模型。目前，半导体制造厂商根据这些复杂模型来表示制造工艺。这些厂商选择一个 MOSFET 模型，然后利用它们对制造工艺细节的知识和对大量的已有 MOSFET 的测量数据来提取相应的模型参数值。在提取模型参数值时需要花费大量的精力。这些努力将得到回报，因为制造得到的电路性能与仿真得到的结果非常接近，因此大大减少了重新设计的需要。

尽管关于 MOSFET 建模和短沟道效应的内容超出了本书的范围，但是读者应该意识到平方律模型的局限性以及得到更精确且更复杂的 MOSFET 模型的难度。实际上，当在集成电路的分析和设计中必须使用这些复杂器件模型时，计算机仿真的能力是很明显的。

基于 SPICE 的仿真器（如 PSpice）为用户提供了 MOSFET 模型的多个选择。相应的 SPICE 模型参数（它的值由半导体生产厂商提供）包含一个叫做 LEVEL 的参数，它选择 MOSFET 模型供仿真器使用。尽管该参数值既不是精度的指示，也不是相应模型复杂度的指示，然而 LEVEL =1 对应于最简单的一阶模型（叫做 Shichman-Hodges 模型），它基于本章中给出的平方律 MOSFET 方程。为了简化，我们使用这个模型来说明在 SPICE 中 MOSFET 模型参数的描述，以及在 PSpice 中对实例电路的仿真。但是读者应该牢记为了精确预计电路性能，特别是在亚微米晶体管中，应该使用比 Level-1 更复杂的模型。

4.12.2　MOSFET 模型参数

表 4.7 给出了在 SPICE 的 Level-1 模型中使用的 MOSFET 模型参数列表。读者应该已经熟悉这些参数（除了几个下面要描述的）。

表 4.7　SPICE Level-1 MOSFET 模型参数（部分）

SPICE 参数	书中符号	描述	单位
		基本模型参数	
LEVEL		MOSFET 模型选择器	
TOX	t_{ox}	栅极氧化层厚度	m
COX	C_{ox}	每单位面积栅极-氧化层电容	F/m^2
UO	μ	载流子迁移率	$Cm^2/V \cdot s$
KP	k'	工艺互导参数	A/V^2
LAMBDA	λ	沟道长度调制系数	V^{-1}
		开启电压参数	
VTO	V_{t0}	零偏置开启电压	V
GAMMA	γ	衬底效应参数	$V^{1/2}$
NSUB	N_A、N_D	衬底掺杂	cm^{-3}
PHI	$2\Phi_f$	表面反向电势	V
		MOSFET 二极管参数	
JS		衬底结饱和电流密度	A/m^2
CJ		在漏/源区零偏置时每单位面积衬底结电容	F/m^2
MJ		变容指数，底部部分	
CJSW		零偏置衬底结电容，漏/源区边墙的每单位长度电容	F/m
MJSW		变容指数，边墙部分	
PB	V_0	衬底结内建电势	V
		MOSFET 尺寸参数	
LD	L_{ov}	从源/漏扩散区横向进入沟道的扩散区长度	m
WD		从衬底沿宽度方向侧面进入沟道的扩散区长度	m
		MOS 栅极电容参数	
CGBO		栅极-衬底重叠电容，每单位沟道长度	F/m
CGDO	C_{ov}/W	栅极-漏极重叠电容，每单位沟道宽度	F/m
CGSO	C_{ov}/W	栅极-源极重叠电容，每单位沟道宽度	F/m

MOSFET 二极管参数　对于由源扩散区和衬底以及漏扩散区和衬底组成的两个反向偏置的二极管（见图 4.1），饱和电流密度在 SPICE 中用参数 JS 建立模型。此外，基于表 4.7 指定的参数，SPICE 将计算 4.8.2 节中讨论的耗尽层电容为

$$C_{db} = \frac{\text{CJ}}{\left(1+\frac{V_{DB}}{\text{PB}}\right)^{\text{MJ}}}\text{AD} + \frac{\text{CJSW}}{\left(1+\frac{V_{DB}}{\text{PB}}\right)^{\text{MJSW}}}\text{PD} \tag{4.161}$$

$$C_{sb} = \frac{\text{CJ}}{\left(1+\frac{V_{SB}}{\text{PB}}\right)^{\text{MJ}}}\text{AS} + \frac{\text{CJSW}}{\left(1+\frac{V_{SB}}{\text{PB}}\right)^{\text{MJSW}}}\text{PS} \tag{4.162}$$

其中，AD 和 AS 分别是 MOSFET 的漏区和源区的面积，而 PD 和 PS 分别是漏区和源区的周长。式（4.161）和式（4.162）中的第一项电容表示漏区和源区的底部平板上的耗尽层电容，第二项电容解释了沿这些区域边墙的耗尽层电容。这两项都利用 3.7.3 节中得到的式（3.56）来表示。AD，AS，PD 及 PS 的值必须由用户基于所使用的器件的尺寸来指定。

MOSFET 尺寸和栅极-电容参数 在一个制造好的 MOSFET 中，有效的沟道长度 L_{eff} 小于标称的沟道长度 L（由设计者指定），因为源和漏扩散区在制造过程中会略微扩散进入栅极氧化层。此外，MOSFET 的有效沟道宽度 W_{eff} 小于标称的沟道宽度 W，因为从衬底沿宽度方向会侧向扩散进入沟道。基于表 4.7 中指定的参数：

$$L_{eff} = L - 2\text{LD} \tag{4.163}$$

$$W_{eff} = W - 2\text{WD} \tag{4.164}$$

类似于用 L_{ov} 来表示 LD，我们使用符号 W_{ov} 来表示 WD。结果，如 4.8.1 节所示，栅极-源极电容 C_{gs} 和栅极-漏极电容 C_{gd} 必须分别加入一个如下的重叠分量：

$$C_{gs,ov} = W\,\text{CGSO} \tag{4.165}$$

和

$$C_{gd,ov} = W\,\text{CGDG} \tag{4.166}$$

同样，栅极-衬底电容 C_{gb} 也必须加上一个如下的重叠分量：

$$C_{gb,ov} = L\,\text{CGBO} \tag{4.167}$$

读者可能已经观察到在 SPICE 指定的 MOSFET 模型参数中有内建的冗余。例如，用户可以指定 MOSFET 的 KP 值，或者指定 TOX 和 UO，让 SPICE 利用 UO TOX 来计算 KP。同样，GAMMA 可以直接指定，或者可以指定物理参数让 SPICE 来确定它（例如，NSUB）。在任何情况下，用户指定的值总是比 SPICE 计算得到的值重要。作为另一个例子，用户可以选择直接指定重叠电容 CGBO，CGDO 和 CGSO，也可以选择让 SPICE 计算这些值使得 CGDO = COSO = LD COX 以及 CGBO = WD COX。

表 4.8 对现代 0.5 μm CMOS 工艺 Level-1 MOSFET 模型参数的典型值以及 5 μm CMOS 工艺（已经过时了）的参数值进行了比较。相应的最小沟道长度 L_{min}、最小沟道宽度 W_{min} 和最大的电源电压 $(V_{DD}+|V_{SS}|)_{max}$ 如下：

工艺	L_{min}	W_{min}	$(V_{DD}+\|V_{SS}\|)_{max}$
5 μm CMOS	5 μm	12.5 μm	10 V
0.5 μm CMOS	0.5 μm	1.25 μm	3.3 V

因为在现代 CMOS 工艺中栅极氧化层更薄，因此必须减小最大的电源电压确保 MOSFET 极电压不会引起栅极下面的氧化层击穿。减小电源电压是先进 CMOS 工艺中模拟集成电路最有挑战的设计方面之一。从表 4.8，读者可以看到 CMOS 工艺的其他一些发展趋势。例如，随着 L_{min} 减小，沟道长度调制效应就变得越来越显著，因此，λ 值就增大。这导致 MOSFET 有更小的输出电阻 r_o，并且有更小的固有增益（见第 6 章）。另一个例子是现代 CMOS 工艺中的表面迁移率下降以及 μ_n/μ_p 比值的相应增大（从 2 增大到接近 5）。这些趋势对先进 CMOS 技术中的集成电路设计的影响将在第 6 章中讨论（特别要参考 6.2 节）。

表 4.8　两种 CMOS 工艺中 Level-1 MOSFET 模型参数值*

	5 μm CMOS 工艺		0.5 μm CMOS 工艺	
	NMOS	PMOS	NMOS	PMOS
LEVEL	1	1	1	1
TOX	85e-9	85e-9	9.5e-9	9.5e-9
UO	750	250	460	115
LAMBDA	0.01	0.03	0.1	0.2
GAMMA	1.4	0.65	0.5	0.45
VTO	1	−1	0.7	−0.8
PHI	0.7	0.65	0.8	0.75
LD	0.7e-6	0.6e-6	0.08e-6	0.09e-6
JS	1e-6	1e-6	10e-9	5e-9
CJ	0.4e-3	0.18e-3	0.57e-3	0.93e-3
MJ	0.5	0.5	0.5	0.5
CJSW	0.8e-9	0.6e-9	0.12e-9	0.17e-9
MJSW	0.5	0.5	0.4	0.35
PB	0.7	0.7	0.9	0.9
CGBO	0.2e-9	0.2e-9	0.38e-9	0.38e-9
CGDO	0.4e-9	0.4e-9	0.4e-9	0.35e-9
CGSO	0.4e-9	0.4e-9	0.4e-9	0.35e-9

* 在 PSpice 中，我们已经创建了对应于上面模型的 MOSFET 元件。读者可以在本书的 CD 和网站 www.sedrasmith.org 上找到这些元件。0.5 μm CMOS 工艺的 NMOS 和 PMOS 元件分别标为 NMOS0P5_BODY 和 PMOS0P5_BODY，5 μm CMOS 工艺的 NMOS 和 PMOS 元件分别标为 NMOS5P0_BODY 和 PMOS5P0_BODY。此外，NMOS0P5 和 PMOS0P5 元件分别对应于衬底连接到网络 0 的 NMOS0P5_BODY 和衬底连接到网络 V_{DD} 的 PMOS0P5_BODY。

当对 MOSFET 电路进行仿真时，用户需要指定模型参数值以及在仿真电路中每个 MOSFET 的尺寸，至少必须指定沟道长度 L 和沟道宽度 W。为了使 SPICE 能够对衬底结电容建立模型，需要指定面积 AD 和 AS 以及周长 PD 和 PS（否则，电容将会假定为 0）。这些几何尺寸的精确值取决于器件的实际布局（见附录 A）。但是为了估计这些尺寸，将假定金属接触电极制作在 MOSFET 的源区和漏区。为了达到这个目的，这些扩散区必须至少从沟道两端向外扩散（即图 4.1 中的 L 方向）$2.75\,L_{\min}$。因此，具有接触电极的源/漏扩散区的最小面积和周长分别为

$$AD = AS = 2.75\,L_{\min}W \tag{4.168}$$

和

$$PD = PS = 2\times 2.75\,L_{\min} + W \tag{4.169}$$

除非特别说明，在我们的例子中，我们将使用式（4.168）和式（4.169）来估计漏/源区的尺寸。

最后，注意 SPICE 是基于直流工作点（偏置点）来计算 MOSFET 小信号模型参数值的，因此可使用这些参数来进行小信号分析（交流分析）。

例题 4.14　CS 放大器

在这个例子中，使用 PSpice 来计算 CS 放大器的频率响应，它的原理图如图 4.63 所示[①]。可

① 本书中所有的 SPICE 例子的电路原理图和相应的 PSpice 仿真文件都可以在本书的 CD 和网站（www.sedrasmith.org）中找到。在这些原理图中（如图 4.63 所示），我们使用变量参数来输入不同电路元件的值，包括 MOSFET 的尺寸。这可以使读者通过简单改变相应的参数值来分析元件变化的影响。

以看出为了消除衬底效应，将MOSFET的源极和衬底极相连。假定该MOSFET使用0.5 μm CMOS工艺，并使用表4.8中列出的SPICE Level-1模型参数。还假定信号源电阻R_{sig} = 10 kΩ，负载电阻R_L = 50 kΩ，旁路电容和耦合电容都为10 μF。对该CS放大器的要求指标是中频增益A_M = 10 V/V，最大功耗P = 1.5 mW。正如通常情况下的计算机仿真，首先我们开始近似的手工设计，然后使用PSpice来优化设计，并分析最后设计的性能。通过这种方式，可以从仿真中得到最大的好处。

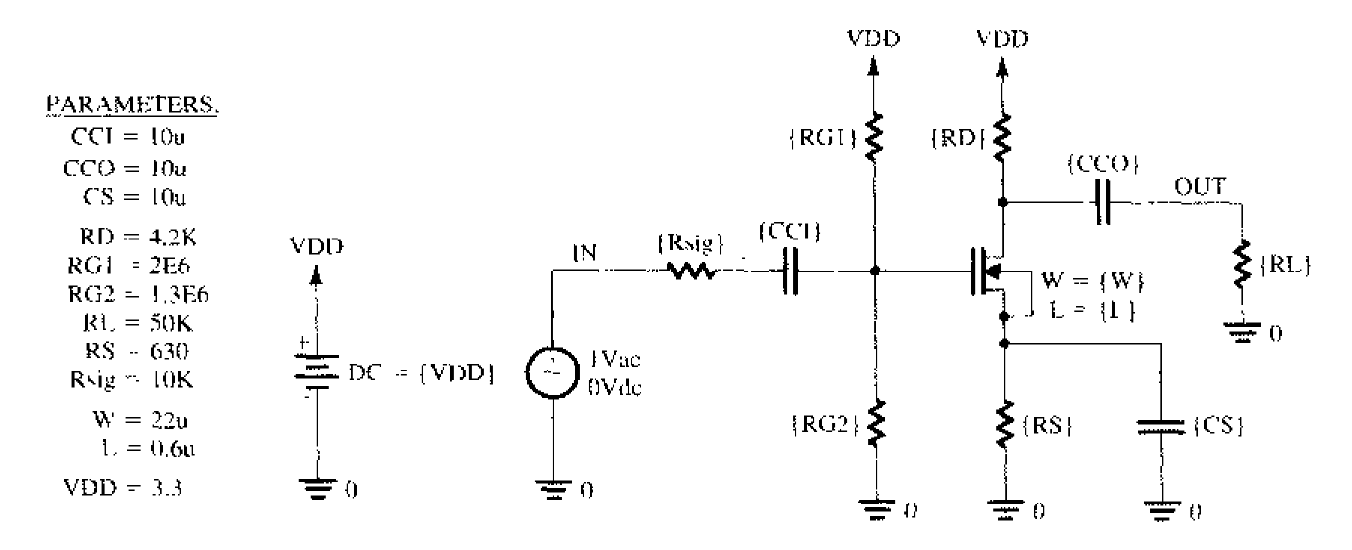


图4.63 例题4.14的CS放大器的原理图

由于有3.3 V的电源，MOSFET的漏极电流必须限制在$I_D = P/V_{DD}$ = 1.5 mW/3.3 V= 0.45 mA以满足功耗的指标。选择V_{OV} = 0.3 V（在低电压设计中的一个典型值）和$V_{DS} = V_{DD}/3$（为了在输出端得到大的幅度），可以得到MOSFET的尺寸为

$$\frac{W}{L_{\text{eff}}}=\frac{I_D}{\frac{1}{2}k_n'V_{OV}^2(1+\lambda V_{DS})}=\frac{0.45\times10^{-3}}{\frac{1}{2}(170.1\times10^{-6})(0.3)^2[1+0.1(1.1)]}\cong 53 \tag{4.170}$$

其中，$k_n' = \mu_n C_{ox}$ = 170.1 μA/V²（见表4.8）。这里，使用L_{eff}而不是L是为了更精确地计算I_D。使用W_{eff}而不是W的影响不是很重要，因为典型情况下有$W \gg W_{ov}$。因此，选择L = 0.6 μm使得$L_{\text{eff}} = L - 2L_{ov}$ = 0.44 μm，以及W = 23.3 μm。注意，我们选择L稍大于$L_{\min}$，这是在模拟IC的设计中为了使非理想制造工艺对实际的L值影响最小而通常采用的做法。我们会在后面介绍，当电路性能取决于两个或更多的MOSFET的尺寸匹配时（例如，我们将在第6章中介绍的镜像电流源），这一点显得特别重要。

接下来，基于要求的电压增益计算R_D：

$$|A_v| = g_m(R_D \| R_L \| r_o) = 10\ \text{V/V} \Rightarrow R_D = 4.2\ \text{k}\Omega \tag{4.171}$$

其中，g_m = 0.3 mA/V，r_o = 22.2 kΩ。因此，输出偏置电压$V_O = V_{DD} - I_D R_D$ = 1.39 V。为了使MOSFET偏置在$V_{DS} = V_{DD}/3$，要求$R_S = (V_O - V_{DD}/3)/I_D$ = 630 Ω。最后，选择R_{G1} = 2 MΩ和R_{G2} = 1.3 MΩ使栅极偏置电压为$V_G = I_D R_S + V_{OV} + V_{tn}$ = 1.29 V。使用大的栅极电阻是为了确保它们的功耗和对输入信号源的负载效应可以忽略不计。注意，在V_G的表达式中通过忽略衬底效应来简化手工计算。

现在利用PSpice来验证我们的设计并分析CS放大器的性能。首先执行偏置点仿真来验证MOSFET是否被正确偏置在饱和区，以及直流电压和电流是否在要求的指标范围内。基于该仿真，我们将W的值减小到22 μm来将I_D限制到0.45 mA左右。接下来，为了测量中频增益A_M和3 dB

频率 f_L 及 f_H，在输入端加上 1 V 的交流电压，执行交流分析，并输出对频率的电压幅度（用 dB 表示），如图 4.64 所示。这就相当于 CS 放大器的幅频响应，因为输入信号为 1 V[1]。因此，中频增益为 $A_M = 9.55$ V/V，3 dB 带宽为 $BW = f_H - f_L \simeq 122.1\,\text{MHz}$。图 4.64 进一步显示了增益在大约 300 Hz 时开始下降，但是在约 10 Hz 时又变平。在低频时增益的变平是由于 R_S 和 C_S 引入的放大器传输函数中的实际零点[2]所致。该零点出现在频率 $f_Z = 1/(2\pi R_S C_S) = 25.3$ Hz 处，它处于 4.9.3 节中推导得出的角频率 f_{P2} 和 f_{P3} 之间。现在我们来验证这个现象，令 $C_S = 0$（即移去 C_S）以使将 f_Z 移向无穷并消除它的影响，重新对该 CS 放大器进行仿真。相应的频率响应也画在图 4.64 中。正如所期望的，由于 $C_S = 0$，因此没有观察到放大器的低频响应出现变平的现象，现在看起来与图 4.52 所示的频率响应曲线类似。但是因为 CS 放大器现在包括了源电阻 R_S，因此 A_M 下降了 2.6 倍。该倍数大约等于 $(1 + g_m R_S)$，与我们从 4.7.4 节中具有源衰减电阻的 CS 放大器的学习中得到的结论一样。注意，带宽 BW 增加的倍数大约与增益 A_M 衰减因子相同。我们在第 8 章介绍负反馈时会讲到源衰减电阻 R_S 提供了负反馈，使得我们能够通过牺牲增益来获得更宽的带宽。

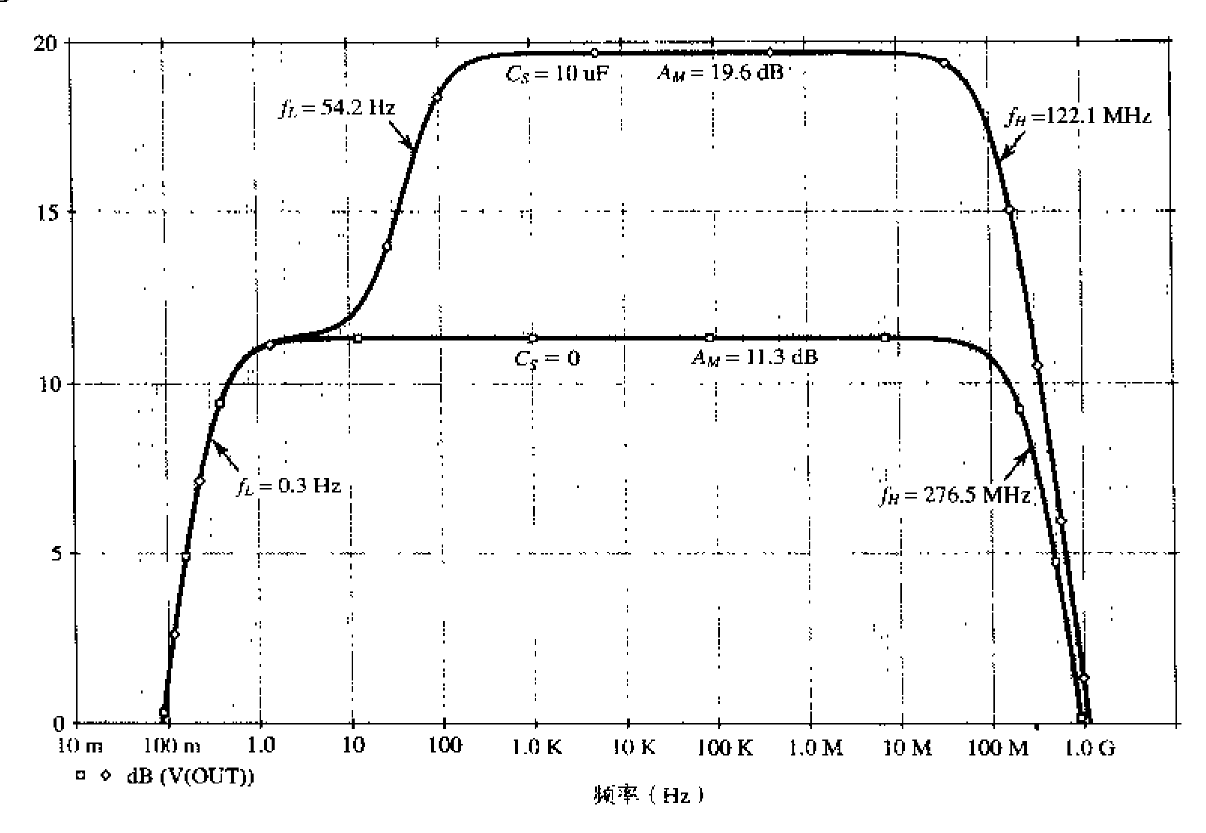


图 4.64　例题 4.14 中当 $C_S = 0.1\,\mu\text{F}$ 和 $C_S = 0$（即移去 C_S）时 CS 放大器的频率响应

为了对这个例子进行总结，我们将说明当使用源电阻 R_S 以后可以提高偏置点的稳定性（见 4.5.2 节的讨论）。具体地说，将 0 偏置开启电压参数 VT0 改变±15%（元件 NMOS0P5 的 MOSFET Level-1 模型）并执行偏置点仿真。表 4.9 给出了当 $R_S = 630\,\Omega$ 时相应的 I_D 和 V_O 变化。对于没有源衰减电阻的情况，在图 4.63 的原理图中，我们使用 $R_S = 0$。此外，为了在两种情况下得到

① 对于使用这么大的信号幅度，读者不应该感到吃惊。回忆一下 2.9.1 节，在小信号（交流）仿真中，SPICE 首先求得偏置点的小信号等效电路，然后分析这个线性电路。这样交流分析就可以是任何的交流信号幅度。但是使用 1 V 的交流输入比较方便，因为它产生对应于电路电压增益的交流输出。

② 还没有学习过零极点的读者可以参考附录 E 或跳过这几句话

相同的 I_D 和 V_O（对于标称开启电压 $V_{t0}=0.7$ V），我们使用 $R_{G2}=0.88$ MΩ 使 V_G 减小到大约 $V_{OV}+V_{tn}=1$ V。偏置点相应的变化显示在表 4.9 中。因此我们可以看出源衰减电阻使得 CS 放大器的偏置点对开启电压的敏感性减小。实际上，读者可以证明，对于表 4.9 中显示的值，偏置电流的变化($\Delta I/I$)大约减小相同的系数，即$(1+g_mR_S)$。但是，除非使用一个大的旁路电容 C_S，否则该灵敏度的减小是以中频增益的降低为代价的（对 $C_S=0$ 时的 CS 放大器进行仿真时就可以观察到）。

表 4.9 偏置点随 MOSFET 开启电压的变化

	$R_S=630\ \Omega$		$R_S=0$	
V_{t0}	I_D(mA)	V_O(V)	I_D(mA)	V_O(V)
0.60	0.56	0.962	0.71	0.33
0.7	0.46	1.39	0.45	1.40
0.81	0.36	1.81	0.21	2.40

小结

- 增强型 MOSFET 是目前使用得最广泛的半导体器件。它是 CMOS 技术的基础，而 CMOS 技术是目前最流行的 IC 制造技术。CMOS 提供了 n 沟道（NMOS）和 p 沟道（PMOS）晶体管，增加了设计的灵活性。在给定的 CMOS 工艺中能得到的最小 MOSFET 沟道长度可用来描述该工艺。该数字在不断减小，目前大约是 0.1 μm。
- 在 4.2 节中给出了 MOSFET 的电流-电压特性，并在表 4.1 中进行了总结。
- 在 4.3 节中通过许多例子说明了 MOSFET 电路的直流分析技术。
- 在 4.4 节中介绍了采用电阻性负载的基本共源放大器的大信号特性。通过图解法和分析法得到了电压传输特性，显示了三个工作区域：截止区和变阻区，这是 MOSFET 作为开关和数字逻辑反相器应用时的工作区；另外一个是饱和区，这是放大器工作的区域。为了得到线性放大，晶体管被偏置在饱和区的中间，且信号叠加在直流偏置电压 V_{GS} 上并保持足够小。小信号增益等于传输特性在偏置点处的斜率（见图 4.26）。
- 设计晶体管放大器的关键一步是对晶体管进行偏置使其工作在饱和区的合适位置点上。一个好的偏置设计能够确保偏置点的参数 I_D，V_{OV} 和 V_{DS} 是可预计的并且是稳定的，此外当用另一个同类型的晶体管替代后不会发生很大的变化。在 4.5 节中给出了各种不同的适合于分立元件电路设计的偏置方法。
- 在 4.6 节中给出了 MOSFET 的小信号特性以及电路模型。确定 MOSFET 模型参数的关系式在表 4.2 中进行了总结。
- 将 MOSFET 其中的一个端子接地将得到一个二端口网络，在该网络中，接地的端子作为输入端口和输出端口的公共端。因此，有三种基本的 MOSFET 放大器组态：共源（CS）组态，使用最广泛；共栅（CG）组态，有特殊的应用，特别是高频应用；共漏（CD）或源极跟随组态，作为电压缓冲器或作为多级放大器的输出级使用。参考 4.7 节最后的总结，特别是 表 4.4 给出了各种不同的单级 MOSFET 放大器组态的特性和比较。
- 对于 MOSFET 高频模型和确定模型参数的公式，参考表 4.5。
- MOSFET 的内部电容使得 MOS 放大器的增益在高频时下降。在分立 MOS 放大器中使用的耦合电容和旁路电容也会引起增益在低频时下降。忽略这两类电容，得到的增益固定不变的频率带称为中频区。由中频增益 A_M 和下限以及上限 3 dB 频率 f_L 和 f_H 可以描述放大器的频率响应，带宽为(f_H-f_L)。

- 共源放大器频率响应的分析（见 4.9 节）表明它的高频响应由总输入电容 C_{in} 和信号源的有效电阻 R'_{sig} 决定，$f_H = 1/2\pi C_{in} R'_{sig}$。输入电容 $C_{in} = C_{gs} + (1+g_m R'_L)C_{gd}$，主要由第二项确定。因此当 C_{gd} 较小时，它的影响也可能很大，因为它被乘上了一个因子，该因子大约等于中频增益。这就是米勒效应。
- CMOS 数字逻辑反相器给出了逻辑反相函数的一个几乎理想的实现。它的特性在 4.10 节中介绍，并在表 4.6 中进行了总结。
- 耗尽型 MOSFET 有一个嵌入的沟道，因此，它既可以工作在耗尽模式，也可以工作在增强模式。它可以使用与增强型器件相同的公式来描述端口特性，只是它的 V_t 为负（耗尽型 PMOS 晶体管的 V_t 为正）。
- 尽管不能替代采用简化器件模型的手工设计，但是使用具有更细致从而更精确的模型的 SPICE 计算机仿真对于在制造之前检查和优化设计是非常重要的。
- 在第 6 章中我们会继续介绍 MOSFET 放大器，并将在第 10 章中介绍 CMOS 电路。

习题

4.1 节：器件结构与物理特性

4.1 使用MOS技术来制造电容器是把金属化的栅极和衬底作为电容的电极。当氧化层厚度在 5 nm 到 40 nm 的范围时，求每 1 pF 电容所需要的面积。对于一个 10 pF 的方形平板电容器，需要的最大尺寸为多少？

4.2 某特定 MOSFET 的栅极结构和沟道长度与 $i_D \sim v_{DS}$ 特性如图 4.4 所示的晶体管相同，但是沟道宽度是它的 10 倍。为了表示这种变化，它的纵坐标应该如何重新标注？求表示 i_D 和 $(v_{GS}-V_t)v_{DS}$ 的比例系数？当过驱动电压 $(v_{GS}-V_t)$ 的范围为 0.5 V 到 2 V 时，漏极到源极电阻 r_{DS} 的范围为多少？

4.3 基于 $\mu_p \simeq 0.4\,\mu_n$ 的知识，如果要求 n 沟道和 p 沟道器件工作在饱和模式，并且当具有相同大小的过驱动电压时有相同的漏极电流，那么它们的相对宽度应该为多少？

4.4 某 n 沟道器件有 $k'_n = 50\,\mu A/V^2$，$V_t = 0.8$ V，$W/L = 20$。当 v_{DS} 较小时，该器件作为开关工作，并使用 0 V 到 5 V 的控制电压 v_{GS}。当 $v_{GS} = 5$ V 以及 $i_D = 1$ mA 时，求该开关的闭合电阻 r_{DS} 以及闭合电压 V_{DS}。因为 $\mu_p \simeq 0.4\,\mu_n$，那么对于和 n 沟道器件提供相同性能的 p 沟道器件，它的 W/L 应该为多少？

4.5 某 n 沟道 MOS 器件，采用氧化层厚度为 20 nm，最小栅极长度为 1 μm 的工艺制成，$k'_n = 100\,\mu A/V^2$，$V_t = 0.8$ V。当 v_{DS} 较小以及栅极-源极电压在 0 V 到+5 V 的范围内时，它工作在变阻区，那么为了确保 1 kΩ的最小电阻，器件宽度应该为多少？

4.6 考虑 CMOS 工艺，$L_{min} = 0.8\,\mu m$，$t_{ox} = 15$ nm，$\mu_n = 550\ cm^2/V{\cdot}s$，$V_t = 0.7$ V。

（a）求 C_{ox} 和 k'_n。

（b）对于一个 NMOS 晶体管有 $W/L = 16\,\mu m/0.8\,\mu m$，计算使该晶体管工作在饱和区并且直流电流 $I_D = 100\,\mu A$ 时的 V_{OV}，V_{GS} 和 $V_{DS\min}$ 值。

（c）对于（b）中的器件，当 v_{DS} 非常小时要求该器件作为 1000 Ω的电阻工作，求此时的 V_{OV} 和 V_{GS} 值。

4.7 考虑一个 n 沟道 MOSFET，其 $t_{ox} = 20$ nm，$\mu_n = 650\ cm^2/V{\cdot}s$，$V_t = 0.8$ V，以及 $W/L = 10$。求下列情况下的漏极电流：

（a）$v_{GS}=5\text{ V}$ 且 $v_{DS}=1\text{ V}$

（b）$v_{GS}=2\text{ V}$ 且 $v_{DS}=1.2\text{ V}$

（c）$v_{GS}=5\text{ V}$ 且 $v_{DS}=0.2\text{ V}$

（d）$v_{GS}=v_{DS}=5\text{ V}$

4.2 节：电流–电压特性

4.8 考虑一个 NMOS 晶体管，它与 $i_D \sim v_{DS}$ 特性如图 4.11（b）所示的晶体管相同，只是只有一半的宽度。要使该特性对应于宽度更窄的器件，那么它的纵坐标应该如何重新标注？如果宽度更窄的器件工作在饱和区并且过驱动电压为 1.5 V，那么它的 i_D 值为多少？

4.9 解释为什么图 4.11（b）中的曲线不随 V_t 的变化而变化。你能设计出更一般的表示方法来表示图 4.12 中给出的特性吗（即 V_t 独立）？

4.10 对于 $i_D \sim v_{GS}$ 特性如图 4.12 所描述的晶体管，画出当 $v_{DS} \geqslant v_{OV}$ 时 i_D 相对于过驱动电压 $v_{OV} \equiv v_{GS}-V_t$ 的变化曲线。与图 4.12 所示的图形相比，该图形有什么优点？在同一个图上画出除了宽度是一半之外其他都相同的晶体管 i_D 相对于过驱动电压变化的图形。

4.11 一个 NMOS 晶体管有 $V_t=1\text{ V}$，当 v_{DS} 较小时它工作在变阻区。当 $V_{GS}=1.5\text{ V}$ 时，求得电阻 r_{DS} 为 1 kΩ。为了使 $r_{DS}=200\ \Omega$，则 V_{GS} 为多少？当晶体管的 W 具有两倍大小时，求其相应的电阻值。

4.12 某特定的增强型 MOSFET，$V_t=1\text{ V}$，$k_n'(W/L)=0.1\text{ mA/V}^2$，它工作在饱和区。如果 i_D 为 0.2 mA，求 v_{GS} 以及所需要的最小 v_{DS}。当 $i_D=0.8\text{ mA}$ 时重新计算。

4.13 对某特定的 n 沟道增强型 MOSFET 测量得到当 $V_{GS}=V_{DS}=5\text{ V}$ 时，漏极电流为 4 mA，当 $V_{GS}=V_{DS}=3\text{ V}$ 时，漏极电流为 1 mA。该器件的 $k_n'(W/L)$ 和 V_t 各为多少？

D4.14 对于给定的 IC 制造工艺，互导参数 $k_n'=50\ \mu\text{A/V}^2$，$V_t=1\text{ V}$。在最小长度为 2 μm 的器件的某应用中，在 $v_{GS}=v_{DS}=V_{\text{supply}}=5\text{ V}$ 时要求漏极电流为 0.8 mA。则设计时沟道宽度必须为多少？

4.15 一个 NMOS 晶体管工作在线性电阻区，并且 $v_{DS}=0.1\text{ V}$，当 $v_{GS}=2\text{ V}$ 时，导通电流为 60 μA；当 $v_{GS}=4\text{ V}$ 时，导通电流为 160 μA。则开启电压 V_t 的值为多少？如果 $k_n'=50\ \mu\text{A/V}^2$，则该器件的 W/L 比为多少？当 $v_{GS}=3\text{ V}$，$v_{DS}=0.15\text{ V}$ 时，流过的电流为多少？如果该晶体管工作在 $v_{GS}=3\text{ V}$，那么当 v_{DS} 为何值时该 MOSFET 的沟道近漏端刚好夹断，相应的漏极电流为多少？

4.16 某 NMOS 晶体管有 $V_t=0.8\text{ V}$，v_{GS} 工作在 1.5 V 到 4 V 的范围内，那么沟道保持连续时最大的 v_{DS} 值为多少？

4.17 某 NMOS 晶体管 $W=100\ \mu\text{m}$，$L=5\ \mu\text{m}$，$k_n'=50\ \mu\text{A/V}^2$，$V_t=1\text{ V}$。在 v_{DS} 非常小的情况下，它作为线性电阻工作。当 v_{GS} 在 1.1 V 到 11 V 范围内变化时，可以得到多大范围的电阻值？如果发生下列情况，则该范围又为多少？

（a）该器件宽度为一半；

（b）器件长度为一半；

（c）宽度和长度都为一半。

4.18 当 MOSFET 的漏极和栅极连接在一起时就可以得到一个称为“二极管连接的晶体管”的二端器件。图 P4.18 是由两种极性的 MOS 晶体管得到的这种二端器件。证明：

（a）伏安关系为

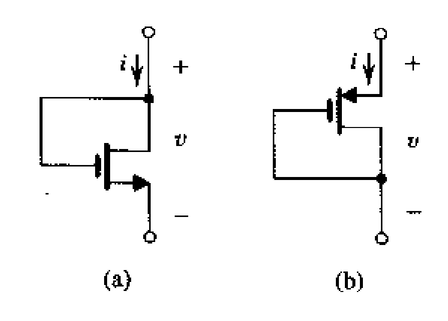


图 P4.18

$$i = k'\frac{W}{L}(v - |V_t|)^2$$

（b）当该器件被偏置在 $v = |V_t| + V_{OV}$ 时，其增量电阻 r 为

$$r \equiv 1\bigg/\left[\frac{\partial i}{\partial v}\right] = 1\bigg/\left(k'\frac{W}{L}V_{OV}\right)$$

4.19 某 MOSFET 工作在饱和区，并且 v_{GS} 固定不变，当 $v_{DS} = 4$ V 时，i_D 为 2 mA，当 $v_{DS} = 8$ V 时，i_D 为 2.2 mA。求对应的 r_o，V_A 和 λ 各为多少？

4.20 某特定的 MOSFET 有 $V_A = 50$ V。当工作在 0.1 mA 和 1 mA 时，输出电阻为多少？在每种情况下，v_{DS} 发生 1 V 的变化时，漏极电流变化的百分比为多少？

D4.21 在某特定的 IC 设计中，标准沟道长度为 2 μm，一个 $W/L = 5$ 的 NMOS 器件的工作电流为 100 μA，求得它的输出电阻为 0.5 MΩ，大约是所需要的 $\frac{1}{4}$。为了解决这个问题，尺寸的变化应为多大？新器件的长度为多少？宽度为多少？W/L 比为多少？在这个 IC 中，标准器件的 V_A 为多少？对于新器件来说又为多少？

D4.22 在某特定的 n 沟道 MOS 工艺中最小沟道长度为 1 μm，相应的 λ 为 0.02 V^{-1}。如果一个特定的器件 L 为 3 μm，它工作在 $v_{DS} = 1$ V，漏极电流为 80 μA，如果 v_{DS} 上升到 5 V，那么漏极电流将变为多少？变化的百分比为多少？可以采取什么措施使这个百分比减小两倍？

4.23 某 NMOS 晶体管由 0.8 μm 工艺制造，并且有 $k_n' = 130\ \mu A/V^2$，$V_A' = 20$ V/μm。如果 $L = 1.6\ \mu$m 以及 $W = 16\ \mu$m，求 V_A 和 λ。当器件的过驱动电压为 0.5 V 且 $V_{DS} = 2$ V 时，求 I_D 值。此外求工作点上的 r_o 值。如果 V_{DS} 增加 1 V，相应的 I_D 变为多少？

4.24 填写下表的空余项，该表描述了正确偏置的 NMOS 的特性：

MOS	1	2	3	4
$\lambda(V^{-1})$		0.01		
V_A(V)	50			200
I_D(mA)	5		0.1	
r_o(kΩ)		30	100	1000

4.25 某 NMOS 晶体管 $\lambda = 0.01\ V^{-1}$，工作在直流电流 $I_D = 1$ mA 上。如果沟道长度加倍，求在下面两种情况下新的 λ，V_A，I_D 和 r_o 值：

（a）V_{GS} 和 V_{DS} 固定；

（b）I_D 和 V_{DS} 固定。

4.26 某增强型 PMOS 晶体管有 $k_p'(W/L) = 80\ \mu A/V^2$，$V_t = -1.5$ V，$\lambda = -0.02\ V^{-1}$。栅极接地并且源极接到+5 V。当 $v_D = +4$ V，+1.5 V，0 V 和−5 V 时，求漏极电流。

4.27 某 p 沟道晶体管 $|V_t| = 1$ V，$|V_A| = 50$ V，它工作在饱和区，并且有 $|v_{GS}| = 3$ V，$|v_{DS}| = 4$ V，以及 $i_D = 3$ mA。求相应的 v_{GS}，v_{SG}，v_{DS}，v_{SD}，V_t，V_A，λ 和 $k_p'(W/L)$ 的带符号的值。

4.28 对于栅极–氧化层厚度为 20 nm 的工艺，求对应于 $\gamma = 0.5\ V^{1/2}$ 时的 N_A 值，如果保持掺杂浓度不变但是将栅极–氧化层厚度增加到 100 nm，则 γ 将变为多少？如果 γ 保持 $0.5\ V^{1/2}$ 不变，则掺杂浓度必须变为多大？

4.29 在一个特定的应用中，某 n 沟道 MOSFET 工作时 V_{SB} 的范围为 0 V 到 4 V。如果 V_{t0} 的标称值为 1.0 V，求当 $\gamma = 0.5\ V^{1/2}$ 和 $2\phi_f = 0.6$ V 时得到的 V_t 范围。如果栅极氧化物的厚度增加 4 倍，那么开启电压变为多少？

4.30 某p沟道晶体管工作在饱和区，并且它的源极电压比衬底低3 V。当$\gamma = 0.5\ V^{1/2}$，$2\phi_f = 0.75$ V，以及$V_{t0} = -0.7$ V时，求V_t。

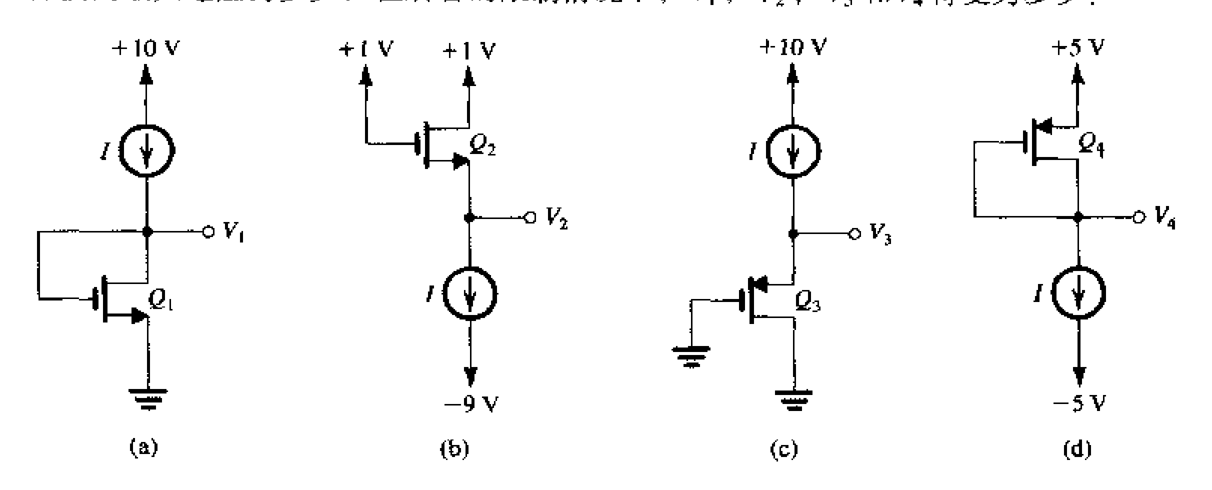
*4.31 （a）使用饱和区i_D的表达式并忽略沟道长度调制效应（即$\lambda = 0$），推导出用每摄氏度k_n'的单位变化$[(\partial k_n'/k_n')/\partial T]$、$V_t$的温度系数（V/℃）（$\partial V_t/\partial T$）以及用$V_{GS}$和$V_t$来表示的每摄氏度$i_D$的单位变化$[(\partial i_D/i_D)/\partial T]$的表达式。

（b）如果温度每升高1℃，V_t将减小2 mV，那么$V_t = 1$ V的NMOS晶体管工作在$V_{GS} = 5$ V时，求导致i_D以0.2%/℃下降的i_D的温度系数。

*4.32 对不同的NMOS和PMOS晶体管的工作状态进行测量得到如下表所示的结果。对于每一个晶体管，求$\mu C_{ox}W/L$和V_t值来完成下表，其中电压的单位为V，电流的单位为μA，$\mu C_{ox}W/L$的单位为$\mu A/V^2$。

情况	晶体管	V_S	V_G	V_D	I_D	类型	模式	$\mu C_{ox}W/L$	V_t
a	1	0	2	5	100				
	1	0	3	5	400				
b	2	5	3	–4.5	50				
	2	5	2	–0.5	450				
c	3	5	3	4	200				
	3	5	2	0	800				
d	4	–2	0	0	72				
	4	–4	0	–3	270				

*4.33 图P4.33所示电路图中的所有晶体管都有相同的$|V_t|$、k'，W/L和λ。此外，λ非常小，可以忽略不计。所有晶体管都工作在饱和状态，$I_D = I$，$|V_{GS}| = |V_{DS}| = 3$ V。求电压V_1，V_2，V_3和V_4。如果$|V_t| = 1$ V，$I = 2$ mA，那么漏极上可以串联多大的电阻并且能够保持饱和状态不变？栅极上可以串联的最大电阻是多少？如果电流源I正常工作时要求两端的电压至少为2 V，那么为了确保每个晶体管工作在$I_D = I$的饱和模式不变，可以串联在MOSFET源极的最大电阻为多少？在后者的限制情况下，V_1，V_2，V_3和V_4将变为多少？



图P4.33

4.3节：MOSFET直流电路

D4.34 设计图4.20所示的电路使漏极电流为1 mA，漏极电压为0 V。该MOSFET有$V_t = 1$ V，$\mu_n C_{ox} = 60\ \mu A/V^2$，$L = 3\ \mu m$，$W = 100\ \mu m$。

D4.35 考虑图 E4.12 所示的电路。设 Q_1 和 Q_2 有 $V_t = 0.6$ V，$\mu_n C_{ox} = 200\ \mu A/V^2$，$L_1 = L_2 = 0.8\ \mu m$，$W_1 = 8\ \mu m$ 以及 $\lambda = 0$。

（a）求使 Q_1 的电流为 0.2 mA 时 R 的值。

（b）求使 Q_2 工作在 0.5 mA 的电流和漏极电压为 1 V 的饱和状态时的 W_2 值以及新的 R_2 值。

D4.36 图 P4.36 所示电路中的 PMOS 晶体管有 $V_t = -0.7$ V，$\mu_p C_{ox} = 60\ \mu A/V^2$，$L = 0.8\ \mu m$ 以及 $\lambda = 0$。求使漏极电流为 115 μA 和电压 V_D 为 3.5 V 时的 W 和 R。

D4.37 图 P4.37 所示电路中的 NMOS 晶体管有 $V_t = 1$ V，$\mu_n C_{ox} = 120\ \mu A/V^2$，$\lambda = 0$，以及 $L_1 = L_2 = 1\ \mu m$。要得到如图所示 R 的电压和电流，求 Q_1 和 Q_2 的栅极宽度。

D4.38 图 P4.38 所示电路中的 NMOS 晶体管有 $V_t = 1$ V，$\mu_n C_{ox} = 120\ \mu A/V^2$，$\lambda = 0$，以及 $L_1 = L_2 = L_3 = 1\ \mu m$。要得到如图所示的电压和电流，求 Q_1、Q_2 和 Q_3 的栅极宽度值。

4.39 考虑图 4.23（a）所示电路。在例题 4.5 中，当 $V_t = 1$ V 且 $k_n'(W/L) = 1\ mA/V^2$ 时，求得漏极电流为 0.5 mA，漏极电压为+7 V。如果晶体管被 $V_t = 2$ V 和 $k_n'(W/L) = 2\ mA/V^2$ 的另一个晶体管替代，求新的 I_D 和 V_D 值。就电路对器件参数变化的承受能力进行评述。

D4.40 使用 $V_t = -1.5$ V，$k_p'(W/L) = 1\ mA/V^2$ 和 $\lambda = 0$ 的增强型 PMOS 来设计类似图 4.23（a）所示的电路。使用 10 V 的电源并要求栅极电压为+6 V，漏极电流为 0.5 mA，漏极电压为+5 V。求 R_S 和 R_D 的值。

4.41 图 P4.41 中的 MOSFET 有 $V_t = 1$ V，$k_n' = 100\ \mu A/V^2$ 和 $\lambda = 0$。要求 $v_I = V_{DD} = +5$ V 时，$r_{DS} = 50\ \Omega$，$v_O = 50$ mV，求所需要的 W/L 和 R 的值。

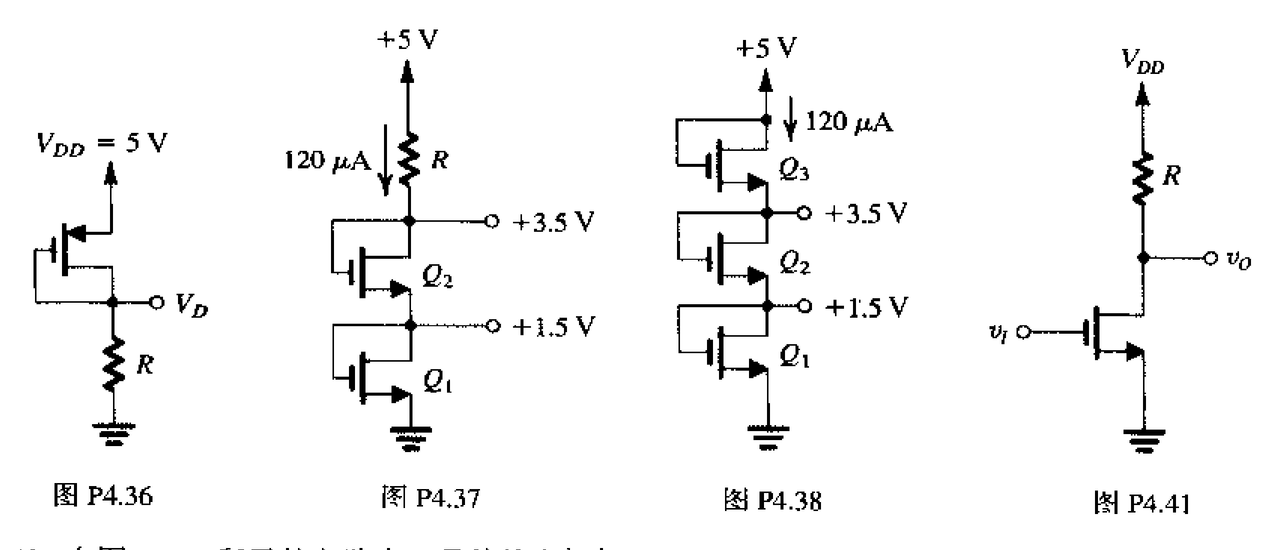


图 P4.36　　图 P4.37　　图 P4.38　　图 P4.41

4.42 在图 P4.42 所示的电路中，晶体管有 $|V_t| = 2$ V，$k'W/L = 1\ mA/V^2$，$\lambda = 0$。

（a）求所标的 V_1 到 V_7 电压。

（b）在每个电路中，用电阻代替电流源。选择电阻值使电流尽可能接近电流源值，使用附录 G 的 1%表格中指定的电阻，求新的 V_1 到 V_7 的值。

4.43 对于图 P4.43 所示的各个电路，求所标节点的电压。所有晶体管有 $k_n'(W/L) = 0.4\ mA/V^2$，$V_t = 1$ V，$\lambda = 0$。

4.44 对于图 P4.44 所示电路，求所标节点的电压。NMOS 晶体管有 $V_t = 1$ V 和 $k_n'W/L = 2\ mA/V^2$。假设 $\lambda = 0$。

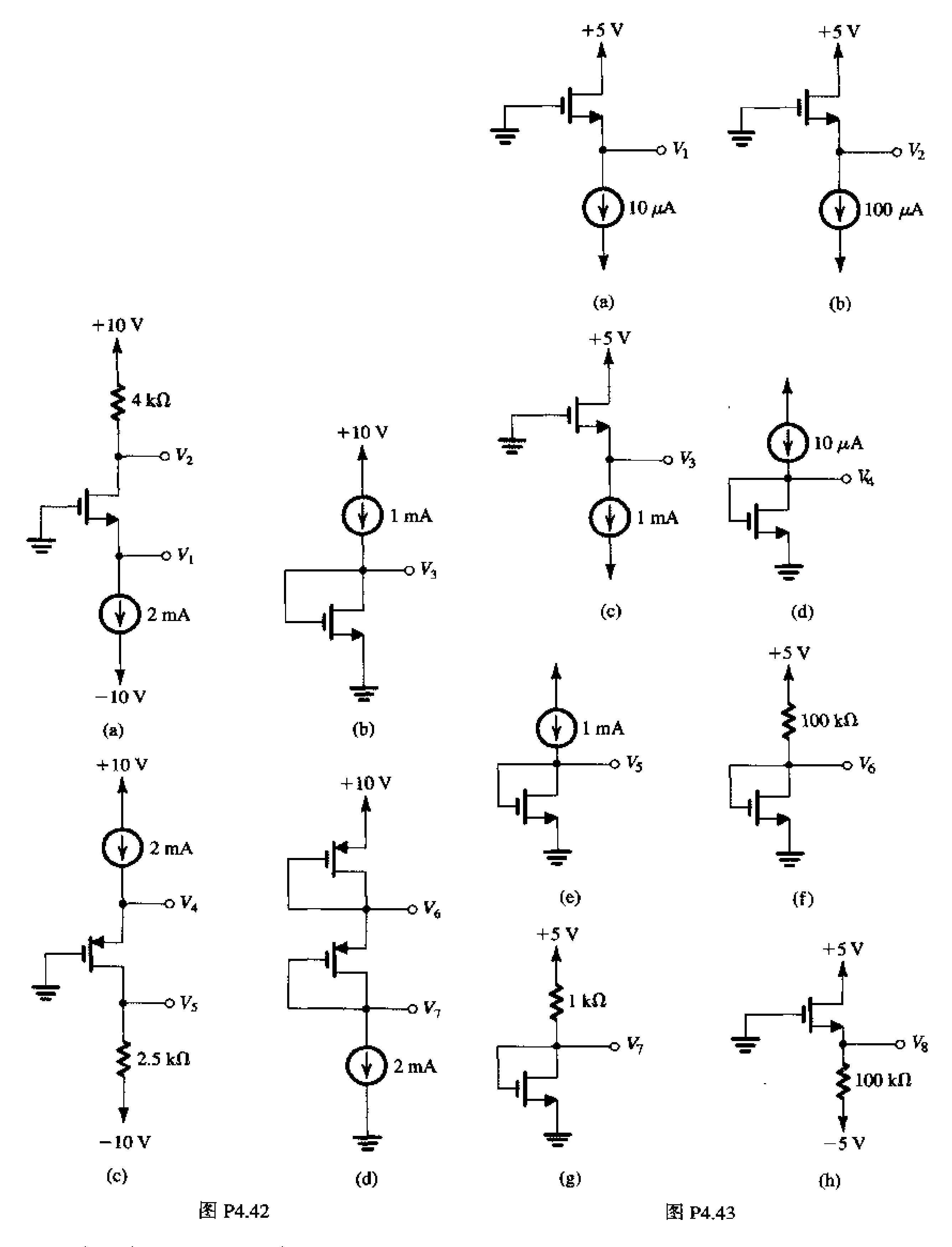


图 P4.42　　　　图 P4.43

*4.45 对于图 P4.45 所示电路中的 PMOS 晶体管有 $k'_p = 8\ \mu A/V^2$，$W/L = 25$，以及 $|V_{tp}| = 1$ V。若 $I = 100\ \mu A$，求 $R = 0$，10 kΩ，30 kΩ以及 100 kΩ时的电压 V_{SD} 和 V_{SG}。当 R 为何值时有 $V_{SD} = V_{SG}$？有 $V_{SD} = V_{SG}/2$？有 $V_{SD} = V_{SG}/10$？

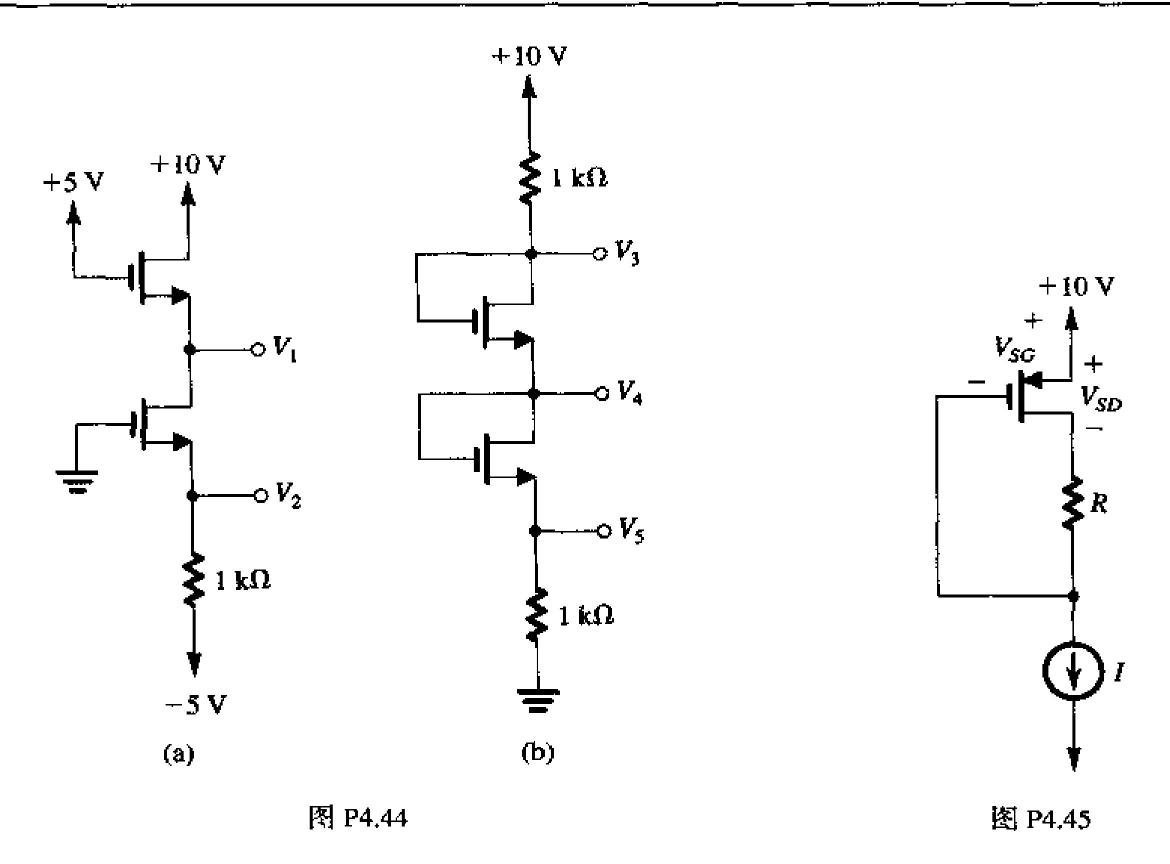


图 P4.44　　　　图 P4.45

4.46 对于图 P4.46 所示电路，除了指定参数以外，有 $\mu_n C_{ox} = 2.5\,\mu_p C_{ox} = 20\,\mu\text{A/V}^2$，$|V_t| = 1\text{ V}$，$\lambda = 0$，$\gamma = 0$，$L = 10\,\mu\text{m}$ 以及 $W = 30\,\mu\text{m}$。求所标的电流和电压。

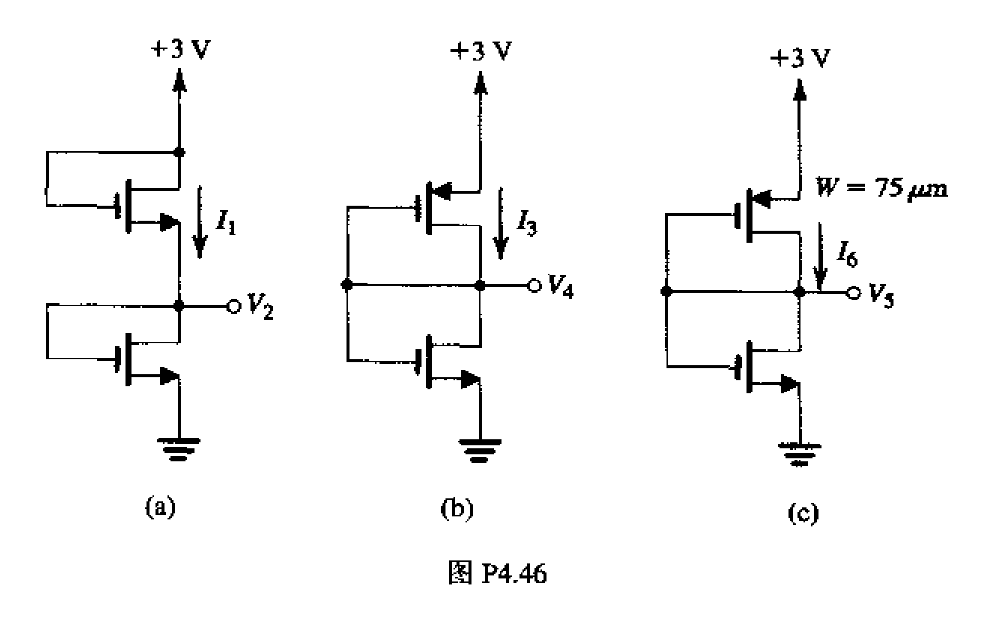


图 P4.46

*4.47 对于图 P4.47 所示电路中的器件，有 $|V_t| = 1\text{ V}$，$\lambda = 0$，$\gamma = 0$，$\mu_n C_{ox} = 50\,\mu\text{A/V}^2$，$L = 1\,\mu\text{m}$ 以及 $W = 10\,\mu\text{m}$。求 V_2 和 I_2。如果使 Q_3 和 Q_4 的 $W = 100\,\mu\text{m}$，那么这些值将会如何变化？

4.48 在图 P4.48 所示电路中，晶体管 Q_1 和 Q_2 有 $V_t = 1\text{ V}$，工艺互导参数 $k_n' = 100\,\mu\text{A/V}^2$。假定 $\lambda = 0$，求下列情况下 V_1，V_2 和 V_3 的值：

（a）$(W/L)_1 = (W/L)_2 = 20$

（b）$(W/L)_1 = 1.5(W/L)_2 = 20$

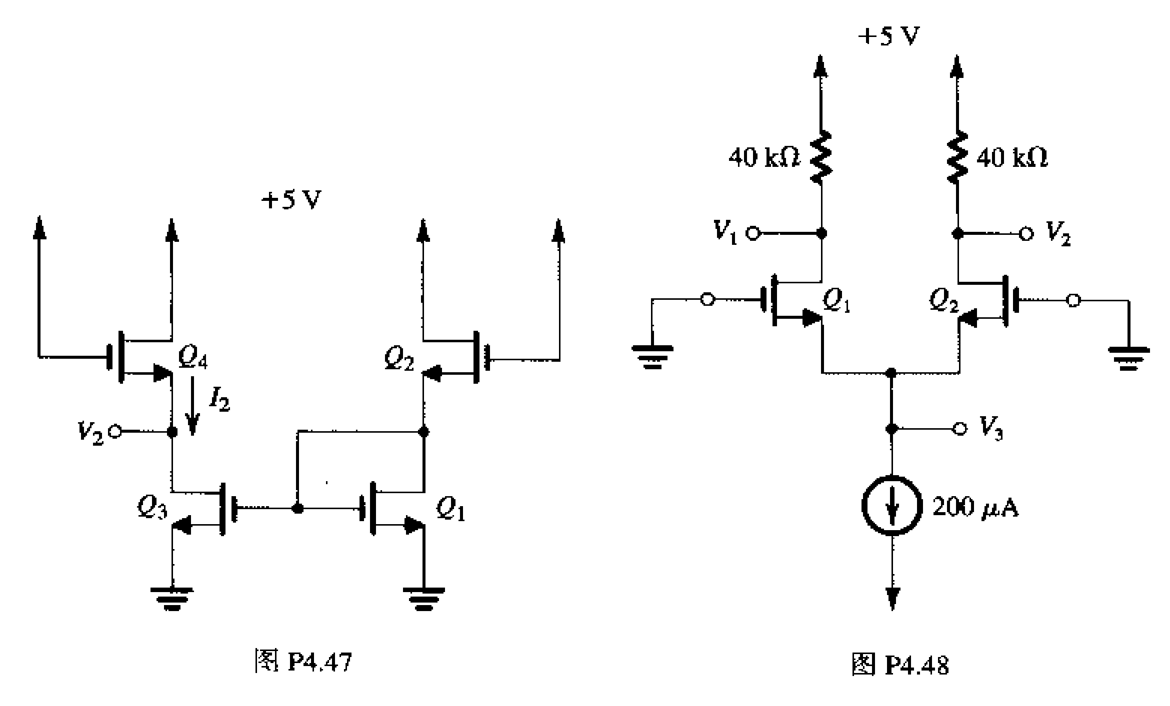


图 P4.47

图 P4.48

4.4 节：作为放大器和开关的 MOSFET

4.49 考虑图 4.26(a)所示的 CS 放大器，$V_{DD}=5$ V，$R_D=24$ kΩ，$k'_n(W/L)=1$ mA/V^2，$V_t=1$ V。

(a) 求放大器传输特性饱和区段的两个端点坐标，即图 4.26（c）曲线上 A 点和 B 点的坐标。

(b) 如果放大器的偏置产生过驱动电压 V_{OV} 为 0.5 V，求传输特性上偏置点 Q_1 的坐标，并求偏置点的 I_D 值和增量增益 A_v。

(c) 对于（b）中的情形，并且不考虑由 MOSFET 平方特性引起的失真，那么当晶体管保持饱和状态时能够在输入端施加的最大正弦波电压信号的幅度为多少？相应的输出电压信号的幅度为多少？该幅度得到的增益值为多少？该增益值与上面计算得到的增量增益的百分比差值为多少？为什么会存在这种差别？

*4.50 分析例题 4.8 中介绍的 CS 放大器电路在不同偏置条件下的性能，即沿着传输特性饱和段上不同点的偏置。用表格列出 $V_{DS}=V_{OQ}$ 在 1 V 到 10 V，以 1 V 增量变化时（即在表中行应该是 $V_{DS}=1$ V，2 V，3 V，…，10 V）的 I_D（mA）、V_{OV}（V）、$V_{GS}=V_{IQ}$（V）、A_v（V/V），最大允许的正输出信号 v_o^+（V）的幅度以及最大允许的负输出信号 v_o^-（V）的幅度。注意，v_o^+ 由 MOSFET 进入截止区引起，而 v_o^- 由 MOSFET 进入变阻区引起。

4.51 对漏极电阻 R_D 为 20 kΩ的 NMOS 放大器进行不同的测量。首先进行直流测量，得到漏极电阻两端的电压 V_{RD} 为 2 V，栅极到源极的偏置电压为 1.2 V。然后，进行小信号交流测量得到电压增益为−10 V/V。该晶体管的 V_t 值为多少？如果工艺互导参数 k'_n 为 50 μA/V^2，那么该 MOSFET 的 W/L 值为多少？

*D4.52 参考式（4.41）中增量电压增益的表达式。考虑不同的设计使过驱动电压 V_{OV} 有一个下限，在这里我们假设该下限为 0.2 V，并设 $V_{DD}=5$ V。

(a) 如果输出电压没有任何摆动的空间，那么可获得的最大电压增益为多少？

(b) 如果要求输出电压摆幅为±0.5 V，为了得到最大的增益，在漏极上建立的直流偏置电压应为多少？该增益值为多少？产生幅度为±0.5 V 的输出时，输入信号为多少？

(c) 对于（b）中的情形，求使晶体管漏极直流电流为 100 μA 的 W/L 值。$k'_n=100$ μA/V^2。

（d）求所要求的 R_D 值。

4.53 式（4.41）中给出的增量电压增益 A_v 的表达式可以写为

$$A_v = -\frac{2(V_{DD}-V_{DS})}{V_{OV}}$$

其中，V_{DS} 是漏极偏置电压（在本书中称为 V_{DQ}）。该表达式表明对于给定的 V_{DD} 和 V_{OV} 值，可以通过对晶体管偏置更低的 V_{DS} 值来增大增益幅度，但这又会减小负方向的允许输出信号幅度。假设在偏置点附近线性工作，证明当晶体管保持饱和工作时可达到的最大可能的负输出信号幅度 $\hat{v}_o$ 为

$$\hat{v}_o = (V_{DS}-V_{OV})\Big/\left(1+\frac{1}{A_v}\right)$$

对于 $V_{DD}=5$ V 以及 $V_{OV}=0.5$ V，列表给出当 $V_{DS}=1$ V，1.5 V，2 V 以及 2.5 V 时的 A_v，$\hat{v}_o$ 以及相应的 $\hat{v}_i$ 值。如果 $k_n'W/L=1\ \text{mA/V}^2$，求使得 $V_{DS}=1$ V 时的 I_D 和 R_D 的设计值。

4.54 图 P4.54 所示是一个 CS 放大器，它的负载电阻 R_D 被替换为连接为二端器件的另一个 NMOS 晶体管 Q_2。可以看出，因为 Q_2 的 v_{DG} 为 0，因此它在任何时候都工作在饱和区，即使 $v_I=0$ 以及 $i_{D2}=i_{D1}=0$。也可以看出两个晶体管有相同的漏极电流。对于使 Q_1 工作在饱和区的 v_I 范围，即有

$$V_{t1} \leqslant v_I \leqslant v_O + V_{t1}$$

使用 $i_{D1}=i_{D2}$，证明输出电压为

$$v_o = V_{DD}-V_t+\sqrt{\frac{(W/L)_1}{(W/L)_2}}V_t-\sqrt{\frac{(W/L)_1}{(W/L)_2}}v_I$$

其中假设 $V_{t1}=V_{t2}=V_t$。因此对于该电路来说，即使输入较大的信号，它也为一个线性放大器。当 $(W/L)_1=(50\ \mu\text{m}/0.5\ \mu\text{m})$ 和 $(W/L)_2=(5\ \mu\text{m}/0.5\ \mu\text{m})$ 时，求电压增益。

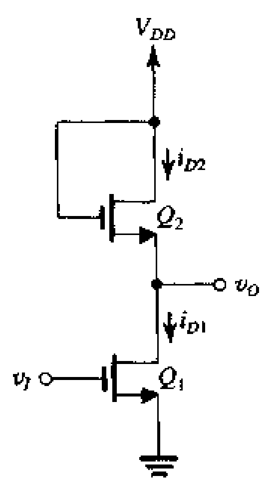


图 P4.54

4.5 节：MOS 放大电路的偏置

D4.55 考虑如图 4.30（c）所示的经典偏置方法，它使用 15 V 的电源供电。晶体管有 $V_t=1.2$ V，$\lambda=0$，$k_n'=80\ \mu\text{A/V}^2$，$W=240\ \mu$m 以及 $L=6\ \mu$m。设漏极电流为 2 mA，R_S 和 R_D 两端的电压分别是电源电压的三分之一。R_{G1} 和 R_{G2} 的高电阻值为 22 MΩ，那么所选择的 R_{G1}，R_{G2}，R_S 和 R_D 的值为多少？指定两位有效位。对于该设计，漏极电压离饱和边缘有多远？

D4.56 使用图 4.30（e）所示的电路结构对晶体管进行偏置，使得 $I_D=2$ mA，V_D 位于截止区和变阻区起始点的中间。电源为±15 V。NMOS 晶体管有 $V_t=0.8$ V，$\lambda=0$，$k_n'=50\ \mu\text{A/V}^2$，$W=200\ \mu$m 以及 $L=4\ \mu$m。使用 10 MΩ的栅极偏置电阻，并且指定 R_S 和 R_D 至两位有效位。

*D4.57 在一个使用图4.30（c）所示的偏置方法的电子仪表中，一个生产错误使得 R_S 变为 0。假设 $V_{DD}=12$ V，$R_{G1}=5.6$ MΩ，$R_{G2}=2.2$ MΩ，那么得到的 V_G 值为多少？如果提供的指标允许 $k_n'(W/L)$ 在 $220\ \mu\text{A/V}^2$ 到 $380\ \mu\text{A/V}^2$ 变化，V_t 在 1.3 V 到 2.4 V 之间变化，那么可能产生的 I_D 的极限值为多少？为了限制 I_D 的最大值为 0.15 mA，应该使用多大的 R_S 电阻？选择合适的 5%标准电阻（参考附录 G），得到的电流极限值为多少？

4.58 一个增强型 NMOS 晶体管连接在图 4.30(c)所示的偏置电路中，并有 $V_G=4$ V 以及 $R_S=1$ kΩ。该晶体管有 $V_t=2$ V 以及 $k_n'(W/L)=2\ \text{mA/V}^2$。问：偏置电流为多少？如果使用 $k_n'(W/L)$ 增

大 50%的晶体管，那么 I_D 增加的百分比为多少？

4.59 在一个设计中使用图 4.30（c）所示的偏置电路，使得 $V_G = 5$ V 以及 $R_S = 1$ kΩ。对于一个 $k'_n(W/L) = 2$ mA/V^2 的增强型 MOSFET，测量发现源极电压为 2 V。该器件的 V_t 为多少？如果使用 V_t 小了 0.5 V 的器件，那么 V_S 将变为多少？偏置电流为多少？

D4.60 设计图 4.30（e）所示的电路，其中该增强型 MOSFET 有 $V_t = 2$ V 以及 $k'_n(W/L) = 2$ mA/V^2。设 $V_{DD} = V_{SS} = 10$ V。设计要求直流偏置电流为 1 mA，并且有最大可能的电压增益（因此有最大可能的 R_D）以及在漏极允许有峰峰值为 2 V 的电压幅度。假设 FET 源极的信号电压为 0。

D4.61 设计图 P4.61 所示的电路使该晶体管工作在饱和区，V_D 离变阻区边缘为 1 V，$I_D = 1$ mA，$V_D = 3$ V，利用下列两个器件（电压分压器的电流为 10 μA）：

（a）$|V_t| = 1$ V，$k'_p W/L = 0.5$ mA/V^2

（b）$|V_t| = 2$ V，$k'_p W/L = 1.25$ mA/V^2

对于每一种情况指明 V_G，V_D，V_S，R_1，R_2，R_S 和 R_D 的值。

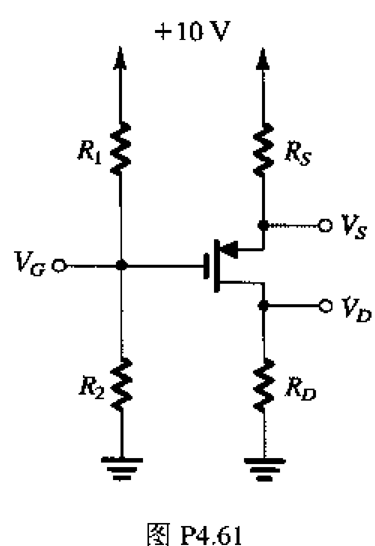
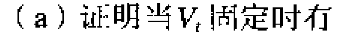


图 P4.61

**D4.62 描述偏置电流 I_D 稳定性的一个非常有用的方法是计算 I_D 对晶体管变化较大的参数的灵敏度。I_D 对 MOSFET 参数 $K \equiv \frac{1}{2}k'(W/L)$ 的灵敏度定义为

$$S_K^{I_D} \equiv \frac{\delta I_D / I_D}{\delta K / K} = \frac{\delta I_D}{\delta K}\frac{K}{I_D}$$

用该值乘以 K 的变化量（或容差）就可以得到 I_D 相应的变化量。本习题的目的是分析灵敏度函数在图 4.30（e）所示偏置电路中的应用。



（a）证明当 V_t 固定时有

$$S_K^{I_D} = 1/(1 + 2\sqrt{KI_D}R_S)$$

（b）对于 $K = 100$ μA/V^2，变化量为 ±10%，以及 $V_t = 1$ V 的 MOSFET，求使 $I_D = 100$ μA，变化量为 ±1% 的 R_S 值，并求 V_{GS} 和所要求的 V_{SS}。

（c）如果电源 $V_{SS} = 5$ V，求使 $I_D = 100$ μA 时的 R_S 值。计算灵敏度函数，并给出在这种情况下期望的 I_D 的变化量。

4.63 对于图 4.33（a）所示的电路有 $I = 1$ mA，$R_G = 0$，$R_D = 5$ kΩ，以及 $V_{DD} = 10$ V，考虑下列两种情况下电路的性能。在每一种情况下，求电压 V_S，V_D 以及 V_{DS}。

（a）$V_t = 1$ V，$k'_n W/L = 0.5$ mA/V^2

（b）$V_t = 2$ V，$k'_n W/L = 1.25$ mA/V^2

4.64 在图 4.32 所示的电路中，设 $R_G = 10$ MΩ，$R_D = 10$ kΩ，以及 $V_{DD} = 10$ V。对于下列两个晶体管，求电压 V_D 以及 V_G。

（a）$V_t = 1$ V，$k'_n W/L = 0.5$ mA/V^2

（b）$V_t = 2$ V，$k'_n W/L = 1.25$ mA/V^2

D4.65 使用图 4.32 所示的反馈偏置设置，其中电源为 9 V，NMOS 器件有 $V_t = 1$ V，$k'_n(W/L) = 0.4$ mA/V^2，求使漏极电流为 0.2 mA 的 R_D 值。如果电阻值限制为 5%的标准电阻（见附录 G），那么该选择什么样的电阻值？电流值和 V_D 各为多少？

D4.66 图 P4.66 是图 4.32 所示的反馈偏置电路经修改得到的电路。使用 6 V 的电源以及 $V_t = 1.2$ V，$k'_n W/L = 3.2$ mA/V^2，$\lambda = 0$ 的 NMOS 晶体管，给出一个设计使得晶体管偏置电流 $I_D = 2$ mA，

并且 V_{DS} 足够大，工作在饱和区的漏极允许有 2 V 的负信号幅度。在反馈偏置网络中最大的电阻为 22 MΩ，那么该选择什么样的 R_D，R_{G1} 以及 R_{G2} 值？指定所有电阻为两位有效位。

图 P4.66

4.6 节：小信号工作与小信号模型

*4.67 本习题分析由 MOSFET 放大器引入的非线性失真。设信号 v_{gs} 为正弦波，幅度为 V_{gs}，将 $v_{gs} = V_{gs}\sin\omega t$ 代入式（4.57）。利用三角函数等式 $\sin^2\theta = \frac{1}{2} - \frac{1}{2}\cos 2\theta$ 证明频率 2ω 的信号与在频率 ω 的信号比值的百分比为（称为二次谐波失真）：

$$\text{二次谐波失真} = \frac{1}{4}\frac{V_{gs}}{V_{OV}} \times 100$$

如果在某一个特定的应用中，V_{gs} 为 10 mV，求使晶体管工作并且二次谐波失真小于 1%时的最小过驱动电压。

4.68 考虑 NMOS 晶体管，$k_n'W/L = 2\ \text{mA/V}^2$。设该晶体管偏置电压 $V_{OV} = 1$ V。当工作在饱和区时，直流偏置电流 I_D 为多少？如果在 V_{GS} 上叠加一个+0.1 V 的信号，计算总漏极电流 i_D 以及减去直流偏置电流 I_D 后的漏极电流增量。当信号为−0.1 V 时重复计算。利用这些结果估计偏置点处 FET 的 g_m 并与用式（4.62）得到的 g_m 值进行比较。

4.69 考虑图 4.34 所示的 FET 放大器，其中，$V_t = 2$ V，$k_n'(W/L) = 1\ \text{mA/V}^2$，$V_{GS} = 4$ V，$V_{DD} = 10$ V，以及 $R_D = 3.6\ \text{k}\Omega$。

（a）求直流分量 I_D 和 V_D；

（b）计算偏置点处的 g_m 值；

（c）计算电压增益值。

（d）如果该 MOSFET 有 $\lambda = 0.01\ \text{V}^{-1}$，求偏置点处的 r_o 以及计算电压增益。

*D4.70 一个 NMOS 放大器被设计用来提供 0.5 V 峰值的输出信号给 50 kΩ的负载电阻，该电阻又作为漏极电阻。如果至少需要 5 V/V 的增益，那么 g_m 应该为多大？如果使用 3 V 的直流电源，则该选择多大的 I_D 和 V_{OV} 值？如果 $\mu_n C_{ox} = 100\ \mu\text{A/V}^2$，则 W/L 比应该为多少？如果 $V_t = 0.8$ V，求 V_{GS}。

*D4.71 在该习题中，我们分析图 4.34 所示的 CS 放大器电路的最优设计。首先使用电压增益表达式 $A_v = -g_m R_D$ 与式（4.71）中的 g_m 来证明：

$$A_v = -\frac{2I_D R_D}{V_{OV}} = -\frac{2(V_{DD} - V_D)}{V_{OV}}$$

这是我们在 4.4 节中得到的式（4.41）。接下来，设最大正输入信号为 $\hat{v}_i$。为使二次谐波失真保持在可接受的范围，对该 MOSFET 进行偏置使得过驱动电压 $V_{OV} \gg \hat{v}_i$。假设 $V_{OV} = m\hat{v}_i$。现在为了使电压增益 $|A_v|$ 最大，设计 V_D 可能的最小值。证明当保持在饱和工作模式时，使漏极允许的负信号电压幅度为 $|A_v|\hat{v}_i$ 的最小 V_D 值为

$$V_D = \frac{V_{OV} + \hat{v}_i + 2V_{DD}(\hat{v}_i / V_{OV})}{1 + 2(\hat{v}_i / V_{OV})}$$

现在求当 $V_{DD} = 3$ V，$\hat{v}_i = 20$ mV 以及 $m = 10$ 时的 V_{OV}，V_D，A_v 和 $\hat{v}_o$ 值。如果要求该晶体管工作在 $I_D = 100\ \mu\text{A}$，求 R_D 和 W/L 的值，假设该工艺有 $k_n' = 100\ \mu\text{A/V}^2$。

4.72 下表是工作在不同条件下的增强型 MOS 晶体管，尽可能填充各空白项。尽管有些数据得不到，但总是可以通过式（4.69）、式（4.70）或式（4.71）来计算 g_m。在表中，电流单位为 mA，电压单位为 V，尺寸单位为μm。假设 $\mu_n = 500\ \text{cm}^2/\text{V·s}$，$\mu_p = 250\ \text{cm}^2/\text{V·s}$，$C_{ox} = 0.4\ \text{fF}/\mu\text{m}^2$。

情况	类型	I_D	$\lvert V_{GS}\rvert$	$\lvert V_t\rvert$	V_{OV}	W	L	W/L	$K(W/L)$	g_m
a	N	1	3	2			1			
b	N	1		0.7	0.5	50				
c	N	10			2		1			
d	N	0.5			0.5					
e	N	0.1				10	2			
f	N		1.8	0.8		40	4			
g	P	1			2			25		
h	P		3	1					500	
i	P	10				4000	2			
j	P	10			4					
k	P				1	30	3			
l	P	0.1			5				8	

4.73 某 NMOS 工艺有 $\mu_n C_{ox} = 50\ \mu\text{A/V}^2$ 和 $V_t = 0.7$ V。对于 $L = 1\ \mu$m 的晶体管，求 W 的值，要求 $I_D = 0.5$ mA，$g_m = 1$ mA/V，并求所要求的 V_{GS} 值。

4.74 对于图 P4.74 中的 NMOS 放大器，用图 4.39（d）中的 T 等效电路来替代晶体管。推导电压增益 v_s / v_i 和 v_d / v_i 的表达式。

4.75 在图 P4.75 所示的电路中，NMOS 晶体管有 $|V_t| = 0.9$ V，$V_A = 50$ V，并且工作在 $V_D = 2$ V。电压增益 v_o / v_i 为多少？如果 I 增加到 1 mA，V_D 和增益将变为多少？

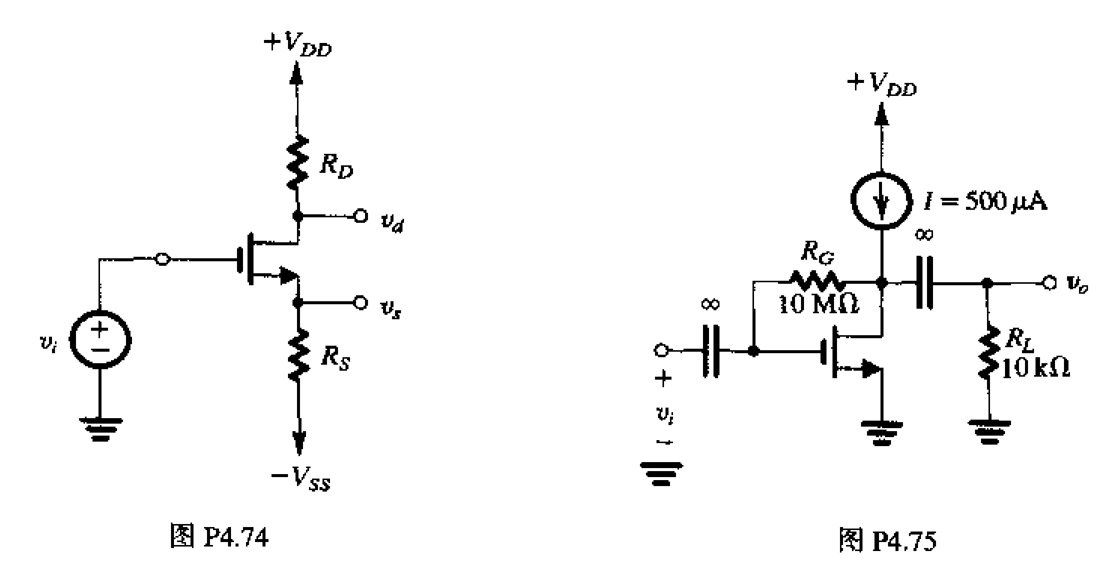


图 P4.74

图 P4.75

4.76 对于 0.8 μm 的 CMOS 制造工艺：$V_{tn} = 0.8$ V，$V_{tp} = -0.9$ V，$\mu_n C_{ox} = 90\ \mu\text{A/V}^2$，$\mu_p C_{ox} = 30\ \mu\text{A/V}^2$，$C_{ox} = 1.9\ \text{fF}/\mu\text{m}^2$，$\phi_f = 0.34$ V，$\gamma = 0.5\ \text{V}^{1/2}$，$V_A$（$n$ 沟道器件）$= 8L$（μm），以及$|V_A|$（p 沟道器件）$= 12L$（μm）。求当 $W/L = 20\ \mu\text{m}/2\ \mu\text{m}$ 以及 $|V_{SB}| = 1$ V，$I_D = 100\ \mu$A 时的 NMOS 晶体管和 PMOS 晶体管的小信号模型参数（g_m，r_o 和 g_{mb}），并求每个晶体管工作时的过驱动电压。

4.77 图 P4.77 是采用 4.5 节介绍的经典偏置方法的一个分立元件的 CS 放大器电路。输入信号 v_{sig} 通过一个非常大的电容（图中显示为无穷）耦合到栅极。对于信号频率，该晶体管源极通过一个非常大的电容（图中显示为无穷）连接到地。从漏极输出的电压信号通过一个非常大的电容（图中显示为无穷）耦合到一个负载电阻。

（a）如果该晶体管有 $V_t = 1\text{ V}$，$k_n'W/L = 2\text{ mA/V}^2$，验证该偏置电路使得 $V_{GS} = 2\text{ V}$，$I_D = 1\text{ mA}$，以及 $V_D = +7.5\text{ V}$。即在这些值的假设下，验证它们与该电路元件和器件参数值是一致的。

（b）如果 $V_A = 100\text{ V}$，求 g_m 和 r_o。

（c）假设对于信号频率所有的电容相当于短路，画出该放大器完整的小信号等效电路。

（d）求 R_{in}，v_{gs}/v_{sig}，v_o/v_{gs} 以及 v_o/v_{sig}。

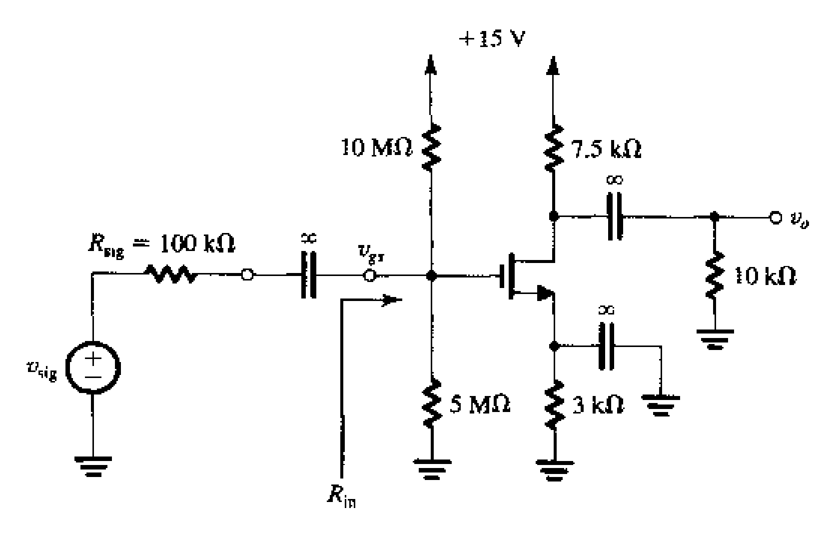


图 P4.77

4.78 描述 MOSFET 工作的基本关系是 V_{OV} 和 i_D 之间的抛物线关系：

$$i_D = \frac{1}{2}k_n'\frac{W}{L}v_{OV}^2$$

画出该抛物线曲线以及在坐标为（V_{OV}，I_D）点处的切线。切线的斜率为偏置点处的 g_m。证明切线与 v_{OV} 轴相交于 $V_{OV}/2$，并且有 $g_m = 2I_D/V_{OV}$。

4.7 节：单级 MOS 放大器

4.79 计算 $g_m = 2\text{ mA/V}$，$r_o = 50\text{ k}\Omega$，$R_D = 10\text{ k}\Omega$ 和 $R_G = 10\text{ M}\Omega$ 时共源放大器的总电压增益 G_v。放大器由戴维南电阻为 0.5 MΩ的信号源激励，输出耦合到 20 kΩ的负载电阻。

D4.80 本习题对练习 4.32 的共源放大器的重新设计进行分析，它的偏置电路如同练习 4.30 并且如图 E4.30 所示。参考这两个练习。

（a）该 CS 放大器的开路电压增益为

$$A_{vo} = -\frac{2(V_{DD} - V_D)}{V_{OV}}$$

验证该表达式可以得到练习 4.32 中的结果（即 $A_{vo} = -15\text{ V/V}$）。

（b）如果将 V_{OV} 减小一倍（即从 1 V 减小到 0.5 V），V_D 保持不变，那么 A_{vo} 将增加一倍。则相应的 I_D，R_D，g_m 以及 r_o 值为多少？

（c）当考虑 r_{o1} 时求 A_{vo} 和 R_{out}。

（d）对于相同的信号发生器，电阻 $R_{sig} = 100\text{ k}\Omega$，相同的栅极偏置电阻 $R_G = 4.8\text{ M}\Omega$，相同

的负载电阻 $R_L = 15\ \text{k}\Omega$，计算考虑 r_o 时新的总电压增益 G_v。

（e）将这些结果与练习 4.30 和练习 4.32 中得到的结果进行比较，并给出评论。

4.81 一个使用 n 沟道增强型 MOS 晶体管的共栅放大器有 $g_m = 5\ \text{mA/V}$，漏极电阻（R_D）为 5 kΩ，负载电阻（R_L）为 2 kΩ。放大器由内阻为 200 Ω的电压源驱动。则放大器的输入电阻为多少？总电压增益 G_v 为多少？如果电路仍然保持线性工作，但允许将偏置电流增大 4 倍，那么输入电阻和电压增益将变为多少？

4.82 一个 CS 放大器使用以图 4.43 所示方式偏置的 NMOS 晶体管，并有 $g_m = 2\ \text{mA/V}$。求得该放大器总电压增益 G_v 为−16 V/V。如果要使增益减小 4 倍，那么必须在源极接入多大的电阻 R_S？

4.83 在图 4.44（a）所示的放大器中，电阻 R_S 为 1 kΩ，测得总电压增益为−10 V/V。如果将 R_S 短路，但是电路保持线性运行，增益增大一倍，那么 g_m 必须为多少？为了使总电压增益变为−8 V/V，R_S 的值必须为多大？

4.84 对图 4.46（a）所示的源极跟随器进行测量，得到开路电压增益为 0.98 V/V。当接上 R_L 并且 R_L 变化时，求得 $R_L = 500\ \Omega$ 时增益减为一半。如果该放大器在整个测量过程中都保持线性工作，那么 g_m 和 r_o 应该为多少？

4.85 图 4.46（a）所示的源极跟随器使用 MOSFET，该晶体管被偏置在 $g_m = 5\ \text{mA/V}$ 以及 $r_o = 20\ \text{k}\Omega$。求开路电压增益 A_{vo} 和输出电阻。当接上 1 kΩ的负载电阻（R_L）时，增益将变为多少？

4.86 图 P4.86 给出了一个耦合和放大高频脉冲信号的方法。该电路使用一个 50 Ω的同轴电缆以及两个 MOSFET，图中没有给出晶体管的偏置细节。晶体管 Q_1 作为 CS 放大器工作，Q_2 为 CG 放大器。为了正常工作，Q_2 对于电缆来说，要求提供 50 Ω 的电阻（这称为电缆的“匹配终端”）并确保电缆上没有信号反射回来。当电缆匹配时，其输入电阻为 50 Ω。g_{m2} 必须为多少？如果 Q_1 的偏置点与 Q_2 相同，那么 Q_1 漏极上电流脉冲的幅度为多少？Q_1 漏极上电压脉冲的幅度为多少？为了在 Q_2 的漏极上产生 1 V 的脉冲，R_D 的值应该为多少？

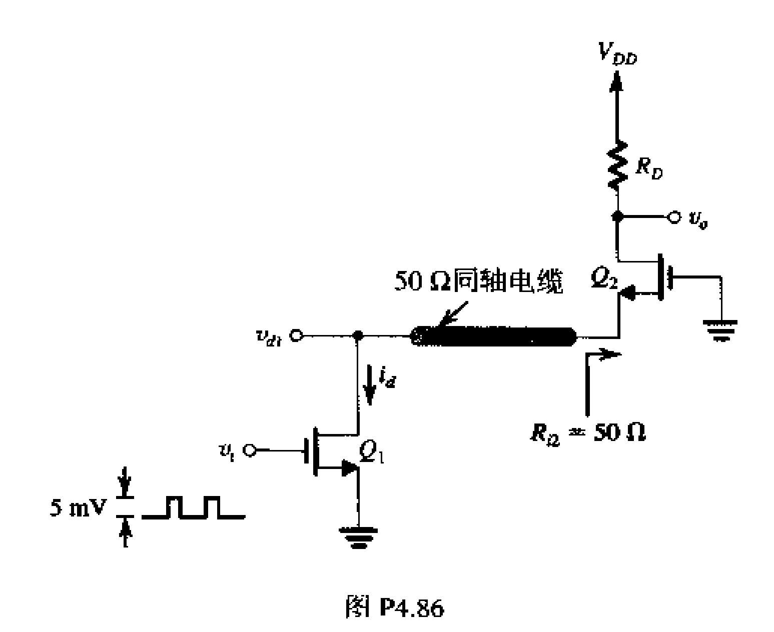


图 P4.86

*D4.87 图 P4.87 所示电路中的 MOSFET 有 $V_t = 1\ \text{V}$，$k_n'W/L = 0.8\ \text{mA/V}^2$，$V_A = 40\ \text{V}$。

（a）求 R_D，R_S 和 R_G 的值使 $I_D = 0.1\ \text{mA}$，当漏极最大的信号幅度为±1 V 时，求最大可能的 R_D 值，栅极的输入电阻为 10 MΩ。

（b）求偏置点的 g_m 和 r_o 值。

（c）如果节点 Z 接地，节点 X 接到内阻为 1 MΩ的信号源，节点 Y 接到 40 kΩ的负载电阻，求从信号源到负载的电压增益。

（d）如果节点 Y 接地，求 Z 开路时从 X 到 Z 的电压增益。该源极跟随器的输出电阻为多少？

（e）如果 X 接地，节点 Z 连接到信号电流为 10 μA、内阻为 100 kΩ的电流源上，求在 Y 处测得的电压信号。为了简化，忽略 r_o 的影响。

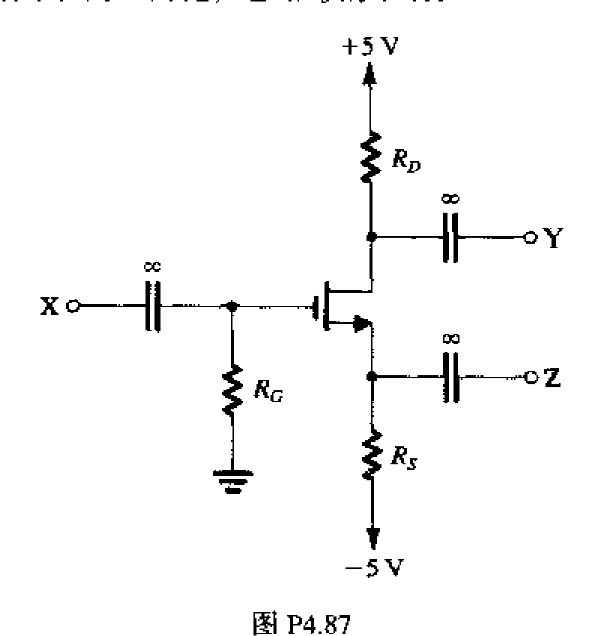


图 P4.87

*4.88 （a）图 P4.88（a）所示的源极跟随器电路中的 NMOS 晶体管有 $g_m = 5$ mA/V 以及较大的 r_o。求开路电压增益和输出电阻。

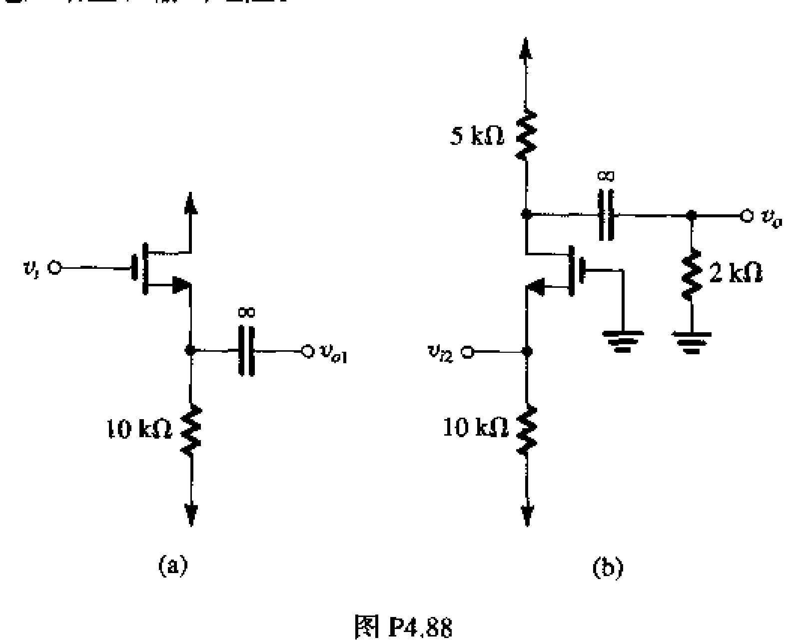


图 P4.88

（b）图 P4.88（b）所示的共栅放大器中的 NMOS 晶体管有 $g_m = 5$ mA/V 以及较大的 r_o。求电压增益和输出电阻。

（c）如果（a）中的源极跟随器的输出连接到（b）的共栅放大器的输入，使用（a）和（b）

中的结果求总电压增益 v_o/v_i

*4.89 在本习题中，我们分析图 4.46（a）所示源极跟随器的大信号特性。具体地说，考虑加上负输入信号时的情况。假设在输出端的负信号电压为 $-V$，R_L 上的电流方向为从地流出，它的值为 V/R_L。偏置电流减去该电流得到晶体管电流为 $(I-V/R_L)$。可以使用该电流来确定 v_{GS}。现在晶体管源极上的信号为 $-V$，叠加在直流电压 $-V_{GS}$（对应于漏极电流 I）上。求栅极上的信号电压 v_i。对于练习 4.34 中分析的电路，求当 $v_o=-1$ V，-5 V，-6 V，以及 -7 V 时的 v_i 值和电压增益 v_o/v_i，并与练习 4.34 中求得的小信号值进行比较。计算最大可能的负输出信号。

4.8 节：MOSFET 内部电容与高频模型

4.90 参考图 4.47（a）所示的 MOSFET 高频模型，计算一个 NMOS 晶体管工作在 $I_D=100\,\mu$A，$V_{SB}=1$ V 以及 $V_{DS}=1.5$ V 时的模型参数。该 MOSFET 有 $W=20\,\mu$m，$L=1\,\mu$m，$t_{ox}=8$ nm，$\mu_n=450$ cm^2/V·s，$\gamma=0.5$ V$^{1/2}$，$2\phi_f=0.65$ V，$\lambda=0.05$ V^{-1}，$V_0=0.7$ V，$C_{sb0}=C_{db0}=15$ fF，以及 $L_{ov}=0.05\,\mu$m。（已知 $g_{mb}=\chi g_m$，其中 $\chi=\gamma/(2\sqrt{2\phi_f+V_{SB}})$。）

4.91 求 MOSFET 工作在 $I_D=100\,\mu$A 和 $V_{OV}=0.25$ V 时的 f_T 值。该 MOSFET 有 $C_{gs}=20$ fF 和 $C_{gd}=5$ fF。

4.92 由 MOSFET 的 f_T 定义：

$$f_T=\frac{g_m}{2\pi(C_{gs}+C_{gd})}$$

利用近似条件 $C_{gs}\gg C_{gd}$ 以及 C_{gs} 的重叠分量可以忽略，证明：

$$f_T=\frac{1.5}{\pi L}\sqrt{\frac{\mu_n I_D}{2C_{ox}WL}}$$

可以看出，对于给定的器件，要得到较高的 f_T，必须工作在较高的电流。也可以看出尺寸较小的器件有较快的工作速度。

4.93 从 MOSFET 单位增益频率表达式：

$$f_T=\frac{g_m}{2\pi(C_{gs}+C_{gd})}$$

利用近似条件 $C_{gs}\gg C_{gd}$ 以及 C_{gs} 的重叠分量可以忽略，证明对于一个 n 沟道器件有

$$f_T=\frac{3\mu_n V_{OV}}{4\pi L^2}$$

可以看出，对于给定器件，通过将 MOSFET 工作在较高的过驱动电压上可以增大 f_T。对于 $L=1.0\,\mu$m 的器件，当工作在过驱动电压为 0.25 V 和 0.5 V 时，计算 f_T 的值。$\mu_n=450$ cm^2/V·s。

4.9 节：CS 放大器的频率响应

4.94 一个 MOSFET 在栅极和漏极之间的中频增益为 -27 V/V，NMOS 晶体管有 $C_{gs}=0.3$ pF，$C_{gd}=0.1$ pF。输入电容为多少？当信号源电阻在什么范围时，3 dB 频率超过 10 MHz？忽略 R_G 的影响。

D4.95 在一个 FET 放大器中，例如图 4.49（a）所示的电路，源电阻 $R_{sig}=100$ kΩ，放大器输入电阻（由偏置网络产生）$R_{in}=100$ kΩ，$C_{gs}=1$ pF，$C_{gd}=0.2$ pF，$g_m=3$ mA/V，$r_o=50$ kΩ，

$R_D = 8\ \text{k}\Omega$以及 $R_L = 10\ \text{k}\Omega$。确定期望的 3 dB 截止频率 f_H 和中频增益。要使 f_H 增大一倍，设计者可以考虑改变 R_{out} 或者 R_{in}。那么为了使 f_H 增大一倍，单独改变 R_{out} 和 R_{in} 时要求它们如何变化？在每种情况下得到的中频增益为多少？

4.96 一个分立 MOSFET 共源放大器有 $R_{in} = 2\ \text{M}\Omega$，$g_m = 4\ \text{mA/V}$，$r_o = 100\ \text{k}\Omega$，$R_D = 10\ \text{k}\Omega$，$C_{gs} = 2\ \text{pF}$，$C_{gd} = 0.5\ \text{pF}$。该放大器由内阻为 500 kΩ的电压源激励，并连接到一个 10 kΩ 的负载。求：

（a）总中频增益 A_M；

（b）上限 3 dB 频率 f_H。

4.97 在本书中给出的共源放大器的高频响应的分析是基于信号源电阻 R_{sig} 非常大的假设，因此它与输入电容 C_{in} 相互作用产生确定上限 3 dB 频率的主极点。但是在某些情况下，激励 CS 放大器的信号源的电阻 R_{sig} 非常小。为了分析这种情况下放大器的频率响应，图 P4.97 给出了当 CS 放大器由 $R_{sig} = 0$ 的理想电压源 V_{sig} 激励的等效电路。C_L 表示输出节点的总电容。写出输出端的节点方程证明传输函数 V_o / V_{sig} 为

$$\frac{V_o}{V_{sig}} = -g_m R'_L \frac{1 - s(C_{gd} / g_m)}{1 + s(C_L + C_{gd}) R'_L}$$

当频率 $\omega \ll (g_m / C_{gd})$ 时，分子中的 s 项可以忽略。在这种情况下，得到的上限 3 dB 频率为多少？当 $C_{gd} = 0.5\ \text{pF}$，$C_L = 2\ \text{pF}$，$g_m = 4\ \text{mA/V}$，以及 $R'_L = 5\ \text{k}\Omega$时，计算 A_M 和 f_H 的值。

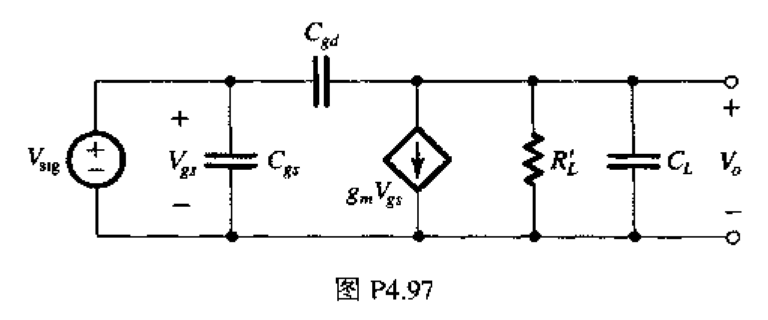


图 P4.97

D4.98 考虑图 4.49（a）所示的共源放大器。当 $R_{sig} = 1\ \text{M}\Omega$，$R_G = 1\ \text{M}\Omega$时，为了使相应角频率位于 10 Hz 处，$C_{C1}$ 必须选择多大的值？如果可得到的电容只有一位有效位并且角频率不超过 10 Hz，那么将选择多大的电容值？此时得到的角频率 f_{P1} 为多少？如果设计者希望通过提高 R_G 来降低角频率，但可获得的电阻限制为现在使用的电阻的 10 倍，那么最可能发生什么情况？

D4.99 图 P4.99 中的放大器被偏置工作在 $I_D = 1\ \text{mA}$，$g_m = 1\ \text{mA/V}$。忽略 r_o，求中频增益，并求 C_S 的值使 f_L 为 10 Hz。

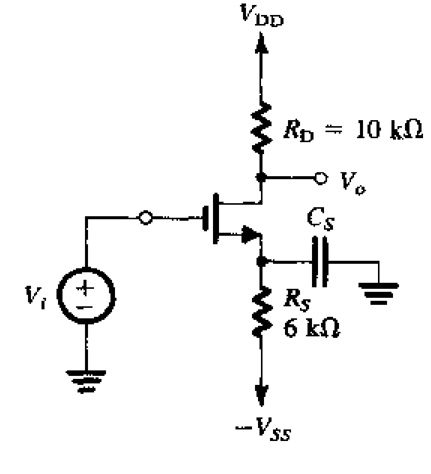


图 P4.99

4.100 考虑图 4.49（a）所示的放大器。设 $R_D = 15\ \text{k}\Omega$，$r_o = 150\ \text{k}\Omega$，$R_L = 10\ \text{k}\Omega$。求使相应的角频率为 10 Hz 或小于 10 Hz 的 C_{C2} 的值，指定电容为一位有效位。如果一个采用更高电源的设计使得 I_D 增大一倍，R_D 和 r_o 减小两倍，那么角频率（由 C_{C2} 引起）变为多少？当不断增加电源电压时，与 C_{C2} 相关的最大角频率为多少？

4.101 图 P4.101 所示的分立 CS 放大器电路中的 NMOS 晶体管被偏置在 $g_m = 1\ \text{mA/V}$ 上。求 A_M，f_{P1}，f_{P2}，f_{P3} 和 f_L。

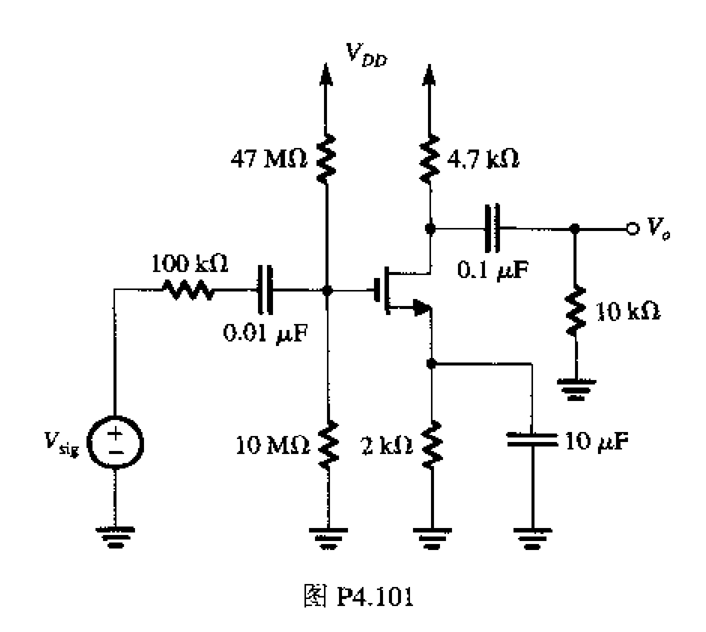


图 P4.101

4.102 图P4.101所示的分立CS放大器电路中的NMOS晶体管被偏置在 $g_m = 1$ mA/V上，$r_o = 100$ kΩ 求 A_M。如果 $C_{gs} = 1$ pF，$C_{gd} = 0.2$ pF，求 f_H。

D4.103 考虑图 4.49（a）所示 CS 放大器的低频响应。设 $R_{sig} = 0.5$ MΩ，$R_G = 2$ MΩ，$g_m = 3$ mA/V，$R_D = 20$ kΩ，$R_L = 10$ kΩ，求 A_M。设计耦合电容和旁路电容使三个低频极点为 50 Hz，10 Hz 以及 3 Hz。使用最小总电容，且电容指定一位有效位，则 f_L 值为多少？

4.104 图 P4.104 给出了一个 MOS 放大器，它的偏置设计和中频分析见例题 4.10。具体地说，该 MOSFET 被偏置在 $I_D = 1.06$ mA，并有 $g_m = 0.725$ mA/V，$r_o = 47$ kΩ。由中频分析得到 $V_o/V_i = -3.3$ V/V，$R_{in} = 2.33$ MΩ。为这两个电容选择合适的值使低频响应由 10 Hz 的极点决定，并且其他的极点至少低 10 倍。（提示：在确定由 C_{C2} 引起的极点时，可以忽略电阻 R_G。）

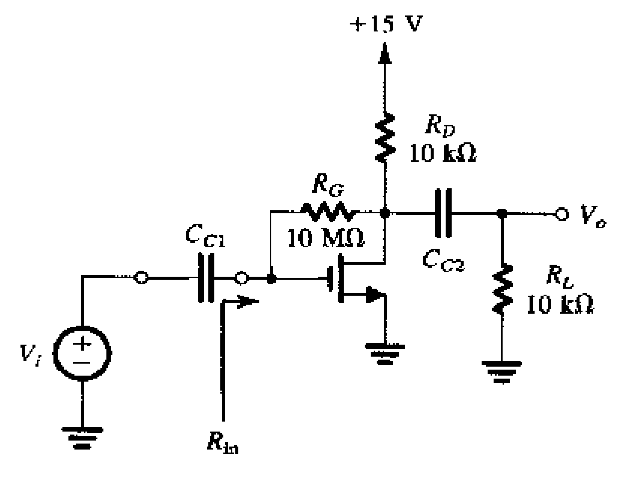


图 P4.104

4.10 节：CMOS 数字逻辑反相器

4.105 对于一个用 0.8 μm 工艺制造的 CMOS 反相器，有 $k_n' = 120\ \mu A/V^2$，$k_p' = 60\ \mu A/V^2$，$V_{tn} = |V_{tp}| = 0.7$ V，$V_{DD} = 3$ V，$L_n = L_p = 0.8\ \mu m$，$W_n = 1.2\ \mu m$ 并且 $W_p = 2.4\ \mu m$，要求计算：

（a）$v_O = V_{OL}$ 和 $v_O = V_{OH}$ 时的输出电阻。

（b）反相器在输出为 0.1 V 或 V_{DD} 时分别能够吸收或提供的最大电流。

（c）V_{IH}，V_{IL}，NM_H 和 NM_L。

4.106 对于习题 4.105 提到的工艺，分析反相器开启电压 V_{th} 随着 PMOS 管和 NMOS 管的匹配程度而发生的变化。使用练习 4.44 给出的公式，求 $(W/L)_p=(W/L)_n$、$(W/L)_p=2(W/L)_n$（匹配的情况）和 $(W/L)_p=4(W/L)_n$ 时的 V_{th}。

4.107 对于使用相同尺寸的 PMOS 和 NMOS 晶体管及使用和习题 4.105 给出的相同工艺制作的反相器，求 V_{IH}、V_{IL} 和噪声容限。

4.108 对于 $V_{DD}=10$ V 和 15 V 的两种情况重新计算练习 4.41。

4.109 若 $V_t=0.5$ V、1.5 V 和 2 V，重新计算练习 4.42。

4.110 对于 $V_{tn}=0.2\,V_{DD}$ 的工艺，在输出电平保持不超过 $0.1\,V_{DD}$ 时，证明 CMOS 反相器能够吸收的最大电流为 $0.075k_n'(W/L)_nV_{DD}^2$。当 $V_{DD}=3$ V，$k_n'=120\,\mu\text{A}/\text{V}^2$ 并且 $L_n=0.8\,\mu\text{m}$ 时，求晶体管获得 1 mA 电流所需要的沟道宽度。

4.111 对于习题 4.105 给出的反相器，求反相器在开关时刻从 3 V 电源吸收的电流。

4.112 对于习题 4.105 给出的反相器，若反相器负载电容 $C=0.05$ pF，求 t_{PHL}。使用式（4.156）和式（4.157）计算并比较计算结果。

4.113 考虑一个用习题 4.105 给出的工艺制造的 CMOS 反相器，有 $L_n=L_p=0.8\,\mu\text{m}$，并且 $(W/L)_p=2(W/L)_n$，要求在负载电容是 0.05 pF 时把传播延迟限制在 60 ps，求所需要的器件宽度 W_n 和 W_p。

*4.114 （a）在图 4.56 给出的传输特性曲线上，因为忽略了沟道长度调制效应，线段 BC 是垂直的。如果考虑沟道长度调制效应并使用小信号模型分析，证明传输特性曲线在 $v_I=v_O=V_{DD}/2$ 处的斜率为

$$\frac{-2|V_A|}{(V_{DD}/2)-V_t}$$

其中，V_A 是 Q_N 和 Q_P 的厄尔利电压，假设 Q_N 和 Q_P 匹配。

（b）一个 $k_n'(W/L)_n=k_p'(W/L)_p$ 的 CMOS 反相器由连接在输入和输出之间的一个 $R_G=10\,\text{M}\Omega$ 的电阻提供偏置。输入和输出的直流电压是多少？小信号电压增益和得到的放大器输入电阻是多少？假设反相器的特性由习题 4.105 给出，$|V_A|=50$ V。

4.11 节：耗尽型 MOSFET

4.115 某耗尽型 n 沟道 MOSFET 有 $k_n'W/L=2\,\text{mA/V}^2$，以及 $V_t=-3$ V，它的源极和栅极接地。求 $v_D=0.1$ V，1 V，3 V 和 5 V 时的工作区域以及漏极电流。忽略沟道长度调制效应。

4.116 一个特定的耗尽型 NMOS 器件有 $V_t=-2$ V，$k_n'W/L=200\,\mu\text{A/V}^2$，以及 $\lambda=0.02\,\text{V}^{-1}$。它工作在 $v_{GS}=0$，当 $v_{DS}=1$ V，2 V，3 V 和 10 V 时流过漏极的电流为多少？如果器件宽度增大一倍而 L 保持不变，前面这些情况下的电流各为多少？如果 L 也增大一倍，则电流又为多少？

*4.117 忽略沟道长度调制效应，证明对于图 P4.117 所示的耗尽型 NMOS 晶体管，其伏安关系为

$$i=\frac{1}{2}k_n'(W/L)(v^2-2V_tv)，其中\ v\geqslant V_t$$

$$i=-\frac{1}{2}k_n'(W/L)V_t^2，其中\ v\leqslant V_t$$

（已知 V_t 为负）。当 $V_t=-2$ V 和 $k_n'(W/L)=2\,\text{mA/V}^2$ 时画出该伏安关系曲线。

+ i v −

图 P4.117

4.118 对于练习 4.51 中分析的电路（参考图 E4.51），当漏极电压降为+1 V 时，源极电压将变为多少？

4.119 某耗尽型 NMOS 晶体管工作在饱和区，$v_{DS} = 5$ V。当 $v_{GS} = -1$ V 时，流过漏极的电流为 1 mA，当 $v_{GS} = +1$ V 时，流过漏极的电流为 9 mA。求 I_{DSS} 和 V_t。假设 $\lambda = 0$。

D4.120 考虑图 P4.120 所示的电路，其中 Q_1 和 R_1 为 Q_2 建立偏置电流。R_2 对 Q_2 的偏置没有影响，但是它实现了一个有趣的功能。R_3 为 Q_2 漏极上的负载电阻。假设 Q_1 和 Q_2 是一起制造的（作为一对匹配管，或作为 IC 的一部分）并且相同。对于每一个耗尽型 NMOS，$I_{DSS} = 4$ mA，$|V_t| = 2$ V。输入端的电压是使 Q_1 保持饱和工作状态的某个值，例如 0 V，那么这些晶体管的 $k_n'(W/L)$ 为多少？
现在，设计 R_1 使 $I_{D1} = I_{D2} = 1$ mA。设 $R_2 = R_1$，选择 R_3 使 $v_E = 6$ V。当 $v_A = 0$ V 时，电压 v_C 为多少？当 $v_A = \pm 1$ V 时，电压 v_C 为多少？可以看出一个有趣的结果，即节点 C 跟随节点 A。该电路可以被称为源极跟随器，但是它是一个特殊的源极跟随器，它的失调为 0。还可以看出，R_2 并不重要，因为节点 B 也跟随节点 A，但是有一个正的失调。在许多应用中，R_2 被短路。现在，可以看出当节点 A 的电压上升时，Q_2 最终将进入变阻区。当 v_A 为何值时将发生这种情况？并且，当 v_A 减小时，Q_1 将进入变阻区，那么当 Q_1 进入变阻区时 v_A 为何值？（注意，在 v_A 的这两个值之间，v_A 和 v_C 都在线性信号范围内。）

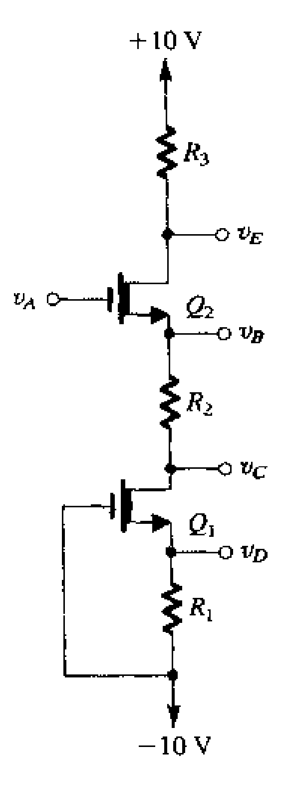


图 P4.120

基本习题

**4.121 图 P4.121 所示电路采用负反馈，其内容将在第 8 章中详细介绍。假设每个晶体管的尺寸和偏置使得 $g_m = 1$ mA/V，$r_o = 100$ kΩ。此外，忽略所有的直流偏置细节，只关心由输入信号 v_{sig} 产生的小信号特性。当 $R_L = 10$ kΩ，$R_1 = 500$ kΩ、$R_2 = 1$ MΩ时，求每个电路的总电压增益 v_o/v_{sig} 和输入电阻 R_{in}。忽略衬底效应并与运算放大器电路进行比较。

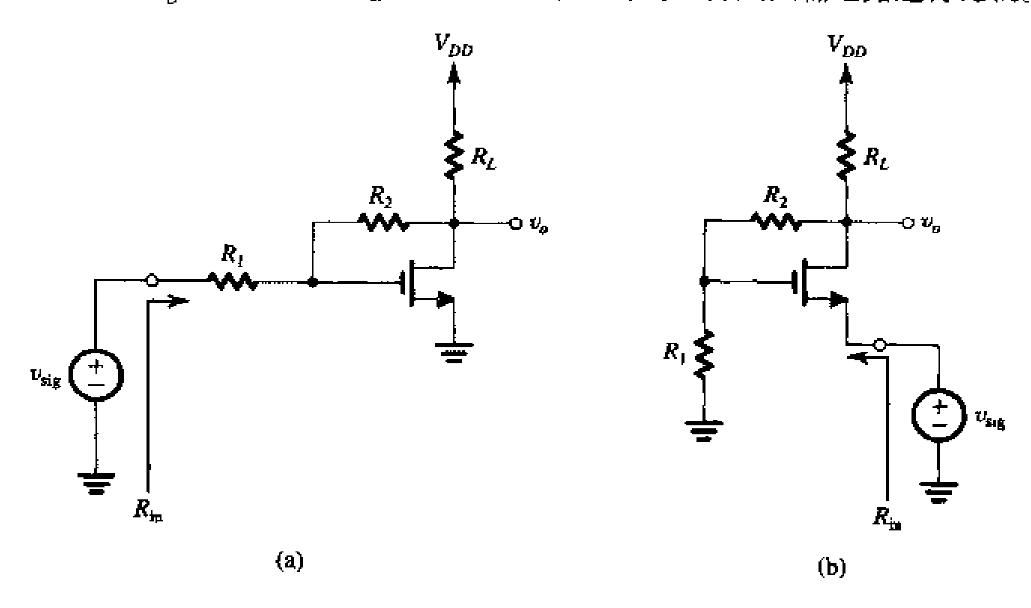


图 P4.121

4.122　对于习题 4.121 中的两个电路（如图 P4.121 所示），考虑它们的直流偏置设计。因为 v_{sig} 的直流分量为 0，因此将该信号发生器短路。当该 NMOS 晶体管 $V_t = 0.6$ V 时，求 V_{OV}、$k_n'(W/L)$ 和 V_A 以使每个器件被偏置在 $I_D = 0.1$ mA 并且得到如习题 4.121 中指定的 g_m 和 r_o 值，即 $g_m = 1$ mA/V，$r_o = 100$ kΩ。当 $R_1 = 0.5$ MΩ，$R_2 = 1$ MΩ以及 $R_L = 10$ kΩ时，求所要求的 V_{DD} 值。

**4.123　在图 P4.123 所示的放大器中，晶体管有 $V_t = 0.6$ V，$V_A = 20$ V。它们具有合适的 W/L 比，并且工作在 $V_{GS} = 0.8$ V。在一个特定的应用中，Q_1 的尺寸使得它工作在 10 μA，而 Q_2 工作在 1 mA。当 $R_L = 2$ kΩ时，（R_1，R_2）网络上的电流只为 R_L 上电流的 1%，v_{sig} 的直流分量为 0，并且 $I_1 = 10$ μA，求满足这些要求的 R_1 和 R_2 值（提示：V_O 必须为+2 V）。电压增益 v_o/v_i 为多少？使用米勒定理的结论（见第 6 章），说明输入电阻 R_{in} 等于 $R_2(1 - v_o/v_i)$。计算总电压增益 v_o/v_{sig} 的值。与运算放大器的反相组态进行比较。怎样能够在输入端使用一个额外的电阻和一个非常大的电容来改善该电路增益 v_o/v_{sig}，使其增大到−5 V/V？忽略衬底效应。

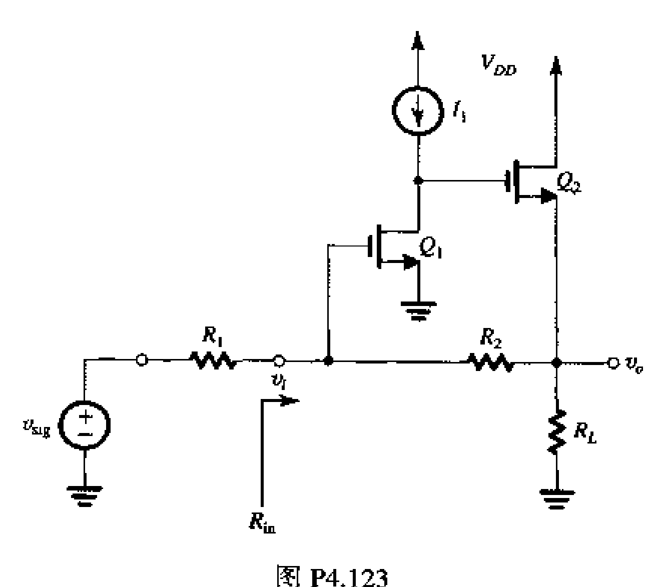


图 P4.123

4.124　考虑习题 4.123 的电路（如图 P4.123 所示）的偏置设计。当 $k_n' = 200$ μA/V^2 和 $V_{DD} = 3.3$ V 时，求 $(W/L)_1$ 和 $(W/L)_2$ 以得到习题 4.123 中指定的工作条件。

第 5 章　双极型晶体管（BJT）

引言

本章介绍另外一种重要的三端器件——双极型晶体管（BJT）。本章内容与第 4 章介绍的 MOSFET 的内容是并行的，但是不依赖于第 4 章的内容，因此，如果需要，BJT 可以放在 MOSFET 前面学习。

三端器件比二端器件（比如第 3 章中介绍的二极管）更有用，因为它们可以在更多的应用中使用，范围从信号的放大到数字逻辑和存储电路的设计。所涉及到的基本原理是用其中两个端子之间的电压来控制流过第三个端子的电流。通过这种方式，一个三端器件可以用来实现受控源，我们已经在第 1 章中讲过，它是放大器设计的基础。另外还可以使用控制信号来使第三端的电流从 0 变化到一个较大的值，因此可以使该器件作为开关工作。如第 1 章中讲到的，开关是实现基本数字电路元素逻辑反相器的基础。

1948 年，BJT 在贝尔电话实验室被发明，它开创了固体电路的新纪元，也促使电子学改变了人们的工作和生活方式。BJT 的发明也最终导致了信息技术的统治地位以及知识经济的出现。

在近 30 年的时间里，双极型晶体管是分立元件电路和集成电路设计中首选的器件。尽管 MOSFET 很早就已经出现，但直到 20 世纪 70 年代和 80 年代才成为 BJT 的有力竞争者。在撰写本书的时候（2003 年），MOSFET 毫无疑问是应用最广泛的电子器件，CMOS 技术是集成电路设计的首选技术。然而，BJT 仍然是一个重要的器件，并且在某些应用中具有一定的优势。例如，在恶劣环境下 BJT 电路的可靠性使得它成为汽车电子仪器中占主要地位的器件，这是一个重要的并且日益发展的领域。

BJT 在分立元件电路设计中非常普及，对于设计者来说，有很多种类的 BJT 可供选择。这里应该提到双极型晶体管的特性非常好理解，以至于人们能够设计性能非常好并且对器件参数的变化不敏感的晶体管电路。

在许多重要的模拟电路应用（包括集成电路和分立元件电路）中，BJT 仍但是一个深受人们喜爱的器件。特别在超高频应用中，如无线系统中的射频电路（RF）。另外，现在也仍然在使用基于双极型晶体管的超高速数字逻辑电路，即射极耦合逻辑。最后，双极型晶体管可以与 MOSFET 结合起来创建一种新的电路，这种电路利用了 MOSFET 的高输入阻抗和低功耗的优点以及双极型晶体管的超高频性能和大电流驱动能力的优点。这种技术称为 BiMOS 或 BiCMOS，并且获得越来越广泛的应用（见第 6、7、9 和 11 章）

本章首先对 BJT 的物理工作原理进行简单描述。尽管简单，但是它对晶体管作为电路元件时的性能做出了相当全面的介绍。然后通过电子和空穴来描述电流，并很快转到晶体管端口特性的介绍上。本章将给出不同模式的晶体管电路工作模型，并在晶体管电路的分析和设计中使用。本章的主要目的是让读者熟悉 BJT。因此，在本章的最后，读者应该能够进行晶体管一阶电路的快速分析，并能够设计单级晶体管放大器和简单的逻辑反相器。

5.1 器件结构与物理特性

5.1.1 简化结构与工作模式

图 5.1 所示是 BJT 的简化结构。实际的晶体管结构将在后面给出（见附录 A，其中介绍了制造技术）。

如图 5.1 所示，BJT 由三个半导体区域组成：发射区（*n* 型）、基区（*p* 型）和集电区（*n* 型）。这种晶体管叫做 *npn* 晶体管。另一种晶体管是 *npn* 晶体管的对偶，如图 5.2 所示，它具有 *p* 型发射区、*n* 型基区和 *p* 型集电区，并被称为 *pnp* 晶体管。

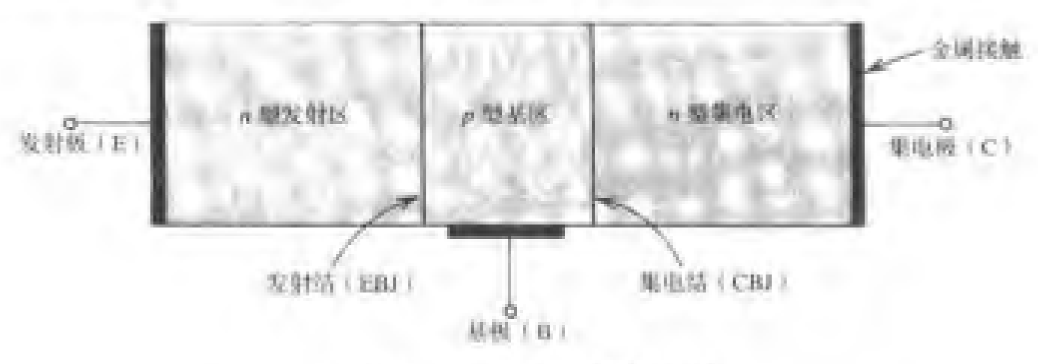


图 5.1 *npn* 晶体管的简化结构

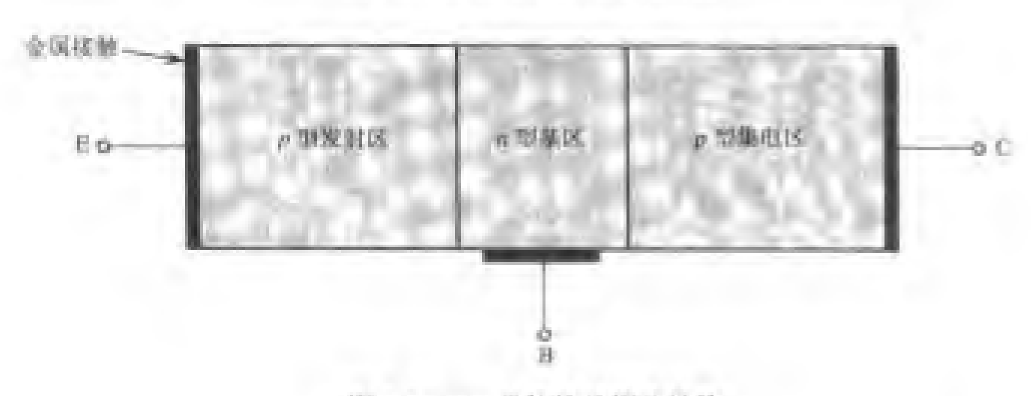


图 5.2 *pnp* 晶体管的简化结构

从晶体管的每个半导体区域引出一个端子，分别标为发射极（E）、基极（B）和集电极（C）。

晶体管由两个 *pn* 结组成，即发射结（EBJ）和集电结（CBJ）。根据这两个结的偏置条件（正向和反向），可以得到 BJT 不同的工作模式，如表 5.1 所示。

表 5.1 BJT 的工作模式

模式	EBJ	CBJ
截止	反偏	反偏
放大	正偏	反偏
反向放大	反偏	正偏
饱和	正偏	正偏

放大模式也称为正向放大模式，当晶体管作为放大器工作时应用这种模式。开关应用（例如，逻辑电路）使用截止模式和饱和模式。反向放大模式只有有限的应用范围但是其概念很重要。

我们很快可以看到，两种极性的电荷载流子（即电子和空穴）在双极型晶体管中都参与电流的传导过程，这就是为什么将这种晶体管称为双极型的原因。

5.1.2 工作在放大模式下的 *npn* 晶体管

首先考虑放大模式下晶体管的工作原理[1]。在图 5.3 中给出了 *npn* 晶体管的物理特性。使用两个外部电压源（显示为电池）来建立放大模式所需要的偏置条件。电压 V_{BE} 使得 *p* 型基极在电势上高于 *n* 型发射极，因此发射结就有正向偏置电压。集电结电压 V_{CB} 使得 *n* 型集电极的电势高于 *p* 型基极，因此集电结具有反向偏置电压。

电流流向 在下面的电流描述中只考虑扩散电流分量。由热激发产生的少数载流子（少子）引起的漂移电流通常很小，可以忽略。但是在后面的部分，我们会讨论该反向电流分量。

发射结的正向偏置电压产生流过结的电流。该电流由两个分量组成：从发射区注入到基区的电子和基区注入到发射区的空穴引起的电流。我们很快就可以知道第一个分量（从发射区扩散到基区的电子电流）比第二个分量（基区扩散到发射区的空穴电流）要大很多。这一点可以通过将器件制造成高掺杂的发射区和低掺杂的基区来实现，也就是将器件设计成在其发射区中含有高密度的电子以及基区中含有低密度的空穴。

流过发射结的电流组成了发射极电流 i_E，如图 5.3 所示。i_E 的方向从发射区流出，这是空穴电流的方向，与电子电流的方向相反，i_E 的大小等于这两个分量之和。但是，因为电子电流分量远大于空穴电流分量，因此发射极电流主要由电子电流组成。

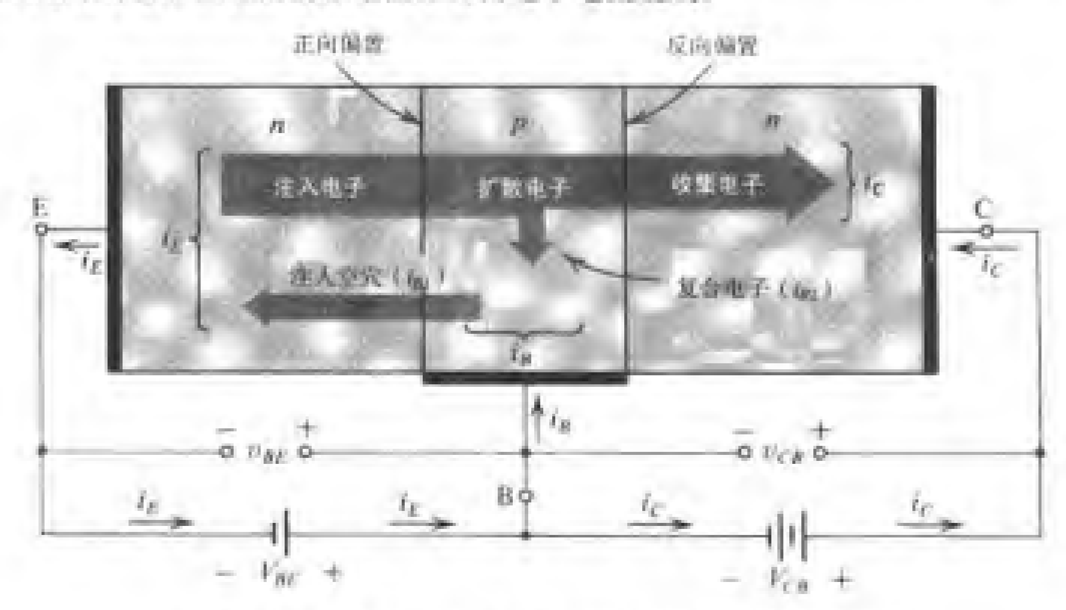


图 5.3 放大模式下 *npn* 晶体管极电流组成（没有显示由于热激发产生的少数载流子漂移引起的反向电流分量）

现在考虑从发射区注入基区的电子，这些电子是 *p* 型基区中的少数载流子。因此基区通常非常薄，因此在稳态时，基区中非平衡少子（电子）的浓度几乎是一条直线，如图 5.4 中的实线所示。电子浓度在发射结一边最高[用 $n_p(0)$表示]，在集电结一边最小（0）[2]。就像任何正向偏置 *pn* 结的情况（见 3.7.5 节），浓度 $n_p(0)$与 e^{v_{BE}/V_T} 成正比：

$$n_p(0) = n_{p0}e^{v_{BE}/V_T} \tag{5.1}$$

① 在这一节中假定读者熟悉正向偏置条件下的 *pn* 结的特性（见 3.7.5 节）。

② 基区少数载流子的分布来源于两个结的边界条件。它不是指数衰减分布，如果基区无限厚的话，将是指数衰减分布。但是由于基区薄，使得分布呈线性衰减。此外，集电结的反向偏置使得基区在集电结一边的电子浓度为 0。

其中，n_{p0} 是基区中少子（电子）浓度的热平衡值，v_{BE} 是正向反射结偏置电压，V_T 是热电压，在室温下它约等于 25 mV。浓度在基区靠集电结一边为 0，这是因为正的集电极电压 v_{CB} 使得在这一边的电子被扫过 CBJ 耗尽区。

锥形的少子浓度曲线（见图 5.4）使得注入到基区的电子通过基区扩散进入集电区。该电子扩散电流 I_n 与直线浓度曲线的斜率成正比：

$$\begin{aligned} I_n &= A_E q D_n \frac{dn_p(x)}{dx} \\ &= A_E q D_n \left(-\frac{n_p(0)}{W}\right) \end{aligned} \tag{5.2}$$

其中，A_E 是发射结的截面积（与页面方向垂直），q 是电子电荷量，D_n 是基区电子扩散率，W 是基区的有效宽度。可以看出少子浓度的负斜率导致一个负的电流 I_n 流过基区，即 I_n 从右到左流过（x 的负方向）。

扩散进入基区的一些电子将与基区中的多子空穴复合。但是因为基区非常薄，因此在复合过程中失去的电子比例非常小。尽管如此，在基区中的复合使得非平衡少子浓度曲线从直线变为下凹的形状，如图 5.4 中的虚线所示。在 EBJ 附近的浓度曲线的斜率稍大于 CBJ 附近的浓度曲线的斜率，而这种差别正好是在基区复合过程中丢失的少量电子数。

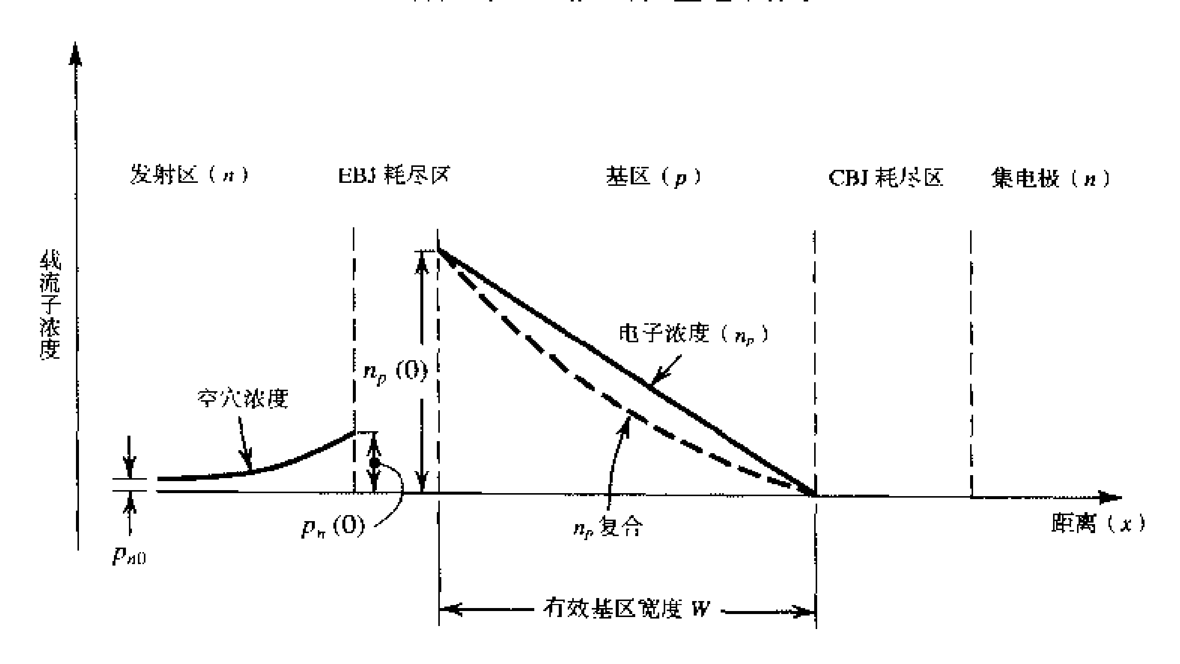


图 5.4　工作在放大模式下（v_{BE}>0，v_{CB}≥0）的 npn 晶体管的基区和发射区的少子浓度曲线

集电极电流　从上面的描述中可以看出，大多数的扩散电子会扩散到集电结耗尽区的边界。因为集电极电位高于基极电位（高 v_{CB} V），所以这些电子将被扫过 CBJ 三耗尽区进入集电区，它们被收集组成集电极电流 i_C，因此 $i_C=I_n$ 并将产生一个负的 i_C，这说明 i_C 以 x 轴的负方向流过（即从右到左）。因为我们把这个方向作为 i_C 的正方向，所以可以去掉式（5.2）中的负号。并将式（5.1）中得到的 $n_p(0)$ 代入，我们就可以将集电极电流表示为

$$i_C = I_S e^{v_{BE}/V_T} \tag{5.3}$$

其中饱和电流 I_S 为

$$I_S = A_E q D_n n_{p0} / W$$

将 $n_{p0} = n_i^2 / N_A$ 代入，其中，n_i 是本征载流子浓度，N_A 是基区的掺杂浓度，我们可以将 I_S 表示成

$$I_S = \frac{A_E q D_n n_i^2}{N_A W} \tag{5.4}$$

一个重要的发现是 i_C 的大小与 v_{CB} 无关，也就是说，只要集电极相对于基极电位为正，到达基区集电结一边的电子就会被扫进集电区并形成集电极电流。

饱和电流 I_S 与基区宽度 W 成反比，与 EBJ 的面积成正比。I_S 的典型范围为 10^{-12}A 到 10^{-18}A（取决于器件尺寸的大小）。因为 I_S 与 n_i^2 成比例，因此它也是与温度密切相关的函数，温度每升高 5℃，I_S 大约增大一倍［n_i^2 与温度的相关性参考式（3.37）］。

因为 I_S 与结面积（即器件尺寸大小）成正比，因此它也称为比例电流。例如，如果两个晶体管除了其中一个的 EBJ 面积是另一个的两倍以外，其他都相同，那么它们的饱和电流就有相同的比例（即为 2）。因此当 v_{BE} 相同时，大器件的集电极电流就是小器件电流的两倍。这个概念经常在集成电路设计中被采用。

基极电流　基极电流 i_B 由两个分量组成。第一个分量 i_{B1} 由从基区注入到发射区的空穴引起，该电流分量与 e^{v_{BE}/V_T} 成比例：

$$i_{B1} = \frac{A_E q D_p n_i^2}{N_D L_p} e^{v_{BE}/V_T} \tag{5.5}$$

其中，D_p 是发射区的空穴扩散系数，L_p 是发射区的空穴扩散长度，N_D 是发射区的掺杂浓度。

基极电流的第二个分量 i_{B2} 是由外部电路为了补充基区复合丢失的空穴必须提供的空穴引起的。如果在基区中少子电子与多子空穴的平均复合时间为 τ_b（叫做少数载流子寿命），那么在 τ_b 的时间内，基区中与空穴复合的少子电荷为 Q_n，据此就可以得到 i_{B2} 的表达式。在稳态时，Q_n 由从发射区注入的电子来补充。为了补充空穴，电流 i_{B2} 必须每 τ_b 秒为基极提供 Q_n 的正电荷：

$$i_{B2} = \frac{Q_n}{\tau_b} \tag{5.6}$$

存储在基区中的少子电荷 Q_n 可以从图 5.4 中得到。具体地说，Q_n 由基区中直线分布曲线下面的三角形面积表示，因此，

$$Q_n = A_E q \times \frac{1}{2} n_p(0) W$$

将式（5.1）中的 $n_p(0)$ 代入并用 n_i^2 / N_A 替代 n_{p0} 得到

$$Q_n = \frac{A_E q W n_i^2}{2 N_A} e^{v_{BE}/V_T} \tag{5.7}$$

将它代入式（5.6）得到

$$i_{B2} = \frac{1}{2} \frac{A_E q W n_i^2}{\tau_b N_A} e^{v_{BE}/V_T} \tag{5.8}$$

结合式（5.5）和式（5.8）并使用式（5.4），可以得到总的基极电流 i_B 的表达式为

$$i_B = I_S \left(\frac{D_p}{D_n} \frac{N_A}{N_D} \frac{W}{L_p} + \frac{1}{2} \frac{W^2}{D_n \tau_b} \right) e^{v_{BE}/V_T} \tag{5.9}$$

结合式（5.3）和式（5.9），可以看出 i_B 可以表示成 i_C 的一部分：

$$i_B = \frac{i_C}{\beta} \tag{5.10}$$

即

$$i_B = \left(\frac{I_S}{\beta}\right) e^{v_{BE}/V_T} \tag{5.11}$$

其中 β 为

$$\beta = 1 \bigg/ \left(\frac{D_p}{D_n} \frac{N_A}{N_D} \frac{W}{L_p} + \frac{1}{2} \frac{W^2}{D_n \tau_b} \right) \tag{5.12}$$

从中可以看出 β 对给定的晶体管来说是常数。对现代 *npn* 晶体管来说，β 的值在 50 到 200 之间，但是对于特殊器件可以达到 1000。后面将会更清楚地解释系数 β 称为共发射极电流增益。

式（5.12）指出 β 值受两个因素影响，这两个因素是基区宽度 W 以及基区和发射区的相对掺杂比 (N_A/N_D)。为了得到较高的 β（高 β 值是合乎愿望的，因为它是表示增益的参数），基区必须要薄（W 要小）且是低掺杂，而发射区要重掺杂[使（N_A/N_D）较小]。最后，我们注意到目前为止的讨论都是一个理想的假设情况，其中 β 对于给定的晶体管是常数。

发射极电流　因为流进晶体管的电流必须流出来，因此从图 5.3 可以看出发射极电流 i_E 等于集电极电流 i_C 和基极电流 i_B 之和，即

$$i_E = i_C + i_B \tag{5.13}$$

利用式（5.10）和式（5.13）可得

$$i_E = \frac{\beta+1}{\beta} i_C \tag{5.14}$$

即

$$i_E = \frac{\beta+1}{\beta} I_S e^{v_{BE}/V_T} \tag{5.15}$$

同样可以将式（5.14）表示为

$$i_C = \alpha i_E \tag{5.16}$$

其中系数 α 与 β 有下列关系：

$$\alpha = \frac{\beta}{\beta+1} \tag{5.17}$$

因此式（5.15）中的发射极电流可以写为

$$i_E = (I_S/\alpha) e^{v_{BE}/V_T} \tag{5.18}$$

最后，使用式（5.17）将 β 表示成 α 的关系，即

$$\beta = \frac{\alpha}{1-\alpha} \tag{5.19}$$

从式（5.17）可以看出 α 是一个常数（对于给定的晶体管），它小于 1 但非常接近于 1。例如，如果 $\beta=100$，那么 $\alpha \simeq 0.99$。式（5.19）指出了一个重要的事实：α 的较小变化对应于 β 的一个较大的变化。这个数学关系证明了物理上的结果，相同类型的晶体管可能有差别很大的 β 值。α 叫做共基电流传输系数，以此命名的原因很快就会说明。

最后必须注意，因为α和β描述了正向放大模式（与反向放大模式相反，这种模式将在后面讨论）下BJT的运行，因此它们经常标记成α_F和β_F。我们将等价地使用α和α_F，以及β和β_F。

等效电路模型　我们已经给出了*npn*晶体管在放大模式（或正向放大）下的一阶模型。基本上来说，正向偏置电压v_{BE}产生一个指数相关的电流i_C流过集电极。只要集电结保持反偏，即$v_{CB} \geq 0$，那么该集电极电流i_C与集电结电压值无关。因此，在放大模式下，集电极端相当于一个理想的恒流源，它的电流值由v_{BE}确定。基极电流i_B是集电极电流的$1/\beta_F$倍，发射极电流等于集电极电流和基极电流之和。因为i_B远小于i_C（即$\beta_F \gg 1$），因此$i_E \simeq i_C$。更精确地说，集电极电流是发射极电流的α_F倍，α_F小于1但接近于1。

晶体管放大模式下的一阶模型可以用图5.5（a）所示的等效电路来表示，其中二极管D_E具有比例电流I_{SE}，它等于(I_S/α_F)，因此根据式（5.18），它提供与v_{BE}相关的电流i_E。受控源的电流等于集电极电流，受v_{BE}根据式（5.3）给出的指数关系控制。该模型实质上是一个非线性电压控制电流源，它可以通过将受控源的电流表示成$\alpha_F i_E$而转换成图5.5（b）所示的电流控制电流源。注意，该模型也是非线性的，因为流过二极管D_E的电流i_E和电压v_{BE}呈指数关系。从这个模型可以看出，如果把E和B之间当成输入端口，C和B之间当成输出端口，从而将该晶体管作为二端口网络使用（即B作为公共端），那么电流增益为α_F。因此，α_F称为共基电流传输系数。

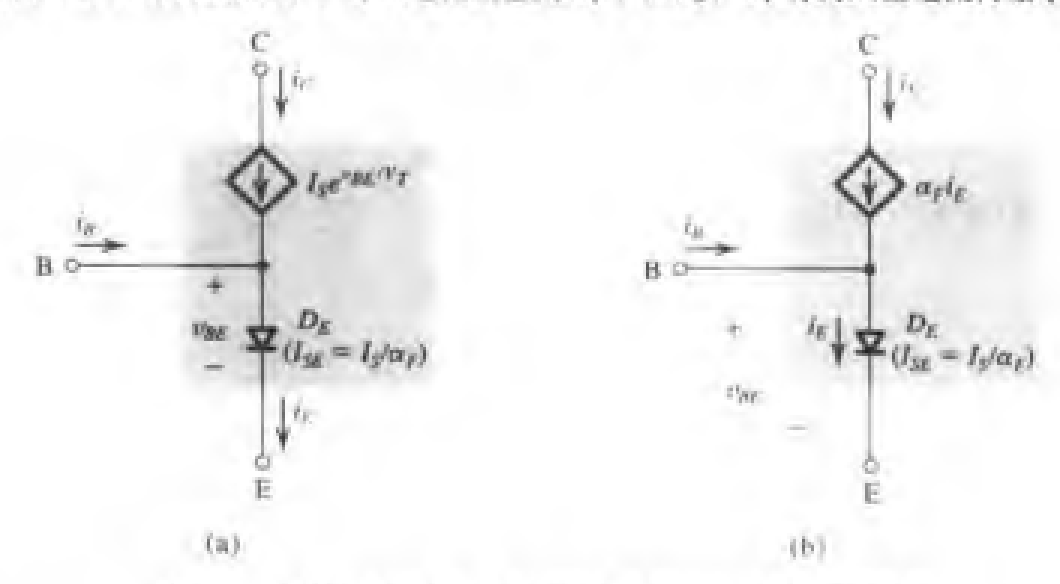


图5.5　工作在正向放大模式的*npn* BJT的大信号等效电路模型

练习5.1　考虑一个*npn*晶体管，当$i_C = 1$ mA时有$v_{BE} = 0.7$ V。求当$i_C = 0.1$ mA和10 mA时的v_{BE}。

答案：0.64 V；0.76 V

练习5.2　某一类型晶体管的β值在50到150的范围，求其α值的范围。

答案：0.980到0.993

练习5.3　对某一电路中的*npn* BJT测量显示基极电流为14.46 μA，发射极电流为1.460 mA，发射结电压为0.7 V。求该条件下的α、β和I_S。

答案：0.99；100；10^{-15}A

练习5.4　两个晶体管的α分别为0.99和0.98，计算这两个晶体管的β。当集电极电流为10 mA时，求每个晶体管的基极电流。

答案：99；49；0.1 mA；0.2 mA

5.1.3　实际晶体管结构

图 5.6 给出了一个比较实际的（但仍然是简化的）*npn* 型 BJT 的横截面。注意，集电区实际上包围着发射区，这样使得被注入到薄基区的电子很难逃脱被收集的命运。因此，α_F 就非常接近于 1，β_F 非常大。注意，器件不是对称的。关于实际器件的物理结构的更多信息，请参考附录 A。

BJT 的结构不是对称的事实意味着如果发射极和集电极被交换，那么晶体管将工作在反向放大模式，此时的 α 和 β 值记为 α_R 和 β_R，它们与正向放大模式下的值 α_F 和 β_F 不同。此外，因为器件结构是为正向工作模式而优化设计的，因此 α_R 和 β_R 要远小于它们的正向模式下的值。当然，α_R 和 β_R 的关系与 α_F 和 β_F 的关系相同。α_R 的典型范围为 0.01 到 0.05，相应的 β_R 的范围为 0.01 到 1。

图 5.6 所示的结构也指出 CBJ 比 EBJ 有更大的结面积。如果晶体管工作在反向放大模式（即 CBJ 正向偏置，而 EBJ 反向偏置）并且它的运行模型为图 5.5（b）所示的方式，我们可以得到图 5.7 所示的模型。其中，二极管 D_C 表示集电结，它的比例电流 I_{SC} 远大于二极管 D_E 的比例电流 I_{SE}。这两个比例电流的比与相应结面积的比相同。此外，有一个简单而精确的关系来表示比例电流 I_{SE}、I_{SC} 和 I_S 以及电流传输系数 α_R 和 α_F，即

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \tag{5.20}$$

大比例电流 I_{SC} 会产生以下影响：对于相同的电流，当 CBJ 正向偏置时，它的电压降要小于 EBJ 的正向电压降 V_{BE}。这一点隐含着 BJT 在饱和区的性能。

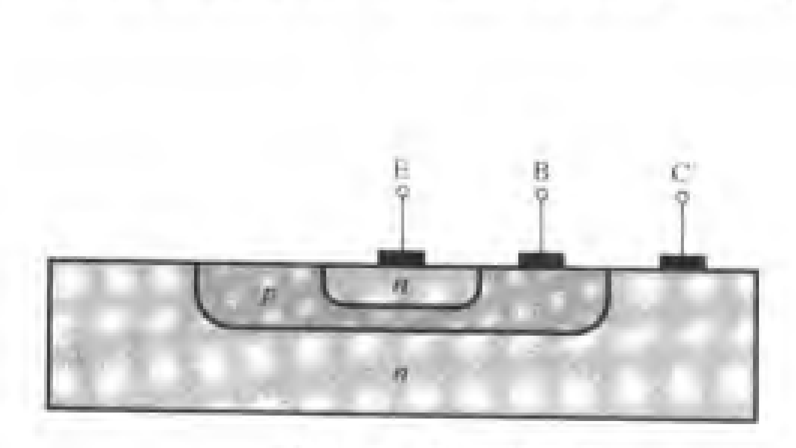


图 5.6　*npn* BJT 的横截面

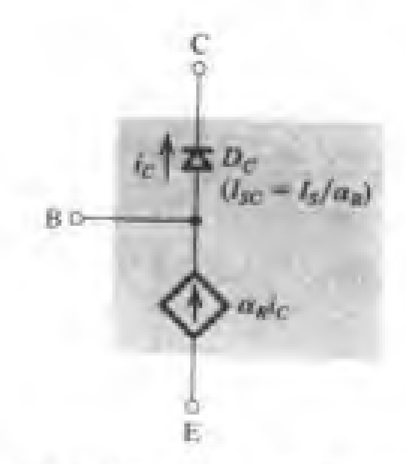


图 5.7　当工作在反向放大模式时 *npn* 晶体管的模型（即 CBJ 正偏，EBJ 反偏）

练习 5.5　一给定的晶体管有 $\alpha_F = 1$，$\alpha_R = 0.01$，其发射结的比例电流（I_{SE}）大约为 10^{-15}A。它的集电结的比例电流（I_{SC}）为多少？相对于发射结，集电结的尺寸为多少？β_R 的值为多少？

答案：10^{-13}A；100 倍大；0.01

5.1.4　埃伯尔斯-莫尔（EM）模型

图 5.5（a）所示模型与图 5.7 所示模型结合在一起就得到图 5.8 所示的电路模型。注意，我们已经重新标注流过 D_E 和 D_C 的电流以及相应的受控源的控制电流为 i_{DE} 和 i_{DC}。埃伯尔斯和莫尔（两个该领域的早期工作者）证明了这个组合模型可以用来预计 BJT 在所有可能模式下的工作特性。为了解这一点，我们来推导以结电压 v_{BE} 和 v_{BC} 表示的极电流 i_E、i_C 和 i_B。为此我们写出图 5.8 所示模型中的三个节点的电流方程：

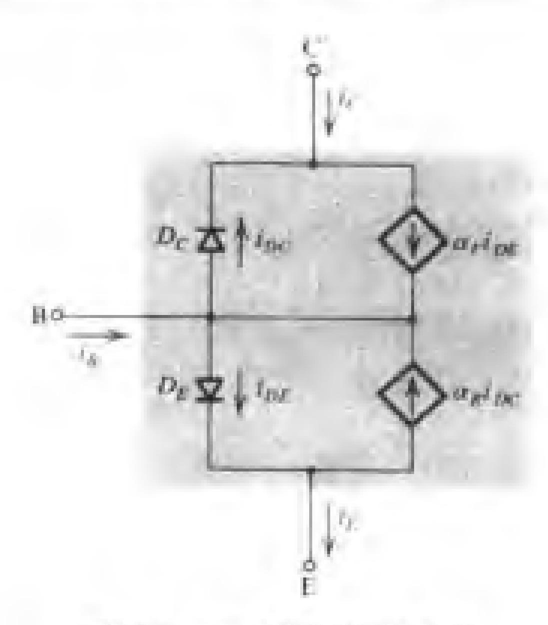


图 5.8　*npn* 晶体管的 EM 模型

$$i_E = i_{DE} - \alpha_R i_{DC} \tag{5.21}$$

$$i_C = -i_{DC} + \alpha_F i_{DE} \tag{5.22}$$

$$i_B = (1-\alpha_F)i_{DE} + (1-\alpha_R)i_{DC} \tag{5.23}$$

然后使用二极管方程来表示 i_{DE} 和 i_{DC}：

$$i_{DE} = I_{SE}(e^{v_{BE}/V_T} - 1) \tag{5.24}$$

和

$$i_{DC} = I_{SC}(e^{v_{BC}/V_T} - 1) \tag{5.25}$$

将 i_{DE} 和 i_{DC} 代入式（5.21）、式（5.22）和式（5.23）并使用式（5.20）的关系式得到所要求的表达式：

$$i_E = \left(\frac{I_S}{\alpha_F}\right)(e^{v_{BE}/V_T} - 1) - I_S(e^{v_{BC}/V_T} - 1) \tag{5.26}$$

$$i_C = I_S(e^{v_{BE}/V_T} - 1) - \left(\frac{I_S}{\alpha_R}\right)(e^{v_{BC}/V_T} - 1) \tag{5.27}$$

$$i_B = \left(\frac{I_S}{\beta_F}\right)(e^{v_{BE}/V_T} - 1) + \left(\frac{I_S}{\beta_F}\right)(e^{v_{BC}/V_T} - 1) \tag{5.28}$$

其中，

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} \tag{5.29}$$

和

$$\beta_R = \frac{\alpha_R}{1-\alpha_R} \tag{5.30}$$

EM 模型的第一个应用是用它来预计工作在正向放大模式的晶体管的极电流。这里 v_{BE} 为正，范围为 0.6 V 到 0.8 V，v_{BC} 为负。可以很容易地看出包含 e^{v_{BC}/V_T} 的项很小以至于可以忽略不计，因而可以得到

$$i_E \cong \left(\frac{I_S}{\alpha_F}\right)e^{v_{BE}/V_T} + I_S\left(1-\frac{1}{\alpha_F}\right) \tag{5.31}$$

$$i_C \cong I_S e^{v_{BE}/V_T} + I_S\left(\frac{1}{\alpha_R}-1\right) \tag{5.32}$$

$$i_B \cong \left(\frac{I_S}{\beta_F}\right)e^{v_{BE}/V_T} - I_S\left(\frac{1}{\beta_F}+\frac{1}{\beta_R}\right) \tag{5.33}$$

在每一个方程中，一般情况下可以忽略右边的第二项。这就得到了前面我们推导出来的熟悉的电流-电压关系式，即式（5.18）、式（5.3）和式（5.11）。

到目前为止，我们陈述正向放大模式的条件为 $v_{CB} \geqslant 0$ 以确保 CBJ 反向偏置。但是在实际上，只有当一个 pn 结两端的正向电压超过约 0.5 V 时，才称为有效的正向偏置。可以得出当负的 v_{CB} 下降到约-0.4 V 时，npn 晶体管都可以保持在放大模式工作。图 5.9 显示了这一点，它显示了 npn 晶体管以固定不变的发射极电流 I_E 工作时的 $i_C \sim v_{CB}$ 曲线。可以看出，当 v_{CB} 大约为-0.4 V 时，i_C 仍然保持 $\alpha_F I_E$ 不变。当 v_{CB} 小于这个值时，CBJ 开始充分导通，晶体管离开放大模式进入饱和工作模式，其中 i_C 下降。接下来我们将介绍 BJT 的饱和状态。但是现在要注意，我们可以使用 EM 方程来验证当 v_{BC} 大到等于 0.4 V 时，包含 e^{v_{BC}/V_T} 的项很小以至于可以忽略不计。

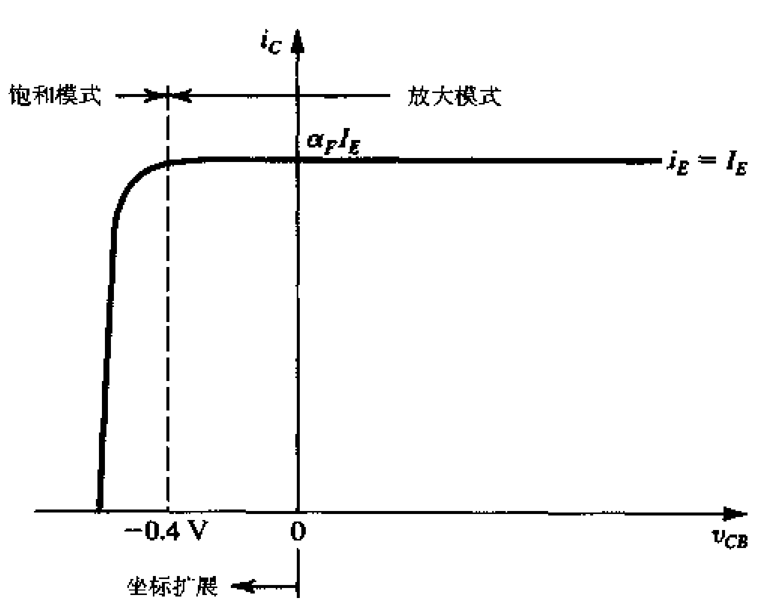


图 5.9　npn 晶体管以固定不变的发射极电流 I_E 工作时的 $i_C \sim v_{CB}$ 特性。当 $v_{CB} < -0.4$ V 时，晶体管进入饱和工作模式，集电极电流减小

练习 5.6　BJT 有 $\alpha_F = 0.99$，$\alpha_R = 0.02$，$I_S = 10^{-15}$A，计算式（5.31）、式（5.32）和式（5.33）右边的第二项，证明它们可以被忽略。然后计算当 $v_{BE} = 0.7$ V 时的 i_E，i_C 和 i_B。

答案：-10^{-17}A；49×10^{-15} A；-3×10^{-17} A；1.461 mA；1.446 mA；0.0145 mA

5.1.5　饱和工作模式[①]

图 5.9 指出当 v_{CB} 约小于-0.4 V 时，BJT 进入饱和工作模式。理想情况下，放大模式下的 v_{CB}

① BJT 饱和与 MOSFET 饱和的意思完全不同。BJT 的饱和工作模式类似于 MOSFET 的变阻区工作模式。另外，MOSFET 的饱和工作模式对应于 BJT 的放大工作模式

对集电极电流没有影响，但是在饱和区情况却发生了很大变化：向负方向增大 v_{CB}，即增大 CBJ 的正向偏置电压，从而使 i_C 减小。为了理解这一点，考虑式（5.27）中 i_C 的 EM 表达式，为了简化起见，忽略不包含指数的项，得到

$$i_C = I_S e^{v_{BE}/V_T} - \left(\frac{I_S}{\alpha_R}\right) e^{v_{BC}/V_T} \tag{5.34}$$

上式右边的第一项是正向偏置的 EBJ 的结果，第二项是正向偏置的 CBJ 的结果。当 v_{BC} 约超过 0.4 V 时，第二项开始发挥作用。随着 v_{BC} 增大，这一项变得越来越大，导致 i_C 变小，最终达到 0。当然，可以使饱和晶体管工作在小于 $\alpha_F I_E$ 的任意 i_C 值。在随后一节中我们会更多地介绍饱和模式特性，但是我们在这里来分析饱和晶体管基区中的少子浓度曲线是很有意义的，该曲线如图 5.10 所示。可以看出，因为 CBJ 现在是正向偏置，因此在基区中靠近集电区边缘的电子浓度不再为 0，而是一个与 e^{v_{BC}/V_T} 成比例的值。此外还可注意到浓度曲线的斜率随 i_C 减小而减小。

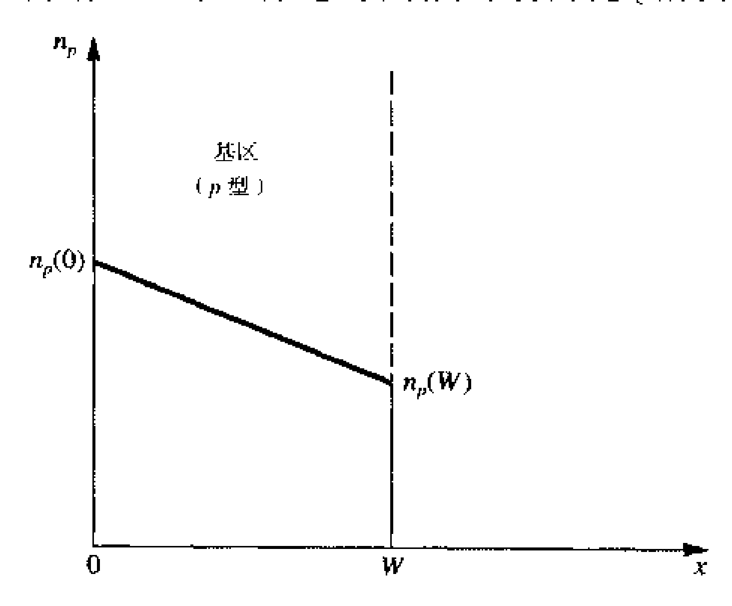


图 5.10 饱和模式下 npn 晶体管基区中的少数载流子（电子）浓度曲线

练习 5.7 （a）使用式（5.26）和式（5.27）中的 EM 表达式证明图 5.9 中的 $i_C \sim v_{CB}$ 关系可以描述为 $i_C = \alpha_F I_E + I_S[\alpha_F - (1/\alpha_R)]e^{v_{BC}/V_T}$。忽略所有不包括指数的项。

（b）对于 $I_S = 10^{-15}$A，$I_E = 1$ mA，$\alpha_F = 1$，$\alpha_R = 0.01$ 的情况，求 $v_{BC} = -1$ V，+0.4 V，+0.5 V，+0.54 V 和+0.57 V 时的 i_C，并求 $i_C = 0$ 时的 v_{BC} 值。

（c）令 i_C 等于 0，得到 v_{BC} 值，在该值上 i_B 应该为多少？用式（5.28）验证。

答案：（b）1 mA；1 mA；0.95 mA；0.76 mA；0.20 mA；576 mA；（c）1 mA

5.1.6 *pnp* 晶体管

pnp 晶体管的工作方式与上面描述的 *npn* 器件的工作方式类似。图 5.11 所示为偏置在放大模式下的 *pnp* 晶体管。其中，电压 V_{EB} 使得 p 型发射区在电势上高于 n 型基区，因此发射结正偏；电压 V_{BC} 使集电结反偏，即 p 型集电区的电势低于 n 型基区。

与 *npn* 晶体管不同，在 *pnp* 器件中的电流主要由在正向偏置电压 V_{EB} 作用下从发射区注入到基区的空穴传输。因为从基区注入到发射区的电子贡献的电流分量由于基区的低掺杂而很小，因此大多数发射极电流是由空穴产生的。从基区注入到发射区的电子将产生基极电流的第一个分量 i_{B1}。大量注入到基区的空穴将与基区中的多子（电子）复合而丢失。丢失的基区电子将由外部电

路来补充，导致基极电流的第二个分量 i_{B2}。成功到达集电结耗尽区边界的空穴将被集电结上的负电压吸引，因此这些空穴将被扫过耗尽区进入集电区而形成集电极电流。

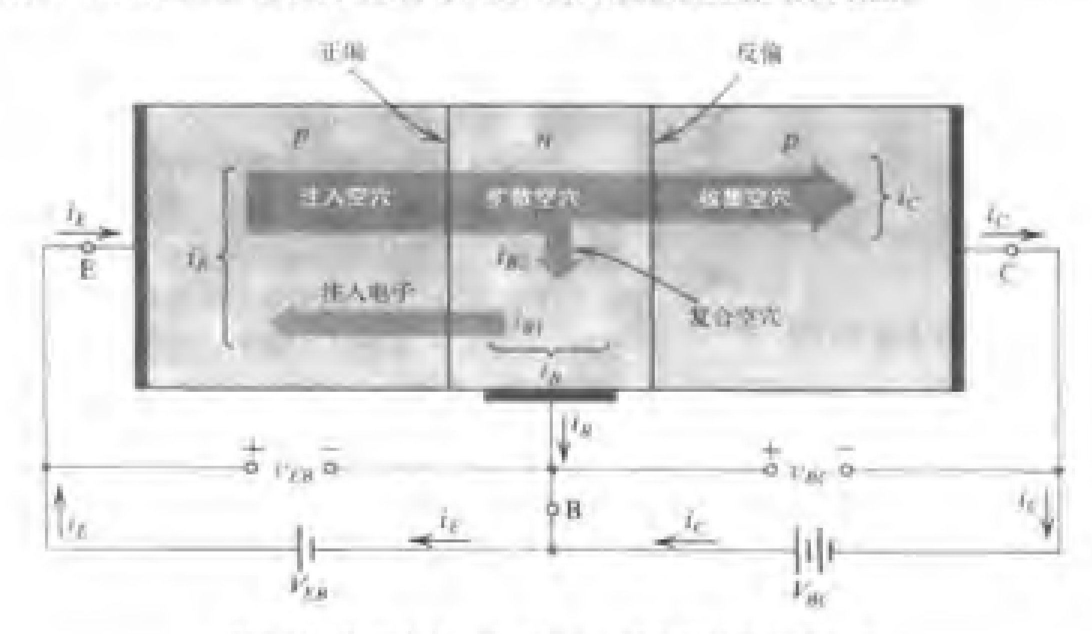


图 5.11 偏置在放大模式的 *pnp* 晶体管的极电流组成

从上面所述很容易可以看出 *pnp* 晶体管的电流-电压关系与 *npn* 晶体管的电流-电压关系相同，只是要用 v_{EB} 代替 v_{BE}。*pnp* 晶体管的大信号放大模式也可以用图 5.12 所示的电路来建模。如同 *npn*，电流源用电流控制电流源 $\alpha_F i_E$ 替代可以得到另外一种等效电路。最后，我们注意到 *pnp* 晶体管工作在饱和模式的原理与 *npn* 器件类似。

练习 5.8 考虑图 5.12 所示的模型，它应用于一个基极接地的 *pnp* 晶体管，发射极由一个恒流源输入，该恒流源给发射极提供 2 mA 的电流，并且集电极连接到一个−10 V 的直流电源。求发射结电压、基极电流和集电极电流。设晶体管有 $\beta = 50$，$I_S = 10^{-14}$ A。

答案： 0.650 V；39.2 μA；1.96 mA

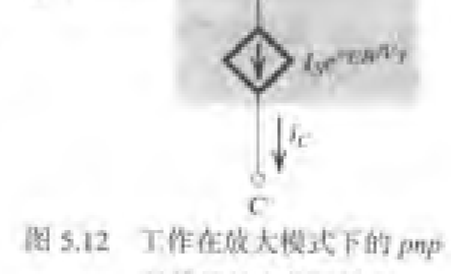


图 5.12 工作在放大模式下的 *pnp* 晶体管的大信号模型

练习 5.9 一个 *pnp* 晶体管有 $I_S = 10^{-11}$ A，$\beta = 100$，计算 $i_C = 1.5$ A 时的 v_{EB}。

答案： 0.643 V

5.2 电流-电压特性

5.2.1 电路符号及含义

到目前为止用来解释晶体管工作原理的物理结构图如果被用于含多个晶体管的电路中，其原理图一定是相当烦琐的。值得庆幸的是，BJT 具有非常方便且具有描述性的电路符号。图 5.13（a）所示是 *npn* 晶体管的符号，*pnp* 晶体管的符号如图 5.13（b）所示。这两种符号以发射极的箭头作为区分的标志。这个差别很重要，因为在上一节中我们已经看到，实际的 BJT 不是对称器件。

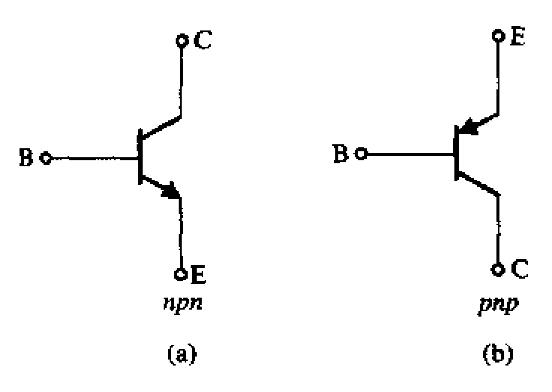


图 5.13　BJT 的电路符号

器件的极性（npn 和 pnp）由发射极上的箭头方向来指明。箭头指向发射极中的电流正常流动的方向，也是发射结的正偏方向。因为采用的画法假定电流自上往下流，因此我们总是以图 5.13 所示的方式表示 pnp 晶体管（即发射极在上面）。

图 5.14 所示是偏置在放大模式的 npn 和 pnp 晶体管。顺带提一下，如图所示的偏置点设置采用两个直流电压源，这不是常用的设置方法，这里只是用来说明工作原理的。实际的偏置方法将在 5.5 节中给出。图 5.14 也给出了整个晶体管的电流参考方向和实际方向。我们规定参考方向与电流的流动方向一致。因此一般情况下，我们不会遇到负的 i_E，i_B 和 i_C。

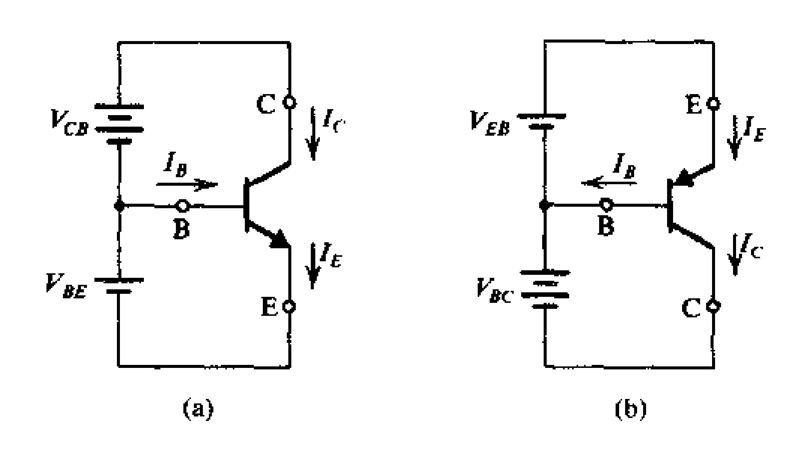


图 5.14　偏置在放大模式的晶体管电压极性和电流流向

从图 5.14 中可以明显看出采用这种画法的方便性。注意，电流从上往下流动，因此上面电压高，底部电压低。发射极上的箭头也暗指为了正向偏置发射结而应该施加的发射结电压的极性。例如 pnp 晶体管的电路符号，它指出为了使得电流流进发射极（向下），应该使发射极的电压高于基极的电压（高 v_{EB}）。注意，符号 v_{EB} 意味着发射极（E）电压高于基极（B）电压，因此对于工作在放大模式的 pnp 晶体管，v_{EB} 为正；而对于 npn 晶体管，v_{BE} 为正。

从 5.1 节可以看出，只要集电极电压不比基极电压低 0.4 V 以上，则正偏的 EBJ 使 npn 晶体管工作在放大模式，否则晶体管将离开放大模式而进入饱和模式。

同样，只要集电极电压不比基极电压大 0.4 V 以上，一旦 EBJ 正向偏置，那么 pnp 晶体管将工作在放大模式。否则，CBJ 变为正向偏置，pnp 晶体管进入饱和工作区。

为了便于参考，表 5.2 给出了放大模式下工作的 BJT 的电流-电压关系的总结。注意，为了简单起见，使用 α 和 β，而不是 α_F 和 β_F。

表 5.2　放大模式下 BJT 电流-电压关系的总结

$$i_C = I_S e^{v_{BE}/V_T}$$

$$i_B = \frac{i_C}{\beta} = \left(\frac{I_S}{\beta}\right) e^{v_{BE}/V_T}$$

$$i_E = \frac{i_C}{\alpha} = \left(\frac{I_S}{\alpha}\right) e^{v_{BE}/V_T}$$

注意：对 pnp 管，用 v_{EB} 代替 v_{BE}。

（续）

$i_C = \alpha i_E$	$i_B = (1-\alpha)i_E = \dfrac{i_E}{\beta+1}$
$i_C = \beta i_B$	$i_E = (\beta+1)i_B$
$\beta = \dfrac{\alpha}{1-\alpha}$	$\alpha = \dfrac{\beta}{\beta+1}$
V_T = 热电压 $= \dfrac{kT}{q} \cong 25$ mV（室温时）	

常数 n　在二极管方程中（见第 3 章），我们在指数中使用了常数 n 并指出它的值在 1 和 2 之间。对于现代双极型晶体管来说，n 接近于 1，但是以下的特殊情况除外：（1）在大电流时（即相对于给定晶体管的正常的电流范围），$i_C \sim v_{BE}$ 关系表明 n 的值接近于 2；（2）在低电流时，$i_B \sim v_{BE}$ 关系表明 n 的值约为 2。注意，我们总是假设 $n = 1$。

集电结反向电流（I_{CBO}）　在对晶体管极电流组成的讨论中，我们忽略了由热激发产生的少子传输的反向小电流。尽管在现代晶体管中，该电流安全可以被略去，但是应该考虑到流过集电结的反向电流。该电流记为 I_{CBO}，是发射极开路时（因此下标为 O）从集电极流向基极的反向电流。该电流通常在 nA 级，这个值高于理论预计值许多倍，它与 v_{CB} 有关。I_{CBO} 与温度密切相关，温度每升高 10℃，I_{CBO} 大约增大一倍[1]。

例题 5.1　图 5.15（a）所示电路中晶体管的 $\beta=100$，在 $i_C = 1$ mA 时，v_{BE} 为 0.7 V。设计一个电路使得集电极电流为 2 mA，集电极电压为+5 V。

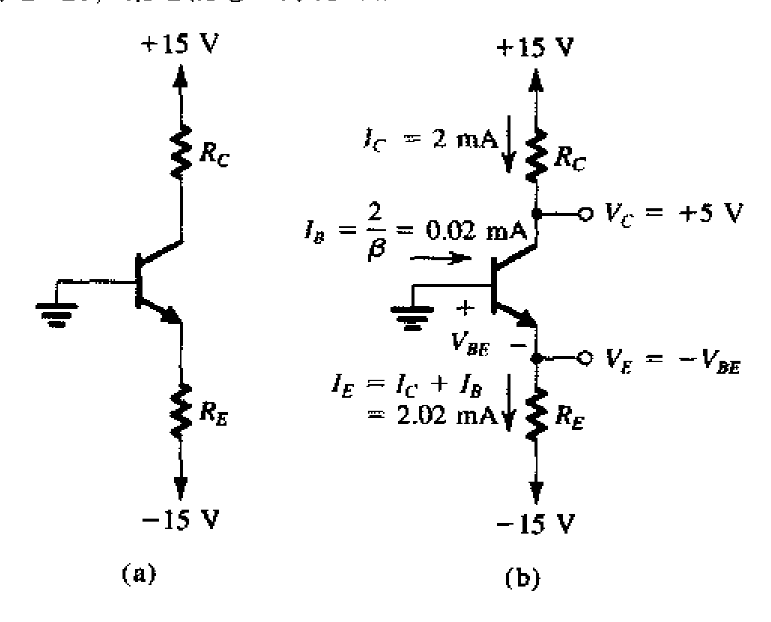


图 5.15　例题 5.1 的电路

解：参考图 5.15（b）。因为要求输出端的 $V_C = +5$ V，因此 CBJ 将反偏，BJT 将工作在放大模式。为了得到 $V_C = +5$ V 的电压，R_C 两端的电压降必须为 $15 - 5 = 10$ V。现在因为 $I_C = 2$ mA，因此应该根据下面的公式选择 R_C：

$$R_C = \frac{10\ \text{V}}{2\ \text{mA}} = 5\ \text{k}\Omega$$

因为在 $i_C = 1$ mA 时，v_{BE} 为 0.7 V，因此在 $i_C = 2$ mA 时，v_{BE} 的值为

① I_{CBO}的温度系数与 I_S 不同，因为 I_{CBO} 含有一个较大的漏电流分量

$$V_{BE} = 0.7 + V_T \ln\left(\frac{2}{1}\right) = 0.717\ \text{V}$$

因为基极电位为 0 V，所以发射极电压应该为

$$V_E = -0.717\ \text{V}$$

当 $\beta = 100$ 时，$\alpha = 100/101 = 0.99$，因此发射极电流为

$$I_E = \frac{I_C}{\alpha} = \frac{2}{0.99} = 2.02\ \text{mA}$$

现在可以求得所需要的 R_E 值为

$$R_E = \frac{V_E - (-15)}{I_E} = \frac{-0.717 + 15}{2.02} = 7.07\ \text{k}\Omega$$

至此设计完成。但是应该注意上面的计算具有很高的精度，然而实际上（例如从器件值期望的容差观点来看），这通常是没有必要的而且也是不可行的。但是我们选择精确设计是为了说明所涉及到的不同步骤。 ■

练习 5.10 在图 E5.10 所示的电路中，测量得到发射极的电压为–0.7 V。如果 $\beta = 50$，求 I_E，I_B，I_C 和 V_C。

答案：0.93 mA；18.2 μA；0.91 mA；+5.45 V

练习 5.11 在图 E5.11 所示的电路中，测量得到 V_B 为+1.0 V，V_E 为+1.7 V。该晶体管的 α 和 β 分别为多少？集电极的电压 V_C 为多少？

答案：0.994；165；–1.75 V

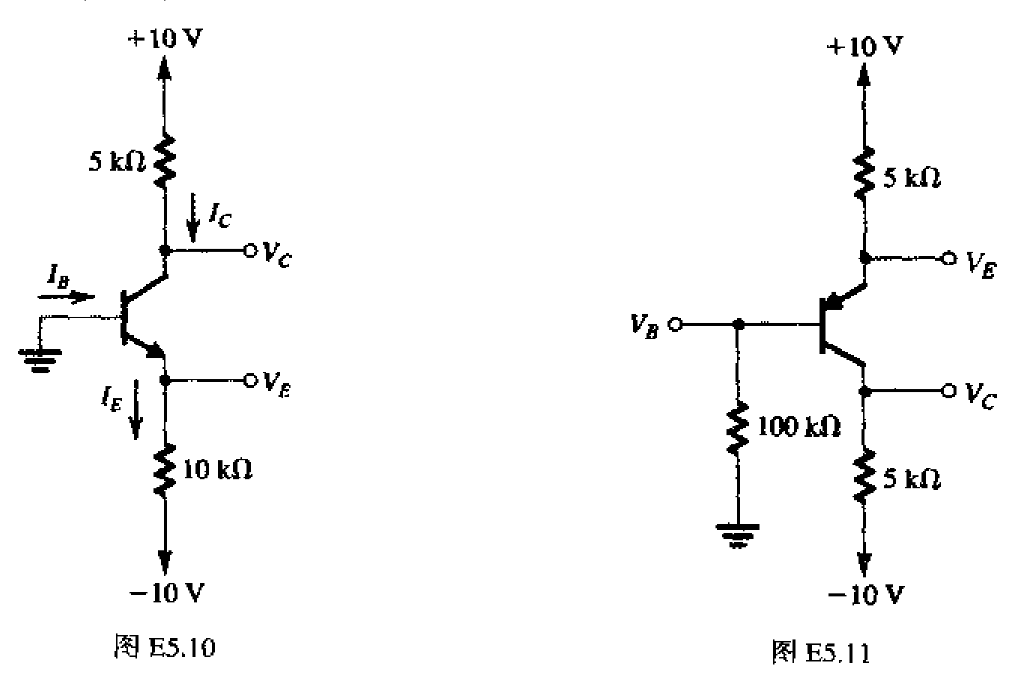


图 E5.10　　　图 E5.11

5.2.2 晶体管特性的图解表示

有时候用图解表示晶体管的伏安特性很有用。图 5.16 所示为 i_C ~ v_{BE} 特性，它具有以下指数关系：

$$i_C = I_S e^{v_{BE}/V_T}$$

它与二极管的伏安关系相同（系数 n 除外）。$i_E \sim v_{BE}$ 和 $i_B \sim v_{BE}$ 特性也呈指数关系但具有不同的比例电流：i_E 的比例电流为 I_S/α，i_B 的比例电流为 I_S/β。因为该指数特性的常数 $1/V_T$ 非常高（约为 40），因此曲线上升得非常陡。当 v_{BE} 约小于 0.5 V 时，电流很小，几乎可以忽略[1]。在大多数正常电流范围内，v_{BE} 在 0.6 V 到 0.8 V 的范围内。在进行一阶直流的快速计算时，通常假设 $V_{BE} \simeq 0.7$ V，这与二极管的分析方法（见第 3 章）类似。对于 pnp 晶体管，$i_C \sim v_{EB}$ 特性与图 5.16 所示的特性相同，只是要将 v_{BE} 用 v_{EB} 替代。

像硅二极管一样，当 pn 结工作在恒定电流时，温度每升高 1℃，发射结两端的电压约降低 2 mV。图 5.17 显示了该温度相关性，在图中给出了 npn 晶体管在三个不同的温度下的 $i_C \sim v_{BE}$ 曲线。

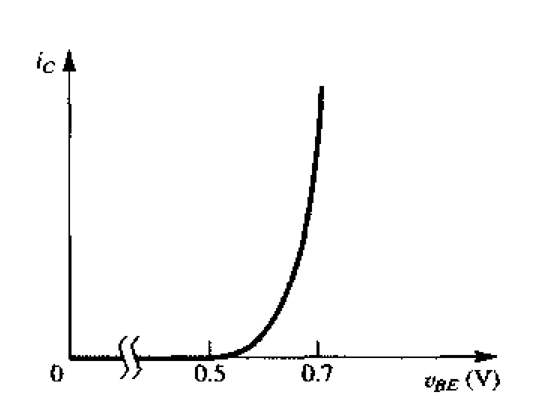


图 5.16　npn 晶体管的 $i_C \sim v_{BE}$ 特性

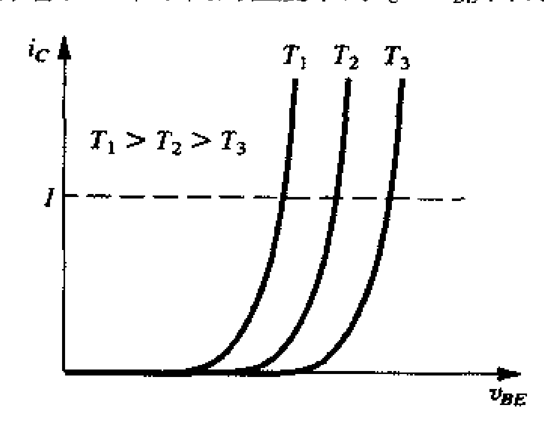


图 5.17　温度对 $i_C \sim v_{BE}$ 特性的影响。当发射极电流固定时（虚线），v_{BE} 以 −2 mV/℃ 的系数变化

共基特性曲线　描述双极型晶体管特性的一种方法是画出在不同的 i_E 下 i_C 对 v_{CB} 的曲线。在图 5.9 中我们已经见到过这种图，那是用来介绍饱和工作模式的。现在我们建立一个概念性的实验来测量这种特性，如图 5.18（a）所示。可以看出在这些测量中，保持基极电压固定不变，在这里为了接地，将基极作为输入端口和输出端口的公共端，因此所得到的测量值称为共基特性参数，如图 5.18（b）所示。

在放大工作模式，即 $v_{CB} \geqslant -0.4$ V 左右，$i_C \sim v_{CB}$ 特性在两个方面偏离我们的期望。第一个是曲线并非水平直线，而是显示为一个小的正斜率的直线，这表明在放大模式 i_C 依赖于 v_{CB}，我们将在后面讨论这种现象。第二个是在相当大的 v_{CB} 处集电极电流会快速增大，这是后面将要考虑的击穿现象。

如图 5.18（b）所示，每条特性曲线与垂直坐标轴相交于等于 αI_E 的电流处，其中 I_E 是固定的发射极电流，在该电流下测量可得到特定曲线。所得到的 α 值是总的 α，或大信号 α，即 $\alpha = i_C / i_E$，其中 i_C 和 i_E 分别表示总的集电极和发射极电流。我们知道 α 称为共基电流增益。增量 α 或小信号 α 可以通过测量 i_C 的变化 Δi_C 来得到，i_C 的变化是由于 i_E 的增量 Δi_E 引起的，因此增量 $\alpha \equiv \Delta i_C / \Delta i_E$。这个测量值经常在 v_{CB} 固定不变的时候得到，如图 5.18（b）所示。通常，这个增量 α 和总 α 只有一些不同，但是在本书中我们对二者不加区分。

---

① BJT 的 $i_C \sim v_{BE}$ 特性与增强性 MOSFET 的 $i_D \sim v_{GS}$ 特性相对应，它们有一个相同的特性：在两种情况下，电压都必须超过一个"门限"才能使器件完全导通。在 MOSFET 中，有一个正式的开启电压 V_t，它的典型值为 0.5 V 到 1.0 V；对于 BJT，有一个明显的约为 0.5 V 的门限。MOSFET 的 $i_D \sim v_{GS}$ 特性曲线是抛物线，因此其陡峭程度比 BJT 的 $i_C \sim v_{BE}$ 特性的陡峭程度要小。这个差别对每种器件实现的互导值 g_m 有直接且重要的影响。

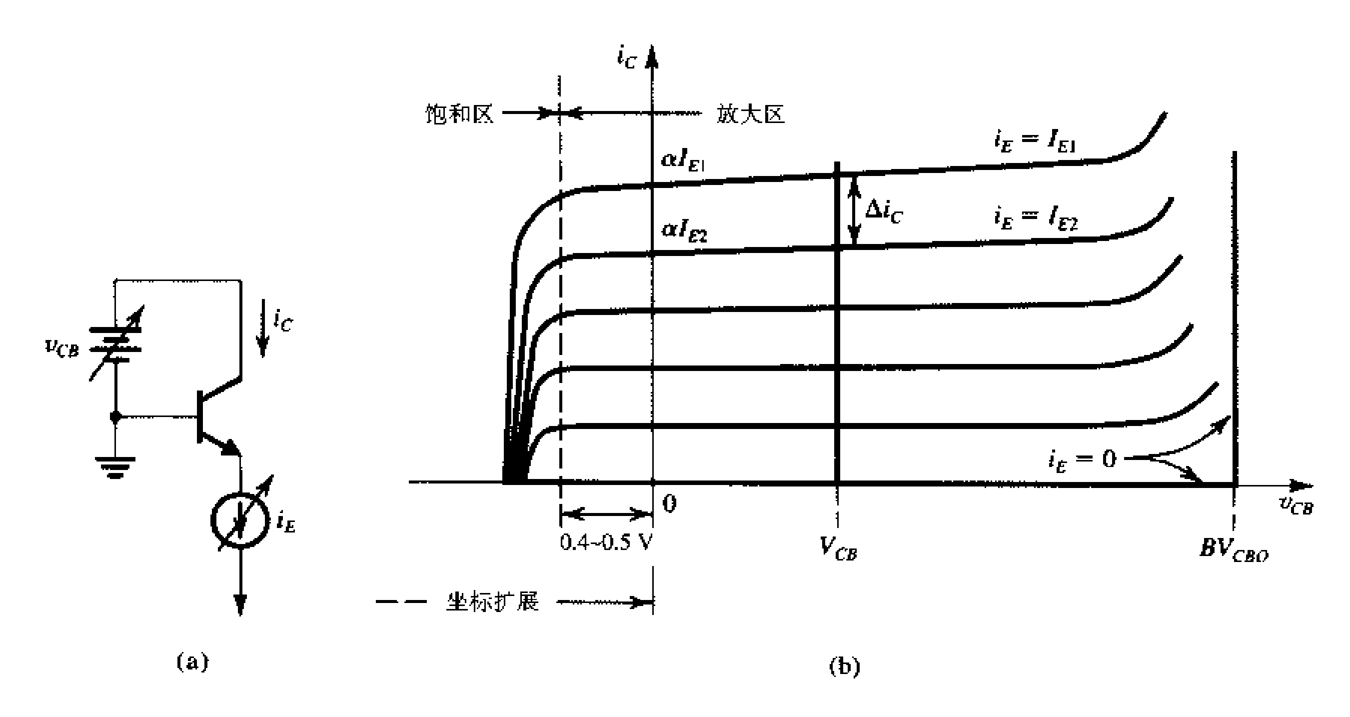


图 5.18 *npn* 晶体管的 $i_C \sim v_{CB}$ 特性曲线

最后转到饱和区，可以使用 EM 方程来得到下面在饱和区 $i_C \sim v_{CB}$ 曲线的表达式（当 $i_E = I_E$ 时）：

$$i_C = \alpha_F I_E - I_S\left(\frac{1}{\alpha_R} - \alpha_F\right)e^{v_{BC}/V_T} \tag{5.35}$$

我们可以使用该方程来得到 i_C 减小到 0 时的 v_{BC} 值。我们已经知道 CBJ 远大于 EBJ，正向电压降 v_{BC} 将小于 v_{BE}，这导致饱和区集电结电压 v_{CE} 为 0.1 V 到 0.3 V。

练习 5.12 考虑 *pnp* 晶体管，当 $i_E = 1$ mA 时有 $v_{EB} = 0.7$ V。假设基极接地，发射极由 2 mA 的恒流源输入，集电极通过 1 kΩ电阻连接到−5 V 的电源。如果温度升高 30℃，求发射极和集电极电压的变化。忽略 I_{CBO} 的影响。

答案：−60 mV；0 V

练习 5.13 对于一个 CB 组态中的 *npn* 晶体管，$I_E = 1$ mA，当 i_C 减小到：（a）它在放大模式下的值的一半时；（b）0 时。求 v_{CB} 的值。假定 $\alpha_F \cong 1$，$\alpha_R = 0.1$。当 $v_{CB} = 0$ 时，测量得到 V_{BE} 的值为 0.70 V［见图 5.18（a）］。对于 $\alpha_R = 0.01$，重复计算（a）和（b）。

答案：−0.628 V；−0.645 V；−0.568 V；−0.585 V

5.2.3 i_C 与集电极电压的相关性——厄尔利效应

当工作在放大区时，实际的 BJT 显示了集电极电流与集电极电压值之间的相关性，结果是 $i_C \sim v_{CB}$ 特性不是纯粹的水平直线。为了清楚地看到这种相关性，考虑图 5.19（a）所示的概念性电路。该晶体管连接成共发射极组态，即发射极作为输入端口和输出端口的公共端。通过调整连接在基极和发射极之间的直流电源可以设置电压 V_{BE} 为任何值。在每一个 V_{BE} 值，通过改变集电极和发射极之间的直流电源并测量相应的集电极电流可以逐点测量得到相应的 $i_C \sim v_{CE}$ 特性。得到的是一组 $i_C \sim v_{CE}$ 特性曲线，如图 5.19（b）所示，这组曲线称为共发射极特性曲线。

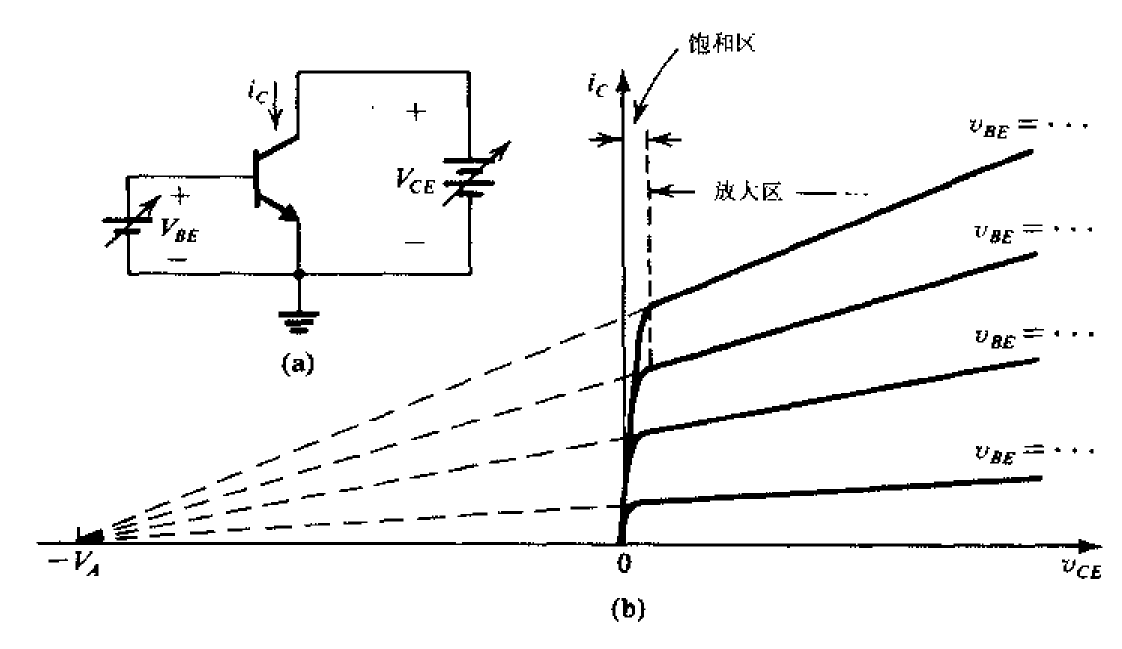


图 5.19　（a）测量 BJT 的 $i_C \sim v_{CE}$ 特性的概念性电路；（b）实际 BJT 的 $i_C \sim v_{CE}$ 特性曲线

在 v_{CE} 较小时，当集电极电压比基极电压小 0.4 V 以上时，集电结就成为正向偏置，晶体管离开放大模式而进入饱和模式。很快我们就可以看到饱和区的 $i_C \sim v_{CE}$ 曲线。但是现在我们先详细看一下放大区的特性曲线。可以看出该特性曲线尽管还是直线，但是有一个有限的斜率。实际上，当把特性曲线反向延伸时，发现它与 v_{CE} 的负轴相交于 $v_{CE}=-V_A$ 处。电压 V_A 是一个正值，它是给定的 BJT 的一个参数，典型值为 50 V 到 100 V。称为厄尔利（Early）电压，该电压以首次研究该现象的 J. M. Early 的名字命名。

在给定的 v_{BE} 值，增大 v_{CE} 将增大集电结的反向偏置电压，因此增大了集电结的耗尽区宽度（见图 5.3）这反过来又导致有效基区宽度 W 的减小。我们已经知道 I_S 与 W 成反比［见式（5.4）］，因此可以看出随着 I_S 的增加，i_C 成比例地增加。这就是厄尔利效应。

i_C 与 v_{CE} 的线性相关性可以通过假定 I_S 保持不变并在 i_C 的方程中包含（$1+v_{CE}/V_A$）因子来描述：

$$i_C = I_S e^{v_{BE}/V_T}\left(1+\frac{v_{CE}}{V_A}\right) \tag{5.36}$$

$i_C \sim v_{CE}$ 直线的非零斜率表明从集电极看进去的输出电阻不是无限的，而是一个有限值，定义为

$$r_o \equiv \left[\left.\frac{\partial i_C}{\partial v_{CE}}\right|_{v_{BE}=\text{常数}}\right]^{-1} \tag{5.37}$$

利用式（5.36）可以证明：

$$r_o = \frac{V_A + V_{CE}}{I_C} \tag{5.38}$$

其中，I_C 和 V_{CE} 是 BJT 工作在给定 $i_C \sim v_{CE}$ 曲线上的点的坐标（即当 $v_{BE}=V_{BE}$ 时得到的曲线）。上式也可以写成

$$r_o = \frac{V_A}{I'_C} \tag{5.38a}$$

其中，I'_C 是忽略厄尔利效应后的集电极电流，即

$$i'_C = I_S e^{v_{BE}/V_T} \qquad (5.38b)$$

在设计和分析直流偏置时几乎没有必要考虑 i_C 与 v_{CE} 的关系。但是有限输出电阻 r_o 对晶体管放大器的增益有很大的影响，我们将在后面的介绍中看到。

输出电阻 r_o 可以包含在晶体管的电路模型中，如图 5.20 所示。我们给出了共发射极 *npn* 晶体管工作在放大模式时的大信号电路模型。可以看出，二极管 D_B 对 i_B 和 v_{BE} 的指数关系建立模型，这样就有一个比例电流 $I_{SB} = I_S / \beta$。另外我们注意到这两个模型只在晶体管的控制函数的表达方面不同：在图 5.20（a）所示的电路中，电压 v_{BE} 控制集电极电流源，而在图 5.20（b）所示的电路中，基极电流 i_B 是电流源 βi_B 的控制参数。这里，β 表示共发射极组态理想的电流增益（即不考虑 r_o），这也是称其为共发射极电流放大系数的原因。

练习 5.14 求当 $I_C = 0.1$ mA、1 mA 和 10 mA 时 BJT 的输出电阻。$V_A = 100$ V。

答案： 1 MΩ；100 kΩ；10 kΩ

练习 5.15 考虑图 5.19（a）所示的电路。当 $V_{CE} = 1$ V 时，调整 V_{BE} 以产生 1 mA 的集电极电流。然后，当 V_{BE} 保持不变时，V_{CE} 上升到 11 V。求新的 I_C 值。设晶体管的 $V_A = 100$ V。

答案： 1.1 mA

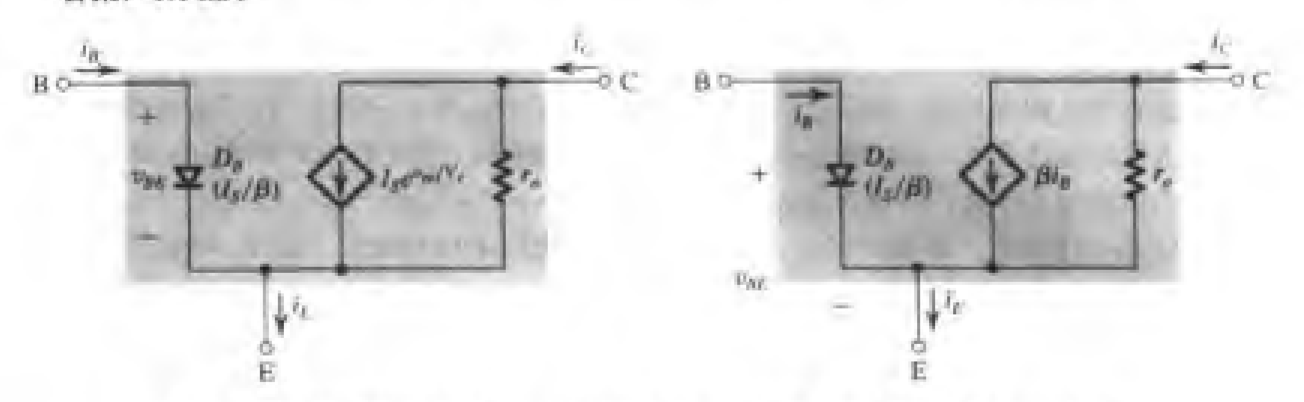


图 5.20 共发射极组态中 *npn* 晶体管工作在放大模式的大信号等效电路模型

5.2.4 共发射极特性曲线

表示晶体管共发射极特性的另一种方法如图 5.21 所示。使用基极电流 i_B 而不是发射结电压 v_{BE} 作为一个参数，即每条 $i_C \sim v_{CE}$ 曲线通过基极输入固定电流 I_B 来测量。得到的特性曲线与图 5.19 所示的特性曲线类似，除了这里的曲线显示有击穿现象（该现象将在后面讨论）外。应该提到，尽管在图上并不明显，但是在放大区域的曲线斜率不同于图 5.19 中相应的斜率。但这只是一个很微小的差别，它超出了我们的讨论范围。

共发射极电流增益 β 一个重要的晶体管参数是共发射极电流放大系数 β_F，或简单地记为 β。到目前为止，我们已经定义了 β 为集电极的总电流与基极总电流之比，并且也假定对于给定的晶体管来说 β 是一个常数，与工作条件无关。下面我们将详细地讨论这两点。

考虑一个晶体管，它工作在放大区域中的 Q 点，如图 5.21 所示，则工作点为集电极电流 I_{CQ}，基极电流 I_{BQ} 和集射极电压 V_{CEQ}。集电极电流与基极电流的比值是大信号 β 或直流 β：

$$\beta_{dc} = \frac{I_{CQ}}{I_{BQ}} \qquad (5.39)$$

该 β 已经在描述晶体管工作时使用过。在生产厂商的数据表中它通常表示为 h_{FE}，它来源于混合二端口参数描述的晶体管特性中的一个符号（见附录 B）。也可以定义另一个基于增量或小信号量

的 β。参考图 5.21，可以看出当 v_{CE} 保持在 V_{CEQ} 不变时，将 i_B 从 I_{BQ} 改变到（$I_{BQ}+\Delta i_B$）将使得 i_C 从 I_{CQ} 增大到（$I_{CQ}+\Delta i_C$）。因此可以定义增量 β 或交流 β 为 β_{ac}：β_{ac} 和 β_{dc} 值的大小不同，典型值的差别大约为 10%到 20%。在本书中，我们通常不区分两者之间的差别。最后，注意小信号 β 或 β_{ac} 也用符号 h_{fe} 来表示。因为小信号 β 或 h_{fe} 是在固定 v_{CE} 时定义和测量的，即集电极和发射极之间没有信号分量，因此它称为短路共发射极电流增益。

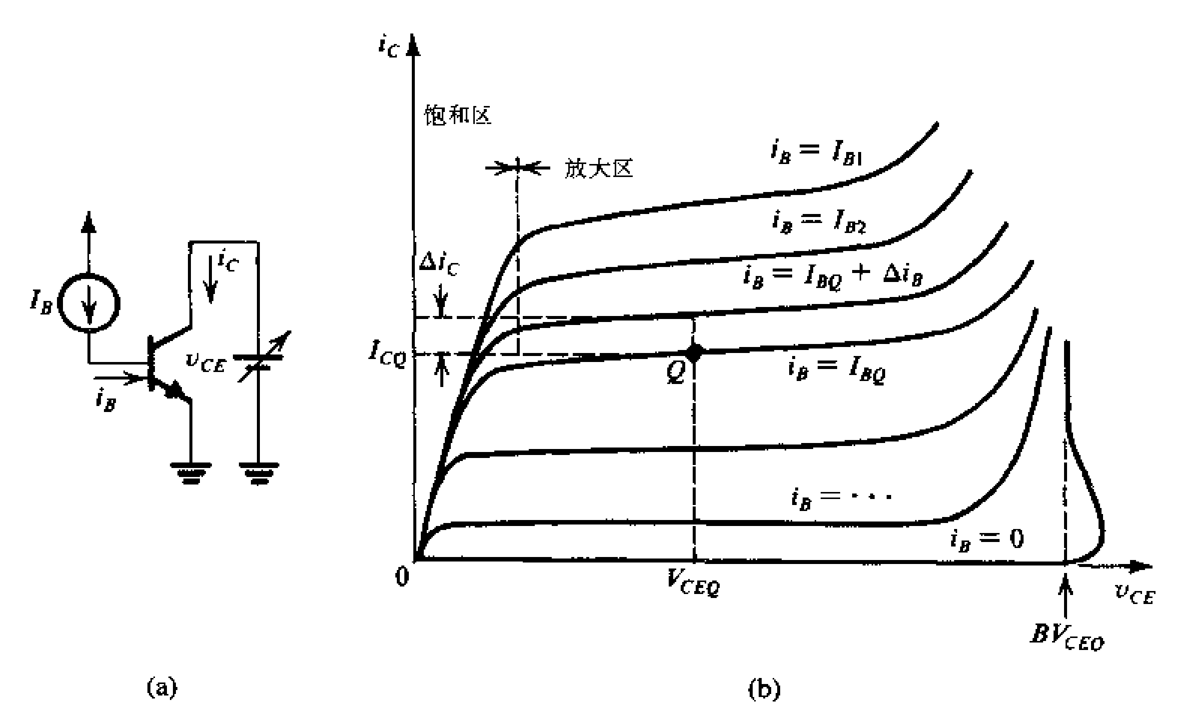


图 5.21　共发射极特性．注意，在原点附近，水平尺度被扩展了，目的是详细显示饱和区特性

$$\beta_{ac} = \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{CE}=\text{常数}} \tag{5.40}$$

β 值取决于晶体管的工作电流，它们的关系如图 5.22 所示的形式。产生这种关系的物理过程超出了本书的讨论范围。图 5.22 也显示了 β 的温度相关性。

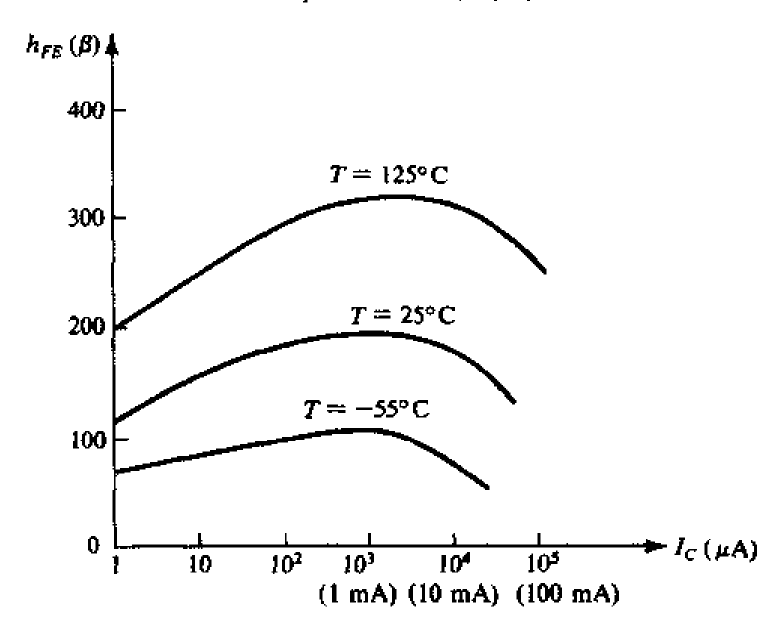


图 5.22　现代集成电路 npn 硅晶体管中，工作电流约为 1 mA 时 β 及 I_C 与温度的相关性

饱和电压 V_{CEsat} 和饱和电阻 R_{CEsat} 饱和区的共发射极特性如图 5.23 所示。在饱和区曲线聚束在一起的现象暗示着饱和区的增量 β 小于放大区的增量 β。我们将饱和区的一个可能的工作点标为 X，在该点处有基极电流 I_B、集电极电流 I_{Csat} 和集射极电压 V_{CEsat}。注意，$I_{Csat} < \beta_F I_B$。因为 I_{Csat} 的值由电路设计者给出，因此饱和晶体管被称为工作在强制（forced）β 下，该 β 为

$$\beta_{forced} \equiv \frac{I_{Csat}}{I_B} \tag{5.41}$$

因此，

$$\beta_{forced} < \beta_F \tag{5.42}$$

β_F 对 β_{forced} 的比值称为过载因子。过载因子越大，晶体管进入饱和区就越深，V_{CEsat} 就越小。

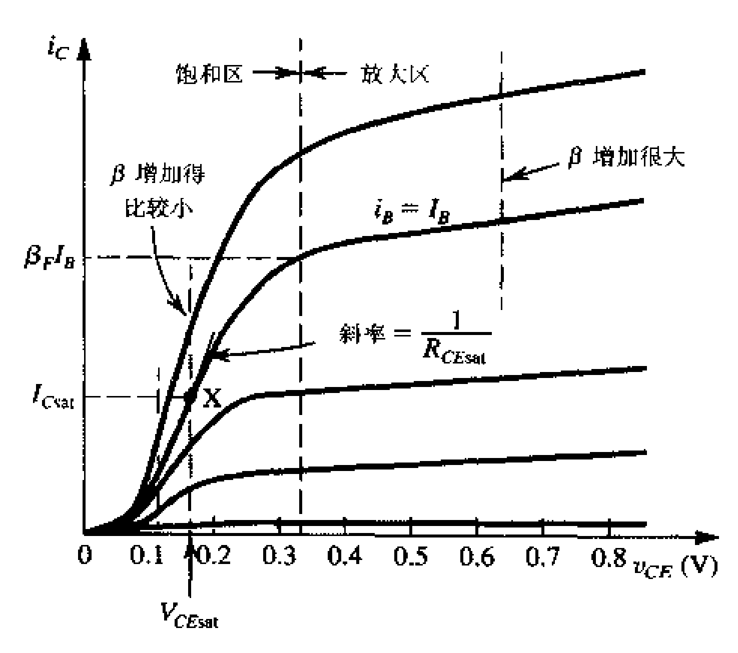


图 5.23 饱和区的共发射极特性的一个扩展图示

饱和区的 $i_C \sim v_{CE}$ 曲线相当陡峭，表明饱和晶体管有一个较低的集电极到发射极电阻 R_{CEsat}：

$$R_{CEsat} \equiv \left.\frac{\partial v_{CE}}{\partial i_C}\right|_{\substack{i_B = I_B \\ i_C = I_{Csat}}} \tag{5.43}$$

R_{CEsat} 的典型值从几欧姆到数十欧姆。

图 5.24（b）显示了图 5.24（a）所示饱和晶体管的一条 $i_C \sim v_{CE}$ 特性曲线。可以注意到该曲线与 v_{CE} 轴相交于 $V_T \ln(1/\alpha_R)$，这个值是所有 $i_C \sim v_{CE}$ 曲线共同的值。图 5.24（b）中也显示了工作点 X 的正切斜率 $1/R_{CEsat}$。当延伸切线时，它与 v_{CE} 轴相交于电压 V_{CEoff}，大约为 0.1 V。可以得出，饱和晶体管的 $i_C \sim v_{CE}$ 特性可以用图 5.24（c）所示的等效电路近似表示。在集电极一边，晶体管由电阻 R_{CEsat} 与电池 V_{CEoff} 串联表示，这样就可以得到饱和电压 V_{CEsat} 为

$$V_{CEsat} = V_{CEoff} + I_{Csat} R_{CEsat} \tag{5.44}$$

V_{CEsat} 的典型范围为 0.1 V 到 0.3 V。对于许多应用，使用如图 5.24（d）所示的简单电路已经足够。饱和晶体管的失调电压尽管很小，但还是使得 BJT 作为开关使用时与 MOSFET 相比缺少吸引力，MOSFET 的 $i_D \sim v_{DS}$ 特性直接通过 $i_D \sim v_{DS}$ 平面的原点。

可以用 EM 模型来推导饱和晶体管特性的解析表达式。我们使用式（5.28）和式（5.27），将

$i_B = I_B$代入并忽略不包含指数的项，得出

$$I_B = \frac{I_S}{\beta_F}e^{v_{BE}/V_T} + \frac{I_S}{\beta_R}e^{v_{BC}/V_T} \tag{5.45}$$

$$i_C = I_S e^{v_{BE}/V_T} - \frac{I_S}{\alpha_R}e^{v_{BC}/V_T} \tag{5.46}$$

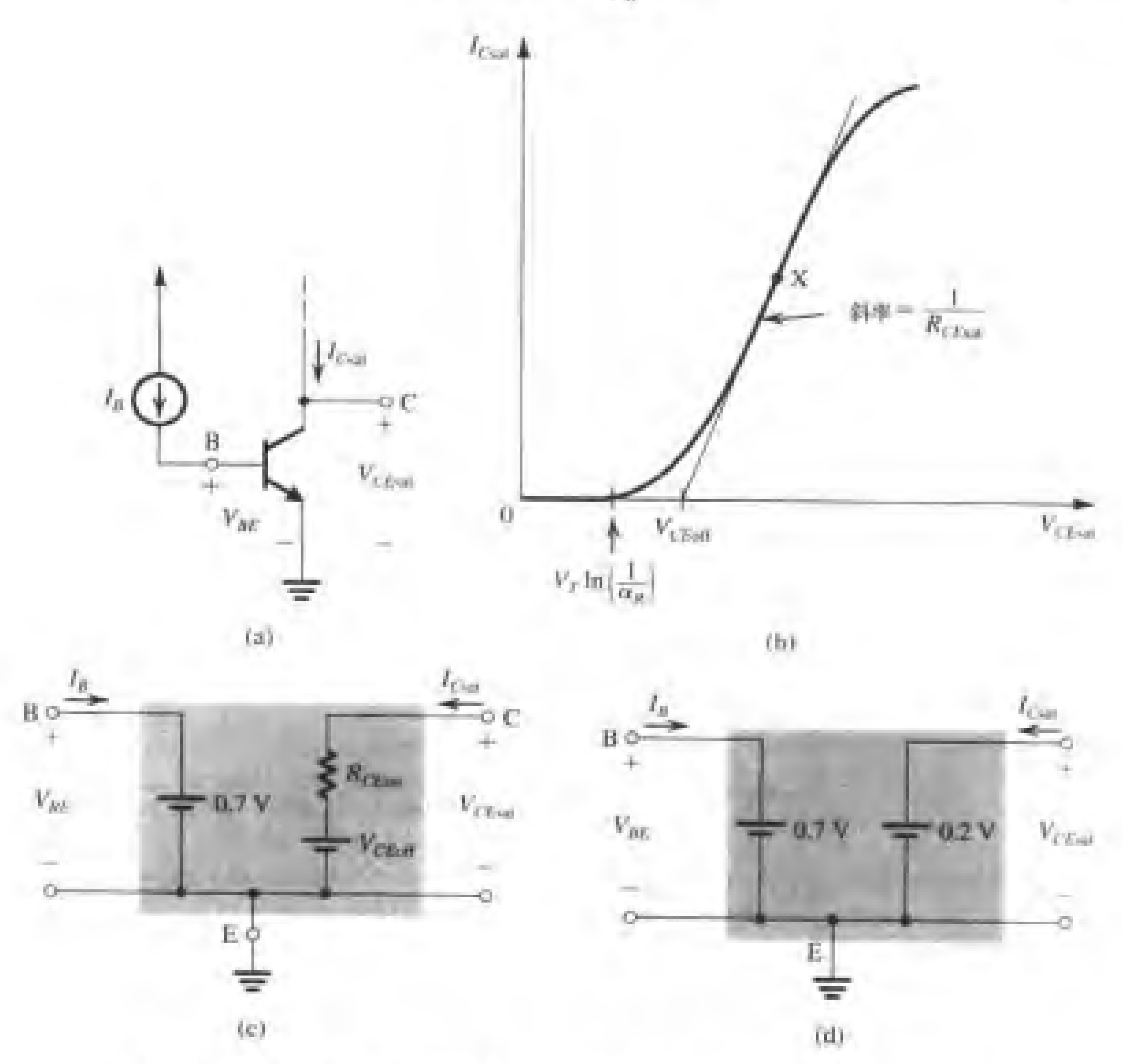


图 5.24 （a）具有固定基极电流 I_B 的工作在饱和模式的 *npn* 晶体管；（b）对应于 $i_B = I_B$ 时的 $i_C \sim v_{CE}$ 特性曲线。该曲线近似为斜率为 $1/R_{CEsat}$ 的直线；（c）饱和晶体管的等效电路表示；（d）饱和晶体管的简化等效电路

将式（5.46）除以式（5.45），结合 $v_{BE} = v_{BC} + v_{CE}$，我们可以将 i_C 表示为

$$i_C = (\beta_F I_B)\left(\frac{e^{v_{CE}/V_T} - \dfrac{1}{\alpha_R}}{e^{v_{CE}/V_T} + \dfrac{\beta_F}{\beta_R}}\right) \tag{5.47}$$

这就是基极由恒定电流 I_B 驱动得到的 $i_C \sim v_{CE}$ 特性曲线的方程。图 5.25 显示了归一化的集电极电

流 $i_C/(\beta_F I_B)$ 对 v_{CE} 的一条典型曲线，该电流刚好等于 (β_{forced}/β_F)。如图所示，该曲线可以用与点 $\beta_{forced}/\beta_F=0.5$ 处的切线来近似。可以证明，该切线的斜率约为 $10\ V^{-1}$，与晶体管的参数无关，因此，

$$R_{CEsat}=1/10\beta_F I_B \tag{5.48}$$

图 5.25 中还显示了归一化曲线的其他一些重要参数。最后将 $i_C=I_{Csat}=\beta_{forced}I_B$ 和 $v_{CE}=V_{CEsat}$ 代入式（5.47）就可以得到 V_{CEsat} 的表达式：

$$V_{CEsat}=V_T\ln\frac{1+(\beta_{forced}+1)/\beta_R}{1-(\beta_{forced}/\beta_F)} \tag{5.49}$$

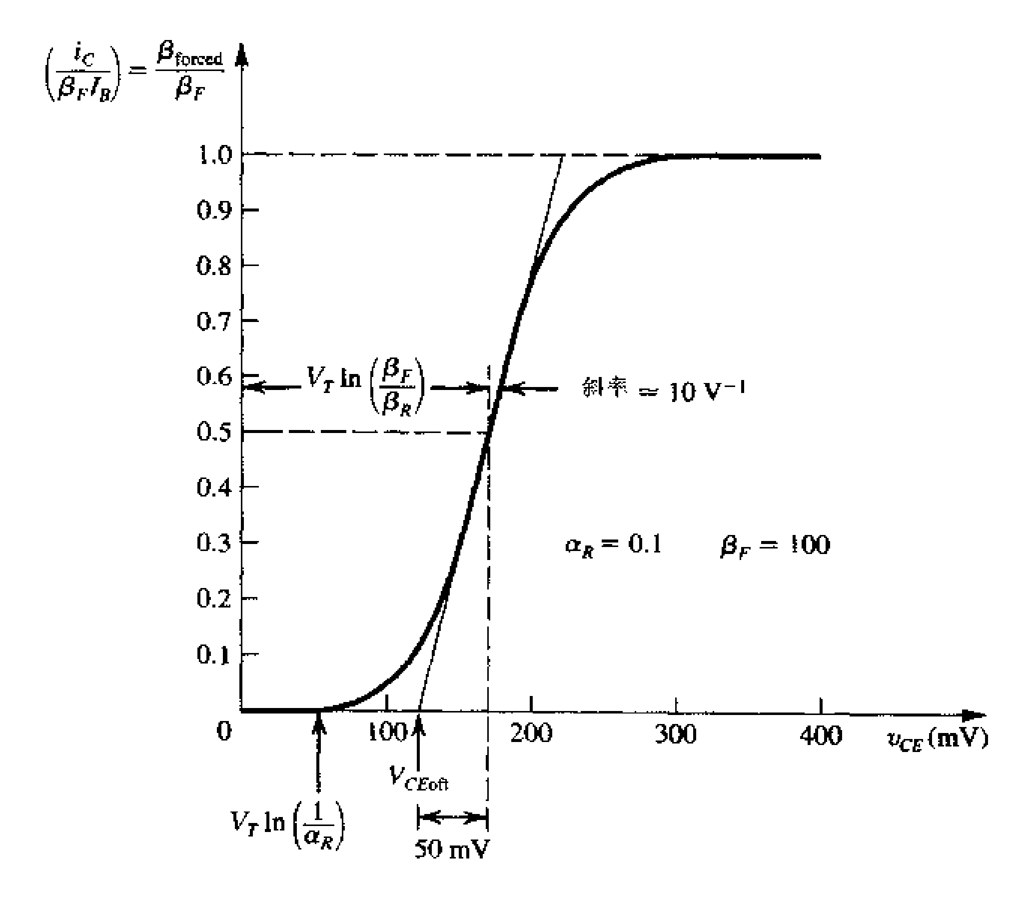


图 5.25 $\beta_F=100$ 和 $\alpha_R=0.1$ 的 npn 晶体管归一化的 i_C 对 v_{CE} 的输出曲线。这是利用 EM 模型推导出来的式（5.47）的输出曲线

练习 5.16 一个 npn 晶体管有 $\beta_F=100$ 和 $\alpha_R=0.1$，工作在饱和区，并有恒定的基极电流 0.1 mA 和等于 10 的强制 β。求 $i_C=0$ 时的 V_{CE}，R_{CEsat} 和 V_{CEoff} 的值。使用后面两个数字来得到近似的 V_{CEsat} 值[即使用图 5.24（c）所示的等效电路模型]。使用式（5.49）求更精确的 V_{CEsat} 值，并比较这两个结果。当 β_{forced} 为 20 时，重复计算。

答案：58 mV；10 Ω；120 mV；130 mV 和 118 mV；140 mV 和 137 mV

练习 5.17 对由恒定基极电流驱动的工作在饱和区的 BJT 进行测量得到下列值：在 $i_C=5$mA 时，$v_{CE}=170$ mV；$i_C=2$ mA 时，$v_{CE}=110$ mV。在这种情况下，失调电压 V_{CEoff} 和饱和电阻 R_{CEsat} 为多少？

答案：70 mV；20 Ω

5.2.5　晶体管击穿

根据 3.7.4 节介绍的雪崩击穿机理，EBJ 和 CBJ 的击穿效应将限制能够施加到 BJT 的最大电压。首先考虑共基组态。图 5.18（b）中的 $i_C \sim v_{CB}$ 特性表明当 $i_E = 0$ 时（即发射极开路），集电结在电压为 BV_{CBO} 时击穿。当 $i_E > 0$ 时，击穿电压小于 BV_{CBO}。通常情况下 BV_{CBO} 大于 50 V。

接下来考虑图 5.21 所示的共发射极特性。由图可知击穿发生在电压 BV_{CEO} 时。尽管这时的击穿仍然是雪崩型，但是对特性的影响要比共基组态复杂得多。我们不详细讨论这一点。但是可以指出 BV_{CEO} 一般来说约为 BV_{CBO} 的一半。在晶体管数据表中，BV_{CEO} 有时称为保持电压 LV_{CEO}。

在共基和共发射极组态中 CBJ 的击穿并不是破坏性的，只要器件上的功耗保持在安全限制范围内。但是对于发射结通常不是这样。EBJ 的雪崩击穿电压 BV_{EBO} 要远小于 BV_{CBO}。通常情况下 BV_{EBO} 在 6 V 到 8 V 之间，并且该击穿是毁坏性的，即晶体管的 β 将永久性地变小。但这并不会妨碍 EBJ 在 IC 设计中作为齐纳二极管来产生参考电压。在这种应用中，人们并不关心 β 降低带来的影响。在 IC 放大器中用来阻止 EBJ 击穿的电路设计将在第 9 章中讨论。晶体管击穿电压和最大允许功耗是功率放大器设计中的重要参数（见第 14 章）。

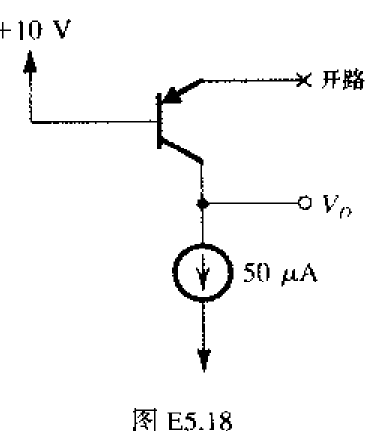


图 E5.18

练习 5.18　如果晶体管 $BV_{BCO} = 70$ V，那么图 E5.18 所示电路的输出电压为多少？

答案：−60 V

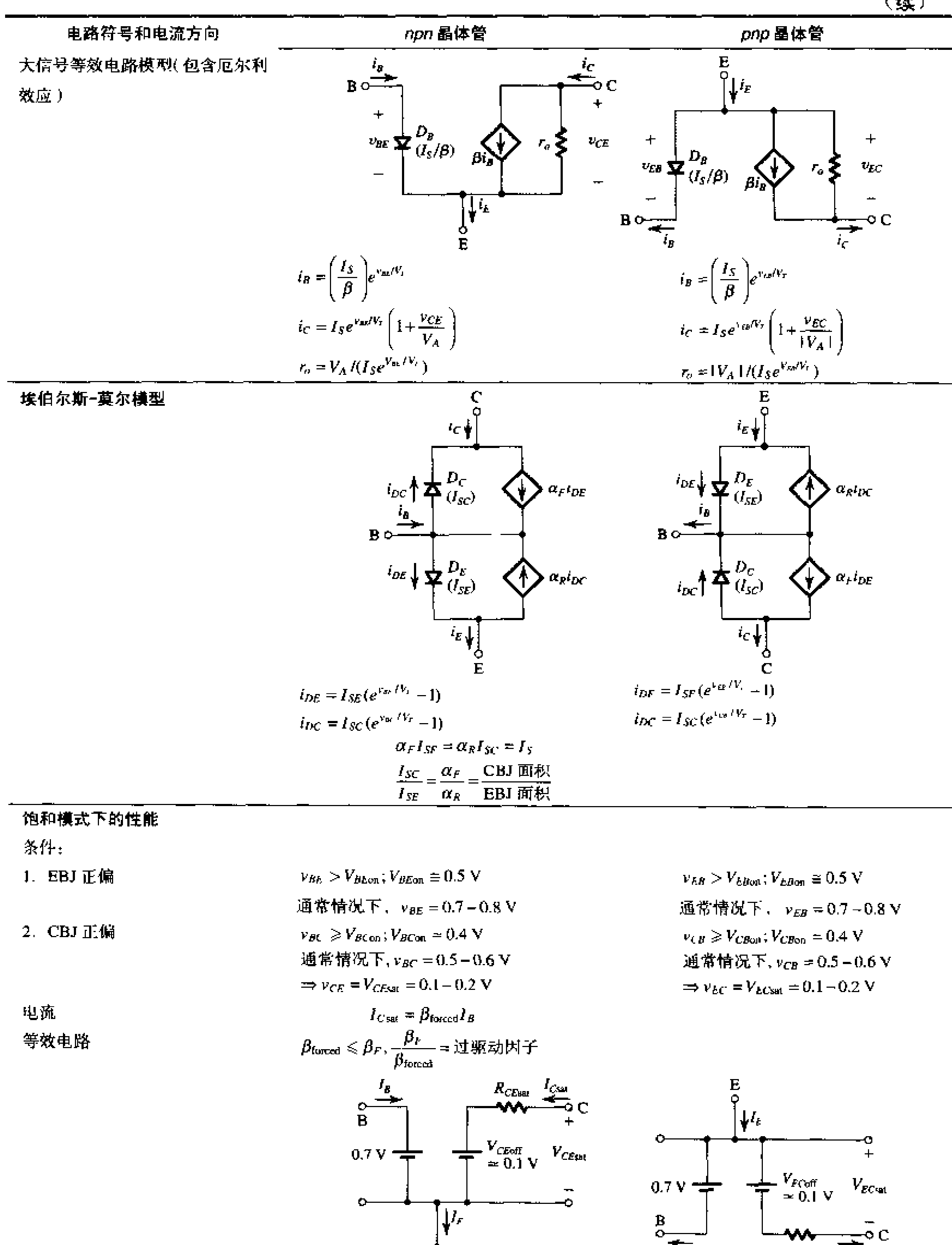
5.2.6　总结

表 5.3 中给出了 BJT 电流-电压特性的总结。

表 5.3　BJT 电流-电压特性的总结

电路符号和电流方向	*npn* 晶体管	*pnp* 晶体管
	C, B, E, i_B, i_C, i_E, v_{BC}, v_{BE}, v_{CE}	E, B, C, i_B, i_E, i_C, v_{EB}, v_{CB}, v_{EC}
放大模式下的性能（放大器应用）		
条件：		
1. EBJ 正偏	$v_{BE} > V_{BEon}, V_{BEon} \cong 0.5$ V	$v_{EB} > V_{EBon}$; $V_{EBon} \cong 0.5$ V
	通常情况下，$v_{BE} = 0.7$ V	通常情况下，$v_{EB} = 0.7$ V
2. CBJ 反偏	$v_{BC} \leqslant V_{BCon}; V_{BCon} \cong 0.4$ V	$v_{CB} \leqslant V_{CBon}; V_{CBon} \cong 0.4$ V
	$\Rightarrow v_{CE} \geqslant 0.3$ V	$\Rightarrow v_{EC} \geqslant 0.3$ V
电流-电压关系	■ $i_C = I_S e^{v_{BE}/V_T}$	■ $i_C = I_S e^{v_{EB}/V_T}$
	■ $i_B = i_C/\beta \Leftrightarrow i_C = \beta i_B$	
	■ $i_E = i_C/\alpha \Leftrightarrow i_C = \alpha i_E$	
	■ $\beta = \dfrac{\alpha}{1-\alpha} \Leftrightarrow \alpha = \dfrac{\beta}{\beta+1}$	

（续）



电路符号和电流方向	npn 晶体管	pnp 晶体管
大信号等效电路模型（包含厄尔利效应）	$i_B = \left(\dfrac{I_S}{\beta}\right)e^{v_{BE}/V_T}$ $i_C = I_S e^{v_{BE}/V_T}\left(1+\dfrac{v_{CE}}{V_A}\right)$ $r_o = V_A/(I_S e^{V_{BE}/V_T})$	$i_B = \left(\dfrac{I_S}{\beta}\right)e^{v_{EB}/V_T}$ $i_C = I_S e^{v_{EB}/V_T}\left(1+\dfrac{v_{EC}}{\lvert V_A\rvert}\right)$ $r_o = \lvert V_A\rvert/(I_S e^{V_{EB}/V_T})$
埃伯尔斯-莫尔模型	$i_{DE} = I_{SE}(e^{v_{BE}/V_T}-1)$ $i_{DC} = I_{SC}(e^{v_{BC}/V_T}-1)$ $\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$ $\dfrac{I_{SC}}{I_{SE}} = \dfrac{\alpha_F}{\alpha_R} = \dfrac{\text{CBJ 面积}}{\text{EBJ 面积}}$	$i_{DE} = I_{SE}(e^{v_{EB}/V_T}-1)$ $i_{DC} = I_{SC}(e^{v_{CB}/V_T}-1)$
饱和模式下的性能		
条件：		
1. EBJ 正偏	$v_{BE} > V_{BEon}$; $V_{BEon} \cong 0.5$ V 通常情况下，$v_{BE} = 0.7-0.8$ V	$v_{EB} > V_{EBon}$; $V_{EBon} \cong 0.5$ V 通常情况下，$v_{EB} = 0.7-0.8$ V
2. CBJ 正偏	$v_{BC} \geqslant V_{BCon}$; $V_{BCon} \simeq 0.4$ V 通常情况下，$v_{BC} = 0.5-0.6$ V $\Rightarrow v_{CE} = V_{CEsat} = 0.1-0.2$ V	$v_{CB} \geqslant V_{CBon}$; $V_{CBon} \simeq 0.4$ V 通常情况下，$v_{CB} = 0.5-0.6$ V $\Rightarrow v_{EC} = V_{ECsat} = 0.1-0.2$ V
电流	$I_{Csat} = \beta_{forced} I_B$	
等效电路	$\beta_{forced} \leqslant \beta_F$，$\dfrac{\beta_F}{\beta_{forced}}$ = 过驱动因子	

$$|V_{CEsat}| = V_T \ln\left[\frac{1+(\beta_{forced}+1)/\beta_F}{1-\beta_{forced}/\beta_F}\right]$$

其中 $\beta_{forced} = \beta_F/2$； $R_{CEsat} = 1/10\beta_F I_B$

5.3 作为放大器和开关的 BJT

介绍了 BJT 的端口特性后，现在开始考虑两个主要的应用领域：作为信号放大器[1]和作为数字开关电路的应用。放大器应用的基础是当BJT工作在放大模式时相当于一个电压控制的电流源：基射极电压 v_{BE} 的变化将导致集电极电流 i_C 的变化。这样在放大模式下，BJT 可以用来实现互导放大器（见 1.5 节）。只要使集电极电流流过一个电阻 R_C 就可以实现电压放大，后面我们很快就可以看到。

因为我们对线性放大特别感兴趣，因此必须找到一种方法，能够在高度非线性特性的晶体管上得到线性放大。晶体管的非线性指集电极电流 i_C 与 v_{BE} 呈指数关系。我们将使用 1.4 节中描述的通用方法。具体地说，首先对晶体管进行偏置以使它工作在直流基射极电压 V_{BE} 和相应的直流集电极电流 I_C 上。然后将所要放大的信号 v_{be} 叠加在直流电压 V_{BE} 上。保持信号 v_{be} 的幅度足够小，我们就可以将晶体管约束在 $i_C \sim v_{BE}$ 特性曲线的一小段几乎是线性的线段上，这样，集电极电流的变化 i_c 与 v_{be} 呈线性关系。在这一节中我们将分析 BJT 的小信号特性，在 5.5 节中将更详细地讨论。首先我们来看一看 BJT 放大器的总特性或大信号特性。从电路的传输特性可以清楚地看出电路作为线性放大器工作的区域，也可以看出 BJT 将怎样作为一个开关工作。

5.3.1 大信号工作——传输特性

图 5.26（a）所示是最常用的 BJT 放大器的基本结构——发射极接地或共发射极（CE）电路。总的输入电压 v_I（偏置加信号）加在基极和发射极之间，即 $v_{BE} = v_I$；总的输出电压 v_O（偏置加信号）从集电极和地之间取出，即 $v_O = v_{CE}$。电阻 R_C 有两个作用：在集电极建立所需要的直流偏置电压及将集电极电流信号 i_c 转化成输出电压 v_{ce} 或 v_o。电源电压 V_{CC} 需要用来对 BJT 进行偏置并为放大器的工作提供所需要的功率。

图 5.26（b）所示是图 5.26（a）所示的 CE 电路的电压传输特性。为了理解该特性是如何得到的，首先将 v_O 表示成

$$v_O = v_{CE} = V_{CC} - R_C i_C \tag{5.50}$$

接下来可以看出因为 $v_{BE} = v_I$，所以当 $v_I < 0.5$ V 左右时，晶体管将截止。因此在 $0 \text{ V} < v_I < 0.5 \text{ V}$ 的范围内，i_C 很小以至于可以忽略，v_O 将等于电源电压 V_{CC}（传输曲线的 XY 段）。

当 v_I 增大到大于 0.5 V 时，晶体管开始导通，i_C 增大。从式（5.50）可以看出 v_O 减小。但是因为初始的 v_O 很大，BJT 将工作在放大模式，因而得到电压传输曲线的快速下降段 YZ。这一段的方程可以通过将 i_C 在放大模式下的表达式代入式（5.50）得到，即将下式代入：

$$\begin{aligned} i_C &\simeq I_S e^{v_{BE}/V_T} \\ &= I_S e^{v_I/V_T} \end{aligned}$$

其中为了简单，我们忽略了厄尔利效应，因此可以得到

$$v_O = V_{CC} - R_C I_S e^{v_I/V_T} \tag{5.51}$$

可以看出该方程中的指数项产生了传输曲线 YZ 一段的陡峭斜率。当集电极电压（v_O 或 v_{CE}）下降到比基极电压（v_I 或 v_{BE}）小 0.4 V 左右时，放大工作模式结束。这时 CBJ 导通，晶体管进入饱和区。这由传输曲线上的 Z 点指明。可以看出，v_{BE} 的进一步增加只引起 v_{CE} 的微小变化：即

[1] 在 1.4 节和 1.5 节中，从外部端口的角度介绍了放大器。对基本放大器概念不熟悉的读者在学习本章之前应该回顾一下这些内容。

在饱和区，$v_{CE}=V_{CEsat}$，处于 0.1 V 到 0.2 V 的狭小范围内。就是这个几乎恒定的V_{CEsat}使得 BJT 工作在该区域时有了饱和的名字。集电极电流也几乎保持为I_{Csat}：

$$I_{Csat}=\frac{V_{CC}-V_{CEsat}}{R_C} \tag{5.52}$$

从上一节对饱和区特性的介绍中知道饱和 BJT 的集电极和发射极之间的电阻R_{CEsat}非常小。因此当饱和时，图 5.26 中晶体管在集电极节点 C 和地之间提供了一条低阻通路，可以认为是一个闭合开关。另一方面，当 BJT 截止时，流过它的电流非常小以至于可以忽略（理想情况为 0），因此相当于一个打开的开关，将节点 C 和地之间有效地断开。开关的状态（即打开或闭合）由控制电压v_{BE}的值决定。我们很快还可以证明 BJT 开关可以由基极电流控制。

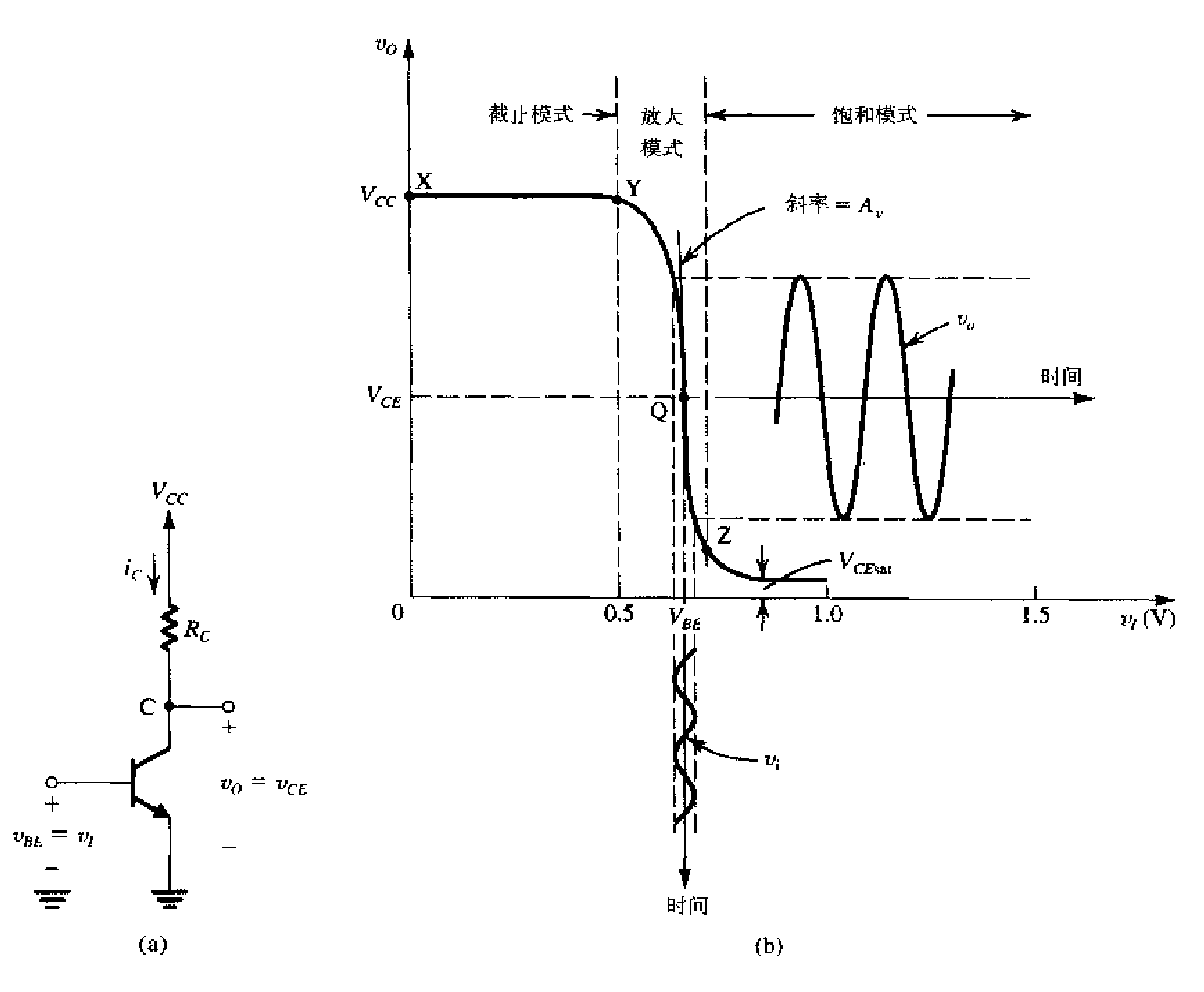


图 5.26 （a）基本的共发射极放大器电路；（b）（a）电路的传输特性。放大器被偏置在 Q 点，小电压信号v_i叠加在直流偏置电压V_{BE}上。输出信号v_o叠加在直流集电极电压V_{CE}上。v_o的幅度比v_i的幅度大A_v倍，A_v是电压增益

5.3.2 放大器增益

为了使 BJT 作为线性放大器工作，必须使它偏置在放大区。图 5.26（b）显示了这样的一个偏置点 Q（静态点），在该点处有直流发射结电压V_{BE}和直流集射极电压V_{CE}。如果在V_{BE}时的集电极电流为I_C，即

$$I_C = I_S e^{V_{BE}/V_T} \quad (5.53)$$

则从图 5.26（a）所示电路中可以写出

$$V_{CE} = V_{CC} - R_C I_C \quad (5.54)$$

现在，如果需要放大的信号 v_i 叠加在 V_{BE} 上并保持足够小的幅度，如图 5.26（b）所示，那么瞬时工作点将被限制在传输曲线在偏置点 Q 附近的一小段几乎线性的范围内。线性线段的斜率等于传输曲线在 Q 处的切线斜率。该斜率是放大器在 Q 点附近的小信号输入电压的增益。该小信号增益 A_v 的表达式可以通过对式（5.51）进行微分并计算在 Q 点处的导数得到，即对于 $v_I = V_{BE}$，有

$$A_v \equiv \left.\frac{dv_O}{dv_I}\right|_{v_I = V_{BE}} \quad (5.55)$$

因此，

$$A_v = -\frac{1}{V_T} I_S e^{V_{BE}/V_T} R_C$$

现在使用式（5.53）并用更简洁的形式将 A_v 表示为

$$A_v = -\frac{I_C R_C}{V_T} = -\frac{V_{RC}}{V_T} \quad (5.56)$$

其中，V_{RC} 是 R_C 两端的直流电压降：

$$V_{RC} = V_{CC} - V_{CE} \quad (5.57)$$

可以看出 CE 放大器是反相的，即输出信号与输入信号有 180°的相位差。式（5.56）表明共发射极的电压增益是 R_C 两端的直流电压降与热电压 V_T（室温时约为 25 mV）的比值。因此为了使电压增益最大，R_C 两端的电压降应该尽可能大。对于给定的 V_{CC} 值，式（5.57）指出为了增大 V_{RC}，我们必须使晶体管工作在较低的 V_{CE} 上。但是参考图 5.26（b）可知较低的 V_{CE} 意味着偏置点 Q 接近放大模式线段的尾端，放大器未进入饱和区域时，它不能为负的输出信号幅度留出足够的空间。如果发生放大器进入饱和区的情况，v_o 波形的负波峰将被削平。实际上为输出信号幅度留出足够空间的需求确定了偏置点 Q 在传输曲线的放大区 YZ 上的最有效的位置。Q 点放得太高不仅导致增益减小（因为 V_{RC} 变小），而且可能限制正信号幅度的范围。在正半周，该限制由 BJT 的截止区产生，正输出波峰被限幅在等于 V_{CC} 的电平上。最后必须注意，理论上最大增益 A_v 可以通过将 BJT 偏置在饱和区的边缘得到，但是它不能为负信号幅度留出足够的空间。得到的增益为

$$A_v = -\frac{V_{CC} - V_{CEsat}}{V_T} \quad (5.58)$$

因此，

$$A_{v\max} \cong -\frac{V_{CC}}{V_T} \quad (5.59)$$

尽管可以通过使用更大的电源电压来增大增益，但是必须同时考虑其他一些因素以便确定一个合适的 V_{CC}。实际上，现在的趋势是使用越来越低的电源电压（目前接近于 1 V 左右）。在这样低的电源电压下，可以通过恒流源来替代电阻 R_C 以得到较大的增益值，这将在第 6 章中介绍。

例题 5.2 考虑使用 $I_S = 10^{-15}$A 的 BJT 的共发射极电路，集电极电阻 $R_C = 6.8\ \text{k}\Omega$，电源电压 $V_{CC} = 10$ V。

（a）确定使晶体管工作在 $V_{CE} = 3.2$ V 的偏置电压 V_{BE} 的值，相应的 I_C 为多少？

（b）求在该偏置点时的电压增益。如果峰值为 5 mV 的输入正弦波信号叠加在 V_{BE} 上，求输出正弦波信号的幅度（假定为线性工作）。

（c）求驱使晶体管到达饱和区边缘 $v_{CE} = 0.3$ V 时 v_{BE} 的正增量（大于 V_{BE}）。

（d）求驱使晶体管到达截止区的 1%范围内（即 $v_O = 0.99\,V_{CC}$）时 v_{BE} 的负增量。

解：

（a）

$$I_C = \frac{V_{CC} - V_{CE}}{R_C} = \frac{10 - 3.2}{6.8} = 1\ \text{mA}$$

V_{BE} 的值可以由下式确定：

$$1 \times 10^{-3} = 10^{-15} e^{V_{BE}/V_T}$$

可以得到

$$V_{BE} = 690.8\ \text{mV}$$

（b）

$$A_v = -\frac{V_{CC} - V_{CE}}{V_T} = -\frac{10 - 3.2}{0.025} = -272\ \text{V/V}$$

$$\hat{V}_o = 272 \times 0.005 = 1.36\ \text{V}$$

（c）当 $v_{CE} = 0.3$ V 时，

$$i_C = \frac{10 - 0.3}{6.8} = 1.617\ \text{mA}$$

由于 i_C 从 1 mA 增大到 1.617 mA，所以 v_{BE} 必须增大：

$$\Delta v_{BE} = V_T \ln\left(\frac{1.617}{1}\right) = 12\ \text{mV}$$

（d）当 $v_O = 0.99\,V_{CC} = 9.9$ V 时，

$$i_C = \frac{10 - 9.9}{6.8} = 0.0147\ \text{mA}$$

由于 i_C 从 1 mA 减小到 0.0147 mA，所以 v_{BE} 必须变化：

$$\Delta v_{BE} = V_T \ln\left(\frac{0.0147}{1}\right) = -105.5\ \text{mV}$$

■

练习 5.19　对于例题 5.2 所描述的情况，当 I_C 保持 1 mA 不变时，求使电压增益为−320 V/V 时的 R_C 值。在输出端允许的最大负信号幅度为多少（假定 v_{CE} 不小于 0.3 V）？相应的输入信号幅度为多少？假定线性工作。

答案：8 kΩ；1.7 V；5.3 mV

5.3.3　图解分析

尽管正式的图解方法在大多数晶体管电路的分析和设计中不太具实用价值，但是用图形来描述一个简单晶体管放大器电路还是很有意义的。考虑图 5.27 所示的电路，它与我们已经介绍过的电路类似，只是在基极端增加了一个电阻 R_B。该电路工作的图解分析可以执行如下：首先，必须确定直流偏置点。为了实现这个目的，设 $v_i = 0$ 并利用图 5.28 所示的技术来确定直流基极电流 I_B。接下来转到图 5.29 所示的 $i_C \sim v_{CE}$ 特性曲线。我们知道工作点位于已经确定的基极电流对应的 $i_C \sim v_{CE}$ 曲线上（即 $i_B = I_B$ 的曲线）。它在曲线上所处的位置由集电极回路确定。具体地说，集电极回路有以下约束条件：

$$v_{CE} = V_{CC} - i_C R_C$$

可以将上式重新写为

$$i_C = \frac{V_{CC}}{R_C} - \frac{1}{R_C} v_{CE}$$

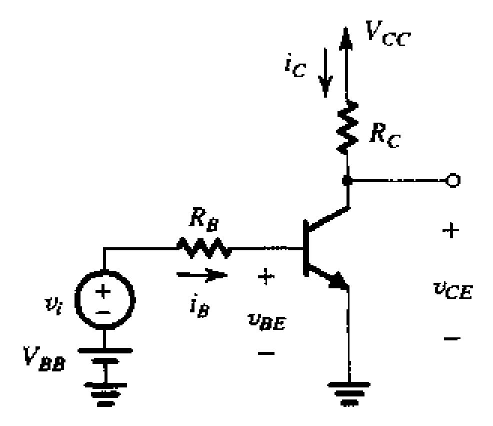


图 5.27　用图解法分析的电路

这表示了 v_{CE} 和 i_C 之间的线性关系。这个关系可以用一条直线表示，如图 5.29 所示。因为 R_C 被认为是放大器的负载，因此斜率为 $-1/R_C$ 的直线被称为负载线[①]。直流偏置点或静态点 Q 就是负载线和对应于基极电流为 I_B 的 $i_C \sim v_{CE}$ 曲线的交点。Q 点的坐标给出了直流集电极电流 I_C 和集电极到发射极的直流电压 V_{CE}。可以看出，当作为放大器工作时，Q 点应该处于放大区，而且它所处的位置能够保证输入信号 v_i 时有合适的输出信号幅度。

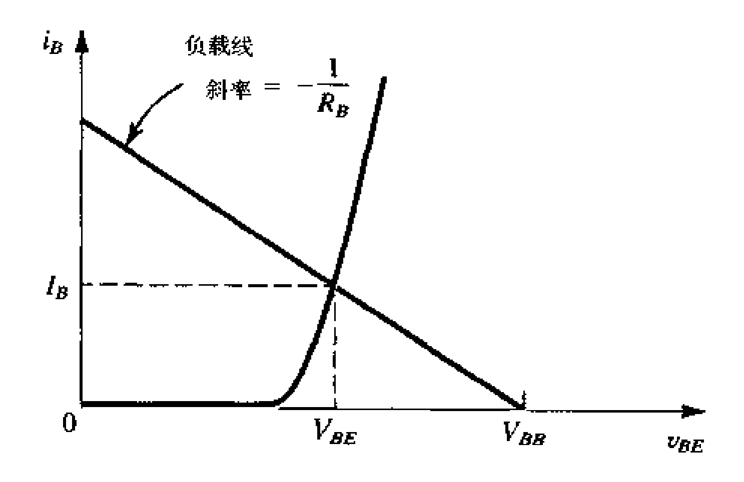


图 5.28　确定图 5.27 电路的基极直流电流的图形表示

① 负载线这个词也被图 5.28 中的直线采用。

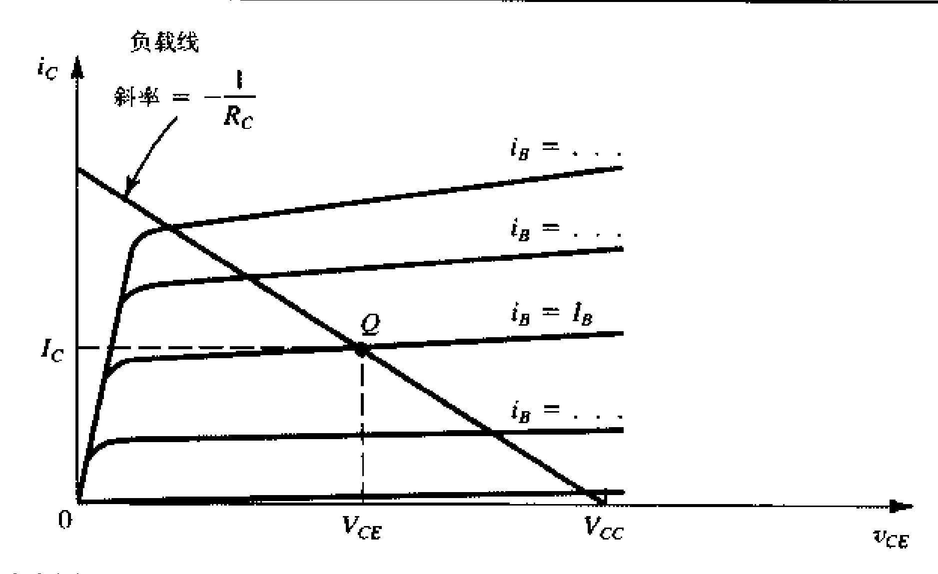


图 5.29 确定图 5.27 所示电路集电极直流电流 I_C 和集电极到发射极的直流电压 V_{CE} 的图形表示

图 5.30 显示了加上 v_i 的情况。首先考虑图 5.30（a），它显示的是一个三角波信号 v_i 叠加在直流电压 V_{BB} 上。对应于每个瞬时值 $V_{BB}+v_i(t)$，都可以画出斜率为 $-1/R_B$ 的直线。这条“瞬时负载线”与 $i_B \sim v_{BE}$ 曲线相交，交点坐标给出了对应于特定 $V_{BB}+v_i(t)$ 的 i_B 和 v_{BE} 的总瞬时值。例如，图 5.30（a）显示了 $v_i=0$、v_i 等于其正峰值和 v_i 等于其负峰值时所对应的直线。现在如果 v_i 的幅度足够小从而使得瞬时工作点被限制在 $i_B \sim v_{BE}$ 曲线的线性段，那么得到的信号 i_b 和 v_{be} 也将是三角波，如图所示。这就是小信号近似。总体说来，图 5.30（a）中的图形表示可以用来确定对应于每个 v_i 值时 i_B 的总瞬时值。

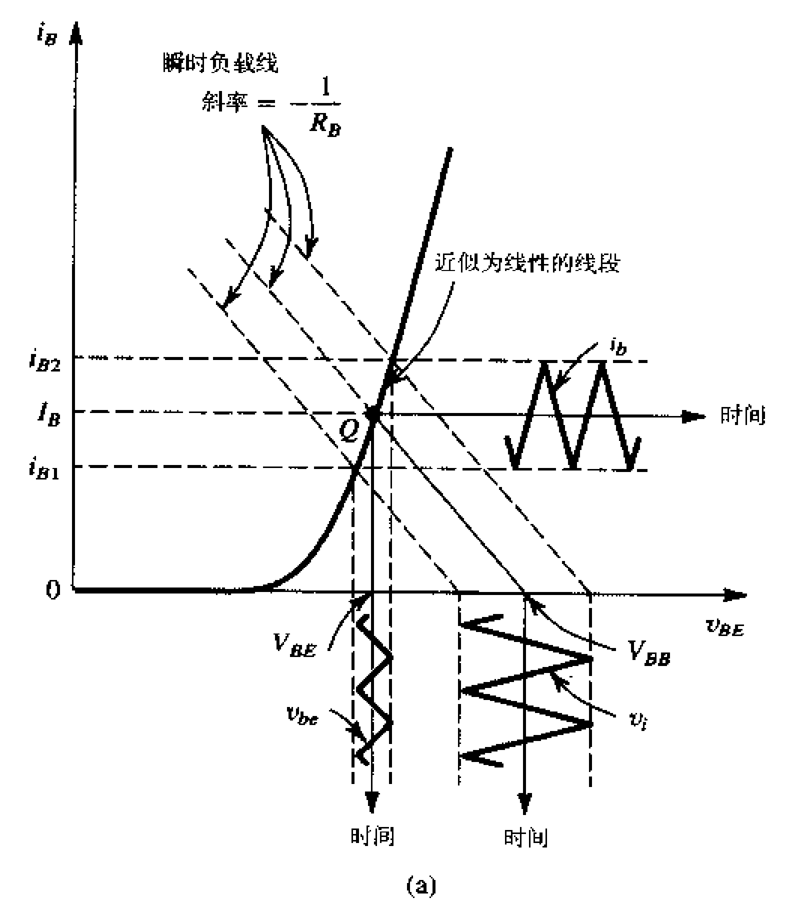
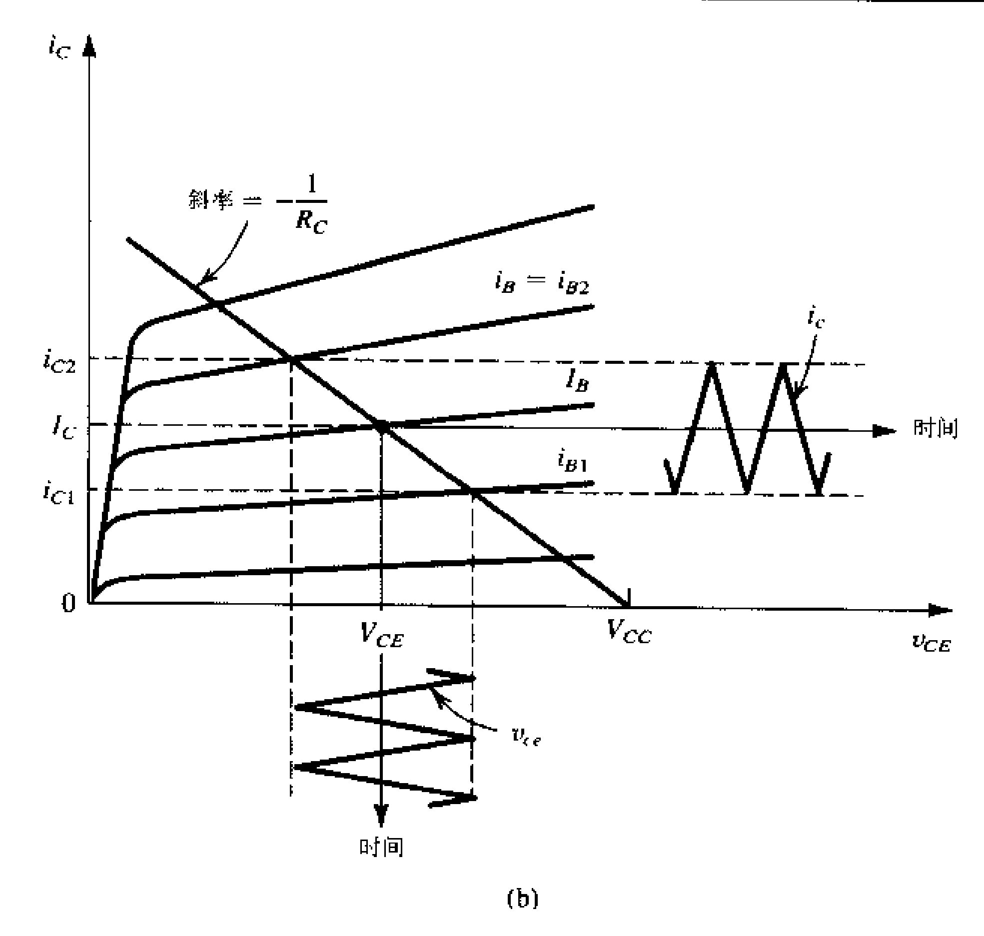


图 5.30 在直流电压 V_{BB} 上叠加信号分量 v_i（见图 5.27），由图形确定信号分量 v_{be}，i_b，i_c 和 v_{ce}



(b)

图 5.30（续） 在直流电压 V_{BB} 上叠加信号分量 v_i（见图 5.27），由图形确定信号分量 v_{be}、i_b、i_c 和 v_{ce}

接下来转到图 5.30（b）所示的 $i_C \sim v_{CE}$ 特性曲线。当 i_B 随图 5.30（a）确定的瞬时值变化时，工作点将沿着斜率为 $-1/R_C$ 的负载线移动。例如，当 v_i 处于正峰值时，即 $i_B = i_{B2}$［见图 5.30（a）］，在 $i_C \sim v_{CE}$ 平面中瞬时工作点是负载线和 $i_B = i_{B2}$ 对应的曲线的交点。通过这种方式可以确定 i_C 和 v_{CE} 的波形，并因此确定信号分量 i_c 和 v_{ce}，如图 5.30（b）所示。

偏置点位置对允许的信号幅度的影响 在 $i_C \sim v_{CE}$ 平面中直流偏置点的位置对集电极的最大允许信号幅度有很大影响。参考图 5.30（b）可以看出 v_{ce} 的正峰值不能超过 V_{CC}，否则晶体管将进入截止区。同样，v_{ce} 的负峰值不能低于十分之几伏（通常是 0.3 V），否则晶体管将进入饱和区。图 5.30（b）中偏置点的位置使得正负两个方向上有大约相等的幅度。

接下来考虑图 5.31。图中显示了对应于两个 R_C 值的负载线。负载线 A 对应于较低的 R_C 值，并得到工作点 Q_A，其中 V_{CE} 值非常接近于 V_{CC}。因此 v_{ce} 的正幅度将会被严重限幅，这种情况称为没有足够的"正摆幅空间"。另一方面，负载线 B 对应于较大的 R_C 值，并得到工作点 Q_B，其中 V_{CE} 值非常小。这样对于负载线 B，尽管 v_{ce} 的正摆幅有足够的空间，负的信号幅度却由于接近于饱和区而被严重限幅（没有足够的负摆幅空间）。显然需要在这两者之间进行折中。

练习 5.20 考虑图 5.27 所示的电路，有 $V_{BB} = 1.7$ V，$R_B = 100$ kΩ，$V_{CC} = 10$ V，$R_C = 5$ kΩ。设晶体管 $\beta = 100$。输入信号 v_i 是峰−峰值为 0.4 V 的三角波。参考图 5.30，并利用图中所示曲线回答下列问题：（a）如果 $V_{BE} = 0.7$ V，求 I_B；（b）假设工作在指数 $i_B \sim v_{BE}$ 曲线的直线段，证明其斜率的倒数为 V_T / I_B 并计算它的值；（c）求 i_b 和 v_{be} 的近似峰−峰值；（d）假设 $i_C \sim v_{CE}$ 曲线是水平曲线（即忽略厄尔利效应），求 I_C 和 V_{CE}；（e）求 i_c 和 v_{ce} 的峰−峰值；（f）该放大器的电压增益为多少？

答案：（a）10 μA；（b）2.5 kΩ；（c）4 μA，10 mV；（d）1 mA，5 V；（e）0.4 mA，2 V；（f）–5 V/V

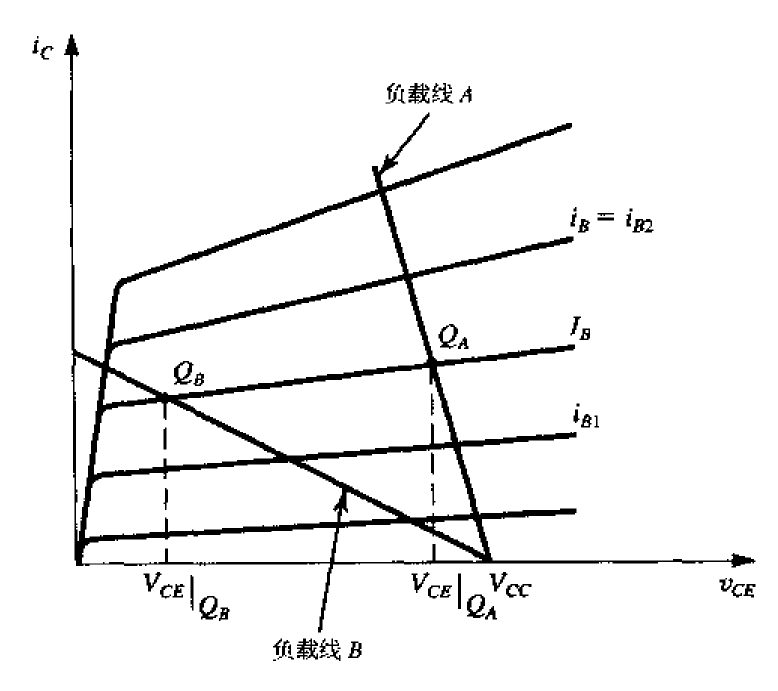


图 5.31 偏置点位置对允许的信号幅度的影响：负载线 A 得到工作点 Q_A，其中 V_{CE} 值非常接近于 V_{CC}，因此 v_{CE} 正半周被限幅。负载线 B 得到的工作点非常接近于饱和区，因此限制了 v_{CE} 的负的幅度

5.3.4 作为开关工作

为了使 BJT 作为开关工作，使用晶体管的截止工作模式和饱和工作模式。为了便于说明，考虑输入 v_I 变化的图 5.32 所示的共发射极电路。当 v_I 约小于 0.5 V 时，晶体管截止，因此 $i_B=0$，$i_C=0$，$v_C=V_{CC}$。在这种状态下，节点 C 与地断开，开关处于打开位置。

为了使晶体管导通，必须使 v_I 大于 0.5 V。实际上，当流过合适的电流时，v_{BE} 应该约为 0.7 V，而 v_I 应该更高。基极电流为

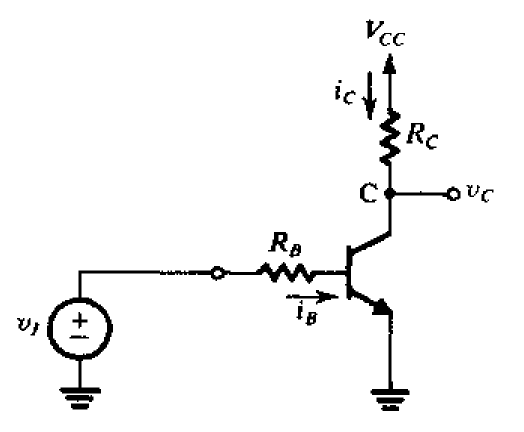


图 5.32 用来说明 BJT 不同工作模式的简单电路

$$i_B = \frac{v_I - V_{BE}}{R_B} \tag{5.60}$$

集电极电流为

$$i_C = \beta i_B \tag{5.61}$$

上式只有当器件处于放大模式时才能应用。只要 CBJ 不是正向偏置，应该就是这种情况，即只要 $v_C > v_B - 0.4\text{ V}$，其中 v_C 为

$$v_C = V_{CC} - R_C i_C \tag{5.62}$$

显然，随着 v_I 增大，i_B 也将增大[见式（5.60）]，i_C 也相应地增大[见式（5.61）]，v_C 将减小[见式（5.62）]。最后 v_C 变得比 v_B 低 0.4 V，在这一点，晶体管离开放大区进入饱和区。该饱和区边缘（EOS）点定义为

$$I_{C(\text{EOS})} = \frac{V_{CC} - 0.3}{R_C} \tag{5.63}$$

其中，假设V_{BE}约为 0.7 V，并且有

$$I_{B(EOS)} = \frac{I_{C(EOS)}}{\beta} \tag{5.64}$$

使晶体管工作在饱和区边缘的v_I值可以由下式得到：

$$V_{I(EOS)} = I_{B(EOS)}R_B + V_{BE} \tag{5.65}$$

增大v_I使其大于$V_{I(EOS)}$将使基极电流增大，这将导致晶体管进入深度饱和区。但是集电极到发射极的电压只是略有减小。我们通常假设对于饱和的晶体管，$V_{CEsat} \cong 0.2\text{ V}$，这是一个合理的近似，因此集电极电流几乎保持为$I_{Csat}$不变：

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C} \tag{5.66}$$

基极流入更多的电流对I_{Csat}和V_{CEsat}没有太大的影响。在这个状态，开关闭合，并有较小的闭合电阻R_{CEsat}和较小的失调电压V_{CEoff}［见图 5.24（c）］。

最后，我们知道在饱和区，可以强制晶体管以比额定值低的任意β值工作，即集电极电流I_{Csat}对基极电流的比值可以任意设置，因此叫做强制β：

$$\beta_{forced} \equiv \frac{I_{Csat}}{I_B} \tag{5.67}$$

此外我们还知道I_B与$I_{B(EOS)}$之比称为过载因子。

例题 5.3　图 5.33 所示晶体管的β在 50 到 150 的范围内，求使晶体管饱和时的R_B值，并要求过载因子至少为 10。

解：当晶体管饱和时，集电极电压为

$$V_C = V_{CEsat} = 0.2\text{ V}$$

因此集电极电流为

$$I_{Csat} = \frac{+10 - 0.2}{1} = 9.8\text{ mA}$$

为了使晶体管饱和并且具有最小β值，需要提供的基极电流至少为

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta_{min}} = \frac{9.8}{50} = 0.196\text{ mA}$$

当过载因子为 10 时，基极电流应为

$$I_B = 10 \times 0.196 = 1.96\text{ mA}$$

因此我们要求R_B满足下式：

$$\frac{+5 - 0.7}{R_B} = 1.96$$

$$R_B = \frac{4.3}{1.94} = 2.2\text{ k}\Omega$$

■

+10 V
1 kΩ
R_B
+5 V

图 5.33　例题 5.3 的电路

练习 5.21　考虑图 5.32 所示的电路，其中，$V_{CC} = +5\text{ V}$，$v_I = +5\text{ V}$，$R_B = R_C = 1\text{ k}\Omega$，$\beta = 100$。计算基极电流、集电极电流和集电极电压。如果晶体管饱和，求β_{forced}。为了使晶体管到达饱和

区边缘，R_B 应该增大到多少？

答案：4.3 mA；4.8 mA；0.2 V；1.1；91.5 kΩ

5.4 BJT 直流电路

现在开始考虑只施加了直流电压时的 BJT 电路。在下面的例子中，我们将使用简单的模型，在这个模型中，导通晶体管的$|V_{BE}|$为 0.7 V，饱和晶体管的$|V_{CE}|$为 0.2 V，忽略厄尔利效应。当然，也可以使用更好的模型来得到更精确的结果，但是这通常以牺牲分析的速度为代价，更重要的是它会妨碍电路设计者对电路特性的理解。使用详细模型的结果可以利用 SPICE 电路仿真得到，相关内容将在 5.11 节中介绍。这通常在设计的最后阶段和电路制造之前进行。但是计算机仿真并不能替代快速手工设计，这是电路设计者必须具备的一个重要能力。下面的一系列例子就是为了这个目的而给出的。

我们将要看到，分析电路时必须回答的第一个问题是：晶体管工作在哪种模式？在某些情况下，答案很明显。但是在许多应用中，并不能很明显地看出。如果读者具有大量晶体管电路分析和设计的实践经验，毫无疑问在大多数的问题中答案都会变得明显。但是答案总是通过下面的过程来确定的：假定晶体管工作于放大模式，确定相应的电压和电流，然后检查结果与放大模式工作假设的一致性，即 npn 晶体管的 v_{CB} 是否大于−0.4 V（或者 pnp 晶体管的 v_{CB} 是否小于 0.4 V）？如果答案是肯定的，那么任务完成；如果答案是否定的，那么假定晶体管工作在饱和模式，确定相应的电流和电压，然后检查结果与饱和工作模式假定的一致性。通常通过计算 I_C/I_B 的比例来测试，并验证该比例低于晶体管的 β，即 $\beta_{\text{forced}} < \beta$。因为对于给定的晶体管，$\beta$ 在很宽的范围内变化，应该使用指定的最小 β 值来进行这个测试。最后说一点，这两个假设的顺序可以反过来。

例题 5.4 考虑图 5.34（a）所示的电路，图 5.34（b）所示是采用本书的约定重画后的电路。分析该电路，确定所有的节点电压和支路电流。假定 β 为 100。

解：从图 5.34（a）中可以看到基极连接到+4 V，发射极通过电阻 R_E 连接到地，因此可以得出发射结为正偏的结论。假定是这种情况，并假设 V_{BE} 大约为 0.7 V，可以得出发射极电压为

$$V_E = 4 - V_{BE} = 4 - 0.7 = 3.3\ V$$

我们已经知道 R_E 两端的电压，因此可以确定流过 R_E 的电流 I_E：

$$I_E = \frac{V_E - 0}{R_E} = \frac{3.3}{3.3} = 1\ \text{mA}$$

因为集电极通过 R_C 连接到+10 V 的电源，因此集电极电压可能高于基极电压，这对放大模式工作的晶体管很重要。假定晶体管工作在放大模式，可以由下式计算集电极电流：

$$I_C = \alpha I_E$$

可以得到 α 的值为

$$\alpha = \frac{\beta}{\beta+1} = \frac{100}{101} = 0.99$$

因此 I_C 为

$$I_C = 0.99 \times 1 = 0.99\ \text{mA}$$

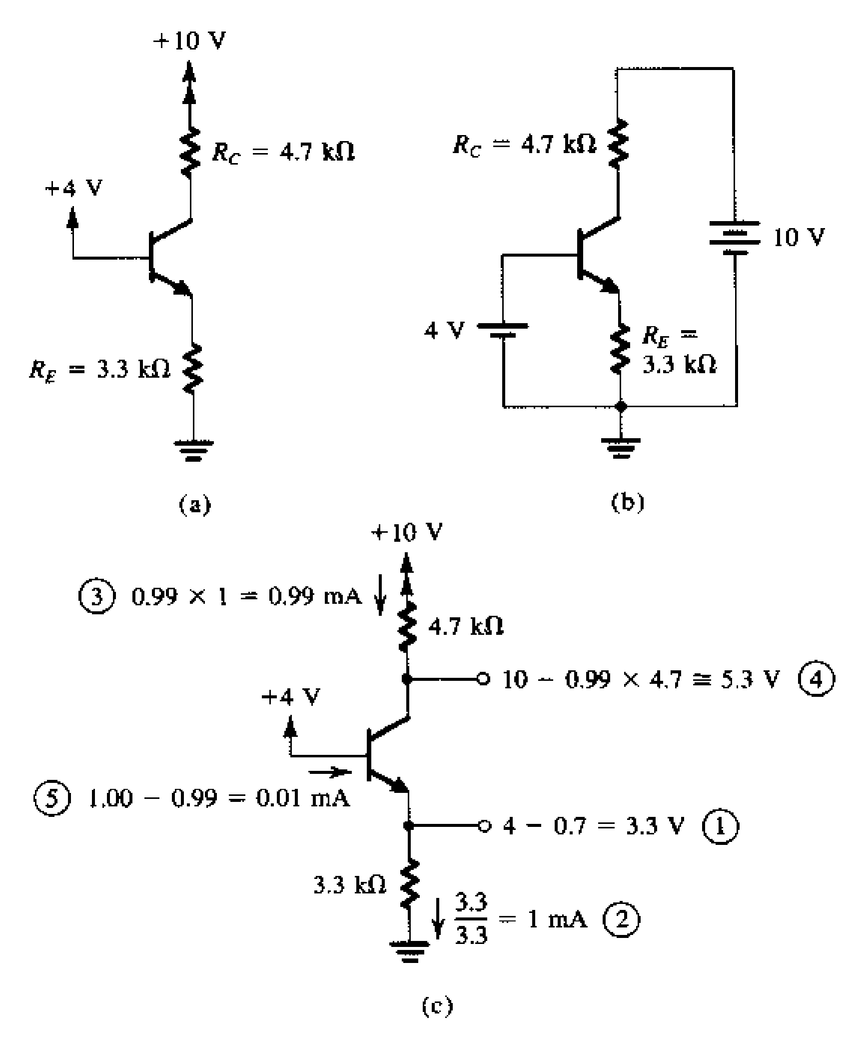


图 5.34　例题 5.4 电路的分析：（a）电路；（b）采用本书的约定重画的电路，其中指出了电源的连接；（c）电路分析步骤

现在可以使用欧姆定理确定集电极电压 V_C：

$$V_C = 10 - I_C R_C = 10 - 0.99 \times 4.7 \simeq +5.3 \text{ V}$$

因为基极为+4 V，集电结反偏电压为 1.3 V，因此晶体管确实工作在放大模式。

现在确定基极电流为

$$I_B = \frac{I_E}{\beta + 1} = \frac{1}{101} \simeq 0.01 \text{ mA}$$

在结束这个例子之前，需要强调一下直接在电路图上执行电路分析的价值。只有这个方法可以在合理的时间内分析复杂电路。图 5.34（c）说明了在电路图上进行的上述分析，图中带圆圈的数字表明分析的步骤。 ■

例题 5.5　分析图 5.35（a）所示的电路并确定所有节点的电压和所有支路的电流。注意，该电路与图 5.34 所示的电路一样。只是现在的基极电压为+6 V。假定晶体管 β 至少为 50。

解：假定为放大工作模式，则有

$$V_E = +6 - V_{BE} \simeq 6 - 0.7 = 5.3 \text{ V}$$

$$I_E = \frac{5.3}{3.3} = 1.6 \text{ mA}$$

$$V_C = +10 - 4.7 \times I_C \simeq 10 - 7.52 = 2.48\ \text{V}$$

所进行的详细分析如图 5.35（b）所示。

因为计算得到的集电极电压比基极电压小 3.52 V，因此可以得出最初放大模式的假设不正确。实际上，晶体管只能工作在饱和模式。假定是饱和模式，则有

$$V_E = +6 - 0.7 = +5.3\ \text{V}$$

$$I_E = \frac{V_E}{3.3} = \frac{5.3}{3.3} = 1.6\ \text{mA}$$

$$V_C = V_E + V_{CEsat} = +5.3 + 0.2 = +5.5\ \text{V}$$

$$I_C = \frac{+10 - 5.5}{4.7} = 0.96\ \text{mA}$$

$$I_B = I_E - I_C = 1.6 - 0.96 = 0.64\ \text{mA}$$

因此晶体管工作在强制 β：

$$\beta_{\text{forced}} = \frac{I_C}{I_B} = \frac{0.96}{0.64} = 1.5$$

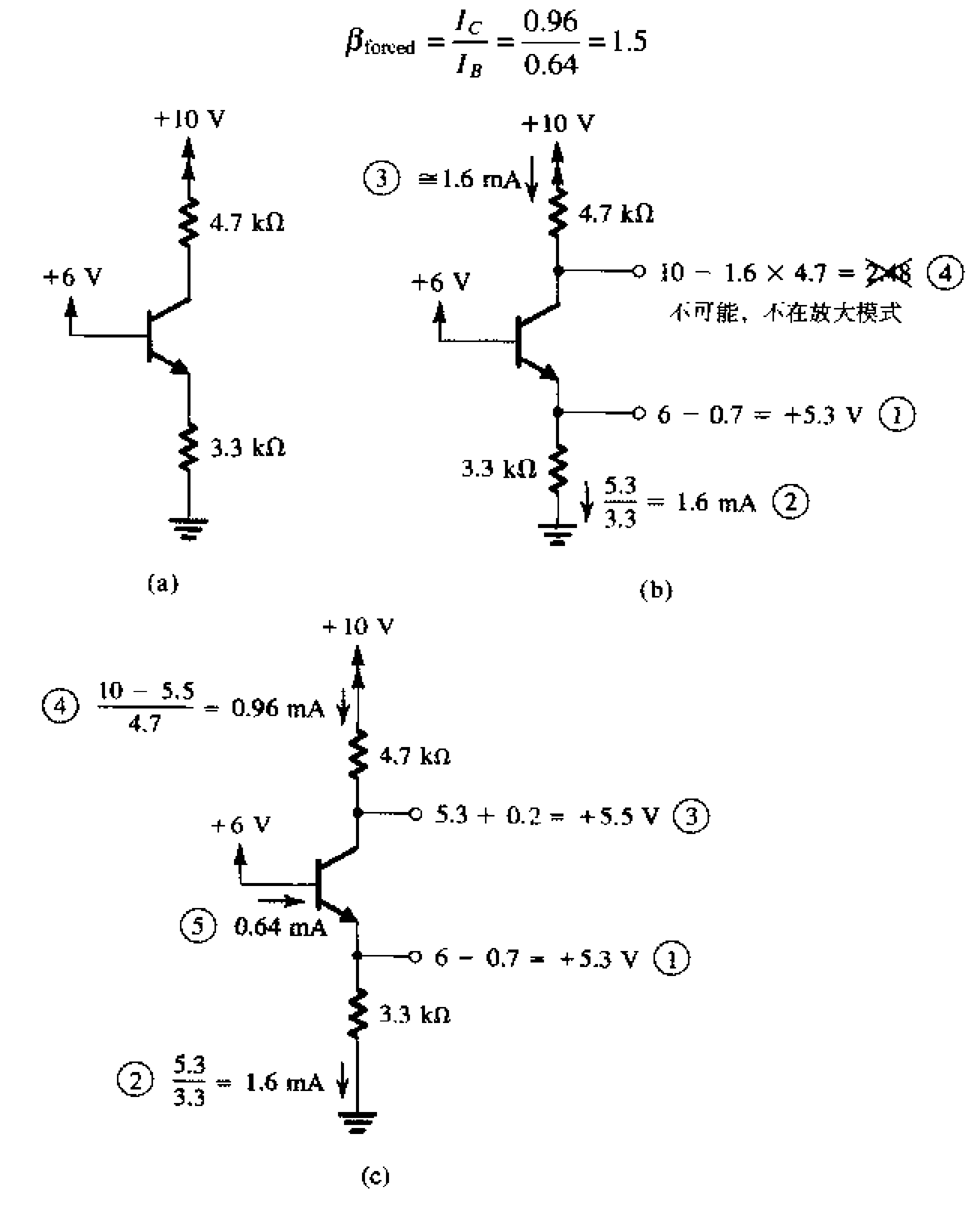


图 5.35　例题 5.5 电路的分析　注意，带圆圈的数字表示分析步骤

因为 β_{forced} 小于指定的最小β值，因此晶体管确实工作在饱和区。需要强调的是饱和测试时应该使用最小的β。出于同样的原因，如果我们要设计一个电路使晶体管饱和，那么设计必须基于指定的最小β。如果具有最小β的晶体管饱和，那么具有高β值的晶体管显然也饱和。分析细节如图 5.35（c）所示，图中带圆圈的数字表示分析步骤。■

例题 5.6　分析图 5.36（a）所示电路，确定所有节点的电压和所有支路的电流。注意，该电路与例题 5.4 和例题 5.5 中考虑的电路一样，只是现在的基极电压为 0。

解：因为基极电压为 0，发射极通过电阻 R_E 连接到地，因此发射结不能导通，发射极电流为 0。另外，因为 n 型集电极通过 R_C 连接到正电源，而 p 型基极接地，因此集电结也不能导通。可以得出集电极电流为 0。而基极电流也必须为 0，因此晶体管处于截止工作模式。

很明显，发射极电压为 0，而集电极电压等于+10 V，因为 R_C 两端的电压降为 0。图 5.36（b）显示了分析细节。

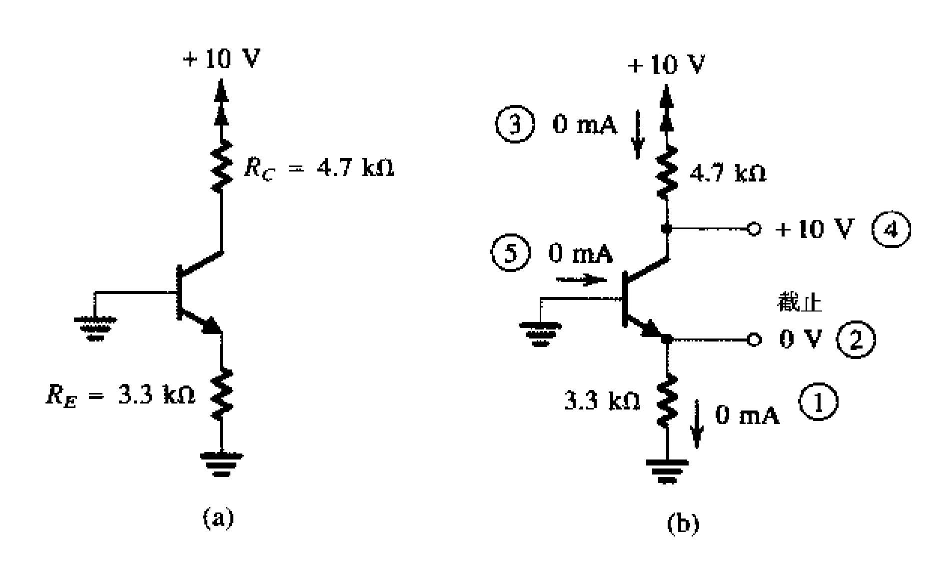


图 5.36　例题 5.6：（a）电路；（b）分析，带圆圈的数字表示分析步骤　■

练习 D5.22　对于图 5.34（a）所示的电路，求晶体管保持在放大模式时基极所能达到的最大电压。假定 $\alpha \simeq 1$。

答案：+4.7 V

练习 D5.23　重新设计图 5.34（a）所示的电路（即求新的 R_E 和 R_C 的值），从而使得集电极电流为 0.5 mA，集电结上的反偏电压为 2 V。假设 $\alpha \simeq 1$。

答案：$R_E = 6.6\ \text{k}\Omega$；$R_C = 8\ \text{k}\Omega$

练习 5.24　时于图 5.35（a）所示的电路，要求晶体管工作在强制 β 为 5 的饱和模式下，求基极电压必须变为何值？

答案：+5.18 V

例题 5.7　分析图 5.37（a）并确定所有节点的电压和所有支路的电流。

解：该 pnp 晶体管基极接地，而发射极通过 R_E 连接到正电源（$V^+ = +10\ \text{V}$）。可以得出发射结正偏电压为

$$V_E = V_{EB} \simeq 0.7\ \text{V}$$

因此发射极电流为

$$I_E = \frac{V^+ - V_E}{R_E} = \frac{10-0.7}{2} = 4.65 \text{ mA}$$

因为集电极通过 R_C 连接到负电源（比基极电压要负），因此该晶体管有可能工作在放大模式。假定工作在放大模式，则可以得到

$$I_C = \alpha I_E$$

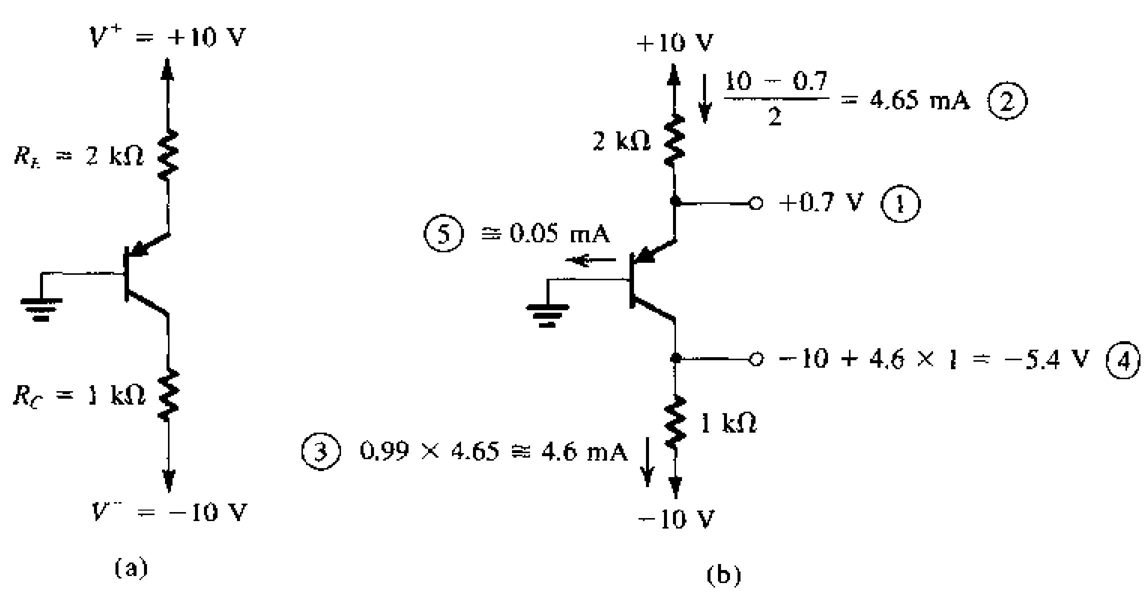


图 5.37　例题 5.7：（a）电路；（b）分析（带圆圈的数字表明分析步骤）

因为没有给出 β，假定 $\beta = 100$，因此得到 $\alpha = 0.99$。因为 β 的大变化只会导致 α 产生较小的变化，可见该假设对于确定 I_C 不是很重要，因此，

$$I_C = 0.99 \times 4.65 \simeq 4.6 \text{ mA}$$

集电极电流为

$$V_C = V^- + I_C R_C$$
$$= -10 + 4.6 \times 1 = -5.4 \text{ V}$$

因此集电结反偏电压为 5.4 V，晶体管确实工作在放大模式，这证明了我们最初的假设。

现在计算基极电流：

$$I_B = \frac{I_E}{\beta + 1} = \frac{4.65}{101} \simeq 0.05 \text{ mA}$$

显然，β 的值对基极电流影响较大。但是我们注意到在该电路中，β 的值对晶体管的工作模式没有影响。因为 β 通常是不容易指定的参数，因此该电路给出了一个较好的设计。作为一种规则，设计的电路应该使它的性能尽可能不受 β 的影响。分析细节见图 5.37（b）。 ■

练习 D5.25　对于图 5.37（a）所示的电路，求晶体管保持工作在放大模式时 R_C 所能达到的最大值。

答案：2.26 kΩ

练习 D5.26　重新设计图 5.37（a）所示的电路（即求新的 R_E 和 R_C 的值），使得集电极电流为 1 mA，集电结上的反偏电压为 4 V。假设 $\alpha = 1$。

答案：$R_E = 9.3\text{ k}\Omega$；$R_C = 6\text{ k}\Omega$

例题 5.8　分析图 5.38（a）所示电路并确定所有节点电压和所有支路电流。假定 $\beta = 100$。

解：很明显，发射结正偏，因此，

$$I_B = \frac{+5 - V_{BE}}{R_B} \simeq \frac{5-0.7}{100} = 0.043 \text{ mA}$$

图 5.38　例题 5.8：（a）电路；（b）分析（带圆圈的数字表示分析步骤）

假定晶体管工作在放大模式，可以写出

$$I_C = \beta I_B = 100 \times 0.043 = 4.3 \text{ mA}$$

从下式可以得出集电极电流：

$$V_C = +10 - I_C R_C = 10 - 4.3 \times 2 = +1.4 \text{ V}$$

因为基极电压 V_B 为

$$V_B = V_{BE} \simeq +0.7 \text{ V}$$

可以得出集电结为反偏，反偏电压为 0.7 V，晶体管确实工作在放大模式。发射极电流为

$$I_E = (\beta + 1) I_B = 101 \times 0.043 \simeq 4.3 \text{ mA}$$

从这个例子可以注意到集电极和发射极电流与 β 值的关系很大。实际上，如果 β 增大 10%，晶体管将离开放大模式而进入饱和模式，因此这不是一种可取的设计方法。图 5.38（b）给出了分析细节 ■

练习 D5.27　使用 β 值范围为 50 到 150 的晶体管制成图 5.38（a）所示的电路。即这种类型晶体管的 β 值可以是该范围内的任意值。选择 R_C 重新设计电路以使得所有生产出来的电路都保证工作在放大模式，并求这些电路的集电极电压的范围。

答案：$R_C = 1.5 \text{ k}\Omega$；$V_C = 0.3 \sim 6.8 \text{ V}$

例题 5.9　分析图 5.39 所示的电路并确定所有节点电压和所有支路电流。β 的最小值为 30。

解：从电路中可以看出晶体管既可能工作在放大模式也可能工作在饱和模式。假定工作在放大模式并忽略基极电流，可以看出基极电压近似为 0 V，发射极电压约为+0.7 V，发射极电流约为 4.3 mA。因为晶体管维持放大模式工作时的集电极最大电流约为 0.5 mA，因此可以明确知道晶体管工作在饱和模式

假定晶体管饱和并将基极电压记为V_B［见图 5.39（b）］，可以得出

$$V_E = V_B + V_{EB} = V_B + 0.7$$

$$V_C = V_E - V_{EC\text{sat}} = V_B + 0.7 - 0.2 = V_B + 0.5$$

$$I_E = \frac{+5 - V_E}{1} = \frac{5 - V_B - 0.7}{1} = 4.3 - V_B \text{ mA}$$

$$I_B = \frac{V_B}{10} = 0.1V_B \text{ mA}$$

$$I_C = \frac{V_C - (-5)}{10} = \frac{V_B + 0.5 + 5}{10} = 0.1V_B + 0.55 \text{ mA}$$

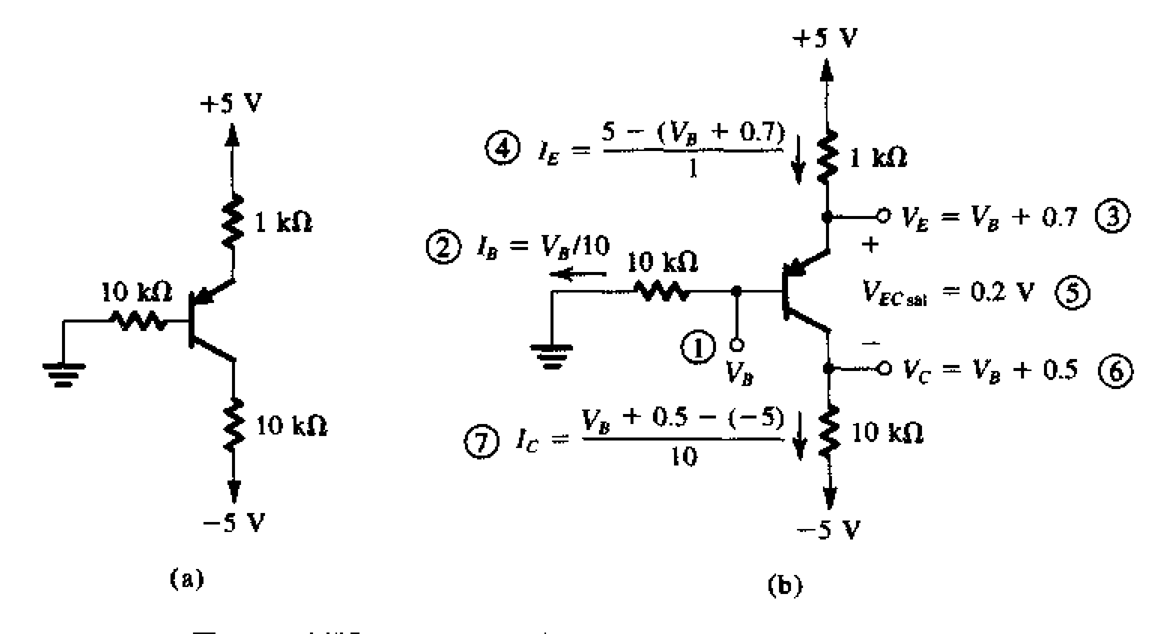


图 5.39　例题 5.9：（a）电路；（b）以数字标注顺序的分析步骤

利用公式$I_E = I_B + I_C$，可以得到

$$4.3 - V_B = 0.1V_B + 0.1V_B + 0.55$$

从该式可以得到

$$V_B = \frac{3.75}{1.2} \simeq 3.13 \text{ V}$$

将它代入上面各公式，可以得到

$$V_E = 3.83 \text{ V}$$
$$V_C = 3.63 \text{ V}$$
$$I_E = 1.17 \text{ mA}$$
$$I_C = 0.86 \text{ mA}$$
$$I_B = 0.31 \text{ mA}$$

很明显，晶体管饱和，因此强制β为

$$\beta_{\text{forced}} = \frac{0.86}{0.31} \simeq 2.8$$

它远远小于给定的最小β值。■

例题 5.10　分析图 5.40（a）所示电路并确定所有节点电压和所有支路电流，假定$\beta = 100$。

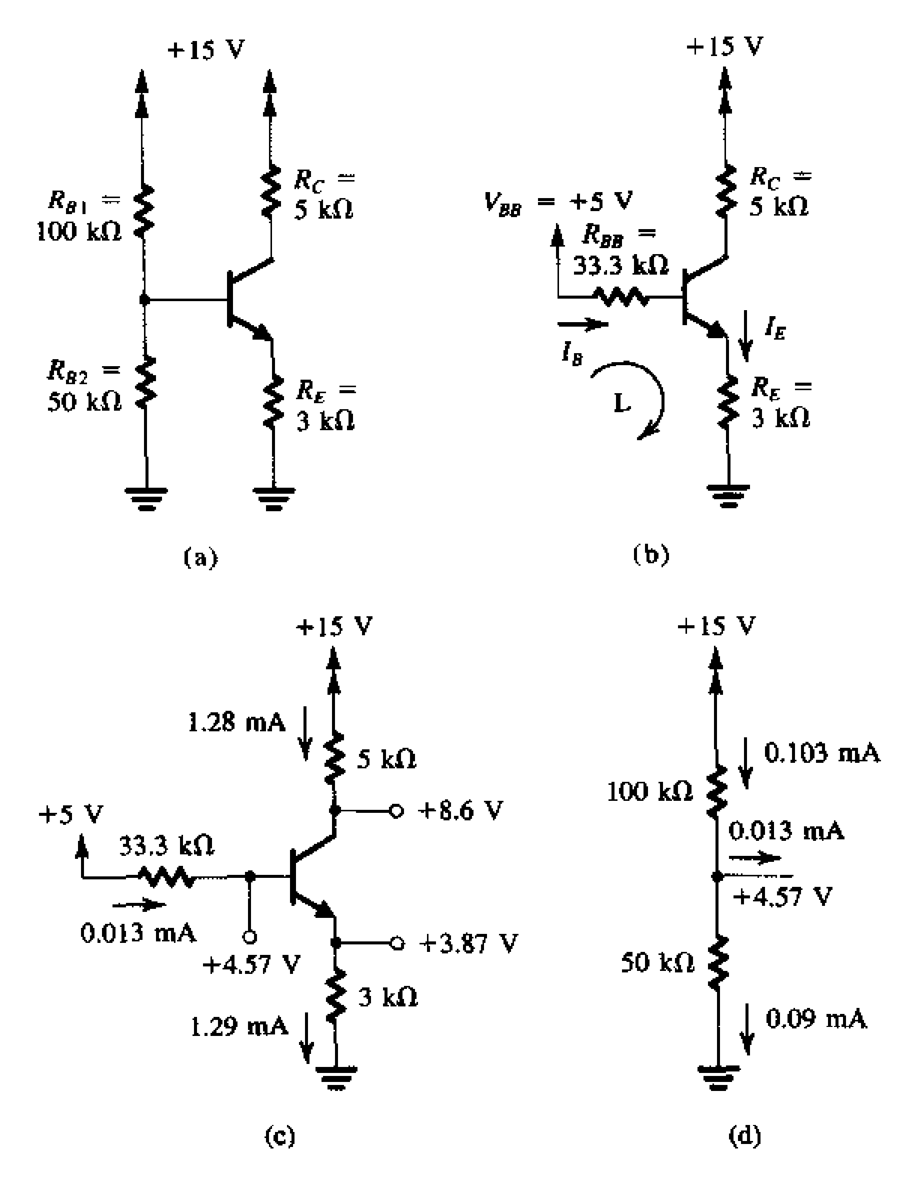


图 5.40　例题 5.10 的电路

解： 分析的第一步为利用戴维南定理简化基极回路。结果如图 5.40（b）所示，其中，

$$V_{BB}=+15\frac{R_{B2}}{R_{B1}+R_{B2}}=15\frac{50}{100+50}=+5\text{ V}$$

$$R_{BB}=(R_{B1}//R_{B2})=(100//50)=33.3\text{ k}\Omega$$

为了计算基极和发射极电流，写出图 5.40（b）中标有 L 的回路方程。但是要注意，流过 R_{BB} 的电流不同于流过 R_E 的电流。回路方程为

$$V_{BB}=I_BR_{BB}+V_{BE}+I_ER_E$$

将 I_B 替换成下面的值：

$$I_B=\frac{I_E}{\beta+1}$$

重新将公式写为

$$I_E=\frac{V_{BB}-V_{BE}}{R_E+[R_{BB}/(\beta+1)]}$$

对于给定的值，有

$$I_E = \frac{5-0.7}{3+(33.3/101)} = 1.29\ \text{mA}$$

基极电流为

$$I_B = \frac{1.29}{101} = 0.0128\ \text{mA}$$

基极电压为

$$V_B = V_{BE} + I_E R_E$$
$$= 0.7 + 1.29 \times 3 = 4.57\ \text{V}$$

假定工作在放大模式，计算集电极电流为

$$I_C = \alpha I_E = 0.99 \times 1.29 = 1.28\ \text{mA}$$

集电极电压为

$$V_C = +15 - I_C R_C = 15 - 1.28 \times 5 = 8.6\ \text{V}$$

可以得出集电极电位比基极高 4.03 V，这意味着晶体管正如我们假设的那样工作在放大模式．分析结果显示在图 5.40（c）和（d）中 ■

练习 5.28 如果图 5.40（a）所示电路中的晶体管用另一个 $\beta = 50$ 的晶体管替代，求新的 I_C 值，并用百分数表示 I_C 的变化。

答案：$I_C = 1.15$ mA；-10%

例题 5.11 分析图 5.41（a）所示电路并确定所有节点电压和所有支路电流．

解：首先可以看出该电路的部分电路与例题 5.10 中分析的电路相同，即与图 5.40（a）所示的电路相同 差别是在这个新电路中增加了一个晶体管 Q_2 以及与它相关的电阻 R_{E2} 和 R_{C2} 假定 Q_1 仍然工作在放大模式。下面的值与上一个例题中得到的值相同：

$$V_{B1} = +4.57\ \text{V} \qquad I_{E1} = 1.29\ \text{mA}$$
$$I_{B1} = 0.0128\ \text{mA} \quad I_{C1} = 1.28\ \text{mA}$$

但是集电极电压将与前面计算得到的值不同，因为部分集电极电流 I_{C1} 将流过 Q_2 的基极（I_{B2}）第一个近似是我们假定 I_{B2} 远小于 I_{C1}，即假定流过 R_{C1} 的电流几乎等于 I_{C1}，因此计算得到 V_{C1} 为

$$V_{C1} \simeq +15 - I_{C1} R_{C1}$$
$$= 15 - 1.28 \times 5 = +8.6\ \text{V}$$

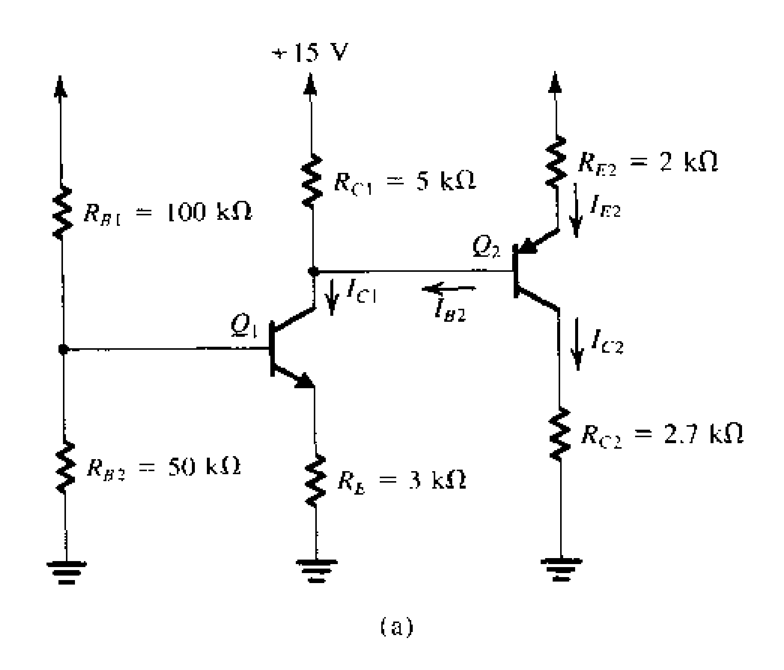
可见 Q_1 工作在放大模式，与假设相同。

现在考虑 Q_2，可以看到它的发射极通过 R_{E2} 连接到+15 V。因此可以假设 Q_2 的发射结正偏。因此 Q_2 的发射极的电压 V_{E2} 为

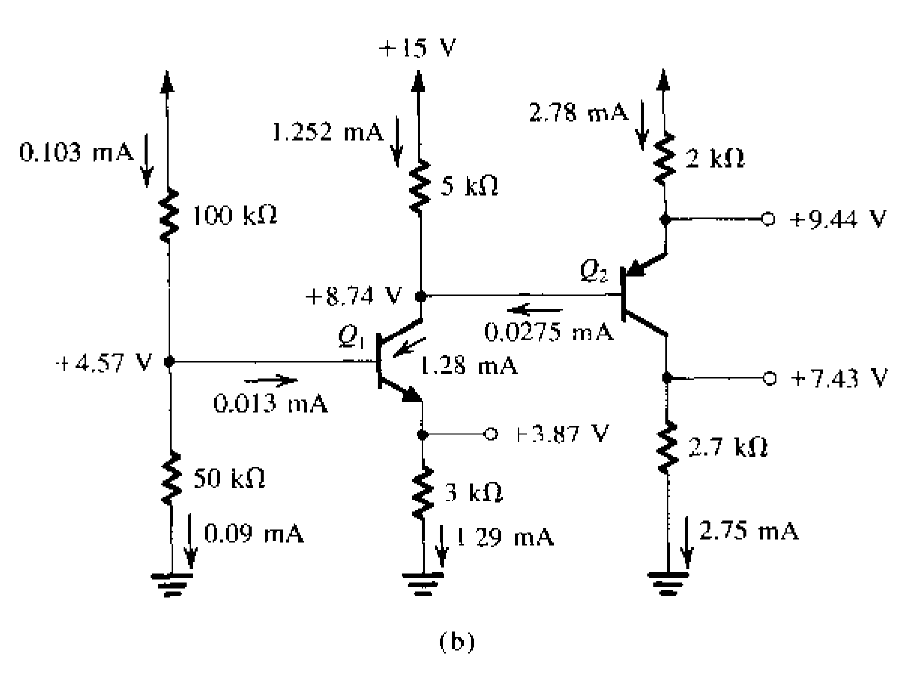
$$V_{E2} = V_{C1} + V_{EB}\big|_{Q_2} \simeq 8.6 + 0.7 = +9.3\ \text{V}$$

计算得到 Q_2 的发射极电流为

$$I_{E2} = \frac{+15 - V_{E2}}{R_{E2}} = \frac{15 - 9.3}{2} = 2.85\ \text{mA}$$



(a)



(b)

图 5.41 例题 5.11 的电路

因为 Q_2 的集电极通过 R_{C2} 连接到地，因此 Q_2 可能工作在放大模式．假定工作在放大模式，可以求得 I_{C2} 为

$$I_{C2} = \alpha_2 I_{E2}$$
$$= 0.99 \times 2.85 = 2.82 \text{ mA} \quad (\text{假定 } \beta_2 = 100)$$

Q_2 的集电极电压为

$$V_{C2} = I_{C2}R_{C2} = 2.82 \times 2.7 = 7.62 \text{ V}$$

它比 V_{B2} 小 0.98 V．因此 Q_2 工作在放大模式，与假设相同

现在计算忽略 I_{B2} 后计算中引入的误差大小：I_{B2} 的值为

$$I_{B2}=\frac{I_{E2}}{\beta_2+1}=\frac{2.85}{101}=0.028\text{ mA}$$

此值确实远小于I_{C1}（1.28 mA）。如果需要，可以通过一次迭代得到更精确的结果，假定I_{B2}为0.028 mA，则新的值为

$$\text{流过}R_{C1}\text{的电流}=I_{C1}-I_{B2}=1.28-0.028=1.252\text{ mA}$$

$$V_{C1}=15-5\times1.252=8.74\text{ V}$$

$$V_{E2}=8.74+0.7=9.44\text{ V}$$

$$I_{E2}=\frac{15-9.44}{2}=2.78\text{ mA}$$

$$I_{C2}=0.99\times2.78=2.75\text{ mA}$$

$$V_{C2}=2.75\times2.7=7.43\text{ V}$$

$$I_{B2}=\frac{2.78}{101}=0.0275\text{ mA}$$

注意，新的I_{B2}值非常接近于迭代中所使用的值，因此不必进一步迭代，最后结果如图5.41（b）所示。

读者可能想知道在求解线性问题时使用迭代的必要性。我们确实可以通过写出合适的方程来求得精确解（如果能够用一阶模型精确描述我们所要处理的问题）。我们也鼓励读者求解精确解并与前面得到的结果进行比较。但是必须强调，在大多数这种应用中，得到近似解已经足够了，只要我们能够快速而准确地得到结果即可。■

在上面这些例子中，经常使用精确的α值来计算集电极电流。因为$\alpha\simeq1$，如果假设$\alpha=1$且$i_C=i_E$，那么计算带来的误差非常小。因此除非计算结果与α值密切相关（例如，基极电流的计算），否则通常假设$\alpha\simeq1$。

练习 5.29 对于图5.41所示电路，求从电源获得的总电流及电路的功耗。

答案：4.135 mA；62 mW

练习 5.30 图E5.30所示的电路以图示方式被连接到图5.41（a）所示的电路，具体地说，Q_3的基极被连接到Q_2的集电极。如果Q_3的$\beta=100$，求V_{C2}，V_{E3}和I_{C3}的值。

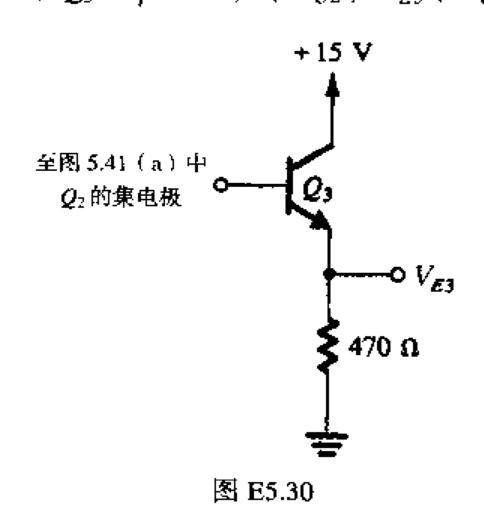


图 E5.30

答案：+7.06 V；+6.36 V；13.4 mA

例题 5.12 计算图5.42（a）所示电路中所有节点的电压和所有支路的电流。假设$\beta=100$。

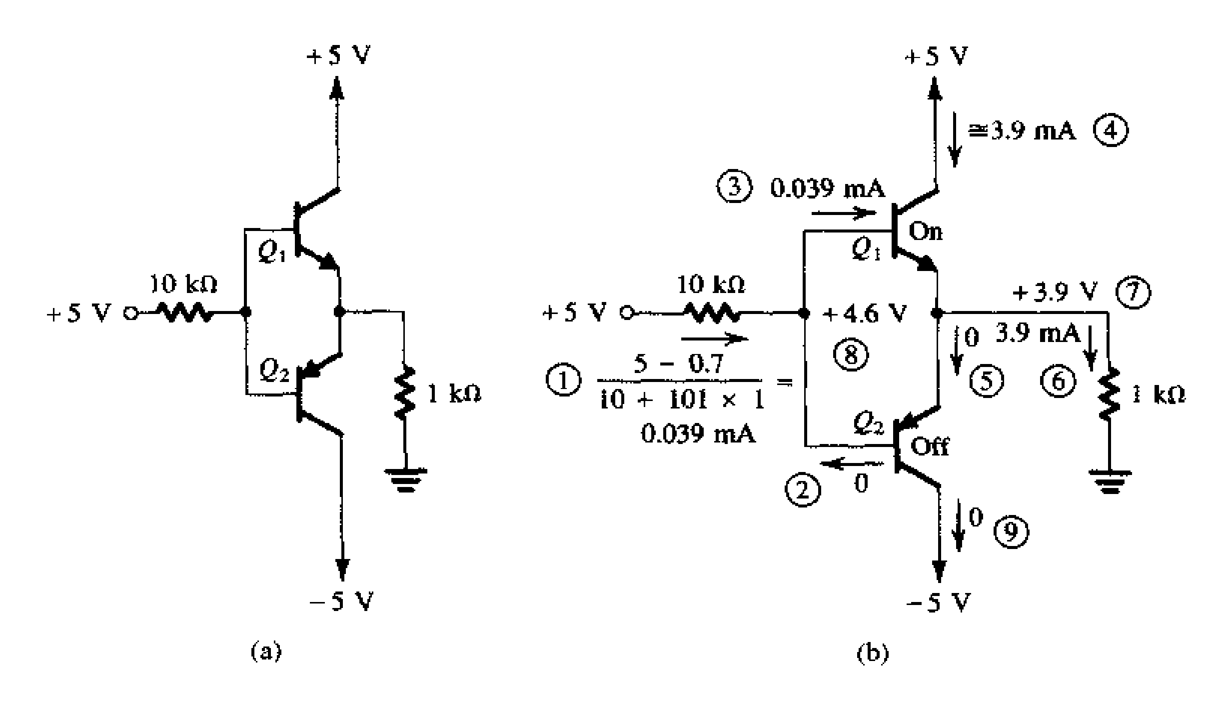


图 5.42　例题 5.12：（a）电路；（b）指明步骤的分析结果

解：通过分析电路可以得出 Q_1 和 Q_2 两个晶体管不可能同时导通的结论。即如果 Q_1 导通，则 Q_2 截止，反之亦然。假定 Q_2 导通，可以得出电流从地流过 1 kΩ的负载电阻进入 Q_2 的发射极。因此 Q_2 的基极将是负电压，基极电流将从基极流出并通过 10 kΩ电阻进入+5 V 的电源。但这是不可能的，因为如果基极为负，10 kΩ的电阻上的电流必须流入基极。因此可以得出结论——Q_2 导通这个假设不成立。所以 Q_2 必须截止而 Q_1 导通。

现在的问题是 Q_1 是放大模式还是饱和模式。在本例中，答案很明显。因为基极由+5 V 的电源激励，并且因为基极电流流入 Q_1 的基极，可以得出 Q_1 的基极电压低于+5 V。因此 Q_1 的集电结为反偏，工作在放大模式。现在只需要利用已经介绍的技术来确定电流和电压。结果如图 5.42（b）所示。■

练习 5.31　将基极激励电压变为+10 V，求解例题 5.12 的问题。假定 $\beta_{min}=30$，求 V_E，V_B，I_{C1} 和 I_{C2}。

答案：+4.8 V；+5.5 V；4.35 mA；0

5.5　BJT 放大器电路的偏置

偏置就是在 BJT 的集电极上建立恒定的直流电流。该电流必须可计算、可预计以及对温度的变化和遇到的相同类型晶体管的较大变化范围的 β 值不敏感。偏置电路设计的另一个重要的考虑是直流偏置点要位于 $i_C \sim v_{CE}$ 平面中合适的位置上，使得输出信号幅度能最大（见 5.3.3 节中的讨论）。本节将给出利用分立器件设计的晶体管电路中解决偏置问题的不同方法。集成电路的偏置设计方法将在第 6 章给出。

在讨论有效的偏置策略之前，必须指出为什么两种显而易见的设置方法不可取。首先，讨论通过固定电压 V_{BE} 对 BJT 进行偏置的方法，例如在电源 V_{CC} 两端使用电压分压器来固定电压 V_{BE}，如图 5.43（a）所示。这种方法并不是一个可行的方法：$i_C \sim v_{BE}$ 非常陡的指数关系意味着偏离设计值的任何一个小的不可避免的 V_{BE} 变化会使 I_C 和 V_{CE} 产生很大不同。第二，通过在基极上建立

一个恒定的电流来对 BJT 进行偏置，如图 5.43（b）所示，其中 $I_B \cong (V_{CC}-0.7)/R_B$ 这也不是一个值得推荐的方法。相同类型的不同器件之间具有较大变化的 β 值会导致相应的 I_C 发生较大变化，从而引起 V_{CE} 的变化。

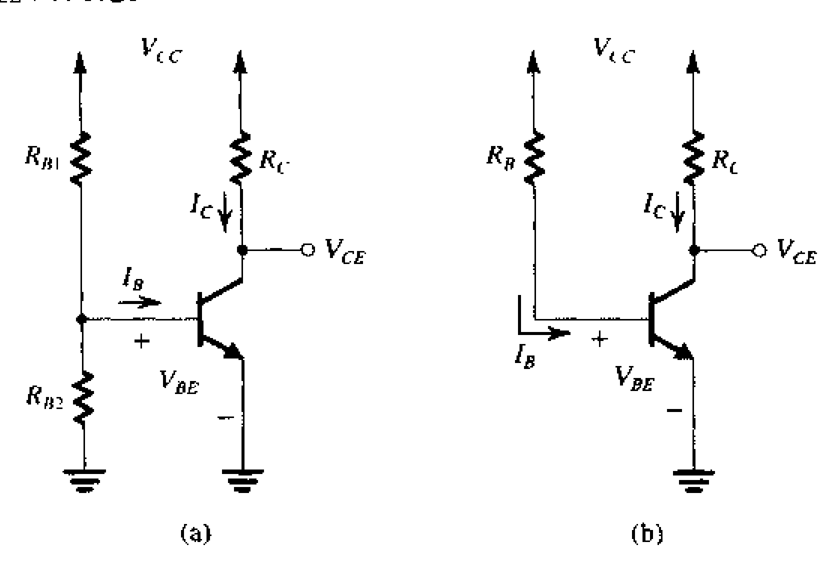


图 5.43 对 BJT 偏置的两种不同方法：（a）通过固定 V_{BE}；（b）通过固定 I_B 这两种方法都会导致 I_C 的较大变化，从而引起 V_{CE} 的变化，因此被认为是不可取的方法。我们不推荐使用这两种方法

5.5.1 经典的分立电路偏置点设置

图 5.44（a）显示了最常使用的分立元件晶体管放大器的偏置点设置，它只使用一个电源。这个技术包括通过电压分压器 R_1 和 R_2 来对晶体管的基极提供一部分的电源电压 V_{CC}。此外，电阻 R_E 被连接到发射极。

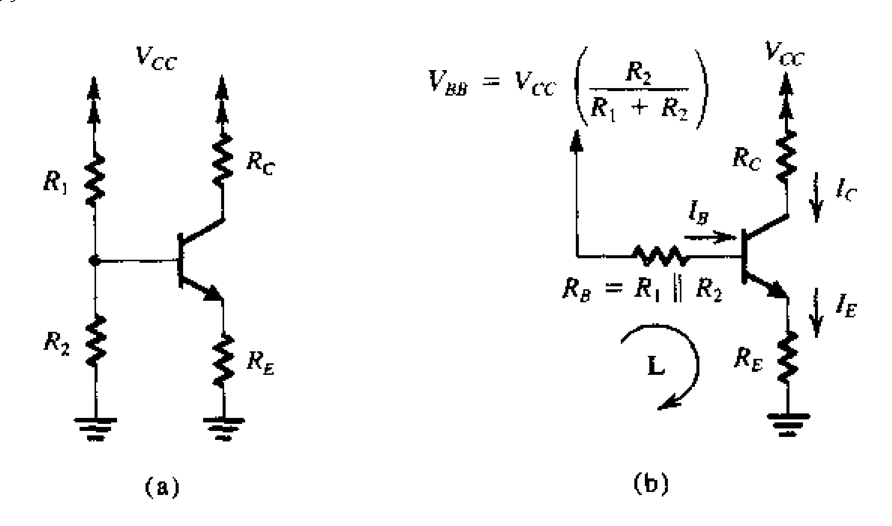


图 5.44 使用单电源供电的经典 BJT 偏置方法：（a）电路；（b）向基极提供电源的电压分压器用戴维南等效后得到的电路

图 5.44（b）显示了电压分压网络用戴维南等效后的电路：

$$V_{BB} = \frac{R_2}{R_1+R_2}V_{CC} \tag{5.68}$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} \tag{5.69}$$

列出从基极到发射极到地的回路（标为 L）的基尔霍夫回路方程可以得到电流 I_E，并将 $I_B = I_E/(\beta+1)$ 代入可得

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B/(\beta+1)} \tag{5.70}$$

为了使得 I_E 对温度和 β 的变化不敏感[1]，可以将电路设计为满足下面两个约束条件：

$$V_{BB} \gg V_{BE} \tag{5.71}$$

$$R_E \gg \frac{R_B}{\beta+1} \tag{5.72}$$

式（5.71）确保 V_{BE}（约为 0.7 V）的较小变化将被较大的 V_{BB} 掩盖。但是对 V_{BB} 的大小有一个限制：对于给定的电源电压 V_{CC}，V_{BB} 越高，R_C 两端的电压和集电结两端的电压（V_{CB}）之和就越小。另一方面，为了得到较高的电压增益和较大的信号幅度（在晶体管截止之前），R_C 两端应有较高的电压。我们也希望 V_{CB}（或者 V_{CE}）较大，这样可以提供较大的信号幅度（在晶体管饱和之前）。因此，就像任意一个设计中都有的情况，我们有一系列矛盾的要求，解决方法必定是取一个折中。从经验上来说，一般有 V_{BB} 约为 $\frac{1}{3}V_{CC}$，V_{CB}（或者 V_{CE}）约为 $\frac{1}{3}V_{CC}$，$I_C R_C$ 约为 $\frac{1}{3}V_{CC}$

式（5.72）使得 I_E 对 β 的变化不敏感，这可以通过选择较小的 R_B 来满足。这又可以通过使用较小的 R_1 和 R_2 来实现。但是较小的 R_1 和 R_2 意味着从电源获得更大的电流，这将导致放大器输入电阻的降低（如果输入信号耦合到基极），这是在这一部分设计中的折中。必须注意到式（5.72）意味着我们使得基极电压与 β 值无关，而仅仅由电压分压器确定。显然，如果分压器上的电流远大于基极电流的话就可以做到这一点。通常选择 R_1 和 R_2 以使流过它们的电流在 I_E 到 $0.1I_E$ 的范围内。

考虑 R_E 提供的反馈作用可以进一步理解图 5.44(a)所示的偏置设置稳定发射极直流电流（因此稳定集电极电流）的机制。如果由于某些原因，发射极电流增加，那么 R_E 两端的电压降以及 V_E 也会相应增加。如果基极电压主要由电压分压器 R_1 和 R_2 确定，也就是如果 R_B 很小时，基极电压将保持不变，因此 V_E 的增加将导致 V_{BE} 相应地减小。这反过来又会减小集电极（和发射极）电流，这个变化与最初假设的变化相反。因此 R_E 就提供了一个负反馈的作用，它稳定了偏置电流。我们将在第 8 章正式介绍负反馈。

例题 5.13　设计图 5.44 所示放大器的偏置网络使得电流 $I_E = 1$ mA，电源为 $V_{CC} = +12$ V。晶体管的 β 额定值为 100。

解：我们使用上面提到的经验法则，给 R_2 两端分配三分之一的电源电压，另外三分之一给 R_C，剩下三分之一为集电极可能的信号摆幅，因此，

$$V_B = +4 \text{ V}$$

$$V_E = 4 - V_{BE} \simeq 3.3 \text{ V}$$

并且可以得到 R_E 为

$$R_E = \frac{V_E}{I_E} = \frac{3.3}{1} = 3.3 \text{ k}\Omega$$

1）偏置设计是使 I_E 和 I_C 稳定，因为 $I_C = \alpha I_E$ 并且 α 变化很小，即稳定的 I_E 将得到稳定的 I_C，反之亦然。

从上述讨论可以选择电压分压器的电流为$0.1I_E = 0.1\times1 = 0.1$ mA。忽略基极电流，可以求得

$$R_1 + R_2 = \frac{12}{0.1} = 120\ \text{k}\Omega$$

和

$$\frac{R_2}{R_1 + R_2} V_{CC} = 4\ \text{V}$$

因此$R_1 = 80\ \text{k}\Omega$和$R_2 = 40\ \text{k}\Omega$。

此时也可以考虑非零的基极电流来求得更精确的I_E值。使用式（5.70）：

$$I_E = \frac{4-0.7}{3.3(\text{k}\Omega) + \frac{(80//40)(\text{k}\Omega)}{101}} = 0.93\ \text{mA}$$

这比我们设定的1 mA的目标要小一点。从上面的公式很容易可以看出将I_E的值恢复到其额定值的一个简单方法就是将R_E从3.3 kΩ中减小一部分，这部分应等于分母中第二项的大小（0.267 kΩ），因此在这种情况下R_E更合适的值为$R_E = 3\ \text{k}\Omega$，因此$I_E = 1.01\ \text{mA} \simeq 1\ \text{mA}$。

必须注意，如果想从电源获得更高的电流且要求放大器有更低的输入电阻，则可以使用电压分压器，使它的电流等于I_E（即1 mA），这样就得到$R_1 = 8\ \text{k}\Omega$和$R_2 = 4\ \text{k}\Omega$。我们把使用后面这组数值的电路称为设计2，对于这个电路，使用最初的3.3 kΩ的R_E得到的I_E为

$$I_E = \frac{4-0.7}{3.3+0.027} = 0.99 \simeq 1\ \text{mA}$$

在设计2中，我们不需要改变R_E的值。

最后，可以确定R_C的值为

$$R_C = \frac{12 - V_C}{I_C}$$

对这两种设计，将$I_C = \alpha I_E = 0.99\times1 = 0.99\ \text{mA} \simeq 1\ \text{mA}$代入，都可以得到

$$R_C = \frac{12-8}{1} = 4\ \text{k}\Omega$$

■

练习 5.32 对于例题5.13中的设计1，如果使用β在50到150范围内变化的晶体管，计算I_E的范围。将I_E的范围表示成$\beta = 100$时得到的额定值（$I_E \simeq 1\ \text{mA}$）的百分数。对于设计2，重复计算该值。

答案：对于设计1：0.94 mA到1.04 mA，10%的范围；对于设计2：0.984 mA到0.995 mA，1.1%的范围

5.5.2 双电源供电的经典偏置设置

如果利用双电源供电可以得到相对简单的偏置设置，如图5.45所示。写出标有L的回路的回路方程如下：

$$I_E = \frac{V_{EE} - V_{BE}}{R_E + R_B/(\beta+1)} \tag{5.73}$$

该式与式（5.70）相同，只是用V_{EE}代替了V_{BB}。因此式（5.71）和式（5.72）这两个约束条件在这里同样适用。注意，如果晶体管基极接地（即共基组态），那么可以去掉R_B。但是如果输入信

号耦合到基极，那么需要接上 R_B。我们将在 5.7 节介绍 BJT 放大器的不同组态。

练习 D5.33　图 5.45 所示的偏置设置用在共基放大器中，设计一个电路来建立 1 mA 的发射极直流电流，并能够提供最大可能的电压增益，但要求集电极上有最大的±2 V 的信号摆幅。使用+10 V 和−5 V 的电源。

答案：$R_B = 0$；$R_E = 4.3\,\text{k}\Omega$；$R_C = 8.4\,\text{k}\Omega$

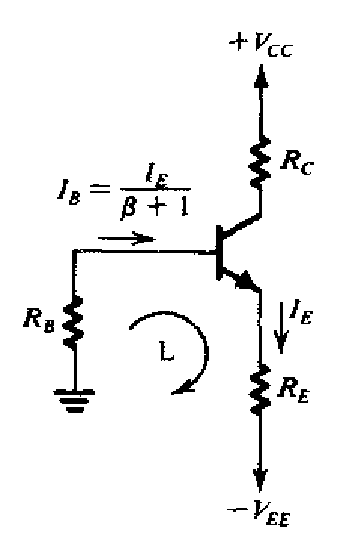


图 5.45　使用两个电源的 BJT 的偏置。只有当信号通过电容耦合到基极时才需要电阻 R_B。否则基极可以直接接地，或者连接到信号源，导致偏置电流几乎与 β 无关

5.5.3　集基间接反馈电阻的偏置

图 5.46（a）显示了一个简单而有效的偏置电路，它适合于共发射极放大器。该电路采用连接在集电极和基极两端的电阻 R_B。电阻 R_B 提供了负反馈以稳定 BJT 的偏置点。我们将在第 8 章中介绍反馈。

电路的分析如图 5.46（b）所示，从中可以写出

$$V_{CC} = I_E R_C + I_B R_B + V_{BE}$$
$$= I_E R_C + \frac{I_E}{\beta+1} R_B + V_{BE}$$

因此发射极偏置电流为



$$I_E = \frac{V_{CC} - V_{BE}}{R_C + R_B/(\beta+1)} \tag{5.74}$$

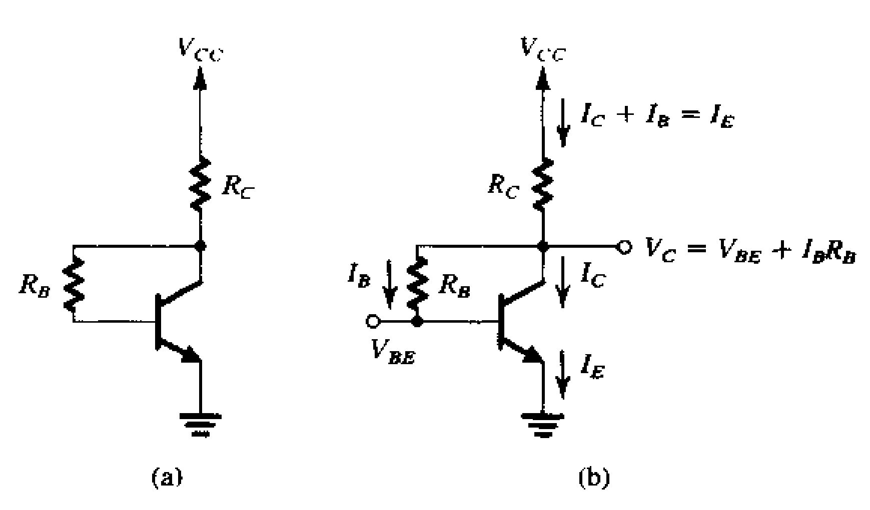


图 5.46　（a）由反馈电阻 R_B 偏置的共发射极晶体管放大器；（b）（a）中电路的分析

可以注意到除了用 V_{CC} 替代 V_{BB}、R_C 替代 R_E 以外，这个公式与式（5.70）相同，而式（5.70）控制着传统偏置电路的工作。可以得出：为了得到对 β 变化不敏感的 I_E 值，应选择 $R_B/(\beta+1) \ll R_C$。但要注意，R_B 的值决定了集电极允许的信号摆幅，因为

$$V_{CB} = I_B R_B = I_E \frac{R_B}{\beta+1} \tag{5.75}$$

练习 D5.34　设计图 5.46 所示的电路以得到 1 mA 的直流发射极电流并确保集电极上有±2 V 的信号摆幅，即设计 $V_{CE} = +2.3\text{ V}$。假设 $V_{CC} = 10\text{ V}$，$\beta = 100$。

答案： $R_B = 162\ \text{k}\Omega$；$R_C = 7.7\ \text{k}\Omega$. 注意，如果使用标准的5%的电阻值（见附录G），选择 $R_B = 160\ \text{k}\Omega$；$R_C = 7.5\ \text{k}\Omega$，因此有 $I_E = 1.02\ \text{mA}$，$V_C = +2.3\ \text{V}$

5.5.4 恒流源偏置

可以使用如图5.47（a）所示的恒流源 I 来对BJT进行偏置。该电路的一个优点是发射极电流与 β 和 R_B 的值无关。因此 R_B 可以很大，使得在基极的输入电阻增加，而又不会影响偏置点的稳定性。此外，恒流源偏置可以使设计大大简化，在后面的章节中，这会变得更加明显。

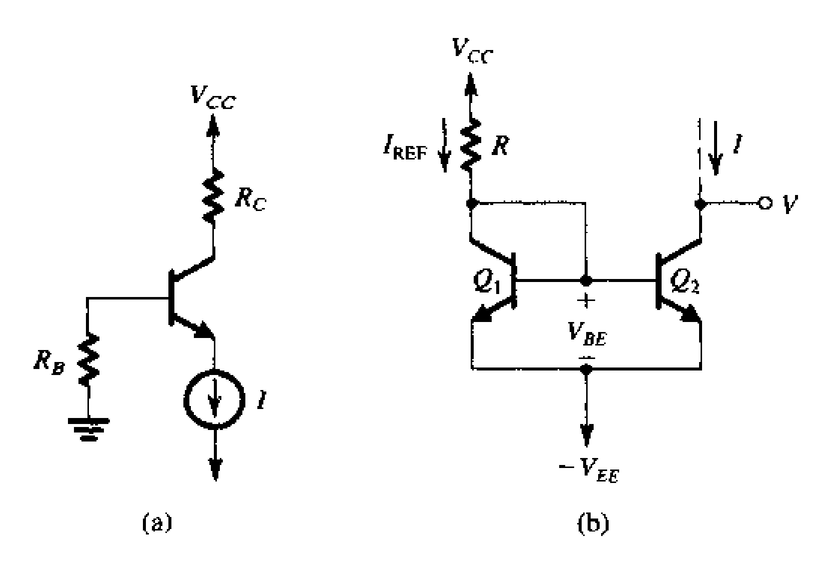


图5.47 （a）使用恒流源偏置的BJT；（b）实现恒流源 I 的电路

图5.47（b）给出了恒流源 I 的一个简单实现。该电路使用一对匹配的晶体管 Q_1 和 Q_2，Q_1 的集电极和基极短路，因而相当于二极管。如果假定 Q_1 和 Q_2 有很高的 β 值，则可以忽略它们的基极电流。因此流过 Q_1 的电流近似等于 I_{REF}：

$$I_{REF} = \frac{V_{CC} - (-V_{EE}) - V_{BE}}{R} \tag{5.76}$$

因为 Q_1 和 Q_2 有相同的 V_{BE}，所以它们的集电极电流也相同，因此，

$$I = I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE}}{R} \tag{5.77}$$

忽略 Q_2 的厄尔利效应，只要 Q_2 保持工作在放大区，集电极电流将保持该方程给出的值不变。这可以令集电极电压 V 大于基极电压 $(-V_{EE} + V_{BE})$ 来保证。图5.47（b）中 Q_1 和 Q_2 的连接被称为镜像电流源。第6章中将详细介绍镜像电流源。

练习5.35 对于图5.47（a）所示的电路，当 $V_{CC} = 10\ \text{V}$，$I = 1\ \text{mA}$，$\beta = 100$，$R_B = 100\ \text{k}\Omega$，$R_C = 7.5\ \text{k}\Omega$ 时，求基极、集电极和发射极的直流电压。当 $V_{EE} = 10\ \text{V}$ 时，求用图5.47（b）电路实现的电流源 I 所要求的 R 值。

答案： −1 V；−1.7 V；+2.6 V；19.3 kΩ

5.6 小信号工作与小信号模型

介绍了如何对BJT进行偏置以使其作为一个放大器后，我们开始介绍晶体管的小信号性能。为此考虑图5.48（a）所示的概念性的电路。其中发射结由直流电压 V_{BE}（电池）正向偏置，集电

结由集电极通过电阻 R_C 连接到另一个电压源 V_{CC} 来实现反向偏置。所要放大的输入信号由电压源 v_{be} 表示，它叠加在 V_{BE} 上。

首先将信号 v_{be} 设为 0，即考虑直流偏置条件，电路就变为图 5.48（b）所示，我们可以写出下列的直流电流和电压之间的关系：

$$I_C = I_S e^{V_{BE}/V_T} \quad (5.78)$$

$$I_E = I_C/\alpha \quad (5.79)$$

$$I_B = I_C/\beta \quad (5.80)$$

$$V_C = V_{CE} = V_{CC} - I_C R_C \quad (5.81)$$

显然，对于放大工作模式，V_C 应该比 $(V_B - 0.4)$ 大一定的值，使得在集电极上允许有合适的信号摆幅。

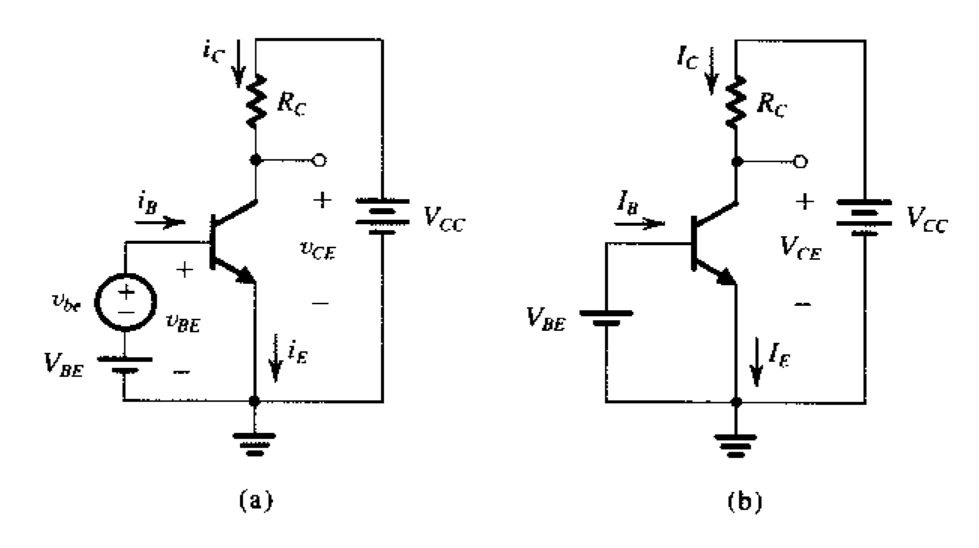


图 5.48　（a）解释晶体管作为放大器工作的电路；（b）（a）中电路消除信号源 v_{be} 后的直流分析

5.6.1　集电极电流与跨导

如果加上信号 v_{be}，如图 5.48（b）所示，那么发射结总的瞬时电压 v_{BE} 为

$$v_{BE} = V_{BE} + v_{be}$$

因此集电极电流为

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE}+v_{be})/V_T}$$
$$= I_S e^{(V_{BE}/V_T)} e^{(v_{be}/V_T)}$$

利用式（5.78）可以得到

$$i_C = I_C e^{v_{be}/V_T} \quad (5.82)$$

现在如果 $v_{be} \ll V_T$，我们可以将式（5.82）近似为

$$i_C \simeq I_C \left(1 + \frac{v_{be}}{V_T}\right) \quad (5.83)$$

这里将式（5.82）中的指数展开成级数并只保留前面两项。这个近似只有当 v_{be} 约小于 10 mV 时才有效，它称为小信号近似。在这种近似条件下，由式（5.83）给出的总的集电极电流为

$$i_C = I_C + \frac{I_C}{V_T} v_{be} \quad (5.84)$$

因此集电极电流由直流偏置值 I_C 和信号分量 i_c 组成：

$$i_c = \frac{I_C}{V_T} v_{be} \tag{5.85}$$

该方程将集电极的信号电流与相应的发射结的信号电压相关联，可以写为

$$i_c = g_m v_{be} \tag{5.86}$$

其中 g_m 称为跨导，并且从式（5.85）可以得出

$$g_m = \frac{I_C}{V_T} \tag{5.87}$$

可以看出 BJT 的跨导与集电极偏置电流 I_C 成正比。因此为了得到可预计的恒定 g_m，需要一个恒定且可预计的 I_C。最后要注意 BJT 有相对较高的跨导（与 MOSFET 相比），例如，当 $I_C = 1$ mA 时，$g_m \simeq 40$ mA/V。

图 5.49 给出了 g_m 的图形表示，从图中可知 g_m 等于 $i_C \sim v_{BE}$ 特性曲线在 $i_C = I_C$（即在偏置点 Q）处的斜率，因此，



$$g_m = \left.\frac{\partial i_C}{\partial v_{BE}}\right|_{i_C = I_C} \tag{5.88}$$

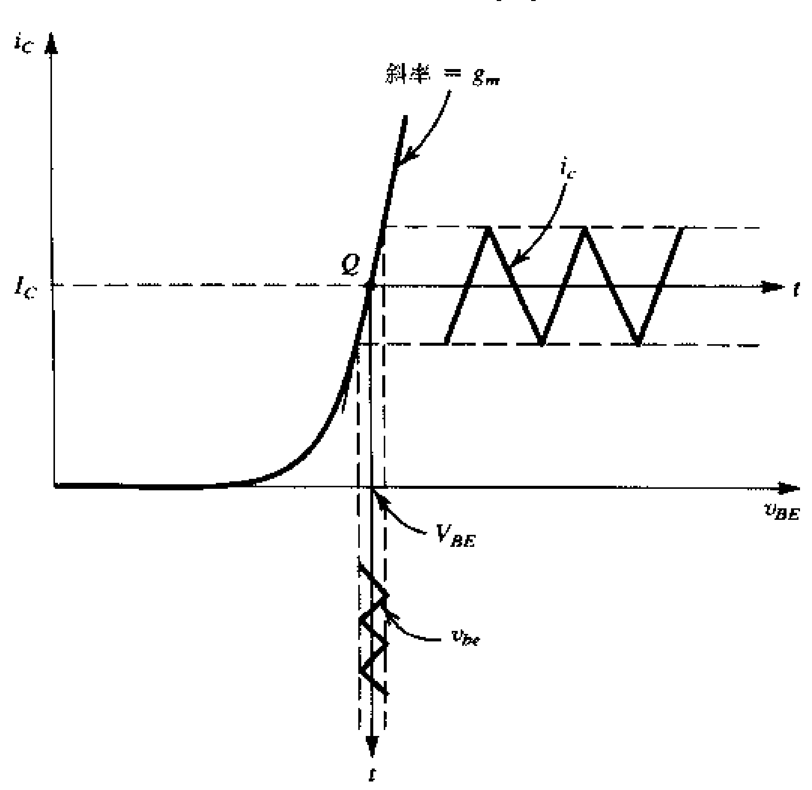


图 5.49 晶体管在小信号条件下的线性工作：三角波小信号 v_{be} 叠加在直流电压 V_{BE} 上。它产生集电极信号电流 i_c，是叠加在直流电流 I_C 上的一个三角波。$i_c = g_m v_{be}$，其中 g_m 是 $i_C - v_{BE}$ 曲线在偏置点 Q 处的斜率

小信号近似暗示着保持信号幅度足够小可以使放大器特性约束在 $i_C \sim v_{BE}$ 指数曲线上一段几乎为线性的线段内。信号幅度的增加会导致集电极电流包含与 v_{be} 相关的非线性分量。这与在 5.3 节中讨论的放大器传输曲线的近似相同。

上述分析表明对于小信号（$v_{be} \ll V_T$）来说，晶体管相当于一个电压控制电流源。该受控源的输入端位于基极和发射极之间，输出端位于为集电极和发射极之间。该受控源的跨导为 g_m，输出电阻为无穷。后者的理想特性源于工作在放大模式的晶体管，它的集电极电压对集电极电流没有影响。正如我们在 5.2 节中看到的，因为厄尔利效应的影响，实际的 BJT 具有有限的输出电阻。输出电阻对放大器性能的影响将在后面讨论。

练习 5.36　利用式（5.88）推导式（5.87）中 g_m 的表达式。

5.6.2　基极电流与基极输入电阻

为了确定由 v_{be} 看进去的电阻，首先利用式（5.84）计算总的基极电流 i_B：

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + \frac{1}{\beta}\frac{I_C}{V_T}v_{be}$$

因此，

$$i_B = I_B + i_b \tag{5.89}$$

其中，I_B 等于 I_C/β，并且信号分量 i_b 为

$$i_b = \frac{1}{\beta}\frac{I_C}{V_T}v_{be} \tag{5.90}$$

用 g_m 替代 I_C/V_T，可以得到

$$i_b = \frac{g_m}{\beta}v_{be} \tag{5.91}$$

从基极看进去的基极和发射极之间的小信号电阻记为 r_π，定义为

$$r_\pi \equiv \frac{v_{be}}{i_b} \tag{5.92}$$

利用式（5.91）得到

$$r_\pi = \frac{\beta}{g_m} \tag{5.93}$$

因此 r_π 与 β 成正比而与偏置电流 I_C 成反比。将式(5.87)中的 g_m 代入式(5.93)，并用 I_B 替代 I_C/β 可以得到 r_π 的另一个表达式：

$$r_\pi = \frac{V_T}{I_B} \tag{5.94}$$

5.6.3　发射极电流与发射极输入电阻

总的发射极电流 i_E 可以由下式确定：

$$i_E = \frac{i_C}{\alpha} = \frac{I_C}{\alpha} + \frac{i_c}{\alpha}$$

因此，

$$i_E = I_E + i_e \tag{5.95}$$

其中 I_E 等于 I_C/α，小信号电流 i_e 为

$$i_e = \frac{i_c}{\alpha} = \frac{I_C}{\alpha V_T} v_{be} = \frac{I_E}{V_T} v_{be} \tag{5.96}$$

如果从发射极看进去的基极和发射极之间的小信号电阻记为 r_e，它可以定义为

$$r_e \equiv \frac{v_{be}}{i_e} \tag{5.97}$$

利用式（5.96）可以求得被称为发射极电阻的 r_e 为

$$r_e = \frac{V_T}{I_E} \tag{5.98}$$

与式（5.87）进行比较可以得到

$$r_e = \frac{\alpha}{g_m} \simeq \frac{1}{g_m} \tag{5.99}$$

将式（5.92）和式（5.97）中 r_π 和 r_e 各自的定义结合起来就可以求得它们之间的关系：

$$v_{be} = i_b r_\pi = i_e r_e$$

因此，

$$r_\pi = (i_e / i_b) r_e$$

可以得到

$$r_\pi = (\beta + 1) r_e \tag{5.100}$$

练习 5.37 一个 BJT 的 $\beta = 100$，它被偏置在 1 mA 的集电极直流电流上。求在该偏置点上 g_m，r_π 和 r_e 的值。

答案：40 mA/V；25 Ω；2.5 kΩ

5.6.4 电压增益

在前面一节中，我们只介绍了晶体管接收基射极信号 v_{be}，并产生一定比例的电流 $g_m v_{be}$ 流过具有高阻抗（理想时为无穷）的集电极。在这种情况下，晶体管相当于电压控制电流源。为了得到输出电压信号，可以强制该电流流过电阻，如图 5.48（a）所示。总的集电极电压 v_C 为

$$\begin{aligned} v_C &= V_{CC} - i_C R_C \\ &= V_{CC} - (I_C + i_c) R_C \\ &= (V_{CC} - I_C R_C) - i_c R_C \\ &= V_C - i_c R_C \end{aligned} \tag{5.101}$$

这里，V_C 是集电极的直流偏置电压，并且信号电压为

$$\begin{aligned} v_c &= -i_c R_C = -g_m v_{be} R_C \\ &= (-g_m R_C) v_{be} \end{aligned} \tag{5.102}$$

因此该放大器的电压增益 A_v 为

$$A_v \equiv \frac{v_c}{v_{be}} = -g_m R_C \tag{5.103}$$

注意，因为 g_m 与集电极偏置电流成正比，因此当集电极偏置电流稳定时，增益就稳定。用式（5.87）替代 g_m，可以将增益表示为

$$A_v = -\frac{I_C R_C}{V_T} \tag{5.104}$$

该表达式与 5.3 节得出的式（5.56）相同。

练习 5.38 在图 5.48(a)所示的电路中，调整V_{BE}使集电极产生 1 mA 的直流电流。假设 $V_{CC}=15$ V，$R_C=10\,\text{k}\Omega$，$\beta=100$。求电压增益 v_c/v_{be}。如果 $v_{be}=0.005\sin\omega t$ V，求 $v_C(t)$ 和 $i_B(t)$。

答案：-400 V/V；$5-2\sin\omega t$ V；$10+2\sin\omega t$ μA

5.6.5 信号量与直流量的分离

上面的分析指出图 5.48（a）所示放大器电路中的每一个电流和电压都由两个分量组成：直流分量和信号分量。例如，$v_{BE}=V_{BE}+v_{be}$，$I_C=I_C+i_c$，等等。直流分量由图 5.48（b）所示的直流电路以及晶体管给出的关系式［式（5.78）到式（5.81）］确定。另一方面，将直流源去掉就可以得到 BJT 的信号工作表示，如图 5.50 所示。可以看出因为理想直流源的电压不变，因此在电压源两端的信号电压为 0。由于这个原因我们将V_{CC}和V_{BE}短路。如果电路中包含理想直流电流源，则可以将它们开路。但要注意，图 5.50 所示的电路只有在目前显示不同信号电流和电压时有用，它不是一个实际电路，因为没有给出直流偏置电路。

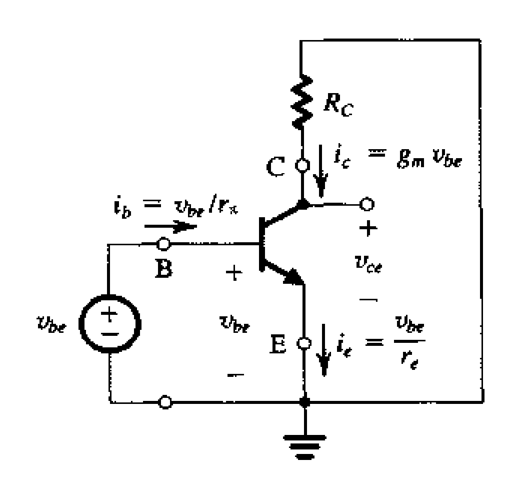


图 5.50 去除图 5.48（a）所示电路中直流源（V_{CC} 和 V_{BE} 被短路）后得到的放大器电路。这里只给出了信号分量。注意，这是 BJT 的信号表示，而不是一个实际的放大器电路

图 5.50 也显示了加上小信号v_{be}时得到的电流增量（i_c，i_b和i_e）的表达式。这些关系式可以用一个电路来表示。这种电路应该有三个电极（C、B 和 E）并且可以产生与图 5.50 所示相同的极电流。那么考虑小信号工作时所得到的这种电路就等效于晶体管，因此这种电路就称为小信号等效电路模型。

5.6.6 混合π模型

BJT 的一个等效电路模型如图 5.51（a）所示。该模型将 BJT 表示成电压控制电流源，并包括从基极看进去的输入电阻r_π。显然，该模型有$i_c=g_m v_{be}$以及$i_b=v_{be}/r_\pi$。但不太明显的是：从该模型也能得到i_e的表达式。如下所示，在发射极节点有

$$
\begin{aligned}
i_e &= \frac{v_{be}}{r_\pi}+g_m v_{be}=\frac{v_{be}}{r_\pi}(1+g_m r_\pi)\\
&= \frac{v_{be}}{r_\pi}(1+\beta)=v_{be}\Big/\left(\frac{r_\pi}{1+\beta}\right)\\
&= v_{be}/r_e
\end{aligned}
$$

将受控源（$g_m v_{be}$）的电流用基极电流i_b表示成如下形式可以得到另外一个不同的等效电路模型：

$$g_m v_{be} = g_m(i_b r_\pi)$$
$$= (g_m r_\pi)i_b = \beta i_b$$

这导致了图 5.51（b）所示的等效电路模型。其中，晶体管表示成电流控制电流源，控制电流为 i_b。

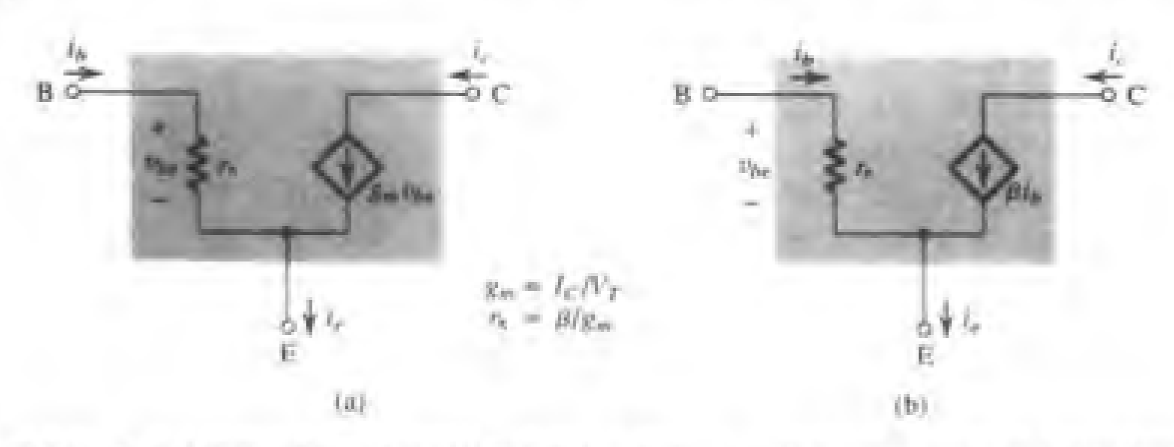


图 5.51　BJT 小信号工作的两个不同的简化混合 π 模型：（a）等效电路表示 BJT 作为电压控制电流源（互导放大器）；（b）等效电路表示 BJT 作为电流控制电流源（电流放大器）

图 5.51 所示的两个模型是混合 π 模型的简化形式。这是 BJT 最常使用的模型。

必须注意，图 5.51 所示的小信号等效电路对工作在给定偏置点的 BJT 建立模型。显然，模型参数 g_m 和 r_π 取决于直流偏置电流 I_C，如图 5.51 所示。最后，尽管模型是从 *npn* 晶体管推出的，但是该模型仍然可以应用到 *pnp* 晶体管上，而且不必改变极性。

5.6.7　T 模型

尽管混合 π 模型（图 5.51 所示的任何一个）可以用来对所有的晶体管电路进行小信号分析，但是在有些情况中，利用图 5.52 所示的模型会更方便。这种模型被称为 T 模型，在图 5.52 中有两个版本。图 5.52（a）所示的模型将 BJT 表示成电压控制电流源，控制电压为 v_{be}。但是该模型明确地包括了从发射极看进去的基极和发射极之间的电阻。从图 5.52（a）中可以清楚地看出该模型建立了正确的 i_c 和 i_e 的表达式，对于 i_b，可以看出在基极节点有

$$i_b = \frac{v_{be}}{r_e} - g_m v_{be} = \frac{v_{be}}{r_e}(1 - g_m r_e)$$
$$= \frac{v_{be}}{r_e}(1-\alpha) = \frac{v_{be}}{r_e}\left(1 - \frac{\beta}{\beta+1}\right)$$
$$= \frac{v_{be}}{(\beta+1)r_e} = \frac{v_{be}}{r_\pi}$$

确实如此。

如果在图 5.52（a）所示的模型中，受控源的电流用发射极电流表示为

$$g_m v_{be} = g_m(i_e r_e)$$
$$= (g_m r_e)i_e = \alpha i_e$$

我们可以得到图 5.52（b）所示的另一个 T 模型。其中，BJT 被表示成电流控制电流源，控制电流为 i_e。

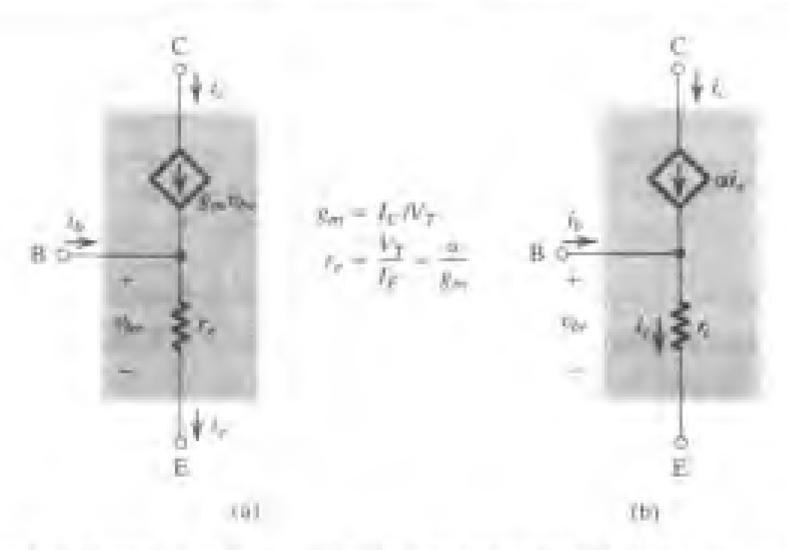


图 5.52　BJT 的两个略有不同的 T 模型：（a）电路是电压控制电流源表示法；（b）电路是电流控制电流源表示法。这两个模型明确显示了发射极电阻 r_e，而不是混合 π 模型中的基极电阻 r_π

5.6.8　小信号等效电路的应用

小信号 BJT 电路模型可以使晶体管放大电路的分析成为系统化的过程。这个过程包括以下步骤：

1. 确定 BJT 的直流工作点，特别是集电极直流电流 I_C。
2. 计算小信号模型参数值：$g_m = I_C/V_T$，$r_\pi = \beta/g_m$，$r_e = V_T/I_E = \alpha/g_m$。
3. 将每个直流电压源短路以及每一个直流电流源开路，去掉所有的直流源。
4. 用其中一个小信号等效电路模型替换 BJT。尽管可以使用任何模型，但是对于特定的电路来说，一种模型可能比另外一种模型更方便。这一点在本章的后面解释。
5. 分析得到的电路，确定所要求的量（例如电压增益及输入电阻）。通过下面的例子来解释这个过程。

例题 5.14　分析图 5.53（a）所示的晶体管放大器以确定它的电压增益。假设 $\beta = 100$。

解：分析的第一步是确定静态工作点。为此，我们假定 $v_i = 0$，则基极直流电流为

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB}} = \frac{3 - 0.7}{100} = 0.023\ \text{mA}$$

集电极直流电流为

$$I_C = \beta I_B = 100 \times 0.023 = 2.3\ \text{mA}$$

集电极的直流电压为

$$V_C = V_{CC} - I_C R_C = +10 - 2.3 \times 3 = +3.1\ \text{V}$$

因为 V_B 等于+0.7 V，小于 V_C，因此可以得出在静态条件下晶体管工作在放大模式。直流分析如图 5.53（b）所示。

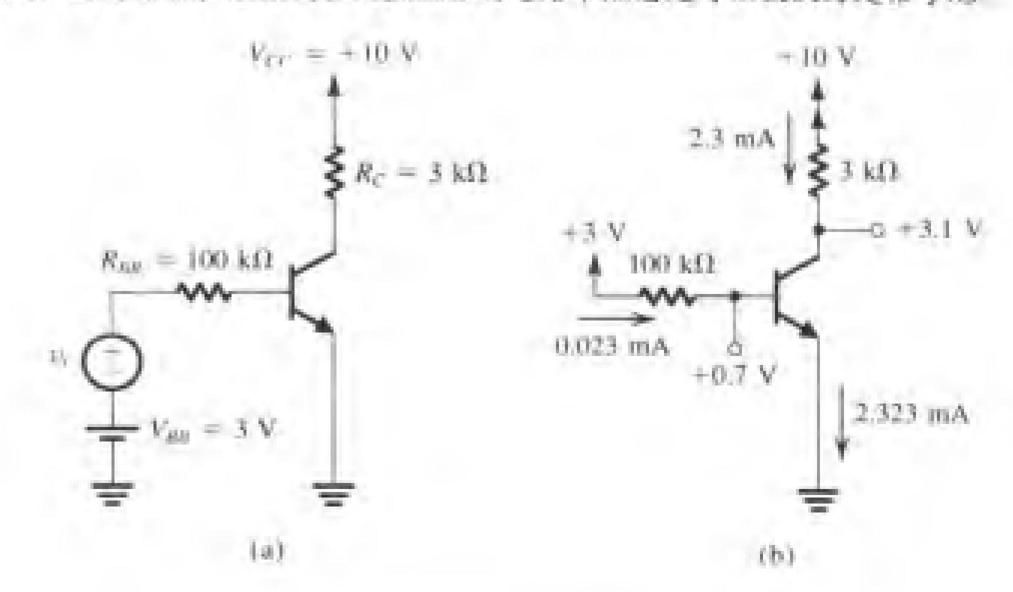
确定了工作点后，现在可以来确定小信号模型参数：

$$r_e = \frac{V_T}{I_E} = \frac{25\ \text{mV}}{(2.3/0.99)\text{mA}} = 10.8\ \Omega$$

$$g_m = \frac{I_C}{V_T} = \frac{2.3\ \text{mA}}{25\ \text{mV}} = 92\ \text{mA/V}$$

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{92} = 1.09\ \text{k}\Omega$$

为了执行小信号分析，可以采用图 5.51 中的任何一个混合 π 模型。使用第一个模型可以得到如图 5.53（c）所示的放大器等效电路。注意在这个等效电路中不包括直流量。最重要的是直流电压源 V_{CC} 在信号等效电路中被短路了，因为连接到 V_{CC} 的电路节点总是有恒定的电压，即该点的信号电压为 0。换句话说，连接到恒定直流源的电路节点总是可以被认为是信号地。



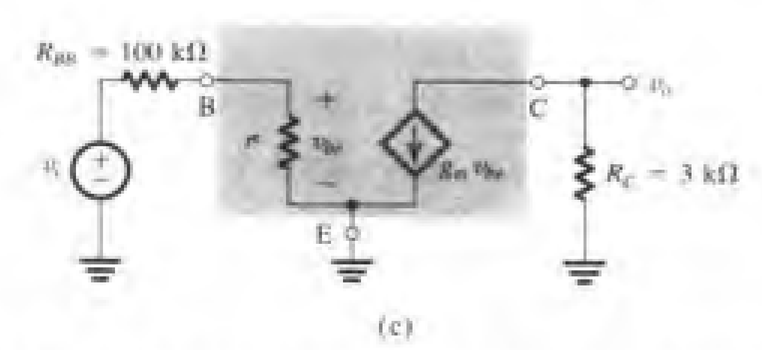


图 5.53　例题 5.14：（a）电路；（b）直流分析；（c）小信号模型

对图 5.53（c）所示等效电路的分析如下：

$$\begin{aligned} v_{be} &= v_i \frac{r_\pi}{r_\pi + R_{BB}} \\ &= v_i \frac{1.09}{101.09} = 0.011 v_i \end{aligned} \tag{5.105}$$

输出电压 v_o 为

$$\begin{aligned} v_o &= -g_m v_{be} R_C \\ &= -92 \times 0.011 v_i \times 3 = -3.04 v_i \end{aligned}$$

因此电压增益为

$$A_v = \frac{v_o}{v_i} = -3.04 \ \text{V/V} \tag{5.106}$$

其中负号表示反相。■

例题 5.15　为了进一步理解晶体管放大器的工作，我们考虑前一个例题的电路，分析电路中不同点的信号波形。为此假设 v_i 是一个三角波。首先确定 v_i 所允许的最大幅度，然后将 v_i 设为该值，给出 $i_B(t)$，$v_{BE}(t)$，$i_C(t)$ 和 $v_C(t)$ 的波形。

解：对信号幅度的一个约束是小信号近似，它要求 v_{be} 不超过 10 mV。如果我们采用峰–峰值为 20 mV 的三角波 v_{be}，并从后向前计算，使用式（5.105）可以确定 v_i 的最大可能的峰值：

$$\hat{V}_i = \frac{\hat{V}_{be}}{0.011} = \frac{10}{0.011} = 0.91\ \text{V}$$

为了检查当 v_i 的峰值为 $\hat{V}_i = 0.91$ V 时晶体管是否保持在放大模式，必须计算集电极电压。集电极的电压包括叠加在直流量 $V_C = 3.1$ V 上的三角波 v_c。该三角波的峰值电压为

$$\hat{V}_c = \hat{V}_i \times 增益 = 0.91 \times 3.04 = 2.77\ \text{V}$$

可以得出当输出为负时，集电极电压将达到最小值 $3.1 - 2.77 = 0.33$ V，它比基极电压低，但却不到 0.4 V。因此当 v_i 的峰值为 0.91 V 时晶体管仍然保持在放大模式。但是我们将使用稍低的 $\hat{V}_i$ 值，约为 0.8 V，如图 5.54（a）所示，并完成该问题的分析。基极上的信号电流也是三角波，其峰值 $\hat{I}_b$ 为

$$\hat{I}_b = \frac{\hat{V}_i}{R_{BB} + r_\pi} = \frac{0.8}{100 + 1.09} = 0.008\ \text{mA}$$

该三角波电流叠加在静态的基极电流 I_B 上，如图 5.54（b）所示。基射极电压包括叠加在约为 0.7 V 的直流 V_{BE} 上的三角波分量。该三角波的峰值为

$$\hat{V}_{be} = \hat{V}_i \frac{r_\pi}{r_\pi + R_{BB}} = 0.8 \frac{1.09}{100 + 1.09} = 8.6\ \text{mV}$$

总的 v_{BE} 如图 5.54（c）所示。

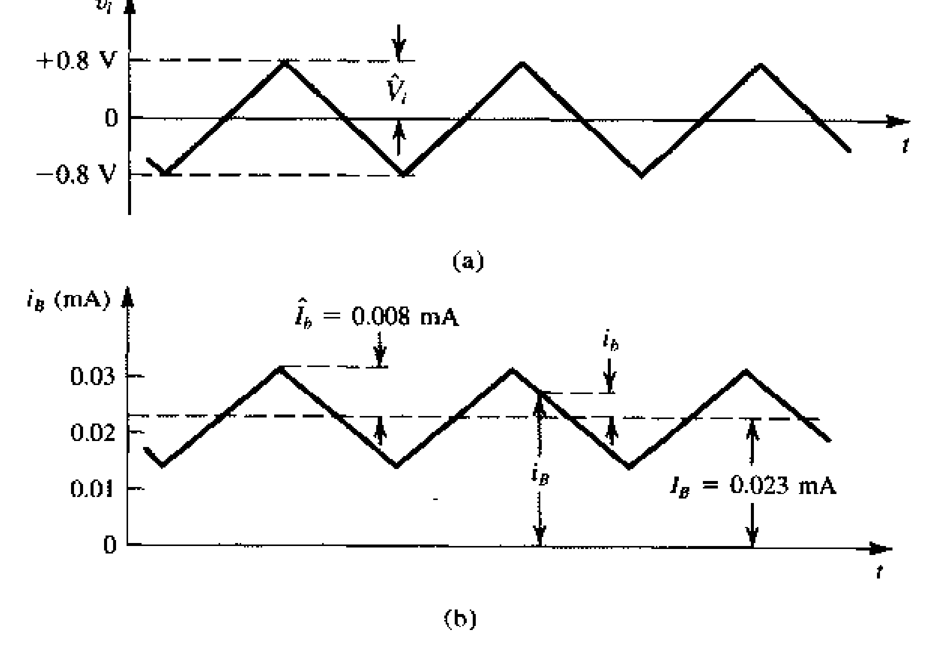


图 5.54　图 5.53 所示电路的波形

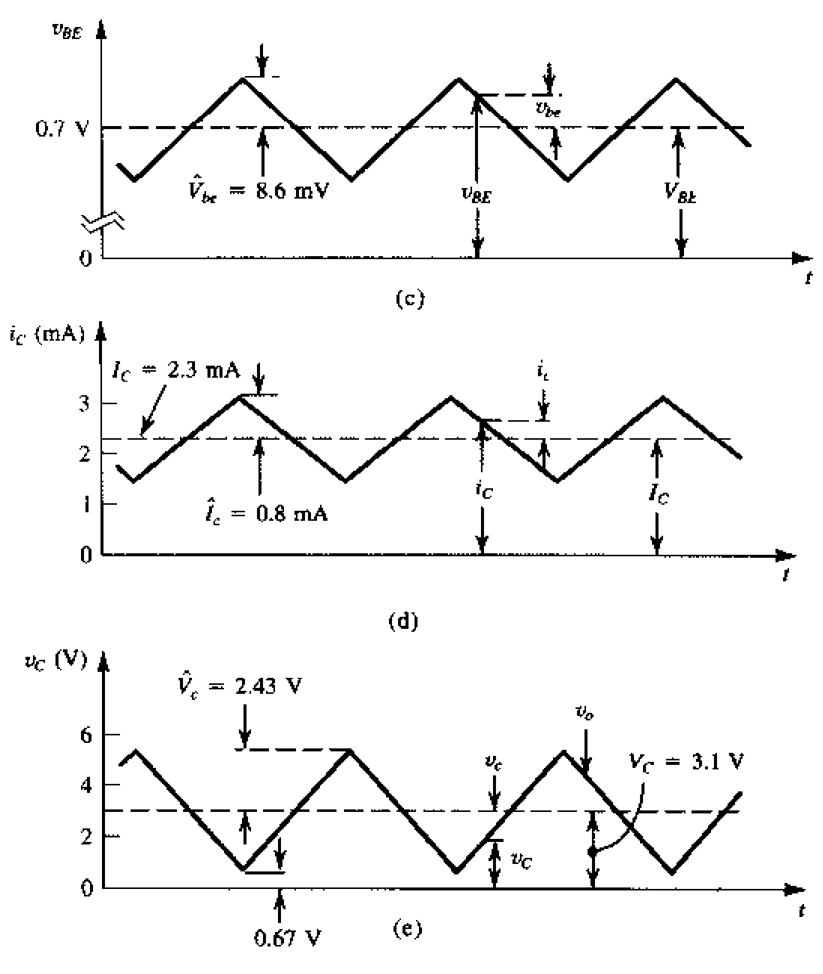


图 5.54（续） 图 5.53 所示电路的波形

集电极上的信号电流也是三角波，它的峰值$\hat{I}_c$为

$$\hat{I}_c = \beta \hat{I}_b = 100 \times 0.008 = 0.8 \text{ mA}$$

该电流叠加在静态的集电极电流I_C（为 2.3 mA）上，如图 5.54（d）所示。

最后，将v_i乘以电压增益就可以得到集电极的信号电压，即

$$\hat{V}_c = 3.04 \times 0.8 = 2.43 \text{ V}$$

图 5.54（e）显示了集电极总电压v_C对时间的波形。注意，输入信号v_i和输出信号v_c的相位相反。■

例题 5.16 分析图 5.55（a）所示的电路并确定电压增益和不同点的信号波形。电容C是耦合电容，其作用是将信号v_i耦合到发射极，从而对直流起阻碍作用。直流偏置由V^+和V^-与R_E和R_C来建立，并且当接入信号v_i时，直流偏置不会受到干扰。在这个例子中，假定电容C非常大，在理想情况下为无穷，即对感兴趣的信号频率相当于短路。同样，另一个非常大的电容用来将输出信号v_o耦合到系统的其他部分。

解： 首先确定直流工作点如下［见图 5.55（b）］：

$$I_E = \frac{+10 - V_E}{R_E} \simeq \frac{+10 - 0.7}{10} = 0.93 \text{ mA}$$

假定$\beta = 100$，那么有$\alpha = 0.99$，以及

$$I_C = 0.99 I_E = 0.92 \text{ mA}$$

$$V_C = -10 + I_C R_C$$
$$= -10 + 0.92 \times 5 = -5.4\text{V}$$

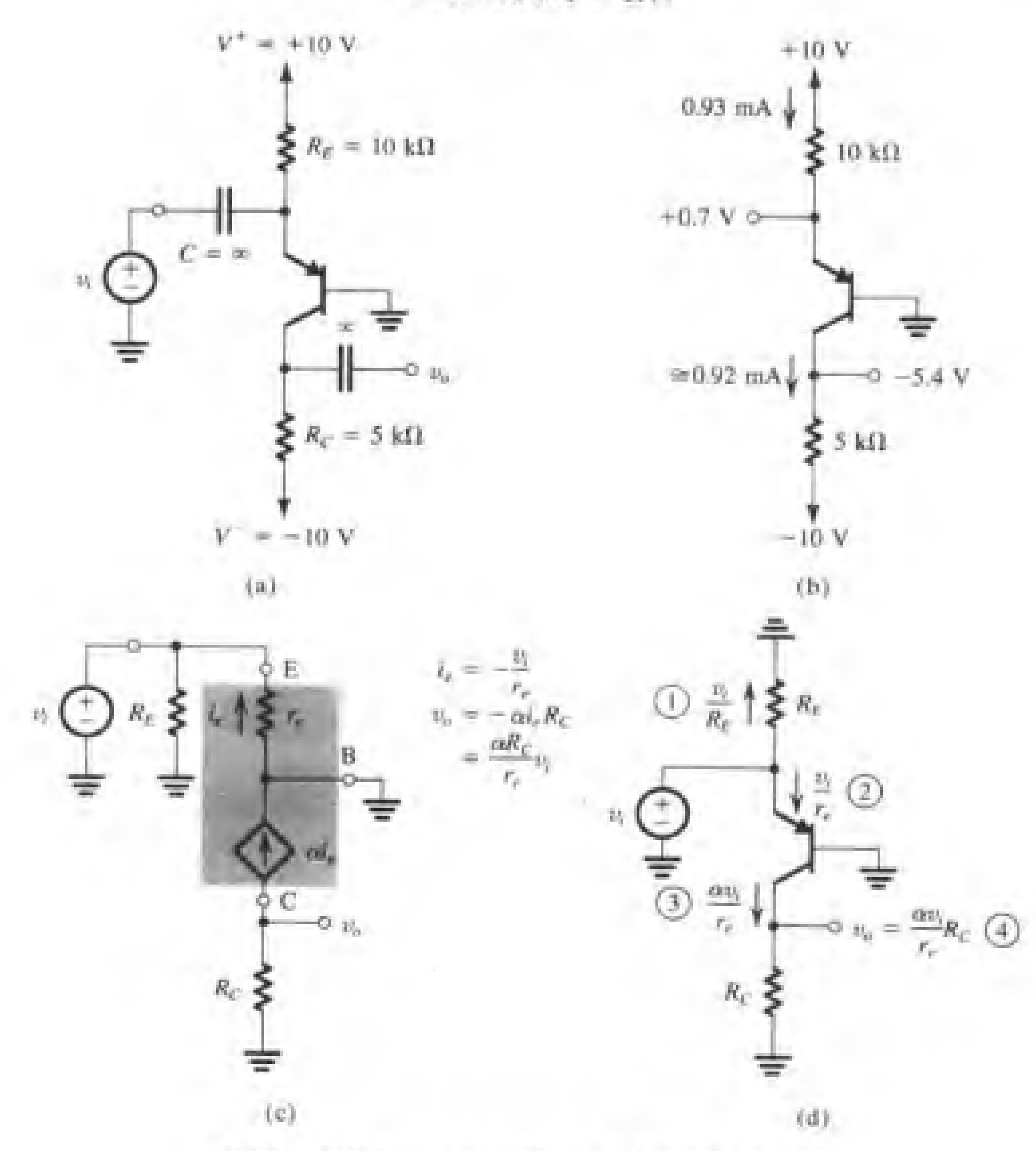


图 5.55　例题 5.16：（a）电路；（b）直流分析；（c）小信号模型；（d）直接在电路上进行的小信号分析

因此晶体管工作在放大模式。此外，集电极信号可以从−5.4 V 摆动到+0.4 V（大于基极电压 0.4 V）而不会进入到饱和区。但是集电极电压−5.8 V 的摆幅将引起集电极−11.2 V 的最小电压（理论上），这比电源电压还要低。由此可以得出，如果加上会产生这种输出的输入，晶体管将截止，输出信号的负峰值将被削平，如图 5.56 所示。但是在图 5.56 中显示的波形是线性的（除了波峰被削平之外），即没有考虑非线性的 $i_C - v_{BE}$ 特性。这是不正确的，因为如果在信号的负波峰时晶体管进入截止，那么必定超过小信号的限制，这在后面解释。

现在来确定小信号电压增益。为了达到这个目的，去掉直流源并用图 5.52（b）所示的 T 等效电路替代 BJT。注意，因为基极接地，T 模型在某种程度上比混合 π 模型更方便。但是使用后者可以得到相同的结果。

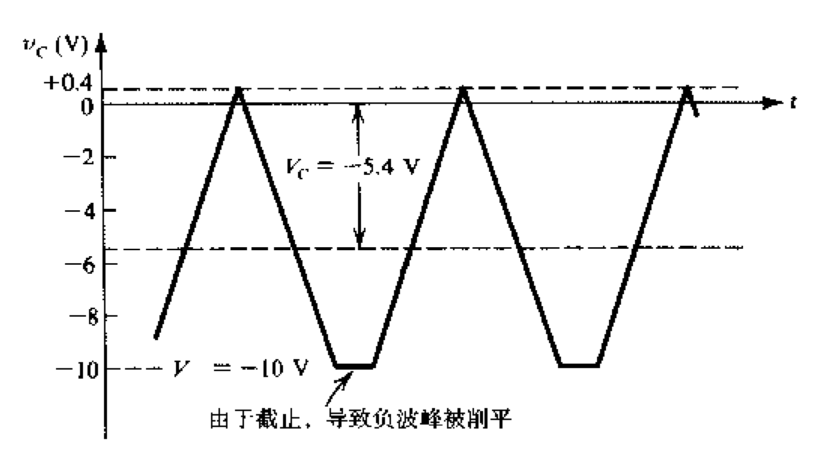


图 5.56　由于晶体管截止而产生的输出信号的失真。注意，这里假定没有发生由于晶体管的非线性特性产生的失真

图 5.55（c）显示了该放大器的小信号等效电路。模型参数为

$$\alpha = 0.99$$

$$r_e = \frac{V_T}{I_E} = \frac{25\ \text{mV}}{0.93\ \text{mA}} = 27\ \Omega$$

分析图 5.55（c）所示的电路得到输出电压 v_o（在图中给出），并因此得到电压增益 v_o/v_i，结果为

$$A_v = \frac{v_o}{v_i} = 183.3\ \text{V/V}$$

注意，该电压增益为正，表明输出与输入信号同相。这个特性是由于输入信号被加到发射极而不是基极所致，如例题 5.14。必须强调的是：正的增益与在这个例子中使用 *pnp* 型的晶体管没有关系。

回到所允许的信号幅度的问题，从图 5.55（c）可以看出 $v_{eb} = v_i$。因此，如果满足小信号工作的条件（线性），那么 v_i 的峰值将被限制在 10 mV 左右。将 $\hat{V}_i$ 设为这个值，如图 5.57 所示的正弦波输入，则集电极的幅度 $\hat{V}_c$ 为

$$\hat{V}_c = 183.3 \times 0.01 = 1.833\ \text{V}$$

集电极的总瞬时电压 $v_C(t)$ 如图 5.57 所示。

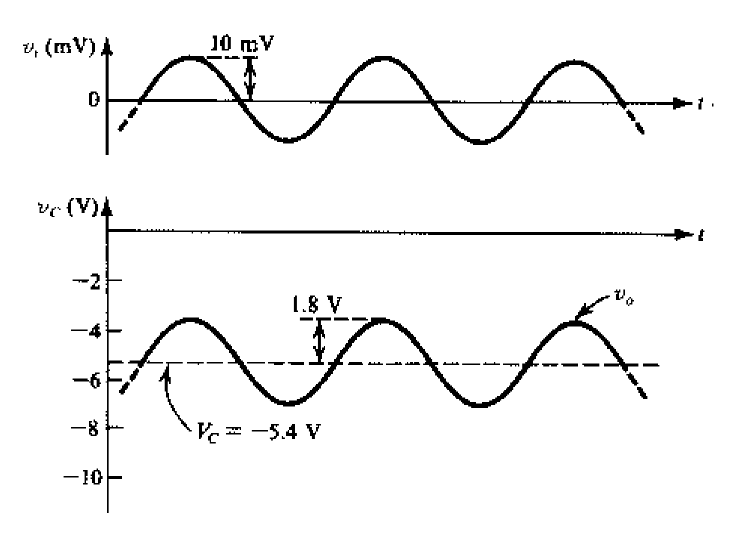


图 5.57　图 5.55 所示电路的输入和输出波形。可以看出该放大器是同相的，这是共基组态的一个特性

■

练习 5.39　为了增加例题 5.16 中分析的放大器的电压增益，集电极电阻 R_C 增加到 7.5 kΩ。求 V_C，A_v 新的值，以及对应于峰值为 10 mV 的正弦波输入 v_i 的输出正弦波的幅度。

答案：−3.1 V；275 V/V；2.75 V

5.6.9　直接在电路图上进行小信号分析

在大多数情况下，可以明确地用 BJT 的小信号模型来替换每个 BJT 并分析所得到的电路，如我们在上面的例题中所做的。对于初学者，我们特别推荐系统化的分析过程。但是有经验的电路设计者经常直接在电路上进行分析。图 5.55（d）说明了这个过程。我们鼓励读者按照这个分析过程（图中用数字表明了分析步骤）进行分析。可以看出，这里暗含地使用了等效电路模型，我们仅仅省去了画出用模型来替代 BJT 的电路这个步骤。但是直接分析有一个非常重要的额外的好处：可以通过电路来理解信号的传输。这在设计中被证明是非常有价值的，特别是在为给定的应用选择合适的电路组态阶段。

5.6.10　描述厄尔利效应的扩充小信号模型

在 5.2 节中描述的厄尔利效应会使得集电极电流不仅取决于 v_{BE}，而且也取决于 v_{CE}。与 v_{CE} 的相关性可以用一个有限的输出电阻来建立模型，该电阻连接在混合 π 模型中受控电流源的两端，如图 5.58 所示。输出电阻 r_o 在式（5.37）中定义，它的值为 $r_o=(V_A+V_{CE})/I_C\simeq V_A/I_C$，其中，$V_A$ 是厄尔利电压，V_{CE} 和 I_C 是直流偏置点的坐标。注意，在图 5.58 的模型中，为了在述叙上保持一致，我们将 v_{be} 重新命名为 v_π。

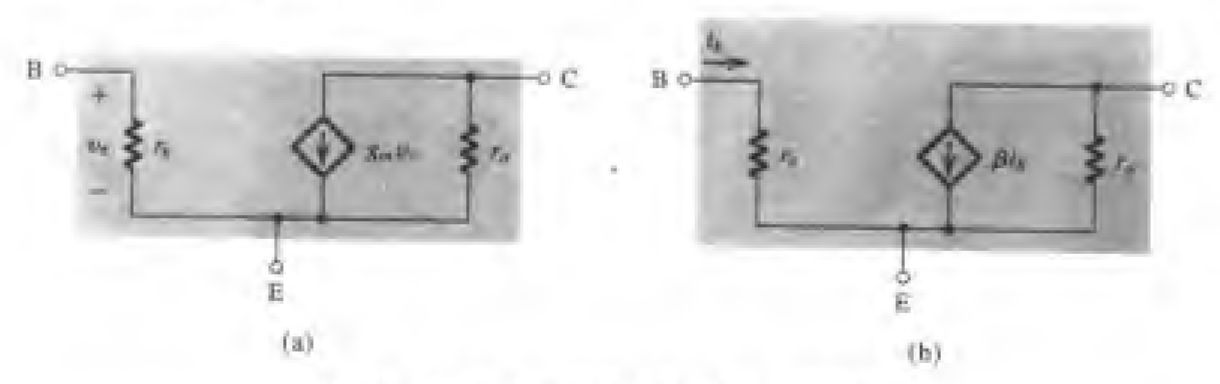


图 5.58　加入电阻 r_o 后的两个混合 π 小信号模型

产生的问题是 r_o 对晶体管作为放大器工作的影响。在发射极接地的放大器电路中（如图 5.53 所示的电路），r_o 仅仅与 R_C 并联。因此，举例来说，如果在图 5.53（c）的等效电路中包括 r_o，那么输出电压 v_o 变为

$$v_o=-g_m v_{be}(R_C\,//\,r_o)$$

因此增益将有某种程度的下降。显然，如果 $r_o\gg R_C$，那么增益的减小可以忽略不计，并且可以忽略 r_o 的影响。一般来说，在这种组态中，如果 r_o 大于 $10R_C$，那么 r_o 就可以忽略。

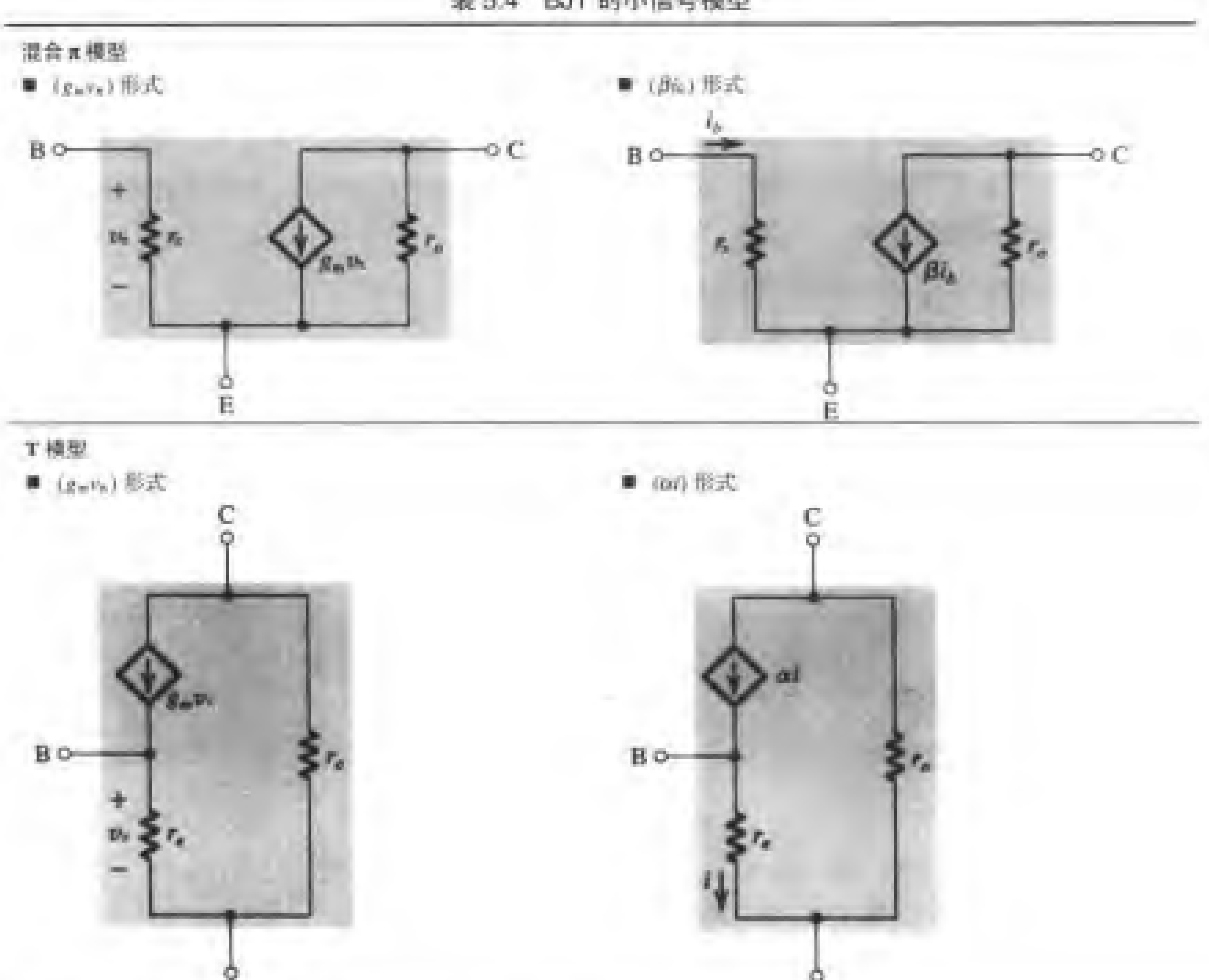
当晶体管的发射极不接地时，在模型中包括 r_o 将使分析变得复杂。我们将在本书中涉及到频率的地方给出关于 r_o 的一些说明。另外还应该注意，在集成电路 BJT 放大器中 r_o 发挥着主要的作用，这在第 6 章中会讲到。但是如果使用计算机辅助分析来对最后的设计进行精确分析，那么 r_o 可以很容易地包括进去（见 5.11 节）。

最后，应该注意图 5.52 中的两个 T 模型都可以通过在集电极和发射极之间增加 r_o 来描述厄尔利效应。

5.6.11　总结

如果可以很容易地得到不同小信号模型参数之间的关系，那么就可以为 BJT 放大器电路的分析和设计提供便利。为了便于查阅，在表 5.4 中给出了相关参数。然而我们还是希望读者能够经常回忆这些关系。

表 5.4　BJT 的小信号模型



用直流偏置电流表示的模型参数

$$g_m=\frac{I_C}{V_T}\quad r_e=\frac{V_T}{I_E}=\alpha\left(\frac{V_T}{I_C}\right)\quad r_\pi=\frac{V_T}{I_B}=\beta\left(\frac{V_T}{I_C}\right)\quad r_o=\frac{|V_A|}{I_C}$$

用 g_m 表示的参数

$$r_e=\frac{\alpha}{g_m}\quad r_\pi=\frac{\beta}{g_m}$$

用 r_e 表示的参数

$$g_m=\frac{\alpha}{r_e}\quad r_\pi=(\beta+1)r_e\quad g_m+\frac{1}{r_\pi}=\frac{1}{r_e}$$

α 和 β 之间的关系

$$\beta=\frac{\alpha}{1-\alpha}\quad \alpha=\frac{\beta}{\beta+1}\quad \beta+1=\frac{1}{1-\alpha}$$

练习 5.40　图 E5.40 中的晶体管由 $I = 1$ mA 的恒流源偏置，并且有 $\beta = 100$，$V_A = 100$ V。（a）求基极，发射极和集电极的直流电压。（b）求 g_m，r_π和 r_o。（c）如果节点 Z 连接到地，X 连接到源电阻 $R_{sig} = 2$ kΩ 的信号源 v_{sig}，Y 连接到 8 kΩ的负载电阻，使用图 5.58（a）的混合π模型画出该放大器的小信号等效电路。（注意电流源 I 应该开路。）计算总的电压增益 v_y/v_{sig}。如果忽略 r_o，那么增益幅度的误差为多少？（注意：无穷的电容表明它足够大，对所有的信号频率都相当于短路，但是该电容仍然隔断直流。）

答案：（a）−0.1 V，−0.8 V，+2 V；（b）40 mA/V，2.5 kΩ，100 kΩ；（c）−77 V/V，+3.9%

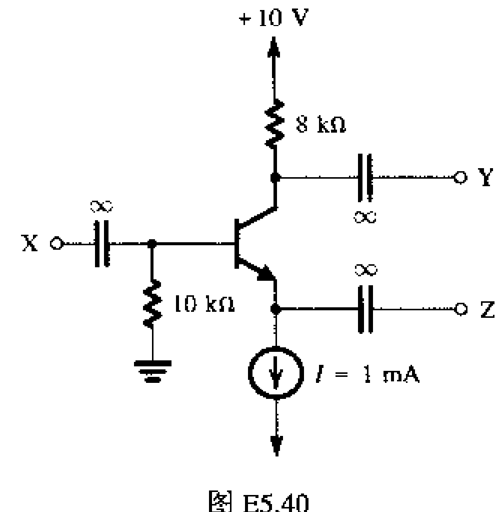


图 E5.40

5.7　单级 BJT 放大器

我们在 5.3 节介绍了 BJT 放大器的大信号特性，并给出了正确偏置的晶体管对小信号来说作为线性放大器工作的区域；在 5.5 节中介绍了对 BJT 进行直流偏置的方法；在 5.6 节详细讲解了小信号放大器。现在开始考虑实际的晶体管放大器，在这一节中我们将介绍适合于分立元件制造的电路。集成电路 BJT 放大器的设计将在第 6 章介绍。

有三种基本组态可以实现单级 BJT 放大器：共发射级、共基极和共集电极组态。我们将在下面介绍这三种组态的放大器，它们采用相同的基本结构和相同的偏置设置。

5.7.1　基本结构

图 5.59 显示了我们将要用来实现不同组态 BJT 放大器的基本电路。在这些分立 BJT 放大器可能的偏置策略中（见 5.5 节），为了做到简化和有效，我们选择采用恒流源偏置的方法。图 5.59 给出了所有支路上的直流电流和所有节点的直流电压。应该注意，为了使基极具有较大的输入电阻，我们将选择较大的 R_B。但是我们也要限制 R_B 两端的直流电压降，更重要的是要限制由于相同类型的不同晶体管β 值的变化引起的直流电压的变化。直流电压 V_B决定了集电极允许的信号摆幅。

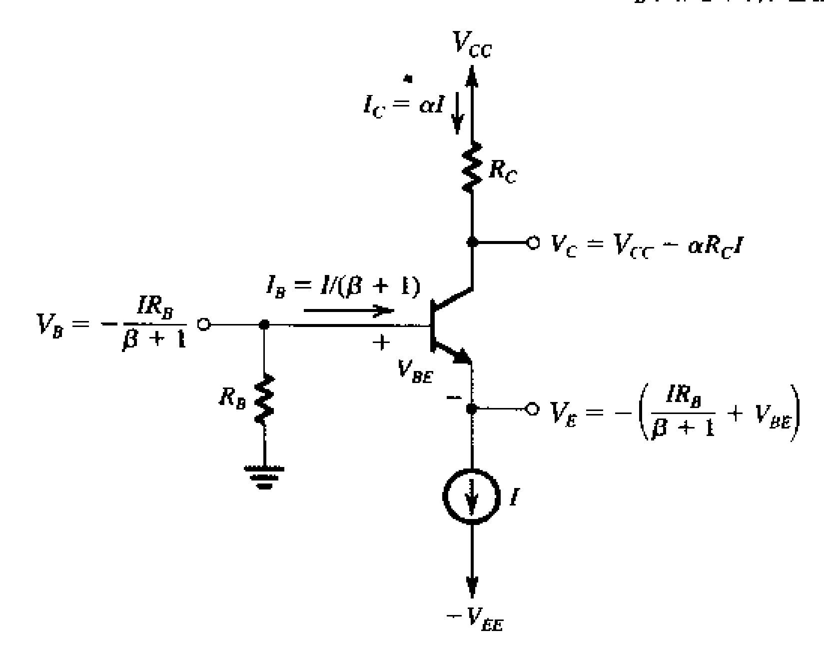


图 5.59　用来实现单级、分立 BJT 放大器组态的电路的基本结构

练习 5.41 考虑图 5.59 所示的电路，当 $V_{CC}=V_{EE}=10\text{ V}$，$I=1\text{ mA}$，$R_B=100\text{ k}\Omega$，$R_C=8\text{ k}\Omega$，$\beta=100$ 时，求所有的直流电流和电压。集电极允许的信号在两个方向上的摆幅为多少？当β变为 50 时这些值如何变化？变为 200 时又如何变化？求在偏置点时 BJT 的小信号参数值（$\beta=100$）。厄尔利电压 $V_A=100\text{ V}$。

答案：见图 E5.41。信号摆幅：$\beta=100$ 时为+8 V，−3.4 V；$\beta=50$ 时为+8 V，−4.4 V；$\beta=200$ 时为+8 V，−2.9 V

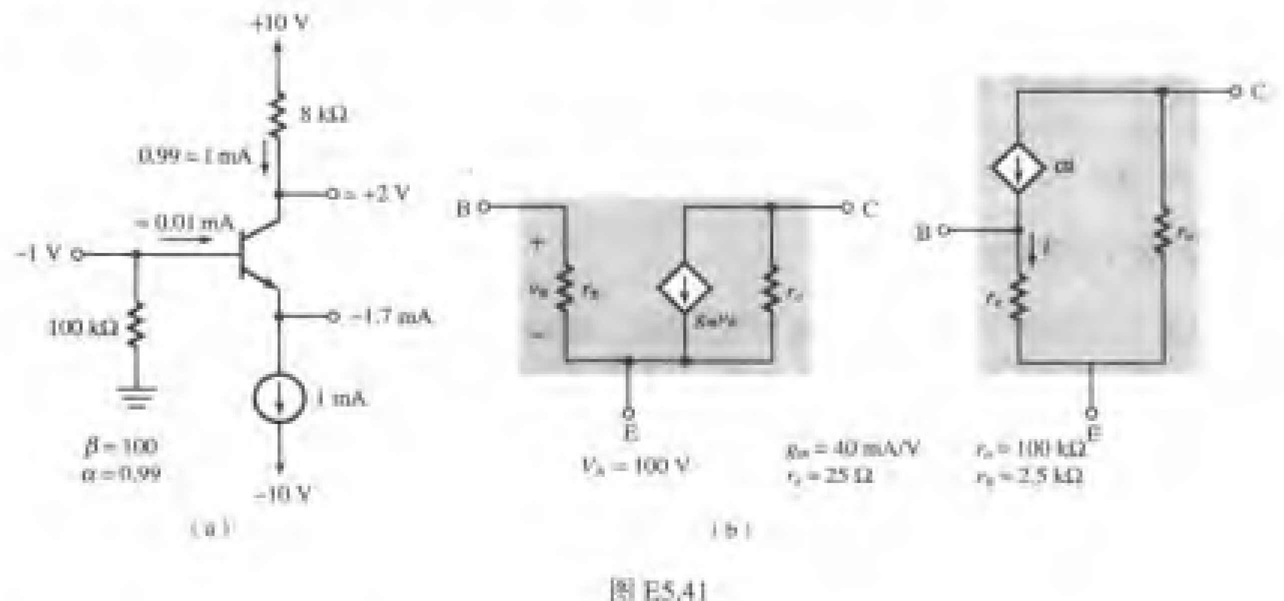


图 E5.41

5.7.2 BJT 放大器特性[①]

当我们开始介绍 BJT 放大器电路时，必须知道怎样描述放大器作为电路构件时的性能。我们在 1.5 节中给出了一个简单的介绍。但是 1.5 节的内容只限于单向放大器，而本书中将要介绍的许多放大器电路都是非单向的，也就是说，它们有一个内部反馈会使得其输入电阻与负载电阻有关。同样，内部反馈会使得输出电阻与输入放大器的信号源内阻有关。表 5.5 给出了一系列用来描述和比较晶体管放大器的基本参数和等效电路。下面是一些说明：

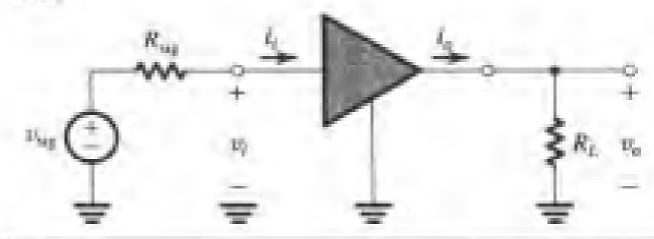
1. 表 5.5 中的放大器由开路电压为 v_{sig}、内阻为 R_{sig} 的信号源输入。这些参数可以是一个实际信号源的参数，也可以是正在关注的级联放大器中前面一级放大器的输出电路的戴维南等效参数。同样，R_L 可以是一个实际负载电阻，也可以是级联放大器中后一级放大器的输入电阻。
2. 参数 R_i、R_o、A_{vo}、A_{is} 和 G_m 属于放大器本身的参数，即它们与 R_{sig} 和 R_L 的值无关。相比而言，R_{in}、R_{out}、A_v、A_i、G_{vo} 和 G_v 可能与 R_{sig} 和 R_L 其中的一个或两个都有关系。同样可以看出，相关参数对之间的关系式，例如，$R_i=R_{in}|_{R_L=\infty}$，$R_o=R_{out}|_{R_{sig}=0}$。
3. 如上所述，对于非单向放大器，R_{in} 可能取决于 R_L，R_{out} 可能取决于 R_{sig}。这种放大器电路将在 5.7.6 节中介绍。对于单向化放大器来说不存在这种相关性，有 $R_{in}=R_i$ 以及 $R_{out}=R_o$。
4. 放大器对信号源的负载效应由输入电阻 R_{in} 确定。R_{in} 的值决定了放大器从信号源得到的电流 i_i。它也决定了呈现在放大器输入端的信号，即 v_i。

① 本节与 4.7.2 节相同，学过 4.7.2 节的读者可以跳过这一节。

5. 当从开路值 A_{vo} 计算增益 A_v 时，使用输出电阻 R_o。这是因为 A_v 是以放大器的输入是理想电压信号 v_i 为基础的。这也可以从表 5.5 中的等效电路 A 得到。另一方面，如果从开路值 G_{vo} 计算总的电压增益 G_v 时，使用输出电阻 R_{out}。这是因为 G_v 是以放大器的输入是 v_{sig} 为基础的，它有一个内阻 R_{sig}。这可以从表 5.5 中的等效电路 C 得到。
6. 读者应该仔细分析和回想表 5.5 中的定义以及 6 种关系。例题 5.17 可以帮助我们记忆。

表 5.5　放大器的特征参数





定义

■ 没有负载时的输入电阻：

$$R_i \equiv \left.\frac{v_i}{i_i}\right|_{R_L=\infty}$$

■ 输入电阻：

$$R_{in} \equiv \frac{v_i}{i_i}$$

■ 开路电压增益：

$$A_{vo} \equiv \left.\frac{v_o}{v_i}\right|_{R_L=\infty}$$

■ 电压增益：

$$A_v \equiv \frac{v_o}{v_i}$$

■ 短路电流增益：

$$A_{is} \equiv \left.\frac{i_o}{i_i}\right|_{R_L=0}$$

■ 电流增益：

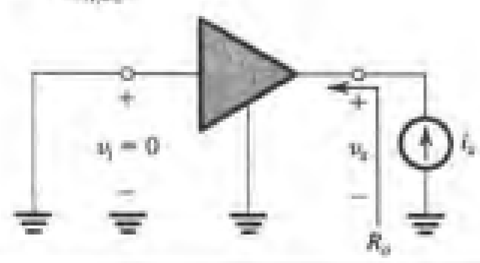
$$A_i \equiv \frac{i_o}{i_i}$$

■ 短路互导：

$$G_m \equiv \left.\frac{i_o}{v_i}\right|_{R_L=0}$$

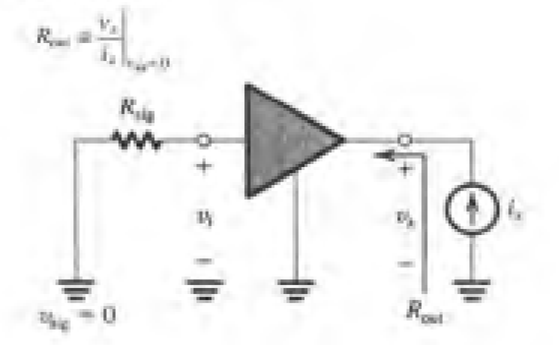
■ 放大器固有的输出电阻：

$$R_o \equiv \left.\frac{v_x}{i_x}\right|_{v_i=0}$$



■ 输出电阻：

$$R_{out} \equiv \left.\frac{v_x}{i_x}\right|_{v_{sig}=0}$$



■ 开路总电压增益：

$$G_{vo} \equiv \left.\frac{v_o}{v_{sig}}\right|_{R_L=\infty}$$

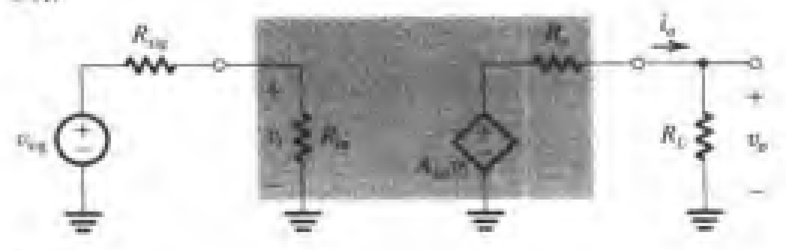
■ 总电压增益：

$$G_v \equiv \frac{v_o}{v_{sig}}$$

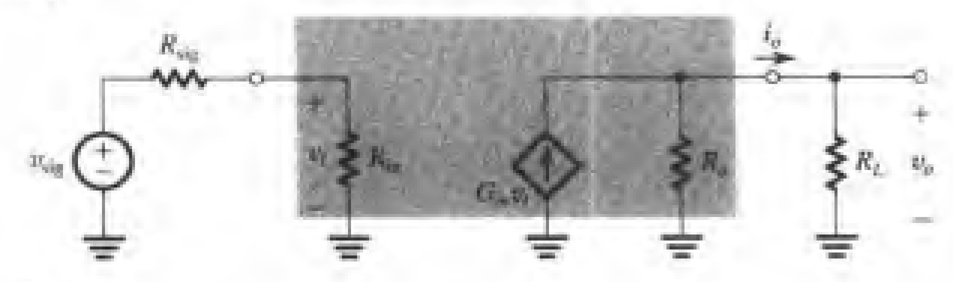
（续）

等效电路

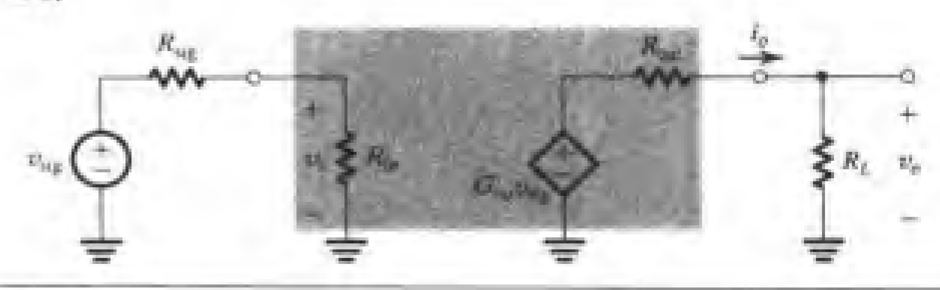
■ A：



■ B：



■ C：



关系

■ $\frac{v_i}{v_{sig}}=\frac{R_{in}}{R_{in}+R_{sig}}$

■ $A_v=A_{vo}\frac{R_L}{R_L+R_o}$

■ $A_{vo}=G_m R_o$

■ $G_v=\frac{R_{in}}{R_{in}+R_{sig}}A_{vo}\frac{R_L}{R_L+R_o}$

■ $G_{vo}=\frac{R_i}{R_i+R_{sig}}A_{vo}$

■ $G_v=G_{vo}\frac{R_L}{R_L+R_{out}}$

例题 5.17　一个晶体管放大器由开路电压 v_{sig} 为 10 mV、内阻 R_{sig} 为 100 kΩ的信号源输入。当放大器输出端连接上和没有连接上负载电阻 $R_L=10\ \text{k}\Omega$ 时都测得放大器输入端电压 v_i 和输出电压 v_o。所测得的结果如下：

	v_i（mV）	v_o（mV）
连上 R_L	9	90
未连上 R_L	8	70

求放大器的所有参数。

解： 首先，使用当 $R_L=\infty$ 时得到的数据确定

$$A_{vo}=\frac{90}{9}=10\ \text{V/V}$$

和

$$G_{vo} = \frac{90}{10} = 9 \text{ V/V}$$

现在，因为

$$G_{vo} = \frac{R_i}{R_i + R_{sig}} A_{vo}$$

$$9 = \frac{R_i}{R_i + 100} \times 10$$

可以得出

$$R_i = 900 \text{ k}\Omega$$

接下来，使用当 $R_L = 10\ \text{k}\Omega$时得到的数据来确定

$$A_v = \frac{70}{8} = 8.75 \text{ V/V}$$

和

$$G_v = \frac{70}{10} = 7 \text{ V/V}$$

A_v和 A_{vo}的值可以用来确定 R_o:

$$A_v = A_{vo} \frac{R_L}{R_L + R_o}$$

$$8.75 = 10 \frac{10}{10 + R_o}$$

从中可得

$$R_o = 1.43 \text{ k}\Omega$$

同样，使用 G_v和 G_{vo}的值，通过下式可确定 R_{out}:

$$G_v = G_{vo} \frac{R_L}{R_L + R_{out}}$$

$$7 = 9 \frac{10}{10 + R_{out}}$$

得到

$$R_{out} = 2.86 \text{ k}\Omega$$

R_{in}的值可以从下式得到：

$$\frac{v_i}{v_{sig}} = \frac{R_{in}}{R_{in} + R_{sig}}$$

因此，

$$\frac{8}{10} = \frac{R_{in}}{R_{in} + 100}$$

可得

$$R_{in} = 400 \text{ k}\Omega$$

可以求得短路互导 G_m 为

$$G_m = \frac{A_{vo}}{R_o} = \frac{10}{1.43} = 7 \text{ mA/V}$$

电流增益 A_i 为

$$A_i = \frac{v_o / R_L}{v_i / R_{in}} = \frac{v_o}{v_i}\frac{R_{in}}{R_L}$$
$$= A_v \frac{R_{in}}{R_L} = 8.75 \times \frac{400}{10} = 350 \text{ A/A}$$

最后，确定短路电流增益 A_{is}。从表 4.3 中的等效电路 A 可知短路输出电流为

$$i_{osc} = A_{vo} v_i / R_o \qquad (5.107)$$

但是，为了确定 v_i，需要知道当 $R_L = 0$ 时的 R_{in}。为此从等效电路 C 中求得输出端短路电流为

$$i_{osc} = G_{vo} v_{sig} / R_{out} \qquad (5.108)$$

现在，将 i_{osc} 的两个表达式列成等式，并将 G_{vo} 替换为

$$G_{vo} = \frac{R_i}{R_i + R_{sig}} A_{vo}$$

并从下式得到 v_i

$$v_i = v_{sig} \frac{R_{in}|_{R_L=0}}{R_{in}|_{R_L=0} + R_{sig}}$$

可以得到

$$R_{in}|_{R_L=0} = R_{sig} \Big/ \left[\left(1 + \frac{R_{sig}}{R_i}\right)\left(\frac{R_{out}}{R_o}\right) - 1\right]$$
$$= 81.8 \text{ k}\Omega$$

现在可以使用

$$i_{osc} = A_{vo} i_i R_{in}|_{R_L=0} / R_o$$

得到

$$A_{is} = \frac{i_{osc}}{i_i} = 10 \times 81.8 / 1.43 = 572 \text{ A/A}$$

■

练习 5.42 参考例题 5.17 的放大器。（a）如果 R_{sig} 增大一倍，求 R_{in}，G_v 和 R_{out} 的值。（b）当 R_L 增大一倍时，重复计算（这里 R_{sig} 不变，即 100 kΩ）。（c）当 R_{sig} 和 R_L 都增大一倍时，重复计算。

答案：（a）400 kΩ，5.83 V/V，4.03 kΩ；（b）538 kΩ，7.87 V/V，2.86 kΩ；（c）538 kΩ，6.8 V/V，4.03 kΩ

5.7.3 共发射极（CE）放大器

共发射极（CE）组态是使用最广泛的 BJT 放大器电路。使用图 5.59 所示电路实现的 CE 放大器如图 5.60（a）所示。为了在发射极建立信号地或通常所说的交流地，在发射极和地之间接上一个几微法（μF）或几十微法（μF）的大电容 C_E。要求它在需要关注的所有频率处具有非常小的阻抗（理想情况下为 0 阻抗，即相当于短路）。这样发射极的信号电流就可以通过 C_E 到地，因

此它旁路了电流源 I（以及其他可能连接到发射极的任何电路元件）的输出电阻，因此 C_E 被称为旁路电容。显然，信号频率越低，该旁路电容的有效性越低。这个问题会在 5.9 节中介绍。这里我们假定 C_E 相当于短路，因此在发射极建立了 0 信号电压。

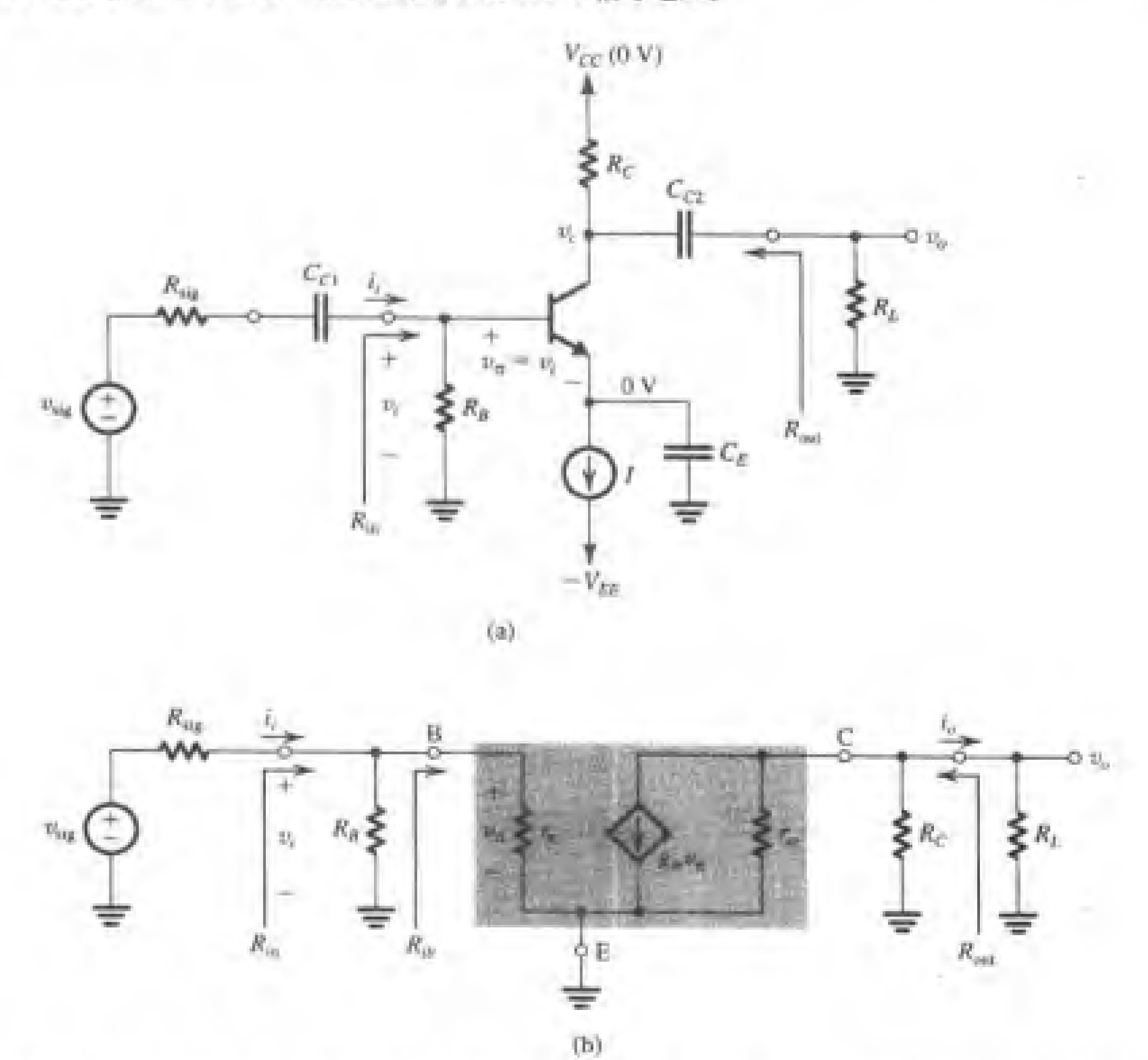


图 5.60　（a）基于图 5.59 所示电路的共发射极放大器；（b）用混合π模型替代晶体管后得到的等效电路

为了不干扰直流偏置电流和电压，所要放大的信号（显示为具有内阻 R_{sig} 的电压源 v_{sig}）通过一个大电容 C_{C1} 被连接到基极。电容 C_{C1} 称为耦合电容，要求它对所有关注的信号频率相当于短路而对直流起隔断作用。这里假设就是这种情况，而对于在低频时 C_{C1} 阻抗增大引起的不理想的信号耦合情况将在 5.9 节中讨论。此时必须指出在信号源能够为基极直流电流 I_B 提供合适的直流通路而且不会改变偏置点的情况下，就可以将信号源直接连接到基极，因此 R_B 和 C_{C1} 可以不要。去掉 R_B 可以提高放大器的输入电阻。

在集电极产生的电压信号 v_c 通过另一个耦合电容 C_{C2} 被耦合到负载电阻 R_L 上。我们也假定 C_{C2} 对所有需要关注的信号频率相当于短路，因此输出电压 $v_o = v_c$。注意，R_L 既可以是一个实际的电阻（该电阻要求放大器能够向它提供输出电压信号），也可以是多级放大器中下一级放大器的输入电阻（在第 7 章中将介绍多级放大器）。

为了确定 CE 放大器的端口特性，即它的输入电阻、电压增益和输出电阻，我们用混合π小信号模型来替代 BJT，就得到如图 5.60（b）所示的 CE 放大器的小信号等效电路。首先我们可以看到该放大器是单向化的，因此有 $R_{in} = R_i$ 和 $R_{out} = R_o$。该电路的分析比较简单，可以从信号源到负载一步一步进行。在放大器输入端有

$$R_{in} \equiv \frac{v_i}{i_i} = R_B \parallel R_{ib} \tag{5.109}$$

其中，R_{ib} 是从基极看进去的输入电阻。因为发射极接地，因此，

$$R_{ib} = r_\pi \tag{5.110}$$

通常我们选择 $R_B \gg r_\pi$，结果为

$$R_{in} \cong r_\pi \tag{5.111}$$

因此可以注意到 CE 放大器的输入电阻通常是几千欧（kΩ），这可以认为是一个低到中等大小的电阻。呈现在放大器输入端的部分源信号 v_{sig} 可以从下式求得：

$$v_i = v_{sig}\frac{R_{in}}{R_{in} + R_{sig}} \tag{5.112}$$

$$= v_{sig}\frac{(R_B \parallel r_\pi)}{(R_B + r_\pi) + R_{sig}} \tag{5.113}$$

当 $R_B \gg r_\pi$ 时，它变为

$$v_i \cong v_{sig}\frac{r_\pi}{r_\pi + R_{sig}} \tag{5.114}$$

接下来可以得到

$$v_\pi = v_i \tag{5.115}$$

在放大器的输出端有

$$v_o = -g_m v_\pi (r_o \parallel R_C \parallel R_L)$$

用 v_i 替代 v_π 可以写出放大器本身的电压增益，即从基极到集电极的电压增益：

$$A_v = -g_m(r_o \parallel R_C \parallel R_L) \tag{5.116}$$

该式简单地说明了从基极到集电极的电压增益是 g_m 乘以集电极和地之间的总电阻。令式（5.116）中 $R_L = \infty$，可以得到开路电压增益 A_{vo} 为

$$A_{vo} = -g_m(r_o \parallel R_C) \tag{5.117}$$

从中可以注意到 r_o 的影响只是减小增益，通常减小得比较小，因为在一般情况下有 $r_o \gg R_C$，因此可以得到

$$A_{vo} \simeq -g_m R_C \tag{5.118}$$

在图 5.60（b）中将信号发生源 v_{sig} 短路，并从输出端往回看进去就可以得到输出电阻 R_{out}。因为这将导致 $v_\pi = 0$，因此可以得到

$$R_{out} = R_C \parallel r_o \tag{5.119}$$

因此 r_o 减小了放大器的输出电阻，但通常减小得也较小，因为一般情况下有 $r_o \gg R_C$，所以

$$R_{\text{out}} \equiv R_C \tag{5.120}$$

对于该单向化放大器有 $R_o = R_{\text{out}}$，我们可以使用 A_{vo} 和 R_o 来获得对应于任何特定 R_L 的电压增益：

$$A_v = A_{vo}\frac{R_L}{R_L + R_o}$$

读者很容易可以验证上式确实可以推出式（5.116），而式（5.116）已经被直接推导得出 A_v。

将式（5.113）的 (v_i / v_{sig}) 乘以式（5.116）的 A_v 可以得到从源到负载的总电压增益 G_v 为

$$G_v = -\frac{(R_B \| r_\pi)}{(R_B \| r_\pi) + R_{\text{sig}}} g_m(r_o \| R_C \| R_L) \tag{5.121}$$

当 $R_B \gg r_\pi$ 时，该表达式可以简化为

$$G_v \cong -\frac{\beta(R_C \| R_L \| r_o)}{r_\pi + R_{\text{sig}}} \tag{5.122}$$

从这个表达式可以注意到，如果 $R_{\text{sig}} \gg r_\pi$，总增益将与 β 密切相关。这不是一个理想的特性，因为相同类型的不同晶体管的 β 值变化很大，如果 $R_{\text{sig}} \ll r_\pi$，可以看到总电压增益的表达式简化为

$$G_v \cong -g_m(R_C \| R_L \| r_o) \tag{5.123}$$

它就是增益 A_v。换句话说，当 R_{sig} 较小时，总电压增益几乎等于 CE 电路本身的增益，而与 β 值无关。一般情况下，CE 放大器可以实现几百数量级的电压增益，这是非常重要的。可以得出，在通常的放大器设计中，CE 放大器用来实现较大的电压增益。但是令人遗憾的是，CE 放大器的高频响应会受到很大的限制，正如我们将在 5.9 节中看到的。

结束 CE 放大器的学习之前，我们来计算其短路电流增益 A_{is}。参考图 5.60（b）所示的放大器等效电路可以很容易地获得 A_{is}。当 R_L 短路时，流过它的电流将等于 $-g_m v_\pi$：

$$i_{os} = -g_m v_\pi$$

因为 v_π 与 i_i 的关系为

$$v_\pi = v_i = i_i R_{\text{in}}$$

因此短路电流增益为

$$A_{is} \equiv \frac{i_{os}}{i_i} = -g_m R_{\text{in}} \tag{5.124}$$

将 $R_{\text{in}} = R_B \| r_\pi$ 代入，可以看出当 $R_B \gg r_\pi$ 时，$|A_{is}|$ 减小到 β，这正如我们所期望的，因为根据定义，β 是共发射极组态的短路电流增益。

总之，共发射极组态可以提供较大的电压和电流增益，但是 R_{in} 相对较低，R_{out} 相对较高。

练习 5.43　考虑图 5.60（a）所示的 CE 放大器，它的偏置如练习 5.41。特别是参考图 E5.41 所示的偏置电流和在该偏置点时的 BJT 模型的元件值。计算 R_{in}（考虑 R_B 和不考虑 R_B），A_{vo}（考虑 r_o 和不考虑 r_o），R_{out}（考虑 r_o 和不考虑 r_o）以及 A_{is}（考虑 R_B 和不考虑 R_B）。当 $R_L = 5\ \text{k}\Omega$ 时，求 A_v。如果 $R_{\text{sig}} = 5\ \text{k}\Omega$，求总电压增益 G_v。如果 v_π 限制为峰值 5 mV 的正弦波，那么 v_{sig} 的最大允许幅度为多少？相应的 v_o 峰值为多少？

答案：2.5 kΩ，2.4 kΩ；−320 V/V，−296 V/V；8 kΩ，7.4 kΩ；−100 A/A，−98 A/A；−119 V/V；−39 V/V；15 mV；0.6 V

5.7.4　接发射极电阻的共发射极放大器

如图 5.61（a）所示，在发射极和地之间的信号通路上增加一个电阻将导致放大器性能的极大改变，因此设计者可以使用这样的电阻来作为一种有效工具对放大器的性能进行设计以满足设计要求。

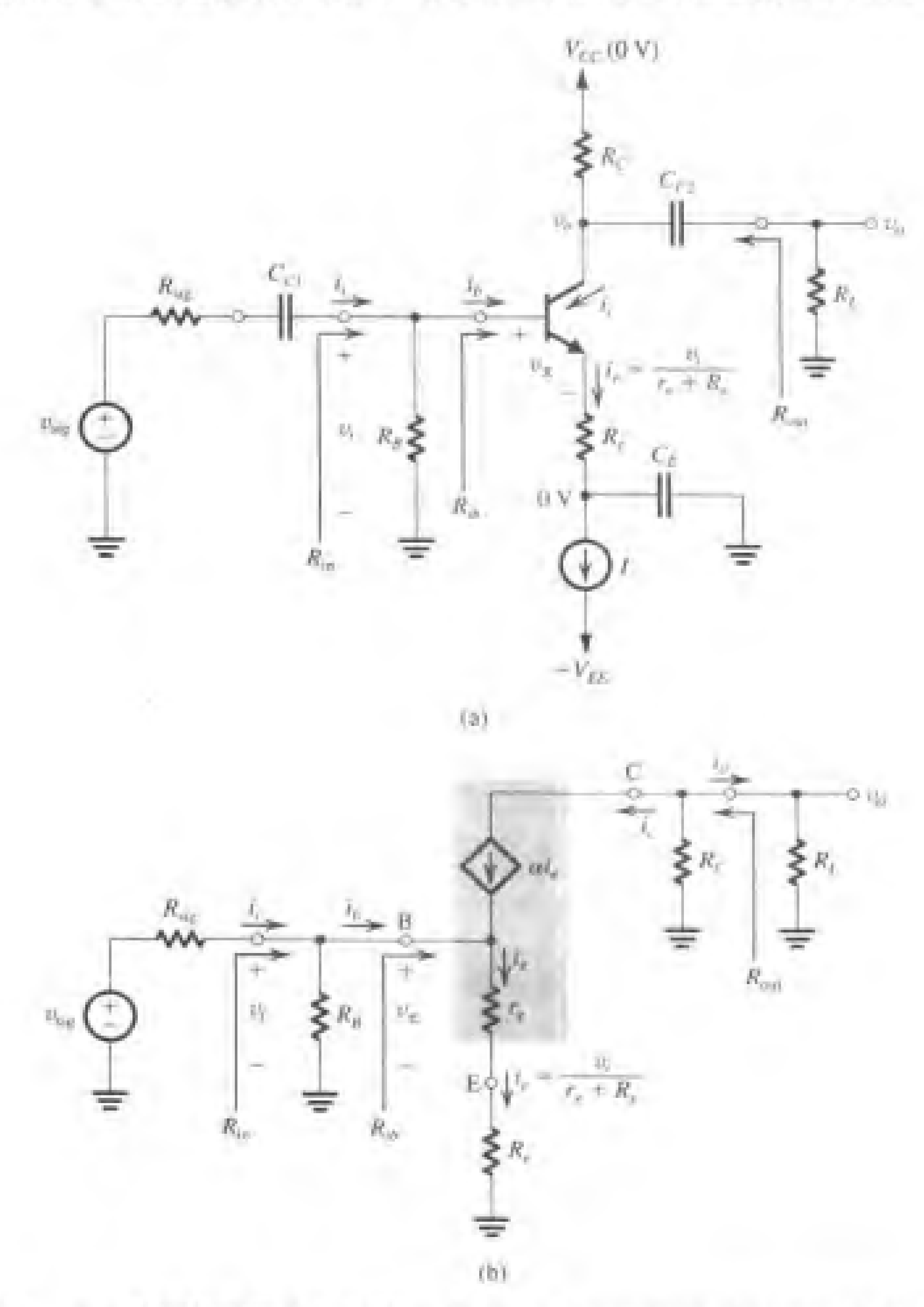


图 5.61　（a）接发射极电阻 R_e 的共发射极放大器；（b）用 T 模型替代晶体管得到的等效电路

用 BJT 其中的一个小信号模型来替代 BJT 可以对图 5.61（a）所示的电路进行分析。尽管可以使用图 5.51 和图 5.52 中的任何一个模型，但是对于这个应用来说最方便的模型就是它的两个 T 模型中的一个。这是因为发射极上的电阻 R_e 与 T 模型中的发射极电阻 r_e 串联连接，因此可以加

上这个电阻，并可以大大简化分析。实际上，只要发射极上有电阻，使用 T 模型比使用混合π模型要方便得多。

用图 5.52（b）所示的 T 模型替代 BJT 可以得到如图 5.61（b）所示的放大器小信号等效电路模型。注意，图中没有包括输出电阻 r_o，包括 r_o 将大大增加分析的复杂度。因为对于分立元件放大器，已经证明 r_o 对电路性能的影响很小，因此这里的分析将不包括 r_o 电阻。但是对于 IC 电路，r_o 的影响就较大，我们必须在分析中考虑 r_o，这在第 6 章中介绍。

为了确定放大器输出电阻 R_{in}，从图 5.61（b）可以注意到 R_{in} 是 R_B 和基极输入电阻 R_{ib} 的并联等效：

$$R_{in} = R_B \parallel R_{ib} \tag{5.125}$$

基极的输入电阻 R_{ib} 为

$$R_{ib} \equiv \frac{v_i}{i_b}$$

其中，

$$i_b = (1-\alpha)i_e = \frac{i_e}{\beta+1}$$

和

$$i_e = \frac{v_i}{r_e + R_e} \tag{5.126}$$

因此，

$$R_{ib} = (\beta+1)(r_e + R_e) \tag{5.127}$$

这是非常重要的结果。它表明从基极看进去的输入电阻是发射极总电阻的 $(\beta+1)$ 倍。乘以因子 $(\beta+1)$ 被称为是电阻反射规则。由于基极电流是发射极电流的 $1/(\beta+1)$ 倍，因此有 $(\beta+1)$ 这个因子。式（5.127）中的 R_{ib} 表达式清楚地显示在发射极包括电阻 R_e 可以大大增加 R_{ib}。R_{ib} 增加的比例为

$$\begin{aligned}\frac{R_{ib}(\text{包括 } R_e)}{R_{ib}(\text{不包括 } R_e)} &= \frac{(\beta+1)(r_e+R_e)}{(\beta+1)r_e} \\ &= 1+\frac{R_e}{r_e} \cong 1+g_m R_e\end{aligned} \tag{5.128}$$

因此电路设计者可以使用 R_e 的值来控制 R_{ib} 的值，并因而控制 R_{in} 的值。当然，为了使这个控制更有效，R_B 必须远大于 R_{ib}，换句话说，R_{ib} 必须是主要的输入电阻。

为了确定电压增益 A_v，从图 5.61（b）可以看出

$$\begin{aligned}v_o &= -i_c(R_C \parallel R_L) \\ &= -\alpha i_e(R_C \parallel R_L)\end{aligned}$$

将式（5.126）中的 i_e 代入可以得到

$$A_v \equiv \frac{v_o}{v_i} = -\frac{\alpha(R_C \parallel R_L)}{r_e + R_e} \tag{5.129}$$

因为 $\alpha \simeq 1$，所以

$$A_v \simeq -\frac{R_C \parallel R_L}{r_e + R_e} \tag{5.130}$$

这个简单的关系式非常有用并且应该记住：从基极到集电极的电压增益等于集电极的总电阻对发射极的总电阻之比。这是个通用的陈述可以适用于任何放大器电路。令式（5.129）中 $R_L=\infty$，可以得到开路电压增益 A_{vo}：

$$A_{vo}=-\frac{\alpha R_C}{r_e+R_e} \tag{5.131}$$

上式也可以表示为

$$A_{vo}=-\frac{\alpha}{r_e}\frac{R_C}{1+R_e/r_e}$$

$$A_{vo}=-\frac{g_m R_C}{1+(R_e/r_e)}\cong-\frac{g_m R_C}{1+g_m R_e} \tag{5.132}$$

因此包含 R_e 使电压增益减小 $(1+g_m R_e)$ 倍，这个倍数也就是 R_{ib} 增加的倍数。这指出了增益和输入电阻之间的平衡，设计者可以通过选择合适的 R_e 值来达到这个平衡。

通过观察，可以从图 5.61（b）所示的电路中得到输出电阻 R_{out}：

$$R_{out}=R_C \tag{5.133}$$

此时我们应该注意到在这个放大器中，有 $R_{in}=R_i$ 以及 $R_{out}=R_o$。

从图 5.61（b）所示的电路可以求得短路电流增益 A_{is}：

$$i_{os}=-\alpha i_e$$
$$i_i=v_i/R_{in}$$

因此，

$$A_{is}=-\frac{\alpha R_{in} i_e}{v_i}$$

将式（5.126）中的 i_e 以及式（5.125）的 R_{in} 代入：

$$A_{is}=-\frac{\alpha(R_B \parallel R_{ib})}{r_e+R_e} \tag{5.134}$$

当 $R_B \gg R_{ib}$ 时，上式可以简化为

$$A_{is}=\frac{-\alpha(\beta+1)(r_e+R_e)}{r_e+R_e}=-\beta$$

这与 CE 电路的值相同。

将 A_v 乘以 (v_i/v_{sig}) 可以得到从源到负载的总电压增益：

$$G_v=\frac{v_i}{v_{sig}}\cdot A_v=-\frac{R_{in}}{R_{sig}+R_{in}}\frac{\alpha(R_C \parallel R_L)}{r_e+R_e}$$

用 $R_B \parallel R_{ib}$ 替代 R_{in}，并假设 $R_B \gg R_{ib}$ 以及将式（5.127）中的 R_{ib} 代入可以得到

$$G_v\simeq-\frac{\beta(R_C \parallel R_L)}{R_{sig}+(\beta+1)(r_e+R_e)} \tag{5.135}$$

可以注意到，因为分母中多了一项 $(\beta+1)R_e$，因此该增益低于 CE 放大器的增益。但是该增益对 β 值的敏感度降低了，这是一个好的结果。

在发射极中包含电阻 R_e 的另一个重要结果是它使放大器可以处理更大的输入信号而不会发

生非线性失真。这是因为基极上的输入信号 v_i 只有一部分出现在基极和发射极之间。具体地说，从图 5.61（b）所示的电路可以看出：

$$\frac{v_\pi}{v_i}=\frac{r_e}{r_e+R_e}\cong\frac{1}{1+g_mR_e} \tag{5.136}$$

因此，当放大器输入端的信号 v_π 相同时，v_i 可以比 CE 放大器的输入信号大 $(1+g_mR_e)$ 倍。

总之，在 CE 放大器的发射极包含电阻 R_e 会产生下列特性：

1. 输入电阻 R_{ib} 增大 $(1+g_mR_e)$ 倍。
2. 从基极到集电极的电压增益 A_v 减小 $(1+g_mR_e)$ 倍。
3. 对于相同的非线性失真，输入信号 v_i 可以增大 $(1+g_mR_e)$ 倍。
4. 总电压增益与 β 的相关性降低。
5. 高频响应大大改善（第 6 章将会讲到）。

除了增益减小以外，其他特性都得到了改善。确实，增益的下降是使其他性能得到改善付出的代价。在许多情况下这是一个很好的权衡，也是使用负反馈的基本动机。从图 5.61（a）中可以看出电阻 R_e 在放大器电路中引入了负反馈：如果由于某种原因集电极电流增加，发射极电流也将增加，这将导致 R_e 两端的电压降增加。因此发射极电压上升，基极-发射极电压下降。后者的结果将引起集电极电流下降，这又抵消了最初假设的变化，表明它存在负反馈。我们将在第 8 章中正式介绍负反馈，那时将会发现 $(1+g_mR_e)$ 因子就是由 R_e 引入的负反馈深度。最后要说明的是 R_e 的负反馈行为使它被称为发射极衰减电阻。

在结束该电路的讨论之前，我们给出在图 5.61（a）所示的电路图上直接进行电路分析的诸多步骤。通过练习，读者应该可以在电路图上直接进行所有的小信号分析，这样就可以不用画出完整的小信号等效电路模型了。

练习 5.44　考虑图 5.61 所示的发射极接有电阻的 CE 电路，它的偏置如练习 5.41。参考图 E5.41 所示的偏置电流和在该偏置点处的 BJT 模型的元件值。设该放大器由 $R_{sig}=5\text{ k}\Omega$ 的信号源激励，并设 $R_L=5\text{ k}\Omega$。求使 R_{in} 等于 4 倍源电阻时的 R_e 值。对于该 R_e，求 A_{vo}，R_{out}，A_v，G_v 和 A_{is}。如果 v_π 限制为 5 mV，那么包含 R_e 和未包含 R_e 时最大的 v_{sig} 值为多少？并求相应的 v_o。

答案：225 Ω；−32 V/V；8 kΩ；−12.3 V/V；−9.8 V/V；−79.2 A/A；62.5 mV；15 mV；0.6 V

5.7.5　共基（CB）放大器

将 BJT 的基极接到信号地就可以得到称为共基或基极接地放大器的电路组态。输入信号加到发射极，输出从集电极取出，并且基极作为输入端口和输出端口之间的公共端。图 5.62（a）显示了基于图 5.59 所示电路的 CB 放大器。可以看出，因为基极的直流电压和交流电压都为 0，我们可以将基极直接连接到地，因此可以去掉电阻 R_B。耦合电容 C_{C1} 和 C_{C2} 的功能与 CE 电路中的 C_{C1} 和 C_{C2} 的功能相同。

该放大器的小信号等效电路模型如图 5.62（b）所示。因为电阻 R_{sig} 与发射极串联，因此选择晶体管的 T 模型。尽管混合 π 模型可以产生相同的结果，但是在这种情况下 T 模型更为方便。我们没有包含 r_o，这是因为它呈现在放大器的输入和输出之间，包含 r_o 将使分析变得相当复杂。幸运的是，已经证明 r_o 对分立 CB 放大器性能的影响非常小。我们将在第 6 章中介绍 IC 形式的 CB 放大器时考虑 r_o 的影响。

通过观察图 5.62（b）所示的等效电路模型，可以看到输入电阻为

$$R_{in} = r_e \tag{5.137}$$

这应该与我们期望的一样，因为电阻是从发射极看进去的且基极接地。r_e 的典型值为几欧姆（Ω）到几十欧姆（Ω），因此 CB 放大器的输入电阻较低。

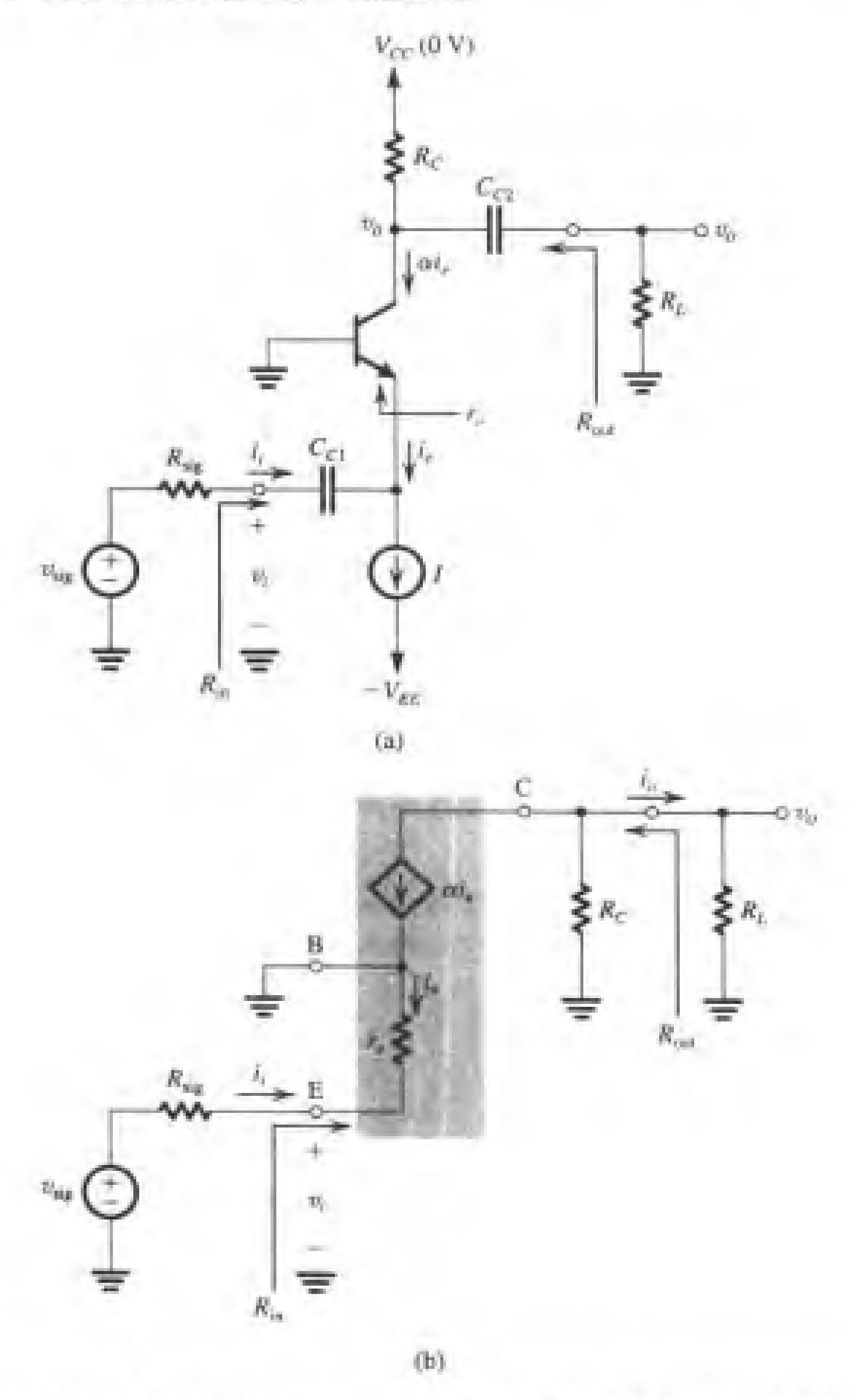


图 5.62 （a）使用图 5.59 所示结构的共基放大器；（b）用 T 模型替代晶体管得到的等效电路

为了确定电压增益，写出集电极节点方程如下：

$$v_o = -\alpha i_e (R_C \parallel R_L)$$

将发射极电流

$$i_e = -\frac{v_i}{r_e}$$

代入可以得到

$$A_v \equiv \frac{v_o}{v_i} = \frac{\alpha}{r_e}(R_C \parallel R_L) = g_m(R_C \parallel R_L) \tag{5.138}$$

该式与 CE 放大器的 A_v 的表达式相同，只是这里为正号。令式（5.138）中 $R_L = \infty$ 可以得到开路电压增益 A_{vo}：

$$A_{vo} = g_m R_C \tag{5.139}$$

同样，这等于 CE 放大器的 A_{vo}，只是 CB 放大器为同相。该 CB 电路的输出电阻可以通过观察图 5.62（b）所示电路得到：

$$R_{out} = R_C$$

这与 CE 放大器类似。这里应该注意忽略 r_o 的 CB 放大器是单向化的，因此有结果 $R_{in} = R_i$ 以及 $R_{out} = R_o$。

短路电流增益 A_{is} 为

$$A_{is} = \frac{-\alpha i_e}{i_i} = \frac{-\alpha i_e}{-i_e} = \alpha \tag{5.140}$$

它相当于 α 的定义，是 CB 组态的短路电流增益。

尽管 CB 放大器的固有增益与 CE 放大器的增益大小相同，但它们的总电压增益通常不一样。CB 放大器的低输入电阻会使得输入信号被严重衰减，具体为

$$\frac{v_i}{v_{sig}} = \frac{R_i}{R_{sig} + R_i} = \frac{r_e}{R_{sig} + r_e} \tag{5.141}$$

从中可以看出除了 R_{sig} 与 r_e 的数量级相同的情况以外，传输因子 v_i / v_{sig} 可能非常小。所以在这里要指出 CB 电路的其中一个应用是放大同轴电缆中的高频信号。为了防止信号在电缆中反射，要求 CB 放大器的输入电阻等于电缆的特征电阻，通常在 50 Ω 到 75 Ω 的范围内。

将式（5.141）的 v_i / v_{sig} 比值乘以式（5.138）中的 A_v 就可以得到该 CB 放大器的总电压增益 G_v：

$$\begin{aligned} G_v &= \frac{r_e}{R_{sig} + r_e} g_m(R_C \parallel R_L) \\ &= \frac{\alpha(R_C \parallel R_L)}{R_{sig} + r_e} \end{aligned} \tag{5.142}$$

因为 $\alpha \simeq 1$，可以看出总电压增益就是集电极电路的总电阻与发射极电路的总电阻之比。也可以看出总电压增益几乎与 β 值无关（除了 α 与 β 之间的弱相关性之外），这是我们希望的特性。可以看出，当 R_{sig} 与 R_C 和 R_L 具有相同的数量级时，该增益将非常小。

总之，CB 放大器具有较低的输入电阻（r_e），短路电流增益几乎为 1（α），开路电压增益是正的，并且大小等于 CE 放大器的开路电压增益（$g_m R_C$）。如同 CE 放大器，它有相当高的输出电阻（R_C）。因为它具有低输入电阻，因此 CB 电路作为电压放大器单独使用时并不具优势，在特定的应用中（如上面提到的电缆信号放大器）除外。CB 放大器有极好的高频性能，我们将在第 6 章中看到，这一点使得 CB 放大器可以与其他电路一起来实现高频放大器。最后，CB 电路的一个非常重要的应用是作为单位增益电流放大器或电流缓冲器：它以低输入电阻接收输入电流信号，在集电极以高输出电阻（不包括 R_C 和忽略 r_o 的输出电限）输出近乎相等的电流。我们将在第 6 章讲解 IC 形式的 CB 电路时介绍这种应用。

练习 5.45 考虑图 5.62（a）所示的 CB 放大器，它利用练习 5.41 中指定的 BJT 和元件值来设计。具体地说，参考图 E5.41 所示的偏置量以及 BJT 小信号模型的元件值。设 $R_{sig}=R_L=5\text{ k}\Omega$，求 R_{in}，A_{vo}，R_o，A_v，v_i/v_s 和 G_v。为了使总电压增益等于练习 5.43 中 CE 放大器求得的值，即 −39 V/V，R_{sig} 应该减小到多少？

答案：25 Ω；+320 V/V；8 kΩ；+123 V/V；0.005 V/V；0.6 V/V；54 Ω

练习 D5.46 要求设计一个 CB 放大器，该放大器对 50 Ω 的同轴电缆传输的信号进行放大。该放大器为电缆提供合适终端并提供 +100 V/V 的总电压增益。指定偏置电流 I_E 的值以及集电极电路的总电阻。

答案：0.5 mA；10 kΩ

5.7.6 共集电极（CC）放大器或射极跟随器

最后一种基本的 BJT 放大器组态是共集电极（CC）电路，这是一种非常重要的电路，在小信号放大器和大信号放大器（见第 14 章）的设计中，甚至在数字电路的设计（见第 11 章）中都经常用到。该电路更常用的名字是射极跟随器，后面很快就会讲到这个名称的由来。

基于图 5.59 所示结构的射极跟随器电路如图 5.63（a）所示。可以看出，因为集电极处于信号地，因此可以去掉集电极电阻 R_C。输入信号通过电容耦合到基极，输出信号通过电容从发射极耦合到负载电阻 R_L。

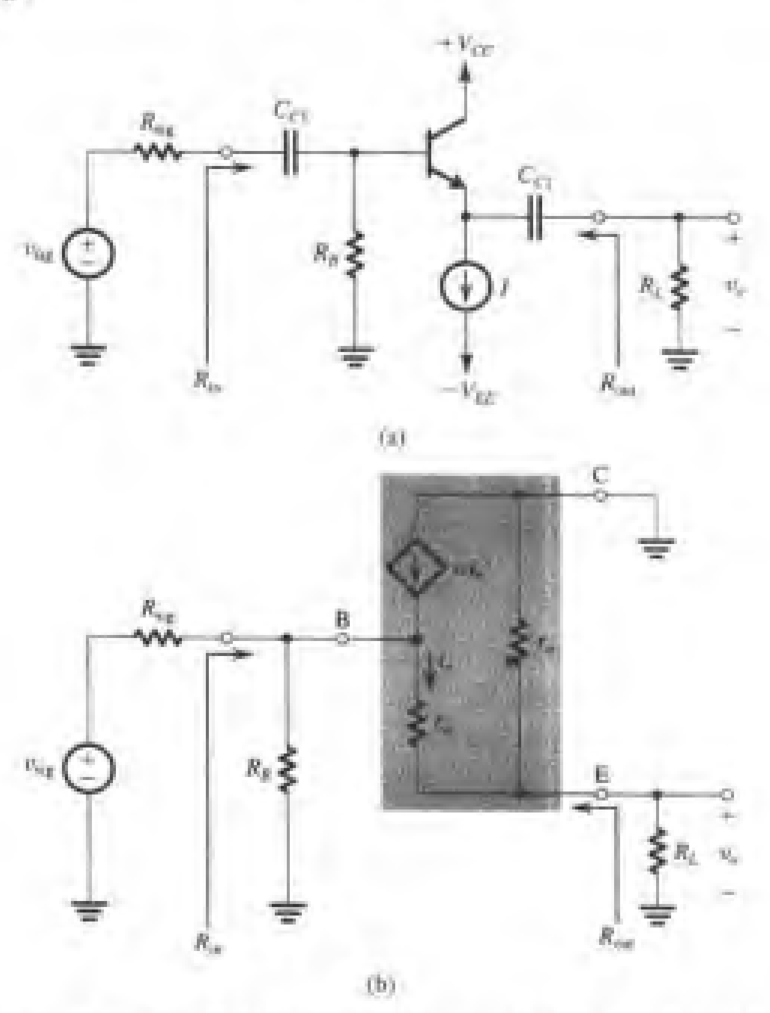


图 5.63 （a）基于图 5.59 所示结构的射极跟随器电路；（b）用包括 r_o 的 T 模型替换晶体管后得到的射极跟随器的小信号等效电路

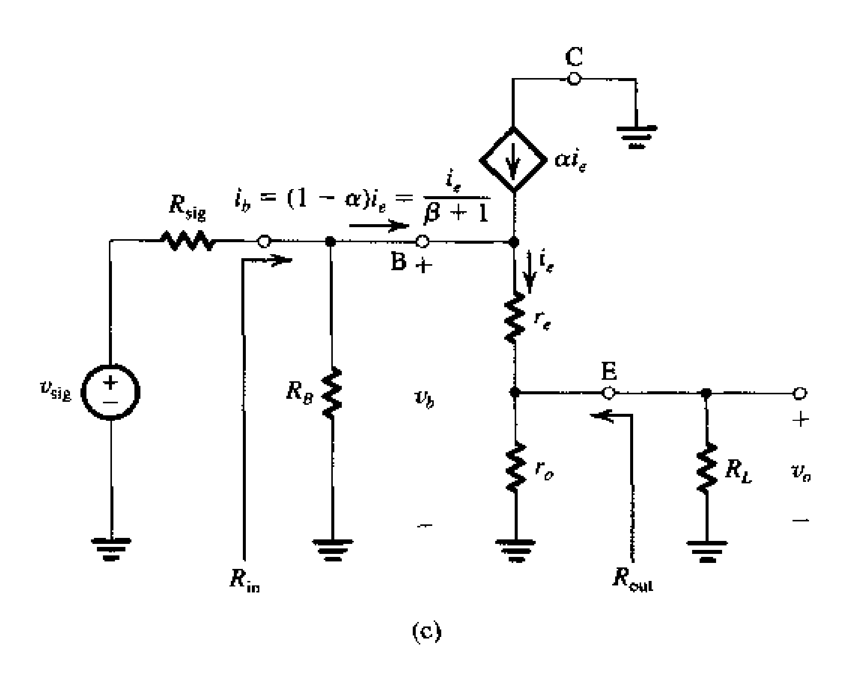


图 5.63（续） （c）为了强调 r_o 与 R_L 并联，将（b）中的电路重画。这大大简化了分析

因为当只考虑信号时，电阻 R_L 与发射极串联，因此使用 BJT 的 T 模型更为方便。图 5.63（b）显示了用 T 模型替代 BJT 的射极跟随器的小信号等效电路，该 T 模型包含 r_o。在这里考虑 r_o 对分析而言仍然是相当简单的，因此我们就这样做。图 5.63（b）所示的电路显示 r_o 相当于与 R_L 并联。因此为了强调这一点，我们将重画电路以简化分析，如图 5.63（c）所示。

与前面介绍的 CE 和 CB 电路不同，射极跟随器电路不是单向化的，即输入电阻与 R_L 有关，输出电阻与 R_{sig} 有关，因此必须对射极跟随器的特性进行描述。下面我们来推导 R_{in}，G_v，G_{vo} 和 R_{out} 的表达式。推导出的表达式将清楚地描述射极跟随器的工作原理和特性。但是比这些表达式更重要的是获得这些表达式的方法。希望读者通过这些方法能够更加熟练地掌握电路的分析。

参考图 5.63（c），可以看出有一个电阻（$r_o \| R_L$）与发射极电阻 r_e 串联。因此应用电阻反射规则可以得到图 5.64（a）所示的等效电路。将发射极所有电阻乘以 $(\beta+1)$，即 i_e 对 i_b 的比值，就将发射极电阻反射到基极一边。采用这种方法时电压保持不变。

观察图 5.64（a）可以看出基极的输入电阻 R_{ib} 为

$$R_{ib} = (\beta+1)[r_e + (r_o \| R_L)] \tag{5.143}$$

从中可以看出射极跟随器相当于将 R_L 的电阻（或者更精确地说是 $R_L \| r_o$）提高了 $(\beta+1)$ 倍，并且对于信号源来说，电阻增加。射极跟随器的总输入电阻为

$$R_{in} = R_B \| R_{ib}$$

从中可以看出，为了完全获得增大 R_{ib} 后的效果，必须选择尽可能大的偏置电阻 R_B 值（即从偏置设计的观点来看）。此外只要可能，就应该去掉 R_B 并且直接将信号源连接到基极（在这种情况下，也将 C_{C1} 去掉）。

为了求得总电压增益 G_v，首先在图 5.64（a）所示电路的输入端应用戴维南定理将它简化成图 5.64（b）所示的电路。从后者可以看出使用电压分压规则就可以求得 v_o，即

$$G_v = \frac{R_B}{R_{sig}+R_B}\frac{(\beta+1)(r_o \| R_L)}{(R_{sig} \| R_B)+(\beta+1)[r_e+(r_o \| R_L)]} \tag{5.144}$$

可以看出电压增益小于 1，但是当$R_B \gg R_{sig}$并且$(\beta+1)[r_e+(r_o \parallel R_L)] \gg (R_{sig} \parallel R_B)$时，该电压增益非常接近于 1。因此发射极的电压（$v_o$）紧随输入端的电压，从而获得了射极跟随器的名字。

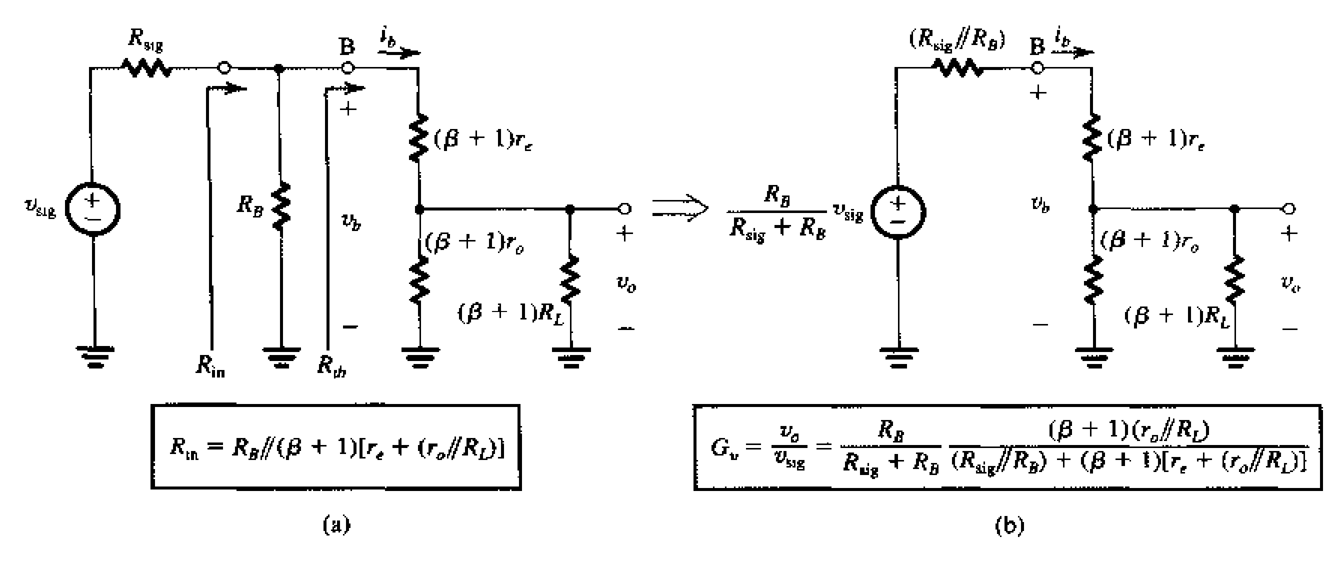


图 5.64 （a）将图 5.63（c）所示电路中发射极所有电阻反射到基极一边得到的射极跟随器等效电路；（b）对（a）电路中由v_{sig}，R_{sig}和R_B组成的输入电路应用戴维南定理后得到的电路

我们也可以不将发射极电阻网络反射到基极一边，而是反过来：将基极电阻网络反射到发射极一边。保持电压不变，将基极一边的电阻除以$(\beta+1)$。这是利用了电阻反射规则的对偶件。对图 5.63（c）所示电路应用该反射规则，可以得到图 5.65（a）所示的射极跟随器等效电路。我们也可以在输入端应用戴维南定理将电路简化成图 5.65（b）所示的电路。对后者进行观察，可以看出通过简单应用电压分压规则就可以得到输出电压并进而得到v_o / v_{sig}，结果为

$$G_v = \frac{R_B}{R_{sig}+R_B}\frac{(r_o \parallel R_L)}{\dfrac{R_{sig} \parallel R_B}{\beta+1}+r_e+(r_o \parallel R_L)} \tag{5.145}$$

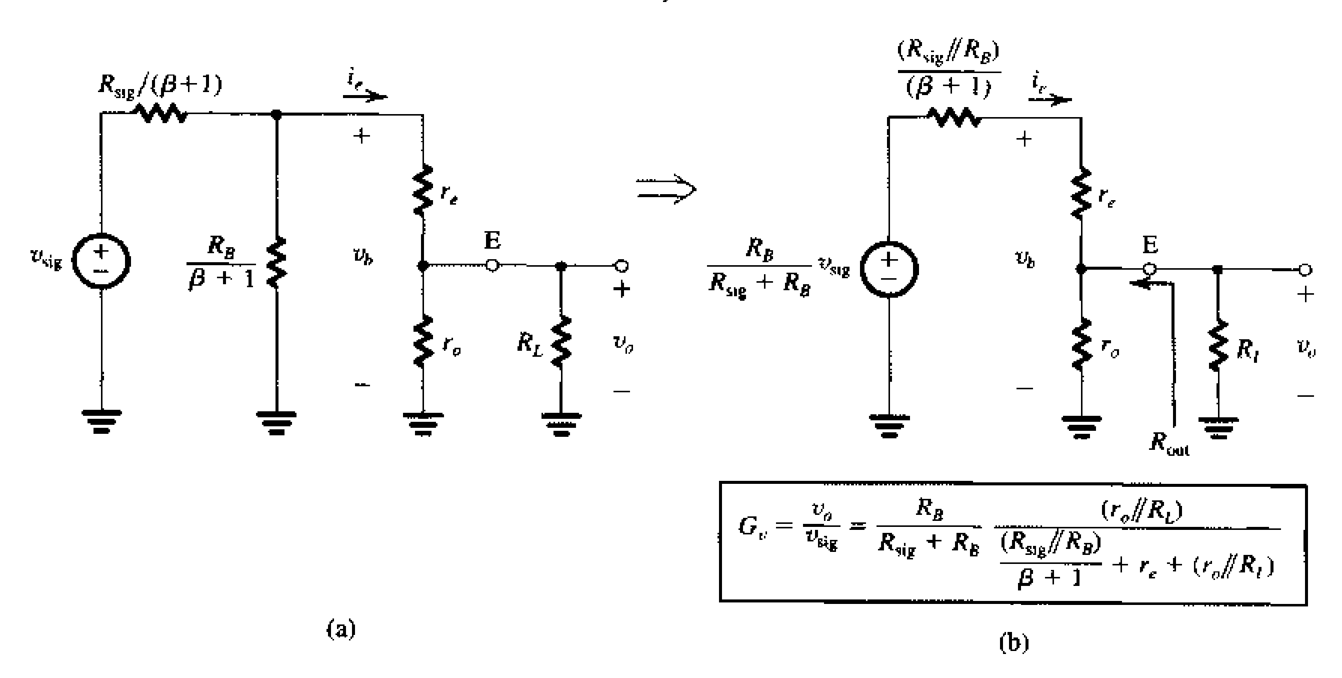


图 5.65 （a）将所有基极电阻反射到发射极一边得到的射极跟随器的等效电路；（b）对（a）电路中由v_{sig}，$R_{sig}/(\beta+1)$和$R_B/(\beta+1)$组成的输入电路应用戴维南定理后得到的电路

正如我们所期望的，除了右边第二项因子的分子和分母都除以了$(\beta+1)$之外，上式等于式（5.144）。为了进一步理解射极跟随器的特性，将该表达式简化成$R_B \gg R_{sig}$和$r_o \gg R_L$的一般情况，结果为

$$\frac{v_o}{v_{sig}} \simeq \frac{R_L}{\dfrac{R_{sig}}{\beta+1}+r_e+R_L} \tag{5.146}$$

该表达式清楚地表明当$R_{sig}/(\beta+1)$远小于R_L或$(1+\beta)R_L$远大于R_{sig}时，增益接近于 1。这就是射极跟随器的缓冲作用，因为该电路有约等于$(\beta+1)$的短路电流增益。

用戴维南等效电路来表示射极跟随器的输出也是很有用的。开路输出电压为$G_{vo}v_{sig}$，其中G_{vo}可以从式（5.145）中令$R_L=\infty$得到：

$$G_{vo}=\frac{R_B}{R_{sig}+R_B}\frac{r_o}{\dfrac{R_{sig}\parallel R_B}{\beta+1}+r_e+r_o} \tag{5.147}$$

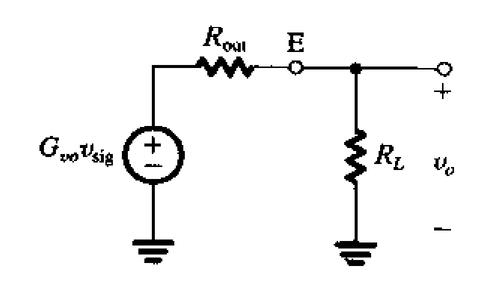
注意，r_o通常较大，因此第二项接近于 1。当$R_B \gg R_{sig}$时，第一个因子接近于 1。戴维南电阻是输出电阻R_{out}。它可以通过观察图 5.65（b）所示电路得到：将v_{sig}减小到 0，从发射极端子往后看进去。结果为

$$R_{out}=r_o \parallel \left(r_e+\frac{R_{sig}\parallel R_B}{\beta+1}\right) \tag{5.148}$$

通常，r_o远大于括号里的并联分量，因此可以忽略，因此，

$$R_{out} \simeq r_e+\frac{R_{sig}\parallel R_B}{\beta+1} \tag{5.149}$$

所以射极跟随器的输出电阻较低，是阻抗变换或缓冲作用的结果，即（$R_{sig}\parallel R_B$）除以$(\beta+1)$。射极跟随器的戴维南等效电路以及G_{vo}和R_{out}的公式见图 5.66。该电路可以用来求任意R_L值时v_o和G_v的结果。



$$G_{vo}=\frac{R_B}{R_{sig}+R_B}\frac{r_o}{\dfrac{(R_{sig}/\!/R_B)}{(\beta+1)}+r_e+r_o}$$

$$R_{out}=r_o/\!/\left(r_e+\frac{R_{sig}/\!/R_B}{\beta+1}\right)$$

图 5.66　图 5.63（a）所示的射极跟随器输出的戴维南等效电路。该电路可以用来求任意R_L值时的v_o和总电压增益v_o/v_{sig}

总之，射极跟随器具有较高的输入电阻、较低的输出电阻，小于1但接近于1的电压增益，以及相当高的电流增益。因此理想情况下，它适合的应用是连接高电阻的信号源到低电阻的负载——即作为多级放大器的最后一级或输出级，它的作用不是提供额外的电压增益，而是使级联放大器具有较低的输出电阻。我们将在第14章中介绍放大器输出级的设计。

结束射极跟随器的学习之前，应该讨论一下允许的最大信号幅度问题。因为只有一小部分输入信号呈现在基极和发射极之间，因此射极跟随器在很大的输入信号幅度范围内都呈现线性特性。但是晶体管截止时会使得输出信号幅度产生绝对上限。为了了解如何产生该上限，考虑图5.63（a）所示的电路。输入信号为正弦波，随着输入变为负，输出 v_o 也变为负，并且 R_L 上的电流从地流进发射极。当该电流等于偏置电流 I 时晶体管截止。因此 v_o 的峰值可以由下式求得：

$$\frac{\hat{V}_o}{R_L} = I$$

或者

$$\hat{V}_o = IR_L$$

v_{sig} 的相应值为

$$\hat{V}_{sig} = \frac{IR_L}{G_v}$$

在这个值上再增大 v_{sig} 的幅度将导致晶体管截止，并且输出信号波形的负波峰将被削平。

练习 5.47 图5.63（a）所示的射极跟随器被用来连接 $R_{sig} = 10\ \text{k}\Omega$ 的信号源和 $R_L = 1\ \text{k}\Omega$ 的负载。晶体管偏置电流 $I = 5\ \text{mA}$，使用电阻 $R_B = 40\ \text{k}\Omega$，晶体管的 $\beta = 100$ 以及 $V_A = 100\ \text{V}$。求 R_{ib}，R_{in}，G_v，G_{vo} 和 R_{out}。晶体管不截止时所能使用的输出正弦波的最大峰值为多少？如果为了限制非线性失真，基极-发射极的信号电压限制为10 mV的峰值，那么输出端的相应幅度为多少？如果 R_L 变为2 kΩ，总的电压增益为多少？变为500 Ω时又为多少？

答案：96.7 kΩ；28.3 kΩ；0.735 V/V；0.8 V/V；84 Ω；5 V；1.9 V；0.768 V/V；0.685 V/V

5.7.7 总结和比较

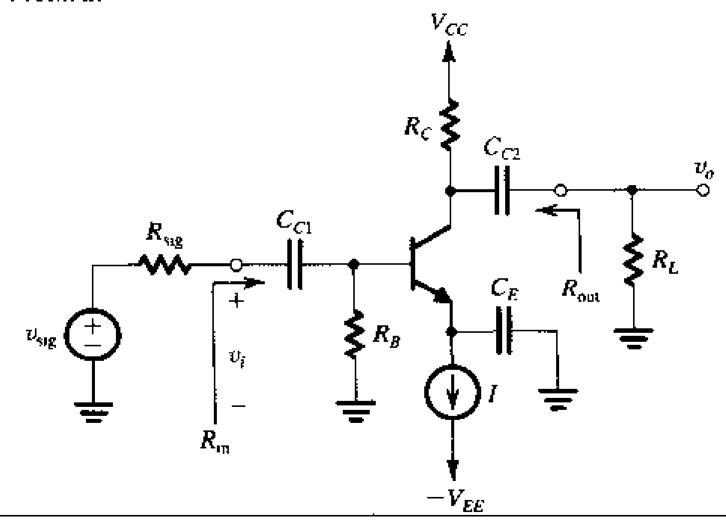
为了便于参考，表5.6给出了确定分立元件单级BJT放大器特性参数的公式。除了在这一节中对不同组态的特性和应用性已有的评论以外，还有下面的一些结论：

1. CE组态最适合用来实现放大器所要求的大增益。根据要求的增益大小，可以使用单级或两级甚至三级的级联形式。
2. CE的发射极包括电阻 R_e 可以改善很多性能，但却是以降低增益为代价的。
3. CB放大器的低输入电阻使得它只有在特定的应用中有用。这包括不需要高输入电阻的电压放大器，在第6章中可以看到，它的高频响应比CE放大器要好很多。这个优点使得它经常用做高频放大器，特别是与CE电路结合。在第6章中可以看到这种结合。
4. 射极跟随器可以用做电压缓冲器，从而把高电阻源连接到低电阻负载，此外还可以用做多级放大器的输出级。

最后需要说明的是：为了进行数值比较，在这一节的练习中使用相同的元件值（与射极跟随器相关的除外）。

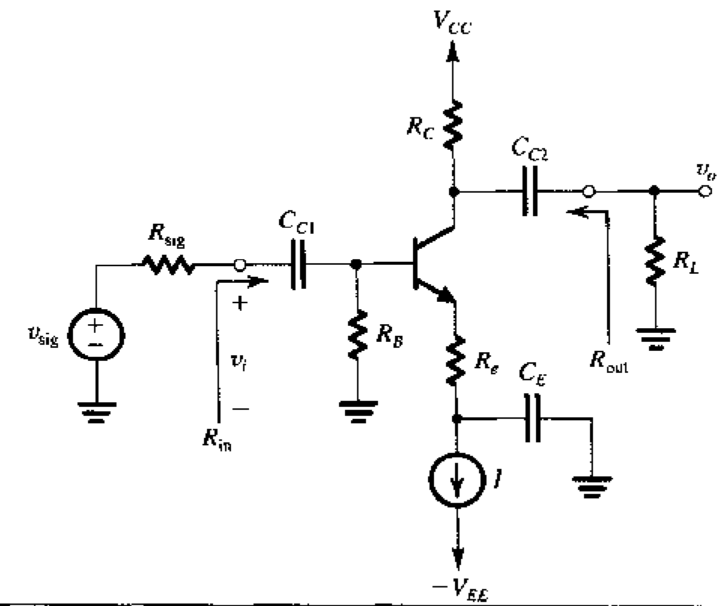
表 5.6 单级分立 BJT 放大器的特性

共发射极



$$R_{in} = R_B \parallel r_\pi = R_B \parallel (\beta+1) r_e$$
$$A_v = -g_m (r_o \parallel R_C \parallel R_L)$$
$$R_{out} = r_o \parallel R_C$$
$$G_v = -\frac{(R_B \parallel r_\pi)}{(R_B \parallel r_\pi) + R_{sig}} g_m (r_o \parallel R_C \parallel R_L)$$
$$\cong -\frac{\beta (r_o \parallel R_C \parallel R_L)}{r_\pi + R_{sig}}$$
$$A_{is} = -g_m R_{in} \cong -\beta$$

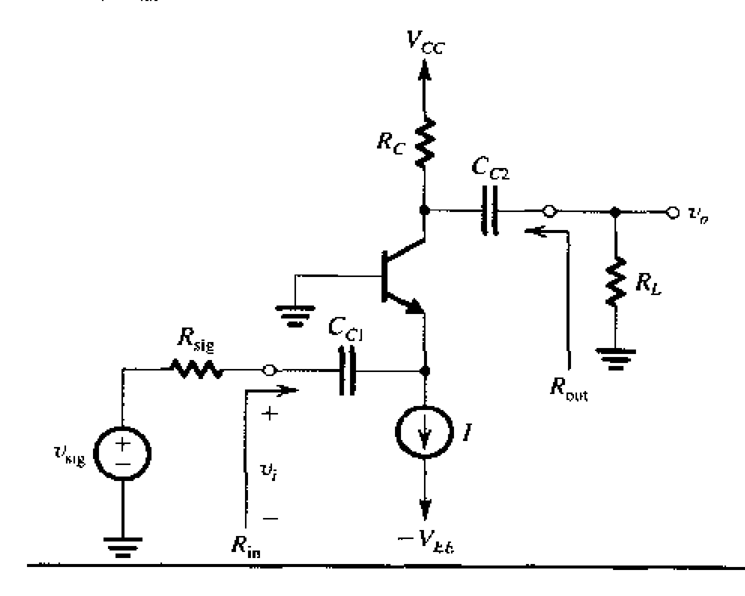
具有发射极电阻的共发射极放大器



忽略 r_o：

$$R_{in} = R_B \parallel (\beta+1)(r_e + R_e)$$
$$A_v = -\frac{\alpha (R_C \parallel R_L)}{r_e + R_e} \cong \frac{-g_m (R_C \parallel R_L)}{1 + g_m R_e}$$
$$R_{out} = R_C$$
$$G_v \cong -\frac{\beta (R_C \parallel R_L)}{R_{sig} + (\beta+1)(r_e + R_e)}$$
$$\frac{v_\pi}{v_i} \cong \frac{1}{1 + g_m R_e}$$

共基放大器

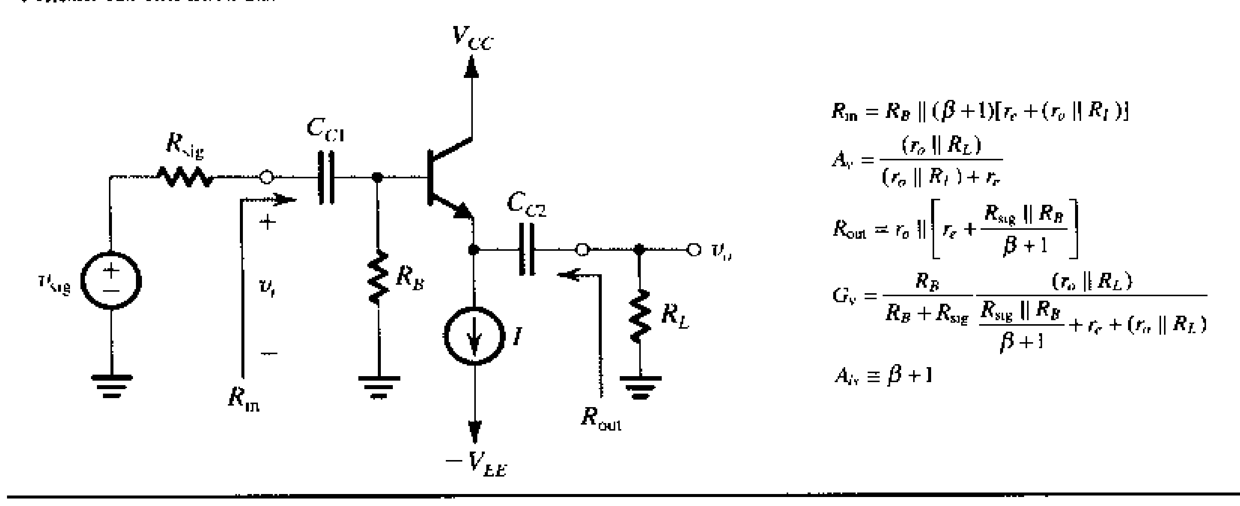


忽略 r_o：

$$R_{in} = r_e$$
$$A_v = g_m (R_C \parallel R_L)$$
$$R_{out} = R_C$$
$$G_v = \frac{\alpha (R_C \parallel R_L)}{R_{sig} + r_e}$$
$$A_{is} \cong \alpha$$

（续）

共集放大器或射极跟随器



5.8 BJT 内部电容与高频模型

到目前为止我们假设晶体管的行为是瞬时的，结果是所得到的晶体管模型不包括任何会引起时间或频率相关性的元件（即电容或电感）。但是，实际晶体管具有电荷存储现象，这就限制了其工作时的速度和频率。在第 3 章介绍 pn 结时我们已经见到过这种影响并且知道这可以用电容来建模。下面我们就来介绍发生在 BJT 中的电荷存储效应，并在混合 π 模型中增加电容来考虑它们的影响。扩充后的 BJT 模型可以用来预计放大器增益与频率的相关性，以及在晶体管开关和逻辑门中呈现的时间延迟。

5.8.1 基极电荷或扩散电容 C_{de}

当晶体管工作在放大模式或饱和模式时，少子电荷存储在基区。实际上，对于这个电荷 Q_n，我们已经推导出了 npn 晶体管工作在放大模式时的表达式［即式（5.7）］。使用式（5.7）以及式（5.3）和式（5.4），可以用集电极电流 i_C 将 Q_n 表示为

$$Q_n = \frac{W^2}{2D_n} i_C = \tau_F i_C \tag{5.150}$$

其中，τ_F 是器件常数：

$$\tau_F = \frac{W^2}{2D_n} \tag{5.151}$$

其量纲为时间。称为正向基极传输时间，表示带电载流子越过基区所花的平均时间。τ_F 的典型值为 10 ps 到 100 ps。当工作在反向放大模式时，有一个相应的常数 τ_R，它比 τ_F 大很多个数量级。

式（5.150）适用于大信号，并且因为 i_C 与 v_{BE} 是指数关系，因此 Q_n 也取决于 v_{BE}。因此该电荷存储机制表示了一个非线性的电容效应。但是对于小信号，我们可以定义小信号扩散电容 C_{de} 为

$$\begin{aligned} C_{de} &\equiv \frac{dQ_n}{dv_{BE}} \\ &= \tau_F \frac{di_C}{dv_{BE}} \end{aligned} \tag{5.152}$$

可以得出

$$C_{de}=\tau_F g_m=\tau_F \frac{I_C}{V_T} \tag{5.153}$$

5.8.2　发射结结电容 C_{je}

利用第 3 章中的结论，特别是利用式（3.58），发射结结电容或耗尽层电容 C_{je} 可以表示为

$$C_{je}=\frac{C_{je0}}{\left(1-\frac{V_{BE}}{V_{0e}}\right)^m} \tag{5.154}$$

其中，C_{je0} 是 C_{je} 在零电压时的值，V_{0e} 是 EBJ 的内建电位差（典型值为 0.9 V），m 是 EBJ 结的变容指数（典型值为 0.5）。但是因为 EBJ 在放大模式时是正向偏置，因此式（5.154）并不能给出正确的 C_{je}。通常使用一个近似的 C_{je}：

$$C_{je}\cong 2C_{je0} \tag{5.155}$$

5.8.3　集电结结电容 C_μ

在放大模式工作时，CBJ 为反向偏置，它的结电容或耗尽层电容通常记为 C_μ，可以由下式得到：

$$C_\mu=\frac{C_{\mu 0}}{\left(1+\frac{V_{CB}}{V_{0c}}\right)^m} \tag{5.156}$$

其中，$C_{\mu 0}$ 为 C_μ 在零电压时的值，V_{0c} 为 CBJ 的内建电位差（典型值为 0.75 V），m 是它的变容指数（典型值为 0.2－0.5）。

5.8.4　高频混合π模型

图 5.67 显示了 BJT 的混合 π 模型，它包括了电容效应。具体地说，有两个电容：发射结电容 $C_\pi=C_{de}+C_{je}$ 和集电结电容 C_μ。C_π 的典型范围从几皮法（pF）到几十皮法（pF），C_μ 的范围为零点几皮法（pF）到几皮法（pF）。注意，我们也增加了一个电阻 r_x 来对基极端子 B 和一个虚构的内部基极端子 B′ 之间的基区硅材料的电阻建立模型，B′ 在发射区的右下方（参见图 5.6）。r_x 的典型值为几十欧姆（Ω）。它的值由电流以相当复杂的方式决定。因为 $r_x \ll r_\pi$，因此在低频时，它的影响可以忽略。但是在高频时其影响不容忽视。

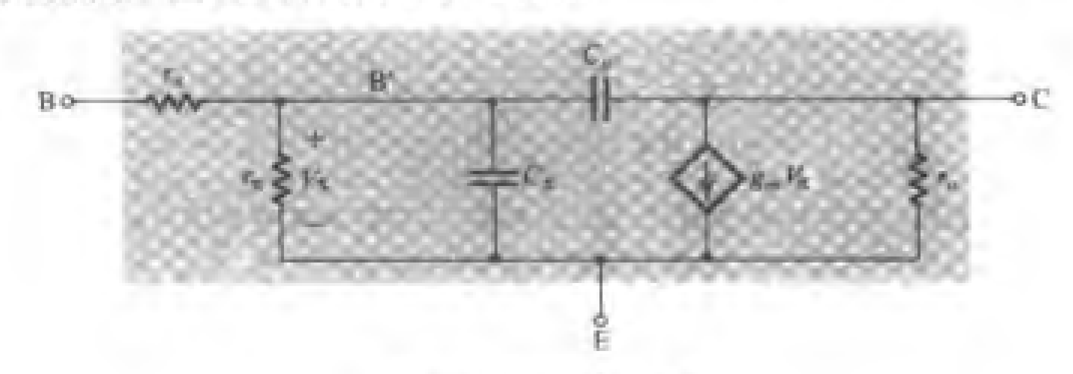


图 5.67　高频混合 π 模型

混合π 等效电路参数值可以在给定的偏置点处使用本章给出的公式来确定。同样，也可以从

BJT 数据表指定的端口测量得到。对于计算机仿真，SPICE 使用给定的 IC 工艺参数来计算 BJT 模型参数（见 5.11 节）。

在介绍下面的内容之前，必须对有关符号做一个说明。因为现在处理的电压和电流是频率的函数，因此我们使用带小写下标的大写字母符号（例如：V_π，I_c）。这符合本书使用的符号含义。

5.8.5 截止频率

晶体管数据表通常不指定 C_π 的值，而是给出 β（或 h_{fe}）对频率的关系。为了确定 C_π 和 C_μ，我们将推导出用混合 π 模型元件表示的 CE 短路电流增益 h_{fe} 对频率的函数表达式。为了达到这个目的，考虑图 5.68 所示的电路，其中集电极与发射极短路。C 点的节点方程给出了集电极短路电流 I_c 为



$$I_c = (g_m - sC_\mu)V_\pi \tag{5.157}$$

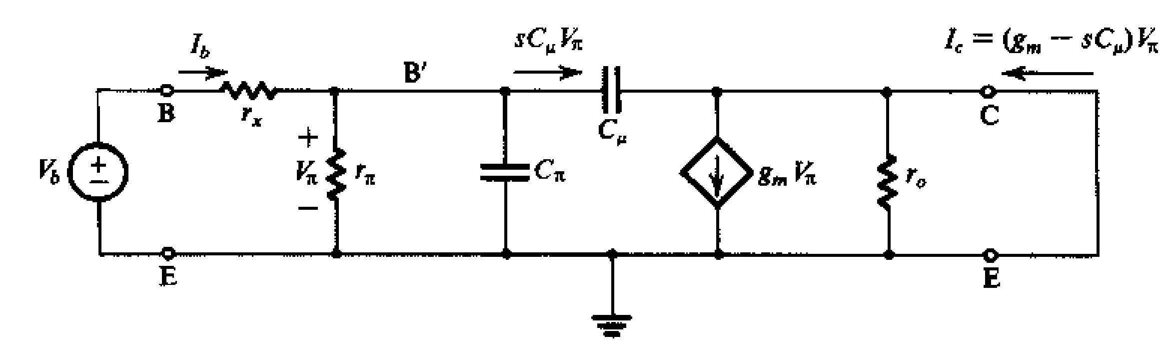


图 5.68 推导 $h_{fe}(s) \equiv I_c / I_b$ 表达式的电路

将 I_b 乘以 B′ 与 E 之间看进去的阻抗可以建立 V_π 和 I_b 之间的关系式：

$$V_\pi = I_b(r_\pi // C_\pi // C_\mu) = \frac{I_b}{1/r_\pi + sC_\pi + sC_\mu} \tag{5.158}$$

因此结合式（5.157）和式（5.158）可以得到 h_{fe}：

$$h_{fe} \equiv \frac{I_c}{I_b} = \frac{g_m - sC_\mu}{1/r_\pi + s(C_\pi + C_\mu)}$$

在使该模型有效的频率上，有 $g_m \gg \omega C_\mu$，因此可以忽略分子中的 sC_μ 项，并写成

$$h_{fe} \simeq \frac{g_m r_\pi}{1 + s(C_\pi + C_\mu) r_\pi}$$

因此，

$$h_{fe} = \frac{\beta_0}{1 + s(C_\pi + C_\mu) r_\pi} \tag{5.159}$$

其中 β_0 是 β 的低频值。因此 h_{fe} 是单极点（STC）响应[①]，它的 3 dB 频率位于 $\omega = \omega_\beta$ 处，其中，

$$\omega_\beta = \frac{1}{(C_\pi + C_\mu) r_\pi} \tag{5.160}$$

图 5.69 显示了 $|h_{fe}|$ 的波特图。从−6 dB/二倍频程的斜率可以得出 $|h_{fe}|$ 下降为 1 时的频率，称为

① 在 1.6 节中回顾了 STC 网络的频率响应，详细论述也可以参考附录 D。

单位增益带宽 ω_T，它的值为

$$\omega_T = \beta_0 \omega_\beta \tag{5.161}$$

因此，

$$\omega_T = \frac{g_m}{C_\pi + C_\mu} \tag{5.162}$$

和

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)} \tag{5.163}$$

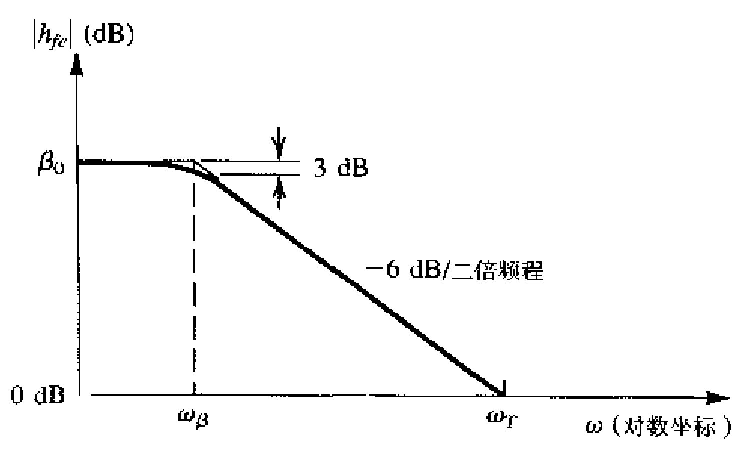


图 5.69 $|h_{fe}|$ 的波特图

单位增益带宽 f_T 通常在晶体管的数据表中可以查到。在某些情况下，f_T 作为 I_C 和 V_{CE} 的函数给出。为了理解 f_T 如何随 I_C 变化，我们已经知道 g_m 与 I_C 成正比，但是只有部分 C_π（扩散电容 C_{de}）与 I_C 成正比。可以得出在低电流时 f_T 减小，如图 5.70 所示。但是这并不能解释在高电流时 f_T 的减小，如图 5.70 所示，它的原因与在高电流时 β_0 减小的原因一样。在 f_T 几乎不变的区域，C_π 主要以扩散电容为主。

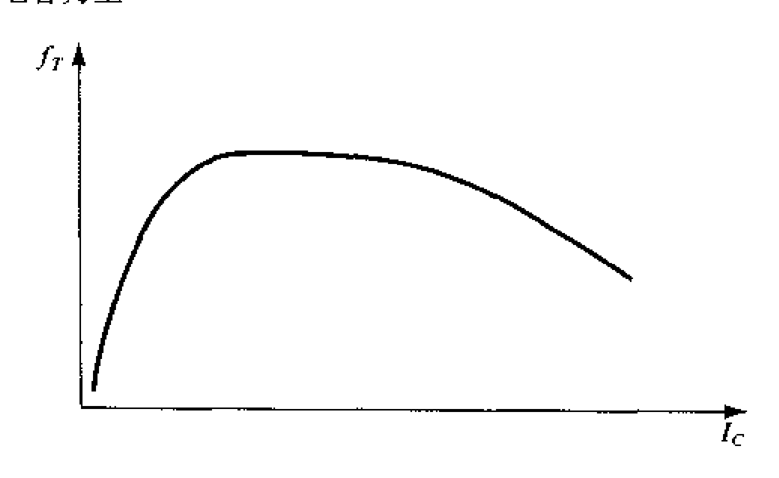


图 5.70 f_T 随 I_C 的变化

f_T 的典型值在 100 MHz 到几十 GHz 之间，可以使用 f_T 的值来确定 $C_\pi + C_\mu$。电容 C_μ 通常通过在反向偏置电压 V_{CB} 下测量基极和集电极之间的电容来单独确定。

在结束本节之前，我们应该注意图 5.68 所示的混合 π 模型的准确性是受到频率的限制的，即频率低于 0.2 f_T 时模型可以相当准确地描述晶体管的特性。在更高的频率时，必须在模型中增加其他寄生元素以及优化模型来描述晶体管实际上是一个分布参数网络的事实，但是我们尽量用集

总元件电路来对这个分布参数网络建立模型。这种优化包括将 r_x 分成几个部分，并用多个电容来替代 C_μ，每一个都连接在集电极和其中的一个 r_x 抽头之间。这个内容超出了本书的范围。

从图 5.68 所示的高频模型中可以看出一个重要的现象是在大于 5 到 10 f_β 的频率时，可以忽略电阻 r_π。然后可以看出在高频时，r_x 成为输入阻抗惟一的电阻部分。因此 r_x 在高频时确定晶体管电路的频率响应中发挥着重要的作用。可以看出，r_x 的精确值应该从高频测量中得到。

练习 5.48 当 BJT 工作的集电极直流电流 $I_C = 1$ mA 且 CBJ 反偏电压为 2 V 时，求 C_{de}，C_{je}，C_π，C_μ 和 f_T。该器件的参数为：$\tau_F = 20$ ps，$C_{je0} = 20$ fF，$C_{\mu 0} = 20$ fF，$V_{0e} = 0.9$ V，$V_{0c} = 0.5$ V，$m_{CBJ} = 0.33$。

答案：0.8 pF；40 fF；0.84 pF；12 fF；7.47 GHz

练习 5.49 一个 BJT 工作在 $I_C = 1$ mA，如果 $C_\mu = 2$ pF，在 50 MHz 时 $|h_{fe}| = 10$，确定 f_T 和 C_π。

答案：500 MHz；10.7 pF

练习 5.50 如果练习 5.49 中的 BJT 的 C_π 包含一个 2 pF 的相对恒定的耗尽层电容，求 BJT 工作在 $I_C = 0.1$ mA 时的 f_T。

答案：130.7 MHz

5.8.6 总结

为了便于参考，表 5.7 给出了用来确定 BJT 高频模型参数值的关系式的总结。

表 5.7 BJT 高频模型

$g_m = I_C / V_T$	$r_o = \lvert V_A \rvert / I_C$	$r_\pi = \beta_0 / g_m$	
$C_\pi + C_\mu = \dfrac{g_m}{2\pi f_T}$	$C_\pi = C_{de} + C_{je}$	$C_{de} = \tau_F g_m$	$C_{je} \simeq 2C_{je0}$
$C_\mu = C_{\mu 0} \Big/ \left(1 + \dfrac{V_{CB}}{V_{0c}}\right)^m$，$m = 0.3 \sim 0.5$			

5.9 共发射极放大器的频率响应

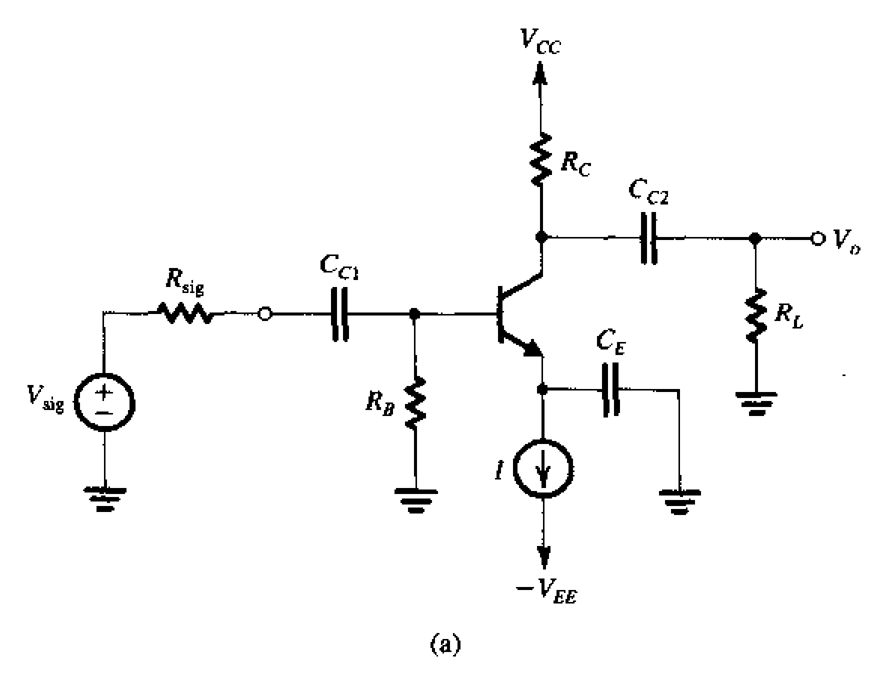
本节将介绍图 5.71（a）所示 BJT 共发射极放大器的增益与输入信号频率的相关性。

5.9.1 三个频段

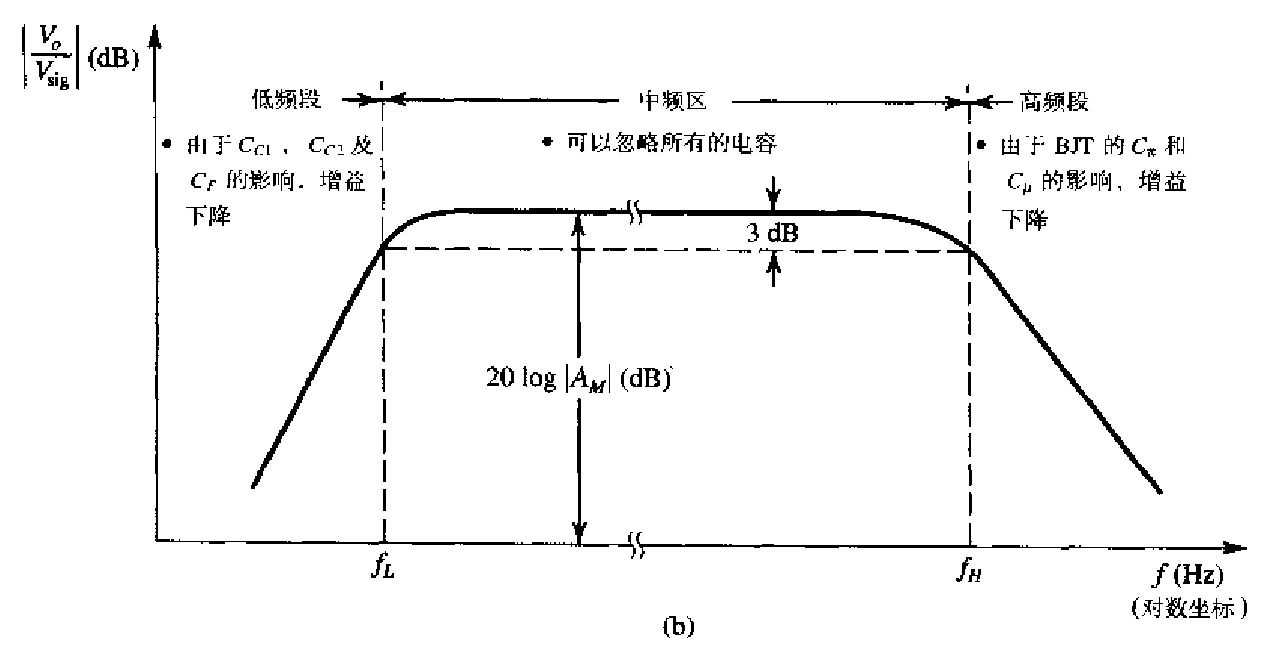
当在 5.7.3 节中介绍图 5.71（a）所示的电路时，假定耦合电容 C_{C1}，C_{C2} 和旁路电容 C_E 对所有感兴趣的频率都相当于短路，并且忽略了 BJT 的内部电容，即假定 BJT 高频模型中的 C_π 和 C_μ（见图 5.67）足够小，对所有信号频率都相当于开路。其结果是忽略了所有的电容效应，在 5.7.3 节中推导出来的增益表达式与频率无关。但是，实际上这种情况只能应用在有限的频率范围内。

尽管该频段较宽。这在图 5.71（b）中可以看出，它是共发射极放大器的总电压增益的幅度$|G_v|$对频率的关系。在一个较宽的频率范围内，增益几乎保持不变，这个频段叫做中频区。中频增益值A_M等于在 5.7.3 节中得到的总电压增益G_v，即

$$A_M = \frac{V_o}{V_{sig}} = -\frac{(R_B \parallel r_\pi)}{(R_B \parallel r_\pi)+R_{sig}} g_m(r_o \parallel R_C \parallel R_L) \tag{5.164}$$



(a)



(b)

图 5.71　（a）电容耦合共发射极放大器；（b）CE 放大器的增益幅度对频率的曲线。该图形描述了与频率响应的确定有关的三个频段

图 5.71（b）还指出在信号频率低于和高于中频区时增益会下降。在低频段的增益下降是由于即使C_{C1}、C_{C2}及C_E都是大电容（在μF 级），随着频率减小，它们的阻抗在增加，因此它们不再相当于短路。另一方面，在高频段的增益下降是C_{gs}和C_{gd}的结果，尽管它们非常小（在 pF 或零点几 pF 的范围），在频率足够高的时候，它们的阻抗在减小，因此不再能够当做开路。在本节

中，我们的目标是分析这两类电容在高频段和低频段影响放大器增益的机理。这样我们能够确定频率 f_H 和 f_L，它们定义了中频区的范围，如图 5.71（b）所示。

显然，中频区是放大器有用的频率带宽。通常，f_H 和 f_L 是增益比其中频增益下降 3 dB 时的频率，即在 f_H 和 f_L 时，$|增益|=|A_M|/\sqrt{2}$。放大器带宽或 3 dB 带宽定义为下限 3 dB 频率和上限 3 dB 频率之间的差值：

$$BW \equiv f_H - f_L \tag{5.165}$$

因为通常有 $f_L \ll f_H$，因此，

$$BW \simeq f_H$$

放大器的一个指标是它的增益带宽积，定义为

$$GB = |A_M| BW \tag{5.166}$$

在后面可以看出在放大器的设计中，通常可能需要牺牲增益来获得较大的带宽。实现这一点的一个方法是增加源衰减电阻 R_e，如我们在 5.7.4 中所讲的。

5.9.2 高频响应

为了确定图 5.71（a）所示电路在高频时、特别是在上限 3 dB 频率 f_H 时的增益或传输函数，用图 5.67 所示的高频模型来替代 BJT。在这些频率处，C_{C1}，C_{C2} 及 C_E 相当于短路。结果得到图 5.72（a）所示的高频放大器等效电路。

图 5.72（a）所示的等效电路可以通过输入端的戴维南等效以及在输出端合并三个并联的电阻来简化。具体地说，读者应该能够证明两次应用戴维南定理可以将输入端一边的电阻网络简化为一个信号发生器 V'_{sig} 和一个电阻 R'_{sig}，其中，

$$V'_{sig} = V_{sig}\frac{R_B}{R_B + R_{sig}}\frac{r_\pi}{r_\pi + r_x + (R_{sig} \parallel R_B)} \tag{5.167}$$

$$R'_{sig} = r_\pi \parallel [r_x + (R_B \parallel R_{sig})] \tag{5.168}$$

可以看出，R'_{sig} 是节点 B′ 和 E 之间往后看进去的电阻网络的电阻。

如果能够处理连接在输出节点和输入节点 B′ 之间的桥式电容 C_μ，那么就可以进一步简化图 5.72(b)所示的电路。为了达到这个目的，首先考虑输出节点。可以看出负载电流是 $(g_mV_\pi - I_\mu)$，其中，g_mV_π 是晶体管的输出电流，I_μ 是通过小电容 C_μ 提供的电流。在 f_H 附近的频率（即接近中频区边缘的频率）处，可以合理假设 I_μ 远小于 g_mV_π，结果是 V_o 可以近似为

$$V_o \simeq -g_mV_\pi R'_L = -g_mR'_LV_\pi \tag{5.169}$$

因为 $V_o = V_{ce}$，式（5.169）表明从 B′ 到 C 的增益为 $-g_mR'_L$，与中频时的值相同。现在可以求得电流 I_μ 为

$$\begin{aligned} I_\mu &= sC_\mu(V_\pi - V_o) \\ &= sC_\mu[V_\pi - (-g_mR'_LV_\pi)] \\ &= sC_\mu(1+g_mR'_L)V_\pi \end{aligned}$$

在图 5.72（b）中，XX′的左半边电路相当于只知道右边有一个流过电流 I_μ 的电容 C_μ 存在，因此可以用一个 B′ 和地之间的等效电容 C_{eq} 替代 C_μ，只要 C_{eq} 获得等于 I_μ 的电流，即

$$sC_{eq}V_\pi = I_\mu = sC_\mu(1+g_mR'_L)V_\pi$$

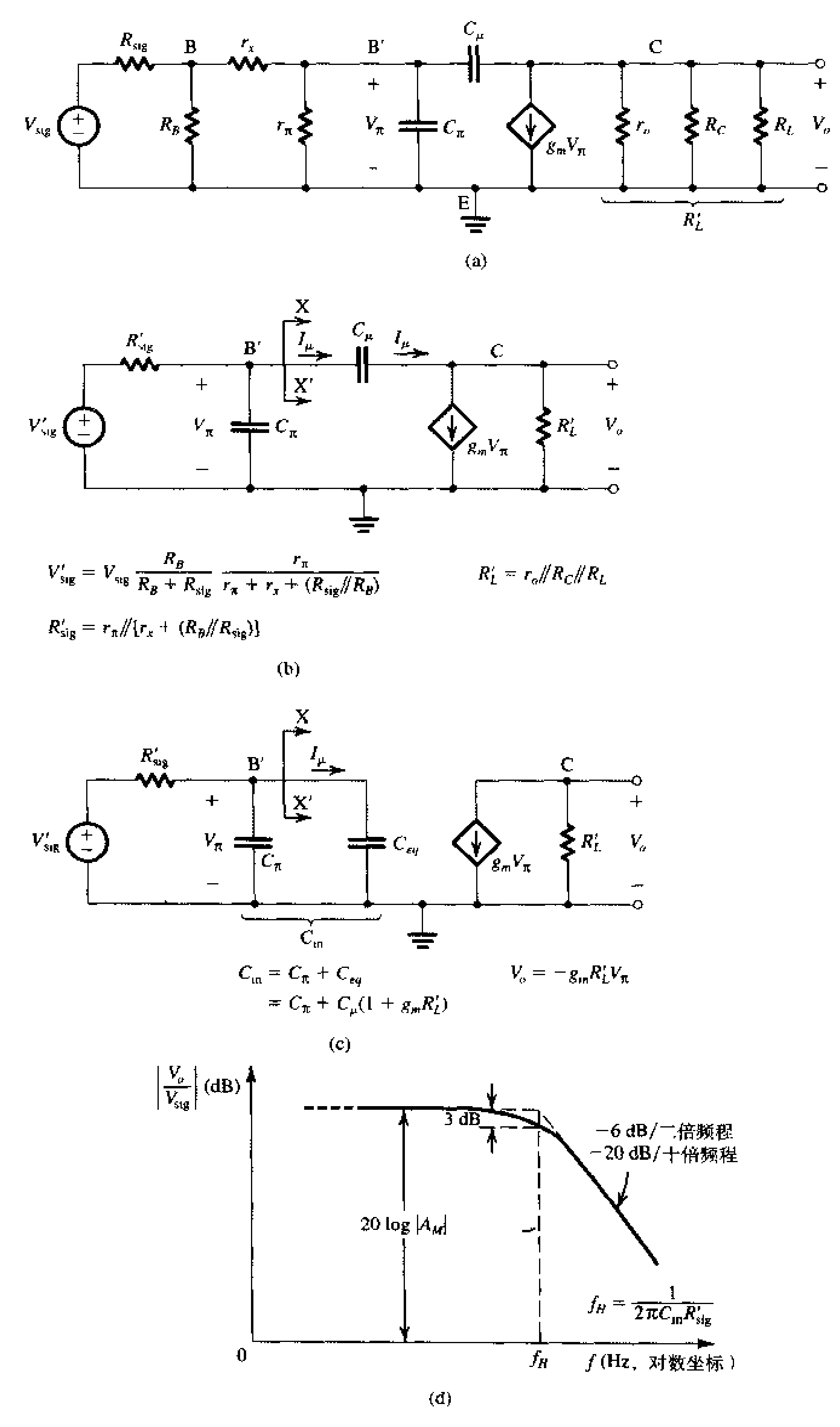


图 5.72 确定 CE 放大器的高频响应：（a）等效电路；（b）（a）的输入端和输出端简化后的电路；（c）在输入端用等效电容 C_{eq} 替代 C_μ 得到的等效电路；（d）频率响应输出，是一个低通 STC 电路的响应

可得

$$C_{eq}=C_\mu(1+g_mR'_L) \tag{5.170}$$

使用C_{eq}可以将输入端的等效电路简化为如图 5.72（c）所示，可以看出，图 5.72（c）所示电路是低通类型的单时间常数（STC）电路（见 1.6 节和附录 D） 因此可以用V'_{sig}来表示V_π：

$$V_\pi=V'_{sig}\frac{1}{1+s/\omega_0} \tag{5.171}$$

其中，ω_0是由C_{in}和R'_{sig}组成的 STC 网络的角频率：

$$\omega_0=1/C_{in}R'_{sig} \tag{5.172}$$

其中，C_{in}是节点 B′ 处的总输入电容：

$$C_{in}=C_\pi+C_{eq}=C_\pi+C_\mu(1+g_mR'_L) \tag{5.173}$$

R'_{sig}是由式（5.168）给出的有效的源电阻 合并式（5.169）、式（5.171）和式（5.167）可得到高频增益为

$$\frac{V_o}{V_{sig}}=-\left[\frac{R_B}{R_B+R_{sig}}\frac{r_\pi\cdot g_mR'_L}{r_\pi+r_x+(R_{sig}\parallel R_B)}\right]\left(\frac{1}{1+\dfrac{s}{\omega_0}}\right) \tag{5.174}$$

式（5.174）方括号中的量是中频增益，除了在这里考虑了r_x以外，该表达式与式（5.164）中的表达式相同。因此，

$$\frac{V_o}{V_{sig}}=\frac{A_M}{1+\dfrac{s}{\omega_0}} \tag{5.175}$$

从中可以得出上限 3 dB 频率f_H必定为

$$f_H=\frac{\omega_0}{2\pi}=\frac{1}{2\pi C_{in}R'_{sig}} \tag{5.176}$$

因此可以看出高频响应是低通 STC 网络的响应，它的 3 dB 频率f_H由时间常数$C_{in}R'_{sig}$确定 图 5.72（d）显示了高频增益的幅度曲线。

在结束本节之前，我们将观察到的一些现象列出如下：

1. 上限 3 dB 频率由R'_{sig}和C_{in}的相互作用确定。如果$R_B\gg R_{sig}$以及$r_x\ll R_{sig}$，那么$R'_{sig}\simeq R_{sig}\parallel r_\pi$。因此$R_{sig}$决定$f_H$的程度取决于它相对于$r_\pi$的值：如果$R_{sig}\gg r_\pi$，那么$R'_{sig}\simeq r_\pi$。另一方面，如果$R_{sig}$与$r_\pi$有相同的数量级或小于$r_\pi$，那么它对$f_H$值的影响很大。
2. 输入电容C_{in}通常是C_{eq}占主导地位，而且由于C_μ的乘法效应，C_{eq}又会变大。因此，尽管C_μ通常很小，然而由于$(1+g_mR'_L)$因子的乘法效应，它对放大器频率响应的影响可能非常大，该因子近似等于放大器的中频增益
3. 因为C_μ连接在两个节点（B′ 和 C）之间，这两个节点的电压由一个较大的负增益（即$-g_mR'_L$）相关联，因此产生C_μ的乘法效应 该效应称为米勒效应，$(1+g_mR'_L)$称为米勒倍增因子。正是由于米勒效应使得 CE 放大器有较大的输入电容C_{in}以及较小的f_H。
4. 为扩展 BJT 放大器的高频响应，我们必须找到一种组态，在这种组态中，应该不存在或者至少应该减小米勒效应。我们将在第 6 章中详细讨论有关内容。

5. 上述分析得到的 STC 或单极点响应是简化的结果。具体地说，它是基于这样一个假设，即相对于 $g_m V_\pi$ 可以忽略 I_μ，这个假设在频率不大于 f_H 时应用得比较好。图 5.72（a）所示电路的精确分析将在第 6 章中考虑。上面的结果足以满足现在的要求。

例题 5.18　求图 5.71（a）所示的共发射极放大器在下面情况下的中频增益和上限 3 dB 频率：$V_{CC}=V_{EE}=10\,\text{V}$，$I=1\,\text{mA}$，$R_B=100\,\text{k}\Omega$，$R_C=8\,\text{k}\Omega$，$R_{\text{sig}}=5\,\text{k}\Omega$，$R_L=5\,\text{k}\Omega$，$\beta_0=100$，$V_A=100\,\text{V}$，$C_\mu=1\,\text{pF}$，$f_T=800\,\text{MHz}$ 以及 $r_x=50\,\Omega$。

解： 晶体管被偏置在 $I_C \simeq 1\,\text{mA}$ 处，因此它的混合π模型参数值为

$$g_m=\frac{I_C}{V_T}=\frac{1\,\text{mA}}{25\,\text{mV}}=40\,\text{mA/V}$$

$$r_\pi=\frac{\beta_0}{g_m}=\frac{100}{40\,\text{mA/V}}=2.5\,\text{k}\Omega$$

$$r_o=\frac{V_A}{I_C}=\frac{100\,\text{V}}{1\,\text{mA}}=100\,\text{k}\Omega$$

$$C_\pi+C_\mu=\frac{g_m}{\omega_T}=\frac{40\times10^{-3}}{2\pi\times800\times10^6}=8\,\text{pF}$$

$$C_\mu=1\,\text{pF}$$

$$C_\pi=7\,\text{pF}$$

$$r_x=50\,\Omega$$

中频增益为

$$A_M=-\frac{R_B}{R_B+R_{\text{sig}}}\frac{r_\pi}{r_\pi+r_x+(R_B \parallel R_{\text{sig}})}g_m R_L'$$

其中，

$$R_L'=r_o \parallel R_C \parallel R_L$$
$$=(100 \parallel 8 \parallel 5)\,\text{k}\Omega \simeq 3\,\text{k}\Omega$$

因此，

$$g_m R_L'=40\times3=120\,\text{V/V}$$

和

$$A_M=-\frac{100}{100+5}\times\frac{2.5}{2.5+0.05+(100 \parallel 5)}\times120$$
$$=-39\,\text{V/V}$$

和

$$20\log|A_M|=32\,\text{dB}$$

为了确定 f_H，首先求解 C_{in}：

$$C_{\text{in}}=C_\pi+C_\mu(1+g_m R_L')$$
$$=7+1(1+120)=128\,\text{pF}$$

以及有效源电阻 R_{sig}'：

$$R'_{sig} = r_\pi \| [r_x + (R_B \| R_{sig})]$$
$$= 2.5 \| \{0.05 + (100 \| 5)\}$$
$$= 1.65\ \text{k}\Omega$$

因此，

$$f_H = \frac{1}{2\pi C_{in} R'_{sig}} = \frac{1}{2\pi \times 128 \times 10^{-12} \times 1.65 \times 10^3} = 754\ \text{kHz}$$ ■

练习 5.51 对于例题 5.18 的放大器，求使中频增益减小到一半时的 R_L。所得到的 f_H 为多少？注意增益和带宽之间的平衡。

答案：1.9 kΩ；1.42 MHz

5.9.3 低频响应

为了确定共发射极放大器电路的低频增益（或传输函数），我们在图 5.73（a）中给出了去掉直流源后的电路（电流源 I 开路，电压源 V_{CC} 短路）。我们将在电路上直接进行小信号分析。当然，我们将忽略 C_π 和 C_μ，因为在这个低频处，它们的阻抗非常高，因此可以被认为是开路的。此外，为了使分析简单而把主要注意力集中在低频时放大器增益限制的机制上，我们将忽略 r_o。读者可以利用 SPICE 验证 r_o 对低频放大器增益的影响很小。最后，我们也忽略 r_x，通常它远小于与之串联的 r_π。

对图 5.72（a）所示的电路分析首先考虑 C_{C1}，C_E 和 C_{C2} 三个电容中每次只有一个起作用。也就是说，当考虑 C_{C1} 的影响时，假定 C_E 和 C_{C2} 相当于短路；当考虑 C_E 时，假定 C_{C1} 和 C_{C2} 短路；等等。显然，这是一种重要的简化假设——可能不是很恰当的假设，但是它作为分析的第一个假设可以使我们能够了解这些电容的影响。

图 5.72（b）显示了将 C_E 和 C_{C2} 短路后得到的电路。晶体管基极的电压 V_π 可以写成

$$V_\pi = V_{sig} \frac{R_B \| r_\pi}{(R_B \| r_\pi) R_{sig} + \frac{1}{sC_{C1}}}$$

得到输出电压为

$$V_o = -g_m V_\pi (R_C \| R_L)$$

合并这两个公式可以得到包含 C_{C1} 影响的电压增益 V_o/V_{sig} 为

$$\frac{V_o}{V_{sig}} = -\frac{(R_B \| r_\pi)}{(R_B \| r_\pi) + R_{sig}} g_m (R_C \| R_L) \left[\frac{s}{s + \frac{1}{C_{C1}[(R_B \| r_\pi) + R_{sig}]}} \right] \tag{5.177}$$

从中可以看出 C_{C1} 的影响是在式（5.177）的右边的方括号中引入与频率有关的因子。可以看出该因子是高通类型的单时间常数（STC）网络的传输函数（见 1.6 节以及附录 D），其角频率 ω_{P1} 为

$$\omega_{P1} = \frac{1}{C_{C1}[(R_B \| r_\pi) + R_{sig}]} \tag{5.178}$$

注意，$[(R_B \| r_\pi) + R_{sig}]$ 是当 V_{sig} 为 0 时从 C_{C1} 两端看进去的电阻。由 C_{C1} 引入的该 STC 高通因子使得放大器增益在低频时以 6 dB/二倍频程（20 dB/十倍频程）的速率下降，3 dB 频率为 $f_{P1} = \omega_{P1} / 2\pi$，如图 5.73（b）所示。

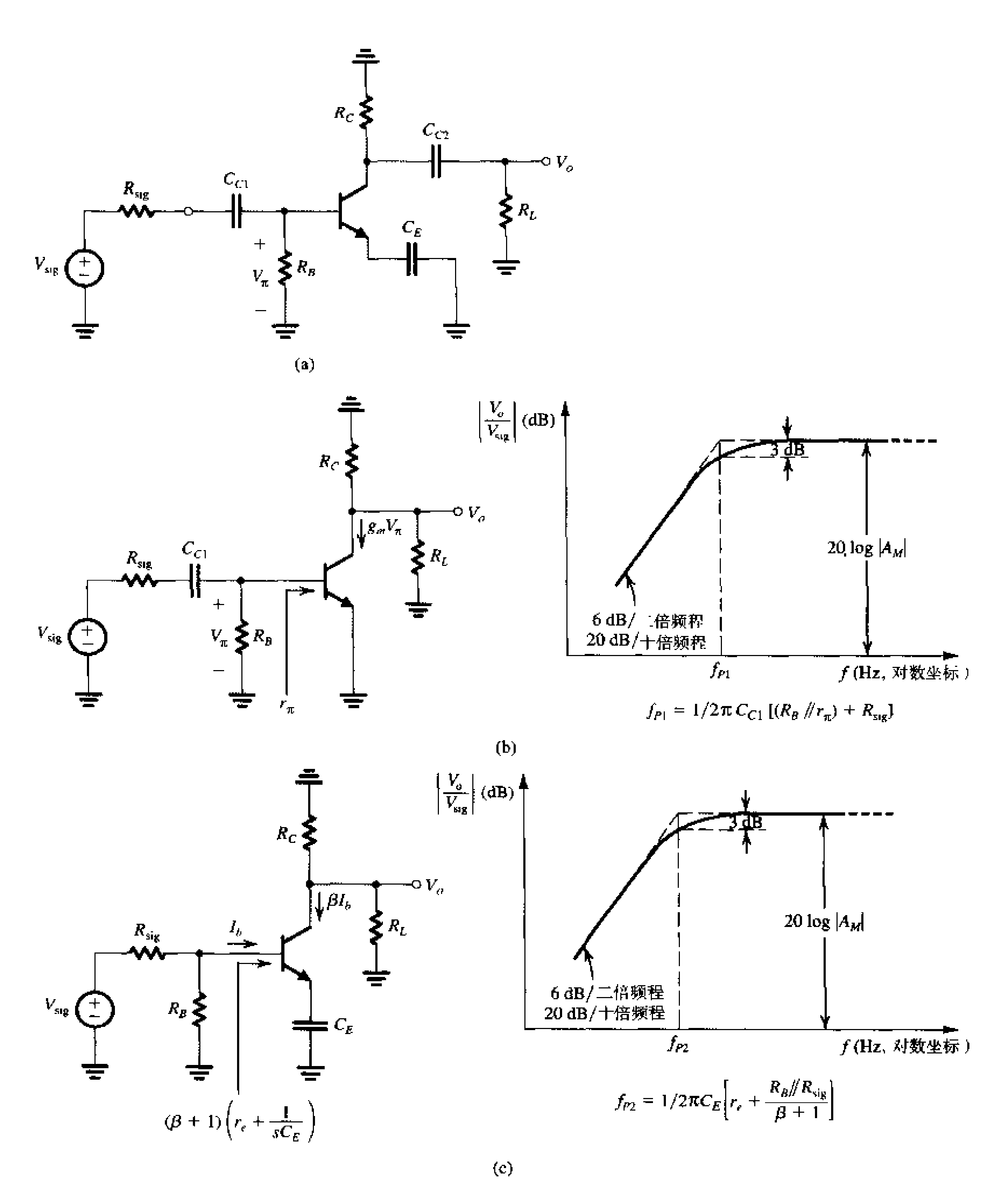
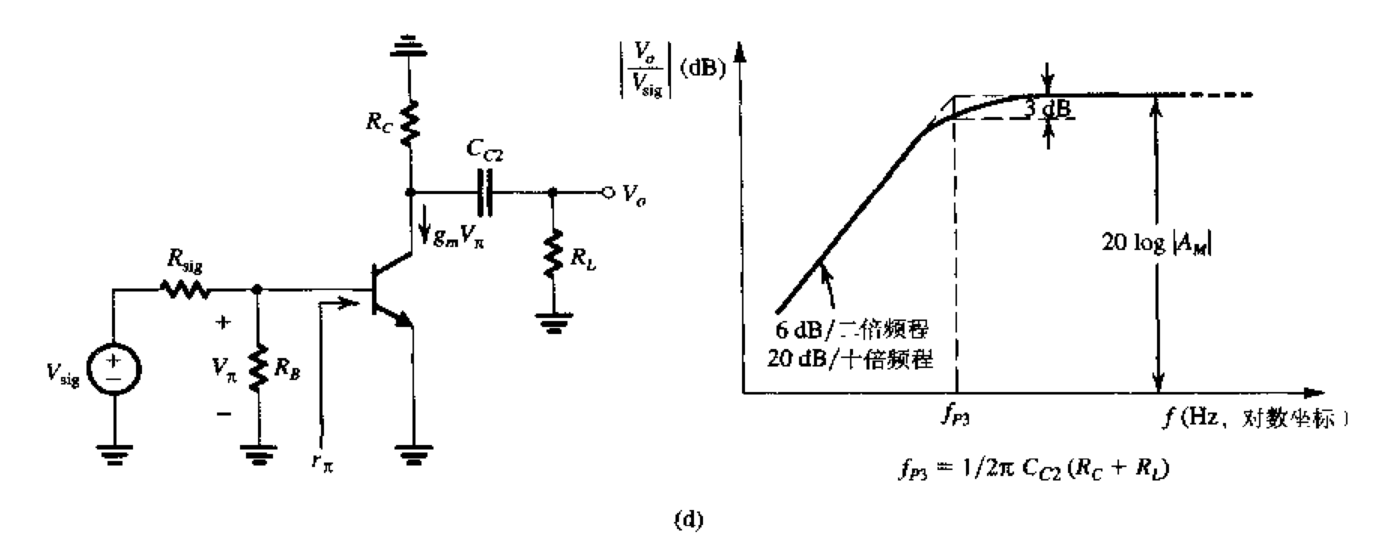
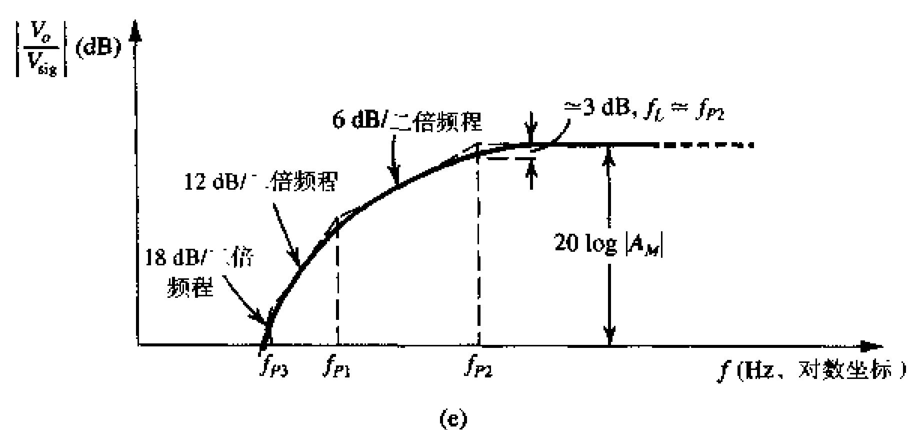


图 5.73　CE 放大器低频响应的分析：（a）移去直流源的放大器电路；（b）假定 C_E 和 C_{C2} 相当于短路，确定 C_{C1} 的影响；（c）假定 C_{C1} 和 C_{C2} 相当于短路，确定 C_E 的影响



(d)



(e)

图 5.73（续） CE 放大器低频响应的分析：（d）假定C_E和C_{C1}相当于短路，确定C_{C2}的影响；（e）低频增益的曲线，假定C_{C1}，C_E和C_{C2}互不影响并且它们的角频率分得很开

接下来，考虑C_E的影响。为了达到这个目的，假设C_{C1}和C_{C2}相当于短路，因此得到图 5.73（c）所示的电路。将r_e和C_E反射到基极电路并使用戴维南定理可以得到基极电流为

$$I_b = V_{sig}\frac{R_B}{R_B+R_{sig}}\frac{1}{(R_B \parallel R_{sig})+(\beta+1)\left(r_e+\frac{1}{sC_E}\right)}$$

然后求得集电极电流为βI_b，输出电压为

$$\begin{aligned}V_o &= -\beta I_b(R_C \parallel R_L)\\ &= -\frac{R_B}{R_B+R_{sig}}\frac{\beta(R_C \parallel R_L)}{(R_B \parallel R_{sig})+(\beta+1)\left(r_e+\frac{1}{sC_E}\right)}V_{sig}\end{aligned}$$

因此包含C_E影响的电压增益可以表示为

$$\frac{V_o}{V_{sig}} = -\frac{R_B}{R_B+R_{sig}}\frac{\beta(R_C \parallel R_L)}{(R_B \parallel R_{sig})+(\beta+1)r_e}\frac{s}{s+\left[1/C_E\left(r_e+\frac{R_B \parallel R_{sig}}{\beta+1}\right)\right]} \tag{5.179}$$

可以看出C_E引入了最右边的 STC 高通因子，因此C_E使得增益在低频时以 6 dB/二倍频程的速率下降，3 dB 频率等于高通 STC 因子的角频率，即

$$\omega_{P2} = \frac{1}{C_E\left[r_e + \dfrac{R_B \parallel R_{sig}}{\beta+1}\right]} \tag{5.180}$$

可以看出，$[r_e + ((R_B \parallel R_{sig})/(\beta+1))]$ 是当 V_{sig} 为 0 时从 C_E 两端看进去的电阻。图 5.73（c）中的曲线说明了 C_E 对放大器频率响应的影响。

最后，考虑 C_{C2} 的影响。假定 C_{C1} 和 C_E 相当于短路，得到的电路如图 5.73（d）所示。对于该电路可以写出

$$V_\pi = V_{sig}\frac{R_B \parallel r_\pi}{(R_B \parallel r_\pi)+R_{sig}}$$

和

$$V_o = -g_m V_\pi \frac{R_C}{R_C + \dfrac{1}{sC_{C2}} + R_L} R_L$$

合并这两个公式可以得到包含 C_{C2} 影响的低频增益为

$$\frac{V_o}{V_{sig}} = -\frac{R_B \parallel r_\pi}{(R_B \parallel r_\pi)+R_{sig}} g_m(R_C \parallel R_L)\left[\frac{s}{s + \dfrac{1}{C_{C2}(R_C+R_L)}}\right] \tag{5.181}$$

可以看出，C_{C2} 引入了方括号中的与频率有关的因子，它是高通 STC 网络的传输函数，角频率为 ω_{P3}：

$$\omega_{P3} = \frac{1}{C_{C2}(R_C+R_L)} \tag{5.182}$$

可以注意到正如我们所期望的，(R_C+R_L) 是当 V_{sig} 为 0 时从 C_{C2} 两端看进去的电阻。因此电容 C_{C2} 使得放大器低频增益以 6 dB/二倍频程的速率下降，3 dB 频率为 $f_{P3} = \omega_{P3}/2\pi$，如图 5.73（d）中的曲线所示。

我们已经确定了 C_{C1}，C_E 和 C_{C2} 单独作用时的影响，现在的问题是当三个电容同时存在时会发生什么情况。这个问题分两部分：首先，当三个电容同时存在但互不影响时会发生什么？答案是放大器低频增益可以表示为

$$\frac{V_o}{V_{sig}} = -A_M\left(\frac{s}{s+\omega_{P1}}\right)\left(\frac{s}{s+\omega_{P2}}\right)\left(\frac{s}{s+\omega_{P3}}\right) \tag{5.183}$$

从中可以看出它有三个角频率 f_{P1}，f_{P2} 和 f_{P3}，它们都在低频段。如果这三个频率分得很开，它们的影响很明显，如图 5.73（e）中的曲线所示。需要注意的重要一点是 3 dB 频率 f_L 由三个角频率中最高的频率确定。通常这是由旁路电容 C_E 引起的角频率，这是因为从它两端看进去的电阻通常很小。因此，即使采用较大值的 C_E，f_{P2} 也通常是三个角频率中的最大值。

如果 f_{P1}、f_{P2} 和 f_{P3} 很接近，则这三个频率都不占主要地位，为了确定 f_L，必须计算式（5.183）中的 $|V_o/V_{sig}|$ 并计算增益下降为 $|A_M|/\sqrt{2}$ 时的频率。但是这样做的工作量通常很大，在实际中几乎是不可行的，特别是因为在任何情况下，式（5.183）基于这三个电容互相之间不影响的假设。这就产生了第二个问题：当三个电容同时存在并互相影响时会发生什么情况？我们知道 C_{C1} 和 C_E

经常互相影响，并且它们合在一起的影响将在某种程度上产生与 ω_{P1} 和 ω_{P2} 不同的两个极点。当然，也可以推导出考虑了相互之间的影响后的总的传输函数，并更精确地求得低频响应。但是这样做太复杂而且不能得到更多的对电路的深入认识。作为一个选择，对于手工计算可以利用下面的公式（这里不推导）来得到一个比较合理的估计[①]：

$$f_L \simeq \frac{1}{2\pi}\left[\frac{1}{C_{C1}R_{C1}}+\frac{1}{C_E R_E}+\frac{1}{C_{C2}R_{C2}}\right] \tag{5.184}$$

或以下等效的估计：

$$f_L = f_{P1}+f_{P2}+f_{P3} \tag{5.185}$$

其中，R_{C1}，R_E 和 R_{C2} 是当 V_{sig} 为 0 时其他两个电容用短路替换后分别从 C_{C1}，C_E 和 C_{C2} 看进去的电阻。式（5.184）和式（5.185）给出了三个电容对 f_L 的相对贡献。最后要注意，利用 SPICE 可以更精确地确定低频增益和 3 dB 频率 f_L（见 5.11 节）。

选择 C_{C1}，C_E 和 C_{C2} 的值 现在我们通过选择 C_{C1}，C_E 和 C_{C2} 的值来讲解设计时如何选择合适的 C_{C1}，C_E 和 C_{C2} 值的问题。设计目标是使下限 3 dB 频率 f_L 位于指定位置，并且要求电容值最小。如上所述，因为从 C_E 看进去的电阻通常是三个电阻的最低值，因此选择 C_E 使它对 f_L 的贡献占主要地位可以使总电容最小。也就是说，参考式（5.184），比如我们可以选择 C_E 使得 $1/(C_E R_E)$ 是 $\omega_L = 2\pi f_L$ 的 80%，而其他电容对 ω_L 的贡献各占 10%。例题 5.19 说明了这个过程。

例题 5.19 *为共发射极放大器选择合适的 C_{C1}，C_E 和 C_{C2} 值，该放大器的高频响应如例题 5.18 的分析。该放大器有 $R_B = 100\ \text{k}\Omega$，$R_C = 8\ \text{k}\Omega$，$R_{sig} = 5\ \text{k}\Omega$，$R_L = 5\ \text{k}\Omega$，$\beta_0 = 100$，$g_m = 40\ \text{mA/V}$ 以及 $r_\pi = 2.5\ \text{k}\Omega$。要求 $f_L = 100\ \text{Hz}$。*

解：首先确定从三个电容 C_{C1}，C_E 和 C_{C2} 看进去的电阻，分别如下：

$$R_{C1} = (R_B \parallel r_\pi) + R_{sig} = (100 \parallel 2.5) + 5 = 7.44\ \text{k}\Omega$$

$$R_E = r_e + \frac{R_B \parallel R_{sig}}{\beta+1} = 0.025 + \frac{100 \parallel 5}{101} = 0.072\ \text{k}\Omega = 72\ \Omega$$

$$R_{C2} = R_C + R_L = 8 + 5 = 13\ \text{k}\Omega$$

现在，选择 C_E 使它对 ω_L 值的贡献为 80%，可以得到

$$\frac{1}{C_E \times 72} = 0.8\times 2\pi\times 100$$

$$C_E = 27.6\ \mu\text{F}$$

接下来，如果 C_{C1} 贡献 f_L 的 10%，则

$$\frac{1}{C_{C1}\times 7.44\times 10^3} = 0.1\times 2\pi\times 100$$

$$C_{C1} = 2.1\ \mu\text{F}$$

同样，如果 C_{C2} 贡献 10%，它的值选择如下：

---

① 有兴趣的读者可以参考本书第四版的第 7 章。

$$\frac{1}{C_{C2}\times 13\times 10^3}=0.1\times 2\pi\times 100$$

$$C_{C2}=1.2\ \mu\text{F}$$

在实际中，我们将选择最接近标准值的三个电容并确保 $f_L \leqslant 100\ \text{Hz}$。■

练习 5.52　一个共发射极放大器有 $C_{C1}=C_E=C_{C2}=1\ \mu\text{F}$，$R_B=100\ \text{k}\Omega$，$R_{sig}=5\ \text{k}\Omega$，$g_m=40\ \text{mA/V}$，$r_\pi=2.5\ \text{k}\Omega$，$R_C=8\ \text{k}\Omega$，$R_L=5\ \text{k}\Omega$。假定三个电容互相不影响，求 f_{P1}，f_{P2} 和 f_{P3}，并估算 f_L 值。

答案：21.4 Hz；2.21 kHz；12.2 Hz；因为 $f_{P2} \gg f_{P1}$ 和 f_{P3}，所以 $f_L \simeq f_{P2}=2.21\ \text{kHz}$；利用式（5.185）可以得到 f_L 更好的估计值为 2.24 kHz

5.9.4　最后的说明

放大器其他组态的频率响应将在第 6 章中介绍。

5.10　基本 BJT 数字逻辑反相器

大多数数字系统的基础是逻辑反相器。1.7 节从概念的层面上分析了逻辑反相器，并且给出了用压控开关实现的逻辑反相器。分析了 BJT 后，我们现在考虑用它实现简单的逻辑反相器。相应的电路参见图 5.74。读者需要注意我们已经详细分析过这样的电路。事实上，我们已经在 5.3.4 节列举了 BJT 可以作为开关应用的例子。作为逻辑反相器工作的电路利用了 BJT 的饱和与截止两种模式。简单地说，如果输入 v_I 是“高”，接近电源电压 V_{CC}（在正逻辑系统里代表逻辑 1），晶体管导通，并且通过选择适当的 R_B 和 R_C 使它饱和。因此输出电压是 $V_{CEsat}\simeq 0.2\ \text{V}$，代表逻辑低电平或者正逻辑系统中的逻辑 0。反之，如果输入电压低，其值接近于地（即 V_{CEsat}），这样晶体管就会关闭，i_C 变成 0，并且 $v_O=V_{CC}$ 成为高电平或者是逻辑 1。

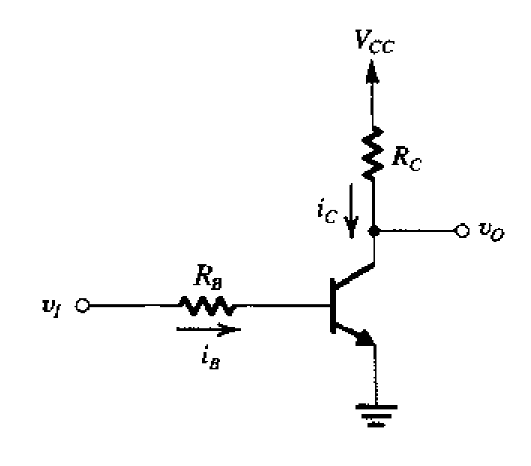


图 5.74　基本 BJT 逻辑反相器

选择截止和饱和作为 BJT 的两种工作模式是因为以下两个原因：

1. 在饱和与截止状态，电路的功率损耗相对较低：在截止状态所有的电流为 0（除了非常小的漏电流），在饱和状态晶体管两端的电压非常小（V_{CEsat}）。
2. 输出电平（V_{CC} 和 V_{CEsat}）有很好的定义。相反，如果晶体管工作在放大区，$v_O=V_{CC}-i_CR_C=V_{CC}-\beta i_BR_C$，这个值依赖于相当难以控制的晶体管参数 β。

5.10.1　电压传输特性

正如 1.7 节讲到的，反相器电路最有用的一个特性是它的 v_O 对 v_I 的电压传输特性。图 5.74 所示反相器的电压传输特性的草图在图 5.75 给出。如图所示，传输特性曲线分别由对应于 BJT 截止、放大和饱和区的三段直线来近似。实际的传输特性曲线显然是光滑曲线，但与给出的直线段很接近。我们现在计算图 5.75 所示特性曲线的间断点坐标，给定的情况是 $R_B=10\ \text{k}\Omega$，$R_C=1\ \text{k}\Omega$，$\beta=50$ 和 $V_{CC}=5\ \text{V}$。

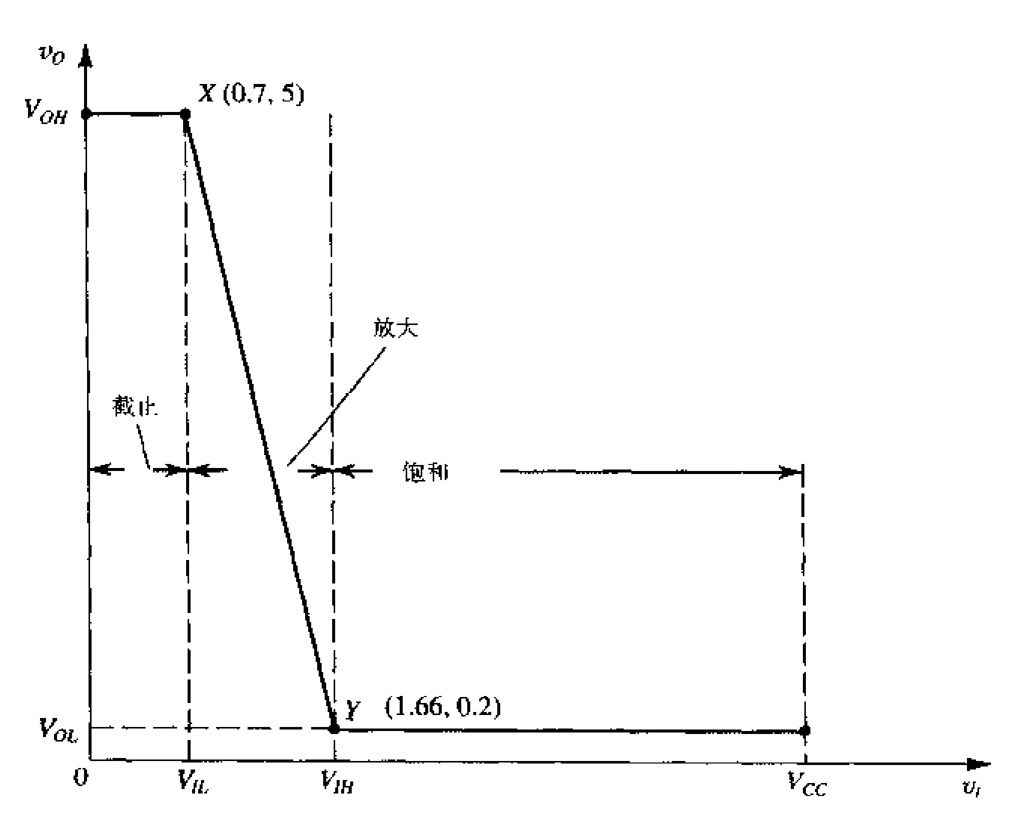


图 5.75 在 $R_B=10\ \text{k}\Omega$，$R_C=1\ \text{k}\Omega$，$\beta=50$ 和 $V_{CC}=5$ V 时图 5.74 给出的反相器的电压传输特性曲线。对于 X 坐标和 Y 坐标的计算，请参考正文

1. 在 $v_I=V_{OL}=V_{CEsat}=0.2$ V 处，$v_O=V_{OH}=V_{CC}=5$ V。
2. 在 $v_I=V_{IL}$ 处，晶体管开始打开，因此，

$$V_{IL}\simeq 0.7\ \text{V}$$

3. 在 $V_{IL}<v_I<V_{IH}$ 时，晶体管进入放大区作为放大器工作。小信号增益为

$$A_v\equiv\frac{v_O}{v_I}=-\beta\frac{R_C}{R_B+r_\pi}$$

增益依赖于 r_π 的值，而它反过来由集电极电流决定，即由 v_I 决定。当流过晶体管的电流增加时，r_π 减少，相对于 R_B 来说，我们可以忽略 r_π，因此增益表达式可以简化为

$$A_v\cong-\beta\frac{R_C}{R_B}=-50\times\frac{1}{10}=-5\ \text{V/V}$$

4. 在 $v_I=V_{IH}$ 处晶体管进入饱和区，因此 V_{IH} 是使晶体管进入饱和边缘的 v_I 值：

$$I_B=\frac{(V_{CC}-C_{CEsat})/R_C}{\beta}$$

根据我们采用的值，可得 $I_B=0.096$ mA，从而可以计算 V_{IH}：

$$V_{IH}=I_BR_B+V_{BE}=1.66\ \text{V}$$

5. 在 $v_I=V_{OH}=5$ V 处，晶体管进入深度饱和，则 $v_O=V_{CEsat}\cong 0.2$ V 并且

$$\beta_{\text{forced}}=\frac{(V_{CC}-V_{CEsat})/R_C}{(V_{OH}-V_{BE})/R_B}$$

$$=\frac{4.8}{0.43}=11$$

6. 噪声容限可以通过1.7节的公式计算：

$$NM_H = V_{OH} - V_{IH} = 5 - 1.66 = 3.34\ \text{V}$$

$$NM_L = V_{IL} - V_{OL} = 0.7 - 0.2 = 0.5\ \text{V}$$

显然，两个噪声容限大不一样，因此反相器不太理想。

7. 转换区的增益可以从间断点的 XY 坐标计算得出：

$$电压增益 = -\frac{5-0.2}{1.66-0.7} = -5\ \text{V/V}$$

它等于前面得到的近似值（两个值完全相同是个巧合）。

5.10.2 饱和与非饱和 BJT 数字电路

刚才讨论的反相器电路属于一类饱和的 BJT 数字电路。历史上很重要的一类饱和型的 BJT 电路是"晶体管-晶体管逻辑"（TTL）。尽管一些类型的 TTL 的电路还在使用，但是饱和晶体管技术通常不再被选择用于设计数字系统。这是因为它们的速度严重地受到打开一个饱和晶体管所需要的较长延迟时间的限制，我们现在简要地分析一下。

我们在 5.1.5 节分析 BJT 饱和时使用了少子在基区的浓度分布曲线（见图 5.10）。这样一种分布在图 5.76 中给出，其中基区的少子电荷被分为两部分：三角部分给出的梯度导致基区的扩散电流；另一部分（即矩形）导致晶体管被驱动成深度饱和状态。晶体管被驱动达到的饱和程度越深（即基极过驱动指数越大），矩形区域存储的电荷量就越多。正是这些存储在基区的额外的电荷在关闭晶体管时会导致严重问题：在集电极电流开始减少前，所有被存储的额外的电荷首先需要被去除，这使得饱和晶体管的关闭时间增加了一个比较大的分量。

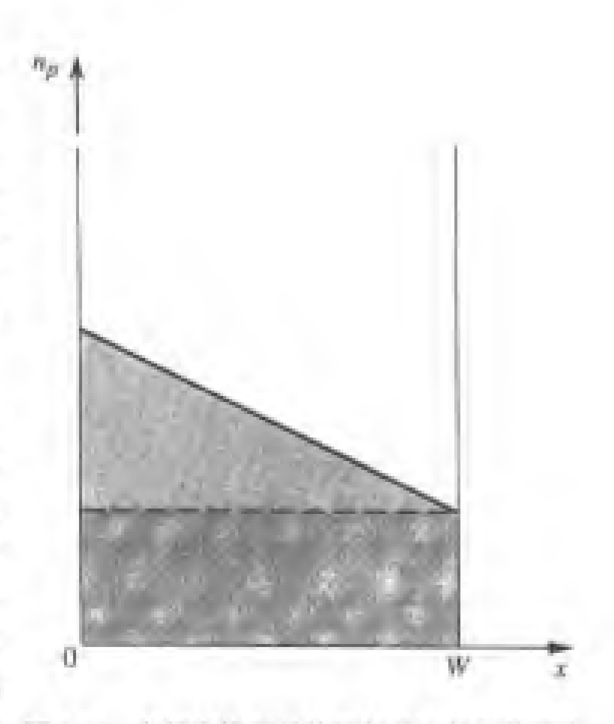


图 5.76 存储在饱和晶体管的基区的少数载流子可以被分为两部分，三角形部分的梯度导致基区的扩散电流，而矩形部分导致晶体管被驱动到深度饱和

根据上面的分析，我们总结出为了得到高的工作速度，晶体管不能进入饱和区。在电流模式逻辑电路和特定形式的称为发射极耦合（ECL）的电路里就要求这样，这些内容将在第11章介绍，届时我们将说明为什么 ECL 是目前可以得到的速度最高的数字电路。它基于1.7节讨论的电流模式开关的结构（见图 1.33）。

练习 5.53 考虑图 5.74 所示的反相器，当 v_I 是低电平时，令输出连接到 N 个相同的反相器的输入端。理解输出电平 V_{OH} 可以借助于图 E5.53 所示的等效电路。然后证明：

$$V_{OH} = V_{CC} - R_C \frac{V_{CC} - V_{BE}}{R_C + R_B / N}$$

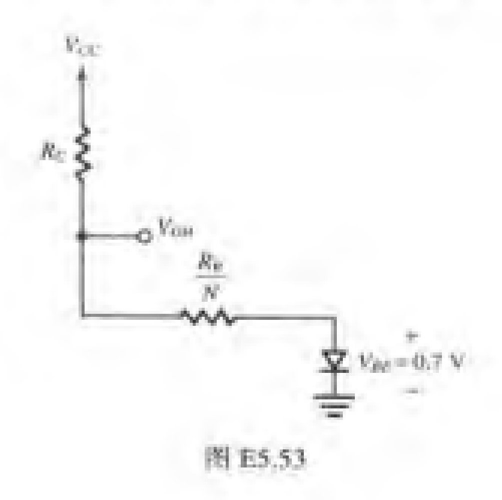


图 E5.53

对于 $N=5$，用前面讨论过的电路例子里的元件值计算 V_{OH}（即 $R_B=10\,k\Omega$，$R_C=1\,k\Omega$，$V_{CC}=5\,V$）。要注意的是这样的结构作为 TTL 出现之前的电路在历史上曾经是很重要的，它被称为电阻–晶体管电路或 RTL。

答案：3.6 V

5.11 BJT 的 SPICE 模型与仿真实例

正如我们在第 4 章中对 MOSFET 所做的工作，我们以讨论 SPICE 对 BJT 进行仿真的模型来结束本章。我们也将在计算 β 和偏置电流的相关性以及 CE 放大器的仿真中来说明 SPICE 的使用。

5.11.1 BJT 的 SPICE 埃伯尔斯–莫尔模型

在 5.1.4 节中，我们介绍了 BJT 的埃伯尔斯–莫尔模型并在图 5.8 中给出了该模型的一种形式，它被称为注入型模型。SPICE 使用埃伯尔斯–莫尔模型的一种等效形式，称为传输型模型，如图 5.77 所示。其中，发射结二极管（D_{BE}）的电流和集电结二极管（D_{BC}）的电流分别由下面的公式给出：

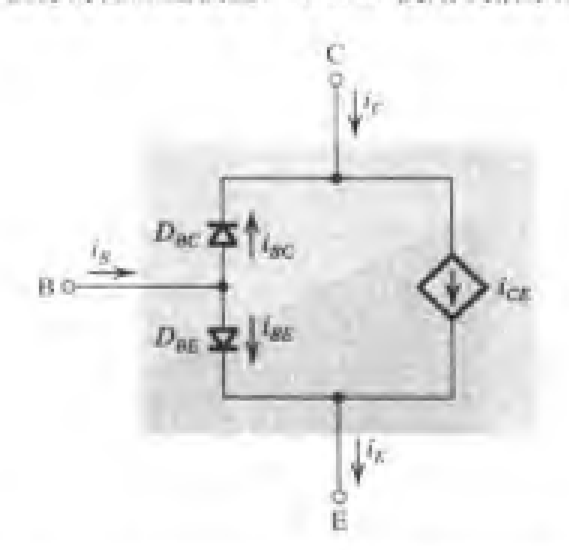


图 5.77 npn BJT 的埃伯尔斯–莫尔模型的传输形式

$$i_{BE}=\frac{I_S}{\beta_F}(e^{v_{BE}/n_F V_T}-1) \quad (5.186)$$

和

$$i_{BC}=\frac{I_S}{\beta_R}(e^{v_{BC}/n_R V_T}-1) \quad (5.187)$$

其中，n_F 和 n_R 分别是 BEJ 和 BCJ 的发射系数。这些系数概括了 pn 结二极管的常数 n（目前我们假设 $n_F=n_R=1$）。在传输模型中，受控电流源 i_{CE} 定义为

$$i_{CE}=I_S(e^{v_{BE}/n_F V_T}-e^{v_{BC}/n_R V_T}) \quad (5.188)$$

可以看出，i_{CE} 是表示少子扩散越过基区或者载流子传输跨过基区（因此称为传输模型）引起的 i_C 和 i_E 的电流分量。读者很容易可以证明当 $n_F=n_R=1$ 时有

$$i_B=i_{BE}+i_{BC} \quad (5.189)$$

$$i_C=i_{CE}-i_{BC} \quad (5.190)$$

$$i_E=i_{CE}+i_{BE} \quad (5.191)$$

传输模型中的这些 BJT 的电流分别与式（5.23）、式（5.26）和式（5.27）推导出来的表达式相同，因此传输型的埃伯尔斯–莫尔模型（见图 5.77）与它的注入型模型（见图 5.8）完全等效。此外，传输型的优点是更简单，它只需要一个从集电极到发射极的受控源。因此在计算机仿真中，它应用得更多。

传输模型可以描述正向偏置时 BJT 的厄尔利效应（见 5.2.3 节），只要在传输电流 i_{CE} 的表达式中包括 $(1-v_{BC}/V_A)$ 因子即可：

$$i_{CE}=I_S(e^{v_{BE}/n_F V_T}-e^{v_{BC}/n_R V_T})\left(1-\frac{v_{BC}}{V_A}\right) \quad (5.192)$$

图 5.78 显示了在 SPICE 中使用的大信号埃伯尔斯–莫尔模型。它基于图 5.77 所示的传输型埃伯尔斯–莫尔模型，其中电阻 r_x、r_E 和 r_C 被分别用来表示基极、发射极和集电极区的欧姆电阻。

BJT 的动态特性可以用两个非线性电容 C_{BC} 和 C_{BE} 来建模。每个电容都包括扩散分量（即 C_{DC} 和 C_{DE}）和耗尽分量或结电容分量（即 C_{JC} 和 C_{JE}）来描述 BJT 中的电荷存储效应（如 5.8 节所述）。此外，在集成电路 BJT 中，集电极和衬底（衬底是集成电路中所有元件的公共端）之间形成了一个反向偏置的 pn 结，因此 BJT 模型还包括了一个耗尽结电容 C_{JS} 来描述集电极-衬底结。

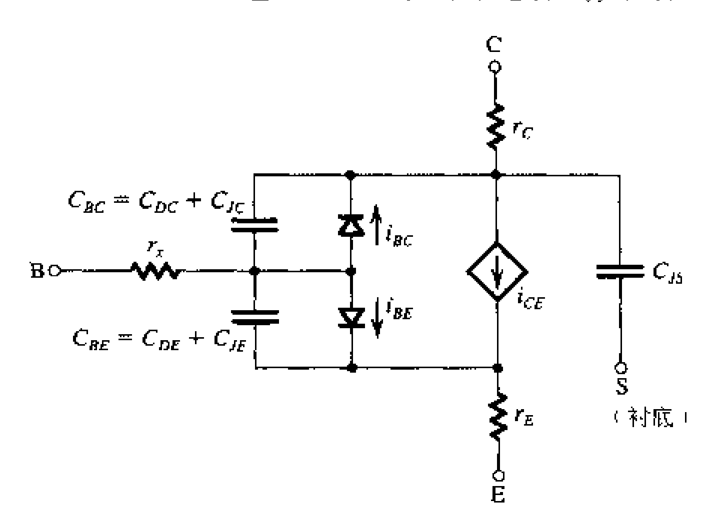


图 5.78 npn BJT 的 SPICE 大信号埃伯尔斯-莫尔模型

对于小信号（交流）分析，SPICE BJT 模型等效于图 5.67 所示的混合 π 模型，但是增加了 r_E，r_C 和 C_{JS}（C_{JS} 为集成电路 BJT 模型）。此外，该模型还包括基极和集电极之间的一个大电阻 r_μ（与 C_μ 并联）来描述 i_B 和 v_{CB} 之间的相关性。这个相关性也可以从图 5.19（b）中 BJT 的 CB 特性得到，其中 i_C 随 v_{CB} 增加而增加：因为图 5.19（b）中的每一条 $i_C \sim v_{CB}$ 曲线都是在保持 i_E 不变时测量到的，因此 i_C 随 v_{CB} 增加而增加意味着 i_B 随 v_{CB} 增大而减小。电阻 r_μ 非常大，通常大于 $10\beta r_o$。

尽管图 5.77 显示的是 npn BJT 的模型，然而将二极管和端子电压的极性和电流的方向反向就可以得到相应的 pnp BJT 的模型。

5.11.2 BJT 的 SPICE Gummel-Poon 模型

5.11.1 节中所述的大信号埃伯尔斯-莫尔模型的 BJT 模型没有表示实际器件中的二次效应。其中最重要的一个效应就是电流增益 β_F 和 β_R 随电流 i_C 的变化。埃伯尔斯-莫尔模型假设 β_F 和 β_R 固定不变，因此忽略了它们和电流的相关性（如图 5.23 所示）。为了解释这一点以及其他的二次效应，SPICE 使用一种更精确且更复杂的 BJT 模型，它称为 Gummel-Poon 模型（以该领域的两位开创者 Gummel 和 Poon 的名字命名）。该模型基于 BJT 的端口特性和它的基极电荷之间的关系。深入了解该模型的细节已经超出了本书的范围，但是对于读者来说知道这种模型的存在是很重要的。

在 SPICE 中，当某些模型参数没有指定时，Gummel-Poon 模型就自动简化成埃伯尔斯-莫尔模型。因此 SPICE 使用的 BJT 模型不必由用户明确指定（不像 MOSFET，它的模型由 Level 参数指定）。对于分立 BJT，SPICE 模型参数值可以从 BJT 数据表中指定的数据得到，如果需要也可以通过关键的测量得到。例如，在例题 5.20（见 5.11.4 节）中，我们使用 Q2N3904 npn BJT（仙童半导体厂生产），它的 SPICE 模型可以在 PSpice 中得到。实际上，PSpice 库已经包括了许多可以买到的分立 BJT 的 SPICE 模型参数。对于集成 BJT，SPICE 模型参数值由 IC 制造商确定并提供给 IC 设计者。

5.11.3 BJT 的 SPICE 模型参数

表 5.8 给出了 SPICE 中使用的 BJT 模型参数列表。读者应该已经熟悉这些参数了。对于一些特

定参数，如果用户没有指定值的话，SPICE 将使用默认值，这样将导致忽略相应的效应。例如，如果没有指定正向厄尔利电压 VAF，SPICE 将假定 VAF = ∞，并且不考虑厄尔利效应。在某些电路中忽略正向厄尔利电压 VAF 可能是一个严重的问题，但是忽略反向厄尔利电压 VAR 可能就不是这样

表 5.8 SPICE BJT 模型参数（部分）

SPICE 参数	书中符号	描述	单位
IS	I_S	饱和电流	A
BF		理想的最大正向电流增益	
BR		理想的最大反向电流增益	
NF	n_F	正向电流发射系数	
NR	n_R	反向电流发射系数	
VAF	V_A	正向厄尔利电压	V
VAR		反向厄尔利电压	V
RB	r_x	零偏置基极欧姆电阻	Ω
RC	r_C	集电极欧姆电阻	Ω
RE	r_E	发射极欧姆电阻	Ω
TF	τ_F	理想正向传输时间	s
TR	τ_R	理想反向传输时间	s
CJC	$C_{\mu 0}$	零偏置集电结耗尽（结）电容	F
MJC	m_{BCJ}	集电结变容指数	
VJC	V_{0c}	集电结内建电位差	V
CJE	C_{je0}	零偏置发射结耗尽（结）电容	F
MJE	m_{BEJ}	发射结变容指数	
VJE	V_{0e}	发射结内建电位差	V
CJS		零偏置集电极-衬底耗尽（结）电容	F
MJS		集电极-衬底变容指数	
VJS		集电极-衬底内建电位差	V

5.11.4 SPICE 中 BJT 模型参数 BF 和 BR

在结束 SPICE 模型的讨论之前，我们对 β 做一个评论。SPICE 将用户指定的模型参数 BF 和 BR 分别解释为正向直流电流增益和反向直流电流增益对工作电流的理想最大值。这些参数并不等于与电流无关的固定参数 β_F（β_{dc}）和 β_R，在埃伯尔斯-莫尔模型中 β_F（β_{dc}）和 β_R 用来表示 BJT 的正向和反向直流电流增益。在 SPICE 中 β_F 和 β_R 使用与电流相关的模型，用户可以为这个模型指定其他的参数（在表 5.8 中未列出）。只有当这些参数没有指定并忽略厄尔利效应时，SPICE 才假设 β_F 和 β_R 固定不变并分别等于 BF 和 BR。此外，SPICE 通过计算得到 β_{dc} 和 β_{ac} 的值，这两个值通常假定近似相等。然后 SPICE 使用 β_{ac} 来进行小信号（交流）分析。

例题 5.20 β 和偏置电流的相关性

在本例中，使用 PSpice 来仿真 Q2N3904 分立 BJT（仙童半导体厂生产）的 β_{dc} 与集电极偏置电流的相关性，它的模型参数在表 5.9 中列出并可以在 PSpice 中得到[1]。如图 5.79 的原理图[2]所示，BJT 的 V_{CE} 使用恒压源来固定（在这个例子中，$V_{CE} = 2$ V）并且在基极施加了一个直流电流源 I_B。

① Q2N3904 模型包括在 PSpice 的 EVAL 库中（OrCad 9.2 Lite 版本）。它可以在本书的 CD 中得到。

② 本书中所有的 SPICE 例子的原理图和相应的 PSpice 仿真文件都可以在本书的 CD 和网站上（www.sedrasmith.org）得到。在这个原理图（如图 5.79 所示）中，我们使用变量参数来输入不同的电路元件值。这可以使我们通过简单改变相应的参数值来分析元件值变化对电路性能的影响。

为了说明 β_{dc} 与集电极电流 I_C 的相关性，我们执行直流分析，其中扫描变量为电流源 I_B。可以使用 Probe（PSpice 的图形界面）画出 BJT 的 β_{dc}（对应于集电极电流 I_C 与基极电流 I_B 的比）对 I_C 的曲线，如图 5.80 所示。可以看出，为了工作在最大的 β_{dc} 值（即 $\beta_{dc} = 163$），在 $V_{CE} = 2$ V 时，BJT 必须偏置在 $I_C = 10$ mA。因为增大晶体管的偏置电流将增大功耗，从图 5.80 可以清楚地看出电流 I_C 的选择是电流增益 β_{dc} 和功耗之间的折中。通常来说，最优的 I_C 取决于应用和现有的技术。例如，对于工作在 $V_{CE} = 2$ V 的 Q2N3904 BJT，将 I_C 减小 20 倍（从 10 mA 减小到 0.5 mA）将导致 β_{dc} 下降约 25%（从 163 降到 123）。

表 5.9　Q2N3904 分立 BJT 的 SPICE 模型参数

[illegible]	XTI=3	EG=1.11	VAF=74.03	BF=416.4	NE=1.259	ISE=6.[illegible]
[illegible]	XTB=1.5	BR=.737[illegible]	NC=2	ISC=0	IKR=0	RC=1
[illegible]	[illegible]	[illegible]C=.75	FC=.5	CJE=4.493p	MJE=.2593	[illegible]=.75
TR=2[illegible].5n	TF=[illegible].2p	[illegible]=.4	VTF=1	XTF=2	RB=10	

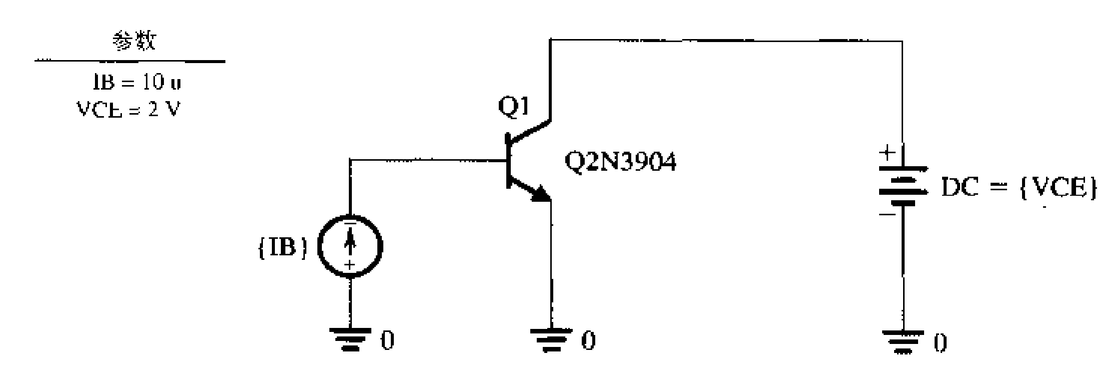


图 5.79　用来说明 Q2N3904 分立 BJT 中 β_{dc} 与集电极偏置电流 I_C 相关性的 PSpice 测试平台（见例题 5.20）

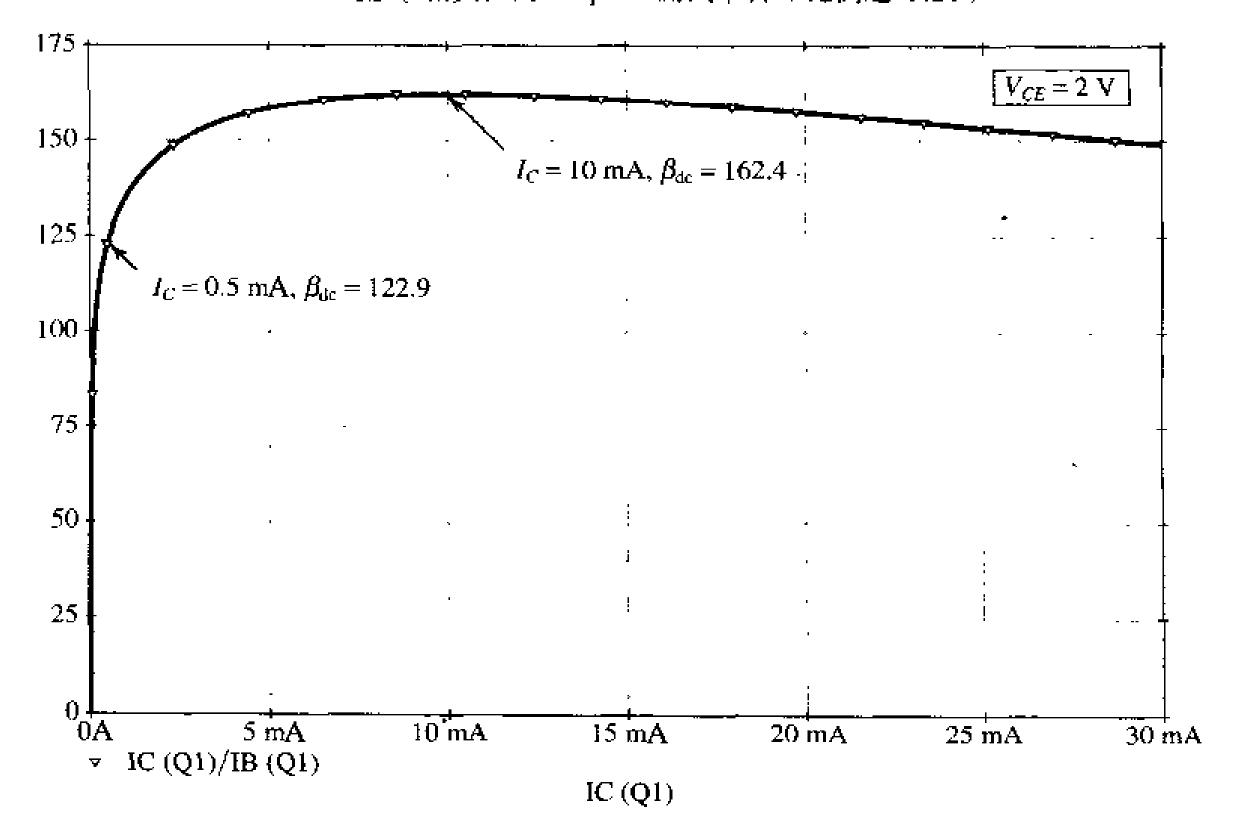


图 5.80　Q2N3904 分立 BJT 中，β_{dc} 与 I_C 的相关性（$V_{CE} = 2$ V）■

例题 5.21　接发射极电阻的 CE 放大器

在这个例子中，使用 PSpice 来计算 CE 放大器的频率响应并分析其偏置点的稳定性。图 5.81 所示是 CE 放大器的原理图。我们使用 Q2N3904 BJT 部件并用±5 V 电源供电。此外我们还假设信号源电阻 R_{sig} = 10 kΩ，负载电阻 R_L = 10 kΩ，旁路电容和耦合电容为 10 μF。为了分析在发射极的信号通路上包括电阻的影响，在发射极的旁路电容 C_E 上串联一个电阻 R_{ce}。注意，R_E 和 R_{ce} 的作用是不同的。电阻 R_E 是直流发射极衰减电阻，因为它呈现在发射极和地之间的直流通路上。因此它可以帮助稳定放大器的偏置点。等效电阻 $R_e = R_E \| R_{ce}$ 是小信号发射极衰减电阻，因为它呈现在发射极和地之间的交流（小信号）通路上并帮助稳定放大器的增益。在这个例子中，我们将分析 R_E 和 R_e 对放大器性能的影响。但是正如我们在计算机仿真中经常做的，我们首先给出近似的手工设计。通过这种方法可以从仿真中得到最大益处。

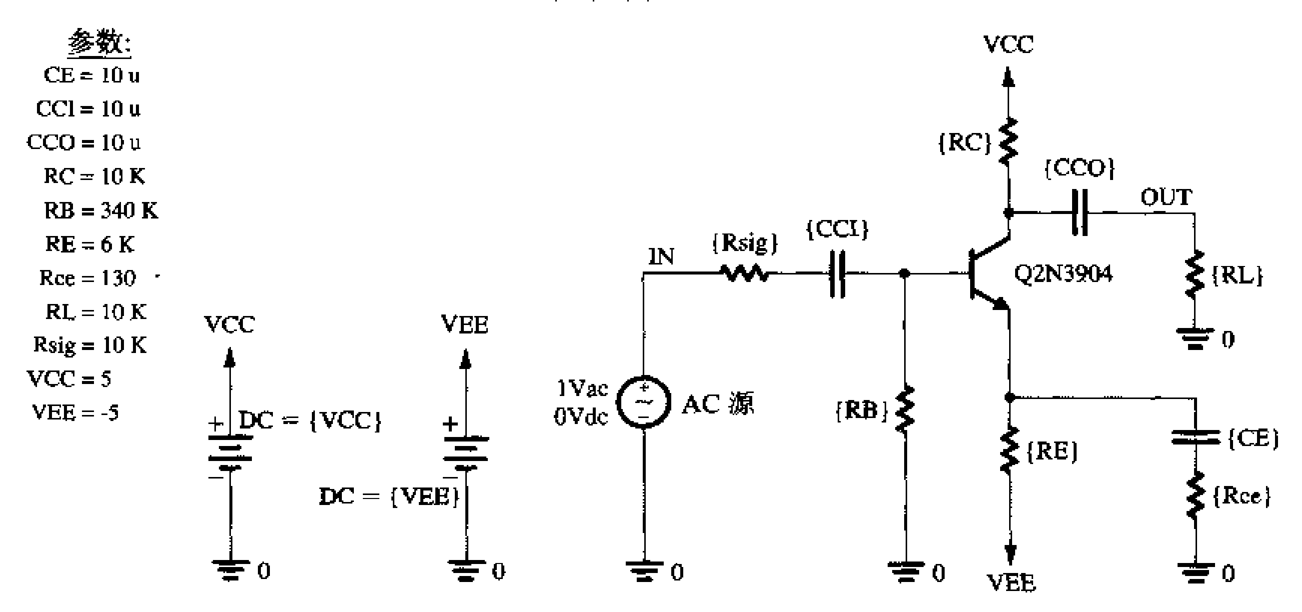


图 5.81　例题 5.21 中 CE 放大器的原理图

基于图 5.80 中 $\beta_{dc} \sim I_C$ 曲线，为 BJT 选择 0.5 mA 的集电极偏置电流，得到 β_{dc}=123。选择这个 I_C 是为了在功耗和电流增益之间进行折中。此外，选择 0 V 的集电极偏置电压 V_C（即在两个电源值的中间）是为了在放大器输出端获得较大的信号摆幅。对于 V_{CE} = 2 V，结果是 V_E = −2 V，要求偏置电阻值为

$$R_C = \frac{V_{CC} - V_C}{I_C} = 10\ \text{k}\Omega$$

和

$$R_E = \frac{V_E - V_{EE}}{I_C} = 6\ \text{k}\Omega$$

假设 V_{BE} = 0.7 V，并使用 β_{dc} = 123，可以确定

$$R_B = -\frac{V_B}{I_B} = -\frac{V_{BE} + V_E}{I_C / \beta_{dc}} = 320\ \text{k}\Omega$$

接下来，可以使用 5.7.4 节的公式来确定 CE 放大器的输入电阻 R_{in} 和中频电压增益 $|A_M|$：

$$R_{in} = R_B \| (\beta_{ac} + 1)(r_e + R_e) \tag{5.193}$$

$$|A_M| = \left| -\frac{R_{in}}{R_{sig}+R_{in}} \times \frac{R_C \parallel R_L}{r_e + R_e} \right| \tag{5.194}$$

为了简单起见，假设 $\beta_{ac} = \beta_{dc} = 123$，可以得到

$$r_e = \left(\frac{\beta_{ac}}{\beta_{ac}+1}\right)\left(\frac{V_T}{I_C}\right) = 49.6\,\Omega$$

因此，如果没有小信号发射极衰减电阻（即 $R_{ce}=0$），则 $R_{in} = 6.1\text{ k}\Omega$，$|A_M| = 38.2\text{ V/V}$。使用式（5.194）并假设 R_B 足够大以至于对 R_{in} 的影响可以忽略，可以证明发射极衰减电阻 R_e 使电压增益 $|A_M|$ 减小因子为

$$\frac{1+\dfrac{R_e}{r_e}+\dfrac{R_{sig}}{r_\pi}}{1+\dfrac{R_{sig}}{r_\pi}}$$

因此为了使电压增益的下降因子为 2，选择

$$R_e = r_e + \frac{R_{sig}}{\beta_{ac}+1} \tag{5.195}$$

因此，$R_{ce} \approx R_e = 130\,\Omega$。将这个值代入式（5.193）和式（5.194）可以得到 R_{in} 从 6.1 kΩ增加到 20.9 kΩ，而 $|A_M|$ 从 38.2 V/V 下降到 18.8 V/V。

现在使用 PSpice 来验证我们的设计并分析 CE 放大器的性能。首先执行偏置点仿真来验证 BJT 正确偏置在放大区及直流电压和电流在要求的指标内。基于这个仿真，当使用标准的 1%电阻值时，我们将 R_B 的值增加到 340 kΩ来将 I_C 限制到约为 0.5 mA。接下来，为了测量中频增益 A_M 和 3 dB 频率 f_l 和 f_H，在输入端加上 1 V 的交流电压执行交流分析，并画出输出电压幅度对频率的曲线（dB），如图 5.82 所示。这就是 CE 放大器的幅频响应，因为我们选择 1 V 的输入信号[1]。因此，当没有发射极衰减电阻时，中频增益为 $|A_M| = 38.5\text{ V/V} = 31.7\text{ dB}$，3 dB 带宽为 $BW = f_H - f_L = 145.7\text{ kHz}$。使用 $R_{ce} = 130\,\Omega$ 将使得中频增益 $|A_M|$ 下降两倍的因子（即 6 dB）。但是 BW 增加的因子与 $|A_M|$ 下降的因子近似相等。当我们在第 8 章讲解负反馈对会介绍发射极衰减电阻 R_{ce} 提供了负反馈，因此可以牺牲增益来获得其他性能的提高，如更大的输入电阻和更宽的带宽。

为了对这个例子进行总结，我们来说明当使用发射极电阻 R_E 时可以改善偏置点的稳定性（见 5.5.1 节的讨论）。具体地说，在 SPICE 的 Q2N3904 部件的模型中将参数 BF 的值（即理想的最大正向电流增益）增大/减小两倍并执行偏置点仿真。表 5.10 中给出了 $R_E = 6\text{ k}\Omega$时偏置点（包括 I_C 和 V_{CE}）和 BJT 参数（β_{dc} 和 β_{ac}）的相应变化。注意，β_{dc} 并不像我们假设的那样等于 β_{ac}，而是有一个较大的差别。当没有发射极衰减电阻时，在图 5.81 中我们使用 $R_E = 0$。此外，为了使两种情况下 I_C 和 V_C 保持从额定 BF 得到的值不变，使用 $R_B = 1.12\text{ M}\Omega$来限制 I_C 约为 0.5 mA。BJT 偏置点的相应变化也在表 5.10 中给出。因此我们可以看出发射极衰减电阻使得 CE 放大器的偏置点对 β 的变化更加不敏感。但是除非使用大的旁路电容 C_E，否则这将使中频增益也减小（如同我们在仿真 $R_e = 130\,\Omega$ 时 CE 放大器的频率响应时所看到的）。

---

[1] 对于使用这样大的信号幅度，读者不应该感到吃惊。回忆一下（见 2.9.1 节）在小信号（交流）仿真中，SPICE 首先求得偏置点的小信号等效电路，然后分析这个线性电路。这样，交流分析就可以是任何的交流信号幅度。但是使用 1 V 的交流输入很方便，因为它产生对应于电路电压增益的交流输出。

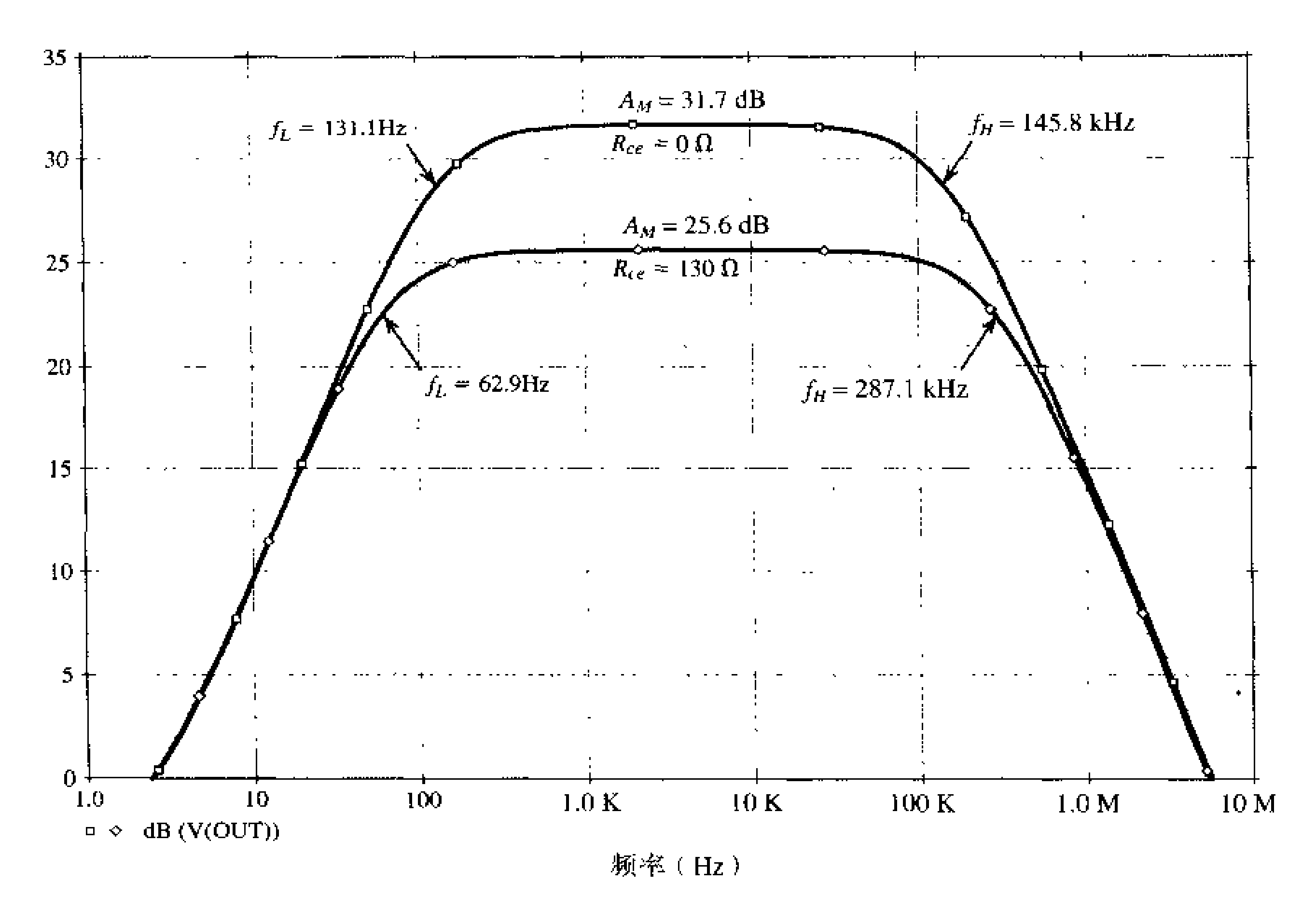


图 5.82 例 5.21 中当 $R_{ce}=130\,\Omega$ 和 $R_{ce}=0$ 时 CE 放大器的频率响应

表 5.10 CE 放大器的偏置点随 BJT 的 SPICE 模型参数 BF 的变化

	$R_E=6\text{ k}\Omega$				$R_E=0$			
BE(SPICE 中)	β_{ac}	β_{dc}	I_C(mA)	V_C(V)	β_{ac}	β_{dc}	I_C(mA)	V_C(V)
208	106	94.9	0.452	0.484	109	96.9	0.377	1.227
416.4（额定值）	143	123	0.494	0.062	148	127	0.494	0.060
832	173	144	0.518	−0.183	181	151	0.588	-0.878

■

小结

- 根据两个结的偏置条件，BJT 可以工作在四种可能的模式下：截止模式（两个结都反偏），放大模式（EBJ 正偏、CBJ 反偏），饱和模式（两个结都正偏），以及反向放大模式（EBJ 反偏、CBJ 正偏）。
- 对于放大器应用，BJT 工作在放大模式。开关应用利用截止和饱和模式。反向放大工作模式只限于概念上的讨论
- 工作在放大模式的 BJT 可以提供集电极电流 $i_C=I_Se^{|v_{BE}|/V_T}$ 、基极电流 $i_B=(i_C/\beta)$ 和发射极电流 $i_E=i_C+i_B$ 此外，$i_C=\alpha i_E$，因此 $\beta=\alpha/(1-\alpha)$ 以及 $\alpha=\beta/(\beta+1)$。见表 5.2。
- 为了确保工作在放大模式，*npn* 晶体管的集电极电压必须高于基极电压约 0.4 V 以下。对于 *pnp* 晶体管集电极电压必须低于基极电压约 0.4 V 以上。否则 CBJ 将变为正偏，晶体管将进

入饱和区。

- 描述 BJT 大信号性能的一个合适模型是埃伯尔斯-莫尔模型，如图 5.8 所示。其参数之间的基本关系式为 $\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$。当 α_F 接近于 1 时，α_R 非常小（0.01～0.2），因此 β_R 也较小。使用埃伯尔斯-莫尔模型使得人们可以用电压 v_{BE} 和 v_{BC} 来表示端口电流。关系式由式（5.26）~式（5.30）给出。
- 在饱和的晶体管中，$|V_{CEsat}| \simeq 0.2\ \text{V}$，$I_{Csat} = (V_{CC} - V_{CEsat})/R_C$。$I_{Csat}$ 与基极电流的比值就是强制 β，它比 β 要小。集电极到发射极的电阻 R_{CEsat} 也较小（几十欧姆）。
- 在集电极电流不变时，温度每升高 1℃，基射极电压大约下降 2 mV。
- 当发射极开路时($i_E = 0$)，CBJ 在反向电压 BV_{CBO} 时击穿，BV_{CBO} 的典型值大于 50 V；$i_E > 0$ 时，击穿电压小于 BV_{CBO}。在共发射极组态中，击穿电压指定为 BV_{CEO}，大约是 BV_{CBO} 的一半。发射结在 6 V 到 8 V 的反向偏置时击穿，该击穿通常对 β 有永久的不利影响
- 电流-电压特性的总结以及工作在放大模式和饱和模式的 BJT 的大信号模型在表 5.3 中给出
- 假设 $|V_{BE}| \simeq 0.7\ \text{V}$ 可以大大简化晶体管电路的直流分析。
- 为了作为线性放大器工作，BJT 必须偏置在放大区且保持信号 v_{be} 足够小（$v_{be} \ll V_T$）。
- 对于小信号，BJT 相当于互导为 $g_m = (I_C/V_T)$ 的线性电压控制电流源。从基极看进去的基极和发射极之间的输入电阻为 $r_\pi = \beta / g_m$。BJT 简化的低频等效电路模型如图 5.51 和图 5.52 所示。这些模型可以通过在集电极和发射极之间增加输出电阻 $r_o = |V_A|/I_C$ 进行扩展。表 5.4 总结了确定模型参数的公式。
- 偏置设置是为了建立与 β 尽可能无关的集电极直流电流。
- 在共发射极组态中，发射极为信号地，输入信号加到基极，输出从集电极取出。这种组态电路可以获得较高的电压增益以及相当高的输入电阻，但是它的高频响应会受到限制。
- 共发射极放大器的输入电阻可以通过在发射极上增加未被旁路的电阻来提高。该发射极衰减电阻以损失电压增益为代价达到改善其他性能的目的。
- 在共基组态中，基极接在信号地上，输入信号加到发射极，输出电阻从集电极取出。它具有较高的电压增益（从发射极到集电极）以及非常好的高频响应，但是它的输入电阻非常低。CB 放大器经常用做电流缓冲器。
- 在射极跟随器中，集电极信号接地，输入信号加到基极，从发射极取出输出信号。尽管它的电压增益小于 1，但是输入电阻非常高，输出电阻非常低。因此该电路经常用做电压缓冲器。
- 表 5.5 给出了用来描述放大器的参数。
- 对于分立元件单级 BJT 放大器特性的总结，请参考表 5.6
- BJT 的高频模型以及确定其参数的公式在表 5.7 中给出。
- 5.9 节中 CE 放大器高频增益的分析表明该增益以−6 dB/二倍频程的斜率下降并且 3 dB 频率为 $f_H = 1/2\pi C_{in} R'_{sig}$；其中 R'_{sig} 是 R_{sig} 的修改值，约等于 $R_{sig} \| r_\pi$，$C_{in} = C_\pi + (1 + g_m R'_L) C_\mu$。$C_\mu$ 乘以 $(1 + g_m R'_L)$ 被称为米勒倍增效应，这是限制 CE 放大器高频响应的最重要的因子。
- 对于 C_{C1}，C_{C2} 和 C_E 对 CE 放大器低频增益的影响的分析可以参考 5.9.3 节，特别是图 5.73。
- 基本 BJT 反相器使用晶体管的截止和饱和工作模式。饱和晶体管有大量的少子电荷存储在基区，因此其关闭过程较慢

习题

5.1 节：器件结构与物理特性

5.1 在各自电路中测得不同 *npn* 晶体管工作时的极电压如下：

情况	E (V)	B (V)	C (V)	模式
1	0	0.7	0.7	
2	0	0.8	0.1	
3	-0.7	0	0.7	
4	−0.7	0	−0.6	
5	0.7	0.7	0	
6	−2.7	−2.0	0	
7	0	0	5.0	
8	−0.10	5.0	5.0	

在该表中，0 表示电压表黑（负极）探针连接的参考端。对于每一种情况，指明晶体管的工作模式。

5.2 某 *npn* 晶体管的发射区面积为 $10\ \mu m \times 10\ \mu m$。掺杂浓度如下：发射区 $N_D = 10^{19}/cm^3$，基区 $N_A = 10^{17}/cm^3$，集电区 $N_D = 10^{15}/cm^3$。晶体管工作在 $T = 300$ K，其中 $n_i = 1.5\times10^{10}/cm^3$。对于在基区中扩散的电子有 $L_n = 19\ \mu m$，$D_n = 21.3\ cm^2/s$。在发射区扩散的空穴有 $L_p = 0.6\mu m$，$D_p = 1.7\ cm^2/s$。计算 I_S 和 β，假定基区宽度 W 为：

（a）1 μm

（b）2 μm

（c）5 μm

对于（b）的情况，如果 I_C = 1mA，求 I_B，I_E，V_{BE} 和存储在基区中的少数载流子电荷（提示：$\tau_b = L_n^2 / D_n$，电子电荷 $q = 1.6\times10^{-19}$ C）。

5.3 两个晶体管采用相同的工艺制造，但具有不同的结面积，当基射极电压为 0.72 V 时，集电极电流分别为 0.2 mA 和 12 mA。求每个器件的 I_S。它们的相对结面积为多少？

5.4 某特定 BJT 的基极电流为 7.5 μA，集电极电流为 400 μA。求该器件的 β 和 α。

5.5 求当 α 为 0.5，0.8，0.9，0.95，0.99，0.995 以及 0.999 时的 β 值。

5.6 求当 β 为 1，2，10，20，100，200，1000 以及 2000 时的 α 值

5.7 对一系列 *npn* 晶体管的 V_{BE} 和两个电极电流测量得到如下表所示的结果。计算每一种情况下第三个电极的电流值以及 β，α 和 I_S。

晶体管	a	b	c	d	e
V_{BE} (mV)	690	690	580	780	820
I_C (mA)	1.000	1.000		10.10	
I_B (μA)	50		7	120	1050
I_E (mA)		1.070	0.137		75.00
α					
β					
I_S					

5.8　考虑某 *npn* 晶体管，它的发射结压降为 0.76 V，集电极电流为 10 mA。当 $v_{BE}=0.7$ V 时，它的导通电流为多少？当 $I_C=10\ \mu$A 时，它的基射极电压为多少？

5.9　对于 α 接近于 1 的晶体管来说，如果 α 有一个微小的单位变化（$\Delta\alpha/\alpha$），证明 β 相应的单位变化近似为

$$\frac{\Delta\beta}{\beta}\simeq\beta\left(\frac{\Delta\alpha}{\alpha}\right)$$

5.10　某 *npn* 晶体管的 β 在 60 到 300 之间。将它连接到发射极接地、集电极为+9 V 且流入基极的电流为 50 μA 的电路中，计算集电极和发射极电流的变化范围。该晶体管的最大功耗为多少？（注意，从中可以看出这种方法不适合在 BJT 的集电极上建立工作电流。）

5.11　某特定 BJT 当集电极电流为 10 mA 时，有 $v_{BE}=0.7$ V，$i_B=100\ \mu$A。利用这些数据获得图 5.5（a）和图 5.5（b）所示的晶体管模型。

5.12　使用图 5.5（b）所示的 *npn* 晶体管模型，该晶体管的基极接地，集电极通过 2 kΩ电阻连接到 10 V 直流电源，在发射极接一个 3 mA 的电流源，它的连接极性使射极电流流出发射极。如果 $\beta=100$，$I_S=10^{-15}$ A，求发射极和集电极电压，并计算基极电流。

5.13　考虑一个 $\beta_F=100$、$\alpha_R=0.1$，$I_S=10^{-15}$ A 的 *npn* 晶体管。

（a）如果晶体管工作在正向放大模式，并有 $I_B=10\ \mu$A 以及 $V_{CB}=1$ V，求 V_{BE}，I_C 和 I_E。

（b）现在它工作在反向放大模式，正偏电压 V_{BC} 等于（a）中所求得的 V_{BE} 并且 $V_{EB}=1$ V。求 I_C，I_B 和 I_E

5.14　用图 5.8 所示的埃伯尔斯–莫尔模型描述的晶体管发射极和集电极都接地，基极电流为 1 mA。如果集电结是发射结面积的 10 倍并且 $\alpha_F\simeq1$，求 i_C 和 i_E。

*5.15　（a）使用式（5.26）和式（5.27）的埃伯尔斯–莫尔表达式证明图 5.9 所示的 $i_C\sim v_{CB}$ 关系式可以表示为

$$i_C=\alpha_F I_E-I_S\left(\frac{1}{\alpha_R}-\alpha_F\right)e^{v_{BC}/V_T}$$

（b）计算并画出 $I_S=10^{-15}$A，$\alpha_F\simeq1$，$\alpha_R=0.1$ 的晶体管的 $i_C\sim v_{CB}$ 曲线。画出当 $I_E=0.1$ mA、0.5 mA 和 1 mA 时的图形。对于每一种情况，当 $i_C=0.5\alpha_F I_E$ 和 $i_C=0$ 时，求出 v_{BC}，v_{BE} 及 v_{CE}。

5.16　将图 5.12 所示的 *pnp* 大信号模型应用于 $I_S=10^{-13}$A，$\beta=40$ 的晶体管上。如果发射极接地，基极连接到从基极拉出 20 μA 电流的电流源上，集电极通过 10 kΩ的电阻连接到−10 V 的负电源，求集电极电压、发射极电流和基极电压。

5.17　某 *pnp* 晶体管，当集电极电流为 1 A 时，$v_{EB}=0.8$ V。当 $i_C=10$ mA 时，v_{EB} 为多少？当 $i_C=5$ A 时又为多少？

5.18　用图 5.12 所示电路来建模的 *pnp* 晶体管的基极接地，集电极接在−1.5V，发射极流进 10 mA 的电流。如果 $\beta=10$，那么基极和集电极的电流为多少？它们的电流方向如何？如果 $I_S=10^{-16}$A，那么发射极的电压为多少？如果用 $\beta=1000$ 的晶体管来替代，那么集电极电流为多少？（注意，当 β 变化较大时，集电极电流的变化小于 10%，这个事实说明这是建立指定集电极电流的一种有效方法。）

5.19　某 *pnp* 功率晶体管工作时发射极–集电极电压为 5 V，发射极电流为 10 A，$V_{EB}=0.85$ V。当 $\beta=15$ 时，基极电流为多少？晶体管的 I_S 为多少？比较晶体管和 $v_{EB}=0.7$ V 时 $i_C=1$ mA 的小信号晶体管的发射结面积，它的面积为多少？

5.2 节：电流-电压特性

5.20 对于图 P5.20 中的电路，假定晶体管有非常大的 β。对这些电路进行测量，结果如图所示。求其他标注的电压和电流值。

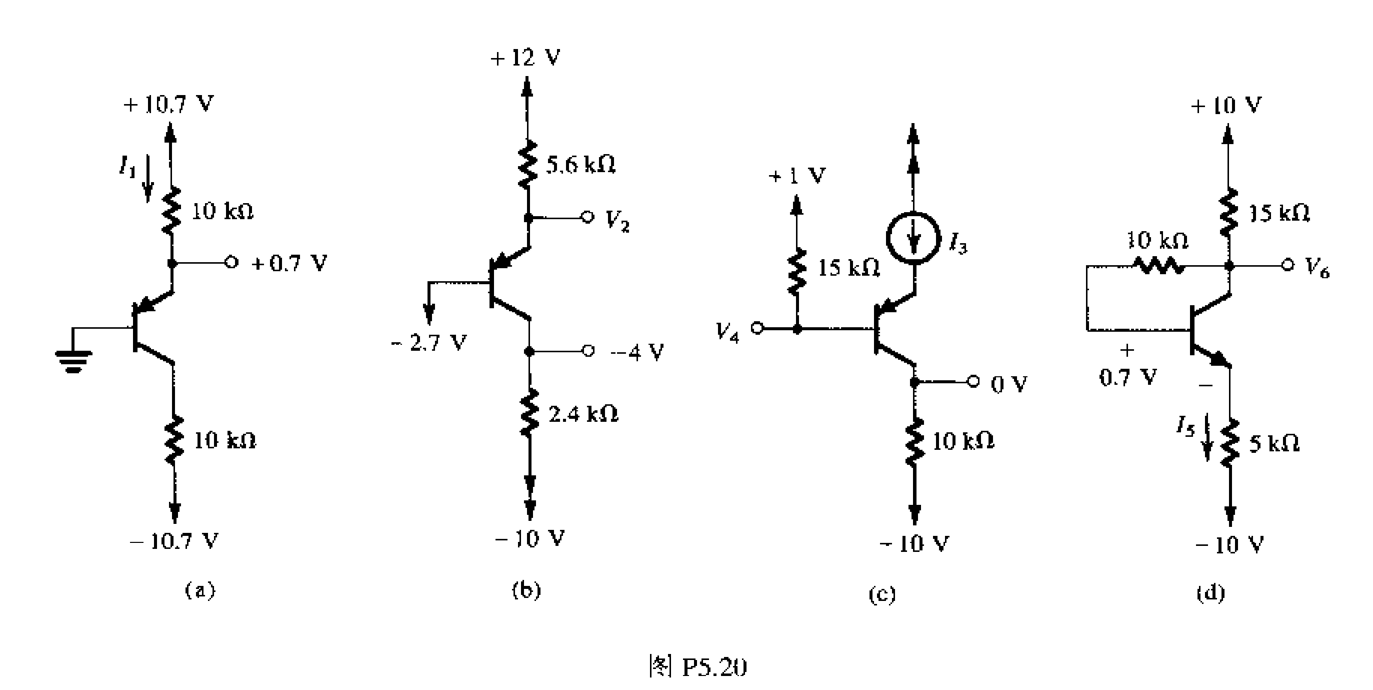


图 P5.20

5.21 对图 P5.21 所示电路进行测量得到如图所示的标注电压。求每个晶体管的 β 值。

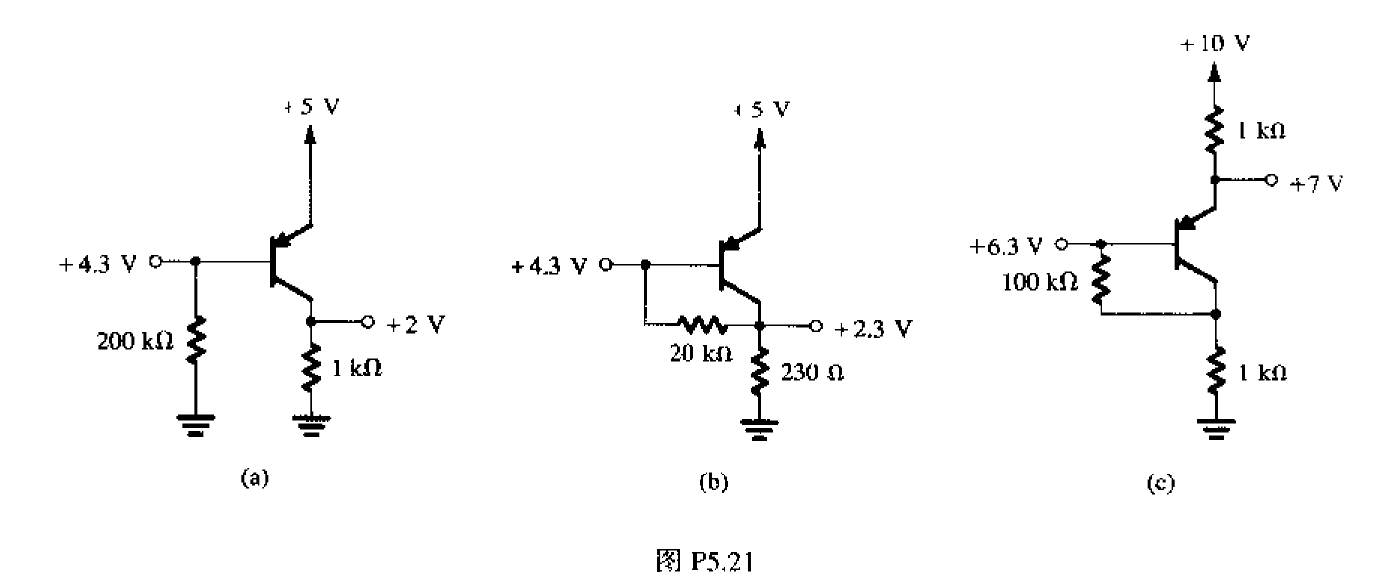


图 P5.21

D5.22 分析附录 G 中 5%容差的标准电阻值的表格可以发现最接近例题 5.1 的设计的电阻值是 5.1 kΩ和 6.8 kΩ。对这些值使用近似计算（例如，$V_{BE} \simeq 0.7$ V，$\alpha \simeq 1$）来确定集电极电流和集电极电压最可能的取值。

D5.23 重新设计例题 5.1 的电路，使得 $V_C = +3$ V，$I_C = 5$ mA。

5.24 求图 P5.24 所示的每个电路的发射极、基极和集电极的电流和电压。设 $\beta = 30$，但假定 $|V_{BE}| = 0.7$ V，与电流无关

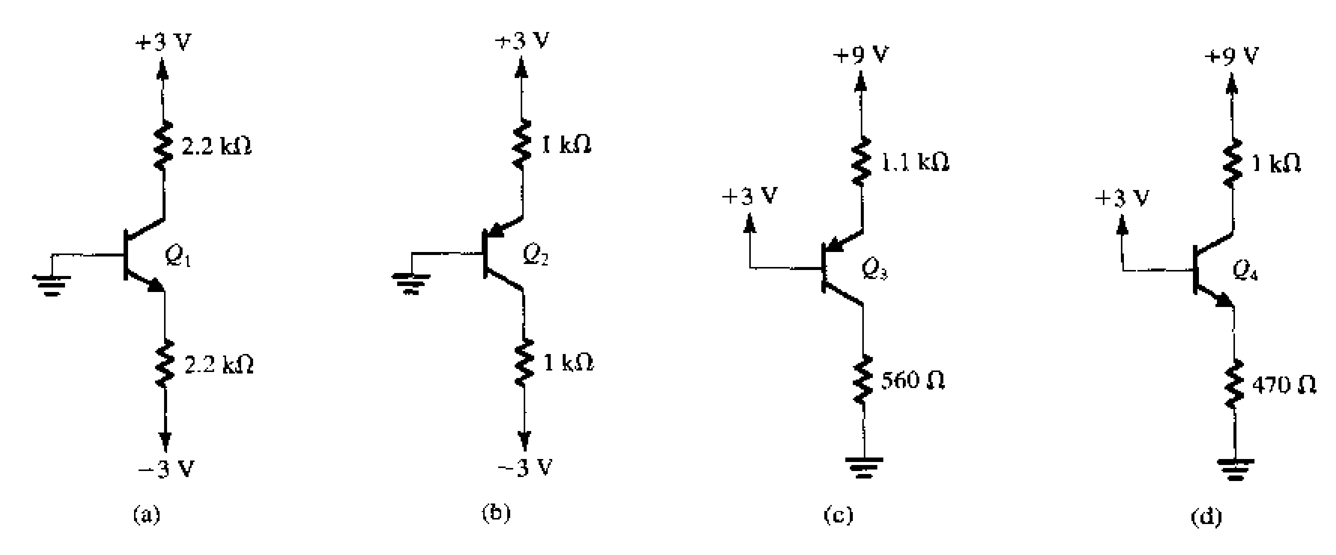


图 P5.24

5.25　使用 $I_C = 1$ mA 时 $|V_{BE}| = 0.7$ V 的晶体管，重复习题 5.24 的问题

5.26　对于图 P5.26 所示的电路，测量得到 $V_B = -1.5$ V。假设 $V_{BE} = 0.7$ V，计算 V_E，α，β 以及 V_C。如果晶体管的 $\beta = \infty$，那么 V_B，V_E 和 V_C 的值为多少？

+9 V
10 kΩ
V_C
V_B
10 kΩ
V_E
10 kΩ
−9 V

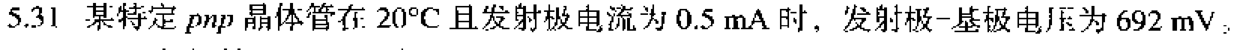
图 P5.26

5.27　在 25°C 时测量得到小晶体管的电流 I_{CBO} 为 20 nA。如果器件温度上升到 85°C，那么 I_{CBO} 将变为多少？

*5.28　在图 5.20（a）所示的 *npn* BJT 模型中增加一个表示 I_{CBO} 的电流源。假定 r_o 非常大，因此可以忽略。在这种情况下，极电流 i_B，i_C 和 i_E 变为多少？如果基极开路而发射极接地，集电极连接到正电源，求发射极和集电极电流

5.29　某 *npn* 晶体管的集电极和发射极被交换使用。原来正常连接时的发射极和基极上的电流分别是 0.5 mA 和 1 mA。求 α_R 和 β_R 的值。

5.30　某 BJT 的发射极电流固定于 1 mA，在 25°C 时，基射极电压为 0.69 V。当 0°C 时基射极电压为多少？100°C 时又为多少？


5.31　某特定 *pnp* 晶体管在 20°C 且发射极电流为 0.5 mA 时，发射极-基极电压为 692 mV。

（a）如果结温度上升到 50°C，v_{EB} 为多少？

（b）如果晶体管的 $n = 1$，并且工作在 700 mV 的固定发射极-基极电压上，那么在 20°C 时的发射极电流是多少？50°C 时是多少？

5.32　考虑一个晶体管，在 10 mA 的电流时，基极-发射极电压降为 0.7 V，那么当 $V_{BE} = 0.5$ V 时流过的电流为多少？

5.33　在习题 5.32 中，电压是在 25°C 时测量得到的，那么在−25°C 时对应的值为多少？在 125°C 时又为多少？

5.34　利用式（5.26）和式（5.27）的埃伯尔斯-莫尔表达式来推导式（5.35）。注意，发射极电流设为固定值 I_E，忽略不包含指数的项。

*5.35　使用式（5.35）画出 *npn* 晶体管的 $i_C \sim v_{CB}$ 特性曲线，该晶体管有 $\alpha_F \simeq 1$，$\alpha_R = 0.1$，$I_S = 10^{-15}$A。画出 $I_E = 0.1$ mA，0.5 mA 和 1 mA 时的曲线。对 v_{BC} 的负值使用尺度扩展来显

示饱和区的更多细节。忽略厄尔利效应。

*5.36 见图 P5.36 所示的饱和晶体管，使用埃伯尔斯–莫尔表达式来证明当 $\alpha_F \simeq 1$ 时，有

$$V_{CEsat} = V_T \ln\left(\frac{\dfrac{1}{\alpha_R} - \dfrac{I_{Csat}}{I_E}}{1 - \dfrac{I_{Csat}}{I_E}}\right)$$

对于 $\alpha_R = 0.1$ 的 BJT，计算 $I_{Csat}/I_E = 0.9$、0.5、0.1 和 0 时的 V_{CEsat}。

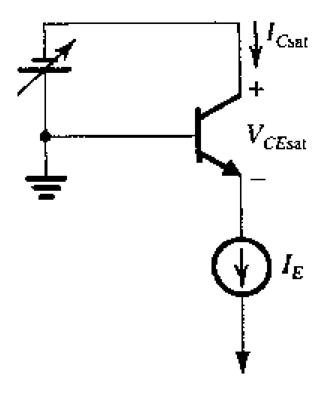


图 P5.36

5.37 使用式（5.36）画出 $i_C \sim v_{CE}$ 曲线，npn 晶体管有 $I_S = 10^{-15}$A，$V_A = 100$ V。画出 $v_{BE} = 0.65$ V，0.70 V、0.72 V、0.73 V 和 0.74 V 时的曲线。并给出 v_{CE} 达到 15 V 时的特性曲线。

5.38 一特定的 npn 晶体管工作在 v_{BE} 为 670 mV，$I_C = 3$ mA，$i_C \sim v_{CE}$ 特性曲线的斜率为 3×10^{-5} ℧。对应的输出电阻值为多少？晶体管的厄尔利电压为多少？当工作在 30 mA 时，输出电阻变为多少？

5.39 对于一个厄尔利电压为 200 V 的 BJT，在 1 mA 时的输出电阻为多少？在 100 μA 时为多少？

5.40 对工作在 $v_{BE} = 720$ mV 的小信号晶体管的 $i_C \sim v_{CE}$ 特性曲线进行测量显示当 $v_{CE} = 2$ V 时，$i_C = 1.8$ mA，当 $v_{CE} = 14$ V 时，$i_C = 2.4$ mA。接近饱和区时相应的 i_C 值为多少？当 $i_C = 2.0$ mA 时，v_{CE} 值为多少？晶体管的厄尔利电压为多少？工作在 $v_{BE} = 720$ mV 时的输出电阻为多少？

5.41 给出与图 5.20 所示的 npn 模型对应的 pnp 等效电路模型。

5.42 一个工作在 $i_B = 8$ μA，$i_C = 1.2$ mA 的 BJT 的基极电流减小了 0.8 μA。并且发现当 v_{CE} 保持固定时，集电极电流相应地减小了 0.1 mA。求 h_{FE} 和 h_{fe} 的值。如果基极电流从 8 μA 增加到 10 μA，v_{CE} 从 8 V 增加到 10 V 时，集电极电流为多少？假设 $V_A = 100$ V。

5.43 某晶体管的 β 特性如图 5.22 所示，估计在−55°C，25°C 和 125°C 时，当 I_C =100 μA 和 10 mA 时的 β 值。对于每一个电流，估计当温度高于室温和低于室温时的温度系数（需要 4 个值）。

5.44 图 P5.44 是一个连接成二极管的 npn 晶体管。因为 $v_{CB} = 0$，因此 BJT 将工作在放大模式，即它的基极和集电极电流与 β_F 相关联。使用埃伯尔斯–莫尔方程证明二极管连接的晶体管有如下伏安特性：

$$i = \frac{I_S}{\alpha_F}(e^{v/V_T} - 1) \cong I_S e^{v/V_T}$$

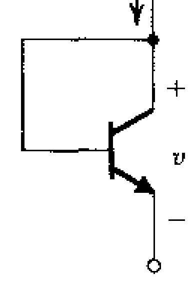


图 P5.44

5.45 某 BJT 的 $\alpha_R = 0.2$，它的基极电流保持不变，而集电极开路。测量得到的 V_{CEsat} 为多少？

5.46 某 npn BJT 的基极电流固定为 0.1 mA，强制 β 为 20 时，求它的饱和电压 V_{CEsat} 和饱和电阻 R_{CEsat}。该晶体管有 $\beta_F = 50$ 和 $\beta_R = 0.2$。

*5.47 使用式（5.47）证明基极电流 I_B 固定不变的晶体管的饱和电阻 $R_{CEsat} \equiv \partial v_{CE}/\partial i_C$ 为

$$R_{CEsat} = \frac{V_T}{\beta_F I_B}\frac{1}{x(1-x)}$$

其中，

$$x = \frac{I_{Csat}}{\beta_F I_B} = \frac{\beta_{forced}}{\beta_F}$$

求 $\beta_{forced} = \beta_F / 2$ 时的 R_{CEsat}

5.48 对于 $\beta_F = 70$ 和 $\beta_R = 0.7$ 的晶体管，通过计算 $i_C = 3$ mA 和 $i_C = 0.3$ mA 时的 V_{CEsat} 来估计 $I_B = 2$ mA 时的 V_{CEsat} 和 V_{CEoff}［使用式（5.49）］。［注意，因为我们在这里以较低的强制 β 来对特性建模，因此 R_{CEsat} 的值比式（5.48）给出的值要大很多。］

5.49 某晶体管 $\beta_F = 150$，集电结比发射结大 10 倍。计算当 $\beta_{forced} / \beta_F = 0.99$、0.95、0.9、0.5、0.1、0.01 和 0 时的 V_{CEsat}。

5.50 某特定 *npn* BJT 在 $i_C = 600\ \mu$A 时，$v_{BE} = 720$ mV，并且有 $\beta = 150$。它的集电结比发射结大 20 倍

（a）求 α_F，α_R 和 β_R

（b）对于 5 mA 的集电极电流和非饱和工作情况，基极–发射极电压和基极电流为多少？

（c）对于（b）中的情况，若计算得到的基极电流增大一倍，那么强制 β 为多少？发射结和集电结电压各为多少？V_{CEsat} 和 R_{CEsat} 为多少？

*5.51 某 BJT 当基极电流固定、发射极接地且集电极开路时有 $V_{CEsat} = 60$ mV。当集电极接地，发射极开路时，V_{CEsat} 变为−1 mV。估计该晶体管的 β_F 和 β_R。

5.52 某 BJT 有 $I_B = 0.5$ mA，当 $I_C = 10$ mA 时有 $V_{CEsat} = 140$ mV，当 $I_C = 20$ mA 时有 $V_{CEsat} = 170$ mV。估计它的饱和电阻 R_{CEsat} 以及失调电压 V_{CEoff} 的值，并确定 β_F 和 β_R 的值。

5.53 某 BJT 的 BV_{CBO} 为 30 V，连接成图 P5.53 所示的电路。测量得到的集电极、基极和发射极的电压各为多少？

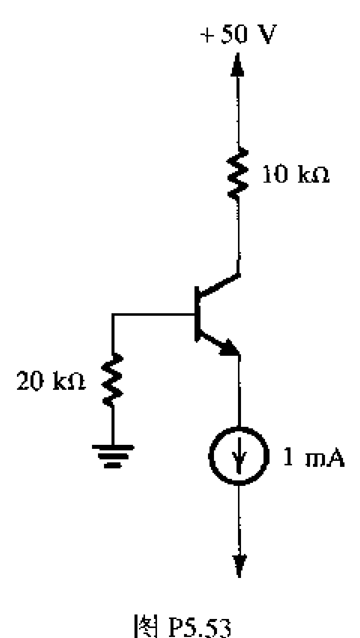


图 P5.53

5.3 节：作为放大器和开关的 BJT

5.54 某共发射极放大器电路工作在 $V_{CC} = +10$ V，偏置为 $V_{CE} = +1$ V 处。求电压增益、未进入饱和区的最大允许的输出负幅度以及相应的最大允许的输入信号。

5.55 对于图 5.26（c）所示的共发射极电路，$V_{CC} = +10$ V，$R_C = 1$ kΩ，求在下列集电极直流偏置电流下的 V_{CE} 和电压增益：1 mA，2 mA，5 mA，8 mA 和 9 mA。对于每一种情况，给出确保晶体管工作在放大区时的最大可能的正负输出信号幅度，并用表格给出结果。

D5.56 考虑图 5.26（a）所示的 CE 放大器电路，它以 $V_{CC} = +5$ V 的直流电源工作。求出该晶体管的偏置点，即求出 V_{CE} 的值使得在峰值为 5 mV 的正弦信号 v_{be} 输入时输出正弦信号 v_{ce} 有最大可能的幅度。输出正弦波的幅度以及获得的增益为多少？假定在偏置点附近线性工作。（提示：为了得到在给定输入下最大可能的输出幅度，需要把晶体管偏置点尽可能地接近饱和区边缘且在任何时候都不会进入饱和区，即 v_{CE} 不会减小到 0.3 V 以下。）

5.57 图 P5.57 所示电路中晶体管的集电极偏置直流电流为 0.5 mA，其电压增益为多少？［提示：使用戴维南定理将该电路转换成图 5.26（a）中的形式。］

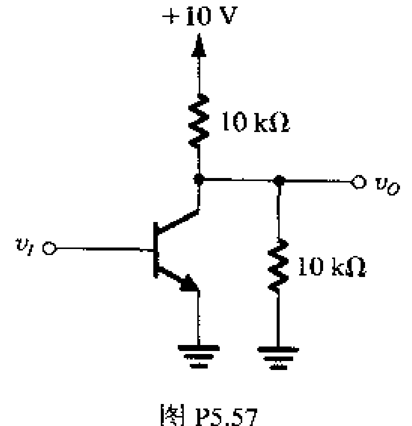


图 P5.57

5.58 画出并标注图 P5.58 所示的 *pnp* 共发射极放大器的电压传输特性

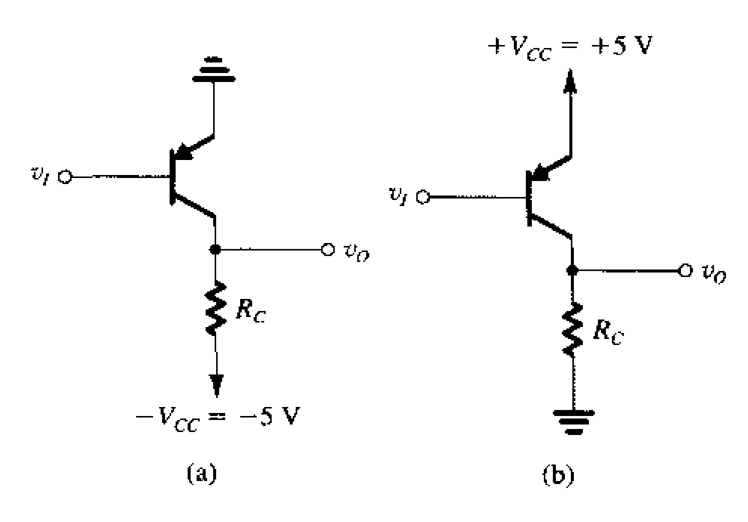


图 P5.58

*5.59 在推导式（5.56）中的小信号电压增益 A_v 的表达式时，我们忽略了厄尔利效应。现在推导出考虑厄尔利效应的表达式。通过将下式

$$i_C = I_S e^{v_{BE}/V_T}\left(1+\frac{v_{CE}}{V_A}\right)$$

代入式（5.50），证明增益表达式变为

$$A_v = \frac{-I_C R_C / V_T}{\left[1+\dfrac{I_C R_C}{V_A + V_{CE}}\right]} = -\frac{(V_{CC}-V_{CE})/V_T}{\left[1+\dfrac{V_{CC}-V_{CE}}{V_A+V_{CE}}\right]}$$

当 $V_{CC} = 5$ V 以及 $V_{CE} = 2.5$ V 时，考虑厄尔利效应和不考虑厄尔利效应的增益各为多少？设 $V_A = 100$ V。

5.60 当图 5.26（a）所示的共发射极放大器电路偏置于一定的 V_{BE} 时，集电极的直流电压为+2 V 当 $V_{CC} = +5$ V、$R_C = 1$ kΩ时，求 I_C 和小信号电压增益。对于 $\Delta v_{BE} = +5$ mV 的变化，计算得到的 Δv_O。以两种方法计算：通过使用晶体管的指数特性计算 Δi_C 以及使用小信号电压增益近似计算。重复计算 $\Delta v_{BE} = -5$ mV 的情况 以表格形式总结结果。

*5.61 考虑图 5.26（a）的共发射极放大器电路，由 $V_{CC} = +5$ V 的电压源供电。

（a）理论上该放大器能够提供的最大电压增益为多少？

（b）为了得到−100 V/V 的电压增益，V_{CE} 必须偏置在什么值？

（c）如果在（b）的偏置点上集电极直流电流 I_C 为 0.5 mA，那么 R_C 应该为多少？

（d）为了得到上述偏置点，要求 V_{BE} 的值为多少？假设晶体管的 $I_S = 10^{-15}$ A。

（e）如果在 V_{BE} 上叠加了峰值为 5 mV 的正弦波信号 v_{be}，求相应的叠加在 V_{CE} 上的输出电压信号 v_{ce}。假设在偏置点附近线性工作。

（f）描述叠加在直流偏置电流 I_C 上的信号电流 i_c 的特征。

（g）在偏置点的基极直流电流 I_B 为多少？假设 $\beta = 100$，描述叠加在基极电流 I_B 上的信号电流 i_b 的特征。

（h）将 v_{be} 的幅度除以 i_b 的幅度，计算该放大器的增量（或小信号）输入电阻。

（i）画出并标明 v_{BE}，v_{CE}，i_C 和 i_B 的波形图。注意，每个波形包含直流或平均值以及叠加的正弦波。注意正弦波的相位关系

5.62　晶体管工作的本质是 v_{BE} 的变化 Δv_{BE} 引起 i_C 的变化 Δi_C。保持 Δv_{BE} 足够小，则 Δi_C 与 Δv_{BE} 近似为线性关系，$\Delta i_C = g_m \Delta v_{BE}$，其中 g_m 被称为晶体管的跨导。通过 R_C 将 Δi_C 转换成输出电压信号 Δv_O。使用式（5.56）中的小信号电压增益表达式来推导 g_m 的表达式。求当晶体管的偏置 $I_C = 1$ mA 时的 g_m 值。

5.63　考虑图 5.29 所示的特性曲线，其中，$i_B = 1\ \mu$A，$10\ \mu$A，$20\ \mu$A，$30\ \mu$A 和 $40\ \mu$A。假设这些线为水平线，并且 $\beta = 100$。若 $V_{CC} = 5$ V，$R_C = 1$ kΩ，当 i_B 在 $10\ \mu$A 到 $40\ \mu$A 范围内变化时，集电极电压的峰-峰值为多少？如果在 $V_{CE} = \frac{1}{2} V_{CC}$ 的新偏置点（不是图中显示的点），求 I_C 和 I_B 的值。如果在该电流时 $V_{BE} = 0.7$ V，并且如果 $R_B = 100$ kΩ，求所要求的 V_{BB} 值。

*5.64　画出 $\beta = 100$，$V_A = 100$ V 的 *npn* 晶体管的 $i_C \sim v_{CE}$ 特性。画出当 $i_B = 20\ \mu$A，$50\ \mu$A，$80\ \mu$A 和 $100\ \mu$A 时的特性曲线。为了达到这个目的，假设 $v_{CE} = 0$ 时 $i_C = \beta i_B$。此外画出 $V_{CC} = 10$ V，$R_C = 1$ kΩ时的负载线。如果进入基极的直流偏置电流为 $50\ \mu$A，写出相应的 $i_C \sim v_{CE}$ 曲线的方程。此外，写出负载线的方程，并求解这两个方程以得到 V_{CE} 和 I_C。如果输入信号使得在 I_B 上叠加了峰-峰值为 $30\ \mu$A 的正弦信号，求 i_C 和 v_{CE} 相应的信号分量。

D5.65　对于图 P5.65 中的电路选择 R_B 的值使晶体管饱和，并且过载因子为 10。该 BJT 的最小 β 值为 20，$V_{CEsat} = 0.2$ V。得到的强制 β 值为多少？

D5.66　对于图 P5.66 所示的电路，选择 R_E 的值使晶体管饱和，并且强制 β 为 10。假设 $V_{EB} = 0.7$ V，$V_{ECsat} = 0.2$ V。

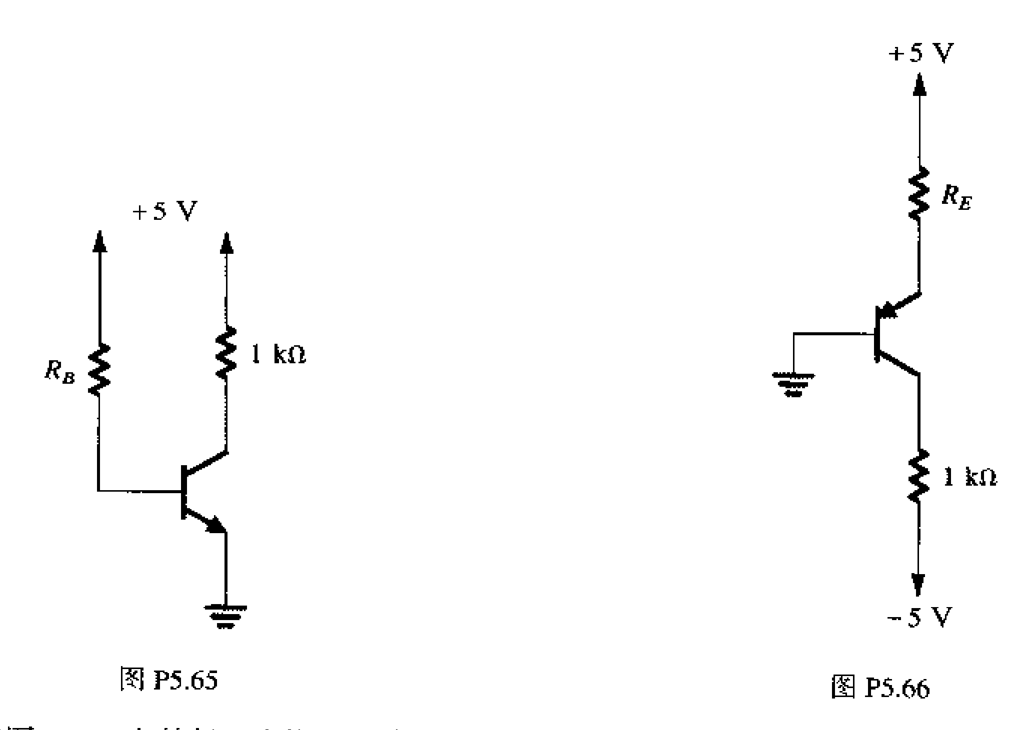


图 P5.65　　　　图 P5.66

5.67　对于图 P5.67 中的每一个饱和电路，求 i_B，i_C 和 i_E。设 $|V_{BE}| = 0.7$ V，$|V_{CEsat}| = 0.2$ V。

*5.68　考虑图 P5.68 所示的电路，v_B 从 0 开始慢慢上升。对于该晶体管，假设 $\beta = 50$，晶体管导通的 v_{BE} 为 0.5 V，当完全导通时 v_{BE} 为 0.7 V，当 $v_{BC} = 0.4$ V 时开始饱和，$v_{BC} = 0.6$ V 时深度饱和。画出并标注 v_E 和 v_C 对 v_B 的关系。当 v_B 在什么范围内，i_C 为 0。当 $v_B = 1$V 和 3V 时，v_E，i_E，i_C 和 v_C 的值为多少？当饱和开始时 v_B 的值为多少？在该点时，i_B 为多少？当 $v_B = 4$ V 和 6 V 时，v_E，v_C，i_E，i_C 和 i_B 的值为多少？加入 i_B 的曲线扩充图形。

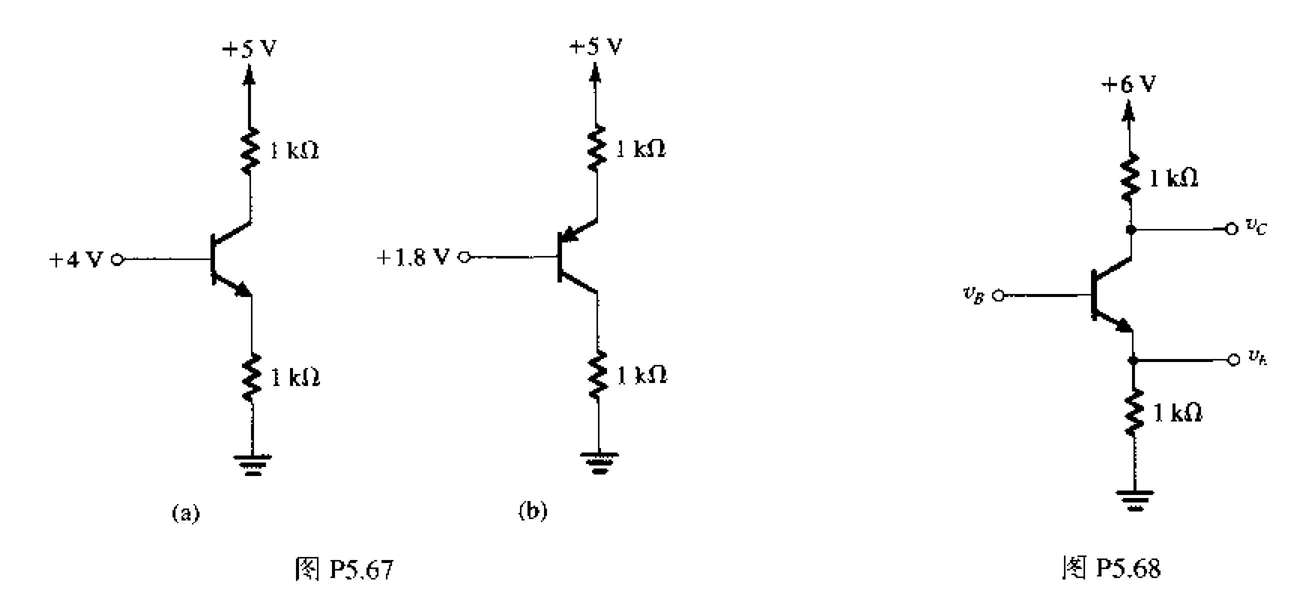


图 P5.67　　　　图 P5.68

5.4 节：BJT 直流电路

5.69　图 P5.69 所示电路中的晶体管有非常高的β。求V_E和V_C，当V_B为：（a）+2V，（b）+1V 和（c）0 V。假设$V_{BE}=0.7$ V。

5.70　图 P5.69 所示电路中的晶体管具有非常高的β。求晶体管工作在放大模式下最大的V_B值并求晶体管工作在强制β为 1 的饱和模式时的V_B值

5.71　考虑图 P5.71 电路在V_B为−1 V，0 V 以及+1 V 时的运行。假设对于通常的电流V_{BE}为 0.7 V，并且β非常大，则V_E和V_C的值为多少？当V_B为何值时，发射极电流减小为$V_B=0$ V 时的发射极电流的十分之一？当V_B为何值时，晶体管刚好处于导通的边缘？相应的V_E和V_C值为多少？当V_B为何值时，晶体管达到饱和（集电结的正向偏置电压达到 0.5 V）？相应的V_E和V_C值为多少？求晶体管工作在强制β为 2 的饱和模式时的V_B值

5.72　对于图 P5.72 所示的晶体管，假设$\alpha=1$和导通边缘处的$v_{BE}=0.5$ V。当$V_B=0$ V 时，V_E和V_C的值为多少？当V_B为何值时晶体管截止？何值时饱和？在每一种情况下，V_E和V_C的值为多少？

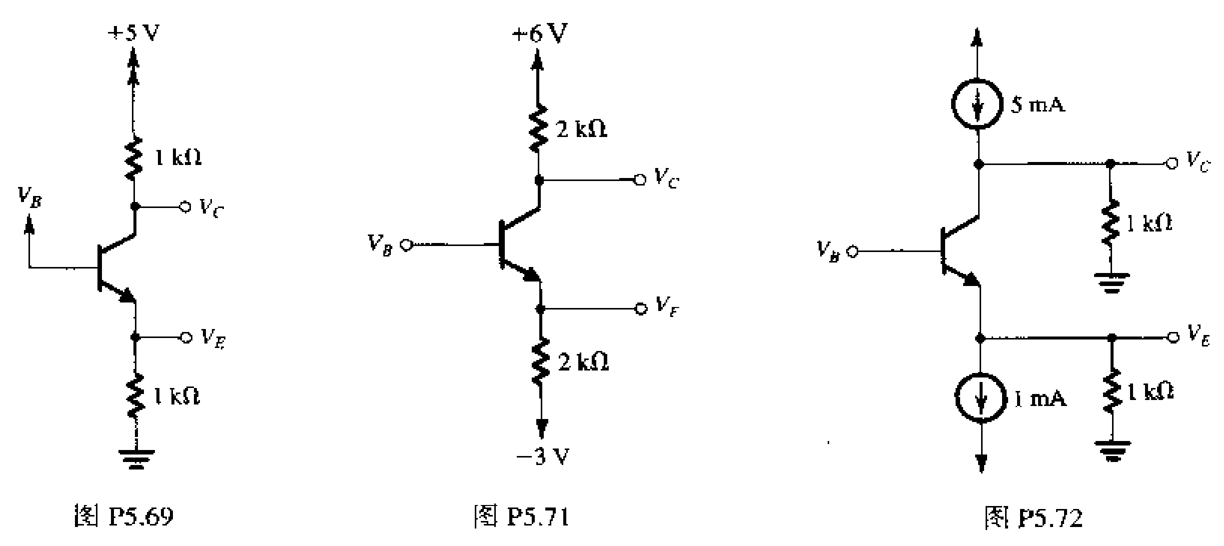


图 P5.69　　　　图 P5.71　　　　图 P5.72

D5.73　考虑图 P5.69 所示的电路，它的基极电压V_B由 5 V 电源两端的电压分压器得到。假设该晶体管的β非常大（即忽略基极电流），设计电压分压器使$V_B=2$ V，电压分压器上的电流为 0.2 mA。现在如果 BJT 的$\beta=100$，分析电路并确定集电极电流和集电极电压。

5.74 单次测量得到图P5.74所示电路中的晶体管的发射极电压为1.0 V。假设$|V_{BE}|=0.7$ V，则V_B，I_B，I_E，I_C，V_C，β和α为多少？

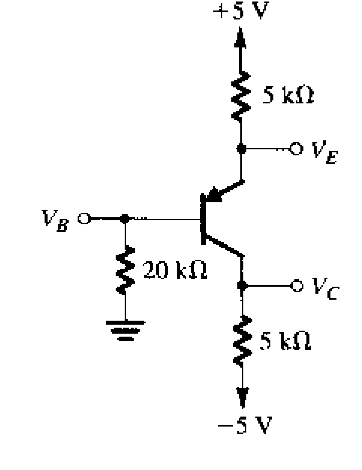


图 P5.74

D5.75 使用$\alpha\simeq 1$，$V_{EB}=0.7$ V的pnp晶体管以及两个正确连接到±9 V的电阻来设计一个电路，使得$I_E=2$ mA，$V_{BC}=4.5$ V。所需要的R_E和R_C的精确值为多少？现在参考5%标准电阻值的表格（例如，附录G中提供的表格）来选择合适的实际值，则得到的I_E和V_{BC}为多少？

5.76 在图P5.76所示的电路中，晶体管的$\beta=30$。求V_B，V_E和V_C的值。如果R_B上升到270 kΩ，得到的电压为多少？当$R_B=270$ kΩ时，如果要求电压为最初计算得到的值，则β应该为多少？

5.77 在图P5.76所示的电路中，晶体管的$\beta=30$。计算V_B，V_E和V_C的值并验证晶体管工作在放大模式。当保持晶体管工作在放大模式时，R_C能达到的最大值为多少？

5.78 对于图P5.78中的电路，求当R_B=100 kΩ、10 kΩ和1 kΩ时的V_B，V_E和V_C：设β=100

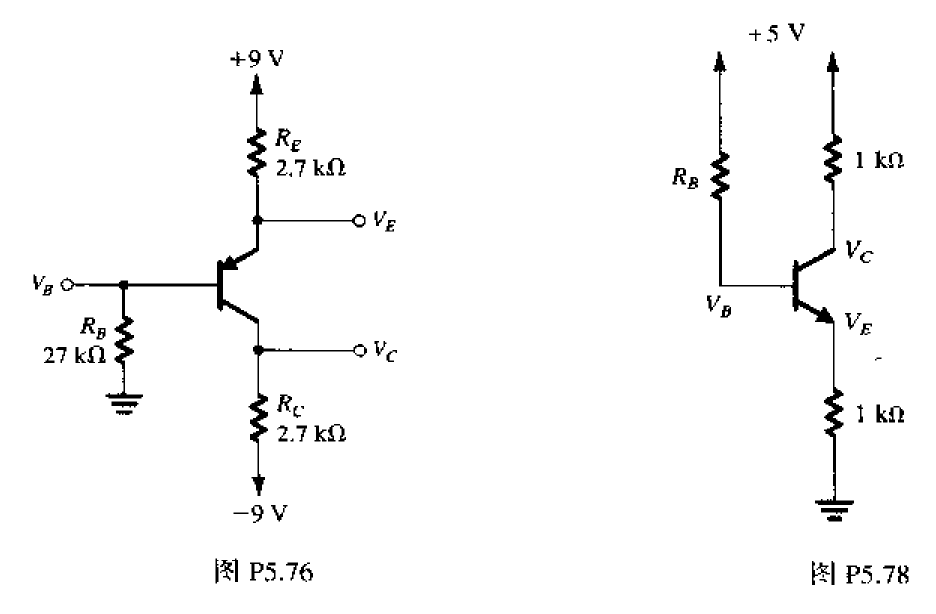


图 P5.76　　图 P5.78

5.79 对于图P5.79所示的电路，求所标注的节点电压和支路电流值。假设β非常大且$|V_{BE}|=0.7$ V。

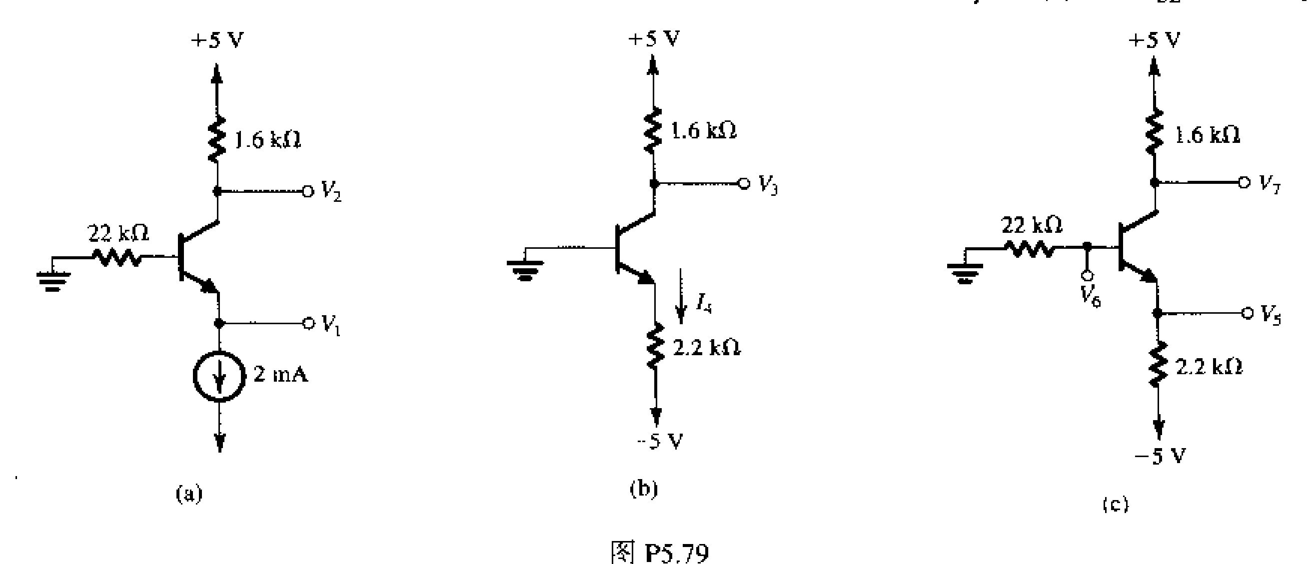


图 P5.79

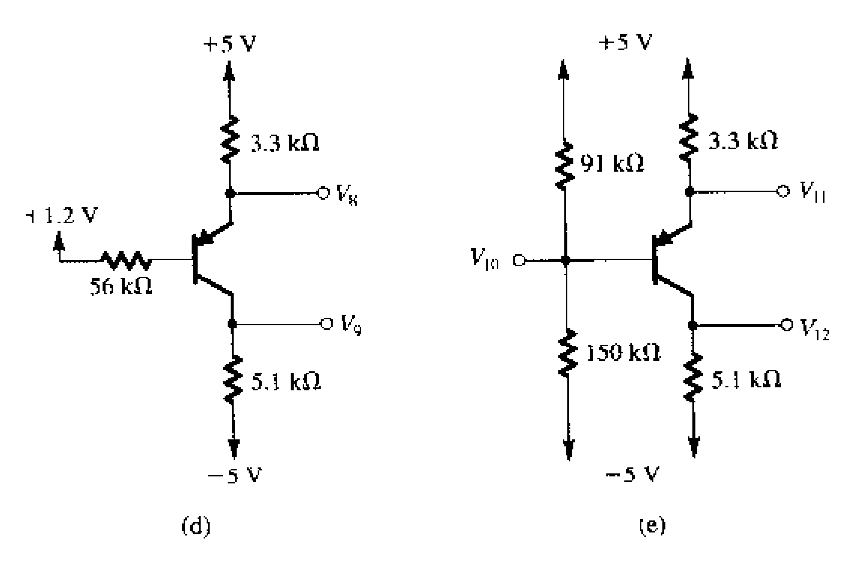


图 P5.79（续）

*5.80 当 $\beta=100$ 时重新分析图 P5.79 所示的电路，求所有标注节点的电压和支路电流值。假设 $|V_{BE}|=0.7\ \text{V}$。

**D5.81 要求设计图 P5.81 中的电路使发射极的电流为 1 mA，集电极上的电压为+5 V。所使用的晶体管的 β 标称值为 100。但该 β 值最低可以到 50，最高可以到 150。设计必须确保当 $\beta=100$ 时得到指定的发射极电流，而在 β 的极限值时，发射极电流的变化不大于其额定值的 10%。此外，设计结果应使 R_B 尽可能大。给出 R_B，R_E 和 R_C 接近于千欧的数值。对应于 β 的整个范围，集电极电流和集电极电压的范围为多少？

D5.82 图 P5.82 所示电路中的 *pnp* 晶体管有 $\beta=50$。求使 $V_C=+5\ \text{V}$ 的 R_C 值。如果晶体管用另外一个 $\beta=100$ 的晶体管替换会发生什么情况？

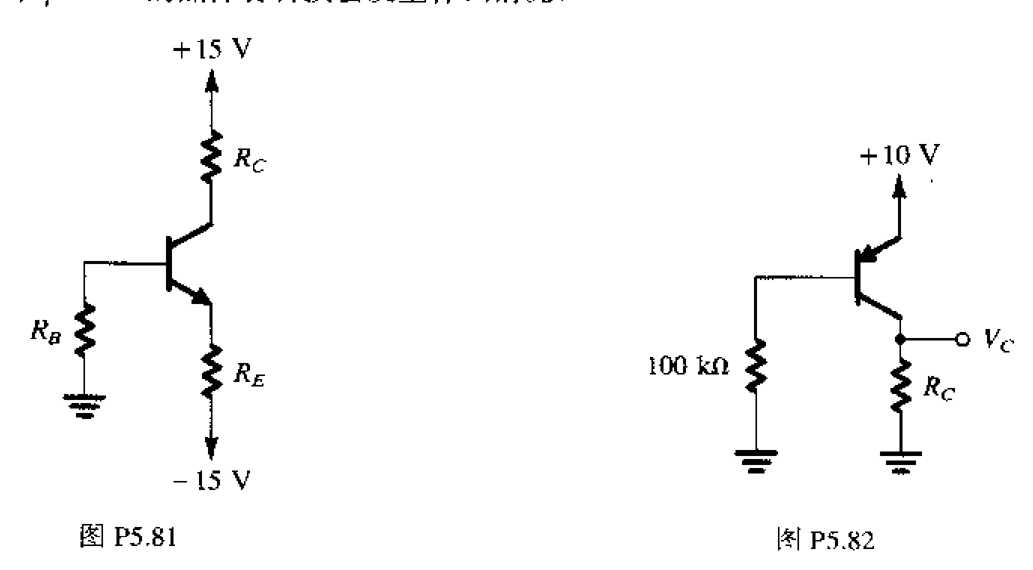


图 P5.81　　　　图 P5.82

**5.83 考虑图 P5.83 所示的电路。它类似于图 5.41 所示的电路，但包含了其他一些特性。首先，增加了二极管 D_1 和 D_2 使设计（和分析）更加简单，并且为 Q_1 和 Q_2 的发射极结电压提供温度补偿。其次，电阻 R 提供了负反馈。假设 $V_D=0.7\ \text{V}$ 与电流无关，使用 $|V_{BE}|$ 以及 $\beta=\infty$。最初 R 开路，然后将 R 连上，求电压 V_{B1}，V_{E1}、V_{C1}，V_{B2}、V_{E2} 和 V_{C2}。当 $\beta=100$ 时，最初 R 开路，然后将 R 连上，重复计算。

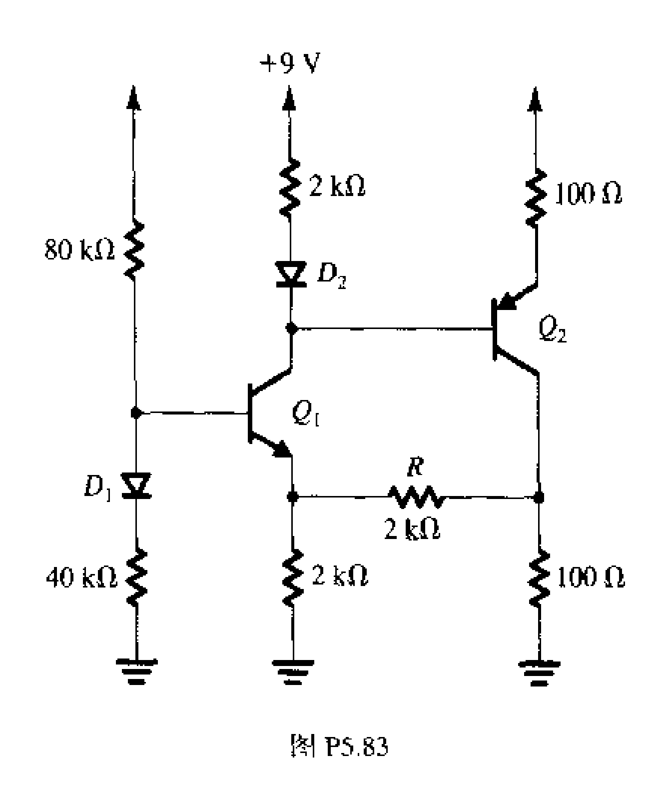


图 P5.83

*5.84　对于图 P5.84 所示的电路，求所标注的节点电压，其中：

（a）$\beta = \infty$

（b）$\beta = 100$

**D5.85　设 $\beta = \infty$，设计图 P5.85 所示的电路使 Q_1、Q_2 和 Q_3 的偏置电流分别为 2 mA、2 mA 和 4 mA，并且 $V_3 = 0$，$V_5 = -4$ V，$V_7 = 2$ V。对于每一个电阻，从附录 G 的 5%标准电阻表中选择最接近的标准电阻。现在设 $\beta = 100$，求 V_3，V_4，V_5，V_6 和 V_7。

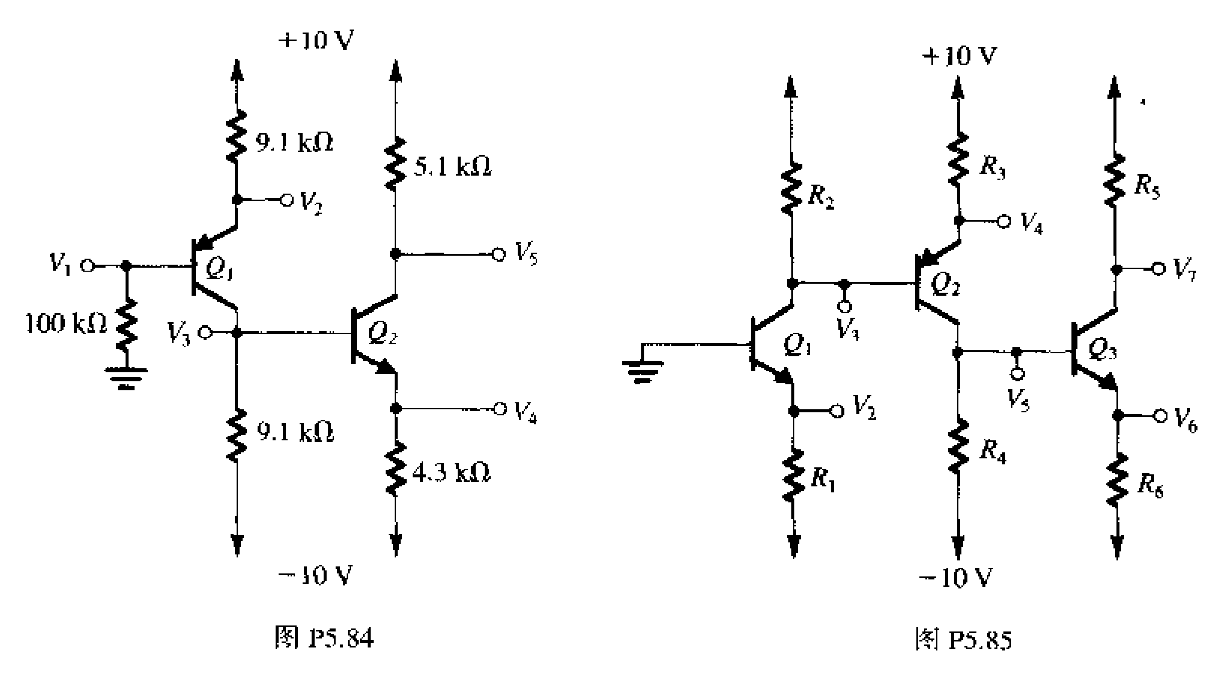


图 P5.84　　　　图 P5.85

5.86　对于图 P5.86 所示的电路，求当 $v_I = 0$ V，+3 V，−5 V 和−10 V 时的 V_B 和 V_E。该 BJT 有 $\beta = 100$。

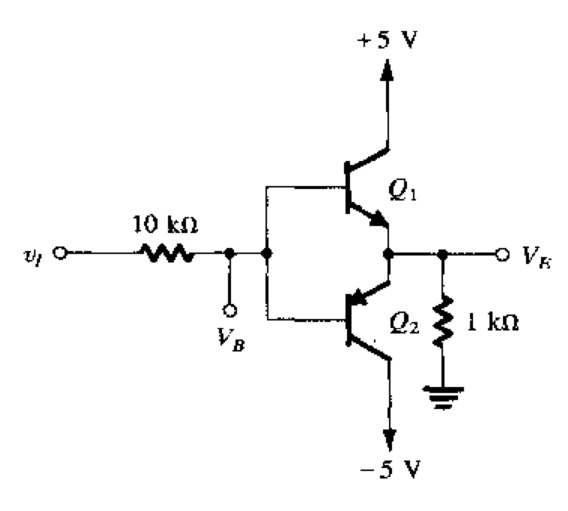


图 P5.86

**5.87 求图 P5.87 所示电路中集电极电压的近似值，并计算每个晶体管的强制 β 值。（提示：首先假设所有晶体管工作在饱和模式，然后验证该假设。）

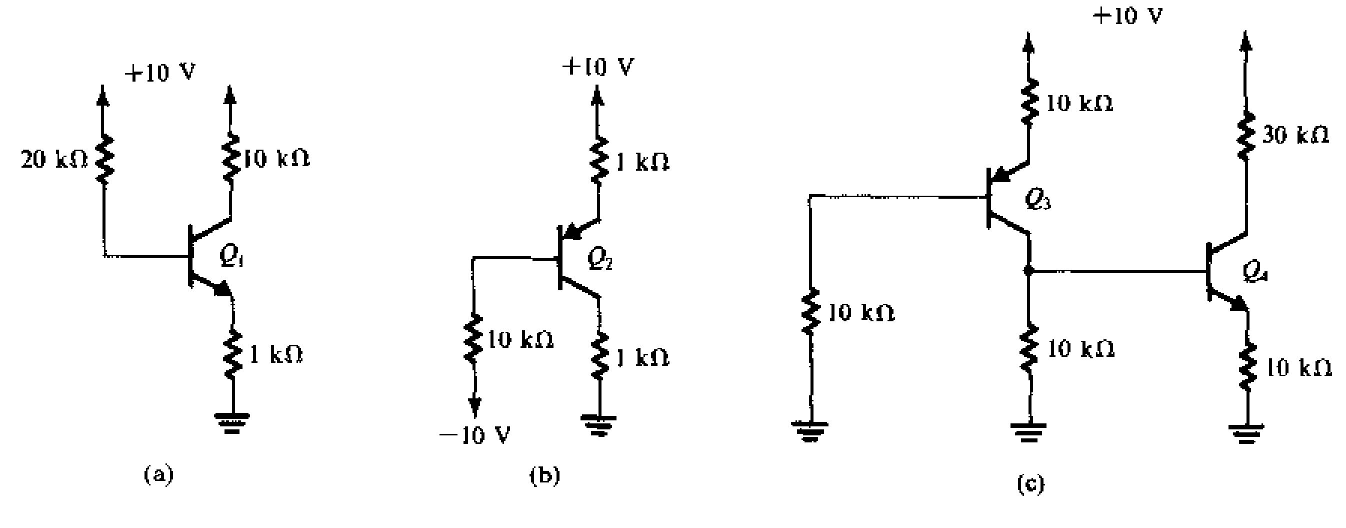


图 P5.87

5.5 节：BJT 放大器电路的偏置

D5.88 对于图 5.43（a）中的电路，与电压分压器上的电流相比可以忽略基极电流 I_B。要求晶体管的偏置 $I_C = 1$ mA，选择 R_{B1} 和 R_{B2} 使 $V_{BE} = 0.690$ V。如果 $V_{CC} = 5$ V，则 R_{B1}/R_{B2} 的比值必须为多少？现在如果 R_{B1} 和 R_{B2} 为 1%的电阻，即每个电阻在它的标称值的 0.99 到 1.01 的范围内变化，则得到的 V_{BE} 的范围为多少？相应的 I_C 的范围为多少？如果 $R_C = 3$ kΩ，则得到 V_{CE} 的范围为多少？对该偏置设置的功效进行评述。

D5.89 要求对图 5.43（b）所示电路中的晶体管完成偏置设计，即要求 $I_C = 1$ mA。晶体管 β 的标称值为 100，但是它可能在 50 到 150 之间变化。若 $V_{CC} = +5$ V，$R_C = 3$ kΩ，求使标称晶体管获得 $I_C = 1$ mA 时的 R_B 值。I_C 和 V_{CE} 期望的范围为多少？对该偏置设计的功效进行评论。

D5.90 考虑图 5.44（a）所示的单电源偏置网络。给出一个使用 9 V 电源的设计，该电源电压在 R_C，V_{CE} 和 R_E 之间平分，并且集电极电流为 3 mA。晶体管 β 的最小值为 90。使用电压分压器，其上电流为 $I_E/10$ 或者稍高一点。因为一个合理的设计应该是晶体管的 β 值非常高，

所以首先利用 $\beta=\infty$ 来设计电路，然后选择合适的 5%电阻（参考附录 G）并选择电阻使 V_{BB} 稍大于理想值。说明你选择的 R_E，R_C，R_1 和 R_2 的值。现在利用 $\beta=90$ 来得到最后的设计，求 V_B，V_E，V_C 和 I_C。

D5.91 重复习题 5.90，然而电压分压器上的电流为 $I_E/2$。检查 $\beta=90$ 时的设计。如果已经得到这些数据，那么当 I_C 不小于习题 5.90 中 $\beta=90$ 时得到的值的话，最小的 β 值可以为多少？

**D5.92 要求设计图 5.44 所示的偏置电路，BJT 的标称 $\beta=100$。

（a）当 β 小到 50 和高于 150 时，为确保 I_E 保持在其额定值 ±5%的范围内，求最大的（R_B/R_E）比。

（b）如果使用（a）所求得的电阻比，求电压 $V_{BB}\equiv V_{CC}R_2/(R_1+R_2)$ 的表达式，使 R_E 两端的电压降为 $V_{CC}/3$。

（c）当 $V_{CC}=10$ V 时，为了得到 $I_E=2$ mA 以及满足（a）中的 I_E 稳定性的要求，求所要求的 R_1，R_2 和 R_E 的值。

（d）求 R_C 使 β 等于标称值时的 $V_{CE}=3$ V。

计算 I_E 的范围来检查你的设计。

*D5.93 考虑图 5.45 所示的双电源偏置设置，使用±3 V 的电源。要求设计一个电路使 $I_C=3$ mA，并且 V_C 位于 V_{CC} 和 V_E 的中间。

（a）当 $\beta=\infty$ 时，所要求的 R_E 和 R_C 值为多少？

（b）如果 BJT 的 β 最小值为 90，求使 R_B 两端的电压降为 R_E 两端电压降的十分之一时最大的 R_B 值。

（c）如果使用 5%的标准电阻值（见附录 G），则 R_B、R_E 和 R_C 的值为多少？为了补偿 β 下降的影响，在某种程度上使用较低的电阻值。

（d）对于（c）中所选的值，求当 $\beta=\infty$ 和 $\beta=90$ 时的 I_C，V_B，V_E 和 V_C 值。

*D5.94 使用±5 V 的电源，要求设计图 5.45 所示的电路，在该电路中信号被耦合到发射极，因此 R_B 可以设为 0。求 R_E 和 R_C 的值以使发射极直流电流为 1 mA 并且集电极信号允许的幅度为 ±1 V，且有最大的增益。如果温度从 25°C 的额定值上升到 125°C，估计集电极偏置电流变化的百分比。除了 V_{BE} 按照−2 mV/°C 变化，假定晶体管 β 在该温度范围内的变化为 50 到 150。

D5.95 使用 5 V 的电源，设计图 5.46 所示电路来提供 0.5 mA 的发射极直流电流以及在集电极上允许±1 V 的输出信号幅度。该 BJT 的额定 $\beta=100$。使用 5%的标准电阻值（见附录 G）。如果实际使用的 BJT 的 $\beta=50$，那么发射极电流为多少？此外，集电极上允许的信号摆幅为多少？当 $\beta=150$ 时，重复上述计算。

*D5.96（a）使用 3 V 的电源，设计图 5.46 所示的反馈偏置电路，使 $\beta=90$ 时的 $I_C=3$ mA，$V_C=V_{CC}/2$。

（b）选择 5%的标准电阻值，重新计算 $\beta=90$ 时的 V_C 和 I_C。

（c）当 $\beta=\infty$ 时，求 V_C 和 I_C。

（d）为了改善使用高 β 晶体管时的性能，必须设置额外的电流流过 R_B。这可以通过在基极和发射极之间连接电阻实现，如图 P5.96 所示。设计 $\beta=90$ 时的电路，使流过 R_{B2} 的电流等于基极电流。现在当 $\beta=\infty$ 时得到的 V_C 和 I_C 的值为多少？

图 P5.96

D5.97 图 P5.97 所示的电路能够为高电阻负载提供非常大的电压增益。求使 BJT 偏置在 $I_C = 3$ mA，$V_C = 1.5$ V 时的 I 和 R_B 的值。设 $\beta = 90$。

5.98 某电路如图 P5.98 所示，只要连接到集电极的电压保证 BJT 工作在放大模式，那么该电路就可提供恒定电流 I_O，证明：

$$I_O = \alpha \frac{V_{CC}\left[R_2/(R_1+R_2)\right]-V_{BE}}{R_E+(R_1 // R_2)/(\beta+1)}$$

**D5.99 图 P5.99 所示的电路为 Q_1 提供偏置电流，它与 R_B 无关并与 β_1 的值也几乎无关（只要 Q_2 工作在放大模式）。设计满足下面指标的电路：使用±5 V 电源；当 $\beta = \infty$ 时，$I_{C1} = 0.1$ mA，$V_{RE} = 2$ V；当 $\beta = 50$ 时，R_E 两端的电压至多下降 5%；当 $\beta = \infty$ 时，$V_{CE1} = 1.5$ V 并且 $\beta = 50$ 时，$V_{CE1} = 2.5$ V。使用 5%的标准电阻值（见附录 G）。R_1，R_2，R_E，R_B，R_C 各为多大的值？当 $\beta = 50$，100 和 200 时 I_{C1} 和 V_{CE1} 各为多少？

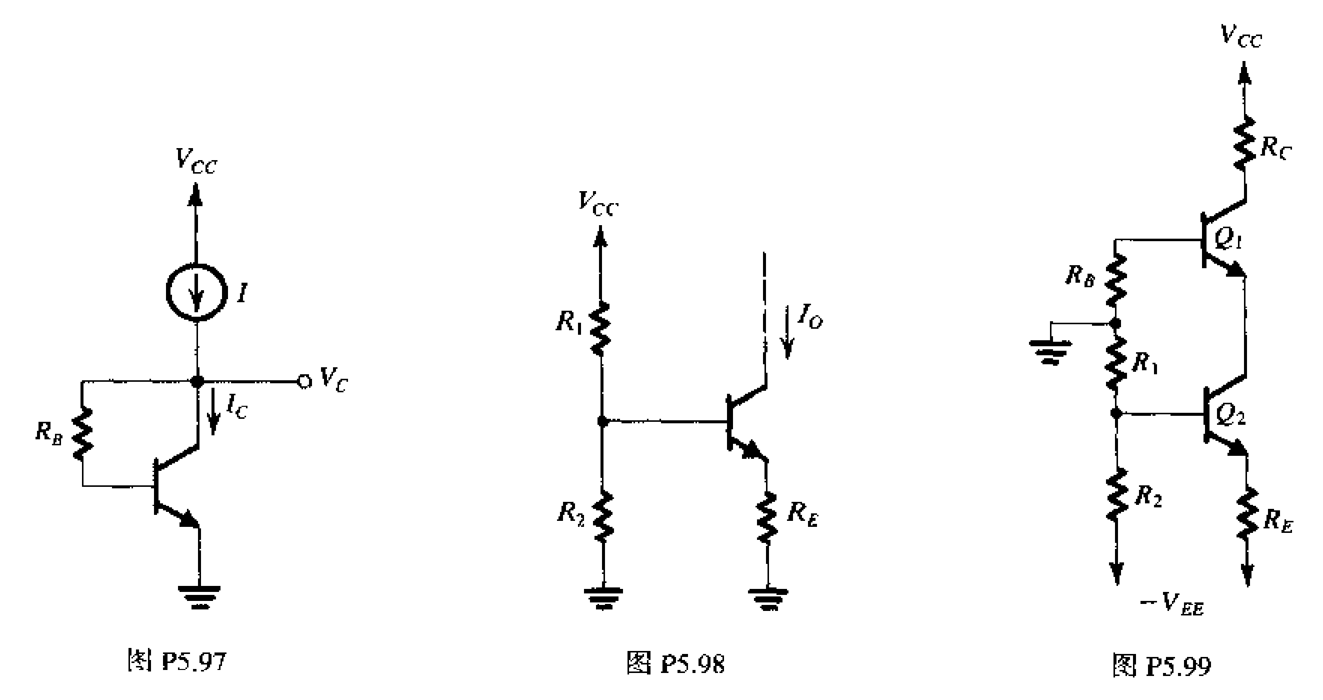


图 P5.97 图 P5.98 图 P5.99

*D5.100 对于图 P5.100 所示的电路，假设所有晶体管相同，并且 β 为无穷，推导输出电流 I_O 的表达式。通过选择

$$R_1 = R_2$$

和使每个结的电流保持相同，证明电流 I_O 为

$$I_O = \frac{\alpha V_{CC}}{2R_E}$$

它与 V_{BE} 无关。R_E 与 R_1 和 R_2 的关系怎样？当 $V_{CC} = 10$ V 并假定 $\alpha \simeq 1$ 和 $V_{BE} = 0.7$ V 时，一个设计电路使输出电流为 0.5 mA。能够加到 Q_3 集电极上的最低电压为多少？

D5.101 对于图 P5.101 所示的电路，求 R 的值以使 $I_O = 2$ mA。能够加到集电极上的最大电压为多少？假设 $|V_{BE}| = 0.7$ V。

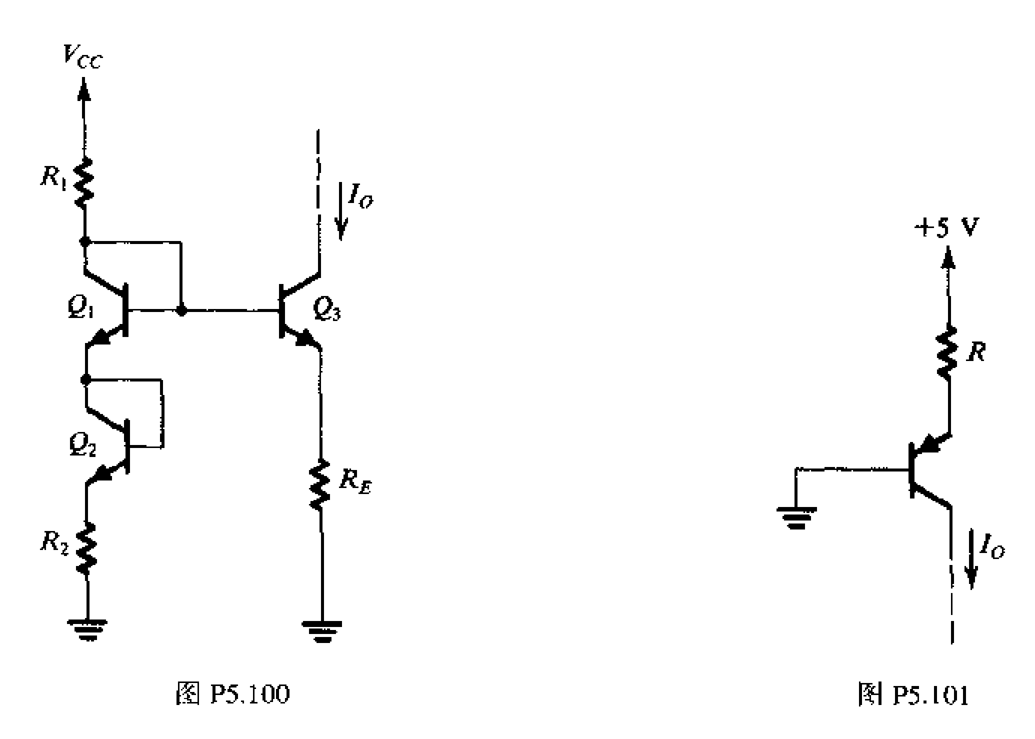


图 P5.100　　　　图 P5.101

5.6 节：小信号工作与小信号模型

5.102 考虑偏置工作在放大模式下的晶体管，它的集电极偏置电流为 I_C。当输入信号 v_{be} 为 +1 mV，−1 mV，+2 mV，−2 mV，+5 mV，−5 mV，+8 mV，−8 mV，+10 mV，−10 mV，+12 mV 和−12 mV 时，计算集电极上的信号电流占 I_C 的部分（即 i_c/I_C）。对于下列每一种情况，用两种方法计算：

（a）使用指数特性曲线；

（b）使用小信号近似。

用表格的形式给出结果，该表中需包括一列由小信号近似引入的误差。对小信号近似的有效性范围进行评述。

5.103 一个发射极接地的 *npn* 型 BJT 工作在 $V_{BE}=0.700$ V 且集电极电流为 1 mA 处。通过一个 10 kΩ 的电阻将集电极连接到+15 V 电源。集电极电压 V_C 为多少？现在，如果一个信号加到基极，使 v_{BE} 上升到 705 mV，使用指数 $i_C \sim v_{BE}$ 关系求总的集电极电流 i_C 和总的集电极电压 v_C。对于这种情况，v_{be} 和 v_c 为多少？计算电压增益 v_c/v_{be}。与利用小信号近似得到的值 $-g_mR_C$ 进行比较。

5.104 $\beta=120$ 的晶体管被偏置在集电极直流电流 1.2 mA 上，求 g_m，r_π 和 r_e 的值，当偏置电流为 120 μA 时，重复上述计算。

5.105 一个 *pnp* BJT 偏置电流为 $I_C=2.0$ mA。相关的 g_m 值为多少？如果 $\beta=50$，从发射极看进去的小信号电阻为多少（r_e）？从基极看进去的电阻（r_π）是多少？如果集电极连接到 5 kΩ 的负载，并在基极和发射极之间加上峰值为 5 mV 的信号，则输出信号电压为多少？

D5.106 某设计者想得到 $g_m=50$ mA/V，基极输入电阻为 2000 Ω或更大的 BJT 放大器。则应该选择多大的发射极偏置电流？对于所使用的晶体管能够承受的最小 β 值为多少？

5.107 某晶体管额定 g_m 为 60 mA/V，它的 β 范围为 50 到 200。此外，偏置电路允许 I_C 有±20% 的变化。从基极看进去的电阻的极限值为多少？

5.108 在图 5.48 所示的电路中，调整 V_{BE} 使 $V_C=2$ V。如果 $V_{CC}=5$ V，$R_C=3$ kΩ，信号 $v_{be}=$

$0.005\sin\omega t$ V，求总的瞬时量 $i_C(t)$，$v_C(t)$ 和 $i_B(t)$ 的表达式。该晶体管 $\beta=100$。电压增益为多少？

*D5.109 在 V_{CC} 固定的约束条件下设计图 5.48 所示的放大器电路。设输入信号 $v_{be}=\hat{V}_{be}\sin\omega t$，其中 $\hat{V}_{be}$ 是可接受的线性工作的最大值。对于要在集电极产生最大信号的设计，若使 BJT 不离开放大区，证明：

$$R_C I_C=(V_{CC}-0.3-\hat{V}_{be})\Big/\left(1+\frac{\hat{V}_{be}}{V_T}\right)$$

求电压增益的表达式。当 $V_{CC}=5$ V，$\hat{V}_{be}=5$ mV 时，求集电极的直流电压、输出电压信号幅度以及电压增益。

5.110 下表总结了一系列不同类型 BJT 的一些基本特性，这些 BJT 作为放大器工作在不同的条件下，求所缺的项。

晶体管	a	b	c	d	e	f	g
α	1.000					0.90	
β		100		∞			
I_C（mA）	1.00		1.00				
I_E（mA）		1.00				5	
I_B（mA）			0.020				1.10
g_m（mA/V）							700
r_e（Ω）				25	100		
r_π（Ω）					10.1 kΩ		

5.111 某 BJT 被偏置工作在放大模式，集电极直流电流为 1.0 mA。它的 β 值为 120。给出 BJT 的 4 个小信号模型（见图 5.51 和图 5.52）以及它们的参数值。

5.112 图 P5.112 所示的晶体管放大器由电流源 I 偏置，并有非常高的 β 值。求集电极的直流电压 V_C。此外，求 g_m 的值。用图 5.51（a）所示的简化混合 π 模型来替代晶体管（注意，直流电流源 I 应该开路）。求电压增益 v_c/v_i。

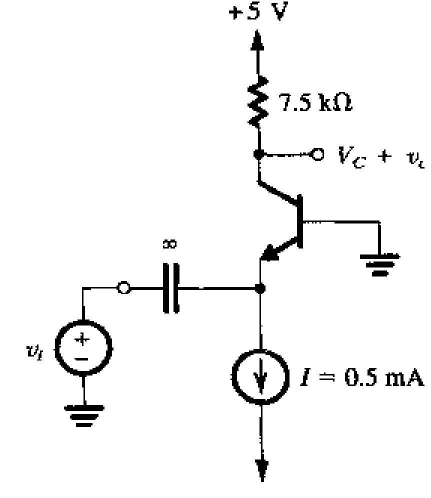


图 P5.112

5.113 对于图 5.50 所示的概念性电路，$R_C=2$ kΩ，$g_m=50$ mA/V，$\beta=100$。如果在集电极测量得到输出电压峰-峰值为 1 V，则基极上的交流输入电压和电流必定为多少？

5.114 某被偏置的 BJT 作为发射极接地的放大器工作，在信号源与基极之间连接有一个 10 kΩ的源内阻，并且连接有 10 kΩ的负载作为集电极电阻 R_C。在相应的模型中，g_m 为 40 mA/V，r_π 为 2.5 kΩ。使用混合 π BJT 等效电路画出完整的放大器模型。计算总电压增益 (v_c/v_s)。由模型参数值得到的 BJT 的 β 值为多少？为了使总电压增益增大一倍，β 值必须增大到多少？

5.115 对于图 P5.115 所示的电路，使用合适的 BJT T 模型画出完整的小信号等效电路（$\alpha=0.99$）。给出所有元件值以及模型参数值。输入电阻 R_{in} 为多少？计算总电压增益（v_o/v_{sig}）。

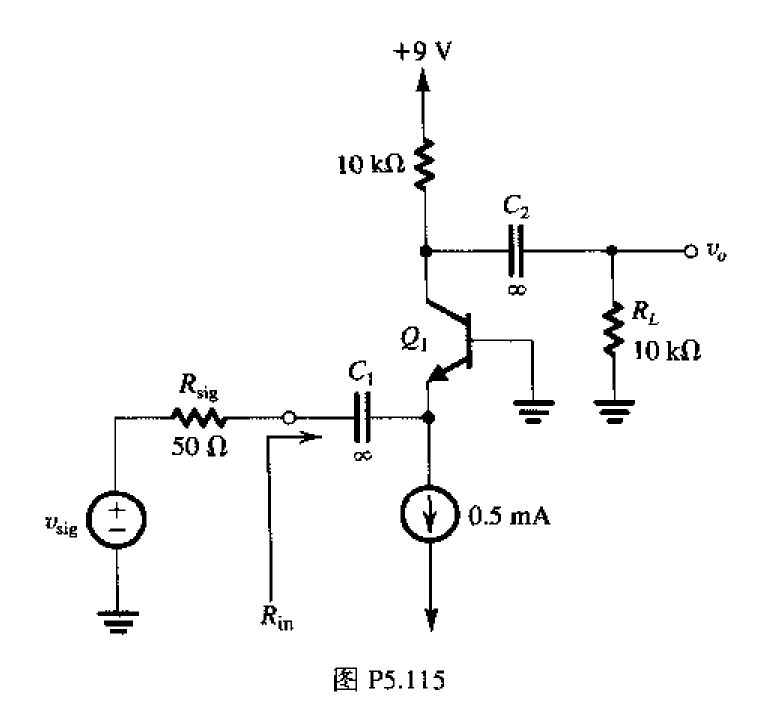


图 P5.115

5.116　在图 P5.116 所示的电路中，晶体管 β 为 200。集电极上的直流电压为多少？求输入电阻 R_{ib} 和 R_{in} 以及总电压增益（v_o/v_{sig}）。对于±0.4 V 的输出信号，求 v_{sig} 和 v_b 各为多少？

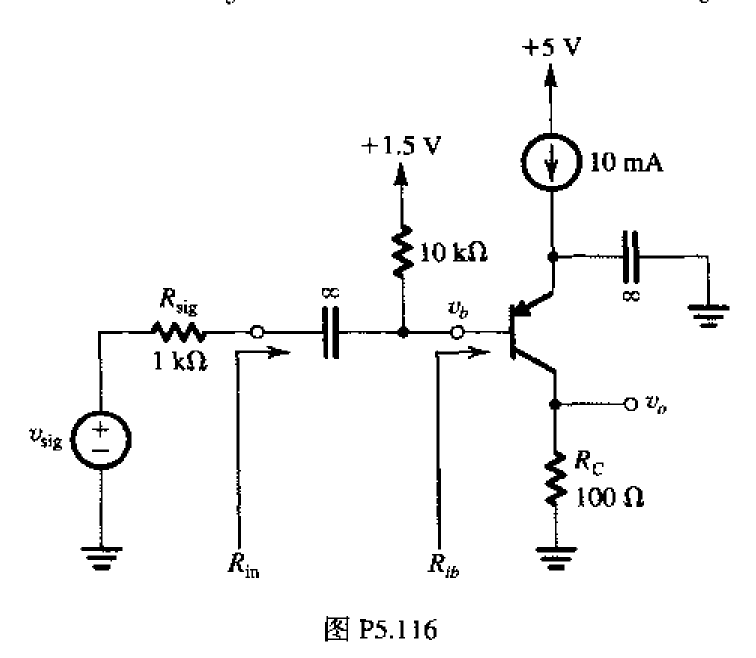


图 P5.116

5.117　考虑图 5.58（a）所示的扩展混合 π 模型。不考虑如何实现它的偏置，对于信号源直接连到基极以及连接到一个高阻值的负载的情况，其可能的最大电压增益为多少？计算当 $V_A = 25$ V 和 250 V 时最大可能的增益值。

5.118　重新考虑图 5.53 所示和例题 5.14 中分析的放大器，在 β 值不能受到很好控制的条件下，当 β 为何值时电路开始饱和？我们可以得出在该电路中 β 越大越危险的结论。现在考虑 β 下降的影响，例如下降到 25。则 r_e，g_m 和 r_π 的值为多少？总电压增益为多少？（注意：可以看出该电路使用基极电流控制偏置，对 β 非常敏感，因此通常不推荐采用这种电路。）

5.119　重新考虑图 5.55（a）所示的电路，在信号源有 100 Ω内阻的条件下，总电压增益变为多少？输出信号未被限幅时的最大输入信号电压为多少？

D5.120 重新设计图 5.55 所示电路，将电阻值提高 n 倍，使得从输入 v_i 看进去的电阻增大到 75 Ω，则得到的电压增益为多少？基极接地的这种电路被应用在有线电视等系统中，在这些系统中，对于高质量的信号，负载电阻需要与相连接的电缆的等效电阻匹配。

5.121 使用图 5.52（a）所示的 BJT 等效电路模型，画出晶体管放大器的等效电路，该放大器在发射极和地之间接有电阻 R_e，集电极接地，在基极和地之间接有输入信号源 v_b（假设该晶体管正确偏置，工作在放大区）。证明：

（a）基极和发射极之间的电压增益，即 v_e/v_b 为

$$\frac{v_e}{v_b}=\frac{R_e}{R_e+r_e}$$

（b）输入电阻为

$$R_{\text{in}}\equiv\frac{v_b}{i_b}=(\beta+1)(R_e+r_e)$$

求当 $R_e=1\text{ k}\Omega$，$\beta=100$，发射极偏置电流 $I_E=1\text{ mA}$ 时，（v_e/v_b）和 R_{in} 的数值。

5.122 当晶体管的集电极与它的基极相连时，该晶体管仍然工作在放大区，因为集电结仍然为反向偏置。使用简化的混合 π 模型，求所得到的二端器件（称为二极管连接的晶体管）的增量电阻（小信号电阻）。

**D5.123 使用图 5.55（a）所示的组态设计一个放大器。可获得的电源为±10 V。输入信号源的内阻为 100 Ω，要求放大器的输入电阻与该值匹配（注意，$R_{\text{in}}=r_e\,//\,R_E\simeq r_e$）。该放大器要求有最大可能的电压增益和最大可能的输出信号，但要保持小信号线性工作（即基射极上的信号分量必须不超过 10 mV）。求 R_E 和 R_C 的合适值。可以实现的电压增益为多少？

*5.124 图 P5.124 所示电路中的晶体管被偏置工作在放大模式。假设 β 非常大，求集电极偏置电流 I_C。用图 5.52（b）所示的小信号等效电路模型替换晶体管（记住将直流电源短路）。分析所得到的放大器等效电路，证明：

$$\frac{v_{o1}}{v_i}=\frac{R_E}{R_e+r_e}$$

$$\frac{v_{o2}}{v_i}=\frac{-\alpha R_C}{R_E+r_e}$$

求这些电压增益的值（$\alpha\simeq1$）。如果标有 v_{o1} 的端子接地，那么电压增益 v_{o2}/v_i 为多少？

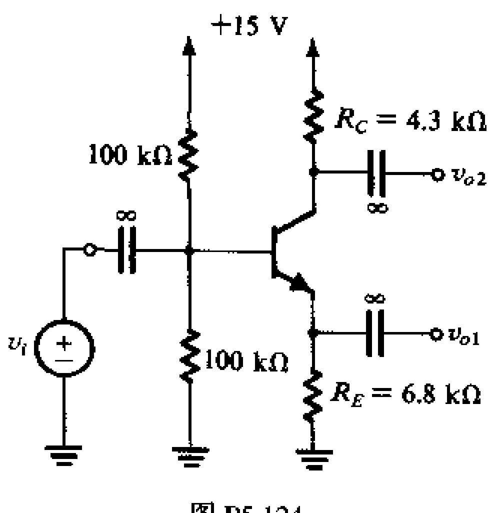


图 P5.124

5.7 节：单级 BJT 放大器

5.125 测量得到一个放大器的 $R_i = 10\ \text{k}\Omega$，$A_{vo} = 100\ \text{V/V}$，$R_o = 100\ \Omega$。此外，当在输出端接上 1 kΩ 的负载电阻 R_L 时，发现输入电阻减小到 8 kΩ。如果放大器由内电阻为 2 kΩ的信号源激励，求 G_m，A_v、G_{vo}，G_v，R_{out} 和 A_i。

5.126 图 P5.126 所示的是表示任何包含电压放大器的线性二端口网络的等效电路。这个非单向化等效电路基于 g 参数的二端口表示方法（见附录 B）。

（a）使用例题 5.17 中求得的 R_i，A_{vo} 和 R_o 以及测量得到的在输出端接上 10 kΩ的负载时，R_{in} 的值为 400 kΩ。确定反馈系数 f 的值。

（b）现在使用图 P5.126 所示的等效电路来确定 R_{out} 的值，放大器由 $R_{sig} = 100\ \text{k}\Omega$的信号发生器激励。利用例题 5.17 中求得的值检查结果。

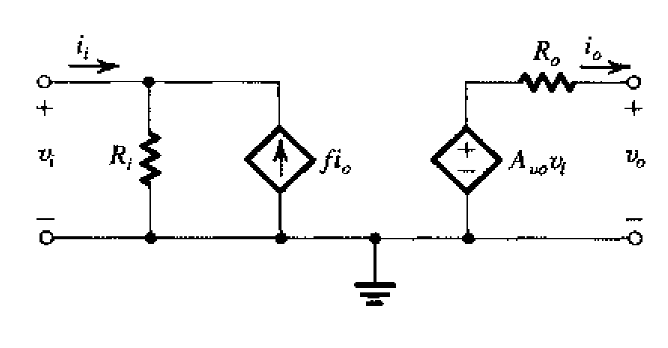


图 P5.126

5.127 参考表 5.5。用 $G_{vo} = [R_i/(R_i + R_{sig})]A_{vo}$ 列出由等效电路 A 得出的 G_v 表达式和由等效电路 C 得出的表达式之间的等式，证明：

$$\frac{R_{in}}{R_i}\frac{R_{sig}+R_i}{R_{sig}+R_{in}} = \frac{R_L+R_o}{R_L+R_{out}}$$

现在，使用该表达式：

（a）证明当 $R_L = \infty$ 时，$R_{in} = R_i$。

（b）证明当 $R_{sig} = 0$ 时，$R_{out} = R_o$。

（c）求当 $R_{sig} = \infty$ 时的 R_{out}（即放大器输出开路），并计算例题 5.17 中指定的放大器的值。

5.128 图 5.60（a）所示类型的共发射极放大器被偏置在 $I_C = 0.2\ \text{mA}$ 上，并且集电极电阻 $R_C = 24\ \text{k}\Omega$。该晶体管的 $\beta = 100$，有较大的 V_A。信号源直接耦合到基极，C_{C1} 和 R_B 被去掉了。求 R_{in}、电压增益 A_{vo} 和 R_o。使用这些结果确定当 10 kΩ的负载电阻连接到集电极以及源电阻 $R_{sig} = 10\ \text{k}\Omega$时的总电压增益。

5.129 当在发射极的信号通路上接入 125 Ω电阻时，重复习题 5.128 的问题。此外，假定为防止失真，基极和发射极之间的信号不超过 5 mV，比较包含 R_e 和不包含 R_e 时能够施加的输入正弦波的最大幅度。

5.130 对于图 P5.130 所示的共发射极放大器，设 $V_{CC} = 9\ \text{V}$，$R_1 = 27\ \text{k}\Omega$，$R_2 = 15\ \text{k}\Omega$，$R_E = 1.2\ \text{k}\Omega$，$R_C = 2.2\ \text{k}\Omega$。该晶体管的 $\beta = 100$，$V_A = 100\ \text{V}$。计算直流偏置电流 I_E。如果放大器接有 $R_{sig} = 10\ \text{k}\Omega$的信号源和 2 kΩ的负载，用混合 π 模型来替换该晶体管，求 R_{in}，电压增益 v_o/v_{sig}，以及电流增益 i_o/i_i。

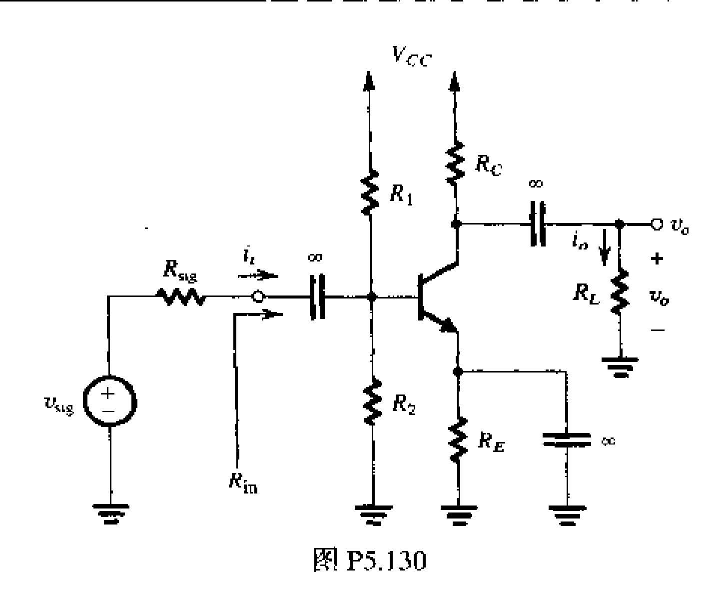


图 P5.130

D5.131 利用图 P5.130 所示的拓扑结构设计一个放大器，它接在 10 kΩ的信号源和 2 kΩ的负载之间，要求增益 v_o/v_{sig} 为−8 V/V。可获得的电源为 9 V。发射极电流约为 2 mA，并且激励基极的电流约为电压分压器上电流的十分之一，以及基极上的直流电压约为电源的三分之一。该晶体管的 $\beta=100$，$V_A=100$ V。使用 5%的标准电阻（见附录 G）。

5.132 某设计者分析了习题 5.130 中描述的情形，并估计可获得的增益约为−8 V/V。他希望通过减小放大器输入端对信号源的负载作用来提高性能。作为试验，他将电阻值扩大了约 3 倍：R_1 变为 82 kΩ，R_2 为 47 kΩ，R_E 为 3.6 kΩ，R_C 为 6.8 kΩ（使用 5%容差的标准电阻值）。如果 $V_{CC}=9$ V，$R_{sig}=10$ kΩ，$R_L=2$ kΩ，$\beta=100$，$V_A=100$ V，则增益变为多少？对结果进行评述。

D5.133 考虑图 5.60（a）所示的 CE 放大器电路。要求设计一个满足下列指标的电路（即求 I，R_B 和 R_C 的值）：

（a）$R_{in}=5$ kΩ。

（b）R_B 两端的直流电压降约为 0.5 V。

（c）从基极到集电极的开路电压增益为可能的最大值，并且要求当基极和发射极之间的信号为 5 mV 时集电极电压不会比基极电压低 0.5 V 以上。

假设 v_{sig} 为正弦信号源，电源 $V_{CC}=5$ V，晶体管的 $\beta=100$ 并有非常高的厄尔利电压。使用 5%的标准电阻，并指定 I 值至一位有效位。那么你的设计能够提供的基极到集电极的开路电压增益为多少？如果 $R_{sig}=R_L=10$ kΩ，总电压增益为多少？

D5.134 在图 P5.134 所示的电路中，v_{sig} 是一个小幅度的正弦波信号，均值为 0。晶体管的 β 为 100。

（a）求 R_E 的值，使发射极直流电流约为 0.5 mA。

（b）求 R_C 的值，使集电极直流电压约为+5 V。

（c）当 $R_L=10$ kΩ，晶体管 $r_o=200$ kΩ时，画出放大器的小信号等效电路，并确定它的总电压增益。

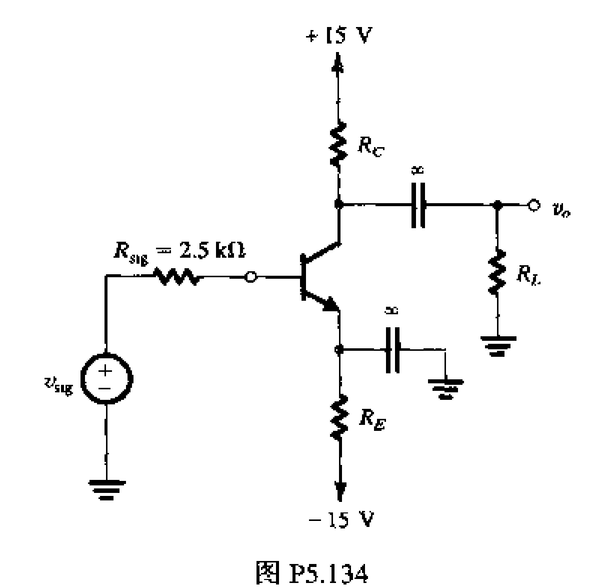


图 P5.134

*5.135 图 P5.135 所示的放大器由两个相同的共发射极放大器级联组成。可以看出第二级的输入电阻 R_{in2} 构成了第一级的负载电阻。

（a）当 $V_{CC}=15\text{ V}$，$R_1=100\text{ k}\Omega$，$R_2=47\text{ k}\Omega$，$R_E=3.9\text{ k}\Omega$，$R_C=6.8\text{ k}\Omega$，$\beta=100$ 时，确定每个晶体管的集电极直流电流和集电极直流电压。

（b）画出整个放大器的小信号等效电路并给出所有的元件值。忽略 r_{o1} 和 r_{o2}。

（c）当 $R_{sig}=5\text{ k}\Omega$ 时，求 R_{in1} 和 v_{b1}/v_{sig}。

（e）求 R_{in2} 和 v_{b2}/v_{b1}

（f）当 $R_L=2\text{ k}\Omega$ 时，求 v_o/v_{b2}。

（g）求总电压增益 v_o/v_{sig}。

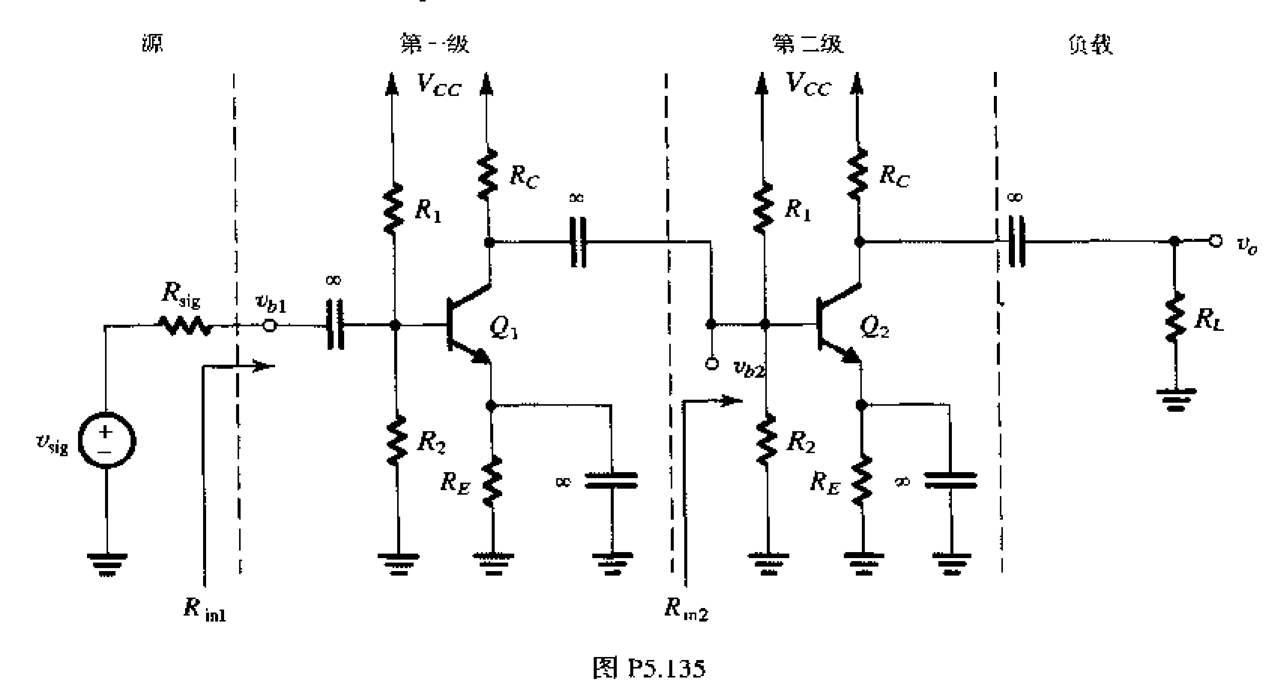


图 P5.135

5.136 在图 P5.136 所示的电路中，v_{sig} 是一个小幅度的正弦波信号。求 R_{in} 和增益 v_o/v_{sig}。假设 $\beta=100$。如果信号 v_{be} 的幅度被限制在 5 mV，那么输入端的最大信号幅度为多少？相应的输出端的信号为多少？

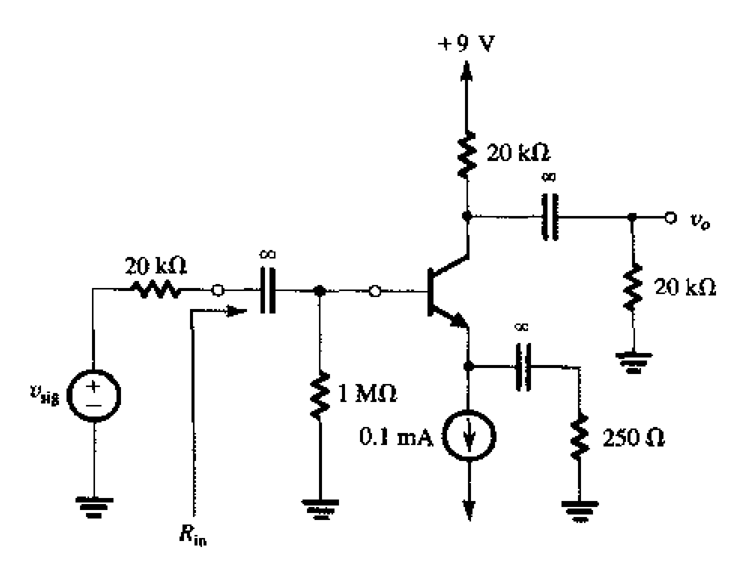


图 P5.136

*5.137 图 P5.137 所示电路中的 BJT 的 $\beta=100$。

（a）求集电极的直流电流和集电极的直流电压。

（b）用 T 模型替换晶体管，画出放大器的小信号等效电路。分析所得到的电路并确定电压增益 v_o/v_i。

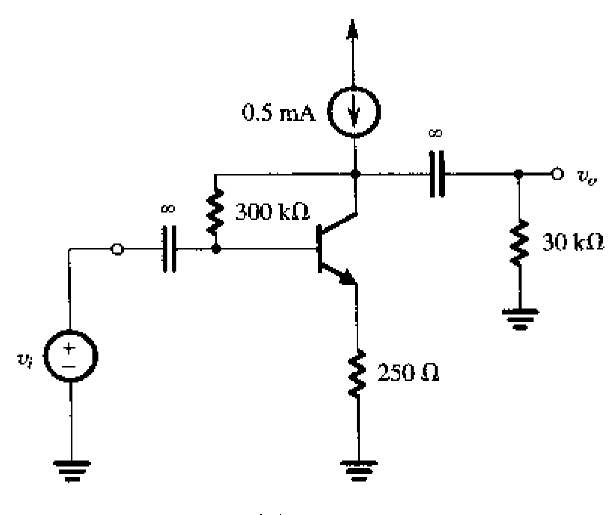


图 P5.137

*5.138 参考式（5.135）给出的发射极接有电阻 R_e 的 CE 放大器的增益表达式。设 BJT 发射极偏置电流为 0.5 mA，源电阻为 10 kΩ，BJT 的 β 在 50 到 150 的范围内，标称值为 100。

（a）未接入 R_e 时最大和最小电压增益的比值为多少？

（b）为了将最大增益和最小增益的比值限制为 1.2，则应该使用多大的 R_e？

（c）如果使用（b）求得的 R_e，则对于标称值 β，BJT 的增益将减小多少倍（与未接入 R_e 的情况相比）？

5.139 考虑图 5.62（a）所示的 CB 放大器，$R_L=10\text{ k}\Omega$，$R_C=10\text{ k}\Omega$，$V_{CC}=10\text{ V}$，$R_{sig}=100\ \Omega$。为了使 E 处的输入电阻等于源电阻（即 100 Ω），则 I 必须为多少？从源到负载的电压增益为多少？假设 $\alpha\simeq1$。

**D5.140 考虑图 5.62（a）所示的 CB 放大器，集电极电压信号通过大电容耦合到 1 kΩ的负载电阻上。假设电源为±5 V。信号源电阻为 50 Ω。设计电路使放大器输入电阻与信号源的电阻匹配，并且输出信号幅度尽可能大且具有相当低的失真（v_{be} 限制为 10 mV）。求 I 和 R_C，并计算总电压增益和输出信号幅度。假设 $\alpha\simeq1$。

5.141 对于图 P5.141 所示的电路，求输入电阻 R_{in} 和电压增益 v_o/v_{sig}。假设信号源提供小信号 v_{sig} 且 $\beta=100$。

5.142 考虑图 5.63（a）所示的射极跟随器，$I=1\text{ mA}$，$\beta=100$，$V_A=100\text{ V}$，$R_B=100\text{ k}\Omega$，$R_{sig}=20\text{ k}\Omega$，$R_L=1\text{ k}\Omega$。

（a）求 R_{in}，v_b/v_{sig}，v_o/v_{sig}。

（b）如果 v_{sig} 是正弦信号，应该限制它的幅度为多大才能使晶体管在任何时候都导通？对于该幅度，发射结两端相应的电压幅度为多少？

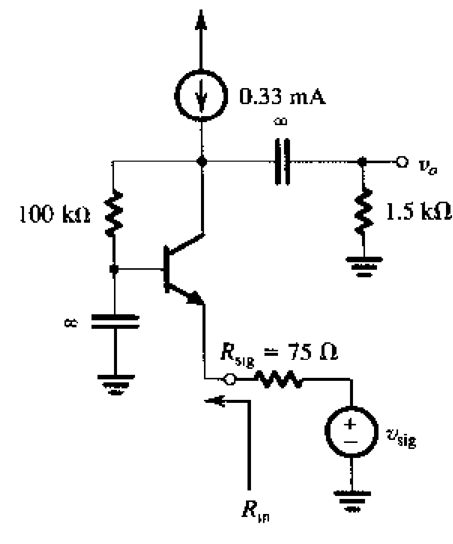


图 P5.141

（c）如果发射结两端的信号幅度被限制为 10 mV，则 v_{sig} 和 v_o 相应的幅度为多少?

（d）求开路电压增益 v_o/v_{sig} 和输出电阻。使用这些值来确定当 $R_L = 500\ \Omega$时得到的 v_o/v_{sig}。

5.143 对于图 P5.143 所示的射极跟随器电路，所使用的 BJT 的 β 在 40 到 200 的范围内（对于设计者来说这是一个不好的情况）。对于 β 的两个极限值（$\beta = 40$ 和 $\beta = 200$），求：

（a）I_E，V_E 和 V_B；

（b）输入电阻 R_{in}；

（c）电压增益 v_o/v_{sig}。

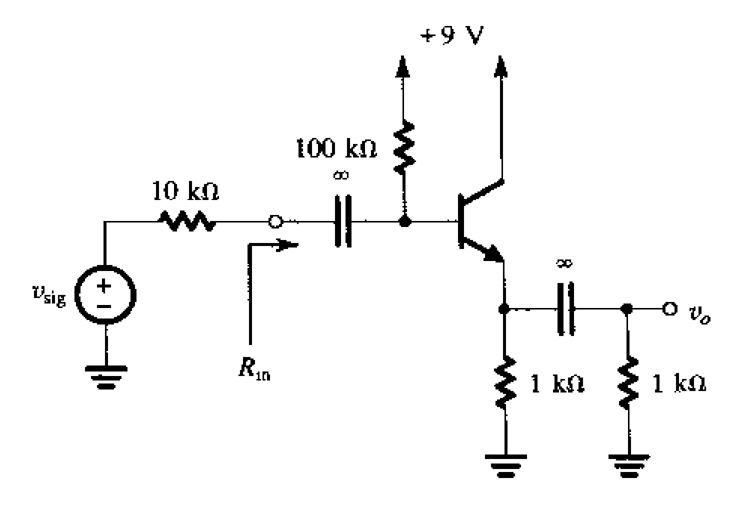


图 P5.143

5.144 对于图 P5.144 所示的射极跟随器，信号源直接耦合到晶体管基极。如果 v_{sig} 的直流分量为 0，求发射极直流电流。假设 $\beta = 100$，忽略 r_o，求 R_{in}，电压增益 v_o/v_{sig}，电流增益 i_o/i_i 以及输出电阻 R_{out}。

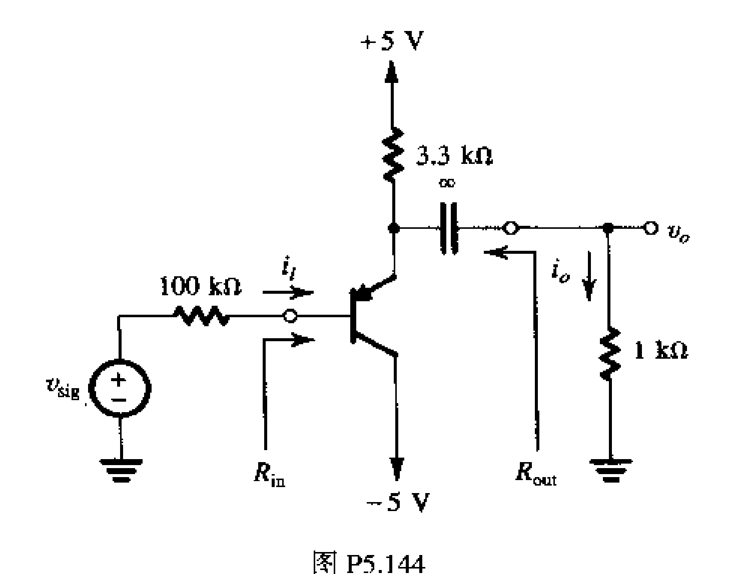


图 P5.144

5.145 在图 5.63（a）所示的射极跟随器中，信号源直接耦合到基极，因此可以去掉 C_{C1} 和 R_B。信号源有 $R_{sig} = 10\ k\Omega$，直流分量为 0。晶体管 $\beta = 100$，$V_A = 125$ V。偏置电流 $I = 2.5$ mA，$V_{CC} = 3$ V。射极跟随器的输出电阻为多少？求不接负载和接有 1 kΩ负载时的增益 v_o/v_{sig}；当接上 1 kΩ负载时，求可能的最大负输出信号。如果工作点达到集电结正向偏置为 0.4 V

时仍能正常工作，则可能的最大正输出信号为多少？

5.146 考虑图 5.63（a）所示的射极跟随器电路，当由 10 kΩ的信号源驱动时，发现有 0.99 的开路电压增益和 200 Ω的输出电阻。当信号源电阻增大到 20 kΩ时，输出电阻增大到 300 Ω。当射极跟随器由 30 kΩ的信号源驱动并且负载为 1 kΩ的电阻时，求总电压增益。假设 r_o 非常大。

**5.147 图 P5.147 所示电路被称为自举跟随器：

（a）求发射极直流电流以及 g_m，r_e 和 r_π。这里，$\beta=100$。

（b）用 T 模型替换 BJT（忽略 r_o），并分析该电路确定输入电阻 R_{in} 和电压增益 v_o/v_{sig}。

（c）当电容 C_B 开路时，重复计算（b）。与（b）中得到的结果比较，说明自举的优点。

**5.148 对于图 P5.148 中的跟随器电路，设 Q_1 晶体管 $\beta=50$，Q_2 晶体管 $\beta=100$，忽略 r_o 的影响。$V_{BE}=0.7$ V。

（a）求 Q_1 和 Q_2 的发射极直流电流，并求直流电压 V_{B1} 和 V_{B2}。

（b）如果负载电阻 $R_L=1$ kΩ连接到输出端，求从 Q_2 基极到发射极的电压增益 v_o/v_{b2} 和从 Q_2 基极看进去的输入电阻 R_{ib2}。（提示：将 Q_2 作为射极跟随器，由基极电压 v_{b2} 激励。）

（c）用（b）中得到的输入电阻 R_{ib2} 替换 Q_2，分析射极跟随器 Q_1 电路以确定它的输入电阻 R_{in} 和从它的基极到发射极的增益 v_{e1}/v_{b1}。

（d）如果电路由内阻为 100 kΩ的信号源激励，求源到 Q_1 基极的传输函数 v_{b1}/v_{sig}。

（e）求总电压增益 v_o/v_{sig}。

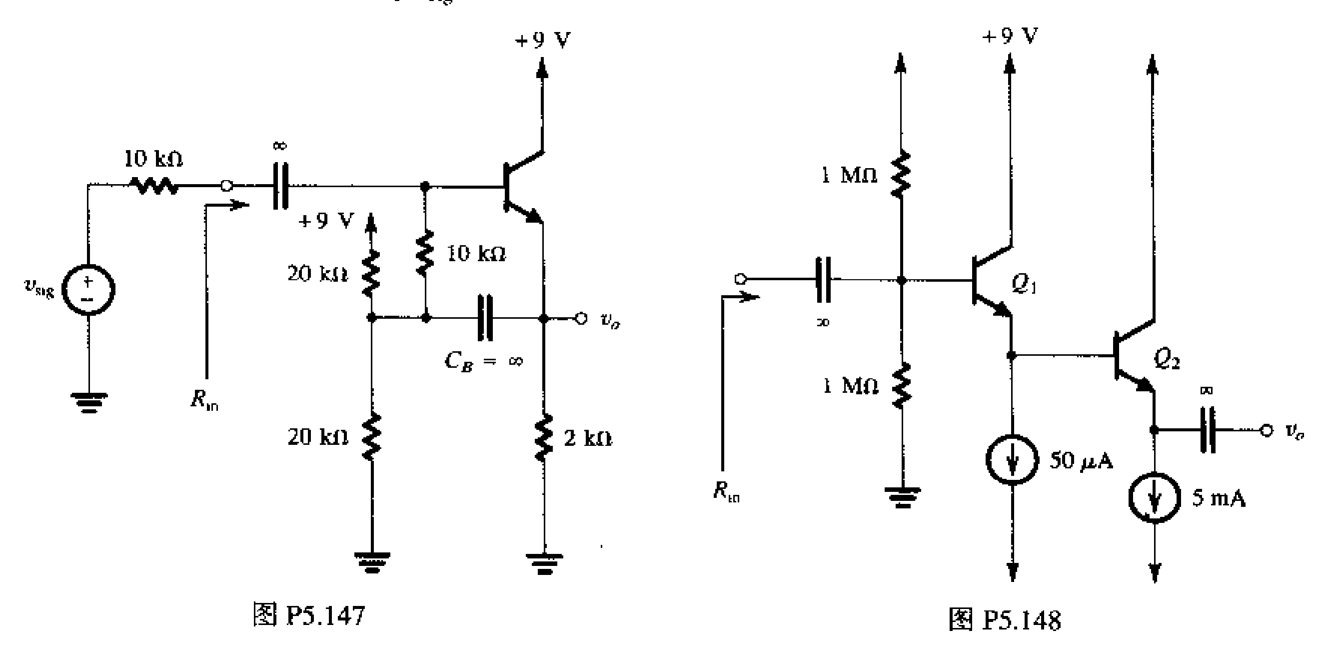


图 P5.147　　图 P5.148

5.8 节：BJT 内部电容与高频模型

5.149 某 npn 晶体管工作时有 $I_C=0.5$ mA，$V_{CB}=2$ V，$\beta_0=100$，$V_A=50$ V，$\tau_F=30$ ps，$C_{je0}=20$ fF，$C_{\mu0}=30$ fF，$V_{0c}=0.75$ V，$m_{CBJ}=0.5$，$r_x=100$ Ω。画出完整的混合 π 模型，并指出所有元件的值。求 f_T。

5.150 在 500 MHz 时对一个 npn 晶体管的 h_{fe} 进行测量：当 $I_C=0.2$ mA 时 $|h_{fe}|=2.5$，而当 $I_C=1.0$ mA 时 $|h_{fe}|=11.6$。此外，测量得到的 C_μ 为 0.05 pF。求两种集电极电流下的 f_T。τ_F 和 C_{je} 必定为多少？

5.151 一个工作在 $I_C=2$ mA 的 BJT 有 $C_\mu=1$ pF，$C_\pi=10$ pF，$\beta=150$。则 f_T 和 f_β 为多少？

5.152　对于习题 5.151 描述的晶体管，C_π 包括 2 pF 的相对固定的耗尽层电容。如果器件工作在 $I_C = 0.2$ mA，则 f_T 为多少？

5.153　一个几何尺寸较小的 BJT，当工作在 $I_C = 0.5$ mA 时，$f_T = 5$ GHz，$C_\mu = 0.1$ pF。C_π 为多少？计算 g_m。当 $\beta = 150$ 时，求 r_π 和 f_β。

5.154　对于单位增益频率为 1 GHz 和 $\beta_0 = 200$ 的 BJT，在什么频率处 h_{fe} 的大小变为 20？f_β 为多少？

*5.155　对于足够高的频率，测量发射极和集电极交流短路的 BJT 的复数输入阻抗，得到的实部约为 r_x。在 $r_x \leqslant r_\pi/10$ 的条件下，在什么频率处（用 ω_β 表示）r_x 的估计误差在 10%之内？忽略 C_μ。

*5.156　在下表给出的条件下，完成表中晶体管（a）到（g）的各空缺项。忽略 r_x。

晶体管	I_E (mA)	r_e (Ω)	g_m (mA/V)	r_π (kΩ)	β_0	f_T (MHz)	C_μ (pF)	C_π (pF)	f_β (MHz)
(a)	1				100	400	2		
(b)		25					2	10.7	4
(c)				2.525		400		13.84	
(d)	10				100	400	2		
(e)	0.1				100	100	2		
(f)	1				10	400	2		
(g)						800	1	9	80

5.9 节：共发射极放大器的频率响应

5.157　某设计者希望分析偏置电流 I 的变化对例题 5.18 中考虑的 CE 放大器的中频增益和高频响应的影响。设 I 增大两倍至 2 mA，假设 β_0 和 f_T 分别保持 100 MHz 和 800 MHz 不变。为了使节点电压几乎保持不变，设计者将 R_B 和 R_C 减小两倍，分别为 50 kΩ和 4 kΩ。假设 $r_x = 50\ \Omega$，$V_A = 100$ V，C_μ 保持 1 pF 不变。如前所述，该放大器由 $R_{sig} = 5$ kΩ的信号源激励，并为负载 $R_L = 5$ kΩ提供激励。求 A_M，f_H 和增益带宽积 $|A_M|f_H$。对结果进行评论。注意，性能的改善是以功率增加为代价的。功耗增加的倍数为多少？

*5.158　本习题的目的是分析当用源电阻 R_{sig} 较大的信号源激励时 CE 放大器的高频响应。参考图 5.71(a)中的放大器和图 5.72 所示的高频等效电路模型和分析。设 $R_B \gg R_{sig}$，$r_x \ll R_{sig}$，$R_{sig} \gg r_\pi$，$g_m R_L' \gg 1$ 以及 $g_m R_L' C_\mu \gg C_\pi$

在这些条件下，证明：

（a）中频增益 $A_M \simeq -\beta(R_L'/R_{sig})$。

（b）上限 3 dB 频率 $f_H \simeq 1/(2\pi C_\mu \beta R_L')$。

（c）增益带宽积 $A_M f_H \simeq 1/(2\pi C_\mu R_{sig})$。

计算当 $R_{sig} = 25$ kΩ，$C_\mu = 1$ pF 时增益带宽积的近似值。现在如果晶体管的偏置 $I_C = 1$ mA，$\beta = 100$，求两种情况下（$R_L' = 25$ kΩ和 $R_L' = 2.5$ kΩ时）的中频增益和 f_H。在同一坐标系中，画出两种情况下的增益幅度对频率的波特图。当增益为 1 时，f_H 为多少？相应的 R_L' 为多少？

5.159　考虑图 P5.159 所示的共发射极放大器，有下列条件：$R_{sig} = 5$ kΩ，$R_1 = 33$ kΩ，$R_2 = 22$ kΩ，$R_E = 3.9$ kΩ，$R_C = 4.7$ kΩ，$R_L = 5.6$ kΩ，$V_{CC} = 5$ V。当 $\beta_0 = 120$，$r_o = 300$ kΩ以及 $r_x = 50\ \Omega$ 时，发射极直流电流显示为 $I_E \simeq 0.3$ mA。求输入电阻 R_{in} 和中频增益 A_M。如果指定晶体管 $f_T = 700$ MHz，$C_\mu = 1$ pF，求上限 3 dB 频率 f_H。

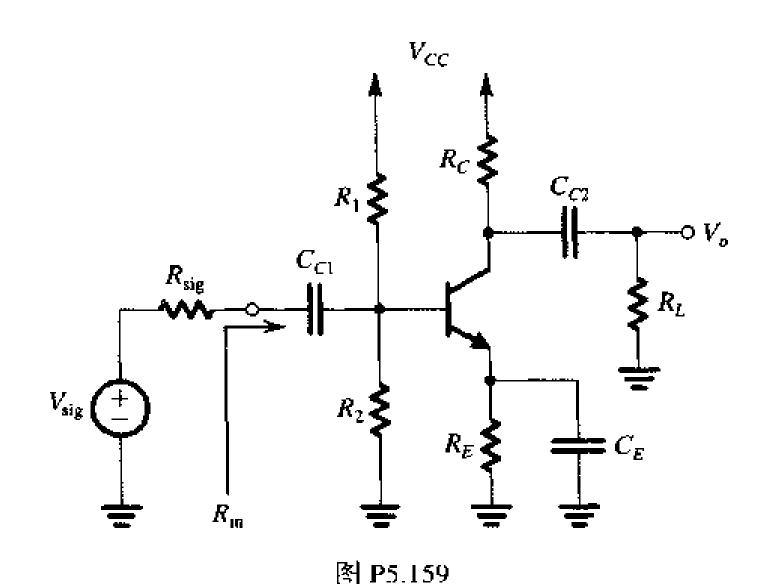


图 P5.159

5.160 对于图 P5.159 中的 CE 放大器电路，$R_{sig}=10\ \text{k}\Omega$，$R_1=68\ \text{k}\Omega$，$R_2=27\ \text{k}\Omega$，$R_E=2.2\ \text{k}\Omega$，$R_C=4.7\ \text{k}\Omega$，$R_L=10\ \text{k}\Omega$。集电极电流为 0.8 mA，$\beta=200$，$f_T=1\ \text{GHz}$，$C_\mu=0.8\ \text{pF}$。忽略 r_x 和 r_o 的影响，求中频电压增益和上限 3 dB 频率 f_H。

*5.161 图 P5.161 所示的放大器有 $R_{sig}=R_L=1\ \text{k}\Omega$，$R_C=1\ \text{k}\Omega$，$R_B=47\ \text{k}\Omega$，$\beta=100$，$C_\mu=0.8\ \text{pF}$，$f_T=600\ \text{MHz}$。

（a）求晶体管集电极直流电流。

（b）求 g_m 和 r_π。

（c）忽略 r_o，求从基极到集电极的中频电压增益（忽略 R_B 的影响）。

（d）使用（c）中得到的增益，求 R_{in} 中由 R_B 引起的分量并求 R_{in}。

（e）求中频时的总增益。

（f）求 C_{in}。

（g）求 f_H。

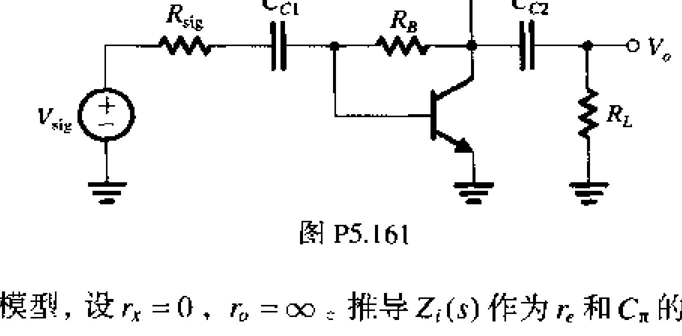


图 P5.161

*5.162 参考图 P5.162。使用 BJT 的高频混合 π 模型，设 $r_x=0$，$r_o=\infty$。推导 $Z_i(s)$ 作为 r_e 和 C_π 的函数表达式。当 BJT 的 $f_T=400\ \text{MHz}$ 以及偏置电流非常高时，求该阻抗的相角为 45°时的频率，当偏置电流减小到使 $C_\pi \simeq C_\mu$ 时，频率为多少？假设 $\alpha=1$。

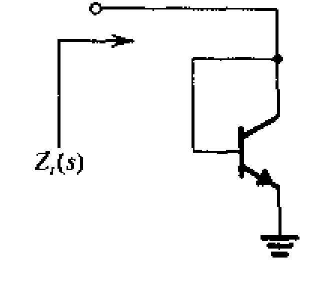


图 P5.162

5.163 对于图 P5.159 所示的放大器，它的元件值在习题 5.159 中指定，设 $C_{C1}=C_{C2}=1\ \mu\text{F}$，$C_E=10\ \mu\text{F}$。求分别由 C_{C1}，C_E 和 C_{C2} 产生的角频率 f_{P1}，f_{P2} 和 f_{P3}。注意，在计算 f_{P2} 时必须考虑 R_E。因此估计下限 3 dB 频率 f_L 的值。

D5.164 对于在习题 5.163 中描述的放大器，设计耦合电容和旁路电容，使下限 3 dB 频率为 100 Hz。设计要求使得 C_{C1} 和 C_{C2} 对确定 f_L 的贡献各只有 5%。

5.165 考虑图 P5.159 所示的电路，当 $R_{sig}=10\ \text{k}\Omega$，$R_B \equiv R_1 // R_2=10\ \text{k}\Omega$，$r_x=100\ \Omega$，$r_\pi=1\ \text{k}\Omega$，$\beta_0=100$，$R_E=1\ \text{k}\Omega$时，求各极点对确定 f_L 有相同的贡献时的 C_E/C_{C1} 的比值。

*D5.166 对于图 P5.166 所示的共发射极放大器，忽略 r_x 和 r_o，并假设电流源理想。

（a）推导中频增益的表达式。

（b）推导由 C_E 和 C_C 引起的角频率的表达式。

（c）给出放大器电压增益 $A(s)$ 的表达式。

（d）当 $R_{sig}=R_C=R_L=10\ \text{k}\Omega$，$\beta=100$，以及 $I=1\ \text{mA}$ 时，求中频增益值。

（e）选择 C_E 和 C_C 的值，使两个角频率的位置相距 10 倍并使下限 3 dB 频率为 100 Hz，并且要求总电容最小。

（f）画出增益幅度的波特图，并估计增益变为 1 时的频率。

（g）求在 100 Hz 时的相移。

5.167 图 P5.167 所示的 BJT 共发射极放大器接有发射极衰减电阻 R_e。

（a）假设 $\alpha\simeq1$，忽略 r_x 和 r_o 并假设电流源理想。推导小信号电压增益 $A(s)\equiv V_o/V_{sig}$ 在中频区和低频段的表达式。求中频增益 A_M 和下限 3 dB 频率 f_L。

（b）证明接有 R_e 的电路将使 A_M 的幅度减小一定的倍数。求这个倍数。

（c）证明接入 R_e 将使 f_L 减小与（b）中相同的倍数，因此可以使用 R_e 来牺牲增益获得带宽。

（d）当 $I=1\ \text{mA}$，$R_C=10\ \text{k}\Omega$，$C_E=100\ \mu\text{F}$ 时，求 $R_e=0$ 时的 $|A_M|$ 和 f_L。现在求使 f_L 减小 5 倍的 R_e 值；增益变为多少？

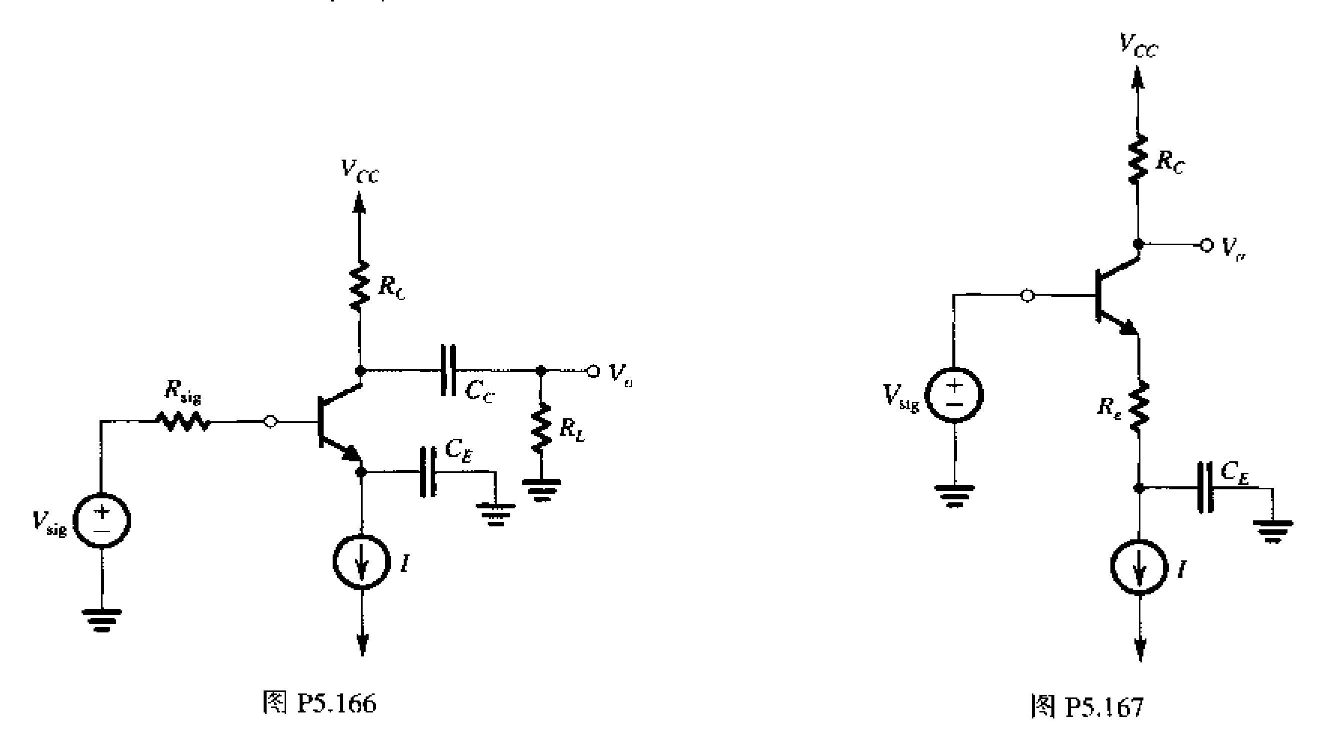


图 P5.166　　　　图 P5.167

5.10 节：基本 BJT 数字逻辑反相器

5.168 考虑图 5.74 所示的反相器电路，在练习 5.53 中，当反相器驱动 N 个相同反相器时，得到下面的 V_{OH} 的值：

$$V_{OH}=V_{CC}-R_C\frac{V_{CC}-V_{BE}}{R_C+R_B/N}$$

如果使用和教材中相同的元件数值（即 $V_{CC}=5\ \text{V}$，$R_C=1\ \text{k}\Omega$，$R_B=10\ \text{k}\Omega$ 和 $V_{BE}=0.7\ \text{V}$），求出使高电平噪声门限至少为 1 V 时的最大 N 值。假设 $\beta=50$ 并且 $V_{CEsat}=0.2\ \text{V}$。

5.169 本习题的目的是计算图 5.74 给出的反相器电路在两种状态下的功率损耗。假设器件的值和教材中给出的一样（即 $V_{CC}=5\ \text{V}$，$R_C=1\ \text{k}\Omega$，$R_B=10\ \text{k}\Omega$ 并且 $V_{BE}=0.7\ \text{V}$）。

（a）在输入低于 0.2 V 时，晶体管截止，令这个反相器驱动 10 个相等的反相器。求出反相器的总电流，并计算出在 R_C 上的功率损耗。

（b）当输入高电平并且反相器饱和时，求反相器的功率损耗，忽略基极电路的功率损耗。

（c）使用（a）和（b）的结果，计算反相器的平均功率损耗。

D5.170 设计工作在 1.5 V 的反相器，输入通过一个等于 R_C 的电阻连到电源，总的功率损耗要求是 1 mW，并且设强制 $\beta = 10$，晶体管参数为 $V_{BE} = 0.7\ \text{V}$，$V_{CEsat} = 0.2\ \text{V}$。

5.171 对图 5.171 所示的电路，考虑在 X、Y 端加任何 5 V 和 0.2 V 的输入组合，求出每种输入组合的输出电压。把你的计算结果列成表。其中有多少种输入组合？当输入中有一个为高的时候会发生什么情况？当两个输入都为低时会发生什么情况？这是一个实现 NOR 功能的逻辑门：$Z = \overline{X + Y}$［这个逻辑门结构在历史上被称为电阻–晶体管逻辑（RTL）］。

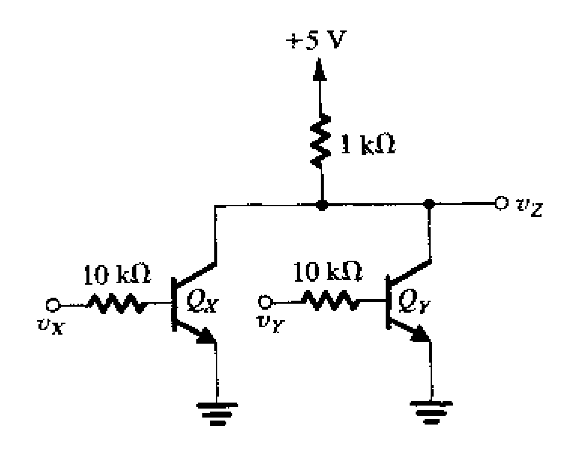


图 P5.171

5.172 考虑图 5.74 所示的反相器，有一个负载电容 C 连接在输出端和地之间，我们想确定电容对反相器从低到高的延迟时间 t_{PLH} 的作用（对于反相器延迟的正式定义参考图1.35）。为此假设在 $t = 0$ 之前，晶体管导通并处于饱和 $v_O = V_{OL} = V_{CEsat}$。然后在 $t = 0$ 时，令输入跌落到 0 电平，假设晶体管瞬时关闭，注意，我们忽略饱和晶体管的关闭时间是一个不现实的假设，但它会帮助我们把注意力集中在 C 的作用上。现在晶体管关闭，电容通过 R_C 充电，输出电压按指数从 $V_{OL} = V_{CEsat}$ 上升到 $V_{OH} = V_{CC}$。求出 $v_O(t)$ 的表达式。计算 t_{PLH} 的值，它是 v_O 上升到 $\frac{1}{2}(V_{OH} + V_{OL})$ 的时间。设 $V_{CC} = 5\ \text{V}$，$V_{CEsat} = 0.2\ \text{V}$，$R_C = 1\ \text{k}\Omega$ 和 $C = 10\ \text{pF}$。（提示：RC 电路的阶跃响应可以在 1.7 节找到，并在附录 D 有很详细的介绍。）

*5.173 考虑图 5.74 所示的反相器电路，有一个负载电容连接在输出节点和地之间，我们希望确定电容 C 对反相器从高到低的延迟时间 t_{PHL} 的影响（对于反相器延迟的正式定义参考图 1.35）。为此假设在 $t = 0$ 之前，晶体管截止并且 $v_O = V_{OH} = V_{CC}$。然后在 $t = 0$ 时，令输入上升到高电平，假设晶体管瞬时导通，注意，我们忽略晶体管延迟时间是一个不现实的假设，但它会帮助我们把注意力集中在 C 的作用上。现在，因为 C 不能瞬间放电，晶体管不能立即饱和，因此它会工作在放大区，它的集电极会提供一个恒定电流 $\beta(V_{CC} - V_{BE})/R_B$。画出电容放电的戴维南等效电路，并且证明电压按指数下降，即从 V_{CC} 到一个很大的负电压 $[V_{CC} - \beta(V_{CC} - V_{BE})R_C/R_B]$。求出 $v_O(t)$ 的表达式。这种放电会在 v_O 到达 $V_{OL} = V_{CEsat}$ 时结束，并且晶体管饱和。计算 t_{PHL} 的值，它是 v_O 下降到 $\frac{1}{2}(V_{OH} + V_{OL})$ 的时间。设 $V_{CC} = 5\ \text{V}$，$V_{CEsat} = 0.2\ \text{V}$，$V_{BE} = 0.7\ \text{V}$，$R_B = 10\ \text{k}\Omega$，$R_C = 1\ \text{k}\Omega$，$\beta = 50$ 和 $C = 10\ \text{pF}$。如果你解答了习题 5.172，比较 t_{PHL} 的值。对于那里求出的 t_{PLH}，确定反相器延迟 t_p（提示：RC 电路的阶跃响应的内容可以从 1.7 节找到，并在附录 E 中有很详细的介绍）。

第6章　单级集成电路放大器

引言

我们已经介绍两种主要的晶体管——MOSFET和BJT，以及分立元件放大电路的基本组态。现在我们开始介绍集成电路放大器。这一章和下一章将会阐述集成电路放大器基本组成模块的设计。

本章开头将简要叙述集成电路的设计原则，以及它与分立元件电路设计原则的区别。通观整章，MOS管和BJT电路将对应出现，这不仅是为了在一定程度上便于介绍，更重要的是使我们有机会对这两种类型的电路做一个比较。为此，6.2节将全面讨论这两类晶体管特性之间的差别。这样做一方面可以复习学过的内容，另一方面也使读者对两种器件之间令人感兴趣的相似与差异之处有所了解。

在介绍集成电路的偏置之后，我们将讲解单级集成电路放大器的各种组态。这部分内容建立在对4.7节和5.7节分立元件放大器基本组态学习的基础之上。

除了经典的单级放大器，我们还将介绍一些由两个晶体管组成的放大电路。这些“组合放大器”通常被当做单级放大器来对待（原因稍后说明）。

在集成电路放大器的设计中，电流源和镜像电流源扮演着重要的角色。它们可以同时作为偏置电路和有源负载使用。正因如此，我们在本章后面将重新回到电流源的内容，介绍一些改进型电流源的组成方式。

尽管现在CMOS电路的应用最为广泛，但是加入BJT后性能会更加优越，这方面的应用也很多。同时使用MOS管和BJT的电路被称为BiMOS或者BiCMOS技术，本章将会在适当的地方予以介绍。本章最后以SPICE仿真实例作为结束。

6.1　集成电路设计原则

对电路设计人员来说，集成电路制造技术（见附录A）提出的限制条件既是挑战也是机遇。例如，芯片面积决定了不能使用参数值过大甚至中等大的晶体管，但却可以使用恒流源。大容量电容（例如我们在4.7节和5.7节中使用的耦合电容和旁路电容）都必须避免使用，除非它们作为集成电路芯片以外的组成部分出现。即使这样，这种电容也应该越少越好，否则芯片的管脚和制作成本将会增加。然而数值很小（介于几pF到零点几pF之间）的电容在集成MOS制造技术中却很容易制成。它可以与MOS放大器、MOS开关电路联合使用，在模拟电路（见第12章）和数字电路（见第11章）中实现许多信号处理的功能。

在设计MOS集成电路时，一条通用原则就是设计者应尽量只使用MOS管来实现电路尽可能多的功能要求，如果需要，可以使用数值较小的MOS电容。MOS管的尺寸是可以定制的，即可以指定它们的W和L参数的值，以便尽量满足设计要求。同时，晶体管可以做到完全匹配（或者更一般地说，制成指定的尺寸比例），实现诸如镜像电流源的有用的电路模块。

这里需要指出，为了在相同芯片上集成更多的元件，减小元件尺寸已经成为一种趋势。在本

书编写时（2003 年）正在使用能够制造出最小沟道长度到 0.1 μm 的元件的 CMOS 制造技术。这样小的元件需要在接近 1 V 的直流电源下工作。尽管低电压工作可以减少功率损耗，但是却对电路设计人员提出了许多挑战。比如说，这样的 MOS 管必须在只有 0.2 V 左右的过驱动电压下工作。在介绍 MOS 管放大器的过程中，我们会经常讨论这类问题。

我们将要学习的 MOS 管放大器电路基本上完全使用两种不同极性的 MOSFET，即 NMOS 管和 PMOS 管，CMOS 工艺很容易制造出这两种器件。正如前面提到的，CMOS 是当今在模拟、数字以及模拟和数字结合（即混合信号）的应用中使用得最为广泛的。然而，对于模拟电路设计工程师来说，双极型集成电路仍然提供了很多令人心动的优点。特别是运用在通用电路的封装中，比如说在印刷电路板（与成为片上系统的一部分相反）上组装高质量的运算放大器的时候，另外，双极型电路能够提供非常大的输出电流，适合某些特定场合的应用，比如说运用于汽车工业，因为它们在恶劣的环境中具有很高的可靠性。最后，双极型电路能够与 CMOS 结合带来创新结果。

6.2 MOSFET 与 BJT 的比较

本节将对 MOSFET 和 BJT 这两种主要电子器件的特性进行比较。为了便于比较，先介绍一下这两种器件重要参数的典型值。

6.2.1 MOSFET 参数典型值

表 6.1 中列出了不同 CMOS 制造工艺下制成的 NMOS 和 PMOS 晶体管重要参数的典型值。每种制造工艺都有一个特征值，即最小沟道长度 L_{min}。比如说，在 0.18 μm 制造工艺中，最小的晶体管沟道长度为 $L = 0.18$ μm。表 6.1 中的数据按照沟道长度值递减的顺序排列，而沟道长度值最小的制造技术最为先进。尽管现在已经不再使用 0.8 μm 的工艺，但我们仍然列出了相关数据，以便可以看出各种参数值的变化趋势。必须说明的是，尽管表 6.1 中只列出了 0.18 μm 工艺的数据，但在本书编写时（2003 年），0.13 μm 的制造工艺已经商用，并且 0.09 μm 也处于发展前沿。现在 0.18 μm 工艺应用得最为广泛，相关数据也很容易得到。但是需要引起重视的是，表 6.1 中的数据与任何特定的商用生产工艺无关。因此，列出这些普通数据并不是为了实际集成电路的设计，相反，只是为了说明其变化趋势。而且我们将会看到，这些数据会帮助我们了解设计过程中的折中考虑，也使我们采用尽可能接近实际的参数值来求解设计例题和习题

表 6.1 CMOS 器件参数典型值

参数	0.18 μm		0.5 μm		0.25 μm		0.18 μm	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
t_{ox}(nm)	15	15	9	9	6	6	4	4
C_{ox}(fF/μm²)	2.3	2.3	3.8	3.8	5.8	5.8	8.6	8.6
μ(cm²/V·s)	550	250	500	180	460	160	450	100
μC_{ox}(μA/V²)	127	58	190	68	267	93	387	86
V_{t0}(V)	0.7	−0.7	0.7	−0.8	0.43	−0.62	0.48	−0.45
V_{DD}(V)	5	5	3.3	3.3	2.5	2.5	1.8	1.8
$\|V_A'\|$(V/μm)	25	20	20	10	5	6	5	6
C_{ov}(fF/μm)	0.2	0.2	0.4	0.4	0.3	0.3	0.37	0.33

从表 6.1 中可以看出，最小允许的沟道长度逐渐减小，这已经成为了发展的趋势。这是因为人们想要在芯片上集成更多的晶体管，让它们工作得更快，用模拟电路的术语来说就是为了得到更大的带宽。

现在来看二氧化硅层的厚度 t_{ox}，它随着沟道长度的减小而减小，在 0.18 μm 工艺中为 4 nm。由于氧化层电容 C_{ox} 与 t_{ox} 成反比，我们看到 C_{ox} 随着工艺尺度的减小而增大。表面迁移率μ也随着制造工艺特征值的减小而减小，而且 μ_p 减小的速度比 μ_n 快。因此，μ_p 与 μ_n 的比值随着技术的更新换代一直在变小，从老技术中的 0.5 下降到新技术中的 0.2 左右。与此相反，跨导参数 $k'_n = \mu_n C_{ox}$ 和 $k'_p = \mu_p C_{ox}$ 始终稳定地增加。因而，现在的短沟道器件只需要较小的过驱动电压就可获得合适的偏置电流。同时这也使得跨导值更高，从而带来一些优越性。

尽管开启电压 V_{tn} 和 V_{tp} 随着 L_{min} 的减小由 0.7 ~ 0.8 V 下降到 0.4 ~ 0.5 V，但这种降幅却没有电源电压 V_{DD} 来得大。后者在老工艺下为 5 V，到 0.18 μm 工艺时为 1.8 V，降幅很大。这种下降是必须的，因为必须避免在更小的元件上产生很强的电场。这么做的另一个原因在于现在的集成电路芯片集成了大量的晶体管，减小 V_{DD} 有助于尽可能地降低功耗[1]。

现代短沟道 CMOS 制造工艺使得 $|V_t|$ 与电源电压之间的比值变大，这给电路设计工程师带来了严峻挑战。因为 $|V_{GS}| = |V_t| + |V_{OV}|$（这里 V_{OV} 是过驱动电压），为了让 $|V_{GS}|$ 保持在一个合理的较小值上，现代工艺的 $|V_{OV}|$ 通常在 0.2 V 到 0.3 V 的范围内。为了进一步说明问题，我们知道要 MOSFET 工作在饱和区，$|V_{DS}|$ 必须大于 $|V_{OV}|$。因此，当电源电压 V_{DD} 仅为 1.8 V 或更低的值时，要让大量的元件正常工作，必须使 $|V_{OV}|$ 越低越好。很快我们会看到，低 $|V_{OV}|$ 会带来一些缺陷。

现代亚微米 CMOS 技术有另外一个重要却不受欢迎的特点，那就是沟道长度调制效应变得十分显著。由于 V'_A 持续减小且 L 的值也在减小，因此导致厄尔利电压 $V_A = V'_A L$ 也变小，从而短沟道 MOSFET 也表现出了更低的输出电阻。

我们在 4.8 节介绍了 MOSFET 在饱和区的高频等效电路模型，在 4.9 节介绍了共源放大器的高频响应，知道 MOSFET 的两个主要电容是 C_{gs} 和 C_{gd}。与 C_{gs} 含有重叠电容分量不同，C_{gd} 是完全意义上的重叠电容。C_{gd} 和 C_{gs} 的重叠电容分量大小基本相等，我们用 C_{ov} 表示。表 6.1 的最后一行列出了单位微米栅极宽度的 C_{ov} 值。尽管标准化了的 C_{ov} 值随着 L_{min} 的减小基本保持恒定，但我们稍后就会看到，短沟道器件与长沟道器件元件相比其速度更快，带宽也更宽。特别是 0.25 μm NMOS 管的 f_t 高达 10 GHz。

6.2.2　集成 BJT 参数典型值

表 6.2 列出了集成 BJT 的参数典型值。

表 6.2　BJT 的参数典型值[2]

	标准高电压工艺		先进低电压工艺	
参数	*npn*	横向 *pnp*	*npn*	横向 *pnp*
A_E (μm^2)	500	900	2	2
I_S (A)	5×10^{-15}	2×10^{-15}	6×10^{-18}	6×10^{-18}
β_0 (A / A)	200	50	100	50
V_A (V)	130	50	35	30

① 现在芯片功耗已经成为非常严重的问题。最近一些芯片的功耗已经高达 100 W。目前研究的一个重要方向就是所谓的“节能设计”。

② 这些数据出自 Gray (2000)，参见参考文献。

（续）

	标准高电压工艺		先进低电压工艺	
参数	*npn*	横向 *pnp*	*npn*	横向 *pnp*
V_{CE0}(V)	50	60	8	18
τ_F	0.35 ns	30 ns	10 ps	650 ps
C_{je0}	1 pF	0.3 pF	5 fF	14 fF
$C_{\mu 0}$	0.3 pF	1 pF	5 fF	15 fF
$r_x(\Omega)$	200	300	400	200

表中器件的数据来自两种不同的制造工艺：旧的标准的“高电压工艺”和现代的先进的“低电压工艺”。在每种制造工艺中，我们都列出了标准 *npn* 晶体管的参数值，以及一种被称为横向 *pnp* 晶体管（与纵向 *npn* 晶体管相反）的特殊 *pnp* 晶体管（参见附录 A）的参数值。必须指出，标准的双极型集成电路制造工艺有一个缺点，那就是 *pnp* 晶体管无法做得与 *npn* 晶体管具有同样好的质量。当然，*pnp* 晶体管器件的实现方法很多，其中横向 *pnp* 晶体管的实现最为经济。然而遗憾的是，从表 6.2 可以明显看出，横向 *pnp* 晶体管比起 *npn* 晶体管来说性能差了很多。特别是我们注意到，*pnp* 晶体管有着较低的 β 值和比较大的正向传输时间 τ_F，它决定了射极与基极之间的扩散电容 C_{de}，因而也决定了晶体管的工作速度。从表 6.2 中可以看出，相同制造工艺做出的横向 *pnp* 晶体管和 *npn* 晶体管相比，前者的单位增益频率比后者要小两个数量级。两者之间的另一个重要差别在于 β 值达到最大时的集电极电流值：比如，高电压工艺得到的 *pnp* 晶体管的电流值在几十微安的范围内，而 *npn* 晶体管的值要达到毫安级。从积极的方面来说，*pnp* 晶体管性能不佳的问题激励着模拟电路设计人员去设计各种创新的电路结构。这些结构减少了 *pnp* 晶体管的使用，也降低了电路性能对于 *pnp* 晶体管的依赖性。在本书的后面，我们将会讲到这些设计精妙的电路。

从表 6.2 中可以明显看出，先进的低电压制造工艺使得元件的尺寸有了很大减小，从面饱和电流 I_S 的值也大致下降了 3 个数量级。这里我们注意到，基区宽度 W_B 在先进工艺中达到了 0.1 μm 的数量级，而标准高电压制造工艺中要几微米。速度的大幅增加也值得注意。低电压工艺下的 *npn* 晶体管的 τ_F =10 ps，而高电压下为 0.35 ns，因而现代 *npn* 晶体管的特征频率为 10 ~ 25 GHz，而高电压工艺下只能做到 400 ~ 600 MHz。尽管现代工艺下的厄尔利电压 V_A 已经比以前减小了，但是仍然高达 35 V。虽然在表 6.2 中未说明，但是先进工艺还有另一个特色，即 *npn* 晶体管的 β 值在集电极电流为 50 μA 左右时达到最大值。最后，从数据中可以看出，低电压工艺的 *npn* 晶体管在集电极与发射极之间的电压达到 8 V 时会被击穿，而在高电压制造工艺中为 50 V 左右。因此，标准工艺器件构成的电路需要±15 V 的电源才能工作，而使用现代双极型器件的电路只需要总共为 5 V 的电源（甚至为了与一些亚微米 CMOS 制造工艺兼容可以低至 3.3 V）的电源。

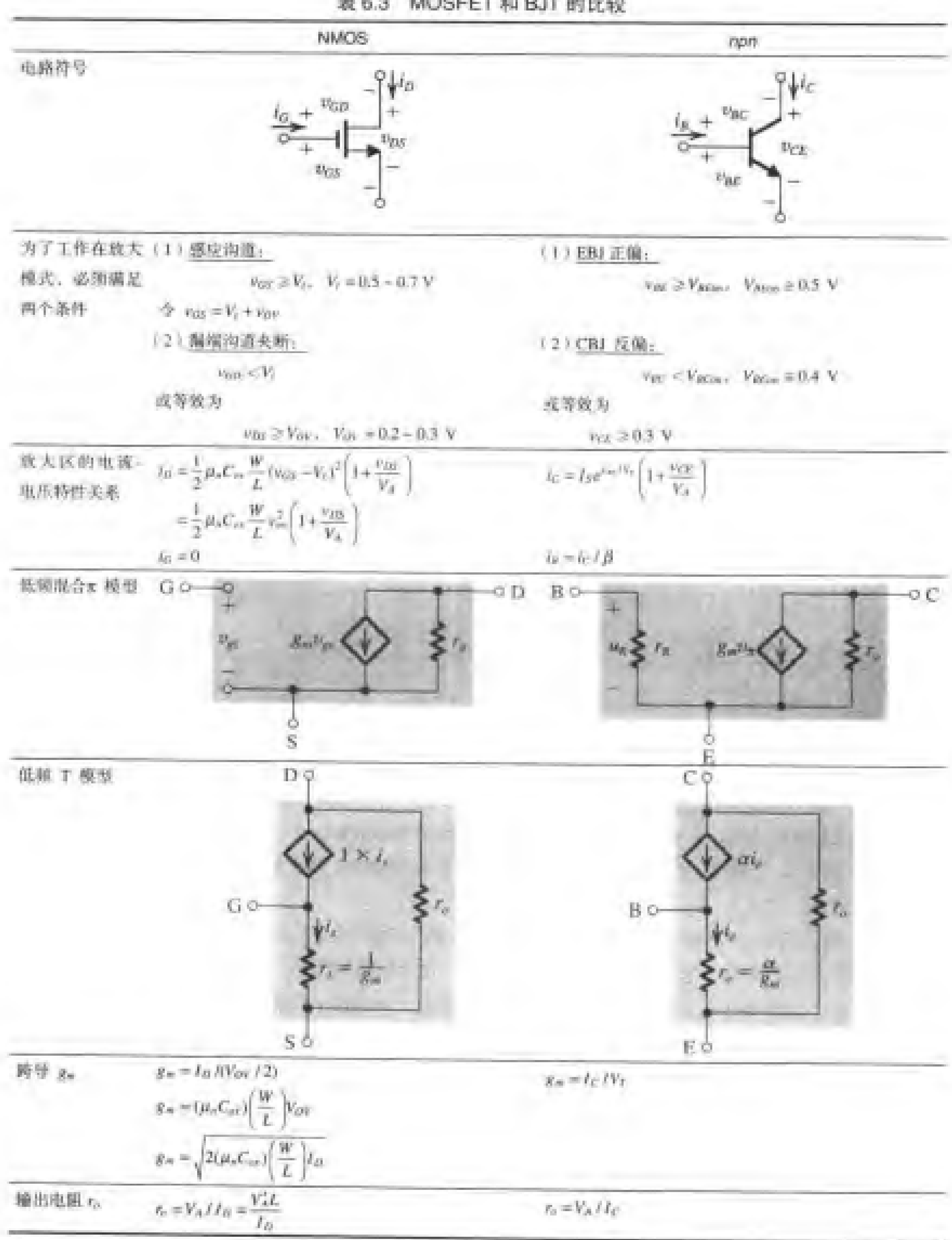
6.2.3 重要特性的比较

表 6.3 列出了 NMOS 管与 *npn* 晶体管的重要性质之间的比较。所有内容的排列都以便于比较为目的。接下来，我们将解释和评析表 6.3 中的内容。同时，还有一些计算题帮助我们了解表 6.3 中丰富内容的价值。需要说明的是，PMOS 晶体管和 *pnp* 晶体管也可以做类似的比较。

工作条件 首先需要明确，我们所说的放大模式（或称放大区域）代表 BJT 的放大区或者 MOSFET 的饱和区。

两种器件工作在放大区域的条件类似：对于 MOSFET，显而易见就是开启电压 V_t；而对于 BJT，则是隐含的参数 V_{BEon}。并且，在现代制造工艺中两者的值几乎相等。

表 6.3　MOSFET 和 BJT 的比较



	NMOS	npn
电路符号		
为了工作在放大模式，必须满足两个条件	（1）感应沟道： $v_{GS} \ge V_t$，$V_t = 0.5 \sim 0.7\ \text{V}$ 令 $v_{GS} = V_t + v_{OV}$ （2）漏端沟道夹断： $v_{GD} < V_t$ 或等效为 $v_{DS} \ge V_{OV}$，$V_{OV} = 0.2 \sim 0.3\ \text{V}$	（1）EBJ 正偏： $v_{BE} \ge V_{BEon}$，$V_{BEon} \cong 0.5\ \text{V}$ （2）CBJ 反偏： $v_{BC} < V_{BCon}$，$V_{BCon} \cong 0.4\ \text{V}$ 或等效为 $v_{CE} \ge 0.3\ \text{V}$
放大区的电流-电压特性关系	$i_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(v_{GS}-V_t)^2\left(1+\frac{v_{DS}}{V_A}\right)$ $= \frac{1}{2}\mu_n C_{ox}\frac{W}{L}v_{OV}^2\left(1+\frac{v_{DS}}{V_A}\right)$ $i_G = 0$	$i_C = I_S e^{v_{BE}/V_T}\left(1+\frac{v_{CE}}{V_A}\right)$ $i_B = i_C/\beta$
低频混合π 模型		
低频 T 模型		
跨导 g_m	$g_m = I_D/(V_{OV}/2)$ $g_m = (\mu_n C_{ox})\left(\frac{W}{L}\right)V_{OV}$ $g_m = \sqrt{2(\mu_n C_{ox})\left(\frac{W}{L}\right)I_D}$	$g_m = I_C/V_T$
输出电阻 r_o	$r_o = V_A/I_D = \frac{V_A' L}{I_D}$	$r_o = V_A/I_C$

（续）

	NMOS	npn
固有增益 $A_0 = g_m r_o$	$A_0 = V_A/(V_{OV}/2)$ $A_0 = \frac{2V_A' L}{V_{OV}}$ $A_0 = \frac{V_A'\sqrt{2\mu_n C_{ox} WL}}{\sqrt{I_D}}$	$A_0 = V_A/V_T$
源极（发射极）接地的输入电阻	∞	$r_\pi = \beta/g_m$
高频模型		
电容	$C_{gs} = \frac{2}{3}WLC_{ox} + WL_{ov}C_{ox}$ $C_{gd} = WL_{ov}C_{ox}$	$C_\pi = C_{de} + C_{je}$ $C_{de} = \tau_F g_m$ $C_{je} \simeq 2C_{je0}$ $C_\mu = C_{\mu 0}/\left[1+\frac{V_{CB}}{V_{0c}}\right]^m$
转换频率 f_T	$f_T = \frac{g_m}{2\pi(C_{gs}+C_{gd})}$ 对于 $C_{gs} \gg C_{gd}$，$C_{gs} \simeq \frac{2}{3}WLC_{ox}$ $f_T \simeq \frac{1.5\mu_n V_{OV}}{2\pi L^2}$	$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$ 其中，$C_\pi \gg C_\mu$，$C_\pi \simeq C_{de}$ $f_T \simeq \frac{2\mu_n V_T}{2\pi W_B^2}$
设计参数	$I_D, V_{OV}, L, \frac{W}{L}$	I_C, V_{BE}, A_E（或 I_S）
是否能用做模拟开关？	是的，因为其具有对称性，因而 $i_D - v_{DS}$ 特性曲线经过原点	不是，因为其不具有对称性，存在失调电压 V_{CEoff}

另外，MOSFET 的沟道在漏端夹断，大体上也等同于将 BJT 的 CBJ 结反偏。注意，晶体三极管的不对称性使得 V_{BCon} 与 V_{BEon} 不相等，而在对称的 MOSFET 中，源端和漏端工作的开启电压是相等的（都是 V_t）。最后，要使 MOSFET 和 BJT 工作在放大区，加在它们两端的电压（v_{DS} 和 v_{CE}）至少必须是 0.2～0.3 V。

电流-电压特性　MOSFET 的 $i_D - v_{GS}$ 平方律关系与 BJT 的 $i_C - v_{BE}$ 指数关系形成对比。显然，后者是更加敏感的关系，它导致在相同的 BJT 中 i_C 的变化范围很大（相差 100 倍或更大），而在 MOSFET 中，相同器件 i_D 的变化范围就受到很多限制。为了进一步说明问题，考虑 i_D 与 v_{GS} 的抛物线关系，如同我们曾经提到的，v_{OV} 通常被限制在一个很小的范围之内（0.2～0.4 V）。

接下来，我们考虑器件尺寸对于其电流的影响。双极型晶体管中的控制参数是 EB 结面积 A_E，它直接控制饱和电流 I_S。其值在一个相对较小的范围内变化，比如说从 10 到 1。因此，尽管发射极面积可以用来设置集成电路中的电流比例关系（下节中我们会看到镜像电流源的设计与此有关），但是它的可变范围很小，削弱了其作为设计参数的重要性。特别是当我们将 A_E 与 MOSFET 的宽长比 W/L 做比较时。MOSFET 设计时可以在很大范围内调整 W/L 值，比如说从 0.1 到 100。因此 W/L 是 MOS 电路的重要设计参数。同 A_E 一样，我们在下节中可以看到，这将用来设定电流

之间的比例关系　将 v_{OV} 和 W/L 的可变性结合起来可以设计 MOS 管电路，其 i_D 的工作范围可达 4 个 10 倍的变化程度

MOSFET 的沟道长度调制效应与 BJT 的基区宽度调制效应类似，使得 i_D（i_C）的值受到 v_{DS}（v_{CE}）的影响，从而在放大区域中表现出有限的输出电阻 r_o。但是两者也存在着两个重要的不同点。BJT 的 V_A 只是一个工艺参数，与晶体管的尺寸无关。而 MOSFET 的情况不同：$V_A = V'_A L$，其中 V'_A 是工艺参数，而 L 是所用的沟道长度。另外，在现代的亚微米工艺中，V'_A 非常小，使得 V_A 的值要比 BJT 的对应值小得多。

最后，也可能是最重要的，两种器件的电压电流关系的差别与流入到控制端的输入电流有关。MOSFET 的栅极电流实际上为零，从栅极看进去的输入电阻是无穷大。而 BJT 的基极电流与集电极电流成正比，即 $i_B = i_C/\beta$。有限的基极电流导致了从基极看进去的输入电阻是有限的，相对于 MOSFET 来说，这肯定是 BJT 的一个缺陷。事实上就是 MOSFET 的无穷大的输入电阻，使得 BJT 不能实现的模拟与数字电路应用成为了可能。这样的例子包括动态数字存储（见第 11 章）和开关电容滤波器（见第 12 章）。

例题 6.1　（a）采用表 6.1 中所示的 0.18 μm 工艺制成的一个 NMOS 管，$W/L=10$。求 V_{OV} 和 V_{GS} 的值，使得器件工作时的 $I_D = 100\ \mu A$。忽略沟道长度调制效应。

（b）采用表 6.2 中所示的低电压工艺制造的一个 *npn* 晶体管，它工作在 $I_C = 100\ \mu A$ 上。试求 V_{BE} 的值　忽略基区宽度调制效应。

解：

（a）
$$I_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)V_{OV}^2$$

将 $I_D = 100\ \mu A$，$W/L = 10$ 和从表 6.1 得到的 $\mu_n C_{ox} = 387\ \mu A/V^2$ 代入，得到

$$100 = \frac{1}{2}\times 387\times 10\times V_{OV}^2$$
$$V_{OV} = 0.23\ V$$

即

$$V_{GS} = V_{tn} + V_{OV} = 0.48 + 0.23 = 0.71\ V$$

（b）
$$I_C = I_S e^{V_{BE}/V_T}$$

将 $I_C = 100\ \mu A$ 和从表 6.2 得到的 $I_S = 6\times 10^{-18}\ A$ 代入，有

$$V_{BE} = 0.025\ \ln\frac{100\times 10^{-6}}{6\times 10^{-18}} = 0.76\ V$$

■

练习 6.1　（1）NMOS 管由表 6.1 中所示的 0.18 μm 工艺制成。求出当 V_{OV} 在 0.2 ~ 0.4 V 内变化，W/L 在 0.1 到 100 内变化时可以得到的 I_D 的变化范围，忽略沟道长度调制效应。

（2）由表 6.2 中所示的低电压工艺制造的 *npn* 晶体管的电流值要达到相同的变化范围，求 V_{BE} 的变化情况。

答案：（a）$I_{D\min} = 0.8\ \mu A$，$I_{D\max} = 3.1\ mA$（I_C 在 4000 : 1 范围内）；（b）若 I_C 的变化范围超过 4000 : 1，$\Delta V_{BE} = 207\ mV$

低频小信号模型 这两种器件的低频小信号模型十分相似，只是BJT具有有限的基极电流（有限的 β 值）。这一点使得其混合π模型中出现了 r_π，以及 T 模型中发射极和集电极电流不等（$\alpha<1$）。有趣的是，我们注意到如果认为 MOSFET 是 $\beta=\infty$（即 $\alpha=1$）时的 BJT，那么这两种低频小信号模型就会完全一样。

对这两种器件，混合π模型说明了当源极（射极）接地时从栅极到漏极（基极到集电极）的开路电压增益都是 $-g_m r_o$。而 $g_m r_o$ 是任何单级晶体管所能得到的最大增益。这个重要的晶体管参数被称为固有增益，记做 A_0。我们稍后将继续讨论。

尽管表 6.3 中的 MOSFET 低频模型并没有包含衬底效应，但它却会对 MOSFET 作为放大器使用时产生影响。简单地说，如果衬底没有与源极相连，它就会成为 MOS 管的第二个栅极。衬底极与源极之间的信号电压 v_{bs} 会产生漏极电流 $g_{mb}v_{bs}$ 分量。这里，背栅跨导 g_{mb} 与 g_m 成正比，即 $g_{mb}=\chi g_m$，因子 χ 介于 0.1 到 0.2 之间。在接下来的几节中，我们在介绍集成电路 MOS 放大器时必须把衬底效应考虑进来。BJT 没有对应的效应。

跨导 BJT 的跨导 g_m 仅仅取决于集电极直流电流 I_C（室温下的 V_T 是一个物理常数，约为 0.025 V）。有趣的是，我们看到 g_m 与 BJT 的几何尺寸无关，它与 EBJ 结面积的依赖关系仅仅通过结面积对总集电极电流 I_C 的作用体现出来，同样，g_m 与 V_{BE} 的依赖关系也只是通过 V_{BE} 对总集电极电流 I_C 的决定作用体现出来。相反，MOSFET 管的 g_m 与 I_D，V_{OV} 和 W/L 都有关系。因此，我们给出了三个不同但等效的 MOS 管 g_m 的表达式。

表 6.3 所给的第一个表达式与晶体管类似，它表明在相同的工作电流下 MOSFET 的 g_m 值比 BJT 的相应值小得多。这是因为 $V_{OV}/2$ 介于 0.1 V 到 0.2 V 的范围内，是 BJT 中对应值 V_T 的 4 到 8 倍。

第二个表达式说明，对于一个给定的器件（比如说给定 W/L），g_m 与 V_{OV} 成正比，因而增加 MOSFET 的驱动电压可以得到更大的 g_m 值。但是要记住，V_{DD} 的值有所限制，导致 V_{OV} 的值也有所限制。换一种说法，对于得到合理的较大的 g_m 值的需求在设计人员减小 V_{OV} 时可以得到满足。

第三个表达式说明，对于一个给定的晶体管（比如说给定 W/L），g_m 与 $\sqrt{I_D}$ 成正比。这与 BJT 的情况不同，后者 g_m 与 I_C 直接成正比。

输出电阻 两种器件的输出电阻可以用相似的公式表示，即 r_o 是 V_A 与偏置电流（I_C 或是 I_D）的比值。因而，对于这两种器件，r_o 都与偏置电流成反比。而两种器件的 V_A 在性质与数量上的差别已经讨论过了。

固有增益 BJT 的固有增益 A_0 是 V_A 与 V_T 的比值。其中，参数 V_A 完全由制造工艺决定（35~130 V），而 V_T 是物理参数（室温时为 0.025 V）。因此，BJT 的 A_0 值与元件结面积以及工作电流都无关，其值介于 1000 V/V 到 5000 V/V 之间。而 MOSFET 的情况则不同：表 6.3 列出了三个不同但等效的 MOSFET 固有增益的表达式。第一个表达式是最能够直接与 BJT 比较的公式。但是这里我们注意到：

1. 分母 $V_{OV}/2$ 是一个设计参数。尽管短沟道技术的运用使得这个值越来越小，但是仍然比 V_T 大得多；而且我们已经看到，选取较大的 V_{OV} 值是有原因的。
2. 分子 V_A 与制造工艺和器件尺寸都有关系，它的值一直在稳步下降。

因此，现代短沟道技术实现的单级 MOS 管放大器能达到的固有增益仅为 20 V/V 到 40 V/V，这几乎比 BJT 小了两个数量级。

表 6.3 中第三个表达式说明了很有趣的一点：在制造工艺（V_A' 和 $\mu_n C_{ox}$）和器件尺寸（W/L）给定时，固有增益与 $\sqrt{I_D}$ 成反比。图 6.1 所示是 A_0 与偏置电流 I_D 的典型关系曲线。可以看到，

当偏置电流减小时，增益变大。但是当电流很小时，增益几乎保持恒定不变。这是因为此时 MOSFET 进入了亚阈区（见 4.1.9 节），与 BJT 很相似，电压电流呈指数关系。于是固有增益与晶体三极管类似，保持恒定。但需要注意的是，尽管更大的增益可以由较低的偏置电流得到，但是付出的代价却是较低的 g_m 值和不足的驱动容性负载的能力，以及带宽的减小。稍后我们将详细说明这一点。

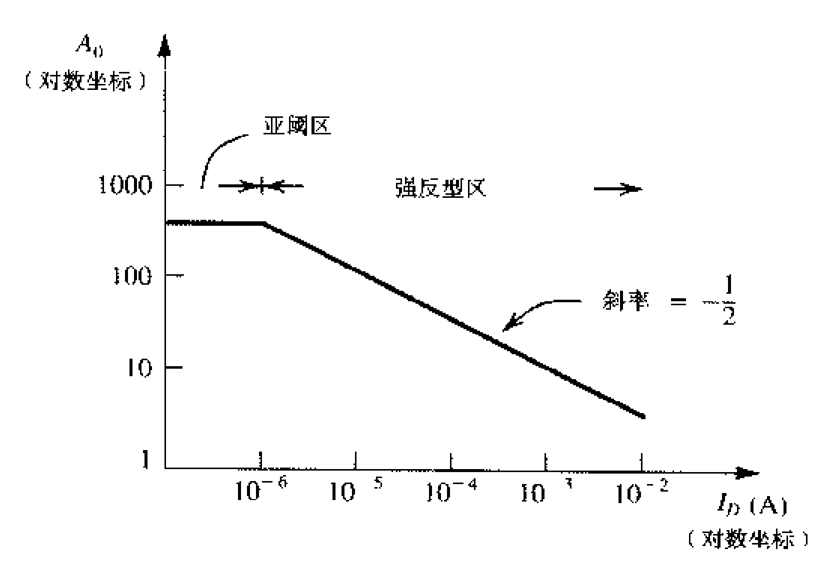


图 6.1　MOSFET 固有增益与偏置电流 I_D 的关系，在亚阈区以外，曲线为以下参数下的结果：
$A_0 = V_A' \sqrt{2\mu_n C_{ox} WL / I_D}$，$\mu_n C_{ox} = 20\ \mu\text{A/V}^2$，$V_A' = 20\ \text{V}/\mu\text{m}$，$L = 2\ \mu\text{m}$，$W = 20\ \mu\text{m}$

例题 6.2　我们来比较用表 6.1 所示的 0.25 μm 工艺制成的 NMOS 管和由表 6.2 所示的低电压工艺制造的 *npn* 晶体管的 g_m 值、栅极（基极）的输入电阻 r_o 和 A_0 值。假设两个器件工作时漏极（集电极）电流为 100 μA。对 MOSFET 有 $L = 0.4\ \mu$m，$W = 4\ \mu$m，确定所需要的 V_{OV} 值。

解：对 NMOS 管，有

$$I_D = \frac{1}{2}(\mu_n C_{ox})\left(\frac{W}{L}\right)V_{OV}^2$$

$$100 = \frac{1}{2} \times 267 \times \frac{4}{0.4} \times V_{OV}^2$$

即

$$V_{OV} = 0.27\ \text{V}$$

$$g_m = \sqrt{2(\mu_n C_{ox})\left(\frac{W}{L}\right)I_D}$$

$$= \sqrt{2 \times 267 \times 10 \times 100} = 0.73\ \text{mA/V}$$

$$R_{in} = \infty$$

$$r_o = \frac{V_A' L}{I_D} = \frac{5 \times 0.4}{0.1} = 20\ \text{k}\Omega$$

$$A_0 = g_m r_o = 0.73 \times 20 = 14.6\ \text{V/V}$$

对 *npn* 晶体管，有

$$g_m = \frac{I_C}{V_T} = \frac{0.1\ \text{mA}}{0.025\ \text{V}} = 4\ \text{mA/V}$$

$$R_{\text{in}} = r_\pi = \beta_0 / g_m = \frac{100}{4\ \text{mA/V}} = 25\ \text{k}\Omega$$

$$r_o = \frac{V_A}{I_C} = \frac{35}{0.1\ \text{mA}} = 350\ \text{k}\Omega$$

$$A_0 = g_m r_o = 4 \times 350 = 1400\ \text{V/V}$$

■

练习 6.2 考虑由表 6.1 所示的 0.5 μm 工艺制成的 NMOS 管，$L = 0.5\ \mu$m。试求 $I_D = 10\ \mu$A，100 μA 和 1 mA 时的跨导和固有增益

答案： 0.2 mA/V，200 V/V；0.6 mA/V，62 V/V；2 mA/V，20 V/V

高频特性 MOSFET 与 BJT 简化了的高频等效电路非常相似，确定单位增益频率（也称为转换频率）f_T 的表达式也十分相似。我们注意到 f_T 只是对晶体管本身固有带宽的度量，而没有考虑负载电容的影响。稍后我们将介绍负载电容的内容。开始介绍前，我们注意到表 6.3 中给出的两种器件的 f_T 的表达式有着惊人的相似。在两个公式中，f_T 都与器件的重要尺寸值的平方成反比：MOSFET 的沟道长度和 BJT 的基区宽度。这些公式清晰地表明，短沟道 MOS 管[1]和窄基区双极型晶体管有着更宽的带宽。同时也需要重视的是，BJT 的近似表达式说明 f_T 完全由制造工艺决定，而 MOSFET 对应的表达式表明 f_T 与过驱动电压 V_{OV} 成正比，因而我们在 V_{OV} 的取值要求上产生了矛盾：低频增益的增加需要较低的 V_{OV} 值，但是更宽的带宽却需要 V_{OV} 值的增加。所以，选择 V_{OV} 值时要做到增益与带宽之间的平衡。

现代低电压工艺制造的 *npn* 晶体管的 f_T 值介于 10 GHz 与 20 GHz 之间，而标准的高电压制造过程得到的仅为 400 ~ 600 MHz。对于 MOS 管，现代亚微米技术制造的 NMOS 管（比如说用 0.18 μm 的制造工艺得到的）的 f_T 值介于 5 GHz 与 15 GHz 之间。

在结束对高频特性的讨论之前，我们来看看共源（共射）放大器中加入负载电容后对带宽的影响。为此，我们假设感兴趣的频率比晶体管的 f_T 值小得多，因此我们不用考虑晶体管的内部电容。图 6.2（a）所示是一个带有负载电容 C_L 的共源放大器。从栅端到漏端的电压增益可以由以下方法求得：

$$V_o = -g_m V_{gs} (r_o \| C_L)$$

$$= -g_m V_{gs} \frac{r_o \dfrac{1}{sC_L}}{r_o + \dfrac{1}{sC_L}}$$

$$A_v = \frac{V_o}{V_{gs}} = -\frac{g_m r_o}{1 + sC_L r_o} \tag{6.1}$$

正如我们所预计的，低频增益为 $g_m r_o = A_0$，高频响应属于单时间常数低通类型，截止（极点）角频率为

$$\omega_P = \frac{1}{C_L r_o} \tag{6.2}$$

---

[1] 尽管超出了我们能够理解的范围，但我们这里要说明：沟道长度极短的 MOS 管的 f_T 值与 L 成反比，而不是与 L^2 成反比

显然，这个极点由 r_o 和 C_L 决定。图 6.2（b）所示是增益幅度与角频率的关系曲线。我们看到增益曲线与 0 dB 水平线交于角频率 ω_t 处：

$$\omega_t = A_0\omega_P = (g_m r_o)\frac{1}{C_L r_o}$$

$$\omega_t = \frac{g_m}{C_L} \tag{6.3}$$

这就是单位增益频率，也称为增益带宽积[1]。ω_t 是 g_m 与 C_L 的比值。我们清楚地看到，当负载电容 C_L 给定时，要获得更宽的带宽，可以让 MOS 管工作在更大的 g_m 上。以上分析和结论同样适用于 BJT 电路。在两种情况下，带宽均随着偏置电流的增加而增大。

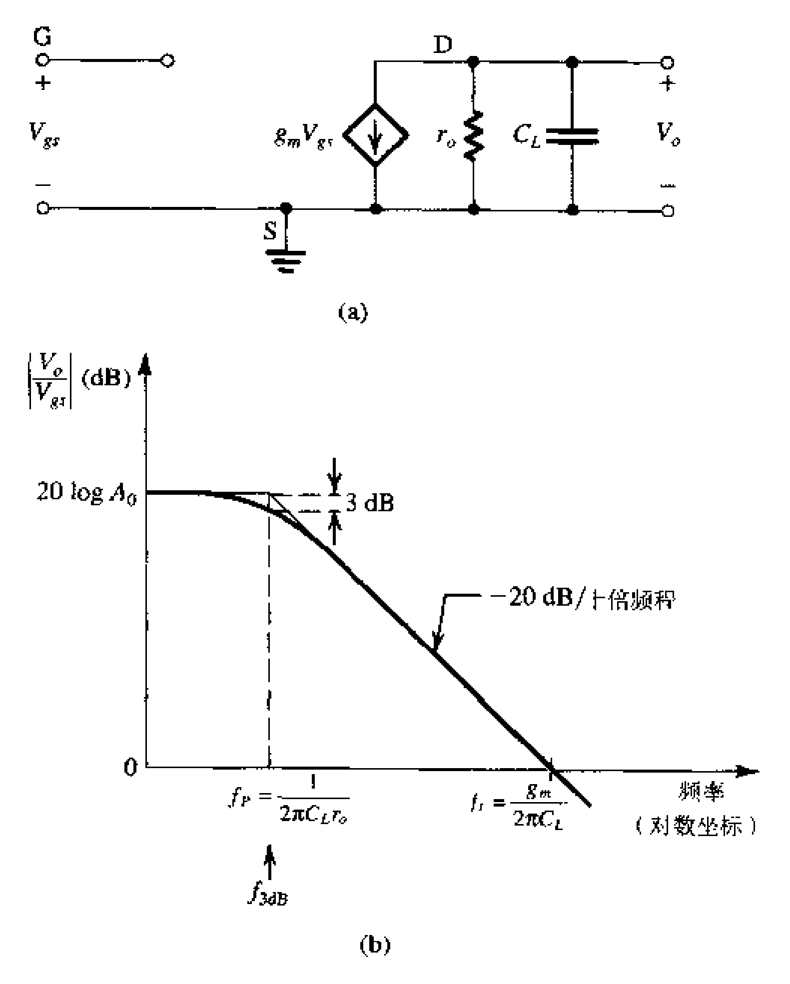


图 6.2　由理想电压源供电的带有负载电容 C_L 的共源放大器的频率响应。假定晶体管工作在比 f_T 值小得多的频率上，故而不考虑内部电容

设计参数　BJT 的三个设计参数是 I_C，V_{BE} 和 I_S（或等价于 EB 结面积），设计者可以指定其中任意两个。但是由于 I_C 与 V_{BE} 呈指数关系，对 V_{BE} 十分敏感（V_{BE} 仅改变 60 mV 时，I_C 就会改变 10 倍），因而作为设计参数，I_C 比 V_{BE} 更有用。正如早先提到的那样，EB 结的面积作为设计参数受到很大限制，因为 A_E 可变范围较小。于是，BJT 有效的设计参数只剩下一个：集电极电流 I_C。最后要注意我们没有把 V_{CE} 视为设计参数，是因为它对 I_C 的影响是第二位的。当然，在第 5 章中我们讲过，V_{CE} 可以影响输出信号幅度。

1）单位增益频率和增益带宽积仅在频率响应属于单极点类型时相等，其他情况下这两个参数可能不同

MOSFET 有 4 个设计参数：I_D，V_{OV}，L 和 W，其中任意三个可以由设计人员指定。在模拟电路应用时，需要对 L 值进行折中。因为较小的 L 值可以获得较快的速度（更宽的带宽），而较大的 L 值可以获得较高的固有增益值。通常，选定的 L 值比 L_{min} 大 25%到 50%。

第二个设计参数是 V_{OV}。我们已经详细讨论过 V_{OV} 值对于性能的影响。通常，在亚微米技术中，选择介于 0.2 V 和 0.4 V 之间的 V_{OV}。

一旦 L 和 V_{OV} 的值选定后，设计者还需选定 I_D 或者 W（等价于 W/L）的值。在确定工艺和指定 L 和 V_{OV} 值的情况下，I_D 与 W/L 成正比。需要重视的是，I_D 或者是等价的 W/L 的选择与固有增益 A_0 和转换频率 f_T 无关。但是，它可以影响 g_m 的值，进而影响到增益带宽积。图 6.3 给出了当共源放大器工作在恒定的 V_{OV} 值时其增益随 I_D（等价于 W/L）的变化而变化的情况，从而说明了这一点。我们注意到，尽管直流增益保持不变，增大的 W/L 值以及等价的 I_D 值使得带宽成比例地增加。这里假设负载电容 C_L 不受器件尺寸的影响，但是这一点在有些情况下并不完全准确。

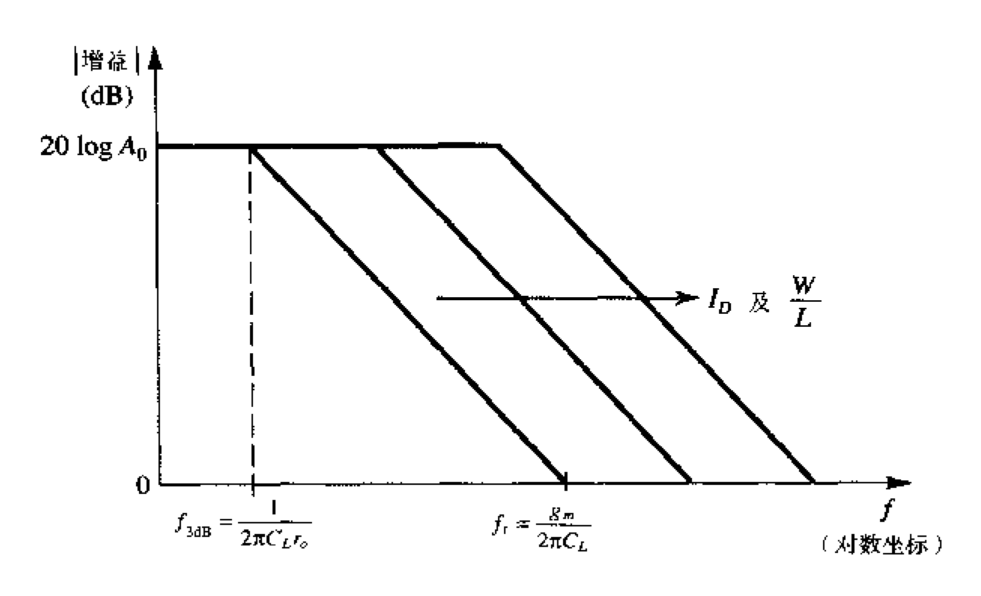


图 6.3 增加 I_D 和 W/L 值使得带有恒定负载电容 C_L 的 MOSFET 放大器的带宽增大

例题 6.3 本例题分析一个 *npn* 晶体管和一个 NMOS 管的增益和高频响应。假定 *npn* 晶体管是由表 6.2 所示的低电压工艺制成且 $C_\mu \simeq C_{\mu 0}$。当 I_C 分别等于 10 μA，100 μA 和 1 mA 时，求 g_m，r_o，A_0，C_{de}，C_{je}，C_π，C_μ 和 f_T。对于每一个 I_C 值，同时求出接有 1 pF 负载电容的共发射极放大器的增益带宽积 f_t。忽略晶体管内部电容。假定 NMOS 管是由 0.25 μm 的 CMOS 工艺制成，L = 0.4 μm，工作在 V_{OV} = 0.25 V 处。求 W/L 的值，使得 I_D 分别等于 10 μA，100 μA 和 1 mA。对于每一个 I_D 值，求出 g_m，r_o，A_0，C_{gs}，C_{gd} 和 f_T，同时求出接有 1 pF 负载电容的共源放大器的增益带宽积 f_t。忽略晶体管内部电容。

解：对 *npn* 晶体管，有

$$g_m=\frac{I_C}{V_T}=\frac{I_C}{0.025}=40 I_C \text{ A/V}$$

$$r_o = \frac{V_A}{I_C} = \frac{35}{I_C}\ \Omega$$

$$A_0 = \frac{V_A}{V_T} = \frac{35}{0.025} = 1400\ \text{V/V}$$

$$C_{de} = \tau_F g_m = 10\times10^{-12}\times40I_C = 0.4\times10^{-9}I_C\ \text{F}$$

$$C_{je} \cong 2C_{je0} = 10\ \text{fF}$$

$$C_\pi = C_{de} + C_{je}$$

$$C_\mu \cong C_{\mu0} = 5\ \text{fF}$$

$$f_T = \frac{g_m}{2\pi(C_\pi + C_\mu)}$$

$$f_T = \frac{g_m}{2_\pi C_L} = \frac{g_m}{2_\pi\times1\times10^{-12}}$$

因而我们得到下列结果：

I_C	g_m(mA/V)	r_o(kΩ)	A_0(V/V)	C_{de}(fF)	C_{je}(fF)	C_π(fF)	C_μ(fF)	f_T(GHz)	f_t(MHz)
10 μA	0.4	3500	1400	4	10	14	5	3.4	64
100 μA	4	350	1400	40	10	50	5	11.6	640
1 mA	40	35	1400	400	10	410	5	15.3	6400

对 NMOS 管，有

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}V_{OV}^2$$
$$= \frac{1}{2}\times267\times\frac{W}{L}\times\frac{1}{16}$$

即

$$\frac{W}{L} = 0.12I_D$$

$$g_m = \frac{I_D}{V_{OV}/2} = \frac{I_D}{0.25/2} = 8I_D\ \text{A/V}$$

$$r_o = \frac{V_A'L}{I_D} = \frac{5\times0.4}{I_D} = \frac{2}{I_D}\ \Omega$$

$$A_0 = g_m r_o = 16\ \text{V/V}$$

$$C_{gs} = \frac{2}{3}WLC_{ox} + C_{ov} = \frac{2}{3}W\times0.4\times5.8 + 0.6\,W$$

$$C_{gd} = C_{ov} = 0.6\,W$$

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

$$f_t = \frac{g_m}{2\pi C_L}$$

因而我们得到下列结果：

I_D	W/L	g_m(mA/V)	r_o(kΩ)	A_0(V/V)	C_{gs}(fF)	C_{gd}(fF)	f_T(GHz)	f_t(MHz)
10 μA	1.2	0.08	200	16	1.03	0.29	9.7	12.7
100 μA	12	0.8	20	16	10.3	2.9	9.7	127
1 mA	120	8	2	16	103	29	9.7	1270

练习 6.3　考虑一个由表 6.1 所示的 0.5 μm CMOS 工艺制成的 NMOS 管，求其 I_D，g_m，r_o，A_0，C_{gs}，C_{gd} 和 f_T。已知 $L = 0.5\ \mu m$，$W = 5\ \mu m$，$V_{OV} = 0.3$ V。

答案：85.5 μA；0.57 mA/V；66.7 kΩ；38 V/V；8.3 fF；2 fF；8.8 GHz

6.2.4　MOS 晶体管与双极型晶体管的结合——BiCMOS 电路

从以上的讨论可以看到，在直流偏置电流相等时，BJT 与 MOSFET 相比有一个优势，就是具有很大的跨导 g_m。因而，除了每一级放大器可以实现更高的电压增益以外，BJT 的高频响应也比 MOSFET 优越得多。

另一方面，MOS 晶体管栅极无穷大的输入电阻使得工程师能够设计出具有极高输入电阻和接近于零的输入偏置电流的放大器。同时，正如前面提到的，MOS 晶体管是相当好的开关实现方式，这使得 CMOS 工艺能够实现一系列的模拟电路功能，而这些都是双极型晶体管不能做到的。

我们看到，这两种晶体管都有自己独特的优点：在极高品质的通用电路组成模块（比如说运算放大器）的设计中，BJT 非常有用。而另一方面，CMOS 有着很高的集成度，同时适用于模拟和数字电路，已经成为一项实现超大规模集成电路的可选技术。但是，如果设计人员能够在同一芯片上使用双极型晶体管，利用它们的高 g_m 值和优越的电流驱动能力，CMOS 电路的性能还能获得提升。在同一芯片上制造高品质双极型晶体管和 CMOS 电路的技术很自然地被称为 BiCMOS 技术。在本书的合适位置我们将介绍这些既有趣又有用的 BiCMOS 电路模块。

6.2.5　MOSFET 平方律模型的有效性

在本节的末尾，我们来讨论一下一直用来描述 MOS 管特性的简单平方律模型的有效性。尽管这一简单模型能很好地适用于沟道相对较长（大于 1μm）的器件，但它并不能准确地表示短沟道器件的特性。这是因为在这些亚微米器件中很多物理现象开始起作用，导致了我们所说的短沟道效应。尽管短沟道效应的内容超出了本书范围，然而必须指出的是，考虑这些效应的 MOSFET 模型已经被研究出来，但是可以想像，模型极其复杂，而且并不适用于研究电路内在的工作原理和手工计算分析。相反，这些模型可以用于计算机模拟，在 SPICE 中（见 6.13 节）也的确用到了它们。然而，对于快速手工分析，我们将继续使用表 6.3 做比较时所用的平方律模型。

6.3　集成电路中的偏置——电流源、镜像电流源及电流导向电路

集成电路中的偏置主要使用恒定电流源。在包含多级放大器的集成电路芯片上，一个恒定的直流电流（称为参考电流）在一个地方生成后可被复制到其他多个地方，通过一种叫做电流导向的过程为各级放大器提供偏置。这个方法有一个优点，设计者只需要把精力集中在得到可预知和稳定的参考电流上，这通常是利用芯片外的一个精确的电阻完成的，而不必把这个工作在每一级放大器上重复进行。另外，在电源电压或者温度有所改变的情况下，各级放大器的偏置电流始终保持相互一致。

在本节中我们将介绍集成电路偏置设计中使用的电路组成模块和技术。在 6.5 节以及其后几节中我们会讲到这些电路还被当做放大器的负载使用。

6.3.1 MOSFET 基本电流源

图 6.4 画出了一个简单的 MOSFET 恒流源电路。这个电路的核心是晶体管 Q_1，它的漏极与栅极短接[1]，从而保证它工作在饱和区：

$$I_{D1} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_1 (V_{GS} - V_{tn})^2 \tag{6.4}$$

这里忽略了沟道长度调制效应。Q_1 的漏极电流由 V_{DD} 通过电阻 R 提供。电阻 R 在大多数情况下位于集成电路芯片之外。因为栅极电流为零，所以

$$I_{D1} = I_{REF} = \frac{V_{DD} - V_{GS}}{R} \tag{6.5}$$

这里通过 R 的电流被认为是电流源的参考电流，记做 I_{REF}。式（6.4）和式（6.5）可以用来确定所需要的 R 值。

现在来看晶体管 Q_2。它的 V_{GS} 与 Q_1 相等，因此如果假设它工作在饱和区，那么其漏极电流（即电流源的输出电流 I_O）为

$$I_O = I_{D2} = \frac{1}{2}k_n'\left(\frac{W}{L}\right)_2 (V_{GS} - V_{tn})^2 \tag{6.6}$$

这里忽略了沟道长度调制效应。利用式（6.4）和式（6.6），我们可以得到输出电流 I_O 与参考电流 I_{REF} 的关系式如下：

$$\frac{I_O}{I_{REF}} = \frac{(W/L)_2}{(W/L)_1} \tag{6.7}$$

这是个简单而重要的关系：Q_1 与 Q_2 的特殊连接使得输出电流 I_O 与参考电流 I_{REF} 之间的关系可以用两个晶体管的宽长比来表示。换句话说，I_O 与 I_{REF} 的关系完全由晶体管的几何尺寸决定。特别是对于两个完全一样的晶体管，$I_O = I_{REF}$，电路在输出端简单地复制或镜像了参考电流。这使得由 Q_1 与 Q_2 构成的电路被称为镜像电流源，这个名称在器件具有任何尺寸比例时都适用。

图 6.5 画出了一个镜像电流源，它的输入参考电流由一个电流源提供，这种表示简洁通用电流源的电流增益（即电流传输比）由式（6.7）给出。

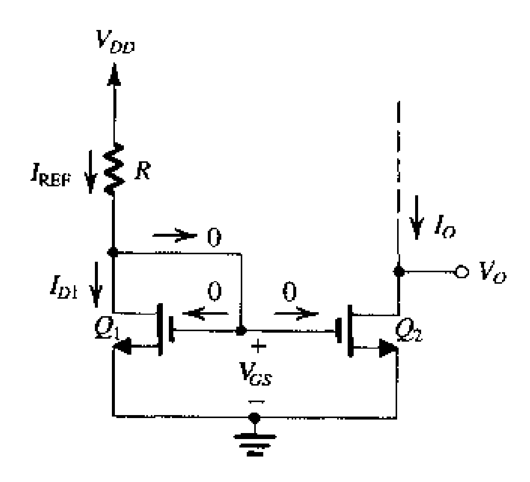


图 6.4　MOSFET 基本恒流源电路

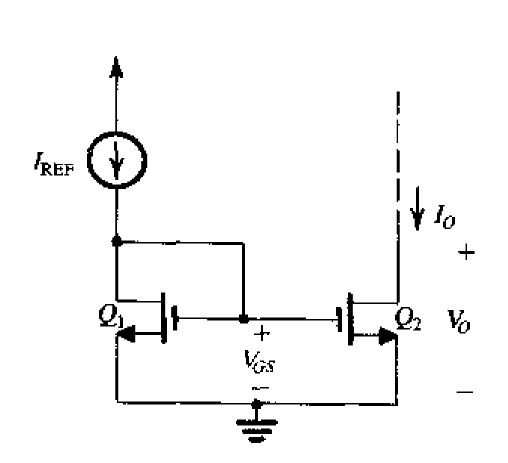


图 6.5　MOSFET 基本镜像电流源

[1] 这样的晶体管称为连接成二极管的晶体管

V_O 对 I_O 的影响　在以上对图 6.4 中电流源工作情况的叙述中，我们假设 Q_2 工作在饱和区。显然，要让 Q_2 成为恒流源输出端，这是必须的。为了保证 Q_2 处于饱和区，Q_2 漏端连接的电路必须使得漏极电压 V_O 满足以下关系：

$$V_O \geqslant V_{GS} - V_t \tag{6.8}$$

或者等价为用 Q_1 和 Q_2 的过驱动电压 V_{OV} 来表示：

$$V_O \geqslant V_{OV} \tag{6.9}$$

换句话说，当输出电压 V_O 低至 V_{OV}，也就是零点几伏时，电流源仍可正常工作。

尽管到现在为止一直忽略沟道长度调制效应，实际上它对电流源的工作产生很大的影响。简单起见，考虑 Q_1 和 Q_2 完全相同的情况。Q_2 的漏极电流 I_O 与 Q_1 中的电流 I_{REF} 要相等，V_O 的取值必须要使两个器件的 V_{DS} 相等，也就是 $V_O = V_{GS}$。当 V_O 超过这个值时，I_O 会根据 Q_2 增量输出电阻 r_{o2} 随之增大。图 6.6 中的 I_O 与 V_O 关系曲线说明了这一点。注意，因为 Q_2 工作时 V_{GS} 恒定（由流过匹配器件 Q_1 的电流 I_{REF} 决定），因此图 6.6 中的曲线就是当 V_{GS} 等于某一个特定值时 Q_2 的 i_D 与 v_{DS} 的特性曲线。

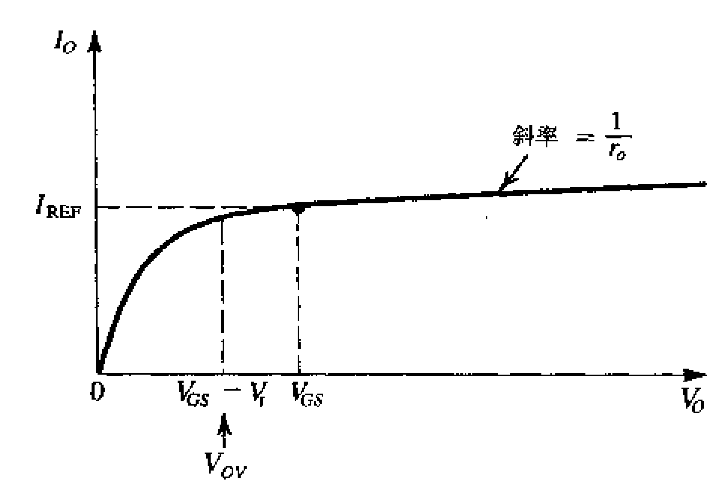


图 6.6　Q_1 和 Q_2 匹配时图 6.4 所示电流源和图 6.5 所示镜像电流源的输出特性曲线

总而言之，图 6.4 所示电流源和图 6.5 所示镜像电流源都具有有限大小的输出电阻 R_o：

$$R_o \equiv \frac{\Delta V_O}{\Delta I_O} = r_{o2} = \frac{V_{A2}}{I_O} \tag{6.10}$$

这里，I_O 由式（6.6）给出，V_{A2} 是晶体管 Q_2 的厄尔利电压。对于某一指定的制造工艺，V_A 与晶体管沟道长度成正比。于是，要得到大输出电阻，电流源通常被设计成使用相对较长沟道的晶体管。最后，我们注意到可以把电流 I_O 表示为

$$I_O = \frac{(W/L)_2}{(W/L)_1} I_{REF} \left(1 + \frac{V_O - V_{GS}}{V_{A2}}\right) \tag{6.11}$$

例题 6.4　已知 $V_{DD} = 3$ V，$I_{REF} = 100\ \mu$A，要求设计图 6.4 中的电路，使得输出电流等于 100 μA。如果 Q_1 和 Q_2 匹配且沟道长度为 1 μm，宽度为 10 μm，$V_t = 0.7$ V，$k_n' = 200\ \mu A/V^2$，求 R 的值。最小的 V_O 可能值是多少？假设制造工艺的厄尔利电压 $V_A' = 20$ V/μm，求电流源的输出电阻。同时求出 V_O 改变+1 V 时引起的输出电流的变化。

解：

$$I_{D1}=I_{\mathrm{REF}}=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_1 V_{OV}^2$$

$$100=\frac{1}{2}\times200\times10V_{OV}^2$$

则

$$V_{OV}=0.316\ \mathrm{V}$$

和

$$V_{GS}=V_t+V_{OV}=0.7+0.316\cong1\ \mathrm{V}$$

$$R=\frac{V_{DD}-V_{GS}}{I_{\mathrm{REF}}}=\frac{3-1}{0.1\ \mathrm{mA}}=20\ \mathrm{k\Omega}$$

$$V_{O\min}=V_{OV}\cong0.3\ \mathrm{V}$$

对所采用的晶体管，有 $L=1\ \mu\mathrm{m}$，则

$$V_A=20\times1=20\ \mathrm{V}$$

$$r_{o2}=\frac{20\ \mathrm{V}}{100\ \mu\mathrm{A}}=0.2\ \mathrm{M\Omega}$$

在 $V_O=V_{GS}=1\ \mathrm{V}$ 时的输出电流为 100 μA，如果输出电压有+1 V 的变化，I_O 的相应变化为

$$\Delta I_O=\frac{\Delta V_O}{r_{o2}}=\frac{1\ \mathrm{V}}{0.2\ \mathrm{M\Omega}}=5\ \mu\mathrm{A}$$ ■

练习 D6.4 对于例题6.4中的电流源，要求减小输出电压的改变 ΔV_O 引起的输出电流的改变量 ΔI_O。设 ΔV_O 为 1 V 时，I_O 改变 1%。那么 Q_1 和 Q_2 的尺寸应该如何改变？假定 Q_1 和 Q_2 保持匹配。

答案：$L=5\ \mu\mathrm{m}$；$W=50\ \mu\mathrm{m}$

6.3.2 MOS 电流导向电路

前面已经提到，一旦恒定电流生成，就可以将它复制到集成电路的各级放大器以提供直流偏置电流。显然，镜像电流源可以用来实现这个导向功能。图 6.7 显示了一个简单的电流导向电路。

这里，Q_1 与 R 共同决定参考电流 I_{REF}。晶体管 Q_1，Q_2 和 Q_3 构成了有两个输出端的镜像电流源：

$$I_2=I_{\mathrm{REF}}\frac{(W/L)_2}{(W/L)_1} \tag{6.12}$$

$$I_3=I_{\mathrm{REF}}\frac{(W/L)_3}{(W/L)_1} \tag{6.13}$$

为了保证工作在饱和区，Q_2 和 Q_3 的漏端电压必须满足以下限制条件：

$$V_{D2},V_{D3}\geqslant-V_{SS}+V_{GS1}-V_{tn} \tag{6.14}$$

或等价于：

$$V_{D2},V_{D3}\geqslant-V_{SS}+V_{OV1} \tag{6.15}$$

这里，V_{OV1} 是 Q_1，Q_2 和 Q_3 工作时的过驱动电压。换句话说，Q_2 和 Q_3 漏端必须至少比 $-V_{SS}$ 高过

驱动电压值的值，这个值通常是零点几伏。

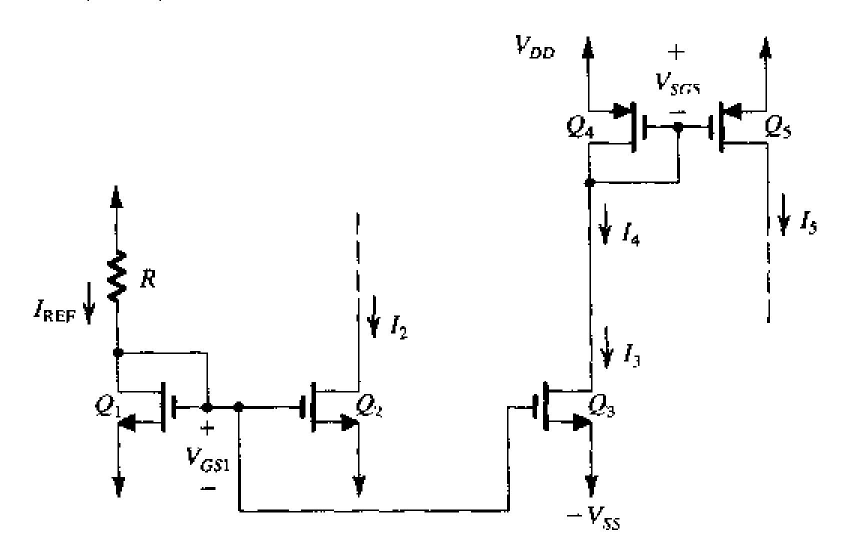


图 6.7　电流导向电路

继续我们对图 6.7 的讨论，我们看到电流 I_3 流入由 PMOS 管 Q_4 和 Q_5 组成的镜像电流源的输入端。这个镜像电流源提供了以下电流：

$$I_5 = I_4 \frac{(W/L)_5}{(W/L)_4} \tag{6.16}$$

这里，$I_4 = I_3$。为了让 Q_5 保持工作在饱和区，它的漏端电压必须满足下式：

$$V_{D5} \leqslant V_{DD} - |V_{OV5}| \tag{6.17}$$

其中，V_{OV5} 是 Q_5 工作时的过驱动电压。

最后需要强调的一点是，与 Q_2 从负载（图 6.7 中未画出）拉出它的电流 I_2 相反，Q_5 将它的电流 I_5 推入负载（图 6.7 中未画出），因而 Q_5 被称为电流源是合适的，而 Q_2 更合适的名称应该是电流吸收器。在集成电路中，电流源和电流吸收器通常都是必须的。

练习 6.5　见图 6.7 所示的电路，已知 $V_{DD} = V_{SS} = 1.5$ V，$V_{tn} = 0.6$ V，$V_{tp} = -0.6$ V，所有沟道长度为 1μm，$k_n' = 200$ μA/V^2，$k_p' = 80$ μA/V^2，以及 $\lambda = 0$。当 $I_{REF} = 10$ μA 时，求所有晶体管的沟道宽度以使 $I_2 = 60$ μA，$I_3 = 20$ μA 以及 $I_5 = 80$ μA。另外要求 Q_2 漏端的电压与负电源电压相比其增量不能大于 0.2 V，Q_5 漏端的电压与正电源电压相比其减少量也不能大于 0.2 V。

答案：$W_1 = 2.5$ μm；$W_2 = 15$ μm；$W_3 = 5$ μm；$W_4 = 12.5$ μm；$W_5 = 50$ μm

6.3.3 BJT 电路

基本的 BJT 镜像电流源如图 6.8 所示，它与 MOS 镜像电流源的工作方式十分类似，但是有两个重要的不同点：第一，BJT 非零的基极电流（或者等价地说，是有限的 β 值）使得镜像电流源的电流传输比有所偏差；第二，电流传输比由 Q_1 和 Q_2 发射结的相对面积决定。

首先考虑 β 值足够大以至可以忽略基极电流的情况。参考电流 I_{REF} 从连接成二极管的晶体管 Q_1 中流过，形成对应的电压 V_{BE}，该电压反过来作用于 Q_2 的基极和发射极之间。现在如果 Q_2 与 Q_1 匹配，更精确地说，Q_2 的 EB 结的面积与 Q_1 相等，则 Q_2 的饱和电流 I_S 也与 Q_1 相等，那么 Q_2 的集电极电流就与 Q_1 相等。也就是说，

$$I_O = I_{REF} \tag{6.18}$$

然而，要使这个公式成立，Q_2 必须工作在放大区。要做到这一点，集电极电压 V_O 要比发射极电压高 0.3 V 左右。

要获得不同于 1 的电流传输比，比如说 m，我们只要简单地把 Q_2 EB 结的面积设置为 Q_1 的 m 倍即可。这就是说，

$$I_O = mI_{REF} \tag{6.19}$$

一般而言，电流传输比可以表示为

$$\frac{I_O}{I_{REF}} = \frac{I_{S2}}{I_{S1}} = \frac{Q_2\text{的发射结面积}}{Q_1\text{的发射结面积}} \tag{6.20}$$

或者，如果面积比 m 是一个整数，那么 Q_2 可以等效为 m 个并联的与 Q_1 匹配的晶体管

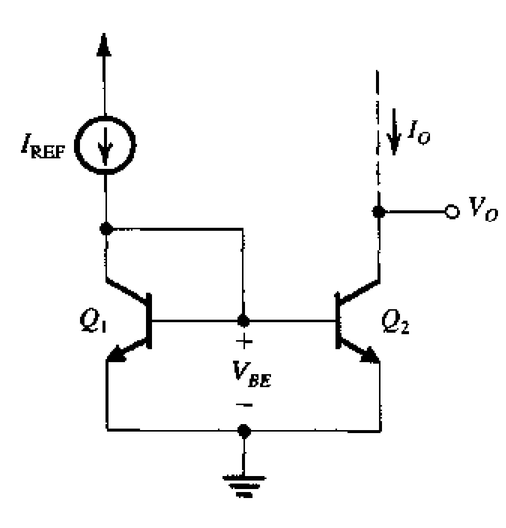


图 6.8　BJT 基本镜像电流源

接下来我们考虑有限 β 值对电流传输比的影响。图 6.9 中显示的是电流传输比额定值为 1（即 Q_2 与 Q_1 匹配时）的分析过程。分析的要点是，由于 Q_1 与 Q_2 匹配，V_{BE} 相等，则它们的集电极电流也相等。余下的分析过程简单易懂。由 Q_1 集电极的节点方程得出：

$$I_{REF} = I_C + 2I_C/\beta = I_C\left(1+\frac{2}{\beta}\right)$$

最后因为 $I_O = I_C$，电流传输比可以表示为

$$\frac{I_O}{I_{REF}} = \frac{I_C}{I_C\left(1+\frac{2}{\beta}\right)} = \frac{1}{1+\frac{2}{\beta}} \tag{6.21}$$

我们注意到当 β 趋向于 ∞ 时，I_O/I_{REF} 达到额定值 1。然而，对于典型的 β 值，电流传输比的偏差会相当大。比如说，β=100 会使电压传输比产生 2%的偏差。另外，有限 β 值引起的偏差随着额定电流传输比的增加而增加。希望读者证明，对于一个额定电流传输比为 m，即 $I_{S2} = mI_{S1}$ 的镜像电流源，实际的电流传输比可以表示为

$$\frac{I_O}{I_{REF}} = \frac{m}{1+\frac{m+1}{\beta}} \tag{6.22}$$

图 6.9　考虑 BJT 具有有限 β 值的镜像电流源的分析

与 MOS 镜像电流源相同，BJT 镜像电流源的输出电阻 R_o 也具有有限值：

$$R_o \equiv \frac{\Delta V_O}{\Delta I_O} = r_{o2} = \frac{V_{A2}}{I_O} \tag{6.23}$$

这里，V_{A2} 和 r_{o2} 分别是 Q_2 的厄尔利电压和输出电阻。因而，即使我们忽略有限 β 值引起的偏差，要使输出电流 I_O 与其额定值一致，必须要保证 Q_2 的 V_{CE} 值与 Q_1 相等，也就是要使 $V_O = V_{BE}$。当 V_O 变大时，I_O 会随之变大。同时考虑有限的 β 和 R_o，我们可以将额定电流传输比为 m 的 BJT 镜像

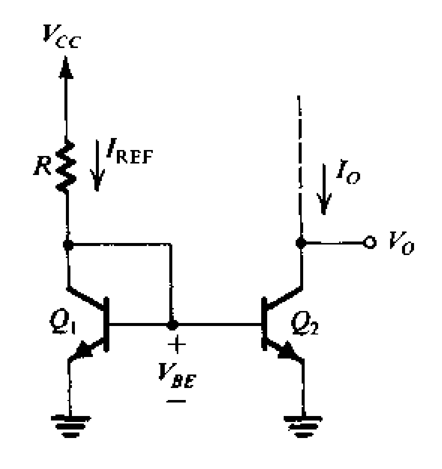


图 6.10 一个简单的 BJT 电流源

电流源的输出电流表示为

$$I_O = I_{REF}\left(\frac{m}{1+\frac{m+1}{\beta}}\right)\left(1+\frac{V_O - V_{BE}}{V_{A2}}\right) \tag{6.24}$$

这里我们注意到，从厄尔利电压引起的偏差的表达式中可以看出，当$V_O = V_{BE}$时这一项为零。

练习 6.6 考虑一个 BJT 镜像电流源，其额定电流传输比为 1。已知$I_S = 10^{-15}$A，$\beta = 100$ 以及$V_A = 100$ V。当$I_{REF} = 1$ mA 时，求$V_O = 5$ V 时对应的I_O值，同时求输出电阻

答案：1.02 mA；100 kΩ

一种简单的电流源 与 MOS 管的情况类似，BJT 基本镜像电流源可以用来实现简单的电流源。就像图 6.10 中给出的那样。这里的参考电流为

$$I_{REF} = \frac{V_{CC} - V_{BE}}{R} \tag{6.25}$$

其中，V_{BE}是基极与发射极之间的电压，对应于想要得到的以下的输出电流I_O：

$$I_O = \frac{I_{REF}}{1+(2/\beta)}\left(1+\frac{V_O - V_{BE}}{V_A}\right) \tag{6.26}$$

该电流源的输出电阻是Q_2的r_o：

$$R_o = r_{o2} = \frac{V_A}{I_O} \simeq \frac{V_A}{I_{REF}} \tag{6.27}$$

练习 D6.7 假设可用的晶体管的饱和电流$I_S = 10^{-15}$A，$\beta = 100$，$V_A = 50$ V。试设计图 6.10 中的电流源电路，使得当$V_O = 2$ V 时输出电流$I_O = 0.5$ mA。电源$V_{CC} = 5$ V。求I_{REF}，R和$V_{O\min}$的值。同时求$V_O = 5$ V 时的I_O值。

答案：0.497 mA；8.71 kΩ；0.3 V；0.53 mA

电流导向 为了给集成电路中不同级的放大器提供偏置电流，MOS 管中提到的电流导向方法对于双极型晶体管同样适用。作为例子，考虑图 6.11 中的电路。直流参考电流I_{REF}在包含连接成二极管的晶体管Q_1、电阻R和连接成二极管的晶体管Q_2的支路上生成：

$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{EB1} - V_{BE2}}{R} \tag{6.28}$$

现在，为了简单起见，假定所有的晶体管的β值都很大，因此基极电流小到可以忽略。我们同样忽略厄尔利效应。连接成二极管的Q_1与Q_3构成了一个镜像电流源，从而Q_3输出与I_{REF}相等的恒定电流I。Q_3可以把这个电流输出给任何负载，只要其集电极电压不超过（$V_{CC} - 0.3$ V），否则Q_3会进入饱和区。

为了生成两倍于I_{REF}的恒定电流，两个与Q_1匹配的晶体管（Q_5和Q_6）并联连接，其整体与Q_1构成了一个镜像。因而$I_3 = 2I_{REF}$。注意，Q_5和Q_6的并联连接与一个 EB 结面积两倍于Q_1的晶体管等效。而这个电路在集成电路制造中就是采用后一种方法实现的。

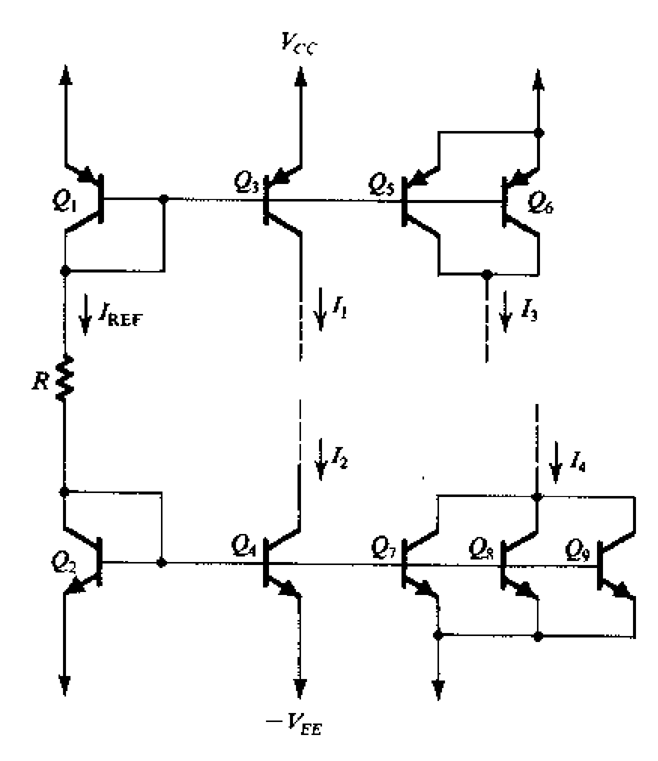


图 6.11　产生一些不同大小的恒定电流

晶体管 Q_4 与 Q_2 形成了一个镜像，于是 Q_4 输出与 I_{REF} 相等的恒定电流 I_2。注意，Q_3 将电流提供给部分电路，这部分电路的电压不能超过（$V_{CC}-0.3$ V）；而 Q_4 从部分电路吸入电流，这部分电压不能低于 $-V_{EE}+0.3$ V。最后，为了得到 3 倍于 I_{REF} 的电流，3 个与 Q_2 匹配的晶体管（Q_7，Q_8 和 Q_9）并联连接，其整体与 Q_2 构成了一个镜像。同样，在集成电路实现过程中，Q_7，Q_8 和 Q_9 将被一个结面积 3 倍于 Q_2 的晶体管代替。

练习 6.8　图 E6.8 所示是一个具有 N 个输出的镜像电流源。假定所有的晶体管都相互匹配，β 值无穷大。忽略有限输出电阻的影响，证明：

$$I_1 = I_2 = \cdots = I_N = \frac{1}{1+(N+1)/\beta}$$

当 $\beta=100$ 时，求最大数量的输出端并使其偏差不超过 10%。

答案：9

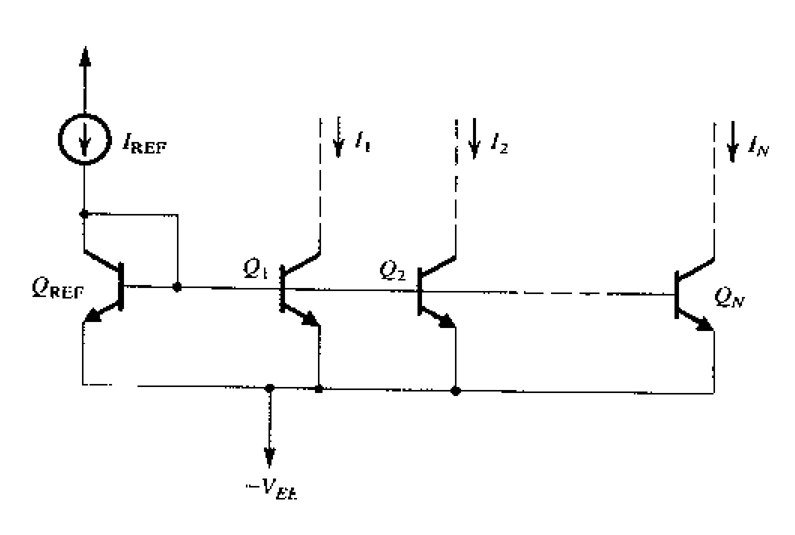


图 E6.8

6.4　高频响应——通论

本章及以后将要介绍的放大器电路是由集成电路技术制造的。因为它们不使用旁路电容，而且各级集成电路级联放大器是直接耦合的，也就是说，并不使用我们在第 4 章和第 5 章中用到的大耦合电容[1]。这些直接耦合或称做直流的放大器的高频响应通常具有图 6.12 所示的曲线。我们注意到增益保持在中频值 A_M，直到频率下降到零（直流状态）。也就是说，与采用旁路电容（见 4.9 节和 5.9 节）的电容耦合放大器相比，直接耦合的集成电路放大器在低频段没有增益损失。然而，增益在高频段有所下降，这是由于晶体管内部电容的作用。这些电容包含在图 6.3 所示的高频器件模型中，代表了晶体管内部产生的电荷储存现象。

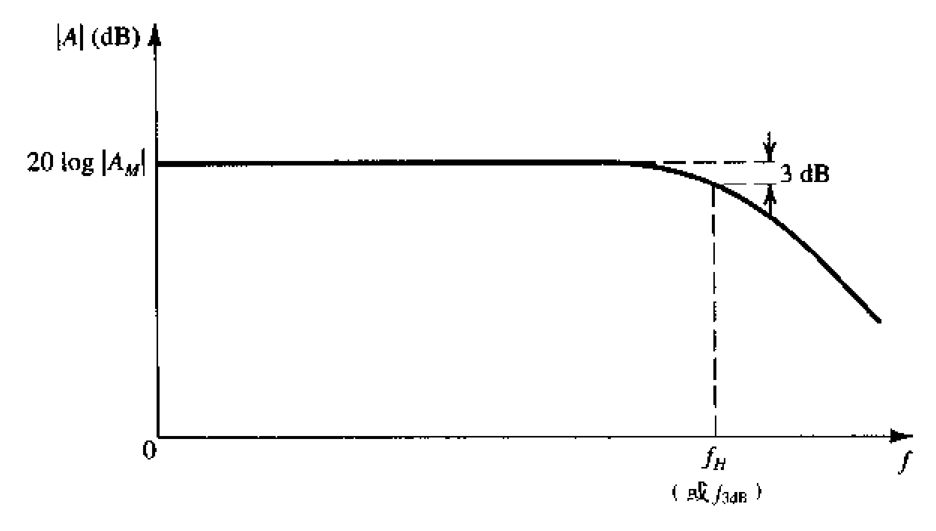


图 6.12　直接耦合（dc）放大器的频率响应。可见低频区增益并没有下降，中频增益可以向低频区延伸到零

共源和共发射极放大器的高频响应在 4.9 节和 5.9 节中讨论过。本章和下一章在介绍各种集成电路放大器的组态时，我们还会考虑它们的高频工作情况。学习这些内容的一些工具将在本节讨论。

6.4.1　高频增益函数

放大器增益在考虑到晶体管内部电容之后可以表示为一个复频域变量 s 的函数，其一般形式为

$$A(s) = A_M F_H(s) \tag{6.29}$$

其中，A_M 是中频增益，对于我们正在介绍的集成电路放大器而言等于低频或称直流增益。A_M 的值可以通过忽略晶体管内部电容的影响而对放大器等效电路进行分析得到。也就是说，假设内部电容完全呈现为开路状态。如果考虑到这些电容，则增益需要乘以因子 $F_H(s)$。这个因子可以利用通常为实数的极点和零点[2]的形式表示如下：

$$F_H(s) = \frac{(1+s/\omega_{Z1})(1+s/\omega_{Z2})\ldots(1+s/\omega_{Zn})}{(1+s/\omega_{P1})(1+s/\omega_{P2})\ldots(1+s/\omega_{Pn})} \tag{6.30}$$

其中，ω_{P1}，ω_{P2}，…，ω_{Pn} 是正数，表示 n 个实数极点的频率；ω_{Z1}，ω_{Z2}，…，ω_{Zn} 可正可负，

---

① 有些情况下，可能会用到一个或两个芯片外的耦合电容来把整个集成电路放大器与信号源和/或负载连接。

② 在这里，我们假定读者熟悉 s 域分析、传输函数零点和极点的定义以及波特图的相关内容。附录 E 简要介绍了这些内容

也可以是无穷大，表示 n 个实数传输零点的频率。应该注意式（6.30），可以预见当 s 趋近于 0 时，$F_H(s)$ 趋向 1，增益趋向 A_M。

6.4.2　确定 3 dB 频率 f_H

放大器设计人员通常对接近于中频段的高频部分比较感兴趣。这是因为设计者需要估计以及在需要的情况下调整上限 3 dB 频率 f_H（或者 ω_H；$f_H=\omega_H/2\pi$）。为了达到这个目的，必须指出的是在很多情况下零点无穷大，或者频率很高，对确定 ω_H 作用很小。另外，如果其中一个极点（比如说 ω_{P1}）比其他极点的频率都要小得多，那么这个极点会对放大器 ω_H 值起到很大作用。换句话说，这个极点会主宰放大器的高频响应，我们称这个放大器属于主极点响应类型。在这种情况下，$F_H(s)$ 函数可以近似为

$$F_H(s)\simeq\frac{1}{1+s/\omega_{P1}}\tag{6.31}$$

这是一阶（或者 STC）低通网络（参见附录 D）的传输函数。如果存在主极点，则 ω_H 的确定将极其简单：

$$\omega_H\simeq\omega_{P1}\tag{6.32}$$

这就是我们在 4.9 节中分析共源放大器以及在 5.9 节中分析共发射极放大器时遇到的情况。作为一条经验准则，当最低频率的极点与最近极点或零点之间的距离至少大于两个二倍频程（即相差 4 倍）时，主极点存在。

如果主极点不存在，3 dB 频率 ω_H 可以通过 $|F_H(j\omega)|$ 图确定。也可以通过以下方法可以得到 ω_H 的一个近似公式：为简单起见，考虑一个包含两个极点和两个零点的位于高频段的电路，即

$$F_H(s)=\frac{(1+s/\omega_{Z1})(1+s/\omega_{Z2})}{(1+s/\omega_{P1})(1+s/\omega_{P2})}\tag{6.33}$$

将 $s=j\omega$ 代入并取幅度的平方得到

$$|F_H(j\omega)|^2=\frac{(1+\omega^2/\omega_{Z1}^2)(1+\omega^2/\omega_{Z2}^2)}{(1+\omega^2/\omega_{P1}^2)(1+\omega^2/\omega_{P2}^2)}$$

根据定义，当 $\omega=\omega_H$ 时，$|F_H|^2=\frac{1}{2}$，于是

$$\begin{aligned}\frac{1}{2}&=\frac{(1+\omega_H^2/\omega_{Z1}^2)(1+\omega_H^2/\omega_{Z2}^2)}{(1+\omega_H^2/\omega_{P1}^2)(1+\omega_H^2/\omega_{P2}^2)}\\&=\frac{1+\omega_H^2\left(\frac{1}{\omega_{Z1}^2}+\frac{1}{\omega_{Z2}^2}\right)+\omega_H^4/\omega_{Z1}^2\omega_{Z2}^2}{1+\omega_H^2\left(\frac{1}{\omega_{P1}^2}+\frac{1}{\omega_{P2}^2}\right)+\omega_H^4/\omega_{P1}^2\omega_{P2}^2}\end{aligned}\tag{6.34}$$

因为 ω_H 通常要比所有极点和零点的频率低，我们可以忽略含有 ω_H^4 的项。解出 ω_H 得到

$$\omega_H\cong 1\Big/\sqrt{\frac{1}{\omega_{P1}^2}+\frac{1}{\omega_{P2}^2}-\frac{2}{\omega_{Z1}^2}-\frac{2}{\omega_{Z2}^2}}\tag{6.35}$$

这个关系式可以推广到任意数目的极点和零点：

$$\omega_H \cong 1\Bigg/\sqrt{\left(\frac{1}{\omega_{P1}^2}+\frac{1}{\omega_{P2}^2}+\cdots\right)-2\left(\frac{1}{\omega_{Z1}^2}+\frac{1}{\omega_{Z2}^2}+\cdots\right)} \tag{6.36}$$

注意，如果其中一个极点（比如说P_1）是主极点，那么$\omega_{P1} \ll \omega_{P2},\omega_{P3},\cdots,\omega_{Z1},\omega_{Z2},\cdots$，式（6.36）变成了式（6.32）。

例题 6.5 一个放大器的高频响应可以用以下传输函数表示：

$$F_H(s)=\frac{1-s/10^5}{(1+s/10^4)(1+s/4\times10^4)}$$

分别近似和精确确定其 3 dB 频率。

解：我们注意到最低的极点为 10^4 rad/s，比另一个极点低两个二倍频程，比零点低十倍频程，我们认为基本上出现了主极点情况。$\omega_H \simeq 10^4$ rad/s。利用式（6.35）可以得到对ω_H更好的估计值，过程如下：

$$\omega_H = 1\Bigg/\sqrt{\frac{1}{10^8}+\frac{1}{16\times10^8}-\frac{2}{10^{10}}}$$
$$=9800 \text{ rad/s}$$

ω_H 的精确值可以通过给定的传输函数求出，为 9537 rad/s。最后，我们在图 6.13 中画出了给定传输函数的波特图和精确图。注意，这是相对中频增益归一化的放大器高频响应曲线。也就是说，如果中频增益为 100 dB，则整个曲线会向上平移 100 dB。

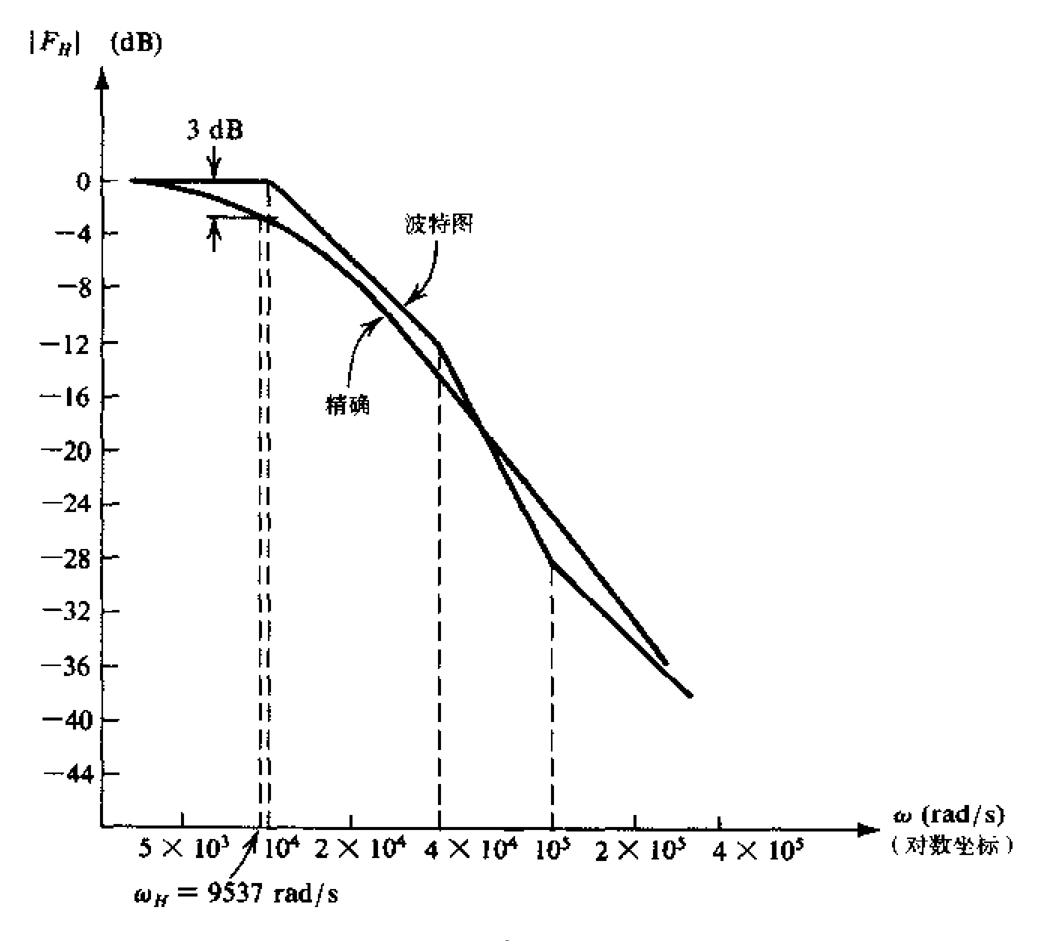


图 6.13 例题 6.5 中放大器归一化高频响应 ■

6.4.3 利用开路时间常数估算 f_H

如果放大器传输函数的零点和极点可以很容易地求出，那么我们就可以使用上述的确定 f_H 的方法。但是很多情况下，快速手工分析确定零点和极点并不是一件简单的事。这种情况下，可以使用以下的方法估算 f_H 值。

考虑函数 $F_H(s)$［式（6.30）］，它确定了放大器的高频响应。可以将分子和分母因式展开得到 $F_H(s)$ 的另一种表达形式：

$$F_H(s)=\frac{1+a_1s+a_2s^2+\cdots+a_ns^n}{1+b_1s+b_2s^2+\cdots+b_ns^n} \tag{6.37}$$

其中，系数 a 和 b 分别与零点和极点的频率有关。特别是系数 b_1 可以写成

$$b_1=\frac{1}{\omega_{P1}}+\frac{1}{\omega_{P2}}+\cdots+\frac{1}{\omega_{Pn}} \tag{6.38}$$

可以证明［参见 Gray 和 Searle（1969）］，b_1 的值可以这样得到：依次考虑高频等效电路中的各个电容。每次考虑一个电容，其他所有电容设为零（等效于用开路代替它们）。也就是说，为了确定电容 C_i 的作用，我们令其他所有电容和信号输入源为零，求出从 C_i 看进去的电阻 R_{io}。对电路中的其他电容重复这一过程。将单独计算得到的时间常数相加，得到 b_1 的值，我们称之为开路时间常数：

$$b_1=\sum_{i=1}^{n}C_iR_{io} \tag{6.39}$$

这里我们假设高频等效电路中有 n 个电容。

这种求 b_1 的方法是精确的，而当用 b_1 的值确定 ω_H 时有一个近似。具体地说，如果零点不是主极点，而极点中的一个（比如说 P_1）是主极点，则由式（6.38）可以得到

$$b_1\simeq\frac{1}{\omega_{P1}} \tag{6.40}$$

但是，上限 3 dB 频率近似等于 ω_{P1}，所以可得到以下近似式：

$$\omega_H\simeq\frac{1}{b_1}=\frac{1}{[\sum_i C_iR_{io}]} \tag{6.41}$$

这里必须指出的是，在复杂的电路中，我们通常不知道是否存在主极点。但即使主极点不存在，利用式（6.41）来确定 ω_H 通常可以得出非常好的结果[1]。我们用一个例子来说明这种方法。

例题 6.6　图 6.14（a）所示是一个共源 MOSFET 放大器的高频等效电路。这个放大器由源电阻 R_{sig} 的信号源 V_{sig} 供电。电阻 R_{in} 来源于偏置网络。电阻 R_L' 是负载电阻 R_L、漏极偏置电阻 R_D 和 FET 输出电阻 r_o 的并联等效电阻。电容 C_{gs} 和 C_{gd} 是 MOSFET 的内部电容。已知 $R_{sig}=100\ \text{k}\Omega$，$R_{in}=420\ \text{k}\Omega$，$C_{gs}=C_{gd}=1\ \text{pF}$，$g_m=4\ \text{mA/V}$，以及 $R_L'=3.33\ \text{k}\Omega$。求中频电压增益 $A_M=V_o/V_{sig}$ 以及上限 3 dB 频率 f_H。

解：中频电压增益可以通过假定 MOS 管的电容完全开路求得。这样可以得到图 6.14（b）所示的中频等效电路，从中求得

① 开路时间常数法能够得到好的结果，但必须所有极点都是实数。本章的例子就是这种情况。

$$A_M \equiv \frac{V_o}{V_{sig}} = -\frac{R_{in}}{R_{in}+R_{sig}}(g_m R_L')$$
$$= -\frac{420}{420+100} \times 4 \times 3.33 = -10.8 \text{ V/V}$$

我们用开路时间常数法来求 ω_H。从 C_{gs} 看进去的电阻 R_{gs} 可以通过令 $C_{gd}=0$ 以及短接信号源 V_{sig} 求得。这样可得到图 6.14（c）所示的电路，从中求得

$$R_{gs} = R_{in} \parallel R_{sig} = 420 \text{ k}\Omega \parallel 100 \text{ k}\Omega = 80.8 \text{ k}\Omega$$

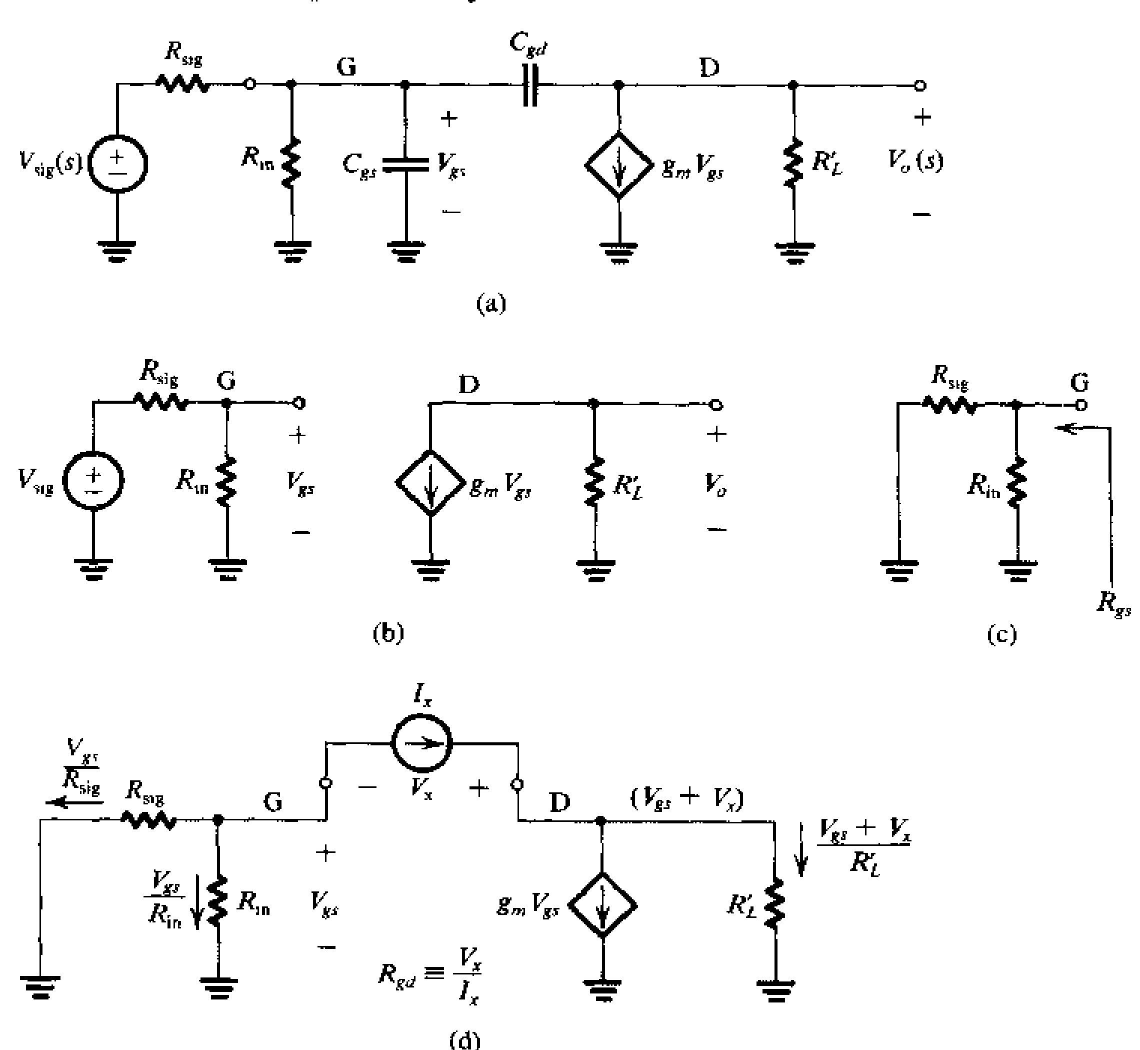


图 6.14 例题 6.6 的电路：（a）MOSFET 放大器的高频等效电路；（b）中频等效电路；（c）用来确定从 C_{gs} 看进去的电阻的电路；（d）用来确定从 C_{gd} 看进去的电阻的电路

因此 C_{gs} 的开路时间常数为

$$\tau_{gs} \equiv C_{gs} R_{gs} = 1 \times 10^{-12} \times 80.8 \times 10^3 = 80.8 \text{ns}$$

从 C_{gd} 看进去的电阻 R_{gd} 可以通过令 $C_{gs}=0$ 以及短接 V_{sig} 求得，这样可以得到图 6.14（d）所示的电路。在电路中加上测试电流 I_x 可写出 G 处的节点方程如下：

$$I_x = -\frac{V_{gs}}{R_{in}} - \frac{V_{gs}}{R_{sig}}$$

则

$$V_{gs} = -I_x R' \tag{6.42}$$

其中，$R' = R_{in} \parallel R_{sig}$　D 处的节点方程为

$$I_x = g_m V_{gs} + \frac{V_{gs} + V_x}{R_L'}$$

将式（6.42）的 V_{gs} 代入并整理可以得到

$$R_{gd} \equiv \frac{V_x}{I_x} = R' + R_L' + g_m R_L' R' = 1.16\ \text{M}\Omega$$

则 C_{gd} 的开路时间常数为

$$\begin{aligned}\tau_{gd} &\equiv C_{gd} R_{gd} \\ &= 1\times10^{-12} \times 1.16\times10^{6} = 1160\ \text{ns}\end{aligned}$$

由下式可以确定上限 3 dB 频率 ω_H：

$$\begin{aligned}\omega_H &\simeq \frac{1}{\tau_{gs} + \tau_{gd}} \\ &= \frac{1}{(80.8 + 1160)\times10^{-9}} = 806\ \text{krad/s}\end{aligned}$$

即

$$f_H = \frac{\omega_H}{2\pi} = 128.3\ \text{kHz}$$ ■

开路时间常数法有一个很重要的优点，它能告诉电路设计人员哪个电容在决定放大器频率响应时起主要作用。具体而言，各个电容对有效时间常数 b_1 的贡献大小一目了然。比如在上面的例子中，我们看到电容 C_{gd} 在确定 f_H 值时起决定性作用。我们也注意到，要有效增加 f_H，我们可以使用 C_{gd} 值较小的 MOS 管，或在给定 MOSFET 的情况下使用较小的 R' 或 R_L' 以减小 R_{gd}。如果 R' 固定，MOSFET 给定，则增加带宽的惟一办法就是减小负载电阻。然而遗憾的是，这同时也减小了中频增益。这是需要在增益和带宽之间做出权衡的例子之一。这种权衡是很常见的现象，正如早先提到过的那样。

6.4.4　米勒定理

在我们对共源放大器（见 4.9 节）和共发射极放大器（见 5.9 节）的高频响应进行分析时使用了一种方法，就是将跨接电容（C_{gs} 或 C_μ）替换为等效的输入电容。这种有用且有效的方法源自一个通用的定理，即米勒（Miller）定理，我们现在就来介绍它。

考虑图 6.15（a）所示的情况。作为一个未画出的大电路的一部分，我们隔离出了两个电路节点，标记为 1 和 2。它们之间由阻抗 Z 连接。节点 1 和节点 2 同样也与电路的其他部分相连，图中用节点处发出的虚线表示。另外，假定已经通过某种方式确定出节点 2 的电压与节点 1 的电压存在以下关系：

$$V_2 = K V_1 \tag{6.43}$$

特殊情况下，K 是增益因子，可正可负，幅度通常大于 1。但是这不属于米勒定理的假定。

米勒定理称，阻抗 Z 可以用两个阻抗代替：接在节点 1 和地之间的 Z_1，接在节点 2 和地之间的 Z_2，并且

$$Z_1 = Z/(1-K) \tag{6.44a}$$

以及

$$Z_2 = Z\Big/\left(1-\frac{1}{K}\right) \tag{6.44b}$$

得到的等效电路如图 6.15（b）所示。

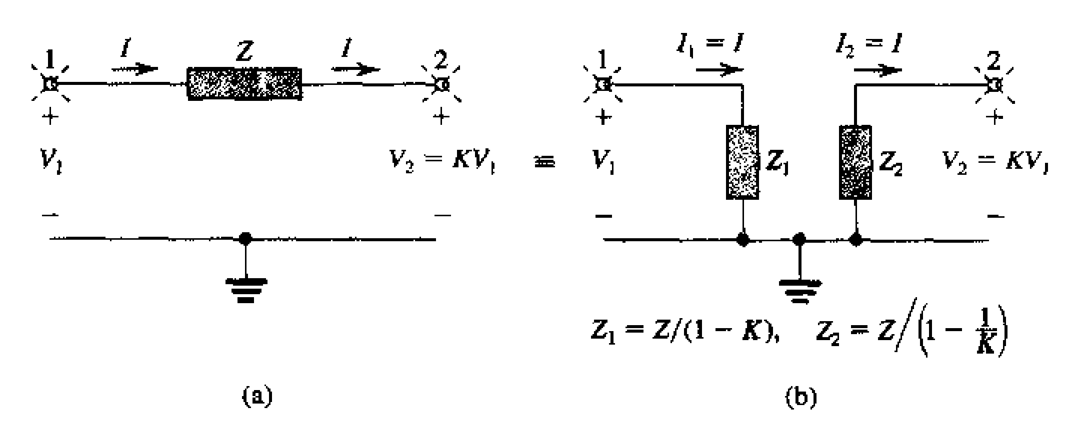


图 6.15 米勒等效电路

米勒定理的证明可以由以下方法导出式（6.44）而得到：在图 6.15（a）所示的原电路中，节点 1 仅能够通过阻抗 Z 从节点 1 抽走的电流 I 来"感知 Z 的存在"。因而，为了在等效电路中保证这个电流不变，我们必须选择合适的 Z_1 值，使得它抽走相等的电流：

$$I_1 = \frac{V_1}{Z_1} = I = \left(\frac{V_1 - KV_1}{Z}\right)$$

这样可以推出 Z_1 的式（6.44a）。同样，为了保证流入节点 2 的电流保持不变，必须选择 Z_2 值，使得

$$I_2 = \frac{0-V_2}{Z_2} = \frac{0-KV_1}{Z_2} = I = \frac{V_1 - KV_1}{Z}$$

这样可以推出 Z_2 的表达式，即式（6.44b）。

尽管没有强调，但上面得到的米勒等效电路仅仅当电路的其余部分保持不变时有效。否则，V_2 与 V_1 的比值可能发生变化。因而，米勒等效电路不能直接被用来确定放大器的输出电阻。这是因为在求解输出电阻时，我们隐含假定信号源设为零，一个测试信号源（电压或电流）加在输出端。显然，电路有了很大的改变，使得米勒等效电路不再适用。

例题 6.7 图 6.16（a）所示是一个理想电压放大器，增益为−100 V/V，输入输出端之间接有阻抗 Z。画出下列两种情况下的米勒等效电路，Z 分别为：（a）一个 1 MΩ的电阻；（b）一个 1 pF 的电容。每种情况下，利用等效电路求 V_o/V_{sig}。

解：（a）当 $Z = 1$ MΩ时，利用米勒定理，得到图 6.16（b）所示的等效电路，其中，

$$Z_1 = \frac{Z}{1-K} = \frac{1000\ \text{k}\Omega}{1+100} = 9.9\ \text{k}\Omega$$

$$Z_2 = \frac{Z}{1-\frac{1}{K}} = \frac{1\ \text{M}\Omega}{1+\frac{1}{100}} = 0.99\ \text{M}\Omega$$

电压增益可以通过下式求得：

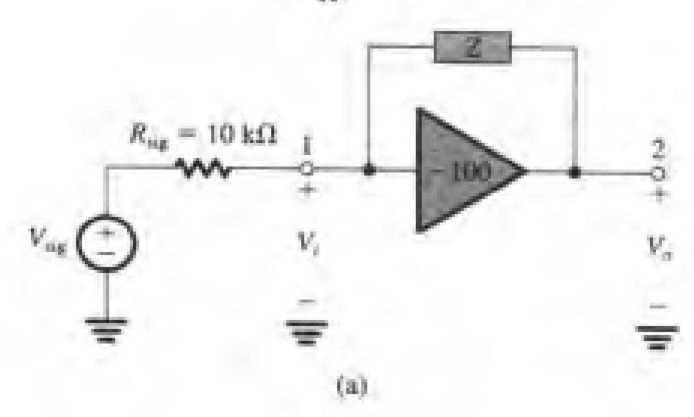
$$\frac{V_o}{V_{sig}} = \frac{V_o}{V_i}\frac{V_i}{V_{sig}} = -100 \times \frac{Z_1}{Z_1 + R_{sig}}$$

$$= -100 \times \frac{9.9}{9.9+10} = -49.7 \text{ V/V}$$

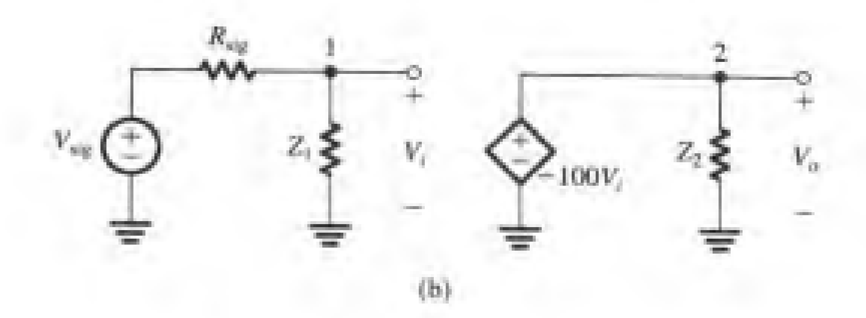
（b）当 Z 是一个 1 pF 的电容时，也就是 $Z = 1/sC = 1/s \times 1 \times 10^{-12}$ 时，利用米勒定理，我们用 Z_1 和 Z_2 代替 Z，其中，

$$Z_1 = \frac{Z}{1-K} = \frac{1/sC}{1+100} = 1/s(101C)$$

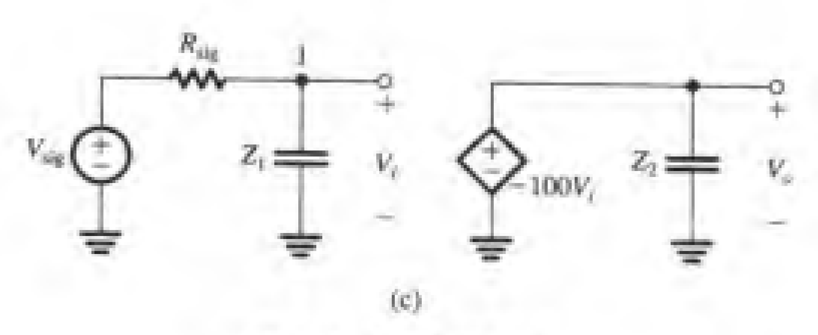
$$Z_2 = \frac{Z}{1-\frac{1}{K}} = \frac{1}{1.01}\frac{1}{sC} = \frac{1}{s(1.01C)}$$



(a)



(b)



(c)

图 6.16　例题 6.7 的电路

于是，Z_1 是一个值为 $101C = 101$ pF 的电容，Z_2 是一个值为 $1.01C = 1.01$ pF 的电容。得到的等效电路如图 6.16（c）所示。从中可以由下式求出电压增益：

$$\frac{V_o}{V_{sig}} = \frac{V_o}{V_i}\frac{V_i}{V_{sig}} = -100\frac{1/sC1}{1/(sC1) + R_{sig}}$$

$$=\frac{-100}{1+sC_1R_{sig}}$$

$$=\frac{-100}{1+s\times101\times1\times10^{-12}\times10\times10^3}$$

$$=\frac{-100}{1+s\times1.01\times10^{-6}}$$

这是一阶低通网络的传输函数，其中直流增益为 −100，3 dB 频率 f_{3dB} 为

$$f_{3dB}=\frac{1}{2\pi\times1.01\times10^{-6}}=157.6\text{ kHz}$$ ■

从例题 6.7 中看到，用米勒定理替换掉反馈或桥接电阻后，对于负的 K 值，得到的是输入端的一个较小的电阻［减小因子为（1−K）］。如果反馈元件是一个电容，则它的值需要乘以（1−K）才能得到输入端的等效电容。反馈电容增大（1−K）倍的现象被称为米勒倍增或米勒效应。我们已经分别在 4.9 节和 5.9 节分析 CS 和 CE 放大器时涉及到米勒效应。

练习 6.9　一个直接耦合的放大器的直流增益为 1000 V/V，上限 3 dB 频率为 100 kHz。求其传输函数和增益带宽积，以 Hz 为单位。

答案： $\dfrac{100}{1+\dfrac{s}{2\pi\times10^5}}$；$10^8$ Hz

练习 6.10　一个放大器的高频响应有如下特征：两个零点位于 $s=\infty$ 处，两个极点分别位于 ω_{P1} 和 ω_{P2} 处。已知 $\omega_{P2}=k\omega_{P1}$，求 k 的值，使得 ω_H 的精确值为 $0.9\,\omega_{P1}$。如果 $\omega_H=0.99\,\omega_{P1}$，重复这一过程。

答案： 2.78；9.88

练习 6.11　对于练习 6.10 中的放大器，在 $k=1$，2 和 4 的情况下，求 ω_H（是 ω_{P1} 的函数）的精确值和近似值［利用式（6.36）］。

答案： 0.64，0.71；0.84，0.89；0.95，0.97

练习 6.12　对于例题 6.6 中的放大器，求其增益带宽积，以 MHz 为单位。求 R_L' 的值，使得 f_H=180 kHz。求这种情况下的中频增益和增益带宽积。

答案： 1.39 MHz；2.23 kΩ；−7.2 V/V；1.30 MHz

练习 6.13　利用米勒定理分析图 E6.13 中的反相运算放大器的性能。假定运算放大器是理想的，只是具有有限的差模增益 A。不借助于运算放大器电路分析的方法，当 A 分别取下列值：10 V/V，100 V/V，1000 V/V 和 10000 V/V 时，求 R_{in}，V_i，V_o 以及 V_o/V_{sig}。假定 $V_{sig}=1$ V。

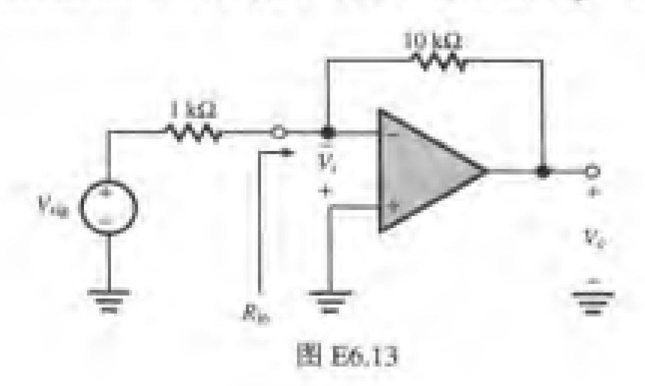


图 E6.13

答案：

A	R_{in}	V_i	V_o	V_o/V_{sig}
10 V/V	909 Ω	476 mV	−4.76 V	−4.76 V/V
100 V/V	99 Ω	90 mV	−9 V	−9 V/V
1000 V/V	9.99 Ω	9.9 mV	−9.9 V	−9.9 V/V
10 000 V/V	1 Ω	0.999 mV	−9.99 V	−9.99 V/V

6.5 有源负载共源和共射放大器

6.5.1 共源电路

图 6.17（a）所示的是最为基本的集成电路 MOS 放大器，它由两部分构成，分别是源极接地的 MOS 管和替代漏极电阻 R_D 的恒流源 I。我们很快就会看到，电流源负载可以用一个 PMOS 管实现，因而称做有源负载。图 6.17（a）所示的共源放大器称做有源负载放大器。

在讨论有源负载 CS 放大器的小信号特性之前先分析一下直流偏置的设计问题。显然，Q_1 由 $I_D = I$ 获得偏置，但是漏极和栅极的直流电压是由谁决定的呢？通常，这个电路会是一个较大电路的一部分。在这个大电路中，我们利用负反馈来稳定 V_{DS} 和 V_{GS} 的值。我们在后面几章中会给出这种电路的例子。然而，现在我们假设 MOS 管得到合适的偏置，工作在饱和区。

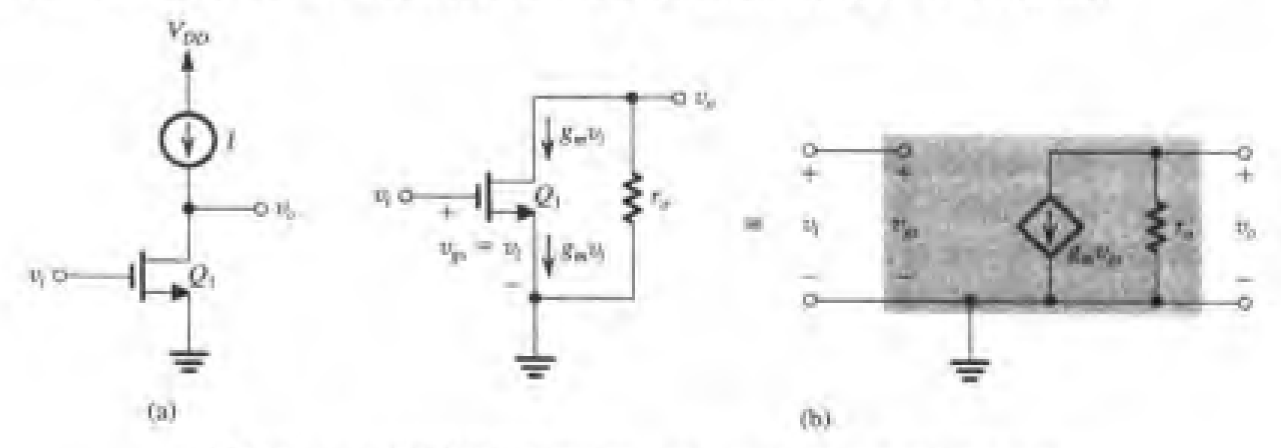


图 6.17 （a）有源负载共源放大器；（b）（a）中放大器的小信号分析，一种间接使用了小信号模型，另一种直接在电路图上完成

恒流源作为有源负载共源放大器的小信号分析直截了当，如图 6.17（b）所示。这里，在等效电路模型旁边单独画出了将 r_o 分离出来的晶体管，直接在电路图上进行分析。从图 6.17（b）可知，对于这个 CS 放大器[①]：

$$R_i = \infty \tag{6.45a}$$

$$A_{vo} = -g_m r_o \tag{6.45b}$$

$$R_o = r_o \tag{6.45c}$$

我们注意到式（6.45b）中的 $|A_{vo}|$ 是从共源放大器中可以获得的最大电压增益，称为 MOSFET 的固有增益：

$$A_0 = g_m r_o \tag{6.46}$$

我们在 6.2 节中讨论过关于固有增益 A_0 的一些细节问题，表 6.3 中也列出了确定其值的公式。

① 关于描述放大器性能的参数定义，可参考表 4.3。

练习 6.14 求一个 NMOS 管的 A_0。这个 NMOS 管由 0.4 μm CMOS 工艺制造，$k_n'=200\ \mu A/V^2$，$V_A'=20\ V/\mu m$。其沟道长度为 0.4 μm，工作时的过驱动电压为 0.25 V。要使这个 NMOS 管工作在 $I_D=100\ \mu A$ 上，W 的值应为多少？同时求出 g_m 和 r_o 的值。若 $L=0.8\ \mu m$，重复上述过程。

答案：64 V/V；64 μm；0.8 mA/V；80 kΩ；128 V/V；12.8 μm；0.8 mA/V；160 kΩ

6.5.2 共源放大器的 CMOS 实现

图 6.18（a）所示是共源放大器的一种 CMOS 电路实现方式。这个电路是以图 6.17（a）中的电路为基础将其中的有源负载电流源 I 用晶体管 Q_2 来实现的。后者是由 Q_2 和 Q_3 组成的镜像电流源的输出晶体管，由电流 I_{REF} 提供偏置。我们假设 Q_2 与 Q_3 匹配，那么负载管的 i~v 特性曲线就如图 6.18（b）所示。这其实就是源栅电压 V_{SG} 恒定时的 p 沟道晶体管 Q_2 的 $i_D\sim v_{SD}$ 特性曲线。V_{SG} 的值由流过 Q_3 的偏置电流 I_{REF} 决定。正如预计的那样，当 Q_2 工作在饱和区时，表现为电流源。这又反过来要求 $v=v_{SD}$ 大于（$V_{SG}-|V_{tp}|$），后者就是 Q_2 与 Q_3 工作时的过驱动电压值。Q_2 位于饱和区时，增量电阻 r_{o2} 的大小有限：

$$r_{o2}=\frac{|V_{A2}|}{I_{REF}} \tag{6.47}$$

其中，V_{A2} 是 Q_2 的厄尔利电压。换句话说，电流源负载不是理想的，输出电阻是等于 r_o 的有限值。

在确定放大器小信号电压增益之前，有必要分析一下传输特性曲线，即 $v_o\sim v_I$ 曲线。我们利用图 6.18（c）中的图形。图中画出了放大管 Q_1 的 $i_D\sim v_{DS}$ 曲线，并且还叠加上了负载线。后者由图 6.18（b）中的 i~v 曲线翻转并沿横轴平移 V_{DD} 后得到。因为 $v_{GS1}=v_I$，每一条 $i_D\sim v_{DS}$ 曲线对应一个特定的 v_I 值。每条特定曲线与负载线的交点给出了相应的 v_{DS1} 值，它等于 v_O。这样，我们就逐点得到了 $v_O\sim v_I$ 曲线。图 6.18（d）中给出了最终的传输特性曲线。如图所示，曲线分为四段，分别标记为 I、II、III 和 IV。每一段对应 Q_1 和 Q_2 的四种工作模式组合中的一种，如图所示。我们注意到传输特性曲线上标出了两个重要的点（A 和 B），分别与图 6.18（c）中的交点（A 和 B）对应。希望读者能认真学习传输特性曲线及众多细节。

放大器工作的曲线段 III 是我们感兴趣的部分。区域 III 的传输曲线几乎为直线，并且十分陡峭，这代表着很高的电压增益。区域 III 中，放大管 Q_1 和负载管 Q_2 都工作在饱和区。区域 III 的端点是 A 和 B：在 A 点，$v_O=V_{DD}-V_{OV2}$，Q_2 进入了变阻区；在 B 点，$v_O=v_I-V_{tn}$，Q_1 进入了变阻区。当放大器偏置在区域 III 中的某一点时，将 Q_1 用小信号模型代替，Q_2 用它的输出电阻 r_{o2} 代替，因此可以求得小信号电压增益。Q_2 的输出电阻构成了 Q_1 的负载电阻。将式（6.45）中的结果代入下式：

$$A_v\equiv\frac{v_o}{v_i}=A_{vo}\frac{R_L}{R_L+R_o} \tag{6.48}$$

可以得到电压增益 A_v：

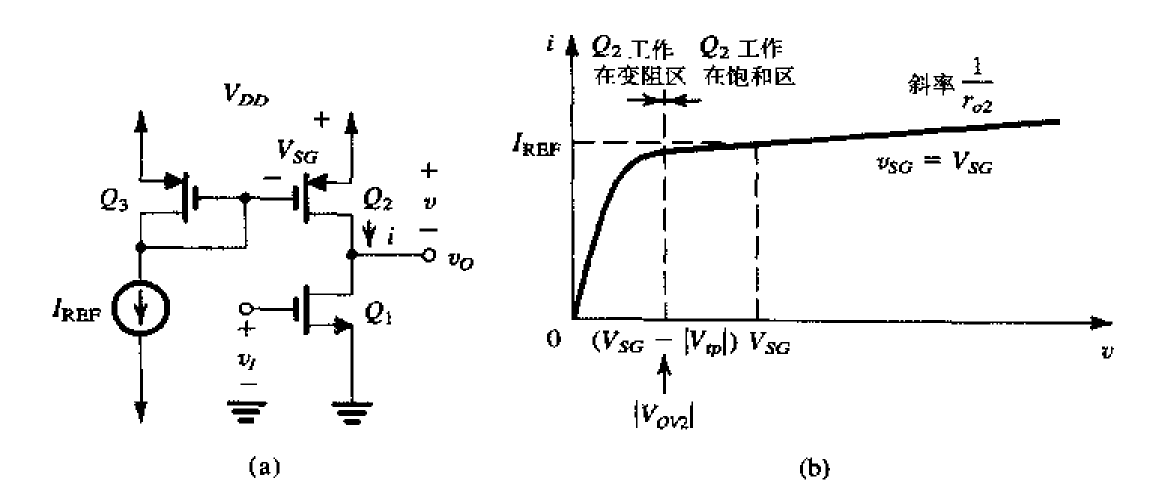
$$A_v=-(g_{m1}r_{o1})\frac{r_{o2}}{r_{o2}+r_{o1}}=-g_{m1}(r_{o1}\parallel r_{o2}) \tag{6.49}$$

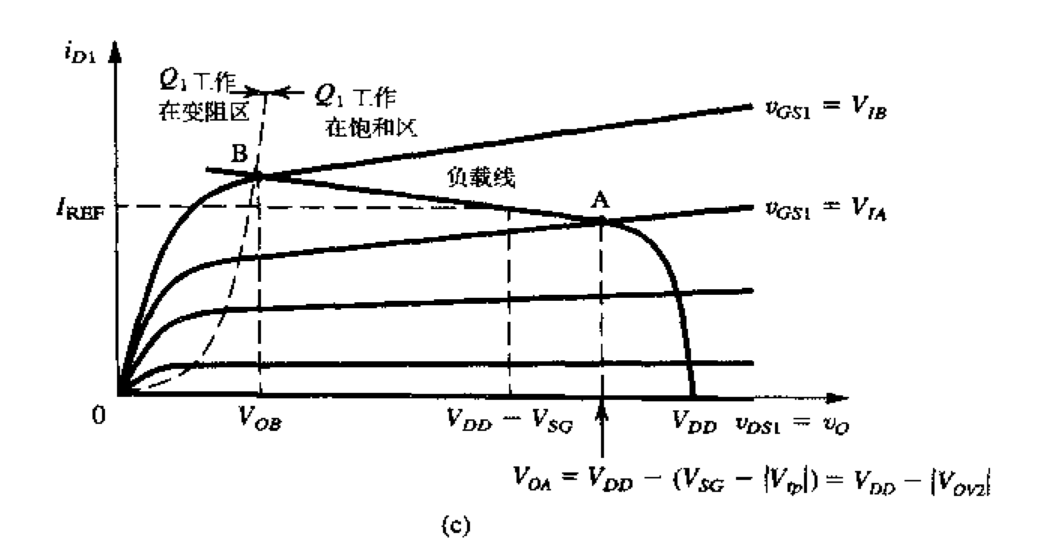
这个公式表明，正如预计的那样，A_v 比 Q_1 的固有增益 $g_{m1}r_{o1}$ 要小。当 $r_{o2}=r_{o1}$ 时，$A_v=g_{m1}r_{o1}/2$。当然，式（6.49）的结果也可以直接由 $g_{m1}v_i$ 与输出端与地之间的总电阻 $r_{o1}\parallel r_{o2}$ 相乘得到。

CMOS 共源放大器可以实现 15 倍到 100 倍的电压增益。它的输入电阻很大，但是，输出电阻也很大。

在结束共源放大器的内容之前，需要给出以下两点评述：

1. 该电路不受衬底效应的影响，因为 Q_1 和 Q_2 的源端都信号接地。
2. 该电路通常是大规模放大电路的一部分（将在第 7 章和第 9 章中介绍），我们利用负反馈来保证电路确实工作在放大器传输特性曲线的区域 III 内。





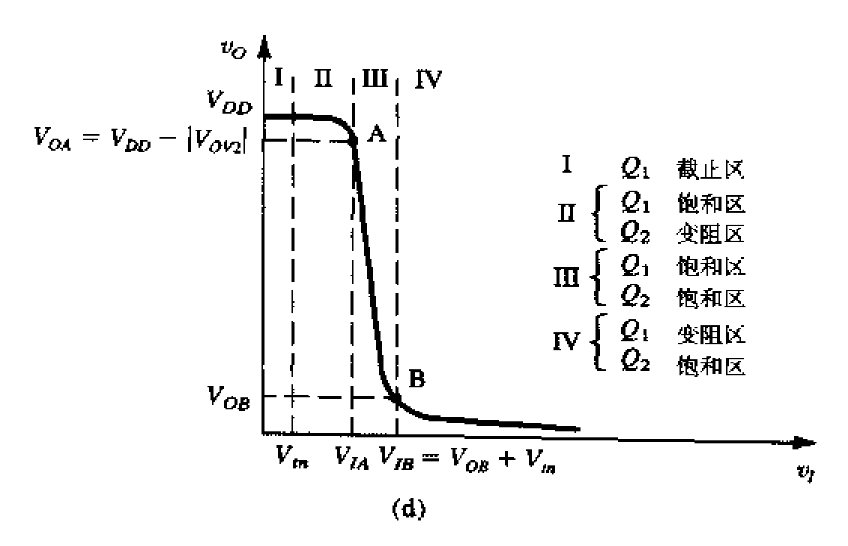


图 6.18　CMOS 共源放大器：（a）电路；（b）有源负载 Q_2 的 $i-v$ 特性曲线；（c）利用图形确定传输特性曲线；（d）传输特性曲线

例题 6.8 考虑图 6.18(a)中的 CMOS 共源放大器，$V_{DD}=3\text{ V}$，$V_{tn}=|V_{tp}|=0.6\text{ V}$，$\mu_n C_{ox}=200\ \mu\text{A/V}^2$，$\mu_p C_{ox}=65\ \mu\text{A/V}^2$。对于所有的晶体管，还有 $L=0.4\ \mu\text{m}$，$W=4\ \mu\text{m}$。另外 $V_{An}=20\text{ V}$，$|V_{Ap}|=10\text{ V}$，$I_{REF}=100\ \mu\text{A}$。求小信号电压增益。同时求出传输特性曲线放大区的边界点（即 A 点和 B 点）的坐标。

解：

$$g_{m1}=\sqrt{2k_n'\left(\frac{W}{L}\right)_1 I_{REF}}$$

$$=\sqrt{2\times 200\times\frac{4}{0.4}\times 100}=0.63\text{ mA/V}$$

$$r_{o1}=\frac{V_{A_n}}{I_{D1}}=\frac{20\text{ V}}{0.1\text{ mA}}=200\text{ k}\Omega$$

$$r_{o2}=\frac{V_{A_p}}{I_{D2}}=\frac{10\text{ V}}{0.1\text{ mA}}=100\text{ k}\Omega$$

则

$$A_v=-g_{m1}(r_{o1}\parallel r_{o2})$$
$$=-0.63(\text{mA/V})\times(200\parallel 100)(\text{k}\Omega)=-42\text{ V/V}$$

传输曲线放大区（区域 III）的边界点可以通过以下方法得到（见图 6.18）：首先，利用下式求出对应于 $I_D=I_{REF}=100\ \mu\text{A}$ 的 Q_2 和 Q_3 的 V_{SG}：

$$I_D=\frac{1}{2}k_P'\left(\frac{W}{L}\right)_3(V_{SG}-|V_{tp}|)^2\left(1+\frac{V_{SD}}{|V_{A_p}|}\right)$$

即

$$100=\frac{1}{2}\times 65\left(\frac{4}{0.4}\right)|V_{OV3}|^2\left(1+\frac{0.6+|V_{OV3}|}{10}\right)\tag{6.50}$$

其中，$|V_{OV3}|$ 是 Q_2 和 Q_3 工作时的过驱动电压。这里，我们利用了 Q_3 的 $V_{SD}=V_{SG}$ 这个结果。式（6.50）可以写成

$$0.29=|V_{OV3}|^2\ (1+0.09|V_{OV3}|)$$

通过试探更正法可以得到

$$|V_{OV3}|=0.53\text{ V}$$

即

$$V_{SG}=0.6+0.53=1.13\text{ V}$$

和

$$V_{OA}=V_{DD}-V_{OV3}=2.47\text{ V}$$

为了找出对应的 v_I 和 V_{IA} 值，我们先推导区域 III 中 v_O 与 v_I 的关系式。我们注意到在区域 III 中 Q_1 和 Q_2 都处在饱和区，显然通过的电流相等，因此，

$$i_{D1} = i_{D2}$$

$$\frac{1}{2}k_n'\left(\frac{W}{L}\right)_1 (v_I - V_{tn})^2\left(1+\frac{v_O}{|V_{An}|}\right) = \frac{1}{2}k_p'\left(\frac{W}{L}\right)_2 (V_{SG} - |V_{tp}|)^2\left(1+\frac{V_{DD}-v_O}{|V_{Ap}|}\right)$$

代入数值得到

$$8.55(v_I - 0.6)^2 + \frac{1-0.08v_O}{1+0.05v_O} = 1-0.13v_O$$

上式可以改写为

$$v_O = 7.69 - 65.77(v_I - 0.6)^2 \qquad (6.51)$$

这是传输曲线第 III 段的方程。尽管包含 v_I^2 项，但读者不必过于紧张：因为区域 III 十分狭窄，v_I 变化很小，特性曲线也近似于直线。将 $v_O = 2.47$ V 代入得到对应的 v_I 值，即 $V_{IA} = 0.88$ V。为确定 B 点的坐标，我们注意到 B 点需满足 $V_{OB} = V_{IB} - V_{tn}$。代入式（6.51）并求解得到 $V_{IB} = 0.93$ V，$V_{OB} = 0.33$ V。因此放大区的宽度为

$$\Delta v_I = V_{IB} - V_{IA} = 0.05 \text{ V}$$

对应的输出范围为

$$\Delta v_O = V_{OB} - V_{OA} = -2.14 \text{ V}$$

故“大信号”电压增益为

$$\frac{\Delta v_O}{\Delta v_I} = -\frac{2.14}{0.05} = 42.8 \text{ V/V}$$

这个值非常接近于小信号下的–42，说明传输特性曲线在区域 III 中非常接近于直线。■

练习 6.15　考虑一个用 0.18 μm 工艺制成的 CMOS 共源放大器，对所有晶体管，有 $W/L = 7.2$ μm/0.36 μm。另外，$k_n' = 387$ μA/V²，$k_p' = 86$ μA/V²，$I_{REF} = 100$ μA，$V_{An}' = 5$ V/μm，$|V_{Ap}| = 6$ V/μm。求 g_{m1}，r_{o1}，r_{o2} 和电压增益。

答案：1.25 mA/V；18 kΩ；21.6 kΩ；–12.3 V/V

6.5.3　共发射极电路

有源负载共发射极放大器如图 6.19（a）所示，与上面讨论的有源负载共源放大器相似。同样，图中未画出稳定偏置的电路部分。小信号分析与 MOS 情况类似，如图 6.19（b）所示。结果为

$$R_i = r_\pi \qquad (6.52a)$$

$$A_{vo} = -g_m r_o \qquad (6.52b)$$

$$R_o = r_o \qquad (6.52c)$$

其中，除了相对较小的输入电阻 r_π 以外，其他都与 MOS 管的情况类似。但是，从 6.2 节的比较中我们知道 BJT 的固有增益 $g_m r_o$ 比 MOS 管大得多。然而，这个优势被共源放大器无限大的输入电阻抵消了。关于这两种类型放大器的对比在 6.2 节中已有介绍。

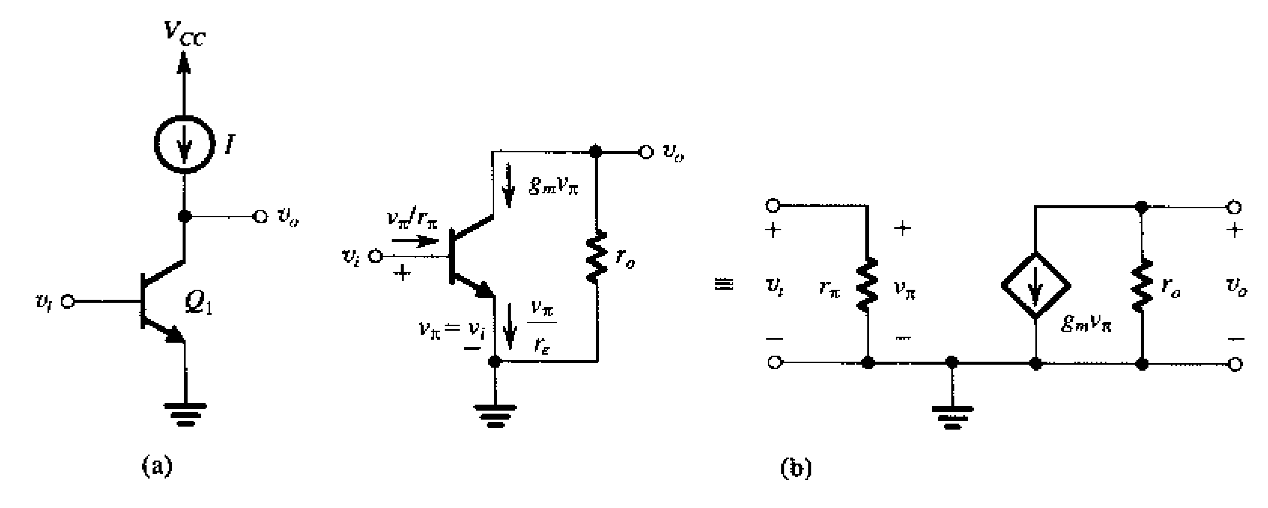


图 6.19 （a）有源负载共发射极放大器；（b）（a）中放大器的小信号分析，一个在电路图上直接分析，另一个使用混合 π 模型间接分析

练习 6.16 考虑当恒定电流源 I 用一个 pnp 晶体管实现时的有源负载共发射极放大器。已知 $I=0.1$ mA，对于所有的 npn 晶体管和 pnp 晶体管，$|V_A|=50$ V，$\beta=100$。求 R_i，r_o（每个晶体管），g_m，A_0 以及放大器的电压增益。

答案：25 kΩ；0.5 MΩ；4 mA/V；2000 V/V；−1000 V/V

6.6 CS 与 CE 放大器的高频响应

现在我们来考虑有源负载共源和共发射极放大器的高频响应。图 6.20 所示的是共源放大器的高频等效电路模型。这个等效电路也适用于共发射极放大器，然而需要替换一些变量：用 C_π 代替 C_{gs}，用 C_μ 代替 C_{gd}，以及用 V_π 代替 V_{gs}。

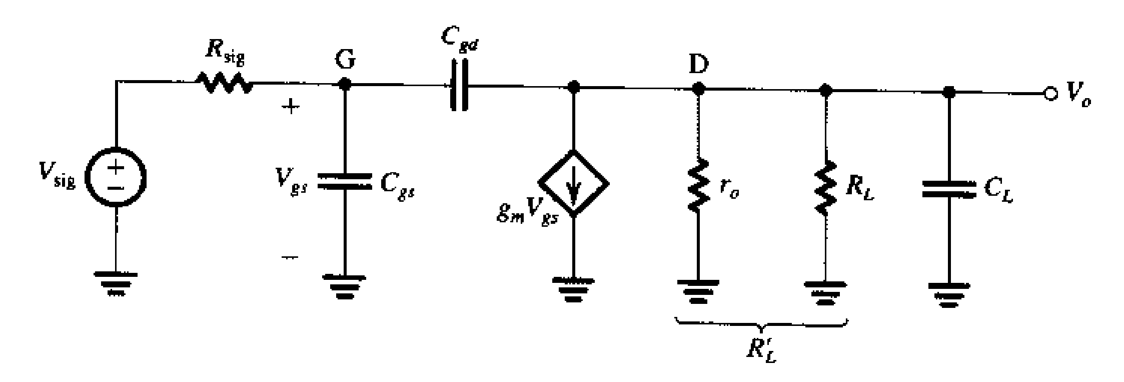


图 6.20 共源放大器的高频等效电路模型。对于共发射极放大器，需更改 V_{sig} 和 R_{sig} 的值，使其包括 r_π 和 r_x 的作用，同时用 C_π 代替 C_{gs}，用 V_π 代替 V_{gs}，用 C_μ 代替 C_{gd}

输入信号源由 V_{sig} 和 R_{sig} 表示。但是在某些情况下，V_{sig} 和 R_{sig} 的值并不完全等于信号源的电压和内阻，必须根据其他电阻性元件做出调整。这些电阻性元件包括偏置电阻 R_G 或 R_B、BJT 的电阻 r_π 和 r_x 等。我们在 4.9 节和 5.9 节中已经讲过这种情况下的简化电路的例子。负载电阻 R_L 由实际负载电阻（如果有的话）以及电流源负载的输出电阻共同决定。为了减少增益的损失，R_L 通常与 r_o 在同一数量级。我们把 R_L 与 r_o 的并联等效值记做 R'_L。负载电容 C_L 是漏极（或集电极）与地之间的总电容，其中包括漏极–衬底电容 C_{db}（集电极–衬底电容）、下一级放大器的输入电容和某些情况下放意引入的电容（后面几章将会讲到）。集成电路 MOS 晶体管放大器的 C_L 相对来说比较重要。

6.6.1　利用米勒定理进行分析

当 R_{sig} 相对较大、C_L 相对较小的情况下，可以利用米勒定理快速估算出 3 dB 频率 f_H 的近似值。在 4.9 节对共源放大器和 5.9 节对共发射极放大器的分析中已经使用过这种方法，因此这里只列出结果。图 6.21 所示的是共源情况下的近似等效电路。从中可以看出这个放大器有一个主极点，它由 R_{sig} 和 C_{in} 决定，因而，

$$\frac{V_o}{V_{sig}} \simeq \frac{A_M}{1+\dfrac{s}{\omega_H}} \tag{6.53}$$

其中，

$$A_M = -g_m R_L'$$

3 dB 频率 $f_H = \omega_H / 2\pi$ 为

$$f_H = \frac{1}{2\pi C_{in} R_{sig}} \tag{6.54}$$

其中，

$$C_{in} = C_{gs} + C_{gd}(1+g_m R_L') \tag{6.55}$$

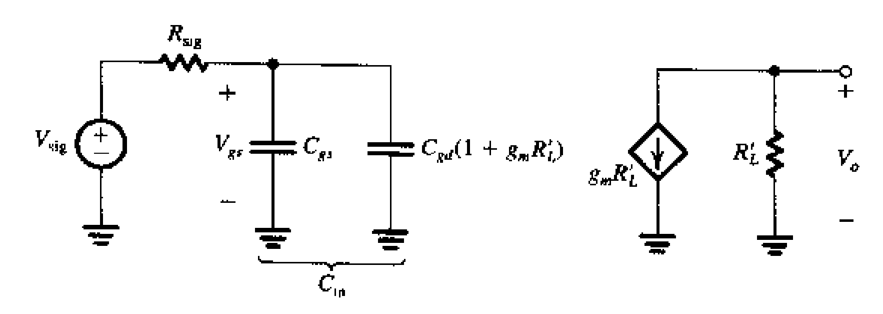


图 6.21　忽略 C_L 以及 C_{gd} 产生的负载电流成分，利用米勒定理得到的近似等效电路。该模型适用于 R_{sig} 较大的情况。放大器的高频响应由 R_{sig} 和 C_{in} 形成的极点决定

6.6.2　利用开路时间常数进行分析

6.4.3 节中介绍的开路时间常数法可以直接应用在图 6.20 所示的共源等效电路中。如图 6.22 所示，从 C_{gs} 视入的电阻 $R_{gs} = R_{sig}$，从 C_L 视入的电阻是 R_L'。而对图 6.22（b）所示电路进行分析，可得从 C_{gd} 视入的电阻 R_{gd} 为

$$R_{gd} = R_{sig}(1+g_m R_L') + R_L' \tag{6.56}$$

因此，有效时间常数 b_1 或 τ_H 为

$$\begin{aligned}\tau_H &= C_{gs}R_{gs} + R_{gd}R_{gd} + C_L R_{C_L} \\ &= C_{gs}R_{sig} + C_{gd}[R_{sig}(1+g_m R_L') + R_L'] + C_L R_L'\end{aligned} \tag{6.57}$$

3 dB 频率 f_H 为

$$f_H \cong \frac{1}{2\pi\tau_H} \tag{6.58}$$

C_L 较大时，该方法可以得到比米勒等效更精确的对 f_H 的估计值（因为在米勒等效中，我们完全忽略了 C_L）。

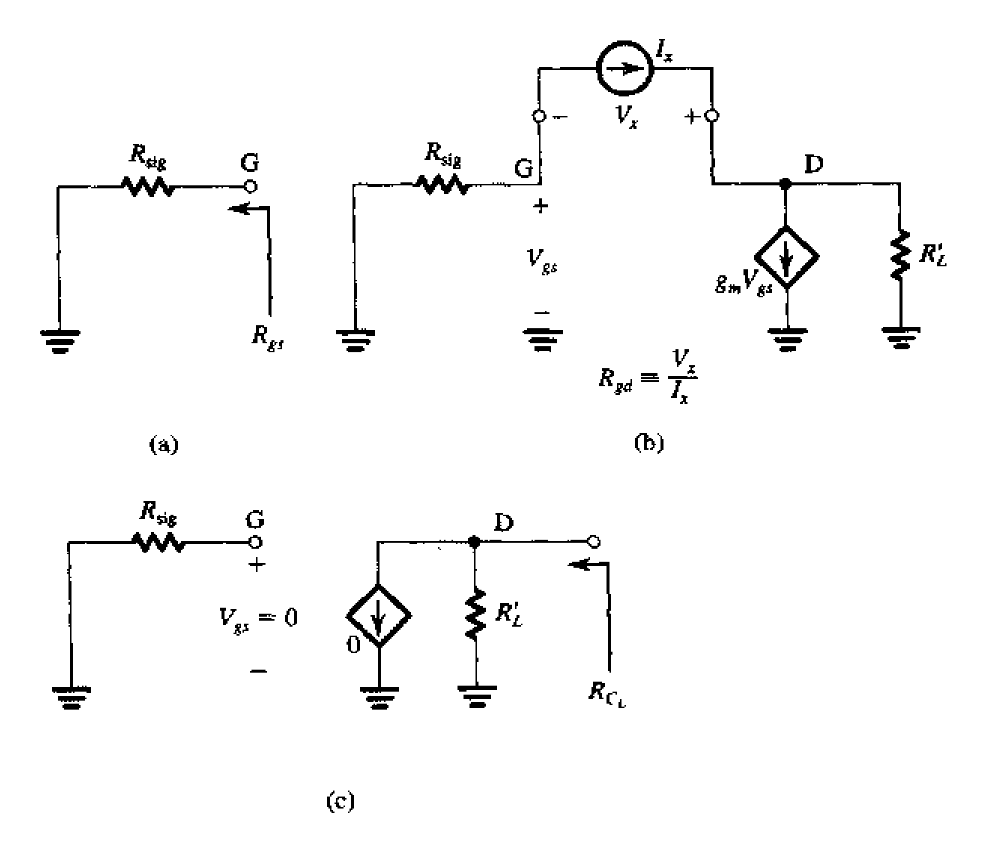


图 6.22　利用开路时间常数法分析图 6.20 的共源等效电路

6.6.3　精确分析

利用上述的近似分析法，我们能够更深刻地理解各个电容对共源（共发射极）放大器高频增益的限制作用，了解这种作用的产生机制和程度大小。然而，因为图 6.20 给出的电路图比较简单，因此进行精确的分析同样很有益处[①]，如图 6.23 所示。根据漏端的节点方程可得

$$sC_{gd}(V_{gs}-V_o)=g_mV_{gs}+\frac{V_o}{R'_L}+sC_LV_o$$

上式可以改写为

$$V_{gs}=\frac{-V_o}{g_mR'_L}\frac{1+s(C_L+C_{gd})R'_L}{1-sC_{gd}/g_m} \qquad (6.59)$$

图 6.23　共源高频等效电路的分析

① "精确"的含义是指在电路分析过程中不进行任何近似。需要提醒读者的是：高频模型本身即是器件性能的一种近似。

由输入端的回路方程可知

$$V_{sig} = I_i R_{sig} + V_{gs}$$

这里，我们将栅极的节点方程得到的I_i代入：

$$I_i = sC_{gs}V_{gs} + sC_{gd}(V_{gs} - V_o)$$

可得

$$V_{sig} = V_{gs}[1 + s(C_{gs} + C_{gd})R_{sig}] - sC_{gd}R_{sig}V_o$$

现在将式（6.59）得到的V_{gs}代入，可以得到一个关于V_o和V_{sig}的方程，进而得到放大器增益的表达式：

$$\frac{V_o}{V_{sig}} = \frac{-(g_m R'_L)[1 - s(C_{gd}/g_m)]}{1 + s\{[C_{gs} + C_{gd}(1 + g_m R'_L)]R_{sig} + (C_L + C_{gd})R'_L\} + s^2[(C_L + C_{gd})C_{gs} + C_L C_{gd}]R_{sig}R'_L} \quad (6.60)$$

式（6.60）表示的传输函数的分母为二阶，说明放大器有两个极点。而分子为一阶，说明两个传输零点中的一个的频率为无穷大。这是很容易得到验证的，只要注意到当s趋于∞时（V_o/V_{sig}）趋于 0 即可。另一个零点位于

$$s = s_Z = \frac{g_m}{C_{gd}} \quad (6.61)$$

也就是说，它位于s平面的正实轴上，频率ω_Z为

$$\omega_Z = g_m / C_{gd} \quad (6.62)$$

因为g_m通常较大，而C_{gd}较小，因此f_Z一般相当大，对于f_H的影响也可以忽略。

这里有必要给出一种简单方法来求解$V_o = 0$时s的值s_Z。图 6.24 所示的是$s = s_Z$时的电路图。根据定义，$V_o = 0$，由漏端的节点方程可知

$$s_Z C_{gd} V_{gs} = g_m V_{gs}$$

因为V_{gs}非零（读者可以想一想为什么），在两边同时除以V_{gs}得

$$s_Z = \frac{g_m}{C_{gd}} \quad (6.63)$$

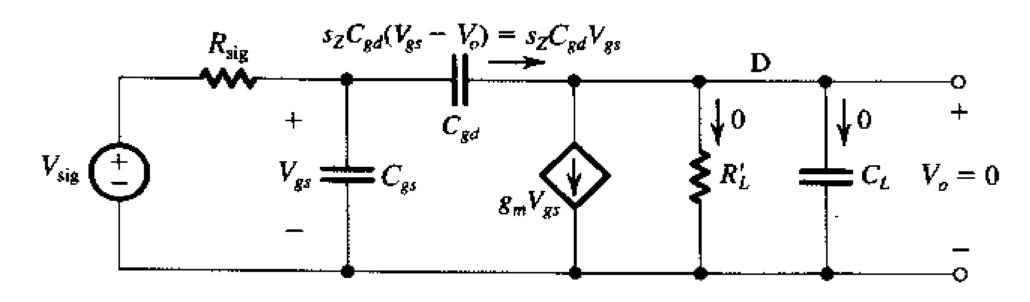


图 6.24　$s = s_Z$时的 CS 电路图。输出电压$V_o = 0$，使我们可以从漏端的节点方程求出s_Z

在讨论极点之前需要注意：在式（6.60）中，当s趋于 0 时，V_o/V_{sig}趋于直流增益（$-g_m R'_L$），这是毫无疑问的。现在来进一步分析分母多项式。首先，我们看到s项的系数等于式（6.57）用开路时间常数法求出的有效时间常数τ_H。这是可以预计到的，因为这是开路时间常数法（见 6.4.3 节）的基础。然后，将两个极点的频率记为ω_{P1}和ω_{P2}，分母多项式$D(s)$可以表示为

$$D(s) = \left(1+\frac{s}{\omega_{P1}}\right)\left(1+\frac{s}{\omega_{P2}}\right) = 1+s\left(\frac{s}{\omega_{P1}}+\frac{s}{\omega_{P2}}\right)+\frac{s^2}{\omega_{P1}\omega_{P2}} \tag{6.64}$$

如果$\omega_{P2} \gg \omega_{P1}$，就是说$\omega_{P1}$处的极点是主极点的话，$D(s)$可以近似为

$$D(s) \cong 1+\frac{s}{\omega_{P1}}+\frac{s^2}{\omega_{P1}\omega_{P2}} \tag{6.65}$$

令式（6.60）中分母多项式s项的系数与式（6.65）中s项的系数相等，可得

$$\omega_{P1} \cong \frac{1}{[C_{gs}+C_{gd}(1+g_m R_L')]R_{\text{sig}}+(C_L+C_{gd})R_L'} \tag{6.66}$$

这里包含了式（6.65）的近似。我们注意到式（6.66）与用开路时间常数法得到的结果完全一致，而与用米勒等效法得到的结果有少许不同。不同之处体现在有关输出端电容的项（C_L+C_{gd}）R_L'，在最初的（简单）米勒推导过程中这一项被忽略了。令式（6.60）和式（6.65）中s^2项的系数相等，利用式（6.66）可以求得另一个极点的频率：

$$\omega_{P2} = \frac{[C_{gs}+C_{gd}(1+g_m R_L')]R_{\text{sig}}+(C_L+C_{gs})R_L'}{[(C_L+C_{gd})C_{gs}+C_L C_{gd}]R_L' R_{\text{sig}}} \tag{6.67}$$

例题 6.9 考虑图 6.18（a）所示的 CMOS 共源放大器，所有晶体管的 $W/L = 7.2\ \mu\text{m}/0.36\ \mu\text{m}$。另外，$\mu_n C_{ox} = 387\ \mu\text{A/V}^2$，$\mu_p C_{ox} = 86\ \mu\text{A/V}^2$，$I_{\text{REF}} = 100\ \mu\text{A}$，$V_{An}' = 5\ \text{V}/\mu\text{m}$，$|V_{Ap}'| = 6\ \text{V}/\mu\text{m}$。$Q_1$的$C_{gs} = 20\ \text{fF}$，$C_{gd} = 5\ \text{fF}$，$C_L = 25\ \text{fF}$，且$R_{\text{sig}} = 10\ \text{k}\Omega$。假设$C_L$包含了$Q_2$在输出端引入的全部电容。分别使用米勒等效法和开路时间常数法求解f_H。同时确定f_{P1}，f_{P2}和f_Z的精确值，进而求出f_H的另一个估计值。

解：

$$I_D = I_{\text{REF}} = 100\ \mu\text{A} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)V_{OV}^2$$

即

$$100 = \frac{1}{2}\times 387\times\left(\frac{7.2}{0.36}\right)V_{OV}^2$$

由此可得

$$V_{OV} = 0.16\ \text{V}$$

则

$$g_m = \frac{I_D}{V_{OV}/2} = \frac{100\ \mu\text{A}}{(0.16/2)\text{V}} = 1.25\ \text{mA/V}$$

$$r_{o1} = \frac{V_{An}}{I_D} = \frac{5\times 0.36}{0.1} = 18\ \text{k}\Omega$$

$$r_{o2} = \frac{|V_{AP}|}{I_D} = \frac{6\times 0.36}{0.1} = 21.6\ \text{k}\Omega$$

$$R_L' = r_{o1} \parallel r_{o2} = 18 \parallel 21.6 = 9.82\ \text{k}\Omega$$

$$A_M = -g_m R_L' = -1.25\times 9.82 = -12.3\ \text{V/V}$$

利用米勒等效可得

$$\begin{aligned}C_{in} &= C_{gs} + C_{gd}(1+g_m R_L') \\ &= 20+5(1+12.3) \\ &= 86.5\ \text{fF}\end{aligned}$$

$$\begin{aligned}f_H &= \frac{1}{2\pi C_{in} R_{sig}} \\ &= \frac{1}{2\pi \times 86.5\times10^{-15}\times10\times10^3} = 184\ \text{MHz}\end{aligned}$$

利用开路时间常数法可得

$$\begin{aligned}R_{gs} &= R_{sig} = 10\ \text{k}\Omega \\ R_{gd} &= R_{sig}(1+g_m R_L') + R_L' \\ &= 10(1+12.3)+9.82 = 142.8\ \text{k}\Omega \\ R_{C_L} &= R_L' = 9.82\ \text{k}\Omega\end{aligned}$$

则

$$\begin{aligned}\tau_{gs} &= C_{gs}R_{gs} = 20\times10^{-15}\times10\times10^3 = 200\ \text{ps} \\ \tau_{gd} &= C_{gd}R_{gd} = 5\times10^{-15}\times142.8\times10^3 = 714\ \text{ps} \\ \tau_{C_L} &= C_L R_{C_L} = 25\times10^{-15}\times9.82\times10^3 = 246\ \text{ps}\end{aligned}$$

将它们相加得到 τ_H 为

$$\tau_H = \tau_{gs} + \tau_{gd} + \tau_{C_L} = 1160\ \text{ps}$$

从中可以求得 3 dB 频率 f_H 为

$$f_H = \frac{1}{2\pi\tau_H} = \frac{1}{2\pi\times1160\times10^{-12}} = 137\ \text{MHz}$$

我们注意到这比用米勒等效法得到的估计值小了 25%。这个差异是因为米勒方法中忽略了 C_L 造成的。这里的 C_L 相当大，因此对 τ_H 的贡献也很大（在 1160 ps 中占有 246 ps，相当于 21%）。

为了确定零点和极点的确切位置，我们利用式（6.60）的传输函数。零点的频率由式（6.62）给出：

$$f_Z = \frac{1}{2\pi}\frac{g_m}{C_{gd}} = \frac{1}{2\pi}\frac{1.25\times10^{-3}}{5\times10^{-15}} = 40\ \text{GHz}$$

令式（6.60）中的分母多项式为零，求出这个方程的根，即可得到 ω_{P1} 和 ω_{P2} 的值：

$$1+1.16\times10^{-9}s+0.0712\times10^{-18}s^2 = 0$$

结果是

$$f_{P1} = 145.3\ \text{MHz}$$

和

$$f_{P2} = 2.45\ \text{GHz}$$

因为 f_Z，$f_{P2} \gg f_{P1}$，对 f_H 较好的估计值为

$$f_H \cong f_{P1} = 145.3\ \text{MHz}$$

最后，我们注意到利用式（6.66）得到的 f_{P1} 的估计值比真实值小了 5%。同样，用开路时间常数法得到的 f_H 的估计值也比用 f_{P1} 真实值求出的 f_H 的估计值小了 5%。

练习 6.17 对于例题 6.9 中的 CS 放大器，利用精确分析法得到的 f_H 值求解增益带宽积。同时，验证该频率时增益幅度减小为 1。

答案：GBW = 1.79 GHz，因为它低于 f_{P2}，所以 f_t = 1.79 GHz

练习 6.18 作为一种用增益换取带宽的方法，例题 6.9 中 CS 放大器的设计人员在输出端接入一个负载电阻，使得 R_L' 的值减半。试求新的 $|A_M|$，f_H［利用 f_H 约等于式（6.66）求出的 f_{P1} 的近似］和 f_t 的值。

答案：6.15 V/V；226 MHz；1.39 GHz

练习 6.19 作为另一种用增益换取带宽的方法，例题 6.9 中 CS 放大器的设计人员将偏置电流增大到原来的 4 倍（也就是增大到 400 μA），使得放大晶体管工作时的 V_{OV} 为原来的两倍。试求新的 g_m，R_L'，$|A_M|$，f_{P1}，f_H 和 f_t 的值。利用式（6.66）给出的 f_{P1} 近似公式。

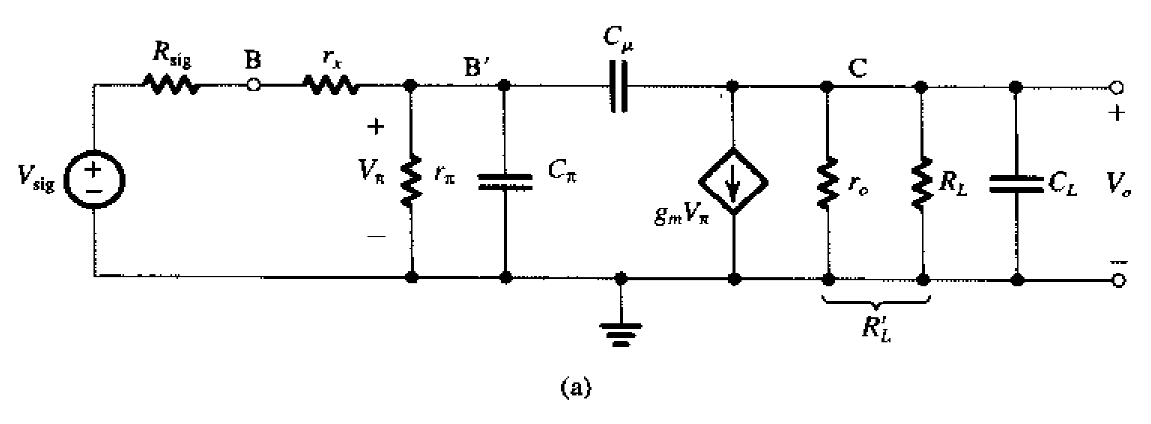
答案：2.5 mA/V；2.46 kΩ；6.15 V/V；252 MHz；252 MHz；1.55 GHz

6.6.4 CE 放大器公式的改写

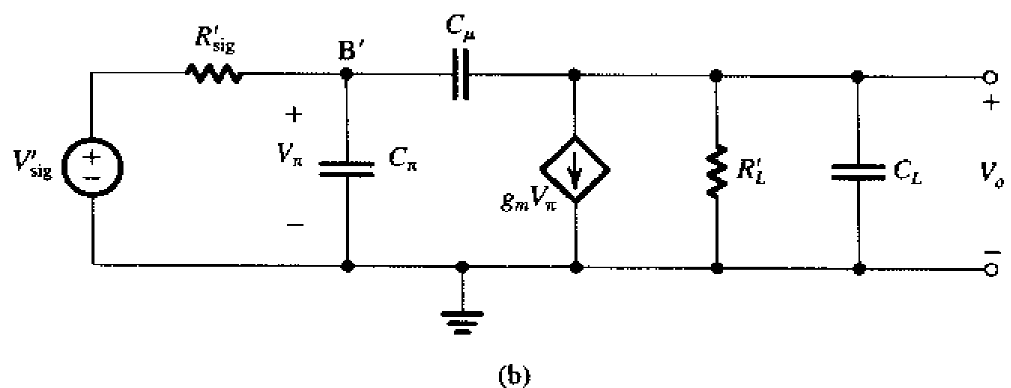
将上述公式改写为适用于共发射极放大器的情况很简单。首先看一看图 6.25，考虑到 r_π 和 r_x 的作用，V_{sig} 和 R_{sig} 需做出以下修正：

$$V_{sig}' = V_{sig}\frac{r_\pi}{R_{sig}+r_x+r_\pi} \tag{6.68}$$

$$R_{sig}' = r_\pi \,\|\, (R_{sig}+r_x) \tag{6.69}$$



(a)



(b)

图 6.25 （a）共发射极放大器的高频等效电路；（b）利用戴维南定理简化输入端电阻性电路后得到的等效电路

因而直流增益为

$$A_M = -\frac{r_\pi}{R_{sig}+r_x+r_\pi}(g_m R_L') \tag{6.70}$$

利用米勒定理可得

$$C_{in} = C_\pi + C_\mu(1+g_m R_L') \tag{6.71}$$

对应的 3 dB 频率 f_H 的估计值为

$$f_H \simeq \frac{1}{2\pi C_{in} R_{sig}'} \tag{6.72}$$

或者利用开路时间常数法可得

$$\begin{aligned}\tau_H &= C_\pi R_\pi + C_\mu R_\mu + C_L C_{C_L} \\ &= C_\pi R_{sig}' + C_\mu[(1+g_m R_L')R_{sig}' + R_L'] + C_L R_L'\end{aligned} \tag{6.73}$$

进而求出 f_H 的估计值为

$$f_H \simeq \frac{1}{2\pi\tau_H} \tag{6.74}$$

通过精确分析可得零点频率为

$$f_Z = \frac{1}{2\pi}\frac{g_m}{C_\mu} \tag{6.75}$$

假设主极点存在，则

$$f_{P1} \cong \frac{1}{2\pi}\frac{1}{[C_\pi + C_\mu(1+g_m R_L')]R_{sig}' + (C_L + C_\mu)R_L'} \tag{6.76}$$

$$f_{P2} \cong \frac{1}{2\pi}\frac{[C_\pi + C_\mu(1+g_m R_L')]R_{sig}' + (C_L + C_\mu)R_L'}{[C_\pi(C_L + C_\mu) + C_L C_\mu]R_{sig}' R_L'} \tag{6.77}$$

当 f_Z， $f_{P2} \gg f_{P1}$ 时，

$$f_H \simeq f_{P1}$$

练习 6.20　考虑一个有源负载 CE 放大器，它的电流源负载是一个 *pnp* 晶体管。电路工作在 1 mA 的偏置电流上。晶体管参数如下：$\beta(npn) = 200$，$V_{An} = 130$ V，$|V_{Ap}| = 50$ V，$C_\pi = 16$ pF，$C_\mu = 0.3$ pF，$C_L = 5$ pF，$r_x = 200\ \Omega$。该放大器由内阻为 36 kΩ的信号源提供信号。求：（a）A_M；（b）C_{in} 和 f_H（采用米勒等效法）；（c）f_H（采用开路时间常数法）；（d）f_Z，f_{P1}，f_{P2} 以及 f_H［利用式（6.76）和式（6.77）给出的近似表达式］；（e）f_t。

答案：（a）−175 V/V；（b）448 pF，82.6 kHz；（c）75.1 kHz；（d）21.2 GHz，75.1 kHz，25.2 MHz，75.1 kHz；（e）13.1 MHz

6.6.5　R_{sig} 较小的情况

由低电阻的信号源提供信号的 CS 放大器有多种用途。显然，这种情况下的高频增益不再受限于信号源电阻和输入电容。相反，我们很快会讲到，限制高频增益的因素出现在放大器输出端。

图 6.26（a）所示的是当 R_{sig} 为零时共源放大器的高频等效电路。电压传输函数 $V_o/V_{sig} = V_o/V_{gs}$ 可以通过令式（6.60）中的 $R_{sig}=0$ 得到。结果是

$$\frac{V_o}{V_{sig}} = \frac{(-g_m R_L')[1 - s(C_{gd}/g_m)]}{1 + s(C_L + C_{gd})R_L'} \tag{6.78}$$

因而，直流增益和零点的频率没有变化，而高频响应只受 C_L+C_{gd} 和 R_L' 形成的极点的限制。故现在的 3 dB 频率为

$$f_H=\frac{1}{2\pi(C_L+C_{gd})R_L'} \tag{6.79}$$

为了搞清楚这个极点是如何产生的，我们来看图 6.26（b）。图中画出了令输入信号源为零时的等效电路，该电路变成了电容（ C_L+C_{gd} ）和电阻 R_L' 的并联。

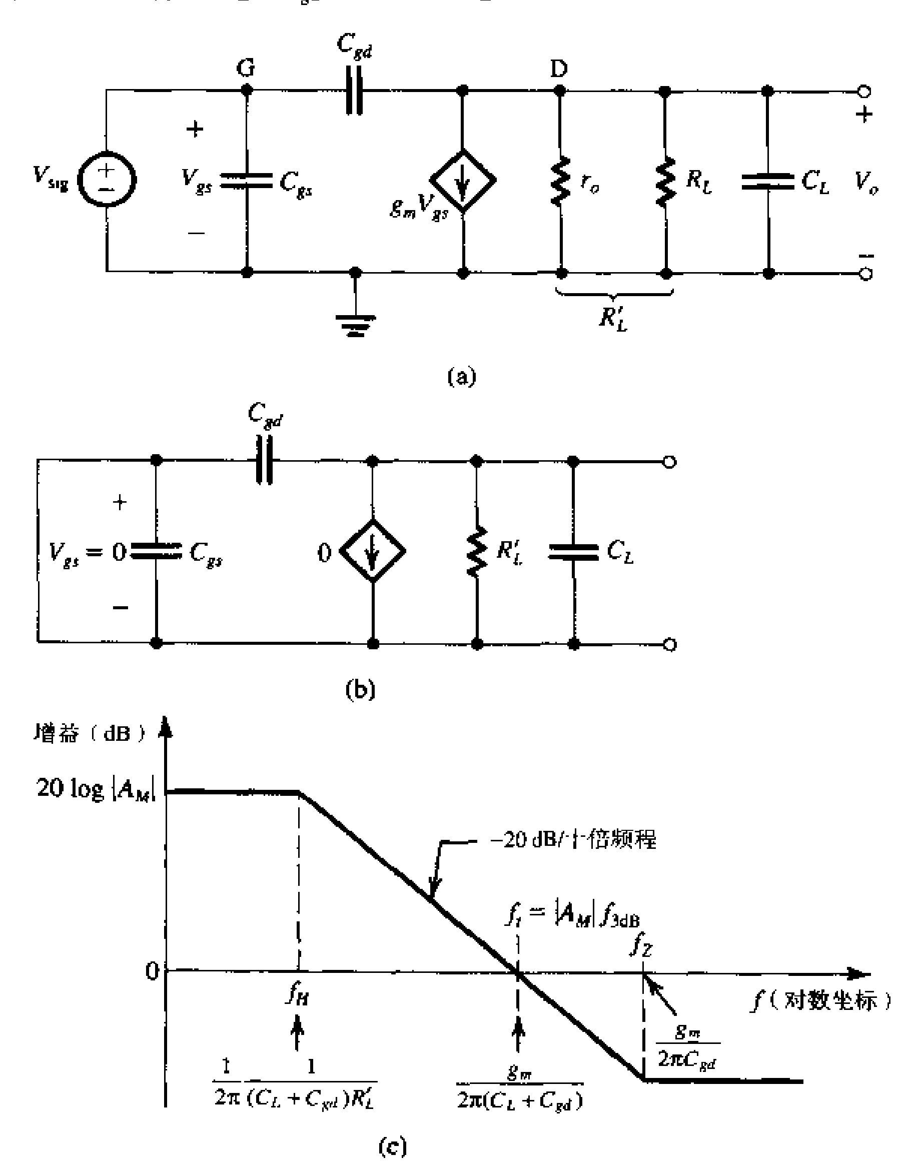


图 6.26 （a）共源放大器的高频等效电路，该放大器由内阻很小（等效为零）的信号源提供信号；（b）令 $V_{sig}=0$ 时的电路；（c）（a）中电路的增益波特图

如前所述，传输函数的零点的频率通常非常大，在高频响应中不起重要作用，因此 CS 放大器的增益以−6 dB/二倍频程（−20 dB/十倍频程）的速率下降，直到在频率 f_t 时变成 1（0 dB），该频率等于增益带宽积：

$$f_t=|A_M|f_H$$

$$=g_mR_L'\frac{1}{2\pi(C_L+C_{gd})R_L'}$$

即

$$f_t = \frac{g_m}{2\pi(C_L + C_{gd})R_L'} \tag{6.80}$$

图 6.26（c）显示了 CS 放大器的高频增益曲线。

例题 6.10　考虑例题 6.9 中的 CS 放大器，它由一个内阻可以忽略（也就是 $R_{sig}=0$）的信号源提供信号。求 A_M，f_{3dB}，f_t 和 f_Z。如果放大晶体管工作在两倍于原来过驱动电压的情况下，而 W 和 L 保持不变，需要的 I_{REF} 值为多少？新的 A_M，f_{3dB}，f_t 和 f_Z 的值是多少？

解：由例题 6.9 可知

$$A_M = -12.3 \text{ V/V}$$

利用式（6.79）可求得 3 dB 频率为

$$f_H = \frac{1}{2\pi(C_L + C_{gd})R_L'} = \frac{1}{2\pi(25+5)\times 10^{-15}\times 9.82\times 10^3} = 540 \text{ MHz}$$

单位增益频率与增益带宽积相等，可以由下式求得：

$$f_t = |A_M| f_H = 12.3\times 540 = 6.6 \text{ GHz}$$

零点的频率为

$$f_Z = \frac{1}{2\pi}\frac{g_m}{C_{gd}} = \frac{1}{2\pi}\frac{1.25\times 10^{-3}}{5\times 10^{-15}} \cong 40 \text{ GHz}$$

现在，将 V_{OV} 从 0.16 V 增大到 0.32 V，I_D 变成原来的 4 倍，I_{REF} 必须满足下式：

$$I_{REF} = 400\ \mu\text{A}$$

可求得新的 g_m，r_{o1}，r_{o2} 和 R_L' 的值如下：

$$g_m = \frac{I_D}{V_{OV}/2} = \frac{400}{0.32/2} = 2.5 \text{ mA/V}$$

$$r_{o1} = \frac{5\times 0.36}{0.4 \text{ mA}} = 4.5 \text{ k}\Omega$$

$$r_{o2} = \frac{6\times 0.36}{0.4 \text{ mA}} = 5.4 \text{ k}\Omega$$

$$R_L' = (4.5 \parallel 5.4) = 2.45 \text{ k}\Omega$$

因而新的 A_M 的值为

$$A_M = -g_m R_L' = -2.5\times 2.45 = -6.15 \text{ V/V}$$

f_H 为

$$f_H = \frac{1}{2\pi(C_L + C_{gd})R_L'} = \frac{1}{2\pi(25+5)\times 10^{-15}\times 2.45\times 10^3} = 2.16 \text{ GHz}$$

单位增益频率（也就是增益带宽积）为

$$f_t = 6.15 \times 2.16 = 13.3\,\text{GHz}$$

我们注意到V_{OV}的翻倍使得直流增益减半，而带宽增大到原来的 4 倍，因而增益带宽积是原来的两倍，可见这是一种很好的选择。

练习 D6.21 例题 6.10 中的 CS 放大器工作在最初的V_{OV}和I_D情况下（也就是V_{OV} = 0.16 V，I_D = 100 μA）要使f_t变为 2 GHz，C_L应该增大到多少？

答案： 94.4 fF

练习 6.22 证明：当$R_{sig}=0$时，CS 放大器传输函数的零点与f_t之间的关系是

$$\frac{f_Z}{f_t} = 1 + \frac{C_L}{C_{gd}}$$

6.7 有源负载共栅和共基放大器

6.7.1 共栅放大器

图 6.27（a）所示是基本集成电路共栅放大器。晶体管的栅极接地，漏极与有源负载连接，图中显示为理想电流源I。内阻为R_s的输入信号源v_{sig}连接在源端[①]。因为 MOS 管的源端没有与衬底连接，我们特别标出了衬底极 B，并且认为它与电路中电位最低点相连，在这种情况下即为接地。最后，电流源I决定了晶体管的直流偏置电流I_D，除此以外，其他偏置电路的细节并未画出。这里我们不关心如何产生直流电压V_{GS}和如何决定V_{DS}这些问题。但是，如前所述，在包含 CG 放大器的较大规模电路中，通常利用负反馈保证偏置电路的稳定。这里我们假设 MOS 管工作在饱和区，从而把注意力集中在小信号性能的讨论上。

衬底效应 因为衬底没有与源端相连，因此衬底效应在共栅放大器中起着一定的作用。然而，在共栅电路的分析中将衬底效应考虑进来却很简单。我们知道，MOS 管的衬底极实际上表现为第二个栅极。因而，正如栅源极之间的信号电压v_{gs}产生了漏极的信号电流$g_m v_{gs}$，衬底与源极之间的信号电压v_{bs}产生了漏极的信号电流$g_{mb}v_{bs}$。这样漏极的信号电流就是（$g_m v_{gs} + g_{mb} v_{bs}$），其中背栅跨导$g_{mb}$通常是$g_m$的一小部分：$g_{mb} = \chi g_m$，$\chi = 0.1 \sim 0.2$。

图 6.27（a）所示 CG 电路中栅极和衬底都是信号接地的，因而$v_{bs} = v_{gs}$，这样漏极的信号电流为$(g_m + g_{mb})v_{gs}$。于是，要完全考虑共栅电路的衬底效应，只需简单地把 MOS 管的g_m替换成（$g_m + g_{mb}$）即可。作为例子，图 6.27（b）就是根据这一点对 MOS 管 T 模型修改后得到的。

小信号分析 对 CG 放大器的小信号分析既可以通过将 MOS 管替换为图 6.27（b）中的 T 模型得到等效电路来完成，也可以隐性地使用该模型直接在电路图上完成。我们应该尽量使用后一种方法，以加深对电路内在工作原理的理解。图 6.27（c）显示了用于小信号分析的 CG 电路。需要注意的是，我们把r_o从 MOS 管中"抽出"，单独画在器件外。同时，我们标出了从源极看进去的栅极与源极之间的实际电阻$1/(g_m + g_{mb})$。最后，注意电阻R_L出现在了输出端，它包括电流源负载I的输出电阻和其他可能连接的负载电阻。

现在我们来分析图 6.27（c）所示的电路，确定 CG 放大器的各个性能参数。这里我们建议读者回到表 4.3 复习一下放大器各种参数的定义。这样做很有帮助，特别是因为共栅放大器不是单

① 我们不用R_{sig}而用R_s表示信号源的内阻，是因为该电阻与 MOS 管的源端是串联的

向化的。电阻 r_o 把输出端和输入端连接起来，破坏了单向性，因此我们可以预计放大器输入电阻 R_{in} 与 R_L 有关，输出电阻 R_{out} 与 R_s 有关。

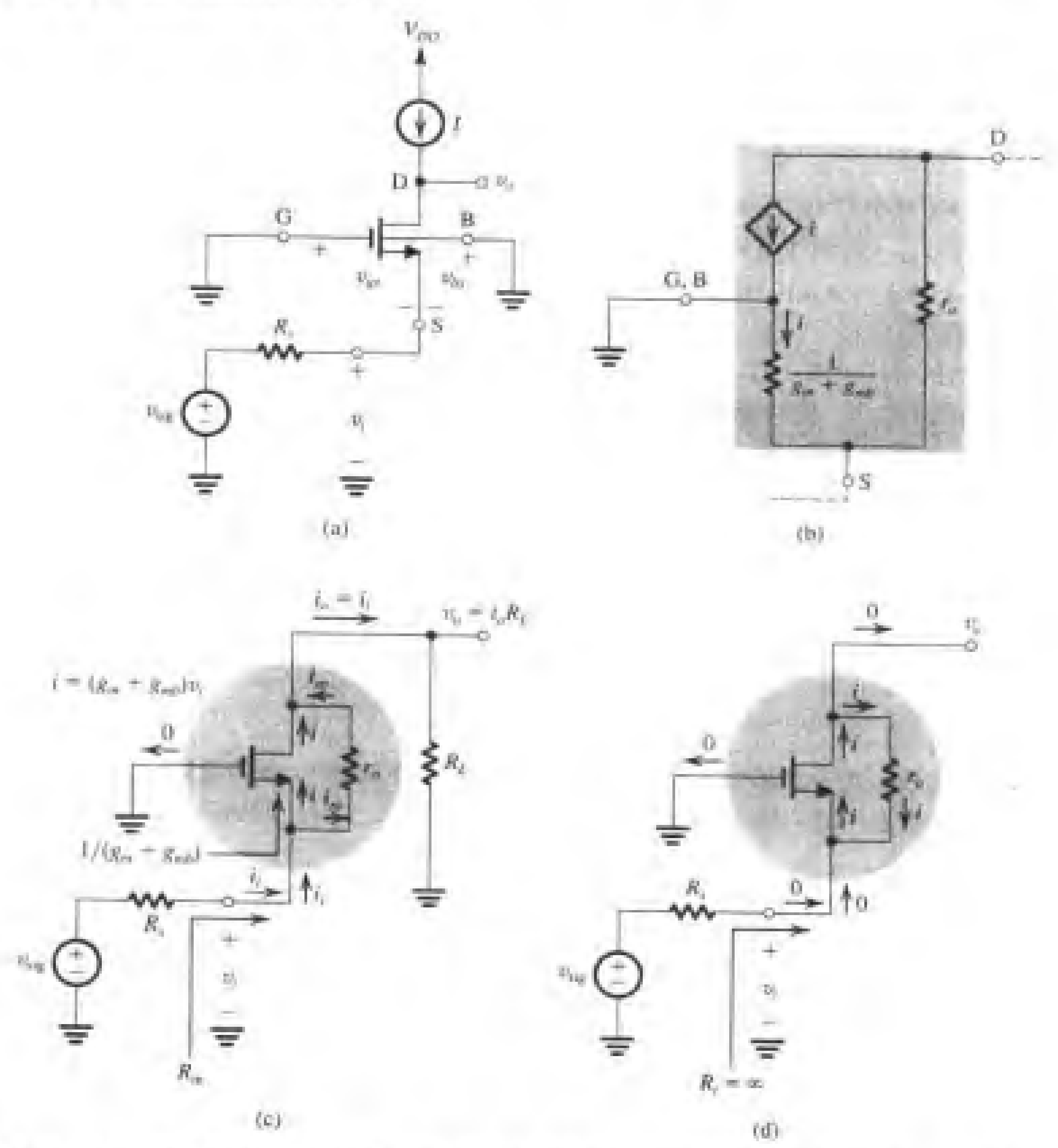


图 6.27　（a）有源负载共栅放大器；（b）衬底与栅极接地时的 CG 放大器等效电路；（c）隐性地使用（b）中 T 模型直接在电路图上完成的小信号分析；（d）输出端开路时的性能

输入电阻　为了求出输入电阻 R_{in}，我们必须找到用 v_i 表示 i_i 的表达式。观察图 6.27（c）会得到启示。输入电流 i_i 在源端被分成两部分：源极电流 $i=(g_m+g_{mb})v_i$ 以及流过 r_o 的电流 i_{ro}。这两部分电流汇聚在漏端形成了电流 i_o，流入 R_L。因而 $i_o=i_i$，以及 $v_o=i_oR_L=i_iR_L$。现在我们可以写出源端的方程：

$$i_i=(g_m+g_{mb})v_i+i_{ro} \tag{6.81}$$

以及 i_{ro} 的表达式：

$$i_{ro}=\frac{v_i-v_o}{r_o}=\frac{v_i-i_iR_L}{r_o} \tag{6.82}$$

将式（6.81）和式（6.82）联立可得

$$i_i=\left(g_m+g_{mb}+\frac{1}{r_o}\right)v_i\Bigg/\left(1+\frac{R_L}{r_o}\right)$$

可求得输入电阻 R_{in} 为

$$R_{in}\equiv\frac{v_i}{i_i}=\frac{r_o+R_L}{1+(g_m+g_{mb})r_o} \tag{6.83}$$

当 $r_o=\infty$ 时，R_{in} 减小为 $1/(g_m+g_{mb})$。这就是我们在 4.7.5 节对分立元件 CG 放大器分析时忽略 r_o（同时也忽略了 g_{mb}）得到的结果。如果考虑 r_o，要近似得到这个值，必须使 $R_L=0$。通常情况下，$R_L\simeq r_o$，$R_i\simeq 2/(g_m+g_{mb})$。有趣的是，当 R_L 趋于无穷时，$R_{in}=\infty$。这个有些出人意料的结果将在后面得到说明。

$R_L=\infty$ 时的性能 图 6.27（d）所示的是移去 R_L 后的 CG 放大器。就是说 $R_L=\infty$，放大器在输出端开路情况下工作。我们很快会注意到，因为 $i_o=0$，i_i 也必须是零，源极电流 $i=(g_m+g_{mb})v_i$ 完全通过 r_o 流经漏极回到源极。于是没有负载电阻的输入电阻，R_i 为无穷大：

$$R_i=\infty$$

我们也可以用图 6.27（d）中的电路来确定输入（源端）与输出（漏端）之间的开路电压增益 A_{vo}：

$$\begin{aligned}v_o&=ir_o+v_i\\&=(g_m+g_{mb})r_ov_i+v_i\end{aligned} \tag{6.84}$$

因而，

$$A_{vo}=1+(g_m+g_{mb})r_o \tag{6.85}$$

这是一个重要等式，几乎出现在所有 CG 放大器性能参数的公式中。我们看到，A_{vo} 与 MOS 管的固有增益有两点微小不同：第一，这里有多出的一项 1；第二，g_{mb} 加到了 g_m 上。A_{vo} 的典型值比 A_0 大 10%到 20%。

还需注意的是，CG 放大器的增益值为正，也就是说，不同于 CS 放大器，CG 放大器是同相的。

利用式（6.83）和式（6.85）可以用简洁的形式写出 CG 放大器输入电阻的表达式：

$$R_{in}=\frac{r_o+R_L}{A_{vo}} \tag{6.86}$$

也就是说，CG 电路的输入电阻可以用总电阻(r_o+R_L)除以开路电压增益得到。而开路电压增益与 MOS 管的固有增益相近。另外，因为 $A_{vo}\simeq(g_m+g_{mb})r_o\simeq A_0$，$R_{in}$ 的表达式可以简化为

$$R_{in}\cong\frac{1}{g_m+g_{mb}}+\frac{R_L}{A_0} \tag{6.87}$$

这个表达式说明，考虑 r_o 以后，输入电阻中多出了(R_L/A_0)这一项。这个多出的项只有当 R_L 较大时才起作用。

另一个有趣的结果可以从图 6.27(d)所示电路中的 $i_i=0$ 看出：R_s 上的压降为零。这样 $v_i=v_{sig}$，开路电压总增益 v_o/v_{sig} 将等于 A_{vo}：

$$G_{vo}=A_{vo}=1+(g_m+g_{mb})r_o \tag{6.88}$$

电压增益 图 6.27（c）中有源负载 CG 放大器的电压增益 A_v 和 G_v 可以通过许多方法得到。最直接的办法就是再一次利用 $i_o=i_i$ 写出 v_o 为

$$v_o=i_oR_L=i_iR_L \tag{6.89}$$

电压 v_i 可以由 i_i 表示为

$$v_i = i_i R_{in} \tag{6.90}$$

将式（6.89）除以式（6.90）可得电压增益 A_v：

$$A_v = \frac{v_o}{v_i} = \frac{R_L}{R_{in}} \tag{6.91}$$

将式（6.86）的 R_{in} 代入，可得

$$A_v = A_{vo}\frac{R_L}{R_L + r_o} \tag{6.92}$$

同样，我们可以求出总电压增益 $G_v = v_o / v_{sig}$ 的表达式：

$$v_o = i_o R_L = i_i R_L$$
$$v_{sig} = i_i(R_s + R_{in})$$

因此，

$$G_v = \frac{R_L}{R_s + R_{in}} \tag{6.93}$$

将式（6.86）的 R_{in} 代入，可得

$$G_v = A_{vo}\frac{R_L}{R_L + r_o + A_{vo}R_s} \tag{6.94}$$

因为 $G_{vo} = A_{vo}$，我们可以把 G_v 写成

$$G_v = G_{vo}\frac{R_L}{R_L + r_o + A_{vo}R_s} \tag{6.95}$$

输出电阻　为了完成对共栅放大器性能参数的讨论，我们来求它的输出电阻。由 4.7.2 节（见表 4.3）放大器性能参数部分的内容可知，有两种不同的输出电阻：R_o（当 v_i 设为零时得到的输出电阻）及 R_{out}（当 v_{sig} 设为零时得到的输出电阻）。图 6.28 中同时显示了这两种电阻。显然，在 R_{out} 的表达式中令 $R_s = 0$ 即可得到 R_o。需要搞清楚的是 R_o 和 R_{out} 各自的用途。R_o 是放大器由理想电压源 v_i 提供信号时的输出电阻，因而可以利用它根据 A_{vo} 求出 A_v：

$$A_v = A_{vo}\frac{R_L}{R_L + R_o} \tag{6.96}$$

另一方面，R_{out} 是放大器由内阻为 R_s 的电压源 v_{sig} 提供信号时的输出电阻，因此可以利用它根据 G_{vo} 求出 G_v：

$$G_v = G_{vo}\frac{R_L}{R_L + R_{out}} \tag{6.97}$$

回到图 6.28（a）所示的电路，通过观察可得

$$R_o = r_o \tag{6.98}$$

快速确认这一结果的方法是将 $R_o = r_o$ 代入式（6.96），得到的 A_v 的表达式与我们直接分析电路得到的式（6.92）完全一致。

R_{out} 的表达式可以通过在图 6.28（b）所示电路的输出端加上测试电压 v_x 推导而出。我们的目标是求出 v_x 对应的电流 i_x。为此，我们注意到流过 R_s 的电流等于 i_x，因而可以将 MOS 管源端的电压 v 表示为

$$v = i_x R_s \tag{6.99}$$

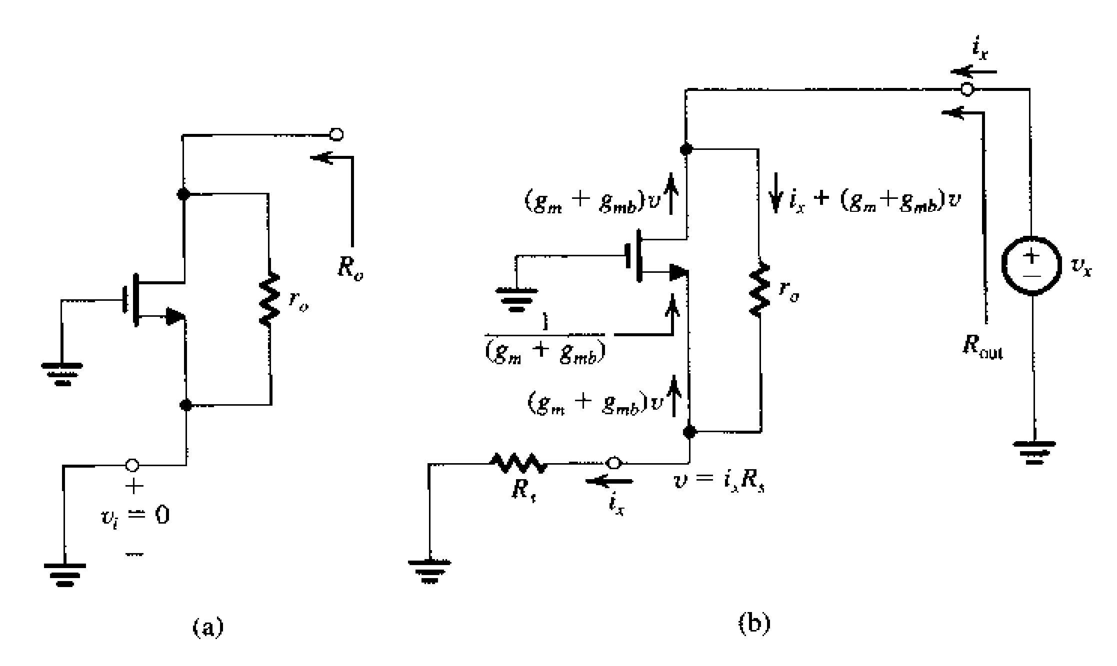


图 6.28 （a）令 $v_i = 0$ 来求输出电阻 R_o；（b）令 $v_{sig} = 0$ 来求输出电阻 R_{out}

利用图 6.28（b）所示电路图中的分析方法，可以写出 v_x：

$$v_x = [i_x + (g_m + g_{mb})v]r_o + v \qquad (6.100)$$

将式（6.99）和式（6.100）联立，消去 v，可以得到用 i_x 表示的 v_x。由 $R_{out} \equiv v_x / i_x$ 可知

$$R_{out} = r_o + [1 + (g_m + g_{mb})r_o]R_s \qquad (6.101)$$

可以看出与 R_s 相乘的那一项正是开路增益 A_{vo}。因此，R_{out} 可以有另一种更简洁的表示法：

$$R_{out} = r_o + A_{vo}R_s \qquad (6.102)$$

为了快速验证式（6.102）中的 R_{out}，可以将它代入式（6.97）。得到的结果将会与直接分析电路得到的增益表达式［即式（6.95）］完全一致。

R_{out} 的表达式［即式（6.101）和式（6.102）］是非常有用的结果，在本书的剩余部分将经常使用。这些公式不仅适用于 CG 放大器，也适用于源极接有电阻 R_s 的 CS 放大器。稍后我们将进一步讨论这个问题。在这里有必要对式（6.101）和式（6.102）做些解释。首先，第一个解释很容易从式（6.102）中看出：CG 放大器的输出电阻要比 r_o 大 $A_{vo}R_s$。在很多情况下后者会起主要作用。可以认为，MOS 管 CG 放大器的输出电阻可以由源极电阻 R_s 乘以 A_{vo} 得到，其中 A_{vo} 近似等于 $g_m r_o$。之前，我们曾看到 MOS 管 CG 放大器的 R_{in} 可由 R_L 除以 A_{vo} 得到，这里的结果是一个补充。MOS 管 CG 放大器的这种阻抗转换关系如图 6.29 所示，是 CG 电路应用广泛的关键。其中一种应用就是将 CG 放大器用做电流缓冲器。图 6.30 显示了这种用途的放大器的等效电路。希望读者能够证明短路总电流增益 G_{is} 为

$$G_{is} = G_{vo}\frac{R_s}{R_{out}} \simeq 1$$

接近于 1 的电流增益以及低输入电阻和高输出电阻等性质都是一个很好的电流缓冲器的特征。

另一个关于 R_{out} 公式的解释可以通过将式（6.101）改写为以下形式得到：

$$R_{out} = R_s + [1 + (g_m + g_{mb})R_s]r_o \qquad (6.103)$$

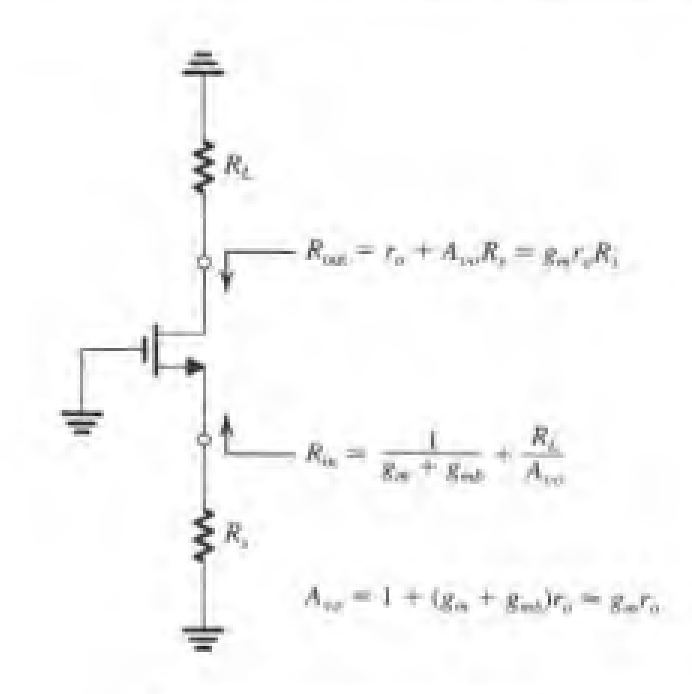


图 6.29　CG 组态的阻抗转换性质

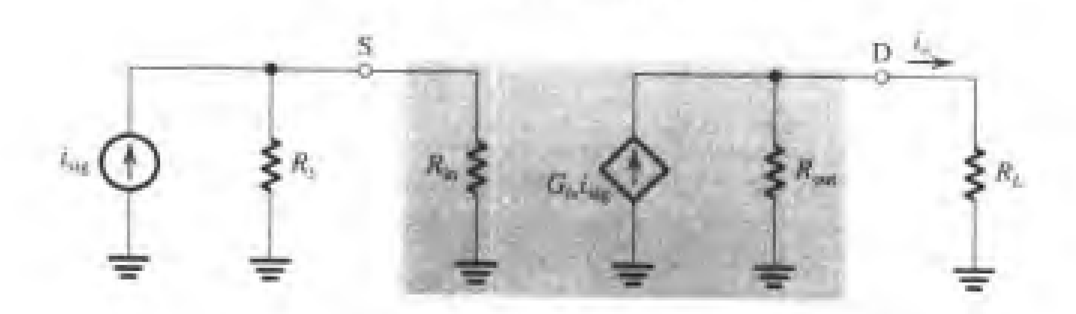


图 6.30　CG 放大器作为电流缓冲器应用的等效电路。R_{in} 和 R_{out} 在图 6.29 中给出，$G_{is} = A_{vo}(R_s / R_{out}) \simeq 1$

在这个公式中，通常第二项占主导地位，因而可以得到以下的近似结果：

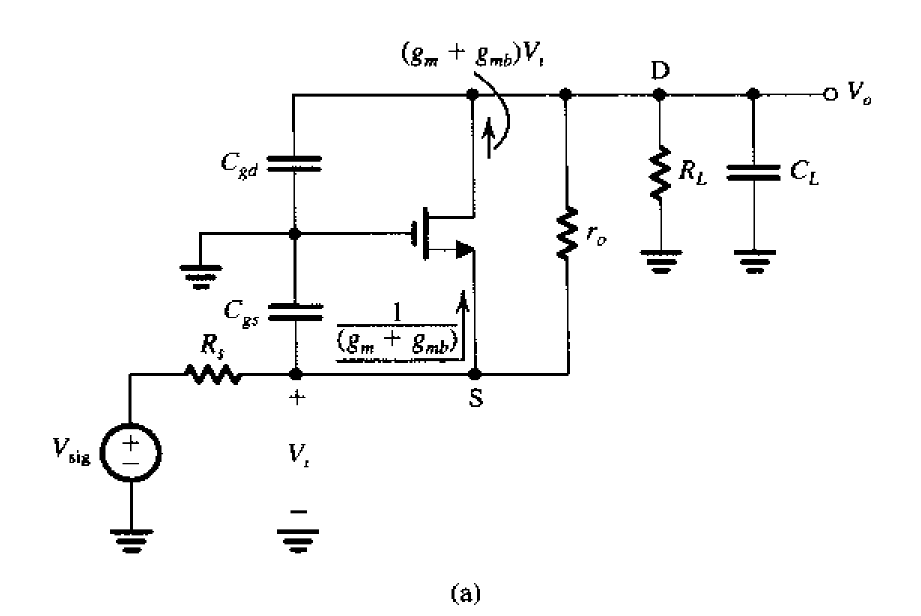
$$
\begin{aligned}
R_{out} &\simeq [1 + (g_m + g_{mb})R_s]r_o \\
&\simeq (1 + g_m R_s)r_o
\end{aligned}
\tag{6.104}
$$

在源端接入电阻 R_s 后，晶体管的输出电阻 r_o 乘以一个因子。这个因子曾在 4.7.4 节关于源极接电阻的衰减效应的讨论中提到过。稍后我们将进一步讨论式（6.104）。

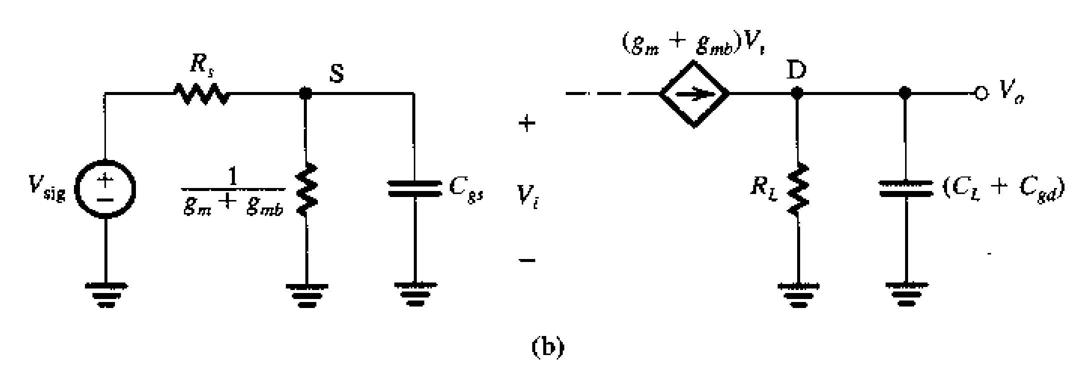
高频响应　图 6.31（a）所示的 CG 放大器中，MOS 管内部电容 C_{gs} 和 C_{gd} 都标在了图上。为了不失一般性，输出端画出了电容 C_L，代表下一级放大器的输入电容，同时也包含 MOS 管的电容 C_{db}。我们注意到 C_L 实际上与 C_{gd} 并联，因此在以下讨论中，我们将把这两个电容视为一个整体。

在开始分析前，需要强调的是，图 6.31（a）所示电路中三个电容都有一端信号接地。因此，没有电容会产生 CS 情况下的米勒倍增效应。从而 CG 放大器可以实现比 CS 放大器更大的带宽，特别是在信号源内阻较大的情况下。

如果忽略 r_o，对图 6.31（a）所示电路的分析将大大简化。在这种情况下，输入端与输出端隔离，高频等效电路如图 6.31（b）所示。我们很快看到存在两个极点：一个在输入端，频率 f_{P1} 为



(a)



(b)

图 6.31 （a）画出晶体管内部电容的共栅放大器，同时包含负载电容 C_L；（b）忽略 r_o 时的等效电路

$$f_{P1} = \frac{1}{2\pi C_{gs}\left(R_s \,\|\, \frac{1}{g_m + g_{mb}}\right)} \tag{6.105}$$

另一个位于输出端，频率 f_{P2} 为

$$f_{P2} = \frac{1}{2\pi(C_{gd} + C_L)R_L} \tag{6.106}$$

两个极点的相对位置根据不同的情况而变化。但是 f_{P2} 通常小于 f_{P1}，因而 f_{P2} 可能是主极点。需要强调的是，f_{P1} 和 f_{P2} 通常都比 CS 放大器主极点的频率大得多。

在需要考虑 r_o 的情况下（因为 R_s 和 R_L 较大），可以利用开路时间常数法来估计 3 dB 频率 f_H 的值。图 6.32 中的电路是分别用来确定从 C_{gs} 和$(C_{gd} + C_L)$看进去的电阻 R_{gs} 和 R_{gd} 的。观察得到

$$R_{gs} = R_s \,\|\, R_{in} \tag{6.107}$$

和

$$R_{gd} = R_L \,\|\, R_{out} \tag{6.108}$$

从而可求得 f_H：

$$f_H = \frac{1}{2\pi[C_{gs}R_{gs} + (C_{gd} + C_L)R_{gd}]} \tag{6.109}$$

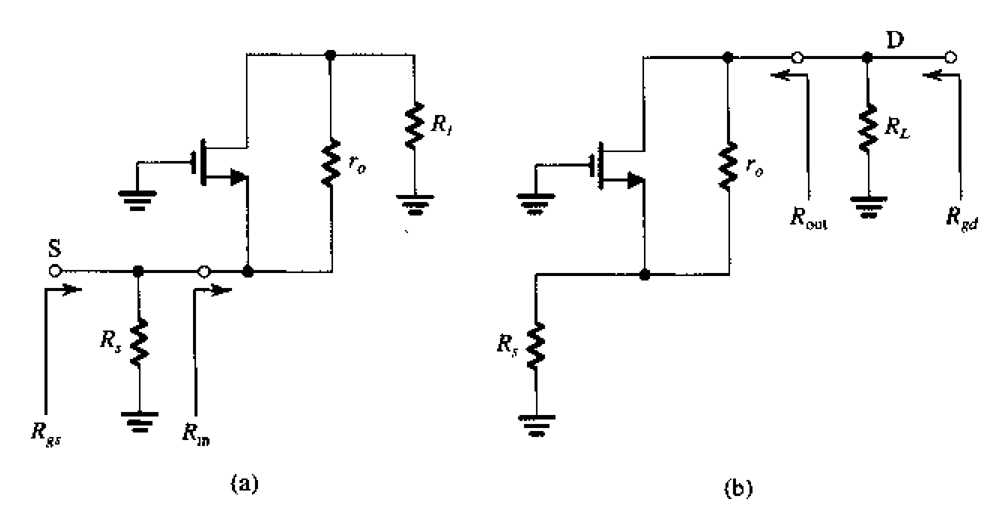


图 6.32　确定 R_{gs} 和 R_{gd} 的电路

例题 6.11　考虑一个共栅放大器，参数如下：$W/L = 7.2\ \mu m/0.36\ \mu m$，$\mu_n C_{ox} = 387\ \mu A/V^2$，$r_o = 18\ k\Omega$，$I_D = 100\ \mu A$，$g_m = 1.25\ mA/V$，$\chi = 0.2$，$R_s = 10\ k\Omega$，$R_L = 100\ k\Omega$，$C_{gs} = 20\ fF$，$C_{gd} = 5\ fF$ 以及 $C_L = 0$。求 A_{vo}，R_{in}，R_{out}，G_v，G_{is}，G_i 和 f_H。

解：

$$g_m + g_{mb} = 1.25 + 0.2 \times 1.25 = 1.5\ mA/V$$

$$A_{vo} = 1 + (g_m + g_{mb}) r_o = 1 + 1.5 \times 18 = 28\ V/V$$

$$R_{in} = \frac{r_o + R_L}{A_{vo}} = \frac{18 + 100}{28} = 4.2\ k\Omega$$

$$R_{out} = r_o + A_{vo} R_s = 18 + 28 \times 10 = 298\ k\Omega$$

$$G_v = G_{vo} \frac{R_L}{R_L + R_{out}} = A_{vo} \frac{R_L}{R_L + R_{out}} = 28 \frac{100}{100 + 298} = 7\ V/V$$

$$G_{is} = \frac{A_{vo} R_s}{R_{out}} = \frac{28 \times 10}{298} = 0.94\ A/A$$

$$G_i = G_{is} \frac{R_{out}}{R_{out} + R_L} = 0.94 \frac{298}{298 + 100} = 0.7\ A/A$$

$$R_{gs} = R_s \parallel R_{in} = 10 \parallel 4.2 = 3\ k\Omega$$

$$R_{gd} = R_L \parallel R_{out} = 100 \parallel 298 = 75\ k\Omega$$

$$\tau_H = C_{gs} R_{gs} + C_{gd} R_{gd} = 20 \times 3 + 5 \times 75 = 60 + 375 = 435\ ps$$

$$f_H \cong \frac{1}{2\pi \tau_H} = \frac{1}{2\pi \times 435 \times 10^{-12}} = 366\ MHz$$

我们注意到这个电路中，电阻由 $R_{in} \simeq 4\ k\Omega$ 提升到 $R_{out} \simeq 300\ k\Omega$，总短路电流增益为 0.94 A/A，因此作为电流缓冲器其表现很不错。由于具有较高的输出电阻，放大器的带宽主要由输出端的电容决定。因此附加的负载电容会大大减小带宽。■

练习 6.23　对于例题 6.11 中的 CG 放大器，当有一个电容 $C_L = 5\ fF$ 接在输出端时，求 f_H 的值。

答案： 196 MHz

练习 6.24　对于 $R_s = 1\ k\Omega$，$R_L = 10\ k\Omega$ 的情况重新求解例题 6.11。

答案：$A_{vo}=28$ V/V；$R_{in}=1$ kΩ；$R_{out}=46$ kΩ；$G_v=5$ V/V；$G_{is}=0.61$ A/A；$G_i=0.5$ A/A；$f_H=2.61$ GHz

6.7.2 共基放大器

共基放大器的分析与我们已经介绍过的共栅放大器的分析类似，但是有一点例外：BJT 具有有限的 β 值，基极有信号电流，从而产生从基极视入的基射极之间的电阻 r_π。图 6.33（a）所示的是未标出偏置细节的有源负载共基放大电路。注意，电阻 R_L 代表了可能连有的负载电阻和作为负载的电流源 I 的输出电阻。

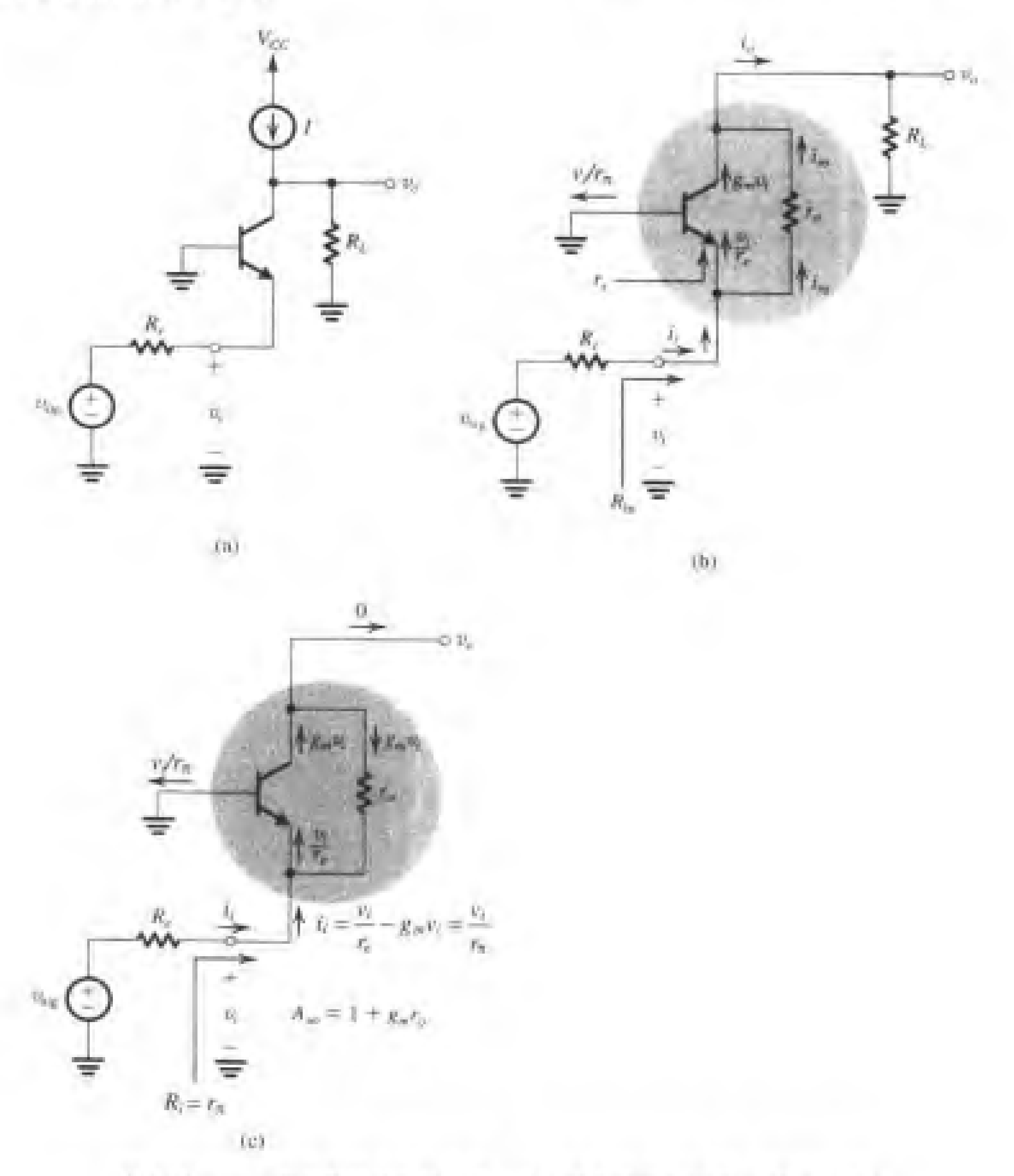


图 6.33 （a）有源负载共基放大器；（b）隐含使用 BJT 管 T 模型直接在电路图上完成的小信号分析；（c）输出端开路时的小信号分析

图 6.33（b）所示的是隐含使用 BJT 管 T 模型直接在电路图上完成的小信号分析。这一过程与 CMOS 管情况类似，但有一点不同。因为基极电流 v_i/r_π 有限，电流 i_o 与 i_i 之间的关系是

$$i_o = i_i - v_i / r_\pi \tag{6.110}$$

读者可以证明，如果忽略 r_x，射极的输入电阻 R_{in} 为

$$R_{in} = \frac{r_o + R_L}{1+\frac{r_o}{r_e}+\frac{R_L}{(\beta+1)r_e}} \tag{6.111}$$

我们看到，若令 $\beta=\infty$，这个表达式就等同于 MOS 管的情况［式（6.83）］，只是在这里 $g_{mb}=0$。注意，当 $\beta=\infty$ 时，有 $\alpha=1$，以及 $r_e=\alpha/g_m=1/g_m$。

在式（6.111）中进行一些近似处理，可得

$$R_{in} = r_e \frac{r_o + R_L}{r_o + R_L/(\beta+1)} \tag{6.112}$$

注意，令 $r_o=\infty$ 可得 $R_{in}=r_e$，这与 5.7.5 节中的结果是一致的。同样，当 $R_L=0$ 时，$R_{in}=r_e$。随着 R_L 的增大，R_{in} 值也变大。当 $R_L=\infty$，即放大器开路工作［见图 6.33（c）］时，达到最大值 $(\beta+1)r_e=r_\pi$。若 $R_L/(\beta+1) << r_o$，式（6.112）可近似为

$$R_{in} \simeq r_e + \frac{R_L}{A_0} \tag{6.113}$$

其中 A_0 是固有增益 $g_m r_o$。这个公式与 MOS 管的结果［即式（6.87）］十分相似。

根据图 6.33（c）很容易求出开路电压增益和输入电阻：

$$A_{vo} = 1 + g_m r_o = 1 + A_0 \tag{6.114}$$

这与 MOS 管的结果［即式（6.85）］一致，只是这里没有 g_{mb}。未加负载时的输入电阻 R_i 为

$$R_i = r_\pi \tag{6.115}$$

这就是我们从式（6.112）中得出的结果。

对于 MOS 管，输出电阻 R_o 为

$$R_o = r_o \tag{6.116}$$

对图 6.34 进行分析，可以得到含有射极电阻 R_e 时的输出电阻：

$$R_{out} = r_o + (1 + g_m r_o) R_e' \tag{6.117a}$$

其中，$R_e' = R_e \parallel r_\pi$。

注意，式（6.117a）与 MOS 管的结果［即式（6.101）］十分接近，但是有两点不同：第一，不包含 g_{mb}；第二，$R_e'=R_e \parallel r_\pi$ 代替了 R_s。BJT 表达式中出现了 r_π，这是因为 BJT 具有有限的 β 值。如果用开路电压增益 A_{vo} 表示，则式（6.117a）可改写成

$$R_{out} = r_o + A_{vo} R_e' \tag{6.117b}$$

这个公式对应于 MOS 管的结果式（6.102）。从式（6.117a）还可以得到另一个 R_{out} 的有用的表达式：

$$R_{out} = R_e' + (1 + g_m R_e') r_o \tag{6.117c}$$

这个公式对应于 MOS 管的结果式（6.103）。在式（6.117c）中，第二项比第一项大得多，所以可以近似为

$$R_{out} \equiv (1+g_m R_e')r_o \quad (6.118)$$

这与 MOS 管的结果式（6.104）相对应。

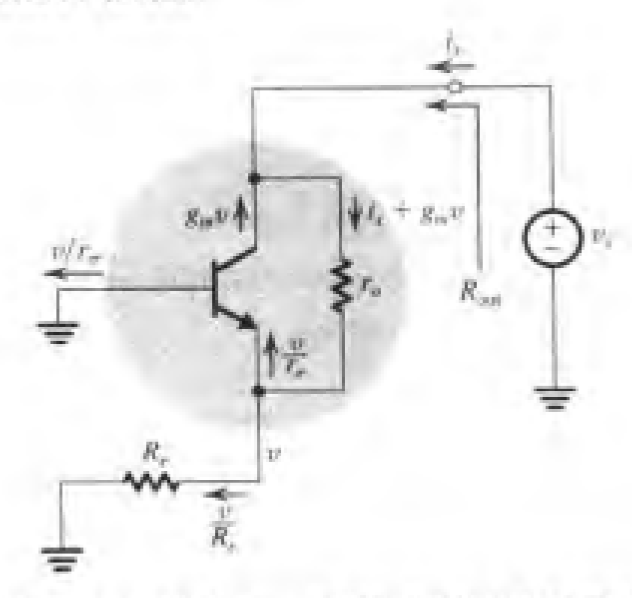


图 6.34 分析 CB 电路来确定 R_{out}。我们注意到流入晶体管的电流 i_x 必须等于流出晶体管的两部分电流 v/r_π 与 v/R_e 之和，即 $i_x = v/r_\pi + v/R_e$

式（6.118）清楚地表明：假如发射极接电阻 R_e 后，CB 输出电阻增大了（$1+g_m R_e'$）倍。因而，当 R_e 从 0 增大到 ∞ 时，输出电阻由 r_o 增大到$(1+g_m r_\pi)r_o = (1+\beta)r_o \approx \beta r_o$。这一 R_{out} 的上限值由 BJT 的有限大的 β 值决定，在 MOS 管中没有对应的情况。稍后可以看到，这个特点对电路设计有着重要的意义。最后，我们注意到当 $R_e \ll r_\pi$ 时，式（6.118）可近似为

$$R_{out} \simeq (1+g_m R_e)r_o \quad (6.119)$$

图 6.35 中总结了关于 R_{in} 和 R_{out} 的表达式。

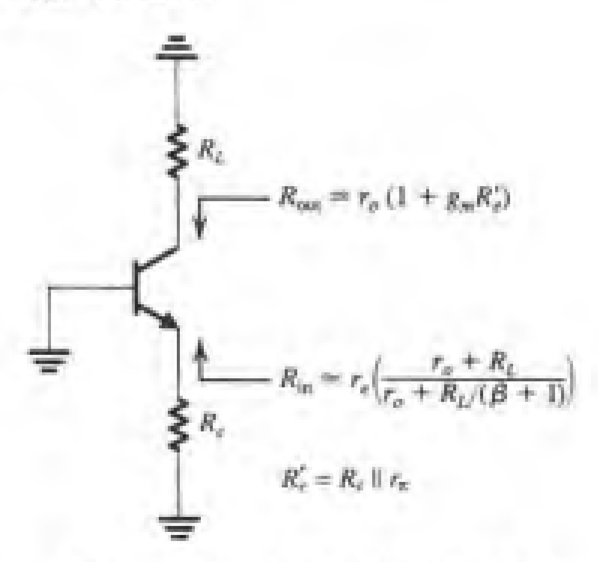


图 6.35 CB 放大器的输入和输出电阻

利用上述结果，可以求出总电压增益 G_v 为

$$G_v = G_{vo}\frac{R_L}{R_L + R_{out}} \quad (6.120)$$

其中，

$$G_{vo}=\frac{R_i}{R_i+R_e}A_{vo}=\frac{r_\pi}{r_\pi+R_e}A_{vo} \tag{6.121}$$

共基电路的高频响应可以用类似于MOS管的方法进行讨论。

练习6.25 考虑图6.33（a）中的CB放大器。其中$I=1$ mA，$\beta=100$，$V_A=100$ V，$R_L=1$ MΩ以及$R_e=1$ kΩ。求R_{in}，A_{vo}，R_o，A_v，R_{out}和G_v。若v_{sig}是峰值为5 mV的正弦波，求v_o。

答案：250 Ω；4001 V/V；100 kΩ；3637 V/V；2.97 MΩ；722 V/V；峰值为3.61 V

6.7.3 最后的说明

共栅和共基电路的开路电压增益A_{vo}基本上与共源和共发射极电路相等。但是相对后者而言，它们的输入电阻小得多，输出电阻大得多。这两个性质尽管对电压放大器来说并不十分需要，但是却使CG和CB电路适合于作为电流缓冲器使用。CG和CB电路的高频响应不受米勒效应影响，因而性能比CS和CE放大器优越得多。CG和CB电路最重要的应用是作为cascode放大器使用。接下来我们就介绍这部分内容。

6.8 cascode放大器

将一个共栅（共基）放大器与一个共源（共发射极）放大器级联，就得到一种多用途的放大器。这种放大器组态称为cascode组态[1]，已经在很多技术领域中使用了将近四分之三个世纪。

cascode放大器的基本思想是：将共源（共发射极）放大器所具有的高输入电阻和高互导的特点与共栅（共基）放大器所具有的电流缓冲特性和优越的高频响应结合起来。很快可以看到，与共源（共发射极）放大器相比，cascode放大器可以实现更宽的带宽，但直流增益却没有损失。或者说，cascode放大器可以得到更大的增益，但保持其增益带宽积不变。当然，这两个极端情况之间的情况都可以实现。

尽管cascode放大器由两级放大器级联而成，但在很多情况下仍被当做单级放大器使用。因而我们在本章中将对此进行讨论。

6.8.1 MOS管cascode放大器

图6.36（a）所示的是MOS管cascode放大器。其中，晶体管Q_1为共源组态，输出端与晶体管Q_2的输入端（即源极）相连。晶体管Q_2的栅极加上了恒定直流电压V_{BIAS}。因此，Q_2栅极的信号电压为零，Q_2成为带有恒流源负载I的CG放大器。显然，Q_1和Q_2工作时的漏极电流都等于I。如前所述，在包含cascode放大器的整个电路中，利用反馈在Q_1的栅极形成合适的直流电压，从而使它的漏极电流等于I。同时，V_{BIAS}的值还应保证Q_1和Q_2始终工作在饱和区。

小信号分析 我们先对cascode放大器做一个定性的描述。在输入信号电压v_i作用下，共源晶体管Q_1在其漏极产生电流信号$g_{m1}v_i$，并传送至共栅晶体管Q_2的源极。Q_2被称为cascode管。同时，Q_2将信号电流$g_{m1}v_i$传送至漏极，在输出电阻R_{out}很大的情况下，为负载电阻R_L（图6.36中未画出）提供电流。cascode晶体管Q_2实际上是一个缓冲器，既给Q_1的漏极提供了较低的输入电阻，又在放大器的输出端提供了较大的电阻。

[1] cascode一词可以追溯到电子管时代。它是cascaded cathode（阴极级联）的缩写。阴极级联的意思是第一级管子的输出端（阳极）与第二级管子的阴极相连。

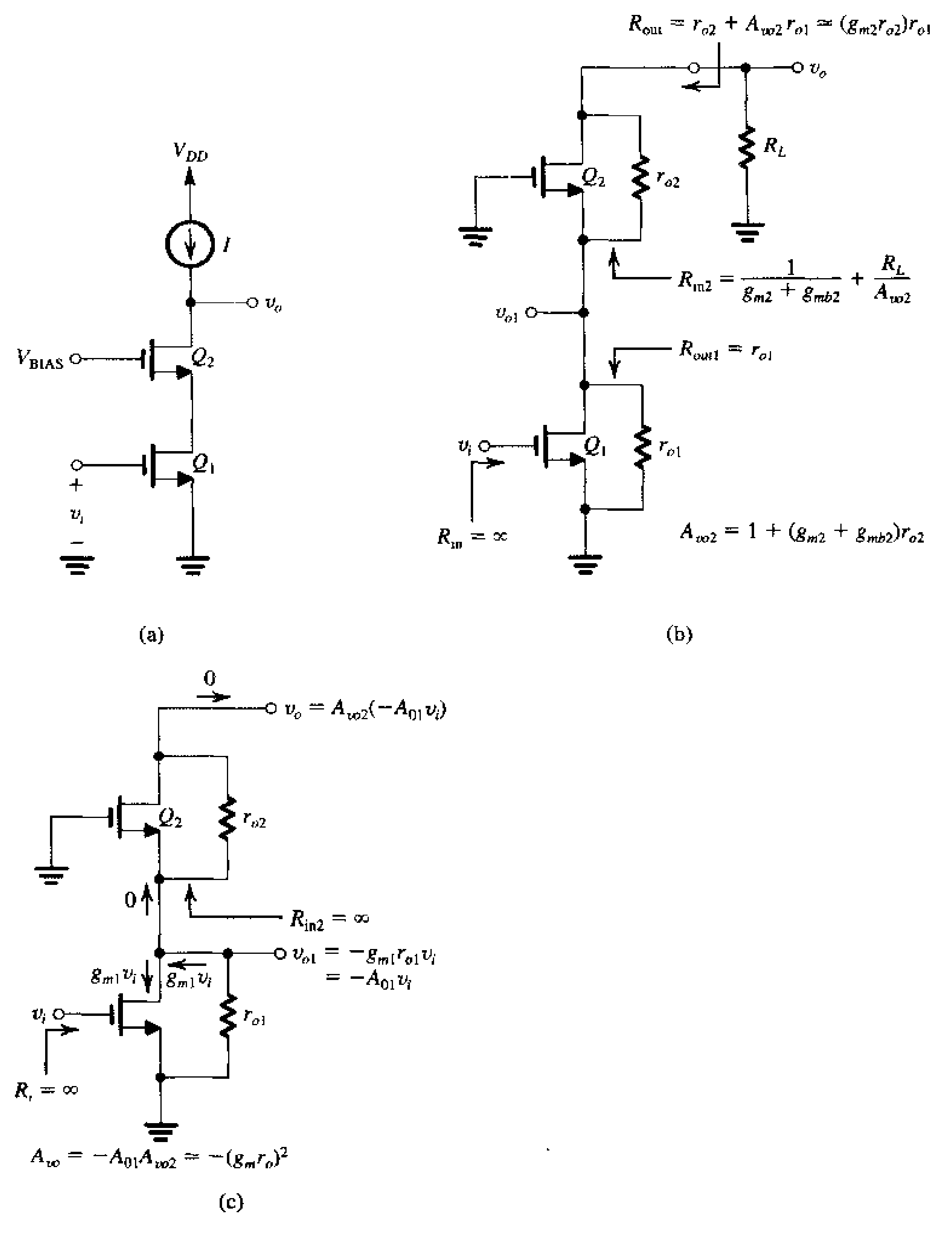


图 6.36 （a）MOS 管 cascode 放大器；（b）标出了输入和输出电阻的小信号分析电路；（c）输出端开路的 cascode 放大器

接下来，我们对 cascode 放大器进行分析以确定其性能参数。为了做到这一点，图 6.36（b）中画出了用做小信号分析的 cascode 电路，其中输出端画出了电阻 R_L。R_L 包含了电流源 I 的输出电阻和可能接入的实际负载电阻。图中也标出了许多输入和输出电阻值，它们是利用前几节 CS 和 CG 放大器的分析结果求得的。特别要注意的是，CS 晶体管 Q_1 使得 cascode 放大器的输入电阻为无穷大。在 Q_1 的漏端，“向下看”可以得到共源晶体管 Q_1 的输出电阻 r_{o1}，“向上看”可以得到

共栅晶体管 Q_2 的输入电阻：

$$R_{in2}=\frac{1}{g_{m2}+g_{mb2}}+\frac{R_L}{A_{vo2}} \tag{6.122}$$

其中，

$$A_{vo2}=1+(g_{m2}+g_{mb2})r_{o2} \tag{6.123}$$

因而 Q_1 漏极与地之间的总电阻为

$$R_{d1}=r_{o1}\parallel\left[\frac{1}{g_{m2}+g_{mb2}}+\frac{R_L}{A_{vo2}}\right] \tag{6.124}$$

图 6.36（b）中也标出了 cascode 放大器的输出电阻 R_{out}：

$$R_{out}=r_{o2}+A_{vo2}r_{o1} \tag{6.125}$$

这个结果可以利用式(6.102)得到，只是要注意 CG 晶体管 Q_2 源极的电阻 R_s 就是 Q_1 的输出电阻 r_{o1}。将式（6.123）的 A_{vo2} 代入式（6.125）可得

$$R_{out}=r_{o2}+[1+(g_{m2}+g_{mb2})r_{o2}]r_{o1} \tag{6.126}$$

可近似为

$$R_{out}\cong(g_{m2}r_{o2})r_{o1}=A_0r_{o1} \tag{6.127}$$

因而 cascode 放大器使输出电阻增大了，从共源放大器的 r_{o1} 增大到 A_0r_{o1}，增大倍数等于它的固有增益值。

图 6.36（b）所示 cascode 放大器电路中另一个需要注意的地方是：当输入端接有内阻为 R_{sig} 的信号源 v_{sig} 时，放大器无穷大的输入电阻导致

$$v_i=v_{sig}$$

因而，

$$G_v=A_v$$

此外还要注意到放大器是单向化的，因而，

$$R_o=R_{out}$$

根据图 6.36（c）所示的输出端开路时的放大器很容易求出 cascode 放大器的开路电压增益 A_{vo}。因为 R_{in2} 为无穷大，所以 CS 级 Q_1 的增益为

$$\frac{v_{o1}}{v_i}=-g_{m1}r_{o1}=-A_{01}$$

信号 v_{o1} 乘以 CG 晶体管 Q_2 的开路电压增益 A_{vo2} 可得

$$v_o=A_{vo2}v_{o1}$$

因而，

$$\begin{aligned}A_{vo}&=-A_{01}A_{vo2}\\&\cong-A_{01}A_{02}\end{aligned} \tag{6.128}$$

一般情况下两个管子的固有增益相等，因而，

$$A_{vo}=-A_0^2=-(g_mr_o)^2 \tag{6.129}$$

我们得出的结论是：cascode 组态使得开路电压增益从 CS 放大器的 A_0 增大到了 A_0^2。

现在我们来推导 cascode 放大器的短路互导 G_m。根据定义以及表 4.3 中的等效电路：

$$A_{vo} = -G_m R_o$$

将式（6.125）中的 $R_{out} = R_o$ 代入，并将式（6.128）中的 A_{vo} 代入得

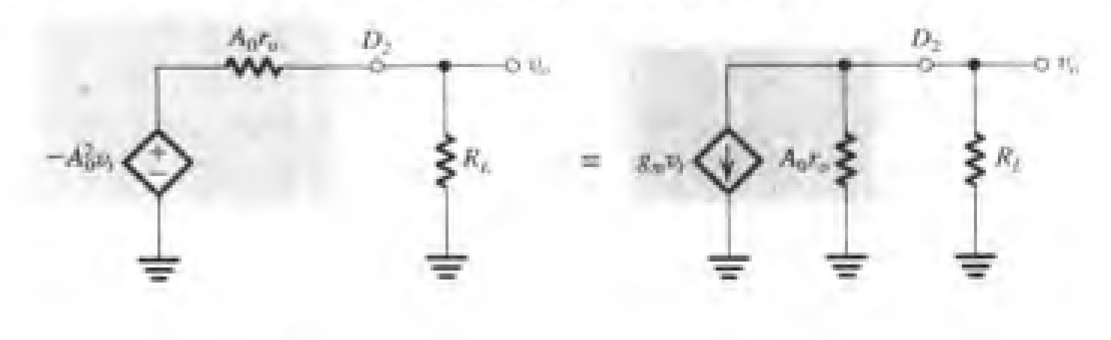
$$\begin{aligned} G_m &= \frac{A_{01}A_{vo2}}{r_{o2} + A_{vo2}r_{o1}} \\ &= \frac{g_{m1}r_{o1}[1+(g_{m2}+g_{mb2})r_{o2}]}{r_{o2}+[1+(g_{m2}+g_{mb2})r_{o2}]r_{o1}} \\ &\simeq g_{m1} \end{aligned} \tag{6.130}$$

这个公式证实了定量分析得到的结果。

现在 cascode 放大器的性能已经显而易见：在 v_i 作用下，CS 晶体管产生了漏极电流 $g_{m1}v_i$ 并通过 CG 晶体管流向 R_L。在这个过程中输出电阻扩大了 A_0 倍，从 R_{o1} 增大到 A_0r_o，而开路电压增益增大到$(g_m)(A_0r_o) = A_0^2$。图 6.37 总结了放大器的工作特性：图 6.37（a）和（b）所示分别是两种输出等效电路，图 6.37（c）所示是用来确定 CS 级 Q_1 电压增益的等效电路。利用图 6.37（a）或（b）中的等效电路都可以求出电压增益 A_v。从图 6.37（a）求得

$$A_v = -A_0^2 \frac{R_L}{R_L + A_0r_o} \tag{6.131}$$

容易看出，要使 cascode 放大器在可能的情况下得到较大的增益，必须使电阻 R_L 的值尽可能大。至少 R_L 必须和 A_0r_o 在同一个数量级上。当 $R_L = A_0r_o$ 时，$A_v = -A_0^2/2$。



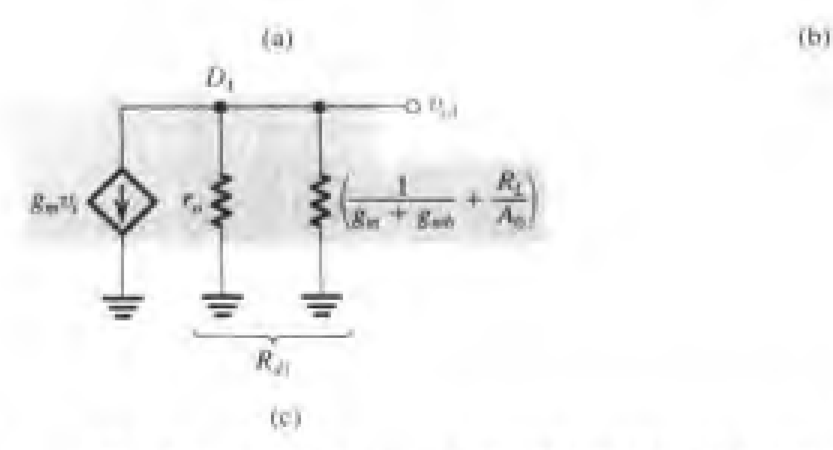


图 6.37 （a）和（b）cascode 放大器的两种输出等效电路。每一个电路都可以用来确定增益 $A_v = v_o/v_i$。A_v 与 G_v 相等，因为 $R_{in} = \infty$，从而 $v_i = v_{sig}$；（c）用来确定 CS 级 Q_1 电压增益的等效电路

CS 级的增益很重要，因为它决定了这一级的米勒效应。从图 6.37（c）中的等效电路可知：

$$\frac{v_{o1}}{v_i} = -g_m\left[r_o \parallel \left(\frac{1}{g_m} + \frac{R_L}{A_0}\right)\right] \tag{6.132}$$

当 $R_L = A_0 r_o$ 时，

$$\frac{v_{o1}}{v_i} = -g_m\left[r_o \parallel \left(\frac{1}{g_m} + r_o\right)\right] \simeq -\frac{1}{2}g_m r_o = -\frac{1}{2}A_0 \tag{6.133}$$

我们看到，当 R_L 较大时，cascode 放大器获得较大增益，其中很大部分的增益是由 CS 级提供的。考虑到米勒效应，这并不是一件好事，我们稍后就会讲到。为了使 CS 级的增益保持较低，R_L 必须减小。比如说，当 $R_L = r_o$ 时，根据式（6.132）可得

$$\frac{v_{o1}}{v_i} = -g_m\left[r_o \parallel \left(\frac{1}{g_m} + \frac{1}{g_m}\right)\right] \cong -2\ \text{V/V}$$

但遗憾的是，这样的话 cascode 放大器的直流增益就会大大下降，将 $R_L = r_o$ 代入式（6.131）可以看出这一点：

$$A_v = -A_0^2\frac{r_o}{r_o + A_0 r_o} \cong -A_0 \tag{6.134}$$

这里，cascode 放大器的增益变得与单级 CS 中获得的增益相等了！这是否说明 cascode 组态在这种情况下没有应用价值呢？并不是这样，我们马上会讲到。

6.8.2 MOS 管 cascode 放大器的频率响应

图 6.38 所示的是给出了所有晶体管内部电容的 cascode 放大器。图中还画出了输出端的电容 C_L，它包括 C_{db2}、下一级放大器的输入电容（如果有的话）以及可能存在的负载电容（如果有的话）。我们注意到 C_{db1} 与 C_{gs2} 并联连接，因而在下面的讨论中可以将它们视为一个整体。同样，C_L 与 C_{gd2} 既可以并联连接，也可以合并。

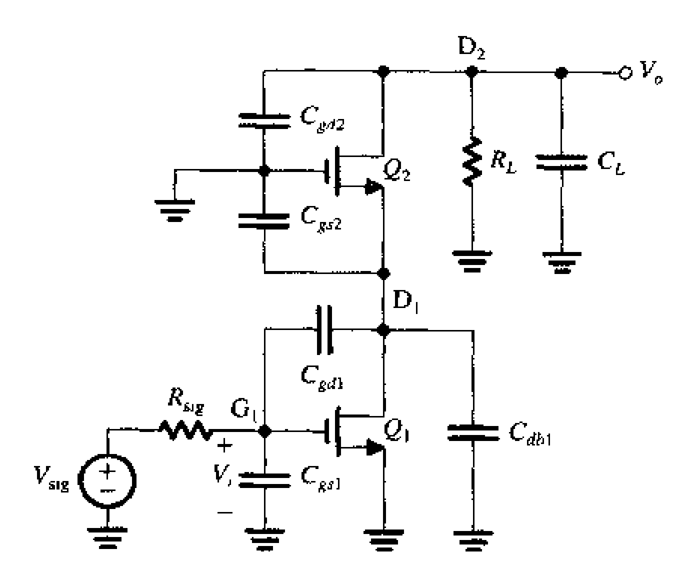


图 6.38　画出了晶体管内部各个电容的 cascode 电路

确定 3 dB 频率 f_H 最简单、事实上也最能揭示内在本质的方法是开路时间常数法。我们将采用这种方法，并且在分析过程中利用 6.6.2 节和 6.7.1 节的公式来求解下列电阻：

1. 从电容 C_{gs1} 视入的电阻为 R_{sig}。
2. 从电容 C_{gd1} 视入的电阻为 R_{gd1}，可以通过改写式（6.56）得到

$$R_{gd1} = (1 + g_{m1} R_{d1}) R_{sig} + R_{d1} \tag{6.135}$$

   其中，D_1 处的总电阻 R_{d1} 可由式（6.124）得到。
3. 从电容（$C_{db1} + C_{gs2}$）视入的电阻为 R_{d1}。
4. 从电容（$C_L + R_{gd2}$）视入的电阻为（$R_L \| R_{out}$）。

由这些电阻可以求出有效时间常数 τ_H 为

$$\begin{aligned}\tau_H = {} & C_{gs1} R_{sig} + C_{gd1}[(1 + g_{m1} R_{d1}) R_{sig} + R_{d1}] \\ & + (C_{db1} + C_{gs2}) R_{d1} + (C_L + C_{gd2})(R_L \| R_{out})\end{aligned} \tag{6.136}$$

3 dB 频率 f_H 为

$$f_H \simeq \frac{1}{2\pi\tau_H}$$

为了更深刻地理解限制 MOS 管 cascode 放大器高频响应的因素，我们将式（6.136）改写为

$$\begin{aligned}\tau_H = {} & R_{sig}[C_{gs1} + C_{gd1}(1 + g_{m1} R_{d1})] + R_{d1}(C_{gd1} + C_{db1} + C_{gs2}) \\ & + (R_L \| R_{out})(C_L + C_{gd2})\end{aligned} \tag{6.137}$$

当 R_{sig} 较大时，第一项是主要项，特别是当米勒倍增因子（$1 + g_{m1} R_{d1}$）较大时。如果负载电阻 R_L 也较大（与 $A_0 r_o$ 在同一个数量级上），这将使得 R_{in2} 较大，从而第一级 Q_1 可提供更大比例的增益。当 R_{sig} 较大时，要增大带宽，则必须使 R_L 降到 r_o 的数量级上。这样做的目的是使 R_{in2} 即 R_{d1} 减小，从而导致米勒效应减小。但是要注意，此时 cascode 放大器的直流增益将会变成 A_0。因而，尽管直流增益与 CS 放大器中获得的增益相等（或稍大），但是带宽会大很多。

当 R_{sig} 较小时，Q_1 的米勒效应将忽略不计。使用较大的 R_L（与 $A_0 r_o$ 在同一个数量级上）可以获得 cascode 放大器最大可能的增益，也就是与 A_0^2 同数量级。从式（6.137）可以看出，这种情况下通常第三项是主要项。为了进一步说明，考虑 $R_{sig} = 0$ 的情况，假设中间项比第三项小得多，可得

$$\tau_H \simeq (C_L + C_{gd2})(R_L \| R_{out})$$

3 dB 频率为

$$f_H = \frac{1}{2\pi(C_L + C_{gd2})(R_L \| R_{out})} \tag{6.138}$$

这与共源放大器中 $R_{sig} = 0$ 时的式（6.79）具有相同的形式。但是这里的（$R_L \| R_{out}$）比那里的 R_L' 要大 A_0 倍，因而 cascode 放大器的 f_H 要比共源放大器小相同的倍数 A_0。图 6.39 所示是 cascode 放大器和对应的共源放大器的频率响应特性。我们看到，这里级联使得直流增益增大了 A_0 倍，却可保持单位增益频率不变：

$$f_t \simeq \frac{1}{2\pi} \frac{g_m}{C_L + C_{gd2}} \tag{6.139}$$

	共源	cascode
电路	V_i, r_o, R_L, C_L, V_o $R'_L = R_L \| r_o$	$A_0 r_o$, $A_0 R_L$, C_L, V_o, V_i
直流增益	$-g_m R'_L$	$-A_0 g_m R'_L$
f_{3dB}	$\dfrac{1}{2\pi(C_L+C_{gd})R'_L}$	$\dfrac{1}{2\pi(C_L+C_{gd})A_0 R'_L}$
f_t	$\dfrac{g_m}{2\pi(C_L+C_{gd})}$	$\dfrac{g_m}{2\pi(C_L+C_{gd})}$

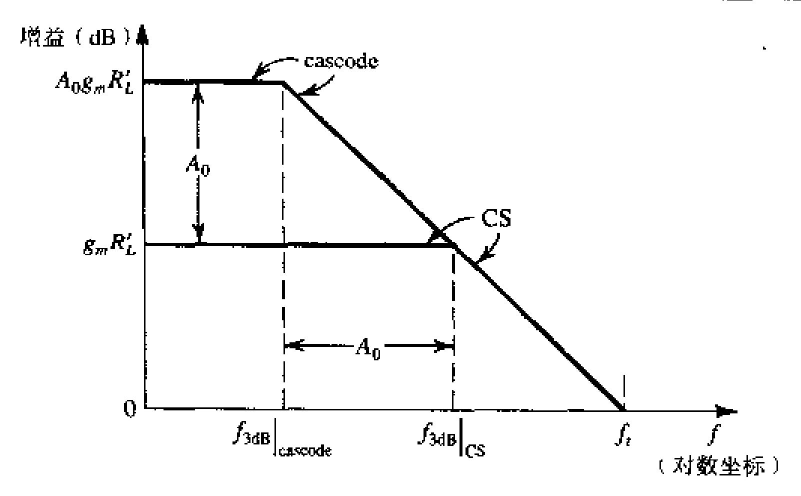


图 6.39　当 $R_{sig}=0$ 时，cascode 级联对增益和带宽的影响。cascode 级联使得直流增益增大了 A_0 倍，却可保持单位增益频率不变。注意，要获得高增益，负载电阻必须增大 A_0 倍

例题 6.12　这个例子通过比较以下两种情况下的 cascode 放大器和共源放大器来说明 cascode 级联的优点：

（a）信号源的内阻很大，$R_{sig}=10\ \text{k}\Omega$；

（b）R_{sig} 小得可以忽略。

假定所有 MOS 管的 $W/L=7.2\ \mu\text{m}/0.36\ \mu\text{m}$，工作时 $I_D=100\ \mu\text{A}$，$g_m=1.25\ \text{mA/V}$，$\chi=0.2$，$r_o=20\ \text{k}\Omega$，$C_{gs}=20\ \text{fF}$，$C_{gd}=5\ \text{fF}$，$C_{db}=5\ \text{fF}$ 以及 C_L（不含 C_{db}）$=5\ \text{fF}$。在情况（a）下，CS 放大器的 $R_L=r_o=20\ \text{k}\Omega$，cascode 放大器的 $R_L=R_{out}$。试求两种情况下的 A_v，f_H 和 f_t。

解：

（a）对 CS 放大器：

$$A_0=g_m r_o=1.25\times 20=25\ \text{V/V}$$

$$A_v=-g_m(R_L \| r_o)=-g_m(r_o \| r_o)$$

$$=-\frac{1}{2}A_0=-12.5\ \text{V/V}$$

$$\tau_H=C_{gs}R_{sig}+C_{gd}[(1+g_m R'_L)R_{sig}+R'_L]+(C_L+C_{db})R'_L$$

其中，

$$R_L' = r_o \parallel R_L = r_o \parallel r_o = 10\ \text{k}\Omega$$
$$\tau_H = 20\times10+5[(1+12.5)10+10]+(5+5)10$$
$$= 200+725+100 = 1025\ \text{ps}$$

则

$$f_H = \frac{1}{2\pi\times1025\times10^{-12}} = 155\ \text{MHz}$$
$$f_t = |A_v|\,f_H = 12.5\times155 = 1.94\ \text{GHz}$$

对 cascode 放大器：

$$A_{01} = g_{m1}r_{o1} = 1.25\times20 = 25\ \text{V/V}$$
$$A_{vo2} = 1+(g_{m2}+g_{mb2})r_{o2} = 1+(1.25+0.2\times1.25)\times20$$
$$= 1+1.5\times20 = 31\ \text{V/V}$$
$$R_{\text{out1}} = r_{o1} = 20\ \text{k}\Omega$$
$$R_{\text{in2}} = \frac{1}{g_{m2}+g_{mb2}}+\frac{R_L}{A_{vo2}} = \frac{1}{1.5}+\frac{20}{31} = 1.3\ \text{k}\Omega$$
$$R_{d1} = R_{\text{out1}} \parallel R_{\text{in2}} = 20 \parallel 1.3 = 1.22\ \text{k}\Omega$$
$$R_{\text{out}} = r_{o2}+A_{vo2}r_{o1} = 20+31\times20 = 640\ \text{k}\Omega$$
$$\frac{v_{o1}}{v_i} = -g_{m1}R_{d1} = -1.25\times1.22 = -1.5\ \text{V/V}$$
$$A_v = A_{vo}\frac{R_L}{R_L+R_{\text{out}}} = -25\times31\times\frac{20}{640+20} = -23.5\ \text{V/V}$$
$$\tau_H = R_{\text{sig}}[C_{gs1}+C_{gd1}(1+g_{m1}R_{d1})]+R_{d1}(C_{gd1}+C_{db1}+C_{gs2})+(R_L \parallel R_{\text{out}})(C_L+C_{db2}+C_{gd2})$$
$$\tau_H = 10[20+5(1+1.5)]+1.22(5+5+20)+(20 \parallel 640)(5+5+5)$$
$$= 325+36.6+290.9$$
$$= 653\ \text{ps}$$
$$f_H = \frac{1}{2\pi\times653\times10^{-12}} = 244\ \text{MHz}$$
$$f_t = 23.5\times244 = 5.73\ \text{GHz}$$

故 cascode 级联将 f_t 增大了 3 倍。

（b）对 CS 放大器：

$$A_v = -12.5\ \text{V/V}$$
$$\tau_H = (C_{gd}+C_L+C_{db})R_L'$$
$$= (5+5+5)10 = 150\ \text{ps}$$
$$f_H = \frac{1}{2\pi\times150\times10^{-12}} = 1.06\ \text{GHz}$$
$$f_t = 12.5\times1.06 = 13.3\ \text{GHz}$$

对 cascode 放大器：

$$A_v = A_{vo}\frac{R_L}{R_L+R_{\text{out}}} = -25\times31\times\frac{640}{640+640} = -388\ \text{V/V}$$
$$R_{\text{in2}} = \frac{1}{g_{m2}+g_{mb2}}+\frac{R_L}{A_{vo2}} = \frac{1}{1.5}+\frac{640}{31}$$
$$= 21.3\ \text{k}\Omega$$
$$R_{d1} = 21.3 \parallel 20 = 10.3\ \text{k}\Omega$$

$$\tau_H = R_{d1}(C_{gd1}+C_{db1}+C_{gs2})+(R_L \| R_{out})(C_L+C_{gd2}+C_{db2})$$
$$=10.3(5+5+20)+(640\|640)(5+5+5)$$
$$=309+4800=5109 \text{ ps}$$
$$f_H=\frac{1}{2\pi\times5109\times10^{-12}}=31.2 \text{ MHz}$$
$$f_t=388\times31.2=12.1 \text{ GHz}$$

故 cascode 级联使得直流增益从 12.5 V/V 提高到 388 V/V。但是单位增益频率（也就是增益带宽积）基本保持不变。■

练习 6.26 要让一个 cascode 放大器工作在 $I=100\ \mu A$ 上，V_{BIAS} 的最小值应为多大？已知 $\mu_n C_{ox}=300\ \mu A/V^2$，$W/L=10$ 以及 $V_{tn}=0.6$ V。

答案：1.12 V

练习 6.27 考虑一个工作在偏置电流 $I=100\ \mu A$ 上的 cascode 放大器，其中所有的晶体管 $W/L=5\ \mu m/0.5\ \mu m$，$V_A'=20\ V/\mu m$，$\mu_n C_{ox}=190\ \mu A/V^2$，$\chi=0.2$，$C_{gd}=2$ fF 以及 $C_{db}=3$ fF。当 $R_{sig}=0$，$R_L=R_{out}$，C_L（不含 C_{db}）$=5$ fF 时，求出 A_{01}，A_{o2}，A_{vo}，R_{out1}，R_{in2}，R_{d1}，R_{out}，A_v，f_t 和 f_H。［提示：利用式（6.139）中 f_t 的近似公式，但是记住要加上 C_{db}。］

答案：62 V/V；75 V/V；−4650 V/V；100 kΩ；103 kΩ；50.7 kΩ；7.6 MΩ；−2325 V/V；9.8 GHz；4.2 MHz

6.8.3 BJT 管 cascode 放大器

图 6.40（a）所示的是 BJT 管 cascode 放大器。这个电路与 MOS 管 cascode 放大器十分相似，小信号分析也类似，如图 6.40（b）所示。这里我们标出了各输入和输出电阻。我们注意到不同于 MOS 管 cascode 放大器具有无穷大的输入电阻，BJT 管 cascode 放大器的输入电阻为 $r_{\pi1}$（忽略 r_x）。R_{in2} 的表达式就是我们在分析共基电路时得到的结果［即式（6.112）］。输出电阻 $R_{out}=\beta_2 r_{o2}$，可将 $R_e=r_{o1}$ 代入式（6.119）并取 $g_m r_o \gg \beta$ 近似后得到。注意，βr_o 是 CB 放大器所能提供的最大的输出电阻。

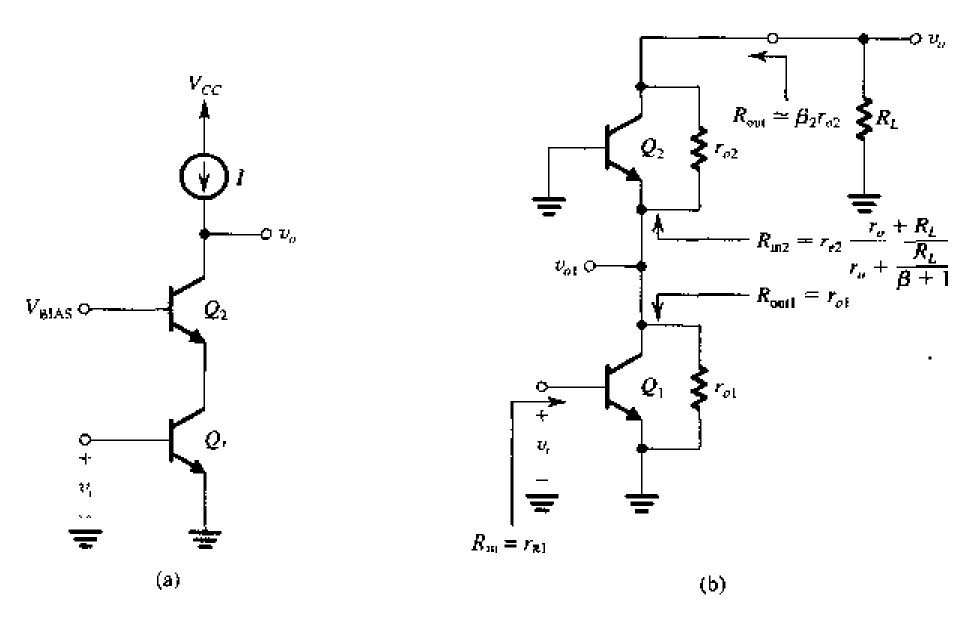
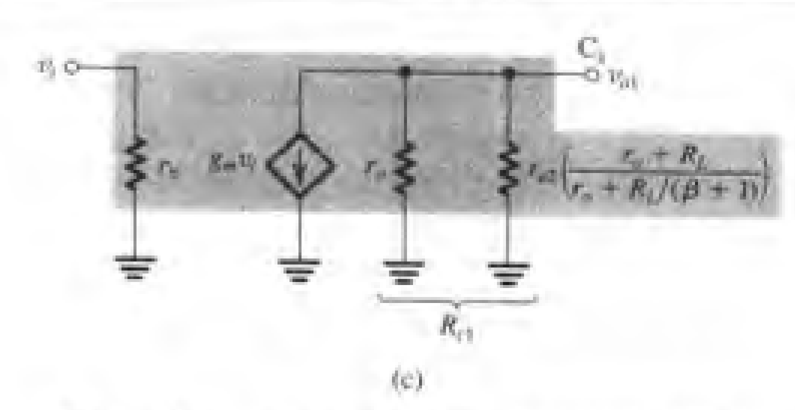


图 6.40 （a）BJT 管 cascode 放大器；（b）画出了各个输入和输出电阻的小信号分析电路。注意，r_x 被忽略了



(c)

图 6.41（续）　（c）用来确定 CE 级 Q_1 增益的等效电路

CE 管 Q_1 的电压增益可以由图 6.41（c）中的等效电路求得。Q_1 集电极与地之间的电阻是 Q_1 输出电阻 r_o 和 CB 晶体管 Q_2 的输入电阻 R_{in2} 的并联等效。注意，当 $R_L \ll r_o$ 时，后者如预想的那样降为 r_e。但是，R_{in2} 随 R_L 增大而增大。我们感兴趣的是在 $R_L=\beta r_o$ 情况下得到的 R_{in2} 值，即 $R_{in2}=r_\pi/2$。在这种情况下，可得 CE 级的电压增益为 $-\beta/2$。

最后，图 6.42 中给出了用来确定双极型晶体管 cascode 放大器高频响应的电路和公式。分析过程与 MOS 管的情况类似。

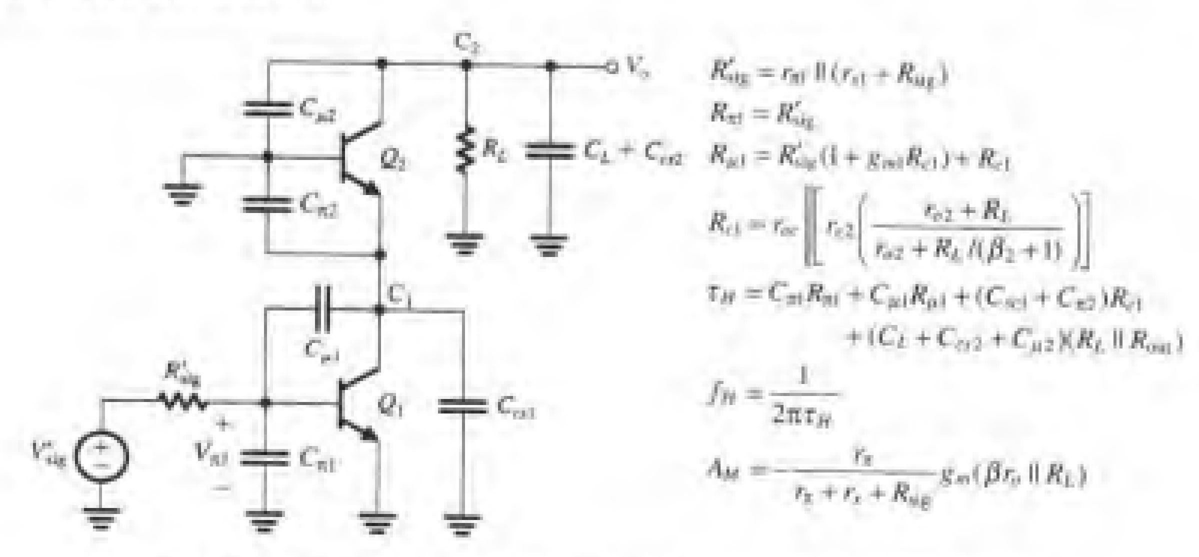


图 6.42　确定 BJT 管 cascode 放大器的频率响应。注意，除了 BJT 的电容 C_π 和 C_μ 以外，图中还包括每个晶体管集电极和衬底之间的电容 C_{cs}

练习 6.28　*本练习的目的在于估计级联对练习 6.20 中 CE 放大器性能的影响。具体参数如下：* $I=1$ mA，$\beta=200$，$r_o=130$ kΩ，$C_\pi=16$ pF，$C_\mu=0.3$ pF，$r_x=200$ Ω，$C_{cs1}=C_{cs2}=0$，$C_L=5$ pF，$R_{sig}=36$ kΩ，$R_L=50$ kΩ。*求* R_{in}，A_0，R_{out1}，R_{in2}，R_{out}，A_M，f_H *和* f_t。*将* A_M，f_H *和* f_t *与练习 6.20 中得到的共射放大器对应的值进行比较。为了使* $f_H=1$ MHz，C_L *应减小为多少？*

答案：5.2 kΩ；5200 V/V；130 kΩ；35 Ω；26 MΩ；−238 V/V；469 kHz；111.6 MHz；$|A_M|$ 从 175 V/V 增加到 238 V/V，f_H 从 75 kHz 上升到 469 kHz，f_t 从 13.1 MHz 增加到 111.6 MHz，C_L 需要降低至 1.6 pF

6.8.4　cascode 电流源

如前所述，为了获得 cascode 放大器能够达到的高电压增益，MOS 管 cascode 放大器的负载

电阻 R_L 必须至少与 A_0r_o 具有相同的数量级，而双极型晶体管 cascode 放大器必须与 βr_o 具有相同的数量级。但是，R_L 包含了用电流源实现负载的电路的输出电阻，因而电流源的输出电阻在 MOS 管电路中必须至少与 A_0r_o 同数量级（BJT 电路为 βr_o）。这否定了使用 6.2 节介绍的简单电流源电路的想法，因为它们的输出电阻等于 r_o。幸运的是，我们有一个概念简单而有效的解决方法——运用级联方法来实现电流源。图 6.43 表明了这种想法，其中，Q_1 是电流源晶体管，Q_2 是 cascode 晶体管。选择合适的直流电压 V_{BIAS1}，使得 Q_1 提供指定的电流 I；选择 V_{BIAS2} 保证 Q_1 和 Q_2 始终工作在饱和区。从 Q_1 漏端视入的电阻为 r_{o1}，cascode 管 Q_2 将这一电阻扩大了 $(g_{m2}r_{o2})$ 倍，使得电流源的输出电阻近似为

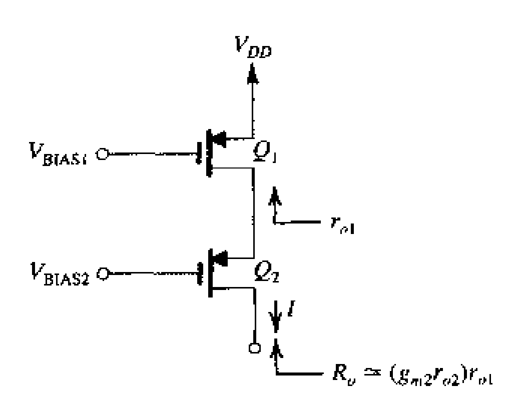


图 6.43 cascode 电流源

$$R_o \simeq (g_{m2}r_{o2})r_{o1} \tag{6.141}$$

类似的方法也可用于双极型晶体管。我们将在 6.12 节中介绍多种改进型电流源和镜像电流源。

6.8.5 两级 cascode 放大器

MOS 管 cascode 放大器的工作特点是：共栅 cascode 管 Q_2 将其源端的电阻扩大了 A_{02} 倍，从共源管 Q_1 的 r_o 增大到输出电阻 $A_{02}r_{o1}$，因此我们可以通过添加另一级级联电路使得输出电阻继续增大，如图 6.44 所示。图中添加了另一个共栅管 Q_3，使得输出电阻增大了 A_{03} 倍。因而这个两级 cascode 放大器的输出电阻为 $A_0^2r_o$。注意，需要产生另外的偏置电压以提供给附加的 cascode 管 Q_3。

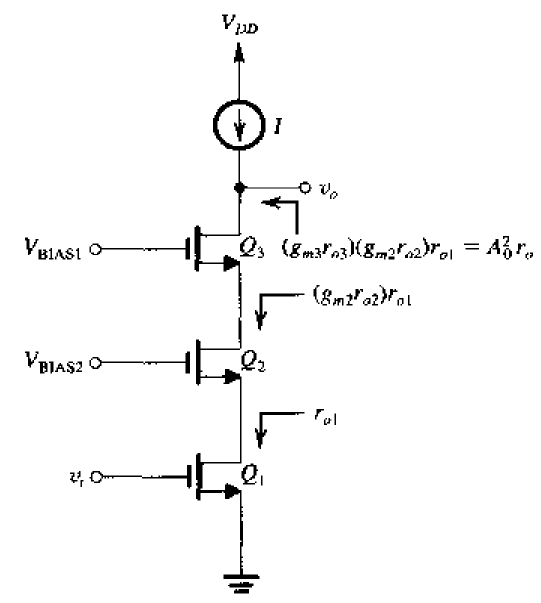


图 6.44 两级 cascode 放大器

两级 cascode 的一个缺点是电源供电路径上多出了一个附加的晶体管。另外，由于输出电阻达到了 $A_0^2r_o$ 的数量级，电流源 I 也需要用两级 cascode 实现，这使得路径上又多出了一个晶体管。考虑到现代 CMOS 工艺中 V_{DD} 仅比 1 V 稍大一点，因此添加额外的晶体管十分困难。

最后需要注意，由于 BJT 管 cascode 放大器最大可能的输出电阻为 βr_o，添加另一级 cascode 管不会带来什么好处。

6.8.6 折叠型 cascode 放大器

为了避免在低电压电源供电下堆积太多晶体管带来的问题，可以在 cascode 器件中使用一个 PMOS 管，如图 6.45 所示。这里，NMOS 管 Q_1 同以前一样为 CS 组态，而 CG 级由 PMOS 管 Q_2 实现。一个附加的电流源 I_2 需要用来给 Q_2 提供偏置并充当有源负载。注意，现在的 Q_1 工作在偏置电流（$I_1 - I_2$）上。最后，直流电源 V_{BIAS} 需要用来为 cascode 管 Q_2 的栅极提供合适的直流电压。必须选择合适的值，使得 Q_2 和 Q_1 都工作在饱和区。

图 6.45 所示电路的小信号工作情况与 NMOS 的 cascode 放大器类似，惟一的差异在于，这里

的信号电流 $g_m v_i$ 是折叠向下流入 Q_2 源端的，因而这个电路被称为折叠型 cascode 放大器[1]。折叠型 cascode 放大器是 CMOS 放大器中一种很流行的组成模块。

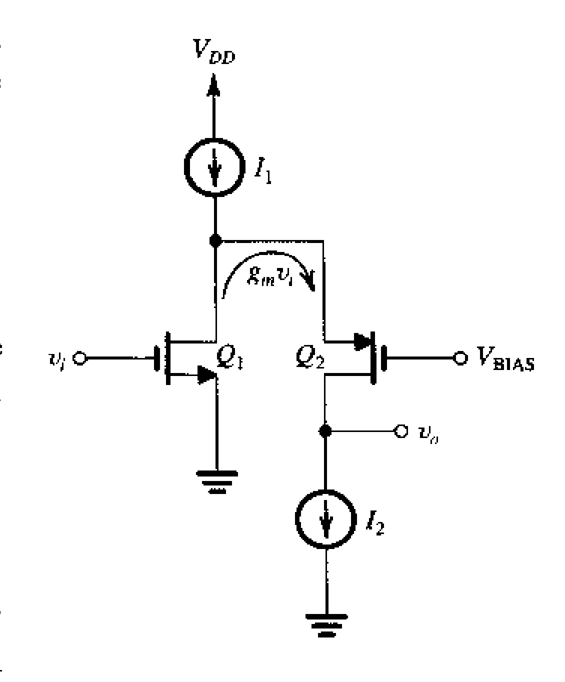


图 6.45　折叠型 cascode 放大器

练习 6.29　考虑图 6.45 中的折叠型 cascode 放大器。其中，$V_{DD}=1.8\text{ V}$，$k_p'=\frac{1}{4}k_n'$，$V_{tn}=-V_{tp}=0.5\text{ V}$。为了使 Q_1 和 Q_2 工作时的偏置电流 I 相等，有 $I_1=2I$ 和 $I_2=I$。电流源 I_1 用 6.2 节中介绍的简单电路实现，而电流源 I_2 用 cascode 电路实现（即使用图 6.43 所示的 NMOS 电路）。已选定合适的 W/L 值，使得每一个晶体管工作时过驱动电压为 0.2 V。

（a）$(W/L)_2$ 与 $(W/L)_1$ 之间存在什么关系？

（b）为了让电流源 I_1 正常工作，所需的直流电压最小值为多少？现在，如果 Q_1 的漏端允许一个峰-峰值为 0.1 V 的信号摆动，那个节点上可用的直流偏置电压最大值为多少？

（c）Q_2 的 V_{SG} 值是多少？可以设定的最大 V_{BIAS} 值是多少？

（d）为了让电流源 I_2 正常工作，所需的直流电压最小值为多少？

（e）在（c）和（d）的条件下，输出端信号摆动的允许范围是多少？

答案：（a）$(W/L)_2=4(W/L)_1$；（b）0.2 V，1.55 V；（c）0.7 V，0.85 V；（d）0.4 V；（e）0.4 V~1.35 V

6.8.7 BiCMOS cascode 放大器

如前所述，如果技术条件允许，电路设计人员会将双极型晶体管和 MOS 管结合在一起以充分利用各自独有的特点。图 6.46 就是一个例子，图中所示的是用 BiCMOS 实现 cascode 放大器的两种可能形式。在图 6.46（a）所示的电路中，一个 MOSFET 用做输入器件，为 cascode 放大器提供无穷大的输入电阻，而另一个双极型晶体管用做 cascode 管，相对 MOS 管提供更大的输出电阻。这是因为 BJT 管的 β 值通常比 MOS 管的 A_0 大。更重要的是，BJT 管的 r_o 比现代亚微米 MOS 管的 r_o 大得多。同样，双极型 CB 管的输入电阻 R_{in2} 比通常的共栅晶体管所能达到的值要小，特别是当 R_L 较小时。从而 Q_1 的漏端与地之间的总电阻较小，Q_1 的米勒效应也减弱了。

图 6.46（b）所示的电路是一个双极型 cascode 放大器，使用了一个 MOS 管来实现第二级的级联电路。使用 MOS 管的原因在于：与 BJT 所能实现的最大输出电阻 βr_o 不同，MOS 管没有这样的限制。同时，Q_3 使得输出电阻增大了 A_{03} 倍。

练习 6.30　计算图 6.46 所示的 BiCMOS cascode 放大器的 G_m，R_{out} 和开路电压增益 A_{vo}，已知 $I=100\ \mu\text{A}$。对于 BJT，$V_A=50\text{ V}$，$\beta=100$。对于 MOSFET 管，$V_A=5\text{ V}$，$\mu_n C_{ox}=200\ \mu\text{A/V}^2$，$W/L=25$。

答案：对于图 6.46（a）所示的电路：1 mA/V，50 MΩ，-5×10^4 V/V；对于图 6.46（b）所示的电路：4 mA/V，2500 MΩ，-10^7 V/V

[1] 这个电路本身可以被认为是经过折叠的。同样，普通的 cascode 放大器有时被称为望远镜型的 cascode 放大器，因为晶体管的级联与望远镜的镜筒形状相似。

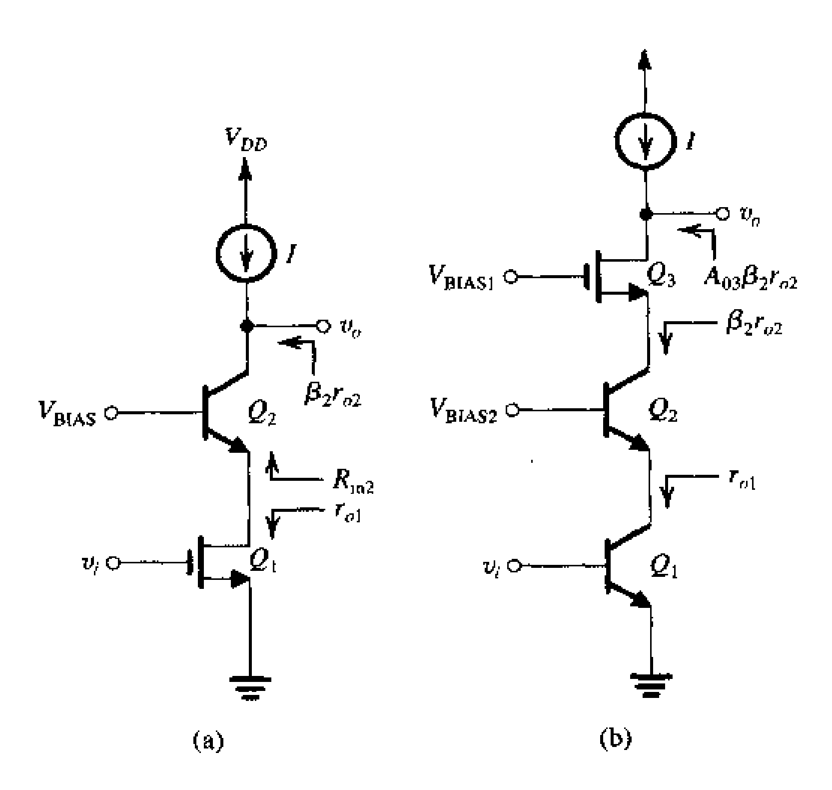


图 6.46　BiCMOS cascode 放大器

6.9　源极（射极）接负反馈的 CS 和 CE 放大器

在共源放大器的源极（共发射极放大器的射极）接入一个相对较小的电阻（几倍于 $1/g_m$），就为放大器引入了负反馈，从而使电路设计人员可以有效地利用这个电阻，通过调节这一附加参数，利用负反馈牺牲一部分增益来获得期望得到的性能。我们在 4.7 节和 5.7 节中已经介绍过一些这方面的例子。在本节中，我们将分析源极、射极接负反馈的集成电路放大器，其中必须考虑 r_o 和 g_{mb} 的作用。我们还将介绍利用源极（射极）负反馈来扩大放大器带宽的内容。

6.9.1　源极接电阻的 CS 放大器

图 6.47（a）所示是一个采用有源负载的 CS 放大器，源极接有电阻 R_s，考虑到衬底和源极之间将产生一个信号 v_{bs}，因而分析过程中必须考虑衬底效应。用做小信号分析的电路如图 6.47（b）所示，输出端接有电阻 R_L。为了求出输出电阻 R_{out}，我们令 $v_i=0$，这使得电路等同于一个 CG 放大器。因此，我们可以利用式（6.101）求得 R_{out}：

$$R_{out}=r_o+\left[1+(g_m+g_{mb})r_o\right]R_s \tag{6.142}$$

在通常条件下，$(g_m+g_{mb})r_o\gg 1$，因而，

$$R_{out}\cong r_o\left[1+(g_m+g_{mb})R_s\right] \tag{6.143}$$

开路电压增益可以由图 6.47（c）中的电路求得。考虑到 R_s 中的电流必为零，源端的电压 v_s 也将为零，从而 $v_{gs}=v_i$，$v_{bs}=0$，因此，

$$i=g_m v_{gs}$$

且

$$v_o=-ir_o=-g_m r_o v_{gs}=-g_m r_o v_i$$

因此，

$$A_{vo}=-g_m r_o=-A_0$$

换句话说，电阻 R_s 对 A_{vo} 没有影响！

利用 $A_{vo}=-A_0$ 及式（6.143）中 R_{out} 的表达式，我们可以得到放大器的等效输出电路，如图 6.47（d）所示。用短路互导 G_m 表示的另一种形式的等效输出电路如图 6.47（e）所示，其中 G_m 利用下式求得

$$G_m=\frac{|A_{vo}|}{R_{out}}=\frac{g_m r_o}{r_o[1+(g_m+g_{mb})R_s]}$$

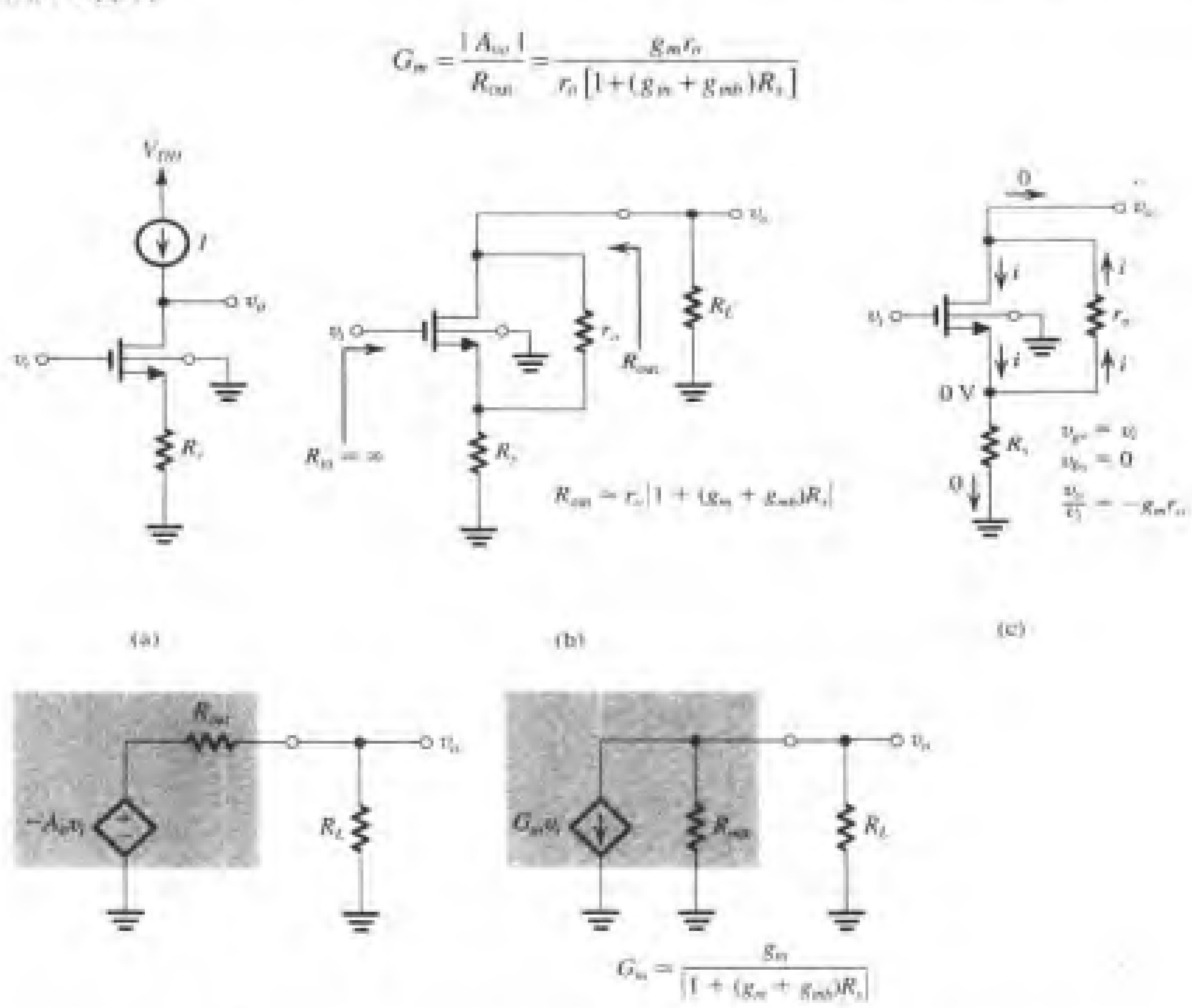


图 6.47　（a）源极接负反馈电阻 R_s 的 CS 放大器；（b）小信号分析电路；（c）输出端开路的电路，用来求 A_{vo}；（d）等效输出电路；（e）用 G_m 表示的另一种形式的等效输出电路

故

$$G_m=\frac{g_m}{1+(g_m+g_{mb})R_s} \tag{6.144}$$

R_s 的作用显而易见：R_s 使放大器互导减小且使输出电阻增大了相同的倍数：$[1+(g_m+g_{mb})R_s]$。在第 8 章正式介绍负反馈时，我们将看到这个因子就是 R_s 引入的反馈深度。

现在可求得电压增益 A_v 为

$$A_v = -A_{vo}\frac{R_L}{R_L + R_{out}} \tag{6.145}$$

因此，如果 R_L 保持不变，则 A_v 将减小。这就是引入 R_s 使性能得到提高所需要付出的代价。其中的一个提高就在于放大器的线性范围。因为只有输入信号 v_i 的一部分 v_{gs} 出现在栅极和源极两端。r_o 的存在使得 v_{gs}/v_i 表达式的推导变得十分复杂。推导过程必须明确地使用 MOS 管等效电路模型。结果是

$$\frac{v_{gs}}{v_i} \simeq \frac{1}{1+(g_m+g_{mb})R_s}\frac{R_L \parallel R_{out}}{R_L \parallel r_o} \tag{6.146}$$

若 $r_o \gg R_L$，则该式变成以下熟悉的形式：

$$\frac{v_{gs}}{v_i} \simeq \frac{1}{1+(g_m+g_{mb})R_s} \tag{6.147}$$

因此，可以利用 R_s 值来调节 v_{gs} 的大小，从而获得需要的线性范围。当然，这需要牺牲部分增益。

频率响应 源端负反馈的另一个优点在于可以扩大放大器的带宽。图 6.48（a）所示的是画出了内部电容 C_{gs} 和 C_{gd} 的放大器。输出端还画出了包含 MOS 管电容 C_{db} 的电容 C_L。可以利用开路时间常数法来求 3 dB 频率 f_H 的近似值。为此给出了图 6.48（b）所示的相应电路，我们可利用该电路求由 C_{gd} 视入的电阻 R_{gd}。我们注意到，要求 R_{gd}，只需简单地改写式（6.56），就可应用到源极负反馈上：

$$R_{gd} = R_{sig}(1+G_mR'_L)+R'_L \tag{6.148}$$

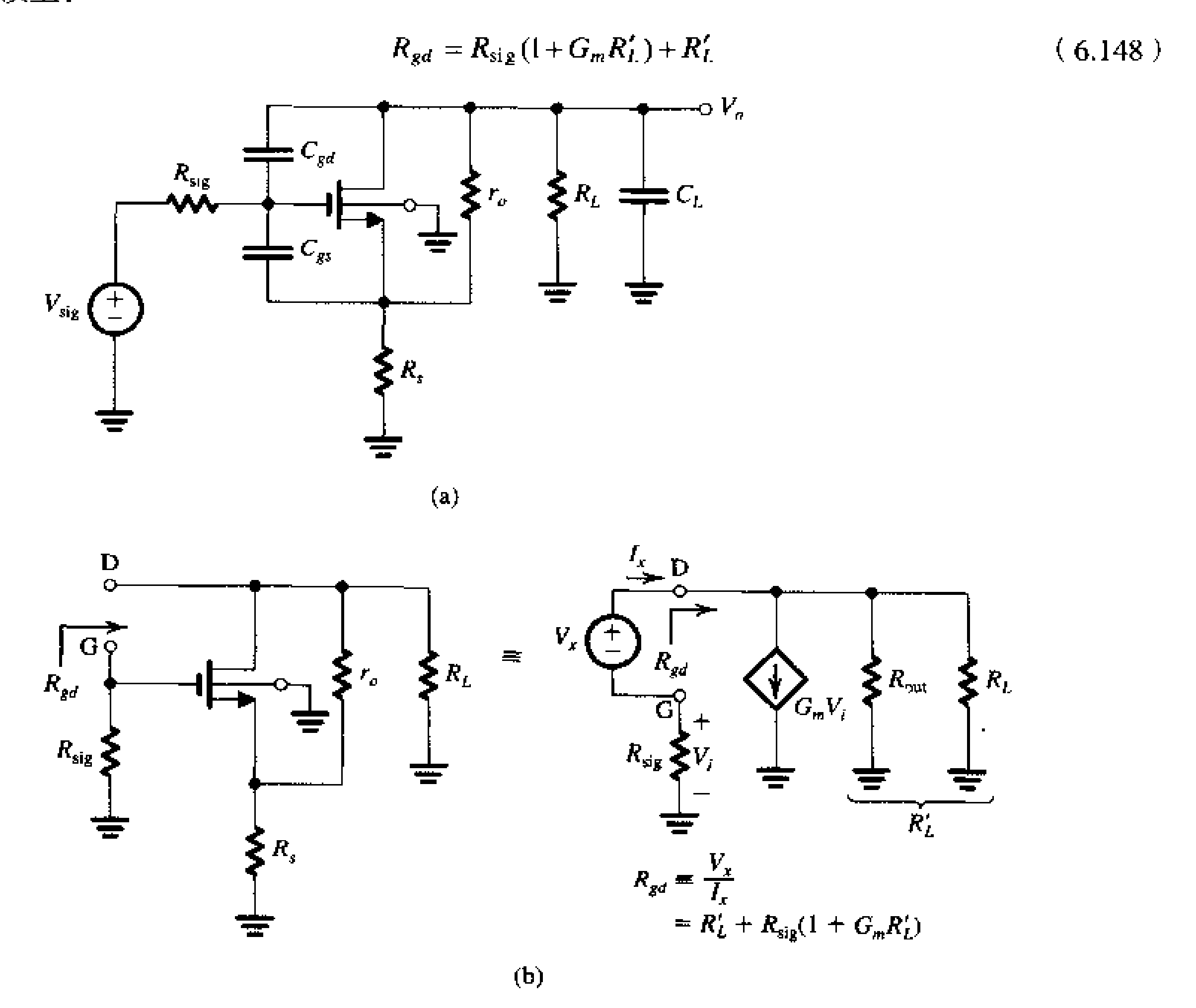


图 6.48 （a）用来完成频响分析的带有源极电阻 R_s 的 CS 放大器电路；（b）确定由 C_{gd} 视入的电阻 R_{gd}

其中，

$$R_L' = R_L \| R_{out} \tag{6.149}$$

R_{C_L} 的表达式可由观察得到：

$$R_{C_L} = R_L \| R_{out} = R_L' \tag{6.150}$$

R_{gs} 的表达式最难推导，必须明确地使用混合 π 模型来完成。结果是

$$R_{gs} \simeq \frac{R_{sig} + R_s}{1 + (g_m + g_{mb})R_s\left(\dfrac{r_o}{r_o + R_L}\right)} \tag{6.151}$$

当 R_{sig} 较大时，频率响应将由 C_{gd} 的米勒倍增效应决定；换一种说法就是，在构成 τ_H 的三个开路时间常数中，$C_{gd}R_{gd}$ 是最大的一项：

$$\tau_H = C_{gs}R_{gs} + C_{gd}R_{gd} + C_L R_{C_L} \tag{6.152}$$

这使得我们可以把 τ_H 近似为

$$\tau_H \simeq C_{gd}R_{gd} \tag{6.153}$$

相应地可求得 f_H 为

$$f_H \simeq \frac{1}{2\pi C_{gd}R_{gd}} \tag{6.154}$$

当 R_s 增大时，增益幅度 $|A_M| = G_m R_L'$ 将减小。这使得 R_{gd} 减小［见式（6.148）］，从而导致 f_H 增大［见式（6.154）］。为了强调通过引入 R_s 而在增益与带宽之间做出的折中，我们假设 $G_m R_L' \gg 1$，$G_m R_{sig} \gg 1$，从而对式（6.148）中的 R_{gd} 表达式进行简化：

$$R_{gd} \simeq G_m R_L' R_{sig} = |A_M| R_{sig}$$

代入式（6.154）得

$$f_H = \frac{1}{2\pi C_{gd}R_{sig}|A_M|} \tag{6.155}$$

这清楚地反映了增益与带宽之间的矛盾。增益带宽积保持不变：

$$\text{增益带宽积，}\ f_t = |A_M| f_H = \frac{1}{2\pi C_{gd}R_{sig}} \tag{6.156}$$

然而实际上其他电容也对 f_H 有所影响，当 R_s 增大时，f_t 也可能下降。

练习 6.31 考虑一个 CS 放大器。已知 $g_m = 2\,\text{mA/V}$，$r_o = 20\,\text{k}\Omega$，$R_L = 20\,\text{k}\Omega$，$R_{sig} = 20\,\text{k}\Omega$，$C_{gs} = 20\,\text{fF}$，$C_{gd} = 5\,\text{fF}$，$C_L = 5\,\text{fF}$。

（a）求电压增益 A_M 和 3 dB 频率 f_H（使用开路时间常数法），以及增益带宽积。

（b）当有电阻 R_s 与源极串联时，重复（a）中的过程。R_s 的值满足 $(g_m + g_{mb})R_s = 2$。

答案：（a）–20 V/V，61.2 MHz，1.22 GHz；（b）–10 V/V，109.1 MHz，1.1 GHz

6.9.2 射极接电阻的 CE 放大器

与 CS 放大器中的源极负反馈相比，射极负反馈对 CE 放大器来说更有用。这是因为射极负反馈增大了共射放大器的输入电阻。当然，共源放大器的输入电阻实际为无穷大。图 6.49（a）所

示的是一个采用有源负载的共射放大器，射极接有电阻 R_e，R_e 通常是 r_e 的 1～5 倍。图 6.49（b）给出的是用来确定输入电阻 R_{in} 的电路。由于存在 r_o，R_{in} 的值将取决于 R_L。根据图 6.49（b）中的分析，我们可以将输出电压 v_o 写成

$$v_o = \left[(1-\alpha)i - \frac{v_i - ir_e}{R_e}\right]R_L$$

也可以将 v_o 表示为

$$v_o = (v_i - ir_e) - r_o\left[i - \frac{v_i - ir_e}{R_e}\right]$$

将这两个关于 v_o 的表达式联立，可以得到一个 v_i 与 i 的方程。整理后得

$$R_{in} = \frac{v_i}{i/(\beta+1)} = (\beta+1)r_e + (\beta+1)R_e\frac{r_o + \dfrac{R_L}{\beta+1}}{r_o + R_L + R_e} \quad (6.157)$$

通常 R_L 与 r_o 在同一个数量级上，因此 $R_L/(1+\beta) \ll r_o$。同样，$R_e \ll r_o$。考虑到这两个条件，可以将 R_{in} 化简为

$$R_{in} \cong (\beta+1)r_e + (\beta+1)R_e\frac{1}{1+R_L/r_o} \quad (6.158)$$

这个公式说明 r_o 的存在使得 R_e 对 R_{in} 的增大作用减弱了。这是因为 r_o 分流掉了一部分本应流过 R_e 的电流。比如说，当 $R_L = r_o$ 时，$R_i = (\beta+1)(r_e + 0.5R_e)$。

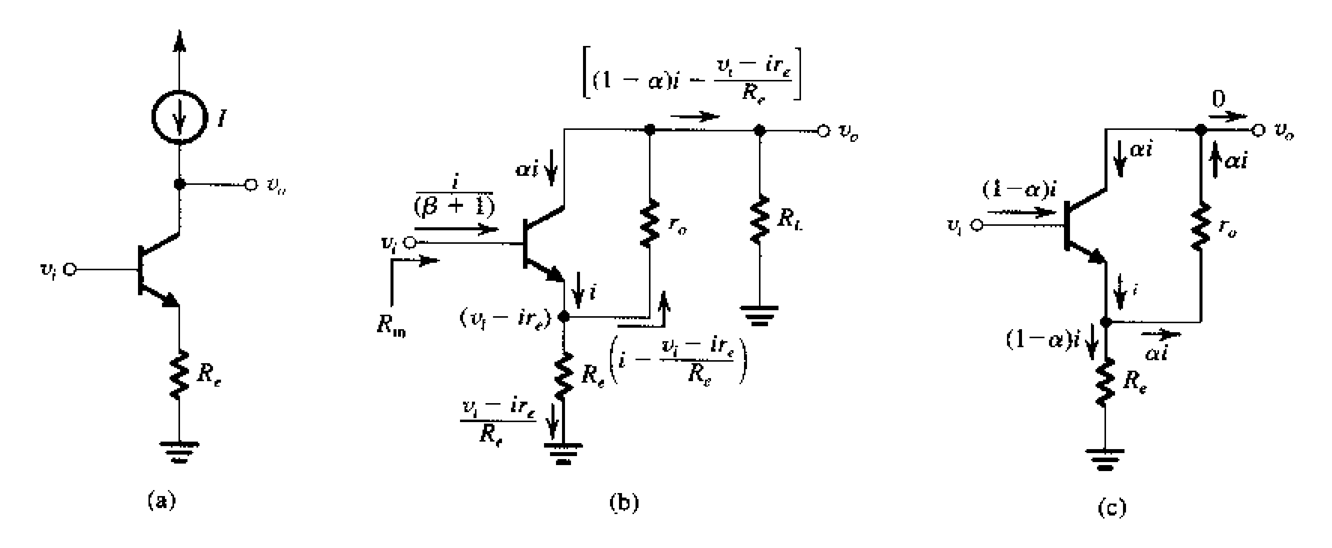


图 6.49 射极负反馈 CE 放大器：（a）电路；（b）确定 R_{in} 的分析过程；（c）确定 A_{vo} 的分析过程

为了求出开路电压增益 A_{vo}，我们利用图 6.49（c）中的电路。对这个电路的分析比较简单，可以证明：

$$A_{vo} \cong -g_m r_o \quad (6.159)$$

可见，R_e 相对较小时（即与 r_e 同数量级时）的开路电压增益与没有 R_e 时的值很接近。

输出电阻 R_o 与 CB 电路中得到的 R_{out} 的式（6.118）相同：

$$R_o = r_o(1+g_m R_e') \tag{6.160}$$

其中，$R_e' = R_e \| r_\pi$。因为 R_e 与 r_e 在同一个数量级上，故 R_e 比 r_π 小得多，$R_e' \simeq R_e$。从而，

$$R_o = r_o(1+g_m R_e) \tag{6.161}$$

分别利用式（6.158）中的 R_{in}、式（6.159）中的 A_{vo} 和式（6.161）中的 R_o 可以求出源内阻和负载电阻给定时的总电压增益。最后必须指出的是：利用 A_{vo} 和 R_o 可以求出接有射极负反馈的 CE 电路的有效短路互导 G_m，如下式所示：

$$G_m = -\frac{A_{vo}}{R_o}$$

故

$$G_m = \frac{g_m}{1+g_m R_e} \tag{6.162}$$

这与我们在 5.7 节中得到的分立元件的表达式一致。

带有射极负反馈的 CE 放大器的高频响应可以用类似于上文提到过的 CS 放大器的分析方法得到。

总之，在有源负载 CE 放大器的射极加入一个相对较小（r_e 的数倍）的电阻 R_e 可导致它的有效跨导减小 $(1+g_m R_e)$ 倍，同时使输出电阻增大了同样的倍数，从而开路电压增益基本保持不变。输入电阻 R_{in} 扩大了一定的倍数，这个值取决于 R_L，通常比 $(1+g_m R_e)$ 要小。加入 R_e 削弱了米勒效应，从而相应地增大了放大器的带宽。另外，射极负反馈电阻 R_e 增加了放大器的线性范围。

练习 6.32　考虑有源负载的 CE 放大器，射极接有负反馈电阻。已知 $I = 1$ mA，$V_A = 100$ V，$\beta = 100$。当 $R_e = 75\ \Omega$，$R_{sig} = 5$ kΩ，$R_L = 2r_o$ 时，求 R_{in}，R_o，A_{vo}，G_m 和总电压增益 v_o / v_{sig}。

答案：5 kΩ；400 kΩ；−4000 V/V；10 mA/V；−667 V/V

6.10　源极跟随器与射极跟随器

我们分别在 4.7.6 节和 5.7.6 节中讨论了分立元件电路的源极跟随器和射极跟随器。在接下来的讨论中，我们考虑集成电路的情况，特别是它们的高频响应。

6.10.1　源极跟随器

图 6.50（a）所示的是一个集成电路源极跟随器，由一个恒流源 I 提供偏置。这个恒流源通常用一个 NMOS 镜像电流源实现。源极跟随器一般是大规模电路的一部分，而晶体管栅极的直流电压就由这个大电路决定。在下面几章中我们会讲到这样的大规模电路。这里要注意的是，v_i 是出现在栅端的输入信号，R_L 包括了负载电阻和电流源 I 的输出电阻。

图 6.50（b）给出了源极跟随器的低频小信号模型。我们注意到 r_o 与 R_L 并联，可以合并。受控电流源 $g_{mb}v_{bs}$ 的电流流入源极，而源端电压为 $-v_{bs}$，因此可以使用源吸收定理（见附录 C），将电流源置换为源极与地之间的一个电阻 $1/g_{mb}$，而这个电阻又可以与 R_L 和 r_o 合并。经过这两步简化，等效电路如图 6.50（c）所示，其中，

$$R_L' = R_L \| r_o \| \frac{1}{g_{mb}} \tag{6.163}$$

现在可以写出输出电压 v_o：

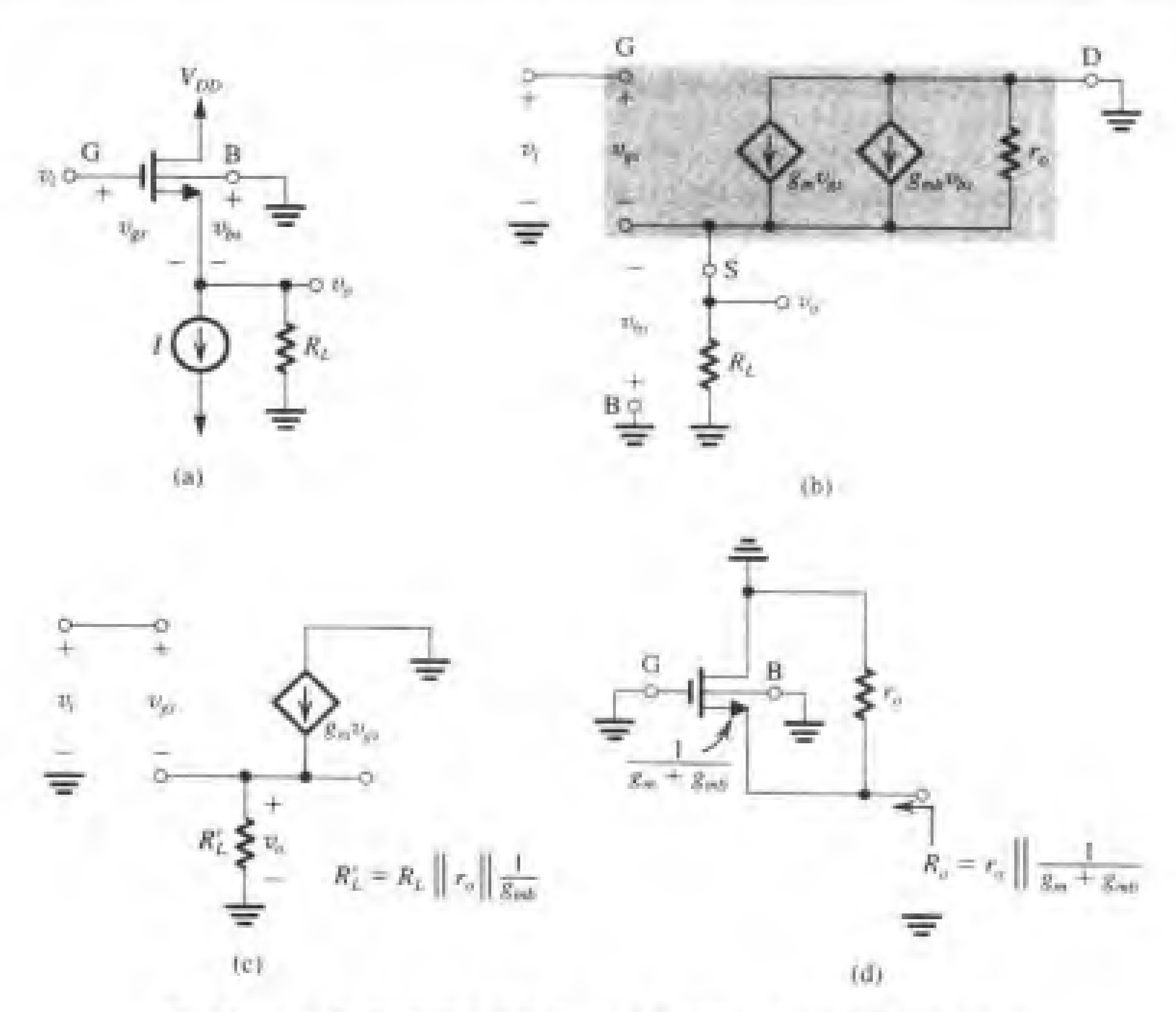


图 6.50　（a）集成电路源极跟随器；（b）源极跟随器的小信号等效电路模型；（c）简化了的等效电路；（d）确定源极跟随器的输出电阻

$$v_o = g_m v_{gs} R'_L \tag{6.164}$$

对于 v_{gs}，有

$$v_{gs} = v_i - v_o \tag{6.165}$$

将式（6.164）和式（6.165）相结合可求得电压增益：

$$A_v = \frac{v_o}{v_i} = \frac{g_m R'_L}{1 + g_m R'_L} \tag{6.166}$$

不出所料，电压增益小于 1。为了求出开路电压增益，我们在式（6.163）中令 R_L 趋向于∞，这使得 R'_L 减小为 $r_o \| (1/g_{mb})$。将这个 R'_L 值代入式（6.166）得

$$A_{vo} = \frac{g_m r_o}{1 + (g_m + g_{mb}) r_o} \tag{6.167}$$

通常情况下，$(g_m + g_{mb}) r_o \gg 1$，故可简化为

$$A_{vo} = \frac{g_m}{g_m + g_{mb}} = \frac{1}{1 + \chi} \tag{6.168}$$

因此，源极跟随器可以实现的最大电压增益值为 $1/(1+\chi)$，这个值通常在 0.8 V/V 到 0.9 V/V 之间。

最后，我们来求源极跟随器的输出电阻 R_o。可以利用图 6.50（c）中的等效电路，或者直接观察图 6.50（d）所示电路得

$$R_o = \frac{1}{g_m + g_{mb}} \parallel r_o \tag{6.169}$$

该式可近似为

$$R_o \simeq 1/[(1+\chi)g_m] \tag{6.170}$$

与分立元件电路源极跟随器类似，集成电路源极跟随器可以作为多级放大器的输出级使用，提供较低的输出电阻来驱动低阻抗负载。也可用来实现信号的直流电平位移，位移量等于 V_{GS}。

练习 D6.33　考虑一个源极跟随器，$k_n' = 200\ \mu A/V^2$，$V_A' = 20\ V/\mu m$，$\chi = 0.2$，$L = 0.5\ \mu m$，$W = 20\ \mu m$，$V_t = 0.6\ V$。要求提供 0.9 V 的直流电平位移，偏置电流 I 应为多大？求 g_m，g_{mb}，r_o，A_{vo} 和 R_o。同时求放大器输出接 1 kΩ的电阻时的电压增益

答案：360 μA；2.4 mA/V；0.48 mA/V；27.8 kΩ；0.82 V/V；343 Ω；0.61 V/V

6.10.2　源极跟随器的频率响应

源极跟随器的主要优点在于其优异的高频响应。我们将会看到，这是因为其内部电容都不受米勒效应的影响。图 6.51（a）所示的是一个源极跟随器的高频等效模型，由内阻为 R_{sig} 的信号源 V_{sig} 提供信号。除了 MOS 管电容 C_{gs} 和 C_{gd} 以外，电路中还包括输出端与地之间的电容 C_L。C_L 包括了源和衬底电容 C_{sb} 及其他所有的实际负载电容。

低频等效电路中所做的简化同样适用于图 6.51（a）中的高频模型，从而得到图 6.51（b）。其中，R_L' 由式（6.163）给出。尽管可以推导出该电路的传输函数，但是结果会十分复杂，很难从中看出三个电容分别起到的作用。所以，我们先来确定传输零点的位置，然后再用开路时间常数法来估算 3 dB 频率 f_{3dB}

尽管图 6.51（b）中有三个电容，但传输函数却是二阶的，这是因为这三个电容构成了一个电容回路。为了确定这两个传输零点的位置，我们来看图 6.51（b）中的电路。我们注意到当频率值使得 C_L 阻抗为零时，V_o 也为零，在输出端可被视为短路，这样便有了 ω 或 $s=\infty$ 的一个零点。同样，当 s 的值使得流入阻抗 $R_L' \parallel C_L$ 的电流为零时，V_o 也为零。这个电流为 $(g_m + sC_{gs})V_{gs}$，因此传输零点为 $s = s_Z$，其中，

$$s_Z = -\frac{g_m}{C_{gs}} \tag{6.171}$$

也就是说，零点将位于 s 平面的负实轴上，频率为

$$\omega_Z = \frac{g_m}{C_{gs}} \tag{6.172}$$

考虑到 MOS 管的 $\omega_T = g_m/(C_{gs}+C_{gd})$，$C_{gd} \ll C_{gs}$，我们看到 ω_Z 非常接近于 ω_T，

$$f_Z \simeq f_T \tag{6.173}$$

接下来，我们来看极点的情况。具体而言，我们分别来求由电容 C_{gd}，C_{gs} 和 C_L 视入的电阻，然后计算各自对应的时间常数。令 V_{sig} 为零，假定 C_{gs} 和 C_L 开路，我们观察得到由 C_{gd} 视入的电阻 R_{gd} 为

$$R_{gd} = R_{sig} \tag{6.174}$$

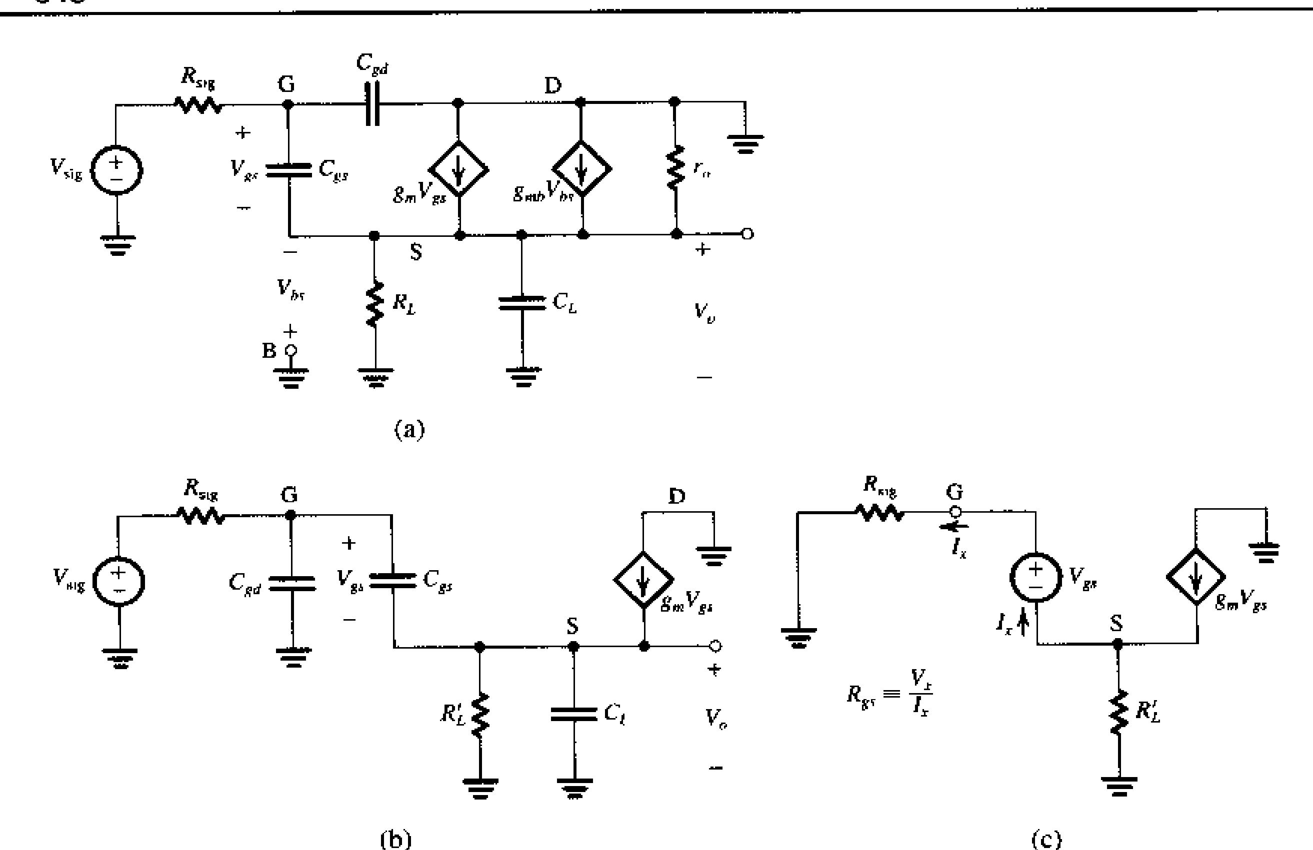


图 6.51　分析源极跟随器的高频响应：（a）等效电路；（b）简化了的等效电路；（c）确定由 C_{gs} 视入的电阻 R_{gs}

这看上去很明显：由于漏端接地，在没有 C_{gs} 和 C_L 的情况下，源极跟随器的输入电容就等于 C_{gd}，从而 R_{sig} 与 C_{gd} 构成了一个高频极点。

接下来，我们考虑 C_{gs} 的作用。对图 6.51（c）中的电路进行简单分析，即可得到由 C_{gs} 视入的电阻 R_{gs}：

$$R_{gs} = \frac{R_{sig} + R'_L}{1 + g_m R'_L} \tag{6.175}$$

我们注意到，分母中的$(1+g_mR'_L)$因子使得与 C_{gs} 相互作用的有效电阻减小。在没有其他两个电容的情况下，C_{gs} 与 R_{gs} 构成了一个极点，频率为 $1/2\pi C_{gs}R_{gs}$。

最后，很容易从图 6.51（b）所示的电路看出，C_L 与 $R_L \| R_o$ 相互作用，即

$$R_{C_L} = R_L \| R_o$$

R_o［见式（6.169）］通常较小，因此 R_{C_L} 较小，C_L 的作用甚微。然而，τ_H 以及 f_H 还是由三个时间常数构成：

$$f_H = \frac{1}{2\pi\tau_H} = 1/2\pi(C_{gd}R_{sig} + C_{gs}R_{gs} + C_LR_{C_L}) \tag{6.176}$$

练习 6.34　考虑一个源极跟随器，参数如下：$W/L = 7.2\ \mu m/0.36\ \mu m$，$I_D = 100\ \mu A$，$g_m = 1.25\ mA/V$，$\chi = 0.2$，$r_o = 20\ k\Omega$，$R_{sig} = 20\ k\Omega$，$R_L = 10\ k\Omega$，$C_{gs} = 20\ fF$，$C_{gd} = 5\ fF$ 以及 $C_L = 15\ fF$。试求 A_v，f_T 和 f_Z。同时求出 R_{gd}，R_{gs}，R_{C_L} 以及每个电容 C_{gs}，C_{gd} 和 C_L 对应的时间常数。求 τ_H 以及每个电容所贡献的百分比。求出 f_H。

答案：0.76 V/V；8 GHz；10 GHz；20 kΩ；5.45 kΩ；0.61 kΩ；100 ps；109 ps；9 ps；218 ps；46%；50%；4%；730 MHz

6.10.3　射极跟随器

图 6.52（a）给出的是一个适于集成电路制造的射极跟随器，由恒流源 I 提供偏置。但是图中并没有画出为基极提供直流电压的电路。射极跟随器由内阻为 R_{sig} 的信号源 V_{sig} 提供信号。输出端画出的电阻 R_L 包括电流源 I 的输出电阻和任何实际的负载电阻。

对图 6.52（a）中射极跟随器做分析，确定其低频增益、输入电阻和输出电阻的过程与我们在 5.7.6 节对电容耦合电路的分析过程一致。实际上，表 5.6 中的公式稍加改变就可适用于图 6.52（a）所示的电路。因此我们在这里主要关注电路的高频响应分析。

图 6.52（b）所示的是高频等效电路。将 r_o 与 R_L 结合，r_x 与 R_{sig} 结合，对电路图的画法做一些小的调整，就可以得到图 6.52（c）中简化了的等效电路。下面我们用分析源极跟随器时所用的方法来对这个电路进行分析。具体而言，要确定传输零点的位置，注意，在某个频率下流经 R_L' 的电流为零时 V_o 也应为零：

$$g_m V_\pi + \frac{V_\pi}{r_\pi} + s_Z C_\pi V_\pi = 0$$

故

$$s_Z = -\frac{g_m + (1/r_\pi)}{C_\pi} = -\frac{1}{C_\pi r_e} \tag{6.177}$$

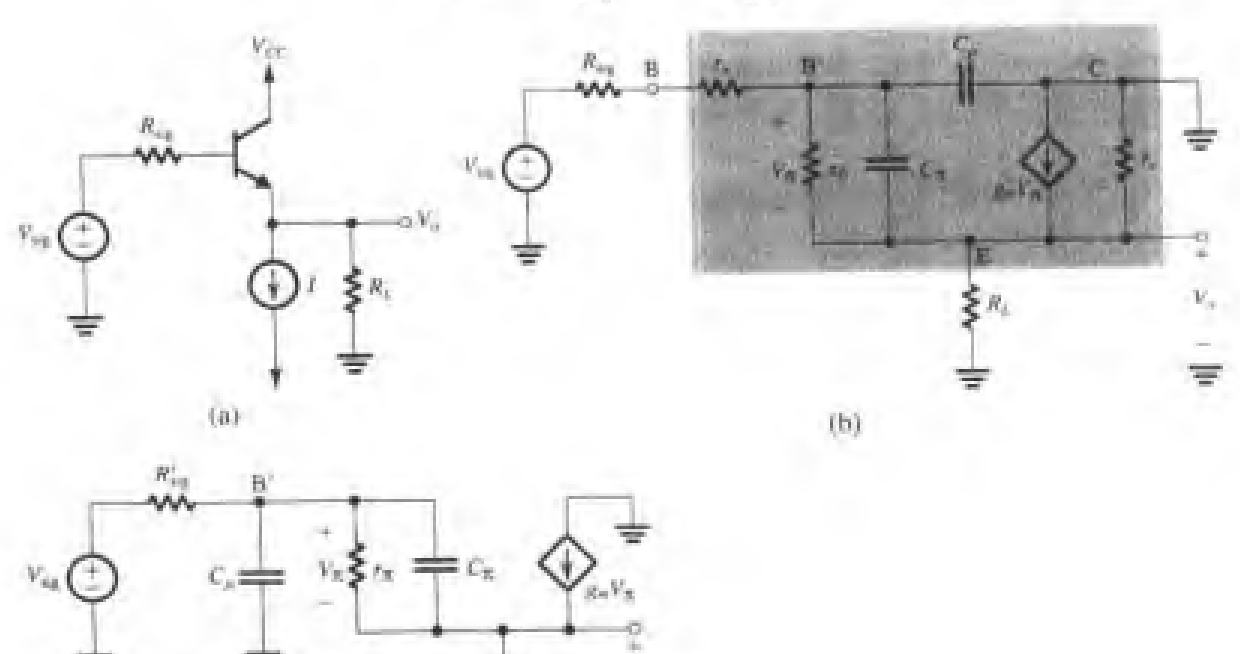


图 6.52　（a）射极跟随器；（b）高频等效电路；（c）简化的等效电路

位于 s 平面的负实轴上，频率为

$$\omega_Z = \frac{1}{C_\pi r_e} \tag{6.178}$$

这个频率与晶体管的单位增益频率 ω_T 十分接近。另一个传输零点位于 $s=\infty$ 。这是因为在这个频率下 C_μ 表现为短路，使得 V_π 为零，从而 V_o 也为零。

接下来，我们来确定由 C_μ 和 C_π 视入的电阻。对于 C_μ ，读者应该能够证明，R_μ 是 R'_{sig} 和从 B′ 视入的输入电阻的并联等效电阻，即

$$R_\mu = R'_{\text{sig}} \parallel [r_\pi + (\beta+1)R'_L] \tag{6.179}$$

式（6.179）说明 R_μ 要比 R'_{sig} 小。而因为 C_μ 通常很小，时间常数 $C_\mu R_\mu$ 相应地也很小。

由 C_π 视入的电阻 R_π 的求解过程与 MOS 管求解 R_{gs} 的过程类似，结果为

$$R_\pi = \frac{R'_{\text{sig}} + R'_L}{1 + \dfrac{R'_{\text{sig}}}{r_\pi} + \dfrac{R'_L}{r_e}} \tag{6.180}$$

我们看到，R'_L / r_e 项通常使得分母比 1 大得多，因而 R_π 相当小。这样，时间常数 $C_\pi R_\pi$ 会很小。最后可以得到射极跟随器的 3 dB 频率 f_H ：

$$f_H = 1/2\pi[C_\mu R_\mu + C_\pi R_\pi] \tag{6.181}$$

该频率通常非常高。我们建议读者通过下面的练习熟悉确定 f_H 的各种参数的典型值。

练习 6.35 一个射极跟随器由 I_C = 1 mA 提供偏置。已知 $R_{sig}=R_L=1\ \text{k}\Omega$，$r_o$ = 100 kΩ，β=100，C_μ = 2 pF 以及 f_T = 400 MHz。求低频增益、f_Z 、R_μ 、R_π 和 f_H

答案：0.965 V/V；458 MHz；1.09 kΩ；51 Ω；55 MHz

6.11 一些实用的晶体管对放大器

6.8 节中介绍的 cascode 组态放大器联合使用了 CS 和 CG MGS 管（CE 和 CB 双极型晶体管），具有明显的优点。这种组合能够带来优异的性能，关键在于设计晶体管对时，根据两种组态各自的特点已经尽量做到了扬长避短。在本节中，我们来介绍许多种类似的晶体管对。在每种情况下，可以将晶体管对视为复合管，故构成的放大器可以被认为是单级的。

6.11.1 CD-CS，CC-CE 及 CD-CE 组态

图 6.53（a）所示的放大器由共漏管（源极跟随器）Q_1 和共源管 Q_2 级联而成。可以预见，这个电路的电压增益将比 CS 放大器略小。然而，这种电路组态的优点在于它的带宽，它要比 CS 放大器获得的带宽大得多。为了说明这一点，我们注意到 CS 管 Q_2 仍受米勒效应影响，使其栅端和地之间的输入电容 C_{in2} 较大。然而，与这个电容对应的电阻要比 R_{sig} 小得多。源极跟随器的缓冲作用使得跨接在 C_{in2} 上、出现在 Q_1 源端和地之间的电阻相对较小，近似等于 $1/(g_{m1}+g_{mb1})$。

图 6.53（b）所示的是对应 CD-CS 电路的双极型晶体管放大器。除了获得的带宽比 CE 放大器大之外，CC-CE 组态放大器还有一个重要优点：它的输入电阻增大了(β_1+1)倍。最后，图 6.53（c）给出了这类电路的 BiCMOS 形式。注意，Q_1 使得放大器的输入电阻为无穷大。同时还要注意，相对于图 6.53（a）中的 MOS 管电路，Q_2 给放大器带来了较大的 g_m ，从而获得了较高的增益。

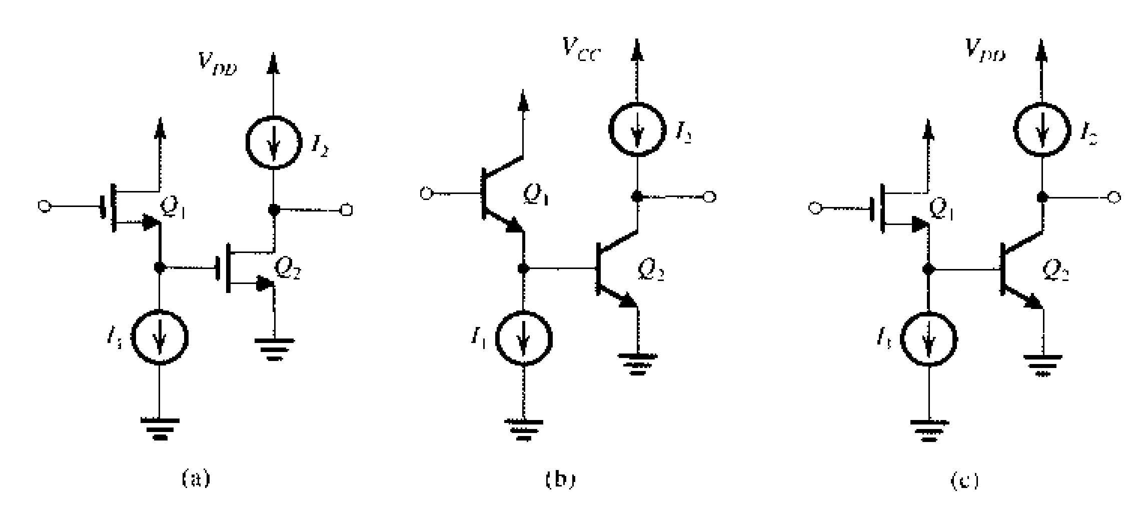


图 6.53　（a）CD-CS 放大器；（b）CC-CE 放大器；（c）CD-CE 放大器

例题 6.13　考虑图 6.53（b）中的 CC-CE 放大器，具体参数如下：$I_1=I_2=1$ mA，各个晶体管完全一样，且 $\beta=100$，$f_T=400$ MHz，$C_\mu=2$ pF。放大器由一个内阻 $R_{sig}=4$ kΩ的信号源 V_{sig} 提供信号。假定负载电阻为 4 kΩ，试求电压增益 A_M，估算 3 dB 频率 f_H。与工作条件一样的 CE 放大器结果进行比较。为简单起见，忽略 r_o 和 r_x。

解：由于射极偏置电流为 1 mA，则 Q_1 和 Q_2 有

$$g_m = 40\ \text{mA/V}$$

$$r_e = 25\ \Omega$$

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{40} = 2.5\ \text{k}\Omega$$

$$C_\pi + C_\mu = \frac{g_m}{\omega_T} = \frac{g_m}{2\pi f_T}$$

$$= \frac{40\times10^{-3}}{2\pi\times400\times10^6} = 15.9\ \text{pF}$$

$$C_\mu = 2\ \text{pF}$$

$$C_\pi = 13.9\ \text{pF}$$

根据图 6.54（a）所示的电路，可以求得电压增益 A_M，具体过程如下：

$$R_{in2} = r_{\pi2} = 2.5\ \text{k}\Omega$$

$$R_{in} = (\beta+1)(r_{e1}+R_{in2})$$

$$= 101(0.025+2.5) = 255\ \text{k}\Omega$$

$$\frac{V_{b1}}{V_{sig}} = \frac{R_{in}}{R_{in}+R_{sig}} = \frac{255}{255+4} = 0.98\ \text{V/V}$$

$$\frac{V_{b2}}{V_{b1}} = \frac{R_{in2}}{R_{in2}+r_{e1}} = \frac{2.5}{2.5+0.025} = 0.99\ \text{V/V}$$

$$\frac{V_o}{V_{b2}} = -g_{m2}R_L = -40\times4 = -160\ \text{V/V}$$

所以，

$$A_M = \frac{V_o}{V_{sig}} = -160\times0.99\times0.98 = -155\ \text{V/V}$$

为了求 f_H，我们使用开路时间常数法。图 6.54（b）给出了相应的电路，其中，V_{sig} 设为零并且画出了 4 个电容。从电容 $C_{\mu 1}$ 视入的电阻 $R_{\mu 1}$ 为

$$R_{\mu 1} = R_{sig} \parallel R_{in}$$
$$= 4 \parallel 255 = 3.94\ \text{k}\Omega$$

为了找出从电容 $C_{\pi 1}$ 视入的电阻 $R_{\pi 1}$，我们采用 6.10.3 节中关于射极跟随器高频响应的分析结果。具体而言，将式（6.180）根据这里的情况改写为

$$R_{\pi 1} = \frac{R_{sig} + R_{in2}}{1 + \frac{R_{sig}}{r_{\pi 1}} + \frac{R_{in2}}{r_{e1}}}$$
$$= \frac{4000 + 2500}{1 + \frac{4000}{2500} + \frac{2500}{25}} = 63.4\ \Omega$$

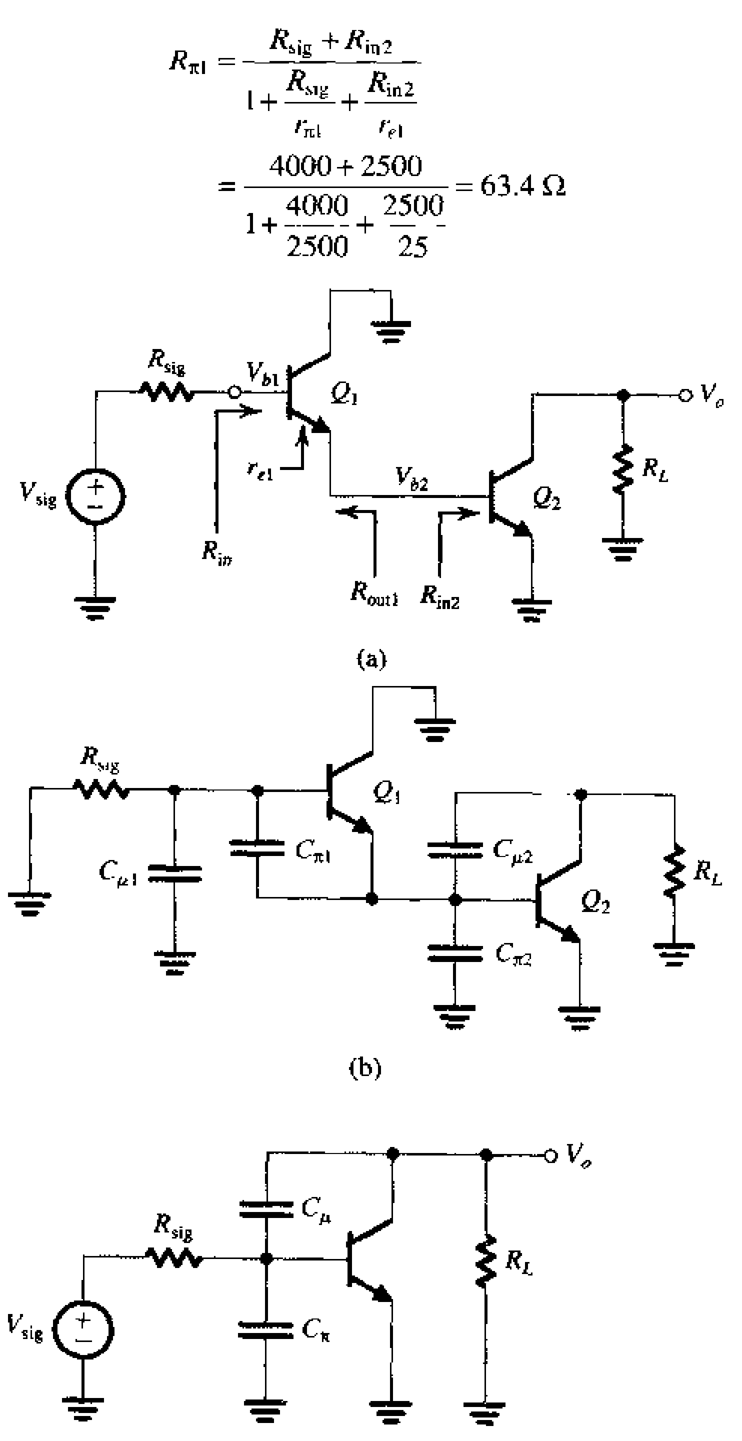


图 6.54　例题 6.13 中的电路：（a）CC-CE 电路，用来进行低频小信号分析；（b）高频时的电路，其中 V_{sig} 设为零，以便确定开路时间常数；（c）用于比较的 CE 放大器

从电容 $C_{\pi2}$ 视入的电阻 $R_{\pi2}$ 为

$$
\begin{aligned}
R_{\pi2} &= R_{\text{in}2} \parallel R_{\text{out}1} \\
&= r_{\pi2} \parallel \left[r_{e1} + \frac{R_{\text{sig}}}{\beta_1 + 1} \right] \\
&= 2500 \parallel \left[25 + \frac{4000}{101} \right] = 63\ \Omega
\end{aligned}
$$

为了求出从电容 $C_{\mu2}$ 视入的电阻 $R_{\mu2}$，我们利用 6.6 节中关于 CE 放大器频率响应的分析结果得到

$$
\begin{aligned}
R_{\mu2} &= (1 + g_{m2}R_L)(R_{\text{in}2} \parallel R_{\text{out}1}) + R_L \\
&= (1 + 40 \times 4)\left[2500 \parallel \left(25 + \frac{4000}{101} \right) \right] + 4000 \\
&= 14\,143\ \Omega \cong 14.1\ \text{k}\Omega
\end{aligned}
$$

现在可以求出 τ_H 为

$$
\begin{aligned}
\tau_H &= C_{\mu1}R_{\mu1} + C_{\pi1}R_{\pi1} + C_{\mu2}R_{\mu2} + C_{\pi2}R_{\pi2} \\
&= 2 \times 3.94 + 13.9 \times 0.0634 + 2 \times 14.1 + 13.9 \times 0.063 \\
&= 7.88 + 0.88 + 28.2 + 0.88 = 37.8\ \text{ns}
\end{aligned}
$$

我们注意到，$C_{\pi1}$ 和 $C_{\pi2}$ 对确定高频响应作用不大。正如所料，$C_{\mu2}$ 受米勒效应影响，作用最大。$C_{\mu1}$ 与（$R_{\text{sig}} \parallel R_{\text{in}}$）直接作用，同样起到了重要的作用。3 dB 频率 f_H 为

$$
f_H = \frac{1}{2\pi\tau_H} = \frac{1}{2\pi \times 37.8 \times 10^{-9}} = 4.2\ \text{MHz}
$$

为了进行比较，我们来计算相同工作条件下 CE 放大器的 A_M 和 f_H 值，如图 6.54（c）所示。电压增益 A_M 为

$$
\begin{aligned}
A_M &= \frac{R_{\text{in}}}{R_{\text{in}} + R_{\text{sig}}}(-g_m R_L) \\
&= \left(\frac{r_\pi}{r_\pi + R_{\text{sig}}} \right)(-g_m R_L) \\
&= \left(\frac{2.5}{2.5 + 4} \right)(-40 \times 4) \\
&= -61.5\ \text{V/V}
\end{aligned}
$$

$$
R_\pi = r_\pi \parallel R_{\text{sig}} = 2.5 \parallel 4 = 1.54\ \text{k}\Omega
$$

$$
\begin{aligned}
R_\mu &= (1 + g_m R_L)(R_{\text{sig}} \parallel r_\pi) + R_L \\
&= (1 + 40 \times 4)(4 \parallel 2.5) + 4 \\
&= 251.7\ \text{k}\Omega
\end{aligned}
$$

则

$$
\begin{aligned}
\tau_H &= C_\pi R_\pi + C_\mu R_\mu \\
&= 13.9 \times 1.54 + 2 \times 251.7 \\
&= 21.4 + 503.4 = 524.8\ \text{ns}
\end{aligned}
$$

注意，C_μ 起主极点的作用。3 dB 频率 f_H 为

$$f_H = \frac{1}{2\pi\tau_H} = \frac{1}{2\pi\times 524.8\times 10^{-9}} = 303\ \text{kHz}$$

可见，增加缓冲管 Q_1 使得增益 $|A_M|$ 变大，从 61.5 V/V 上升到 155 V/V，提高了 2.5 倍。带宽也从 303 kHz 增大到 4.2 MHz，提高了 13.9 倍！增益带宽积由 18.63 MHz 增大到 651 MHz，提高了 35 倍！ ■

6.11.2 达林顿组态

图 6.55（a）所示的是一个运用广泛的 BJT 管电路，被称为达林顿组态管。我们可以将它视为 CC-CE 电路的变形，其中 Q_1 的集电极与 Q_2 的集电极连在一起。或者，可以将达林顿对视为 $\beta = \beta_1\beta_2$ 的复合晶体管。因而，可以利用它来实现高性能的电压跟随器，如图 6.55（b）所示。注意，在这种情况下，可以将电路视为两个共集管的级联（即 CC-CC 放大器组态）。

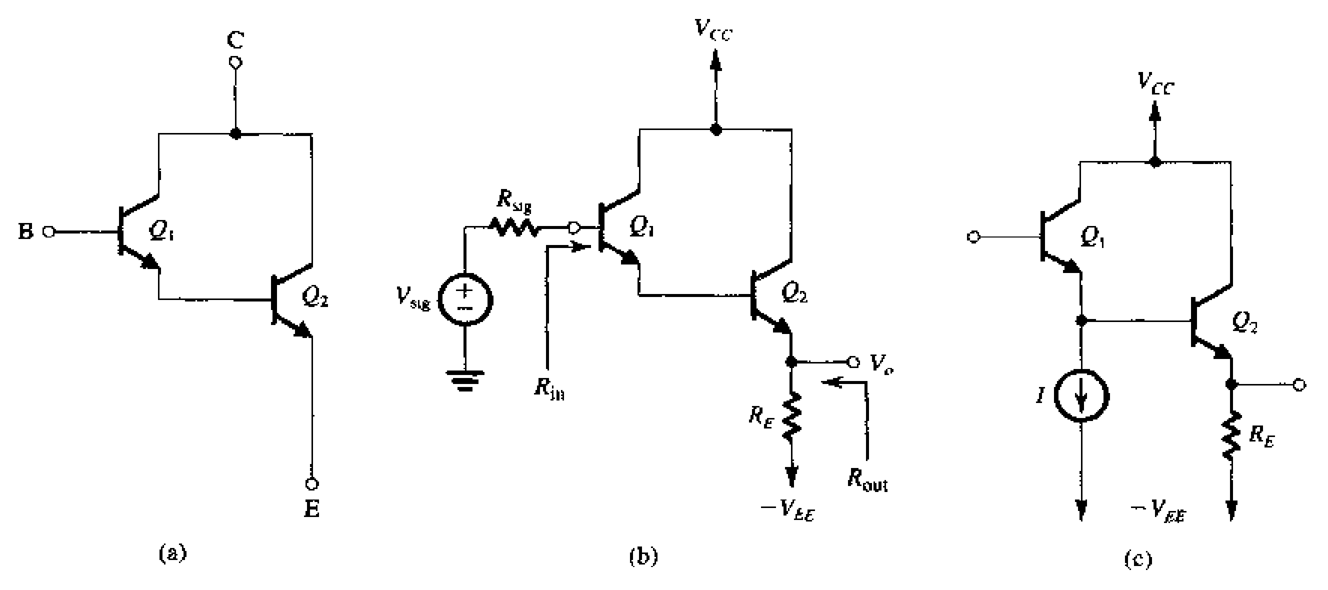


图 6.55 （a）达林顿管；（b）用做电压跟随器的达林顿管；（c）达林顿跟随器，由电流 I 为 Q_1 提供偏置以保持 β 值较大

由于晶体管的 β 由直流偏置电流决定，有可能 Q_1 工作时的 β 较小，从而削弱了达林顿管对的 β 倍增效应。解决这一问题的简单方法是为 Q_1 提供一个偏置电流，如图 6.55（c）所示。

练习 6.36 对于图 6.55（b）中的达林顿电压跟随器，证明：

$$R_{in} = (\beta_1+1)[r_{e1}+(\beta_2+1)(r_{e2}+R_E)]$$

$$R_{out} = R_E \parallel \left[r_{e2} + \frac{r_{e1}+[R_{sig}/(\beta_1+1)]}{\beta_2+1} \right]$$

$$\frac{V_o}{V_{sig}} = \frac{R_E}{R_E + r_{e2} + [r_{e1}+R_{sig}/(\beta_1+1)]/(\beta_2+1)}$$

计算 R_{in}，R_{out} 和 V_o/V_{sig} 的值，已知 $I_{E2}=5$ mA，$\beta_1=\beta_2=100$，$R_E=1\,\text{k}\Omega$ 以及 $R_{sig}=100\,\text{k}\Omega$。

答案：10.3 MΩ；20 Ω；0.98 V/V

6.11.3 CC-CB 与 CD-CG 组态

参见如图 6.56（a）所示的将射极跟随器和共基放大器级联在一起的电路，低频增益近似等于共基放大器，但是由于 CC 级的缓冲作用，CB 放大器小输入电阻的问题得到了解决。而且 CC 和

CB 放大器都不受米勒效应的影响，所以 CC-CB 组态高频时的性能极其优异。注意，图 6.56（a）所示的偏置电流源保证了 Q_1 和 Q_2 工作时的偏置电流都为 I。然而，这里并没有说明 Q_1 基极直流电压是如何产生的，也没有给出产生 Q_2 集电极直流电压的电路。这些问题通常在包含 CC-CB 放大器的大规模电路中考虑。

图 6.56（b）所示的是 CC-CB 放大器的另一种有趣的形式。这里，CB 级用一个 *pnp* 晶体管实现。尽管电路中只需要一个电流源，但是需要注意的是必须在 Q_2 的基极产生一个合适的电压。这个电路是流行的 741 运算放大器内部电路的一部分，将在第 9 章中介绍。

图 6.56（a）所示电路的 MOS 管形式是 CD-CG 放大器，如图 6.56（c）所示。

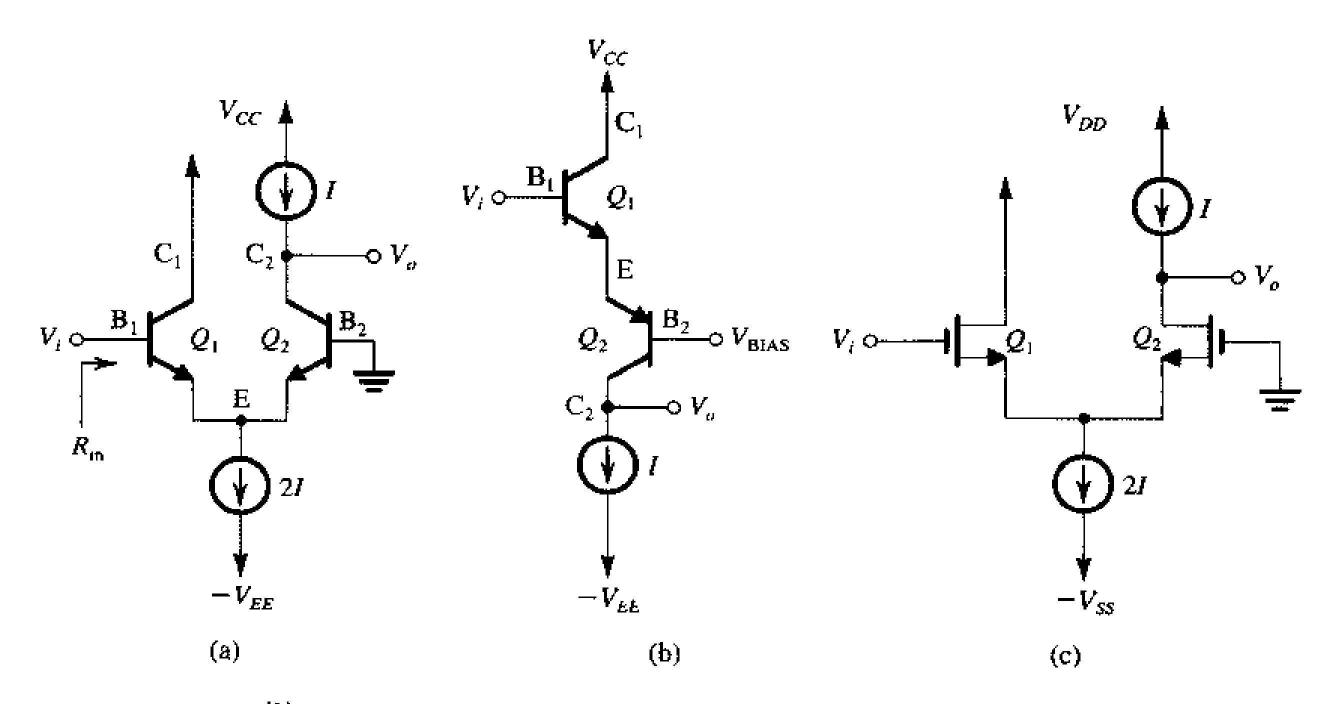


图 6.56　（a）CC-CB 放大器；（b）另一种 CC-CB 放大器，其中 Q_2 用 *pnp* 晶体管实现；（c）（a）中电路的 MOSFET 形式

现在，我们简要分析图 6.56（a）中的电路以确定它的增益 A_M 和高频响应。这个分析过程同样适用于图 6.56（b）中的电路，在更改组件和参数名称后，同样也适用于图 6.56（c）所示的 MOS 管电路。简单起见，我们忽略晶体管的 r_o 和 r_x。输入电阻 R_{in} 为

$$R_{in} = (\beta_1 + 1)(r_{e1} + r_{e2}) \tag{6.182}$$

当 $r_{e1} = r_{e2} = r_e$，$\beta_1 = \beta_2 = \beta$ 时，

$$R_{in} = 2r_\pi \tag{6.183}$$

如果输出端接有负载电阻 R_L，电压增益 V_o / V_i 为

$$\frac{V_o}{V_i} = \frac{\alpha_2 R_L}{r_{e1} + r_{e2}} = \frac{1}{2} g_m R_L \tag{6.184}$$

现在，如果放大器由内阻为 R_{sig} 的电压信号源 V_{sig} 提供信号，则总电压增益为

$$\frac{V_o}{V_{sig}} = \frac{1}{2}\left(\frac{R_{in}}{R_{in} + R_{sig}}\right)(g_m R_L) \tag{6.185}$$

图 6.57（a）所示的是高频分析过程，其中给出了 Q_1 和 Q_2 的混合 π 型等效电路。考虑到这两

个晶体管工作在相同的偏置电流下，它们对应的模型参数应该相等（比如说 $r_{\pi1}=r_{\pi2}$，$C_{\pi1}=C_{\pi2}$ 等）。利用这一点，读者应当能够证明 $V_{\pi1}=-V_{\pi2}$，通过 E 点的水平线可以去掉。这样电路变为图 6.57（b）所示的形式。这个结果很吸引人，因为电路中明确表明了决定高频响应的两个极点：一个极点位于输入端，频率 f_{P1} 为

$$f_{P1}=\frac{1}{2\pi\left(\frac{C_\pi}{2}+C_\mu\right)(R_{\text{sig}}\parallel 2r_\pi)} \tag{6.186}$$

另一个位于输出端，频率 f_{P2} 为

$$f_{P2}=\frac{1}{2\pi C_\mu R_L} \tag{6.187}$$

这个结果显而易见：图 6.57（a）中电路 B_1 处的输入阻抗由两部分并联而成，一部分是 $r_{\pi1}$ 和 $r_{\pi2}$ 的串联，另一部分是 $C_{\pi1}$ 和 $C_{\pi2}$ 的串联。接着还有 C_μ 的并联。在输出端，R_L 与 C_μ 并联。

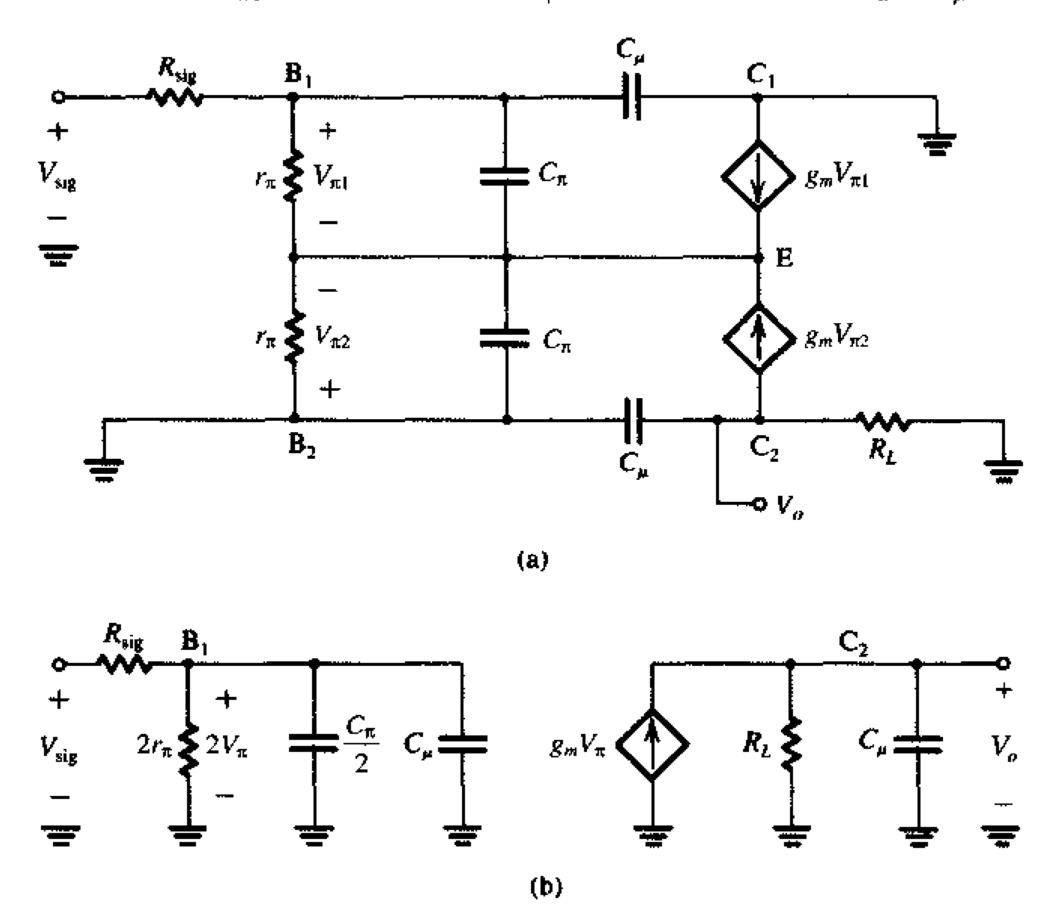


图 6.57 （a）图 6.56（a）所示放大器的等效电路；（b）简化了的等效电路。注意，（a）和（b）中的等效电路同样适用于图 6.56（b）中的电路。另外稍加修改也可用于图 6.56（c）所示的 MOSFET 电路，即去掉 $2r_\pi$、用 C_{gs} 代替 C_π、用 C_{gd} 代替 C_μ 以及用 V_{gs} 代替 V_π

这两个极点之一是否为主极点取决于 R_{sig} 和 R_L 的相对大小。如果两个极点很接近，则 3 dB 频率 f_H 可以由精确分析法求得（即求出增益下降 3 dB 时的频率），也可以利用式（6.36）中的近似公式：

$$f_H\cong 1\bigg/\sqrt{\frac{1}{f_{P1}^2}+\frac{1}{f_{P2}^2}} \tag{6.188}$$

最后，我们注意到图 6.56（a）和（c）中的电路是差分放大器的特殊形式，而在模拟集成电路设计中，差分放大器可能是最重要的电路组成模块，我们将在第 7 章中加以讨论。

练习 6.37　对于图 6.56（a）中的 CC-CB 放大器，已知 $I=0.5\ \text{mA}$，$\beta=100$，$C_\pi=6\ \text{pF}$，$C_\mu=2\ \text{pF}$，$R_{sig}=10\ \text{k}\Omega$以及 $R_L=10\ \text{k}\Omega$。试求低频总电压增益 A_M、极点的频率值以及 3 dB 频率 f_H。同时求出 f_H 的精确值和利用式（6.188）得到的近似值。

答案：50 V/V；6.4 MHz 和 8 MHz；f_H（精神计算）= 4.6 MHz；f_H [利用式(6.188)计算] = 5 MHz

6.12　改进型镜像电流源电路

在本章中我们看到，电流源在集成电路放大器设计中起着重要的作用。恒流源可以同时用做偏置和有源负载电阻。在 6.3 节，我们介绍了简单 MOS 管和双极型晶体管电流源以及更一般的镜像电流源，而且讲过对电流源和镜像电流源性能进行改进的必要性。具体而言，需要加以改进的性能参数有两个：镜像电流源的电流传输比的精确度，以及电流源的输出电阻。

6.3 节讲到，电流传输比不精确，主要是由于 BJT 具有有限的 β 值。在简单 MOS 管和双极型晶体管电流源中，输出电阻最大为 r_o，这也使得精确度下降。同时更重要的是，这大大限制了 cascode 放大器所能实现的增益。在本节中，我们将介绍改进型的 MOS 管和双极型晶体管镜像电流源，它们拥有更精确的电流传输比和更高的输出电阻。

6.12.1　cascode MOS 镜像电流源

关于在电流源设计中使用级联的原则在 6.8.4 节中给出了简要的介绍。图 6.58 所示的是基本 cascode 镜像电流源。我们看到，连接成二极管的晶体管 Q_1 与 Q_2 构成了一个基本镜像电流源。除此以外，电路中使用了另一个二极管接法的晶体管 Q_4 来为 cascode 管 Q_3 的栅极提供合适的偏置电压。为了确定 cascode 镜像电流源在 Q_3 漏端的输出电阻，我们令 I_{REF} 为零。另外，因为 Q_1 和 Q_4 的增量电阻相对较小，大约为 $1/g_m$，因而它们两端的增量电压也较小。这样我们假设 Q_3 和 Q_2 的栅极均接地。这时输出电阻 R_o 即为 CG 管 Q_3 的输出电阻，而 Q_3 的源极接有电阻 r_{o1}。改写式（6.101）可得

$$R_o = r_{o3} + [1+(g_{m3}+g_{mb3})r_{o3}]r_{o2} \tag{6.189}$$

$$\simeq g_{m3}r_{o3}r_{o2} \tag{6.190}$$

因此，不出所料，级联使得电流源的输出电阻增大了 $g_{m3}r_{o3}$ 倍，这一因子就是 cascode 管的固有增益值。

cascode 镜像电流源的一个缺点在于它占据了正在稳步下降的电源 V_{DD} 中相对较大的一部分。即使输出管两端的电压低至 V_{OV}，一个简单 MOS 管镜像电流源也能够正常工作。而图 6.58 中 cascode 电路至少需要大小为 V_t+2V_{OV} 的电压，这是因为 Q_3 栅极的电压为 $2V_{GS}=2V_t+2V_{OV}$。因而加在 cascode 镜像电流源输出端的电压至少应为 1 V 左右。很明显，这限制了镜像电流源输出端（比如说将该电流源用做负载的放大器的输出端）的信号幅度。在第 9 章中，我们将会介绍一种宽摆幅 cascode 镜像电流源。

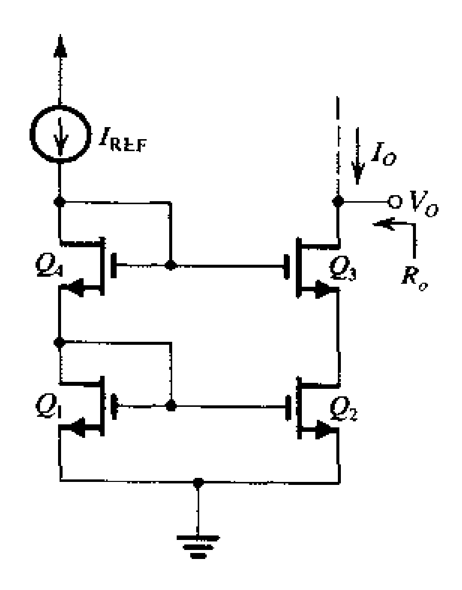


图 6.58　MOS 管 cascode 镜像电流源

练习 6.38　对于一个 MOS 管 cascode 镜像电流源，使用的器件参数如下：$V_t=0.5\ \text{V}$，$\mu_nC_{ox}=387\ \mu\text{A/V}^2$，$V_A'=5\ \text{V}/\mu\text{m}$，

$W/L = 3.6\,\mu\text{m}/0.36\,\mu\text{m}$，$I_{REF} = 100\,\mu\text{A}$。试求输出端最低要求的直流电压值和输出电阻。

答案：0.95 V；285 kΩ

6.12.2 带基极电流补偿的 BJT 镜像电流源

图 6.59 所示的是一个双极型镜像电流源。相对简单镜像电流源而言，它的电流传输比较少受 β 值的影响。这通过引入晶体管 Q_3 实现，其中 Q_3 的射极为 Q_1 和 Q_2 的基极提供电流。这样，总的基极电流减小到原来的 (β_3+1) 倍，使得需要由 I_{REF} 提供的误差电流小了很多。电路图上列出了详细的分析过程，这其中假设 Q_1 和 Q_2 匹配，它们具有相等的集电极电流 I_C。由 x 点处的节点方程得

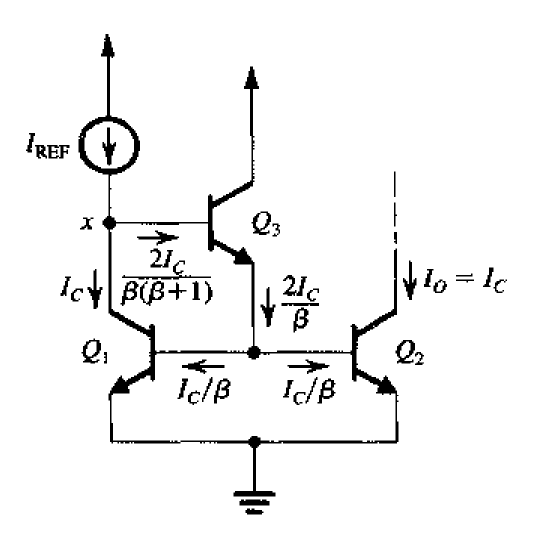


图 6.59　提供基极电流补偿的镜像电流源

$$I_{REF} = I_C\left[1+\frac{2}{\beta(\beta+1)}\right]$$

因为

$$I_O = I_C$$

镜像电流源的电流传输比为

$$\frac{I_O}{I_{REF}} = \frac{1}{1+2/(\beta^2+\beta)} \cong \frac{1}{1+2/\beta^2} \tag{6.191}$$

这说明由有限的 β 值带来的误差已经从简单镜像电流源的 $2/\beta$ 下降到了 $2/\beta^2$，这是个很大的改进。但是，令人遗憾的是输出电阻基本保持与简单镜像电流源相等，即为 r_o。最后注意，如果参考电流 I_{REF} 不可用的话，我们直接将节点 x 通过一个电阻 R 与电源 V_{CC} 相连，得到一个参考电流为

$$I_{REF} = \frac{V_{CC}-V_{BE1}-V_{BE3}}{R} \tag{6.192}$$

6.12.3 Wilson 镜像电流源

对基本双极型镜像电流源做一个简单而精巧的更改，就可以既减小 β 的影响，同时又增大输出电阻。得到的电路被称为 Wilson 镜像电流源，如图 6.60（a）所示。这个电路的名称来源于发明者 George Wilson 的名字，他是一位为 Tektronix 公司工作的集成电路设计工程师。图 6.60（a）中给出了分析过程，用来确定有限 β 值对电流传输比的影响。从中可以得到

$$\begin{aligned}\frac{I_O}{I_{REF}} &= \frac{I_C\left(1+\frac{2}{\beta}\right)\beta\Big/(\beta+1)}{I_C\left[1+\left(1+\frac{2}{\beta}\right)\Big/(\beta+1)\right]} \\ &= \frac{\beta+2}{\beta+1+\frac{\beta+2}{\beta}} = \frac{\beta+2}{\beta+2+\frac{2}{\beta}} \\ &= \frac{1}{1+\frac{2}{\beta(\beta+2)}} \\ &\simeq \frac{1}{1+2/\beta^2}\end{aligned} \tag{6.193}$$

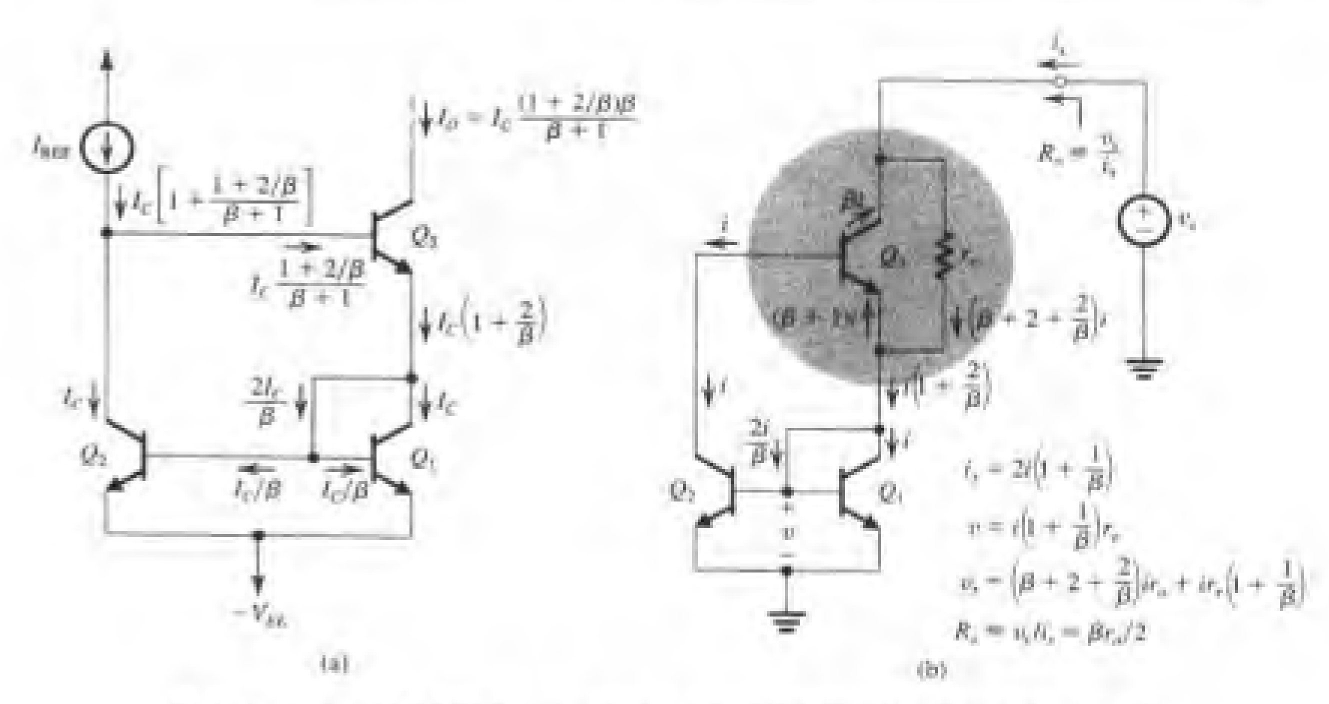


图 6.60　Wilson 镜像电流源：（a）标注了分析电流传输比的过程的电路；（b）确定输出电阻。注意，流入 Q_3 的电流 i_e 必须与流出它的总电流 $2i$ 相等

分析过程中，我们假设流过 Q_1 和 Q_2 集电极的电流相等。然而，这个假设有一个小问题：Q_1 和 Q_2 的集射极之间的电压不相等，这产生了一个失调电流，也就是一个系统误差。要解决这个问题，可以在 Q_2 的集电极串联上一个二极管接法的晶体管。稍后我们将在 MOS 管电路中说明这一点。

图 6.60（b）给出了分析 Wilson 镜像电流源输出电阻的方法，从中可得

$$R_o = \beta r_o / 2 \tag{6.194}$$

最后，我们注意到，Wilson 镜像电流源比 cascode 镜像电流源更具优越性，因为后者与简单镜像电流源一样，对 β 的依赖性很大。然而，正如 cascode 镜像电流源一样，Wilson 镜像电流源需要额外的 V_{BE} 压降来使其工作。也就是说，要使 Wilson 镜像电流源正常工作，必须考虑在其输出端提供 1 V 左右的电压。

练习 6.39　当 $\beta = 100$，$r_o = 100\ \text{k}\Omega$ 时，通过计算有限 β 值带来的传输比误差和输出电阻对 Wilson 镜像电流源与简单镜像电流源进行比较。

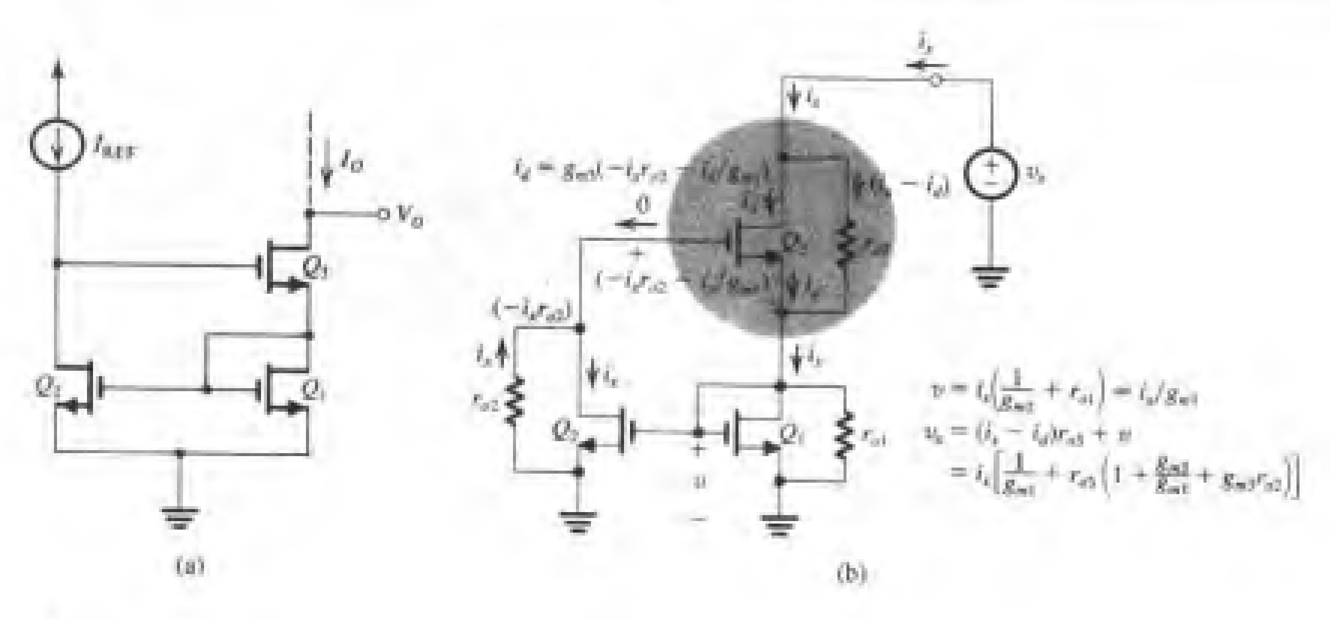
答案： 传输比误差：Wilson 电路 0.02%，简单电路 2%；Wilson 电路 $R_o = 5\ \text{M}\Omega$，简单电路 $R_o = 100\ \text{k}\Omega$

6.12.4　Wilson MOS 镜像电流源

图 6.61（a）所示的是 Wilson 镜像电流源的 MOS 电路形式。显然，这里没有 β 带来的误差。Wilson MOS 镜像电流源的优点在于其增强了的输出电阻。根据图 6.61（b）中的分析有

$$R_o = r_{o3}(g_{m3}r_{o2} + 2) \\ = g_{m3}r_{o3}r_{o2}$$

为了简单起见，这里忽略了 Q_3 的衬底效应。注意，输出电阻基本上与 cascode 电路得到的值相等。最后，为了平衡镜像电流源左右的两条支路，避免 Q_1 和 Q_2 之间 V_{DS} 的差异引起系统误差，可以对电路进行修改，如图 6.61（c）所示。



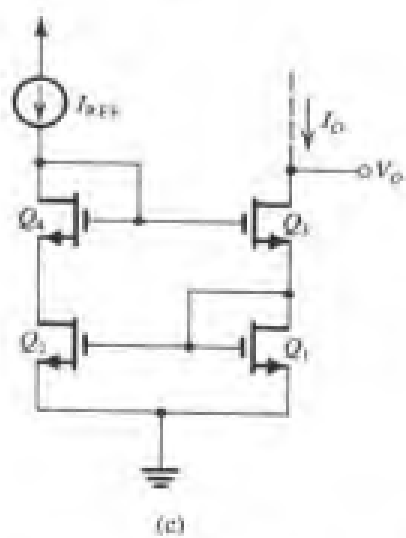


图 6.61 MOS 管 Wilson MOS 镜像电流源：（a）电路；（b）分析确定输出电阻；（c）修改了的电路

6.12.5 Widlar 电流源

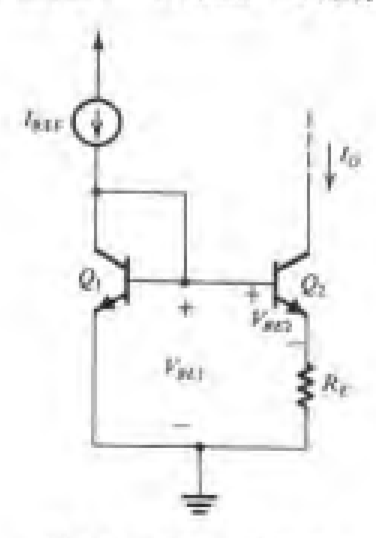


图 6.62 Widlar 电流源

最后我们将讨论图 6.62 所示的电流源，它被称为 Widlar 电流源。它与基本镜像电流源有一个重要的不同点：Q_2 的射极接入了一个电阻 R_E。忽略基极电流可得

$$V_{BE1} = V_T \ln\left(\frac{I_{REF}}{I_S}\right) \tag{6.195}$$

以及

$$V_{BE2} = V_T \ln\left(\frac{I_O}{I_S}\right) \tag{6.196}$$

其中假设 Q_1 和 Q_2 匹配。联立式（6.195）和式（6.196）得

$$V_{BE1}-V_{BE2}=V_T\ln\left(\frac{I_{REF}}{I_O}\right) \tag{6.197}$$

但是从电路中，我们看出

$$V_{BE1}=V_{BE2}+I_OR_E \tag{6.198}$$

因此，

$$I_OR_E=V_T\ln\left(\frac{I_{REF}}{I_O}\right) \tag{6.199}$$

Widlar 电流源的设计和优点将在下面的例子中说明。

例题 6.14　图 6.63 给出了两个用来产生恒定电流 $I_O=10\,\mu\text{A}$ 的电路，都在 10 V 的电源供电下工作。确定所需晶体管的参数值。假定电流为 1 mA 时 V_{BE} 为 0.7 V。忽略有限 β 值产生的影响。

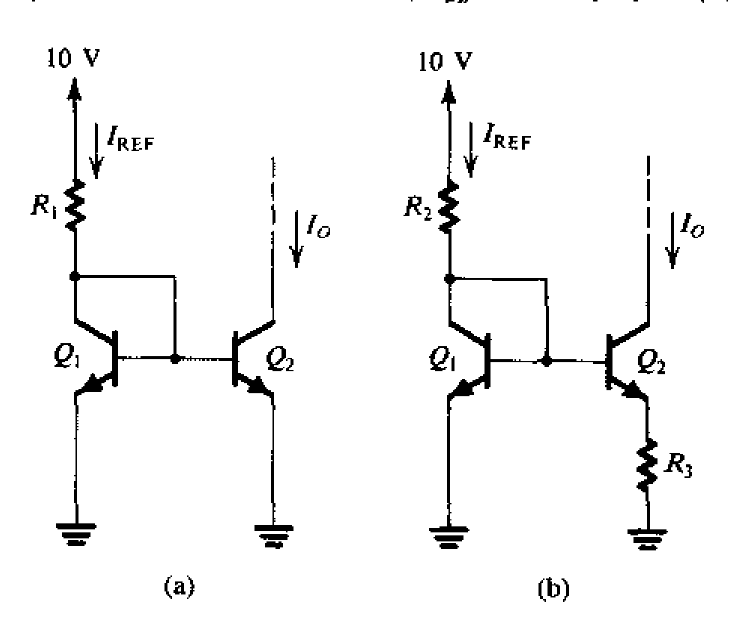


图 6.63　例题 6.14 的电路

解：对于图 6.63（a）中的基本共源电路，我们选择合适的 R_1 值，使得 $I_{REF}=10\,\mu\text{A}$。在这个电路中，Q_1 上的压降为

$$V_{BE1}=0.7+V_T\ln\left(\frac{10\,\mu\text{A}}{1\text{ mA}}\right)=0.58\text{ V}$$

因此，

$$R_1=\frac{10-0.58}{0.01}=942\text{ k}\Omega$$

对于图 6.63（b）中的 Widlar 电路，我们首先选择合适的 I_{REF} 值。如果我们选择 $I_{REF}=1\text{ mA}$，则 $V_{BE1}=0.7\text{ V}$。R_2 为

$$R_2=\frac{10-0.7}{1}=9.3\text{ k}\Omega$$

R_3 的值可以利用式（6.199）求得：

$$10\times10^{-6}R_3=0.025\ln\left(\frac{1\text{ mA}}{10\ \mu\text{A}}\right)$$

$$R_3=11.5\text{ k}\Omega$$

■

从上述例子中我们看到，使用 Widlar 电路后，要产生小的恒定输出电流，只需使用相对较小的电阻。这是一个很大的优点，可以大幅节省芯片面积。事实上，图 6.63（a）中的电路需要使用 942 kΩ的电阻，这在集成电路工艺中是不可能实现的。

Widlar 电流源另一个重要的特点在于它的输出电阻很大。其输出电阻比基本电流源的要大，这是由于射极负反馈电阻 R_E 的作用。为了求出 Q_2 的输出电阻，考虑到 Q_2 的基极通过 Q_1 的小电阻 r_e 接地，因此可以假设 Q_2 基极的增量电压很小。这样我们可以使用 6.7.2 节中推导共基放大器时得到的式（6.118），根据我们现在的情况将它改写为

$$R_o\simeq[1+g_m(R_E\parallel r_\pi)]r_o \tag{6.200}$$

因此输出电阻比 r_o 要大一定倍数，而这个倍数可以相当大。

练习 6.40 试分别求例题 6.14 中设计的两个电流源的输出电阻。已知 $V_A=100$ V，$\beta=100$。

答案：10 MΩ；54 MΩ

6.13 SPICE 仿真实例

在本章的最后，我们来讨论两个 SPICE 仿真实例。在第一个例子中，我们利用 SPICE 分析 CS 放大器电路（见 6.5.2 节）的工作情况。在第二个例子中，我们利用 SPICE 比较 CS 放大器的高频响应（见 6.6 节）和折叠型 cascode 放大器的高频响应（见 6.8.6 节）。

例题 6.15 CMOS 管 CS 放大器

在本例中，我们利用 PSpice 计算共源放大器的直流传输特性。图 6.64 给出了放大器的原理图。我们假定 MOS 管采用 5μm CMOS 工艺制造，型号为 NMOS5P0 和 PMOS5P0，SPICE 一级参数值如表 4.8 所示。为了在 PSpice 中表示 MOS 管的几何尺寸，我们使用乘法因子 m 以及沟道长度 L 和沟道宽度 W。MOS 管参数 m 的默认值为 1。在 SPICE 中用来表示并联连接的 MOS 管的个数。如图 6.65 所示，一个宽晶体管的沟道长度为 L，宽度为 $m\times W$，可以用 m 个窄晶体管并联实现，这些窄晶体管沟道长度为 L，宽度为 W。因此，如果忽略沟道长度调制效应，一个工作在饱和区的 MOS 管的漏极电流可以表示为

$$I_D=\frac{1}{2}\mu C_{ox}m\frac{W}{L_{\text{eff}}}V_{OV}^2 \tag{6.201}$$

这里没有使用 L，而使用了 L_{eff}，是为了更精确地估计漏极电流的值（见 4.12.2 节）。

假定参考电流 $I_{\text{ref}}=100\ \mu$A，$V_{DD}=10$ V，则图 6.64 中的共源放大器工作在偏置电流为 100 μA 的情况下。电流镜像管 M_2 和 M_3 具有合适的尺寸，使得 $V_{OV2}=V_{OV3}=1$ V，而输入管 M_1 使得 $V_{OV1}=0.5$ V。注意，为 M_1 选择较小的过驱动电压值是为了实现共源放大器的更大的电压增益 G_v，因为

$$G_v=-g_{m1}R_L'=-g_{m1}(r_{o1}\parallel r_{o2})=-\frac{2}{V_{OV1}}\left(\frac{V_{An}V_{Ap}}{V_{An}+V_{Ap}}\right) \tag{6.202}$$

其中 V_{An} 和 V_{Ap} 分别表示 NMOS 管和 PMOS 管的厄尔利电压。单位尺寸对于 NMOS 管而言是指 $W/L=12.5\ \mu\text{m}/6\ \mu\text{m}$，而 PMOS 管指 $W/L=37.5\ \mu\text{m}/6\ \mu\text{m}$。因此，利用式（6.201）以及表 4.8 中 5 μm CMOS 工艺的相关参数，可以求出 $m_1=10$，$m_2=m_3=2$（已取最接近的整数值）。另外，由式（6.202）可知 $G_v=-100$ V/V

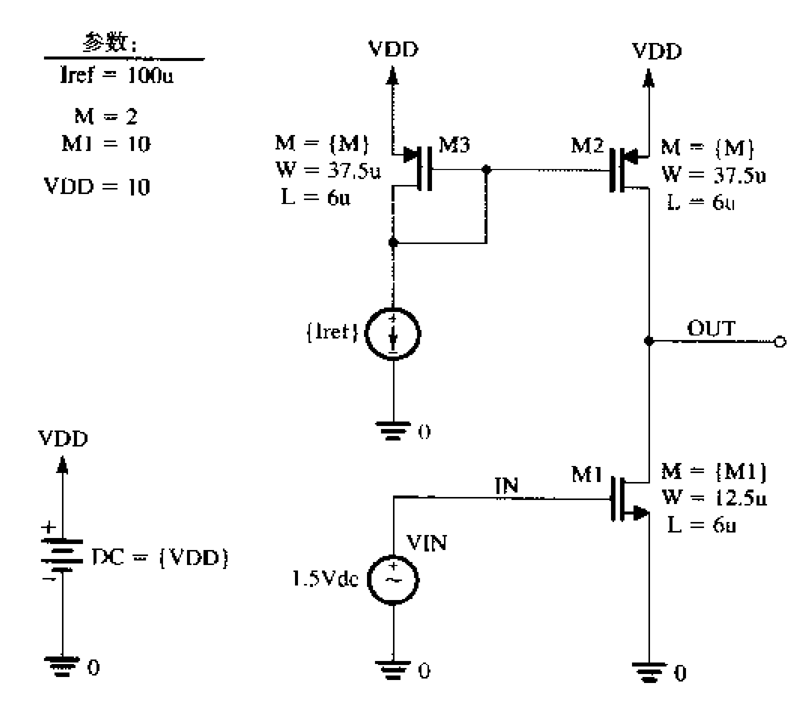


图 6.64　例题 6.15 中共源放大器的原理图

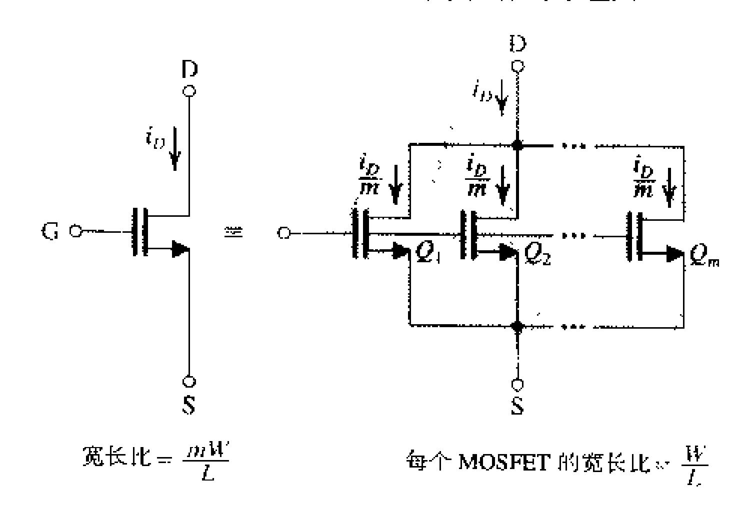


图 6.65　晶体管等效

为了计算共源放大器的直流传输特性，我们利用 PSpice 进行直流分析，随着 V_{IN} 在 0 到 V_{DD} 之间变化，在图上相应描出表示输出电压 V_{OUT} 值的点。图 6.66（a）给出了传输特性曲线。这条曲线的斜率（即 dV_{OUT}/dV_{IN}）与放大器的增益有关。V_{IN} 在 1.5 V 左右时，容易看出曲线位于高增益段。这与 M_1 的过驱动电压值是对应的，此时正如我们所料，$V_{OV1}=V_{IN}-V_{tn}=0.5$ V。为了进一步分析高增益区域，我们在 V_{IN} 大于 1.3 V、小于 1.7 V 的范围内重复描点画图的过程，得到图 6.66（b）所示的中间的那条传输特性曲线。利用 PSpice 的 Probe 绘画界面，可以找出这条直流传输特性曲线的线性区域介于 V_{IN}=1.465 V 与 V_{IN}=1.539 V 之间，对应的 V_{OUT} 值介于 8.838 V 和 0.573 V 之间。这些结果与我们推测的值相近。具体来说，晶体管 M_1 和 M_2 位于饱和区，因而放大器要工作在线性区域，必须使 $V_{OV1}\leq V_{OUT}\leq V_{DD}-V_{OV2}$，即 0.5 V$\leq V_{OUT}\leq$9 V。从上述结果可知，电压增益 G_v（即直流传输特性曲线线性部分的斜率）大致为 − 112 V/V，这与手工计算得到的值相吻合。

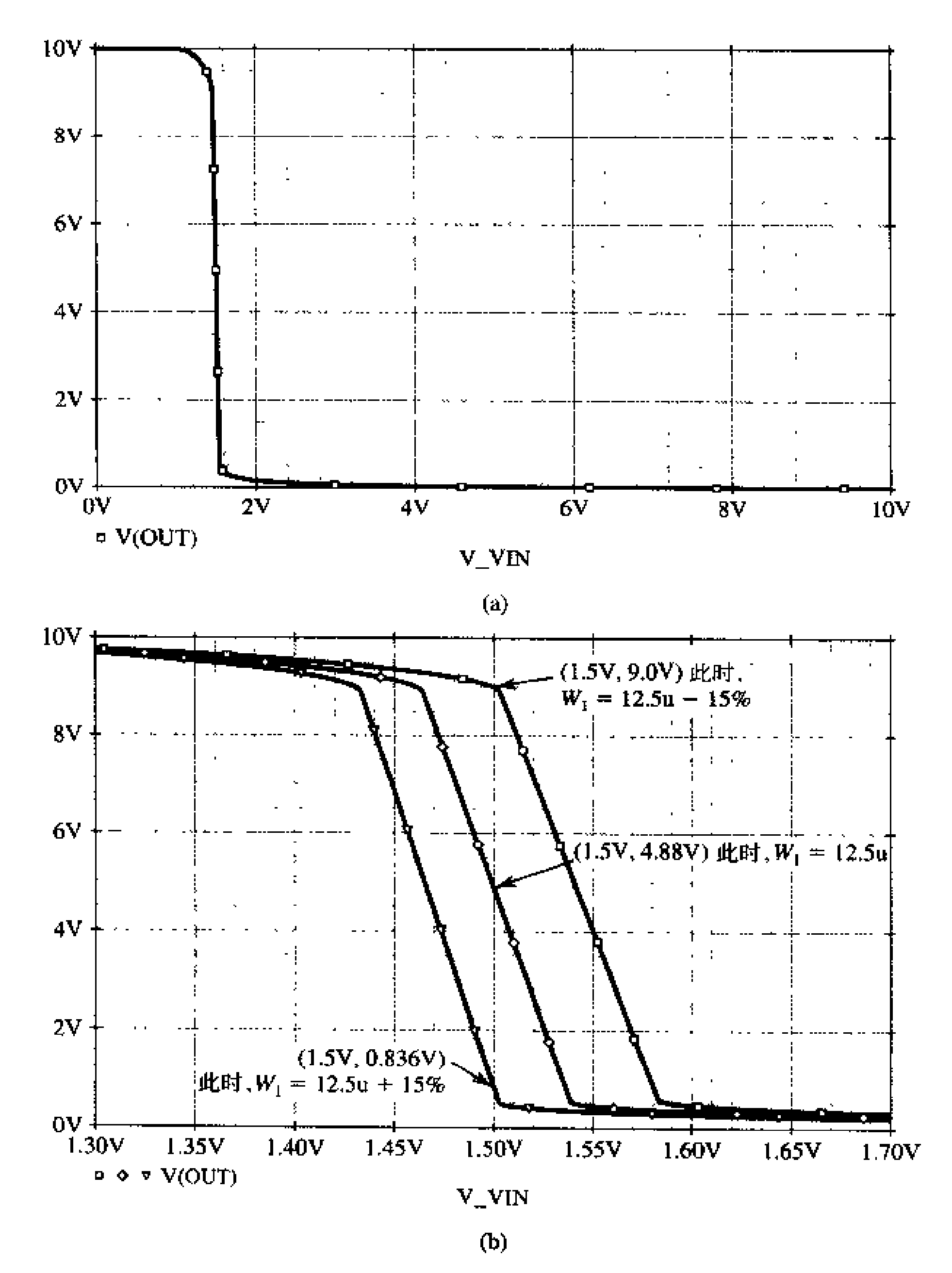


图 6.66 （a）例题 6.15 中共源放大器的电压传输特性曲线；（b）高增益区域传输特性曲线的放大图。制造工艺的偏差可能使晶体管 M_1 的沟道宽度 W_1 在额定值 12.5 μm 上下 15%的范围内波动，图中还给出了对应−15%和+15%偏差的两条传输特性曲线

注意，在图 6.66（b）所示的直流传输特性曲线中，当输入直流偏置 V_{IN}=1.5 V 时，输出直流偏置 V_{OUT} = 4.88 V。选择这个 V_{IN} 值，使得 V_{OUT} 位于直流传输特性曲线的线性段的中间，从而获得最大的信号允许摆动范围。然而，由于输出端的电阻较大（或者说，由于电压增益较高），制造工艺和温度波动对晶体管特性的影响就比较大，V_{OUT} 也变得很敏感。为了说明这一点，考虑 M_1 的沟道宽度 W_1（额定值为 12.5 μm）在±15%范围内变化。图 6.66（b）中给出了对应的直流传输特性曲线。与此相应，当 V_{IN} = 1.5 V 时，如果 W_1 增大 15%，则 V_{OUT} 降为 0.84 V；如果 W_1 减小 15%，则 V_{OUT} 升高为 9.0 V。在实际电路中，可以通过负反馈来精确设定放大器输出端的直流偏置电压，从而降低电路对制造工艺偏差的敏感度来解决这个问题。关于负反馈的内容将在第 8 章介绍。 ■

例题 6.16　共源与折叠型 cascode 放大器的频率响应

在本例题中，我们利用 PSpice 来分析共源和折叠型 cascode 放大器的频率响应，图 6.67 和图 6.69 中分别给出了两个电路的原理图。我们假设放大器输出端的直流偏置电平在负反馈的作用下保持稳定。然而，在利用 SPICE 对频率响应进行小信号分析（交流分析仿真）之前，我们需要先分析直流情况（偏置点仿真）以确认所有的 MOS 管都工作在饱和区内，保证放大器位于线性区域内。

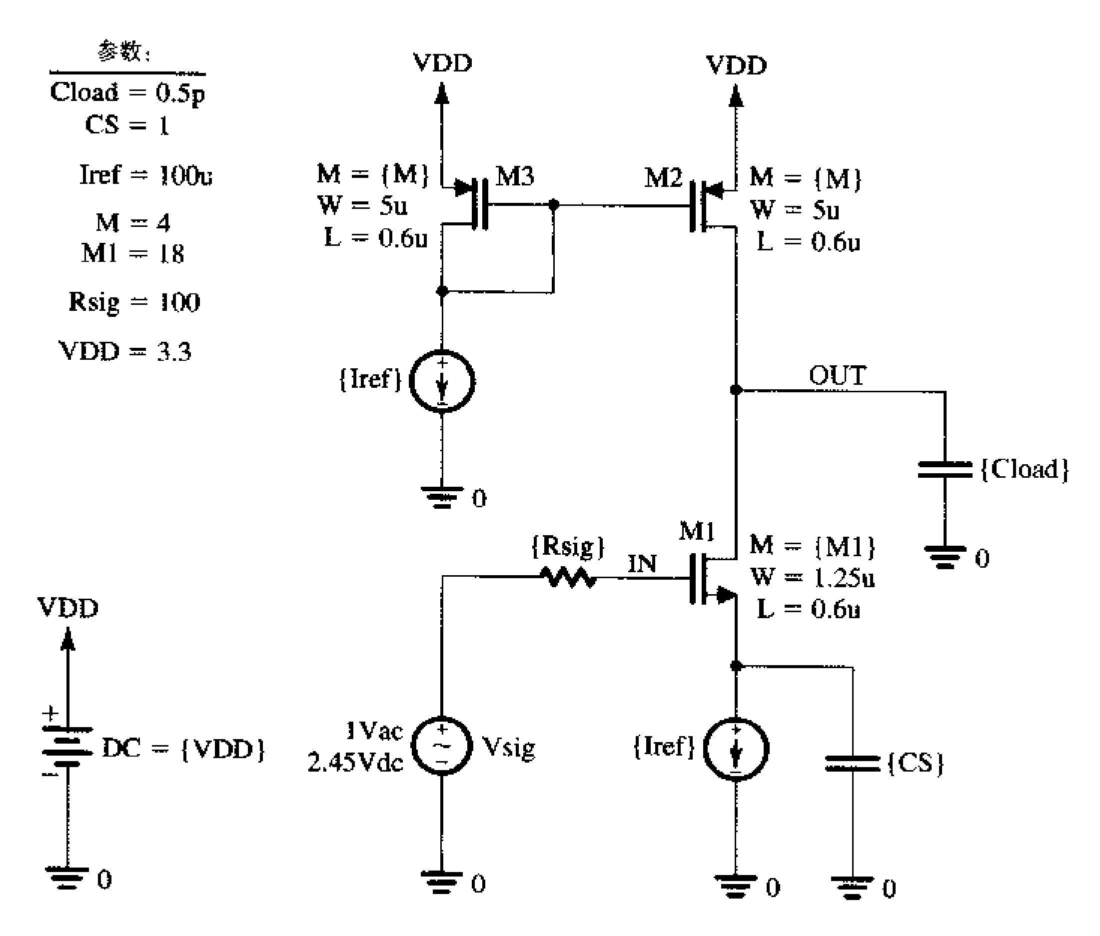


图 6.67　例题 6.16 中共源放大器的原理图

在接下来的分析过程中，我们假定 MOS 管由 0.5 μm CMOS 工艺制造，型号为 NMOSOP5 和 PMOSOP5，SPICE 一级模型参数值如表 4.8 所示。为了在 PSpice 中表示 MOS 管的几何尺寸，我们使用乘法因子 m 以及沟道长度 L 和沟道宽度 W（与例题 6.15 一样）。

共源放大器

图 6.67 中的共源放大器与图 6.18 中的相同，只是在这里输入管 M_1 的源端连接了一个电流源，以使它的漏极电流 I_{D1} 不受漏极电压 V_{D1} 的影响。另外，在 PSpice 仿真中，我们用到了一个 1 F 的旁路电容 C_S，这个值很大，实际上是不可能实现的。这个电容使得 M_1 的源端在做交流仿真分析时近似保持信号接地。这样图 6.18 和图 6.67 中的共源放大器在做频响分析时就完全一样了。在第 7 章介绍差分对的时候，我们将会看到实际集成电路的实现方式，它能与这种共源放大器偏置方法达到相同的目的。

设计图 6.67 中的共源放大器时，假定参考电流 $I_{ref} = 100\ \mu A$，$V_{DD} = 3.3$ V。电流镜像管 M_2 和 M_3 具有合适的尺寸，使得 $V_{OV2} = V_{OV3} = 0.3$ V，而输入管 M_1 使得 $V_{OV1} = 0.15$ V。单位尺寸对于 NMOS 管而言是 $W/L = 1.25\ \mu m/0.6\ \mu m$，而 PMOS 管则是 $W/L = 5\ \mu m/0.6\ \mu m$。因此，利用式(6.201)

以及表 4.8 中 0.5 μm CMOS 工艺的相关参数，可以求出 m_1=18，$m_2=m_3=4$。另外，由式（6.202）可知共源放大器的 $G_v \simeq -44.4$ V/V。

在对图 6.67 所示的 CS 放大器进行 PSpice 仿真时，设置信号源的直流偏置电压使得 M_1 的源极电压 $V_{S1}=1.3$ V。这要求 V_{sig} 的直流电平为 $V_{OV1}+V_{tn1}+V_{S1}=2.45$ V，因为需要考虑 M_1 的衬底效应，所以 $V_{tn1}\simeq 1$ V。选择 V_{S1} 的理由是在实际电路实现的时候，驱动 M_1 的电流源一般都采用图 6.58 所示的 cascode 镜像电流源电路，这时电流源输出端所需要的最小电压（即最小 V_{S1}）值是 $V_t+2V_{OV}=1.3$ V，假设电流源晶体管的 $V_{OV}=0.3$ V

首先在 PSpice 中进行偏置点仿真，以确保所有的 MOS 管都工作在饱和区。接下来，为了求解放大器的频响，我们令信号源的交流电压为 1 V，进行交流仿真，同时绘制出输出电压幅度与频率的曲线图。图 6.68（a）分别给出了 R_{sig}=100 Ω和 R_{sig}= 1 MΩ时得到的频响曲线。在两种情况下都使用了负载电容 $C_{load}=0.5$ pF。对应的放大器 3 dB 频率 f_H 的值如表 6.4 所示。

表 6.4 例题 6.16 中共源和折叠型 cascode 放大器 3 dB 带宽 f_H 与 R_{sig} 的关系表

	f_H	
R_{sig}	共源放大器	折叠型 cascode 放大器
100 Ω	7.49 MHz	2.93 MHz
1 MΩ	293.2 kHz	1.44 MHz

(a)

(b)

图 6.68 例题 6.16 中（a）共源放大器和（b）折叠型 cascode 放大器在 R_{sig} = 100 Ω和 R_{sig} = 1 MΩ时的频响曲线

我们看到，当 R_{sig} 增大时，f_H 减小。这个结论从我们在 6.6 节对共源放大器高频响应的介绍中就可以得到。具体而言，当 R_{sig} 增大时，放大器输入端形成的极点

$$f_{p,in} = \frac{1}{2\pi} \frac{1}{R_{sig} C_{in}} \qquad (6.203)$$

会对放大器的总频响起到越来越大的作用。因此，式（6.57）中的有效时间常数 τ_H 随之增大，而 f_H 减小。当 R_{sig} 很大，比如说 $R_{sig} = 1\ \text{M}\Omega$ 时，R_{sig} 和 C_{in} 构成了一个主极点，使得

$$f_H \cong f_{p,in} \qquad (6.204)$$

为了估算 $f_{p,in}$，需要计算放大器的输入电容 C_{in}。根据米勒定理得到

$$\begin{aligned} C_{in} &= C_{gs1} + C_{gd1}(1 + g_{m1} R_L') \\ &= \left(\frac{2}{3} m_1 W_1 L_1 C_{ox} + C_{gs,ov1} \right) + C_{gd,ov1}(1 + g_{m1} R_L') \end{aligned} \qquad (6.205)$$

其中，

$$R_L' = r_{o1} \parallel r_{o2} \qquad (6.206)$$

因而，C_{in} 可以根据 C_{gs1} 和 C_{gd1} 的值计算，而在 PSpice 进行偏置点仿真时，已经计算并输出了 C_{gs1} 和 C_{gd1} 的值。另外，也可以使用式（6.205）来求 C_{in}。其中重叠电容 $C_{gs,ov1}$ 和 $C_{gd,ov1}$ 的值可以利用表 4.8 中的工艺参数值得到［如式（4.170）和式（4.171）所示］：

$$C_{gs,ov1} = m_1 W_1 CGSO \qquad (6.207)$$

$$C_{gs,ov1} = m_1 W_1 CGDO \qquad (6.208)$$

最后得到 $C_{in} = 0.53\ \text{pF}$，同时 $|G_v| = g_{m1} R_L' = 53.2\ \text{V/V}$，相应地利用式（6.203）和式（6.204）可得 $R_{sig} = 1\ \text{M}\Omega$ 时的 $f_H = 300.3\ \text{kHz}$，这与 PSpice 计算得到的值相近。

折叠型 cascode 放大器

图 6.69 中的折叠型 cascode 放大器电路与图 6.45 等价，只是在输入管 M_1 的源端连入了一个电流源（同共源放大器一样是为了达到直流偏置的目的）。注意，图 6.45 所示电路中的电流源 I_1 和 I_2 在图 6.69 中分别由 PMOS 管镜像电流源 M_3-M_4 和 NMOS 管镜像电流源 M_5-M_6 实现。另外，M_3-M_4 镜像的电流传输比设为 2（即 $m_3/m_4 = 2$），这使得 $I_{D3} \simeq 2I_{ref}$。这样晶体管 M_2 的 $I_{D2} = I_{D3} - I_{D1} = I_{ref}$。二极管接法的晶体管 M_7 和 M_8 用来产生晶体管 M_2 的栅极偏置电压。这两个管子的尺寸和漏极电流设成与 M_2 相等。因而，忽略衬底效应可得

$$V_{G2} = V_{DD} - V_{SG7} - V_{SG8} \cong V_{DD} - 2(|V_{tp}| + |V_{OVp}|)$$

这里，V_{OVp} 是放大器电路中 PMOS 管的过驱动电压。这些晶体管具有相等的过驱动电压，因为它们的 I_D/m 相等。因而，这种偏置组态使得 V_{SG2} 如我们期望的那样等于 $|V_{tp}|+|V_{OVp}|$，同时也使 $V_{SD3} = |V_{tp}|+|V_{OVp}|$，从而增强了 M_3 和 M_4 偏置的匹配程度。

设计图 6.69 中的折叠型 cascode 放大器时，假定参考电流 $I_{ref} = 100\ \mu\text{A}$，$V_{DD} = 3.3\ \text{V}$（与共源放大器情况类似）。所有的晶体管都具有合适的尺寸，使得过驱动电压为 0.3 V，但输入管 M_1 除外，它的 $V_{OV1} = 0.15\ \text{V}$。因此，利用式（6.201）可以求出所有放大器电路中的 MOS 管的 $m = 4$，只是 $m_1 = 18$。

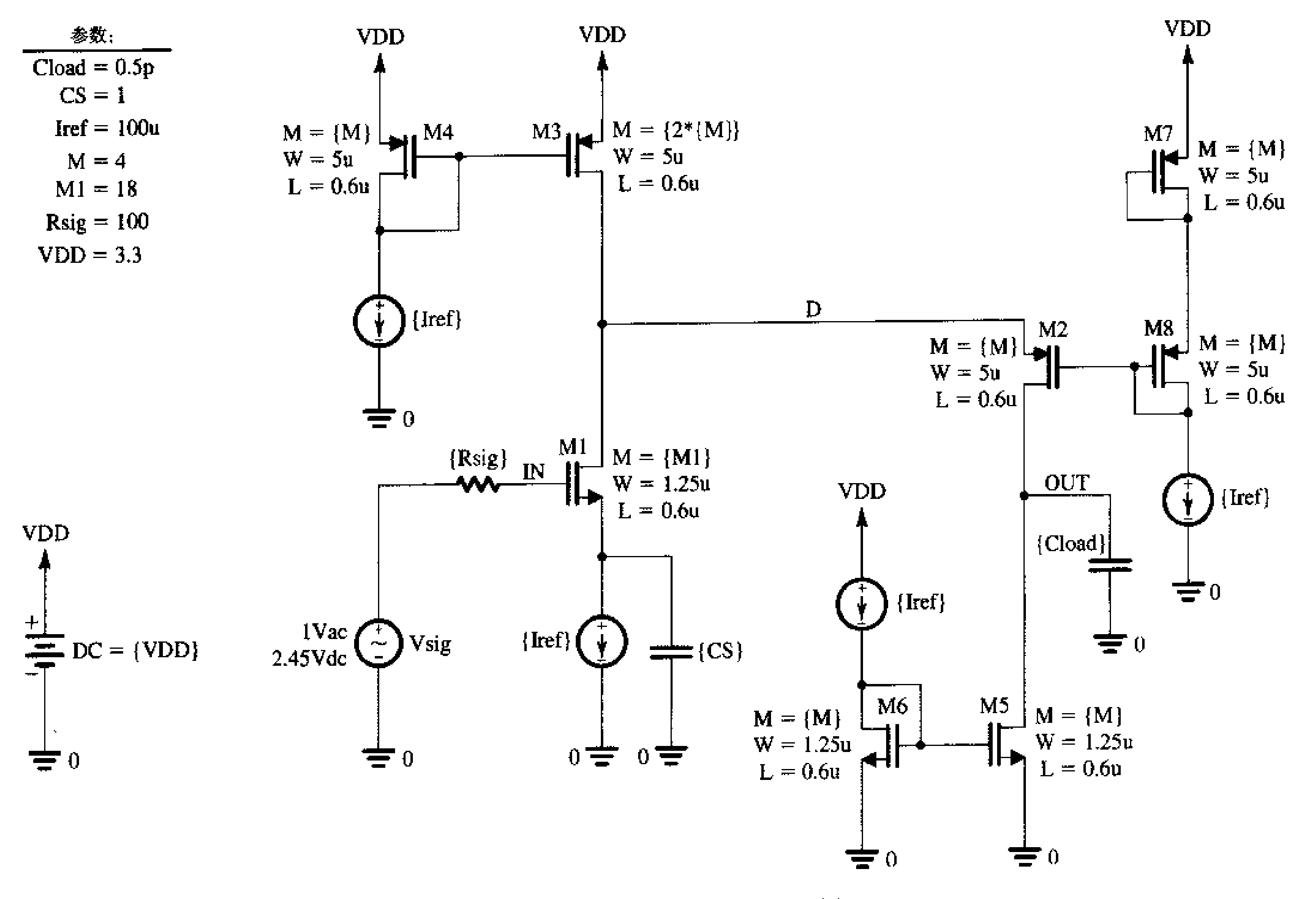


图 6.69 例题 6.16 中折叠型 cascode 放大器的原理图

图 6.69 中折叠型 cascode 放大器的中频电压增益可以用式（6.130）表示为

$$G_v = -g_{m1}R_{\text{out}} \tag{6.209}$$

其中，

$$R_{\text{out}} = R_{\text{out2}} \parallel R_{\text{out5}} \tag{6.210}$$

是放大器的输出电阻。这里，R_{out2} 是从 cascode 管 M_2 的漏极视入的电阻，而 R_{out5} 是从镜像电流管 M_5 的漏极视入的电阻。利用式（6.127）可得

$$R_{\text{out2}} \simeq (g_{m2}r_{o2})R_{s2} \tag{6.211}$$

其中，

$$R_{s2} = r_{o1} \parallel r_{o3} \tag{6.212}$$

是 M_2 源端的有效电阻。另外，

$$R_{\text{out5}} = r_{o5} \tag{6.213}$$

因此，对于图 6.69 中的折叠型 cascode 放大器：

$$R_{\text{out}} \simeq r_{o5} \tag{6.214}$$

以及

$$G_v \simeq -g_{m1}r_{o5} = -2\frac{V_{An}}{V_{OV1}} \tag{6.215}$$

利用 0.5 μm CMOS 工艺参数值，可得 $R_{\text{out}} = 100$ kΩ，$G_v = -133$ V/V。因此，图 6.69 中折叠型 cascode 放大器的 R_{out} 和 $|G_v|$ 值要比图 6.67 中共源放大器的值大，前者是后者的 3 倍。

图 6.68（b）给出了 R_{sig}=100 Ω和 R_{sig}= 1 MΩ时用 PSpice 得到的折叠型 cascode 放大器的频响曲线。对应的放大器 3 dB 频率 f_H 的值如表 6.4 所示。注意，当 R_{sig} 较小时，共源放大器的 f_H 大概是折叠型 cascode 放大器的 2.6 倍，这与增益增大的倍数基本相等。这是因为当 R_{sig} 较小时，两个放大器的频率响应都由输出端形成的极点决定，即

$$f_H \simeq f_{p,\text{out}} = \frac{1}{2\pi}\frac{1}{R_{\text{out}}C_{\text{out}}} \tag{6.216}$$

因为折叠型 cascode 放大器的输出电阻比共源放大器的大（前者是后者的 3 倍，可以从上述手工计算中求出），而两者输出电容近似相等，所以在这种情况下，折叠型 cascode 放大器的 f_H 较小。

另一方面，当 R_{sig} 较大时，折叠型 cascode 放大器的 f_H 要比共源放大器大得多。这是因为在这种情况下，$f_{p,\text{in}}$ 处极点对放大器总频响的影响变大了。由于米勒效应，共源放大器的 C_{in} 比折叠型 cascode 放大器大得多，这种情况下，它的 f_H 要小很多。为了证实这一点，考虑折叠型 cascode 放大器的 C_{in}，可以用 M_1 漏极与地之间的总电阻 R_{d1} 替换式（6.205）中的 R'_L 得到 C_{in} 的估计值。这里，

$$R_{d1} = r_{o1} \parallel r_{o3} \parallel R_{\text{in2}} \tag{6.217}$$

其中，R_{in2} 是共栅管 M_2 的输入电阻，可以用式（6.83）中的近似关系式表示为

$$R_{\text{in2}} \simeq \frac{r_{o2}+r_{o5}}{g_{m2}r_{o2}} \tag{6.218}$$

故

$$R_{d1} \simeq r_{o1} \parallel r_{o3} \parallel \frac{r_{o2}+r_{o5}}{g_{m2}r_{o2}} \simeq \frac{2}{g_{m2}} \tag{6.219}$$

因而，R_{d1} 比式（6.206）中的 R'_L 小得多。这样，图 6.69 中折叠型 cascode 放大器的 C_{in} 确实要比图 6.67 中共源放大器的小很多。这再一次说明，折叠型 cascode 放大器受米勒效应影响较小，从而在 R_{sig} 较大时可以实现较高的 f_H。

用输出电阻较大的镜像电流源（比如说图 6.58 中输出电阻约为 $g_m r_o^2$ 的 cascode 镜像电流源）替换镜像电流源 M_5-M_6，可以大大提高折叠型 cascode 放大器的中频增益值。但是在这种情况下，R_{in2} 和 R_{d1} 会增大，使得米勒效应增强，从而导致 f_H 降低。

最后，有趣的是，图 6.68（b）所示的折叠型 cascode 放大器的频率响应曲线在频率超过 f_H 后，在 $R_{sig}=100\,\Omega$ 情况下以大致为 −20 dB/十倍频程的斜率下降，在 $R_{sig}=1\,\text{M}\Omega$ 情况下以大致为 −40 dB/十倍频程的斜率下降。这是因为当 R_{sig} 较小时，频率响应由 $f_{p,out}$ 处的极点决定。但是当 R_{sig} 增大时，$f_{p,in}$ 逐渐接近 $f_{p,out}$，这两个极点同时决定了增益的下降趋势。■

小结

- 集成电路制造技术给电路设计人员带来了很多令人振奋的机会，其中最重要的就是多种面积小、成本低的 MOS 管。但是集成电路设计人员始终要考虑一点，就是尽量缩小芯片面积或“硅地产”（“silicon real estate”），因此实际上并不使用大电阻和大电容。
- 6.2 节是对 MOS 管和 BJT 管特性的一个复习和对比。表 6.3 总结了其中最重要的一些结论。
- 集成电路的偏置使用电流源。通常，准确稳定的参考电流在一个地方生成，然后通过复制为芯片上的各级放大器来提供偏置电流。完成这一功能的核心是电流源中的电流导向电路 6.3 节中介绍了 MOS 管和双极型基本镜像电流源。6.12 节中介绍了改进型镜像电流源，它们具有更精确的电流传输比，对晶体三极管 β 值的依赖作用减小了，输出电阻也增大了。
- 集成电路放大器通常是直接耦合的，因而中频增益 A_M 可延伸至零频率（直流）。它们的高频响应受到晶体管内部电容的限制，这些电容主要包括 MOSFET 中的 C_{gs} 和 C_{gd}，BJT 中的 C_π 和 C_μ。通常，在输出端和地之间还有一个电容 C_L。这些电容使得放大器增益（或传输函数）具有一些位于 s 平面负实轴的极点。另外，在正负实轴上还可能存在一个传输零点，其他的传输零点位于频率无穷大处。
- 如果最低频率的极点与最接近的极点或零点之间的距离至少有两个二倍频程以上，则这个极点（假定位于频率 f_{P1} 处）是主极点，决定了高频响应和 3 dB 频率 $f_H=f_{P1}$。另一方面，如果不存在主极点，则 f_H 的近似值可用下式表示：

$$f_H = 1\Bigg/\sqrt{\frac{1}{f_{P1}^2}+\frac{1}{f_{P2}^2}+\cdots-2\left(\frac{1}{f_{Z1}^2}+\frac{1}{f_{Z2}^2}+\cdots\right)}$$

- 如果零点和极点不容易确定，则可以使用开路时间常数法求出 f_H 的近似值如下：

$$f_H \simeq 1/2\pi\tau_H$$

其中，

$$\tau_H = \sum_{i=1}^{n} C_i R_i$$

其中，C_i 是决定放大器高频响应的一个电容，R_i 是从电容 C_i 视入的电阻。为了确定 R_i，可令 V_{sig} 及所有电容为零。然后在电容 C_i 连接的端口处加上一个信号 v_x，求出电路从 v_x 吸入的电流 i_x，并计算 $R_i=v_x/i_x$。

- 米勒定理称：连接在电路节点 1 和节点 2 之间的阻抗 Z（电压满足关系 $V_2=KV_1$）可以用两个阻抗替代，它们是接在节点 1 和地之间的 $Z_1=Z/(1-K)$，接在节点 2 和地之间的 $Z_2=Z/(1-(1/K))$。米勒定理在分析 CS 和 CE 放大器的高频响应中非常有用。
- 集成电路放大器使用恒流源代替电阻 $R_D(R_C)$ 连接在漏极（集电极）和电源之间。这些有源负载在低电源（低至 1 V 左右）的条件下实现了相当大的电压增益。
- 共源、共射放大器能够实现的最大电压增益等于晶体管的固有增益 $A_0=g_m r_o$，这个值在 BJT 中为 2000 ~ 4000 V/V，在 MOSFET 中为 20 ~ 100 V/V。但是必须记住共源放大器的输入电阻为无穷大，而共射放大器的输入电阻受有限 β 值的限制，仅为 r_π。共源和共射放大器的输出电阻都等于电阻 r_o。
- 共源放大器的高频响应通常受到 C_{gd} 的米勒倍增效应的限制，这个效应使得输入电容 C_{in} 为

$$C_{in}=C_{gs}+C_{gd}(1+g_m R_L')$$

它与信号源的内阻 R_{sig} 作用形成主极点，因此 $f_H \simeq 1/2\pi C_{in}R_{sig}$。或者可以采用开路时间常数法求出 f_H 的近似值为 $f_H \simeq 1/2\pi\tau_H$，其中，

$$\tau_H=C_{gs}R_{sig}+C_{gs}[R_{sig}(1+g_m R_L')+R_L']+C_L R_L'$$

- 精确分析共源放大器高频响应，可以得到式（6.60）中的二阶传输函数。利用这个函数，就可以确定极点、零点以及 f_H。
- 共射放大器的高频响应可以通过更改共源方程中的某些变量得到，具体方法是：用 $R_{sig}'=R_{sig}\parallel r_\pi$ 替换 R_{sig}，用 C_π 替换 C_{gs}，以及用 C_μ 替换 C_{gd}。
- 当共源放大器由一个内阻较小的信号源提供信号时，放大器的频率响应如图 6.26（c）所示。
- 共栅和共基放大器表现为电流缓冲器。它们的阻抗转移特性如图 6.29（共栅）和图 6.35（共基）所示。
- 共栅和共基放大器不受米勒电容倍增效应的影响，因而高频响应性能出色。当 r_o 可以忽略时，共栅放大器有两个极点：一个产生在输入端，频率为 $f_{P1}=1/2\pi C_{gs}(R_s\parallel(1/(g_m+g_{mb})))$；另一个产生在输出端，频率为 $f_{P2}=1/2\pi(C_L+C_{gd})R_L$。利用 f_{P1} 和 f_{P2} 可以估算 3 dB 频率 f_H 的值。考虑 r_o 时，f_H 的估计值由下式表示：

$$f_H=1/2\pi[C_{gs}(R_s\parallel R_{in})+(C_L+C_{gs})(R_L\parallel R_{out})]$$

- 在 cascode 放大器中，共栅（共基）管在 Q_1 的漏极（集电极）和负载之间起着缓冲作用。这使得 Q_1 的漏极（集电极）处的信号电压较小，从而减弱了米勒效应，增大了带宽。我们也可以认为共栅（共基）管起着提高输出电阻的作用，从而使得开路电压增益变成了原来的 $g_{m2}r_{o2}$ 倍（BJT 情况下为 β_2）。参见图 6.37（a）和（b）中 MOS 管 cascode 放大器的等效输出电路，以及图 6.41（a）和（b）中双极型 cascode 放大器的等效输出电路。
- 图 6.39 总结了信号源内阻较小时 MOS 管 cascode 放大器的性质。
- 图 6.42 总结了 BJT 管 cascode 放大器频率响应的分析过程。
- 在共源（共射）放大器的源极（射极）加入一个小电阻作为设计人员的一个工具，可以改善某些性能（比如说增加带宽），这需要牺牲一部分增益（负反馈的平衡特性）。
- 源极和射极跟随器不受米勒电容倍增效应的负面影响，因而能够达到很高的带宽。
- 将一个源极（或射极）跟随器与一个共源（或共射）放大器联合使用的放大器，其增益等于（或大于）单独使用共源（或共射）放大器情况下的值，更重要的是可获得更高的带宽。输入跟随器的缓冲作用以及共源（或共射）级输入端米勒效应的削弱使得带宽增大。

- cascode 和 Wilson MOS 管镜像电流源都能使输出电阻增大 $g_m r_o$ 倍。双极型 Wilson 镜像电流源使输出电阻增大 $\beta/2$ 倍，同时大大降低了有限 β 值引起的电流传输比的误差。

习题

6.2 节：MOSFET 与 BJT 的比较

6.1 对于某个 NMOS 管，当过驱动电压从 0.15 V 增大到 0.4 V 时，求 I_D 的变化范围。如果一个晶体三极管的 I_C 要达到同样的变化范围，对应的 V_{BE} 的变化为多大？

6.2 固定 V_{BE} 的值不变，当一个 *npn* 晶体管的发射结面积扩大 10 倍时，I_C 的变化范围为多大？如果使 I_C 固定不变，V_{BE} 应改变多大？

6.3 对于表 6.1 给出的每种 CMOS 工艺，求出 $|V_{OV}|$ 和 $|V_{GS}|$ 的值，使 $W/L=10$ 的器件在工作时的漏极电流 $I_D=100\ \mu A$。忽略沟道长度调制效应。

6.4 考虑由表 6.1 中给出的 0.25 μm 制造工艺制成的 NMOS 和 PMOS 管。如果两种器件工作时的 $|V_{OV}|=0.25$ V，$I_D=100\ \mu A$，其 W/L 的比应为多大？

6.5 考虑由表 6.1 中给出的 0.25 μm 制造工艺制成的 NMOS 和 PMOS 管。如果两种器件工作时的漏极电流相等，要得到相等的 g_m，$(W/L)_p$ 与 $(W/L)_n$ 值的比应为多少？

6.6 一个由表 6.1 中给出的 0.18 μm 制造工艺制成的 NMOS 管在工作时的 $V_{OV}=0.2$ V。求 W/L 和 I_D 的值，使得 $g_m=10$ mA/V。要得到相同大小的 g_m，一个 *npn* 晶体管工作时的 I_C 值应为多大？

6.7 对于表 6.1 给出的每种 CMOS 工艺，求出 NMOS 管和 PMOS 管的 g_m。这些晶体管的 $W/L=10$，工作时的 $I_D=100\ \mu A$。

6.8 一个 NMOS 管工作时的过驱动电压为 0.25 V，另一个 *npn* 晶体管工作时的 $I_C=0.1$ mA，要使两个晶体管具有相同的 g_m 值，I_D 应为多大？这时的 g_m 值是多少？

6.9 试求出图 P6.9 中每个二极管接法的晶体管的增量（即小信号）电阻。假定直流偏置电流 $I=0.1$ mA。对于 MOS 管，有 $\mu_n C_{ox}=200\ \mu A/V^2$，$W/L=10$。

(a) (b)

图 P6.9

6.10 一个由表 6.1 中给出的 0.8 μm 制造工艺制成的 NMOS 管的 $L=1\ \mu$m，试求 g_m，r_o 和 A_0。如果该器件工作时的 $V_{OV}=0.5$ V，$I_D=100\ \mu A$。同时求出器件的沟道宽度 W

6.11 一个由表 6.1 中给出的 0.18 μm 制造工艺制成的 NMOS 管，$L=0.3\ \mu$m，试求 g_m，r_o 和 A_0。如果该器件工作时的 $I_D=100\ \mu A$，$V_{OV}=0.2$ V，同时求出 W。

6.12 将下表填写完整。对于 BJT，$\beta=100$，$V_A=100$ V；对于 MOSFET，$\mu_n C_{ox}=200\ \mu A/V^2$，$W/L=40$，$V_A=10$ V。注意，R_i 是输出端（源极，射极）接地时输入控制端（栅极、基极）的输入电阻。

器件	BJT		MOSFET	
偏置电流	$I_C=0.1$ mA	$I_C=1$ mA	$I_D=0.1$ mA	$I_D=1$ mA
g_m(mA/V)				
r_o(kΩ)				
A_0(V/V)				
R_i(kΩ)				

6.13 考虑一个由表 6.1 中给出的 0.18 μm 制造工艺制成的 NMOS 管，$L = 0.3\,\mu$m，$W = 6\,\mu$m。分别利用 C_{gs} 和 C_{gd} 表示的公式和近似公式求出晶体管工作在 $V_{OV} = 0.2$ V 时的 f_T 值。为什么近似公式过高地估计了 f_T 的值？

6.14 考虑一个由表 6.1 中给出的 0.18 μm 制造工艺制成的 NMOS 管，$L = 0.3\,\mu$m，$W = 6\,\mu$m，工作时的 $V_{OV} = 0.2$ V，用来驱动 100 fF 的容性负载。试求 A_0，f_P（或 f_{3dB}）和 f_t。晶体管工作时的 I_D 值为多大？如果要求 f_t 变成原来的两倍，I_D 应为多大？在这种情况下，A_0 和 f_P 如何变化？

6.15 考虑一个由表 6.2 中给出的高电压制造工艺制成的 *npn* 晶体管，求 I_C =10 μA，100 μA 和 1 mA 时 f_T 的值。假定 $C_\mu \simeq C_{\mu 0}$。对低电压制造工艺制成的 *npn* 晶体管，重复求解上述问题。

6.16 考虑一个由表 6.1 中给出的 0.8 μm 制造工艺制成的 NMOS 管。已知 $L = 1\,\mu$m，假定工作时的 $I_D = 100\,\mu$A。

（a）当 $V_{OV} = 0.25$ V 时，求 W，g_m，r_o，A_0，C_{gs}，C_{gd} 和 f_T。

（b）要使 f_T 变为原来的两倍，V_{OV} 应如何变化？求出新的 W，g_m，r_o，A_0，C_{gs} 和 C_{gd} 的值。

6.17 考虑一个由表 6.2 中给出的高电压制造工艺制成的横向 *pnp* 晶体管，求 f_T 的值，如果器件工作时的集电极偏置电流为 1 mA。将结果与纵向 *npn* 晶体管的值进行比较。

6.18 证明：MOS 管中 L 和 V_{OV} 的选择决定了 A_0 和 f_T 的值。也就是说，要求证明 A_0 和 f_T 的值与 I_D 和 W 无关。

6.19 考虑一个由表 6.1 中给出的 0.18 μm 制造工艺制成的 NMOS 管，工作时的 $V_{OV} = 0.2$ V。对于 $L = 0.2\,\mu$m，0.3 μm 和 0.4 μm 的情况，分别求出 A_0 和 f_T 的值。

D6.20 考虑一个由表 6.1 中给出的 0.5 μm 制造工艺制成的 NMOS 管。$L = 0.5\,\mu$m，$V_{OV} = 0.3$ V。如果这个 MOS 管与负载电容 C_L =1 pF［如图 6.2（a）所示］相连，构成一个共源放大器，求使单位增益带宽为 100 MHz 的晶体管宽度 W 和偏置电流 I_D，同时求出 A_0 和 f_{3dB}。

6.3 节：集成电路中的偏置——电流源、镜像电流源及电流导向电路

D6.21 在 $V_{DD} = 1.8$ V 的条件下，利用 $I_{REF} = 50\,\mu$A，要求设计图 6.4 中的电路以提供额定值为 50 μA 的输出电流。如果 Q_1 和 Q_2 匹配，且沟道长度为 0.5 μm，宽度为 5 μm，$V_t = 0.5$ V，$k_n' = 250\,\mu\text{A/V}^2$，求 R 的值。V_O 最小允许值为多少？假定这个制造工艺中厄尔利电压 $V_A' = 20$ V/μm，求电流源的输出电阻。同时求出 V_O 升高 1 V 时输出电流的变化。

D6.22 使用 $V_{DD} = 1.8$ V 和一对匹配的 MOS 管，设计图 6.4 中的电流源电路以提供额定值为 100 μA 的输出电流。为简单起见，假设输出电流的额定值在 $V_O \simeq V_{GS}$ 的情况下得到。还要求电路工作过程中，当 V_O 从 0.25 V 变化到 V_{DD} 时，I_O 的变化必须限制在 I_O 额定值的 5%的范围内。求合适的 R 值和器件尺寸。在这里用到的制造工艺下，$\mu_n C_{ox} = 250\,\mu\text{A/V}^2$，$V_A' = 20$ V/μm，$V_t = 0.6$ V。

6.23 画出图 6.4 中电流源的 p 沟道对应形式。我们注意到图 6.4 中的电路更合适的名字应为电流吸收器，而对应的 PMOS 电流则为电流源。已知 $V_{DD} = 1.8$ V，$|V_t| = 0.6$ V，Q_1 和 Q_2 匹配，且 $\mu_p C_{ox}$ =100 $\mu\text{A/V}^2$。求器件 W/L 的值以及电阻的值以得到使输出电流的额定值为 80 μA 的合适的 I_{REF}。要求电流源在 V_O 高于 1.6 V 的条件下工作。忽略沟道长度调制效应。

6.24 考虑图 6.5 中的镜像电流源。两个晶体管沟道长度相等，但是 Q_2 的宽度是 Q_1 的 4 倍。如果 I_{REF} 为 20 μA，晶体管工作在 0.3 V 的过驱动电压下，I_O 将为多大？使电流源正常工作的最低 V_O 允许值是多少？如果 $V_t = 0.5$ V，当 V_O 为何值时，I_O 为额定值？如果 V_O 增大 1 V，I_O 对应的变化为多少？已知 $V_A = 25$ V。

6.25 对于图 P6.25 中的电流导向电路，求出用 I_{REF} 和 W/L 比值表示的 I_O 的表达式。

D6.26 图 P6.26 中的电流导向电路由 CMOS 制造工艺制成，$\mu_n C_{ox}=200\,\mu A/V^2$，$\mu_p C_{ox}=80\,\mu A/V^2$，$V_{tn}=0.6$ V，$V_{tp}=-0.6$ V，$V'_{An}=10$ V/μm，$|V'_{Ap}|=12$ V/μm。如果所有器件的 $L=0.8\,\mu m$，要求设计一个电路，使得 $I_{REF}=20\,\mu A$，$I_2=100\,\mu A$，$I_3=I_4=20\,\mu A$，$I_5=50\,\mu A$。要求使用尽可能小的器件宽度，但要保证电流源 Q_2 在漏极电压高于+1.3 V，电流吸收器 Q_5 在漏极电压低于−1.3 V 时都能正常工作。求每个器件的宽度和 R 的值。求出电流源 Q_2 和电流吸收器 Q_5 的输出电阻。

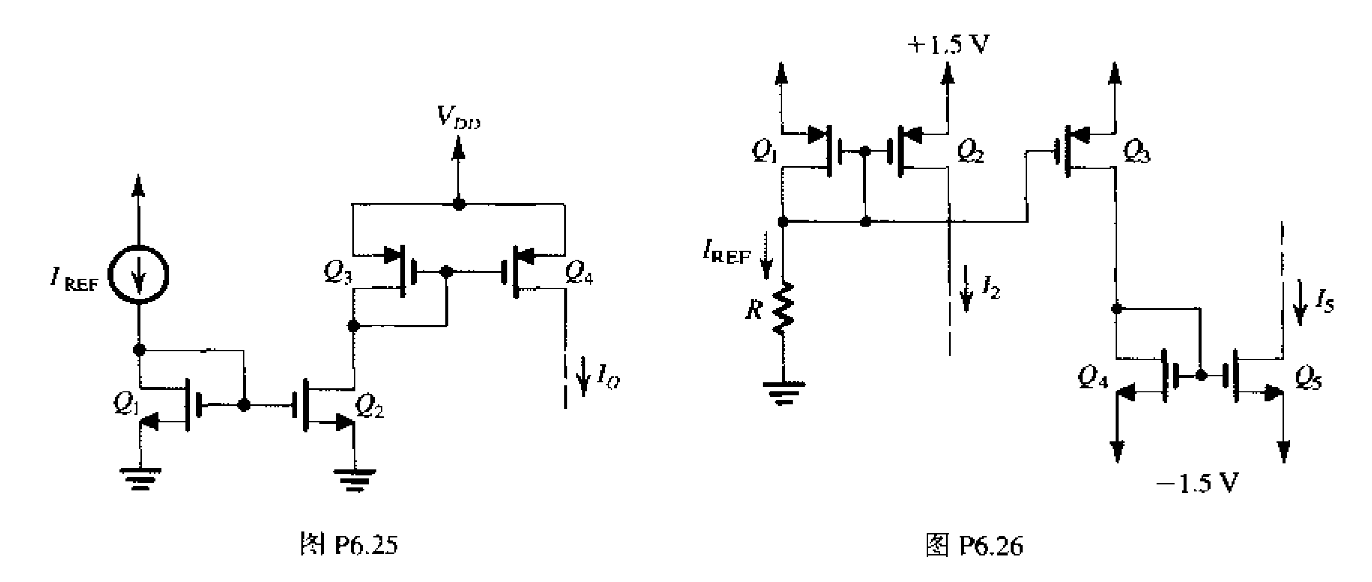


图 P6.25　　　　图 P6.26

*6.27 一个 PMOS 镜像电流源由三个 PMOS 管组成，一个采用二极管接法，另外两个用来输出电流。所有晶体管都有 $|V_t|=0.7$ V，$k'_p=80\,\mu A/V^2$，$L=1.0\,\mu m$。但三者宽度不同，分别为 10μm、20μm 和 40μm。当二极管接法的晶体管由 100μA 的电源供电时，可以得到多少种不同的输出电流？对于两个晶体管采用二极管接法、另一个用来输出电流的情况，重复求解上述问题。对每一种输入二极管的组合，求输出电流和相应的 V_{SG} 的值。

6.28 尽管到目前为止，我们主要讨论的仅仅是镜像电流源在直流偏置中的应用，然而实际上它们也可以被当做信号电流放大器使用。图 P6.28 说明了这一应用。其中 Q_1 是一个共源放大器，连有 $v_I=V_{GS}+v_i$。这里，V_{GS} 是 Q_1 栅极与源极之间的直流偏置电压，v_i 是需要放大的小信号。求输出电压 v_O 中的信号分量以及小信号电压增益 v_o/v_i。

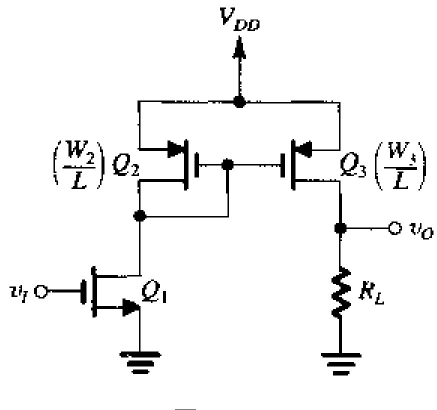


图 P6.28

6.29 考虑图 6.8 中的基本双极型镜像电流源，其中 Q_1 和 Q_2 完全相同，且 $I_S=10^{-15}$ A。

（a）假设晶体管的 β 很大，求 I_{REF} 从 10μA 增大到 10 mA 过程中相应的 V_{BE} 和 I_O 的变化范围。假定 Q_2 始终工作在放大区，忽略厄尔利效应。

（b）考虑有限 β 值的影响，当 I_{REF} 在 10μA 到 10 mA 的范围内变化时，求相应的 I_O 的变化范围。假定电流在 0.1 mA 到 5 mA 的范围内，β 值保持 100 不变。但在 $I_C=10$ mA 时，$\beta=70$。给出分别与 $I_{REF}=10\,\mu A$，0.1 mA，1 mA 和 10 mA 对应的 I_O 值。注意，β 值随着电流变化，使得电流传输比也随着电流变化。

6.30 考虑图 6.8 中的基本双极型镜像电流源，其中 Q_2 的面积是 Q_1 的 m 倍。证明电流传输比由

式（6.19）给出。如果 β 至少为 80，在保持由有限 β 值引入的误差不超过 5%的前提下，最大电流传输比是多少？

6.31 画出图 6.8 中基本镜像电流源的 *pnp* 晶体管形式。如果 *pnp* 晶体管的 β 值为 20，在忽略厄尔利效应的前提下，电流增益（即传输比）I_O/I_{REF} 为多少？

6.32 考虑图 6.8 中的基本双极型镜像电流源，其中 Q_1 和 Q_2 匹配，且 $I_{REF}=2$ mA。忽略有限 β 值的影响，求出与 V_O 从 1 V 变化到 10 V 相对应的 I_O 变化的绝对值和相对值。已知厄尔利电压为 90 V。

D6.33 图 P6.33 中的电流源电路使用了一对匹配的 *pnp* 晶体管。*pnp* 晶体管的 $I_S=10^{-15}$ A，$\beta=50$，$|V_A|=50$ V。要求设计一个电路，使其在 $V_O=2$ V 时提供输出电流 $I_O=1$ mA。需要 I_{REF} 和 R 的值是多少？当电流源保持工作正常时，最大允许的 V_O 值是多少？当 V_O 从正的最大值下降为−5 V 时，I_O 的变化是多少？

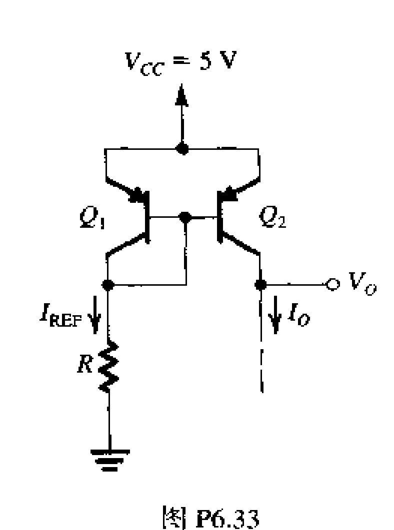


图 P6.33

6.34 求图 P6.34 所示电路中每个节点的电压和流过每个支路的电流。假定 $|V_{BE}|=0.7$ V，$\beta=\infty$。

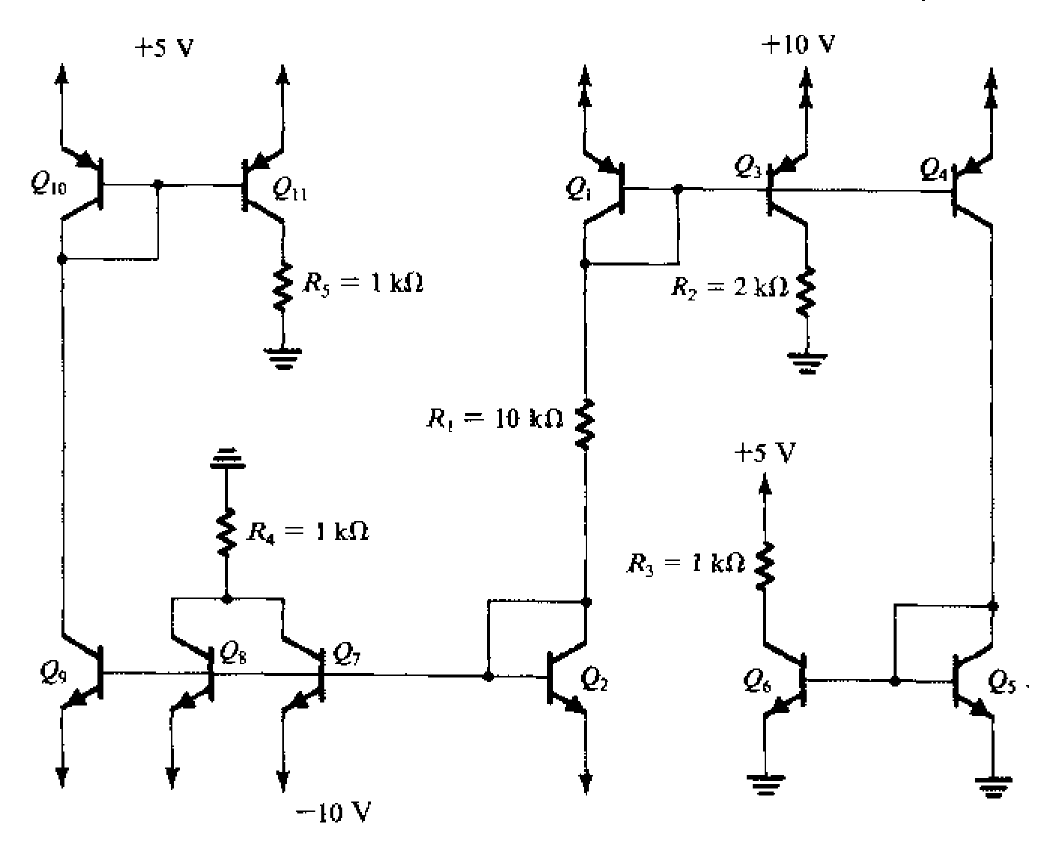


图 P6.34

6.35 对于图 P6.35 中的电路，已知 $|V_{BE}|=0.7$ V，$\beta=\infty$。当 R 分别为（a）10 kΩ和（b）100 kΩ时，求 I，V_1，V_2，V_3，V_4 和 V_5 的值。

D6.36 运用图 6.11 所示的原理设计一个多路输出镜像电流源。利用±5 V 的电源形成电流源以提供 0.2 mA，0.4 mA 和 0.8 mA 的电流，作为电流吸收器吸收 0.5 mA，1 mA 和 2 mA 的电流。假定所有的晶体三极管都有 $V_{BE}=0.7$ V 和很大的 β 值。

*6.37 图 P6.37 所示的电路被称做电流传输器。

（a）假设 Y 端与电压 V 相连，电流 I 流入 X 端，Z 端与某个电压相连，保证 Q_5 始终工作在放大区。再假设 β 值很大，对应的晶体管都匹配，所有的晶体管都工作在放大区。证明：流过 Y 端的电流与 I 相等，X 端的电压与 V 相等，流过 Z 端的电流与 I 相等

（b）当 Y 端接地时，证明 X 端为虚地端。现在，如果 X 通过一个 10 kΩ的电阻与一个+5 V 的电源连接，流过 Z 端的电流为多大？

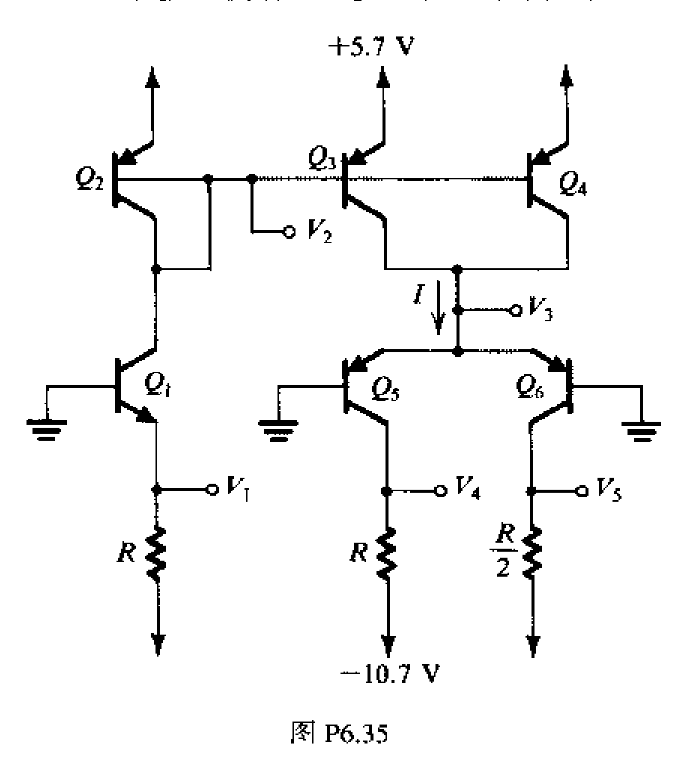


图 P6.35

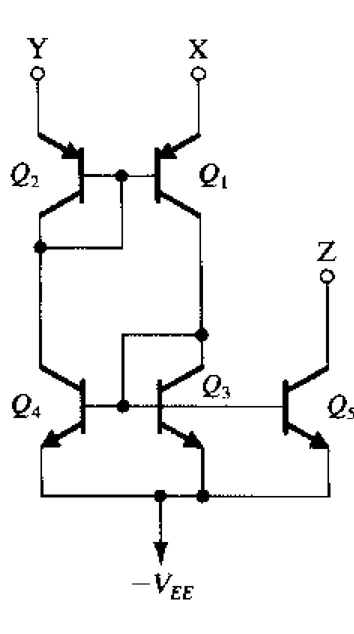


图 P6.37

6.4 节：高频响应——通论

6.38 一个直接耦合放大器的低频增益为 40 dB，极点位于 1 MHz 和 10 MHz 处，负实轴上有一个零点，位于 100 MHz，另一个零点位于频率无穷大处。用式（6.29）和式（6.30）的形式写出放大器增益函数的表示式，并画出增益的幅频波特图。估计 3 dB 频率 f_H 的值是多少？

6.39 一个放大器的直流增益为 60 dB，属于单极点高频响应情况，3 dB 频率为 10 kHz。

（a）给出增益函数 $A(s)$ 的表示式。

（b）画出增益幅度和相位的波特图。

（c）增益带宽积为多少？

（d）单位增益频率是多少？

（e）如果放大电路有某种变化，使得传输函数在 100 kHz 处多出一个极点。试画出新的增益幅度波特图，确定单位增益频率。注意，这个放大器是增益带宽积不同于单位增益频率的一个例子。

6.40 考虑一个放大器，其 $F_H(s)$ 为

$$F_H(s)=\frac{1}{\left(1+\frac{s}{\omega_{P1}}\right)\left(1+\frac{s}{\omega_{P2}}\right)}$$

其中 $\omega_{P1}<\omega_{P2}$。试求 ω_{P2}/ω_{P1} 的比值，使得用主极点近似方法求出的 3 dB 频率 ω_H 的值，

与用平方-求和-开方公式［即式（6.36）］求出的值之间相差：（a）10%；（b）1%。

6.41 一个直接耦合的放大器的直流增益为−100 V/V，高频响应的两个零点分别位于∞和 10^6 rad/s 处，两个极点分别位于 10^5 rad/s 和 10^7 rad/s 处。试写出放大器传输函数的表示式。求 ω_H 的值，分别采用以下方式：

（a）主极点近似法；

（b）式（6.36）中的平方-求和-开方近似公式。

如果找到一种方法使得具有有限值频率的零点下降到 10^5 rad/s 处，传输函数将有何变化？得到的放大器的 3 dB 频率是多少？

6.42 一个直接耦合的放大器在 100 rad/s 处有一个主极点，在较高的频率有一个三重极点。这些非主极点使得放大器在高频时的相位滞后超过了 90°，而在这其中，主极点产生的相位为 90°。现在要求在 $\omega=10^6$ rad/s 时超出 90°的相位值小于 30°（也就是将总的相位角限制在 −120°）。求出这些非主极点对应的频率值。

D6.43 考虑例题 6.6。试给出 ω_H 的一个表达式，要求用 C_{gs}，R'（注意 $R'=R_{in}\parallel R_{sig}$），$C_{gd}$，$R'_L$ 和 g_m 表示。如果所有这些变量除了信号源内阻以外都保持不变，为了将 f_H 提高为 150 kHz，R_{sig} 的值应减小到多大？

6.44 在某放大器的设计方案中，两个内部节点的戴维南等效电阻分别为 10 kΩ和 20 kΩ，器件电容和引线电容的存在使得节点处的电容（对地）预计分别为 5 pF 和 2 pF。但是，在制成电路板时，节点处的连接使得每个节点上的电容值都增加了 10 pF。对于原始设计电路和制造得到的电路，极点频率和总 3 dB 频率各是多少？以 Hz 为单位。

6.45 一个晶体三极管与例题 6.6 中的相似，在低电流条件下作为高阻抗使用。其 $R_{sig}=100$ kΩ，$R_{in}=1.2$ MΩ，$g_m=2$ mA/V，$R'_L=12$ kΩ，$C_{gs}=C_{gd}=1$ pF。试求中频电压增益 A_M 和 3 dB 频率 f_H。

*6.46 图 P6.46 所示的是一个 MOS 管放大器的高频等效电路，源极接有电阻 R_s。通过本习题，希望说明设计人员可以通过调节 R_s 的值来影响放大器的增益和带宽，具体而言是以牺牲部分增益来换取更高的带宽。

（a）推导低频电压增益的表达式（令 C_{gs} 和 C_{gd} 为零）。

（b）为了能用开路时间常数法求出 ω_H，试推导 R_{gs} 和 R_{gd} 的表达式。

（c）已知 $R_{sig}=100$ kΩ，$g_m=4$ mA/V，$R'_L=5$ kΩ，$C_{gs}=C_{gd}=1$ pF。利用（a）和（b）中得到的表达式，对于 $R_s=0$ Ω，100 Ω和 250 Ω三种情况，分别确定低频增益和 3 dB 频率 f_H。同时求出每种情况下的增益带宽积。

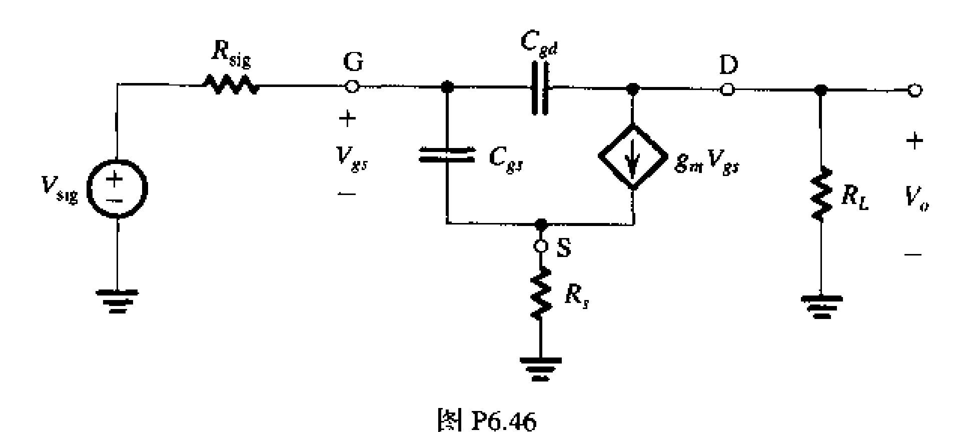


图 P6.46

6.47 一个 MOS 共源放大器的等效电路与图 6.14（a）所示电路相似，现在求其高频响应。在这个设计中，$R_{sig} = 1\ \text{M}\Omega$，$R_{in} = 5\ \text{M}\Omega$，$R'_L = 100\ \text{k}\Omega$，$C_{gs} = 0.2\ \text{pF}$，$C_{gd} = 0.1\ \text{pF}$，$g_m = 0.3\ \text{mA/V}$。试估算中频增益和 3 dB 频率。

6.48 一个放大器的模型如图 6.14(a)所示，$g_m = 5\ \text{mA/V}$，$R_{sig} = 150\ \text{k}\Omega$，$R_{in} = 0.65\ \text{M}\Omega$，$R'_L = 10\ \text{k}\Omega$，$C_{gs} = 2\ \text{pF}$，$C_{gd} = 0.5\ \text{pF}$。电路中还有一个输出引线电容为 3 pF。试求对应的中频电压增益、开路时间常数和 3 dB 频率的估计值。

6.49 考虑一个由两级的相同电路构成的放大器的高频响应。每一级电路的输入电阻为 $10\ \text{k}\Omega$，输出电阻为 $2\ \text{k}\Omega$。这个两级放大器由内阻为 $5\ \text{k}\Omega$的源激励，还要驱动一个 $1\ \text{k}\Omega$的负载。与每一级相连的是一个 10 pF 的寄生输入电容（对地）和一个 2 pF 的寄生输出电容（对地）。同样，5 pF 和 7 pF 的寄生电容分别与信号源和负载相连。在这个电路中，试求三个极点的值，并估算 3 dB 频率 f_H。

6.50 利用开路时间常数法得到的一些放大器的时间常数和（或）频率如下所示。对于每一种情况，估算 3 dB 截止频率的值。用 rad/s 和 Hz 作为单位。

（a）20 ns，5 ns，1 ns。

（b）50 MHz，200 MHz，1 GHz。

（c）50 Mrad/s，200 Mrad/s，1 Grad/s。

（d）1μs，200 ns，200 ns。

（e）1μs，0.4 μs。

（f）1μs，200 ns，150 ns。

（g）1 GHz，2 GHz，5 GHz，5 GHz。

6.51 考虑一个理想电压放大器，其增益为 0.95 V/V。一个电阻 $R = 100\ \text{k}\Omega$接在了反馈路径上，也就是连在了输出和输入端之间。利用米勒定理求这个电路的输入电阻。

6.52 一个理想电压放大器的电压增益为−1000 V/V。在输入和输出端之间连接有一个 0.1 pF 的电容。放大器的输入电容是多少？如果放大器由一个内阻 $R_{sig} = 1\ \text{k}\Omega$的电压源 V_{sig} 提供信号，试求关于复频域变量 s 的传输函数 V_o/V_{sig} 以及 3 dB 频率 f_H 和单位增益频率 f_t。

6.53 下列放大器用符号（A，C）描述，其中 A 是从输入到输出的电压增益，C 是连接于输入输出端之间的一个内部电容。对于每种情况，利用米勒定理求出输入和输出端的等效电容。

（a）−1000 V/V，1 pF。

（b）−10 V/V，10 pF。

（c）−1 V/V，10 pF。

（d）+1 V/V，10 pF。

（e）+10 V/V，10 pF。

注意，如果用情况（e）中得到的输入电容来抵消其他连接在输入输出端之间的电容产生的作用，那么能够被抵消的电容为多大？

6.54 图 P6.54 所示的是一个理想电压放大器，增益为+2 V/V（通常采用同相组态的运算放大器实现）。输入端和输出端之间接有电阻 R。

（a）利用米勒定理证明输入电阻 $R_{in} = -R$

（b）利用诺顿定理，将 V_{sig}，R_{sig} 和 R_{in} 用一个信号电流源和一个等效并联电阻代替。证明：如果选择 $R_{sig} = R$，则等效并联电阻变成无穷大，流入负载阻抗 Z_L 的电流 I_L 为 V_{sig}/R。这时电路成为一个输出电流为 I_L 的理想压控电流源。

（c）如果 Z_L 是一个电容 C，试求传输函数 V_o/V_{sig}，并证明这个电路是理想的同相积分器

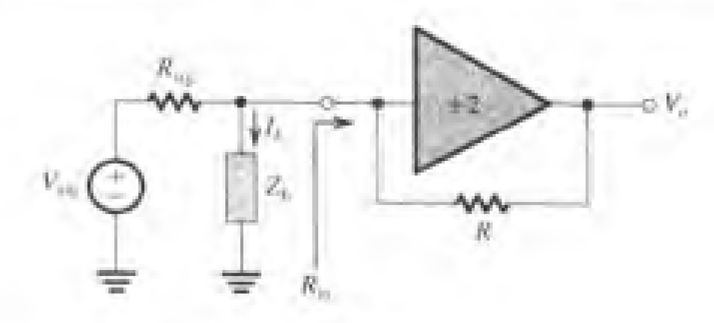


图 P6.54

6.5 节：有源负载共源和共射放大器

D6.55 求一个 NMOS 管的固有增益值。晶体管的制造工艺决定了 $k_n' = 125\,\mu A/V^2$ 和 $V_A' = 10\ V/\mu m$。晶体管的沟道长度为 $1\,\mu m$，工作在 $V_{OV} = 0.2$ V 的情况下。如果要求得到一个 2 mA/V 的互导，I_D 和 W 应为多少？

6.56 一个 NMOS 管由某种特定的工艺制成，当 I_D 为 $100\,\mu A$ 时，固有增益为 100 V/V。试求 $I_D = 25\,\mu A$ 和 $400\,\mu A$ 时的固有增益值。对于这两种电路，分别求出 g_m 与 $100\,\mu A$ 时的值之间的变化比率。

6.57 某 NMOS 管电路如图 P6.57 所示，其中 $V_t = 0.5$ V，$k_n' W/L = 2\ mA/V^2$，$V_A = 20$ V。

（a）忽略反馈网络中的直流电流和 r_o 的影响，求 V_{GS} 和 V_{DS}。然后求出反馈网络中的直流电流，从而说明将其忽略是合理的。

（b）求小信号电压增益 v_o/v_i。当 NMOS 管保持工作在饱和区时，输出正弦波信号的最大允许峰值为多少？相应的输入信号是多少？

（c）求小信号输入电阻 R_{in}。

图 P6.57

D6.58 考虑图 6.18（a）中的 CMOS 管放大器。制造工艺决定了 $k_n' = 2.5\,k_p' = 250\,\mu A/V^2$，$|V_t| = 0.6$ V，$|V_A| = 10$ V。求使电压增益为−40 V/V、输出电阻为 100 kΩ的 I_{REF} 和（W/L）$_1$。如果 Q_2 和 Q_3 工作时的过驱动电压与 Q_1 相等，它们的 W/L 比应为多少？

6.59 考虑例题 6.8 中分析的 CMOS 管放大器。如果 v_I 由直流分量以及叠加在其上的正弦信号组成，试求使得放大器保持近似线性工作时输出端的信号允许摆幅最大的直流分量的值。这时输出正弦信号的幅度是多少？（注意，实际使用时电路中会有一个反馈电路以保证放大器的工作点接近其线性区域的中部。）

6.60 例题 6.8 中分析的 CMOS 管放大器的电源增加到了 5 V，输出端线性区域的范围会变成多大？

6.61 图 P6.61 所示的是一个集成电路 MOS 管放大器，由两级级联的共源放大器组成。假定 $V_{An} = |V_{Ap}|$，偏置电流源的输出电阻与 Q_1 和 Q_2 的输出电阻相等。试求用 Q_1 和 Q_2 的 g_m 和 r_o 表示的总电压增益的表达式。

*6.62 考虑图 6.18（a）中的电路，其中电源为 3.3 V，所有晶体管的 $|V_t| = 0.8$ V，$L = 1\,\mu m$。对于 Q_1，$k_n' = 100\,\mu A/V^2$，$V_A = 100$ V，$W = 20\,\mu m$；对于 Q_2 和 Q_3，$k_p' = 50\,\mu A/V^2$，$|V_A| = 50$ V；对于 Q_2，$W = 40\,\mu m$；对于 Q_3，$W = 10\,\mu m$。

（a）如果 Q_1 偏置于 $100\,\mu A$，试求 I_{REF}。为简便起见，忽略 V_A 的影响。

（b）当 Q_1 和 Q_2 恰好工作在饱和区时 v_O 的极限值是多少？

（c）大信号电压增益是多少？

（d）求传输特性曲线在 $v_O = V_{DD}/2$ 处的斜率。

（e）如果放大器在偏置点 $v_O = V_{DD}/2$ 处对小信号进行放大，试求小信号电压增益和输出电阻。

**6.63 图 P6.63 所示电路中的 MOS 管都匹配，且 $k_n'(W/L)_1 = k_p'(W/L)_2 = 1\ \text{mA/V}^2$，$|V_t| = 0.5$ V。电阻 $R = 1$ MΩ。

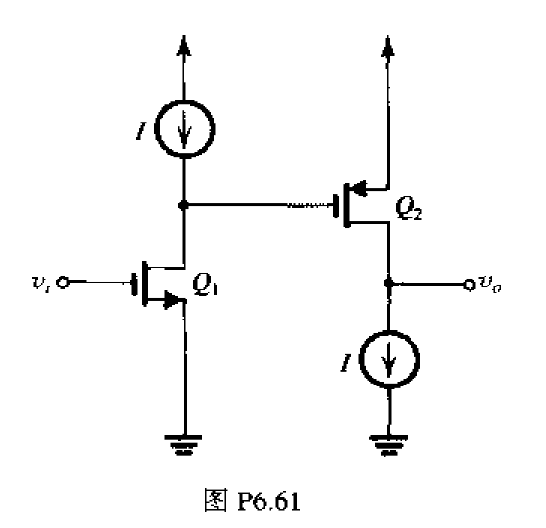


图 P6.61

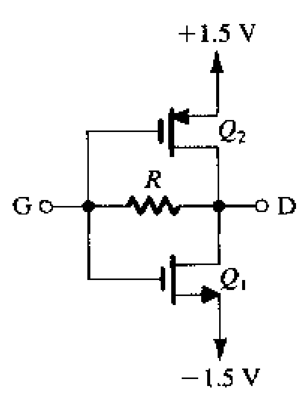


图 P6.63

（a）当 G 端和 D 端开路时，漏极电流 I_{D1} 与 I_{D2} 为多大？

（b）当 $r_o = \infty$ 时，放大器从 G 到 D 的电压增益是多少？

（c）对于有限值的 r_o（$|V_A| = 20$ V），放大器从 G 到 D 的电压增益以及从 G 端视入的输入电阻是多少？

（d）如果 G 端（通过一个很大的耦合电容）由一个内阻为 100 kΩ的信号源 v_{sig} 提供信号，试求电压增益 v_d / v_{sig}。

（e）要使 Q_1 和 Q_2 保持工作在饱和区，输出信号的范围为多大？

D6.64 考虑图 6.19（a）中采用有源负载的共射放大器。其中 $I = 1$ mA，$\beta = 100$，$V_A = 100$ V。试求 R_i，A_{vo} 和 R_o。如果要求通过调整偏置电流 I 使得 R_i 变成原来的4倍，假定保持 β 不变，I 的值应为多少？新的 A_{vo} 和 R_o 值是多少？如果放大器由一个内阻为 $R_{sig} = 5$ kΩ的信号源提供信号，且接有一个 100 kΩ的负载电阻，对两种情况分别求出总电压增益 v_o / v_s。

6.65 图 P6.65 所示电路中的晶体管 Q_1 作为共射放大器工作，晶体管 Q_2 作为有源负载。而 Q_2 是 Q_2 和 Q_3 组成的镜像电流源的输出管。（注意，Q_1 管的偏置电路没有画出。）

（a）忽略 Q_2 和 Q_3 有限的基极电流，假定它们的 $V_{BE} \simeq 0.7$ V，Q_2 的面积是 Q_3 的 5 倍，求 I 的值。

（b）如果 Q_1 和 Q_2 的 $|V_A| = 50$ V，试求 r_{o1} 和 r_{o2}，以及 Q_1 集电极的总电阻。

（c）假定 $\beta_1 = 50$，求 $r_{\pi 1}$ 和 g_{m1}。

（d）求 R_{in}，A_v 和 R_o。

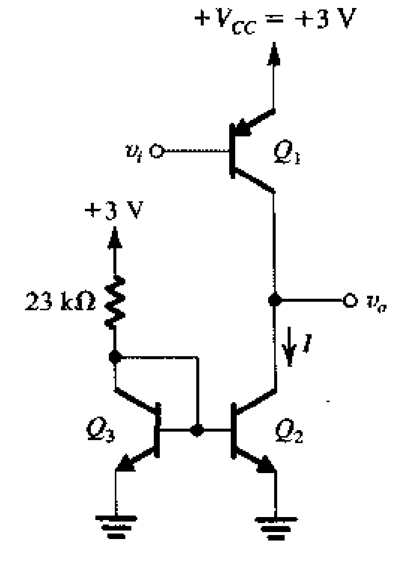


图 P6.65

6.6 节：CS 和 CE 放大器的高频响应

6.66 一个 CS 放大器可以用图 6.20 中的等效电路表示，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$C_L=1$ pF，$g_m=5$ mA/V，$R_{sig}=R_L'=20$ kΩ。试求中频增益 A_M，并利用米勒等效法求输入电容 C_{in} 以及 3 dB 频率 f_H 的估计值。

6.67 一个 CS 放大器可以用图 6.20 中的等效电路表示，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$C_L=1$ pF，$g_m=5$ mA/V，$R_{sig}=R_L'=20$ kΩ；试求中频增益 A_M，并利用开路时间常数法求 3 dB 频率 f_H 的估计值。同时计算每个电容对 τ_H 做出的贡献，用百分比表示。（注意，本题与习题 6.66 考虑的是同一个放大器。如果已求解了习题 6.66，将它们的结果做一个比较。）

6.68 一个 CS 放大器可以用图 6.20 中的等效电路表示，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$C_L=1$ pF，$g_m=5$ mA/V，$R_{sig}=R_L'=20$ kΩ。利用式（6.60）求 f_Z，f_{P1} 和 f_{P2} 的值，并估计 f_H 的值。将 f_{P1} 和 f_{P2} 的值与用式（6.66）和式（6.67）得到的近似值做一个比较。（注意，本题与习题 6.66 和习题 6.67 考虑的是同一个放大器。如果已求解了习题 6.66 或习题 6.67，将它们的结果做一个比较。）

6.69 一个 CS 放大器可以用图 6.20 中的等效电路表示，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$C_L=1$ pF，$g_m=5$ mA/V，$R_{sig}=R_L'=20$ kΩ。要求在 R_L' 为 5 kΩ，10 kΩ和 20 kΩ的情况下，分别求出 A_M，f_H 和增益带宽积。利用式（6.66）中 f_{P1} 的近似表达式，对于每种情况，同时计算 f_{P2} 和 f_Z，确认主极点的存在。并判断单位增益频率是否等于增益带宽积。将结果列成表格，分析在增益和带宽之间如何做出权衡。

6.70 一个 CE 放大器可以用图 6.25（a）中的等效电路表示，$C_\pi=10$ pF，$C_\mu=0.5$ pF，$C_L=2$ pF，$g_m=20$ mA/V，$\beta=100$，$r_x=200\ \Omega$，$R_L'=5$ kΩ，$R_{sig}=1$ kΩ。试求中频增益 A_M，并利用米勒等效法估计 3 dB 频率 f_H 的值。

6.71 一个 CE 放大器可以用图 6.25（a）中的等效电路表示，$C_\pi=10$ pF，$C_\mu=0.5$ pF，$C_L=2$ pF，$g_m=20$ mA/V，$\beta=100$，$r_x=200\ \Omega$，$R_L'=5$ kΩ，$R_{sig}=1$ kΩ。试求中频增益 A_M 及零点频率 f_Z，并估计极点频率 f_{P1} 和 f_{P2} 的值，估算 3 dB 频率 f_H 的值。（注意，本题与习题 6.70 考虑的是同一个放大器。如果已求解了习题 6.70，将它们的结果做一个比较。）

*6.72 考虑图 P6.72。利用 BJT 管的高频混合π模型，并令 $r_x=0$，$r_o=\infty$，推导用 r_e 和 C_π 表示的 $Z_i(s)$ 的函数表达式。当双极型晶体管的 $f_T=400$ MHz，偏置电流相对较大时，求使得阻抗具有 45° 相位角的频率值。如果改变偏置电流使得 $C_\pi\simeq C_\mu$，这个频率会变成多少？（假定 $\alpha=1$。）

*6.73 对于图 P6.73 中的镜像电流源，考虑晶体管的内部电容，忽略 r_x 和 r_o，推导电流传输函数 $I_o(s)/I_i(s)$ 的表达式。假设两个晶体管完全相同。注意，Q_2 的集电极为信号接地。如果镜像电流源偏置于 1 mA，在该工作点时晶体管的 $f_T=400$ MHz，$C_\mu=2$ pF，$\beta_0=\infty$，试求传输函数的零点和极点的频率。

6.74 一个 CS 放大器的等效电路如图 6.26（a）所示，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$g_m=5$ mA/V，$C_L=1$ pF，$R_L'=20$ kΩ。求 A_M，f_{3dB} 和 f_t。

*6.75 要求分析图 P6.75 中 CMOS 管放大器的高频响应。直流偏置电流为 100 μA。对于 Q_1，$\mu_nC_{ox}=90\ \mu\text{A/V}^2$，$V_A=12.8$ V，$W/L=100\ \mu\text{m}/1.6\ \mu\text{m}$，$C_{gs}=0.2$ pF，$C_{gd}=0.015$ pF，$C_{db}=20$ fF。对于 Q_2，$C_{gd}=0.015$ pF，$C_{db}=36$ fF，$|V_A|=19.2$ V。假设输入信号源的内阻相当小，可以忽略。同时为了简便起见，假设 Q_2 栅极的信号电压为零。试求低频增益、极点的频率以及零点的频率。

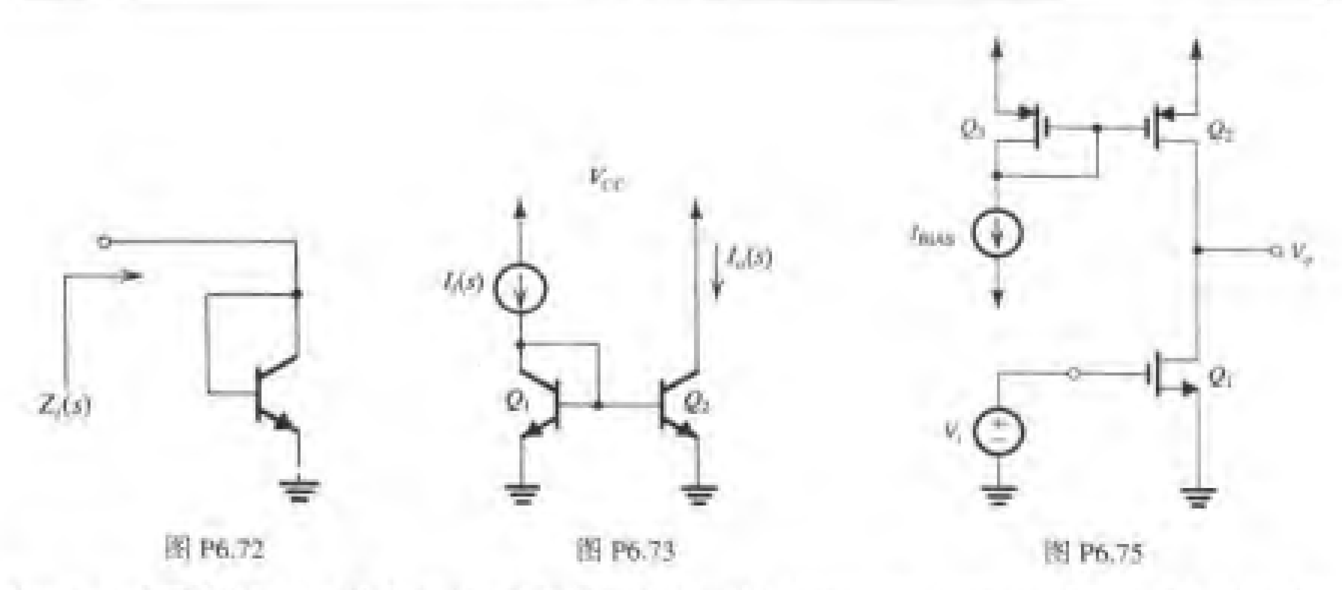


图 P6.72　　图 P6.73　　图 P6.75

D**6.76 本题分析 MOS 管在宽带放大器设计中的运用（Steininger，1900）。这种放大器可用低增益放大器的级联实现。

（a）证明：当 $C_{gd} \ll C_{gs}$ 以及共源放大器的增益较低以至米勒效应可以忽略时，MOS 管可用图 P6.76（a）中的近似等效电路表示，其中 ω_T 是 MOS 管的单位增益频率。

（b）图 P6.76（b）给出了能够实现低增益、高带宽的单级放大器。晶体管 Q_1 和 Q_2 的沟道长度 L 相等，但宽度不同，分别为 W_1 和 W_2。它们偏置在相同的 V_{GS} 上，f_T 也相等。利用图 P6.76（a）中的 MOS 管等效电路来表示该放大器。假设该级放大器的输出端接的是相同放大器的输入端。证明：电压增益 V_o/V_i 为

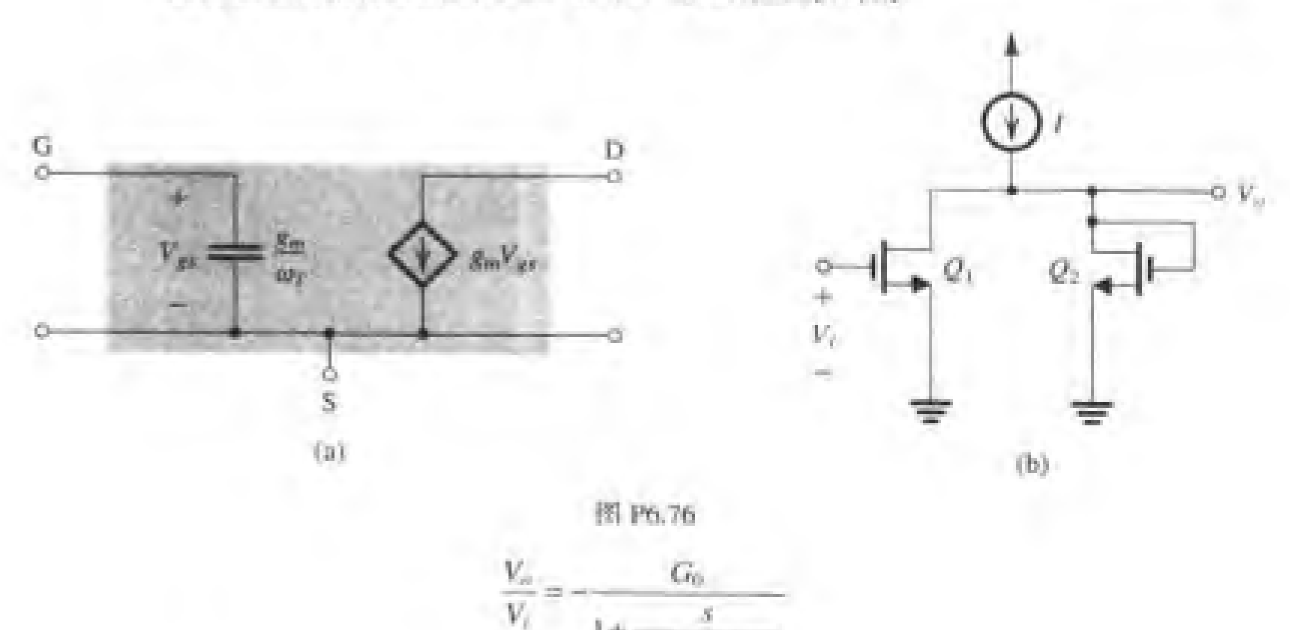


图 P6.76

$$\frac{V_o}{V_i} = -\frac{G_0}{1+\dfrac{s}{\omega_T/(G_0+1)}}$$

其中，

$$G_0 = \frac{g_{m1}}{g_{m2}} = \frac{W_1}{W_2}$$

（c）当 $L=0.5\,\mu\text{m}$，$W_2=25\,\mu\text{m}$，$f_T=12\text{ GHz}$，$\mu_nC_{ox}=200\,\mu\text{A/V}^2$ 时，要求设计一个电路，使得每一级电路的增益为 3 V/V。将 MOS 管偏置于 $V_{OV}=0.3\text{ V}$。给出要求的 W_1 和 I 的值。获得的 3 dB 频率是多少？

6.77 考虑一个采用有源负载的共射放大器。该放大器由一个理想电压源 V_i 提供信号，忽略 r_x 的作用。假定偏置电流源的电阻很大，在输出端和地之间有一个电容 C_L。这个电容包括下一级的输入电容和集电极与地之间不可避免地存在的寄生电容。证明：电压增益为

$$\frac{V_o}{V_i}=-g_m r_o\frac{1-s(C_\mu/g_m)}{1+s(C_L+C_\mu)r_o}$$

$$\simeq-\frac{g_m r_o}{1+s(C_L+C_\mu)r_o}\quad（当 C_\mu 很小时）$$

如果晶体管偏置于 $I_C=200\,\mu A$，$V_A=100$ V，$C_\mu=0.2$ pF、$C_L=1$ pF，求直流增益，3 dB 频率以及增益下降为 1 时的频率。画出增益的幅频波特图。

6.78 一个共源放大器由一个低内阻的信号源提供信号，工作时的 $g_m=1$ mA/V，单位增益频率为 2 GHz。要使 f_t 降为 1 GHz，应该在漏极再接上多大的电容？

6.7 节：有源负载共栅与共基放大器

6.79 考虑一个共栅放大器，$k_n'=160\ \mu A/V^2$，$\lambda=0.1\ V^{-1}$，$W/L=50\ \mu m/0.5\ \mu m$，$\chi=0.2$，$I=0.5$ mA，$R_L=R_s=r_o$。求 g_m，g_{mb}，r_o，R_o，A_{vo}，R_{in}，R_{out}，v_o/v_i 和 v_o/v_{sig}。如果放大器改用内阻 R_s 等于 r_o 的电流源 i_{sig} 提供信号，求 v_o/i_{sig} 和 i_o/i_{sig}，其中 i_o 是流过 R_L 的电流。

6.80 考虑一个 NMOS 管共栅放大器，其负载电流源由一个 PMOS 管实现。PMOS 管的输出电阻 r_o 等于 NMOS 管的值。要求设计一个电路，使得 $v_o/v_i=100$ V/V，$R_{in}=2\ k\Omega$。假设 $|V_A|=20$ V，$\chi=0.2$，$k_n'=100\ \mu A/V^2$。确定 NMOS 管的 I 和 W/L 的值。

6.81 推导出用 A_{vo},R_s 和 r_o 表示的共栅放大器总短路电流增益 $G_{is}\equiv i_{osc}/i_{sig}$ 的表达式。在什么条件下 G_{is} 接近于 1？（提示：参考图 6.30 中的等效电路。）

6.82 一个共栅放大器的负载电阻是 $R_L=A_0 r_o$，其输入电阻 R_{in} 的近似值为多少？

D6.83 考虑图 P6.83 所示的 MOSFET 电流源，要求在 $V_{GS}=0.8$ V 时提供 1 mA 的直流电流。如果 MOSFET 的 $V_t=0.55$ V，$V_A=20$ V，背栅跨导因子 $\chi=0.2$，试求 R_s 的值，使得电流源的输出电阻为 200 kΩ。同时确定所需要的直流电压 V_{BIAS} 的值。

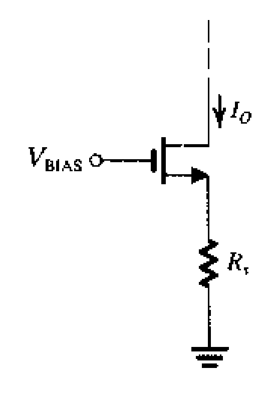


图 P6.83

6.84 图 P6.84 所示的是一个输出短路的共栅放大器。利用这个电路推出用 v_{sig} 表示的 i_{osc} 的表达式，并验证这个结果与用 G_{vo} 和 R_{out}（即利用 $i_{osc}=G_{vo}v_{sig}/R_{out}$）得到的结果一致。

6.85 在图 P6.85 所示的共栅放大器中，Q_2 和 Q_3 是匹配的。$k_n'(W/L)_n=k_p'(W/L)_p=4\ mA/V^2$，所有的晶体管都满足 $|V_t|=0.8$ V 和 $|V_A|=20$ V。晶体管 Q_1 的 $\chi=0.2$。信号 v_{sig} 是不含直流成分的小幅度正弦信号。

（a）忽略 V_A 的影响，求出 Q_1 的漏极直流电流和所需要的 V_{BIAS} 值。

（b）求 g_{m1}，g_{mb1} 和所有晶体管的 r_o 值。

（c）求 R_{in} 的值。

（d）求 R_{out} 的值。

（e）计算电压增益 v_o/v_i 和 v_o/v_{sig}。

（f）保证 Q_1 和 Q_2 工作在饱和区时 v_{sig} 的峰-峰值可以为多大？

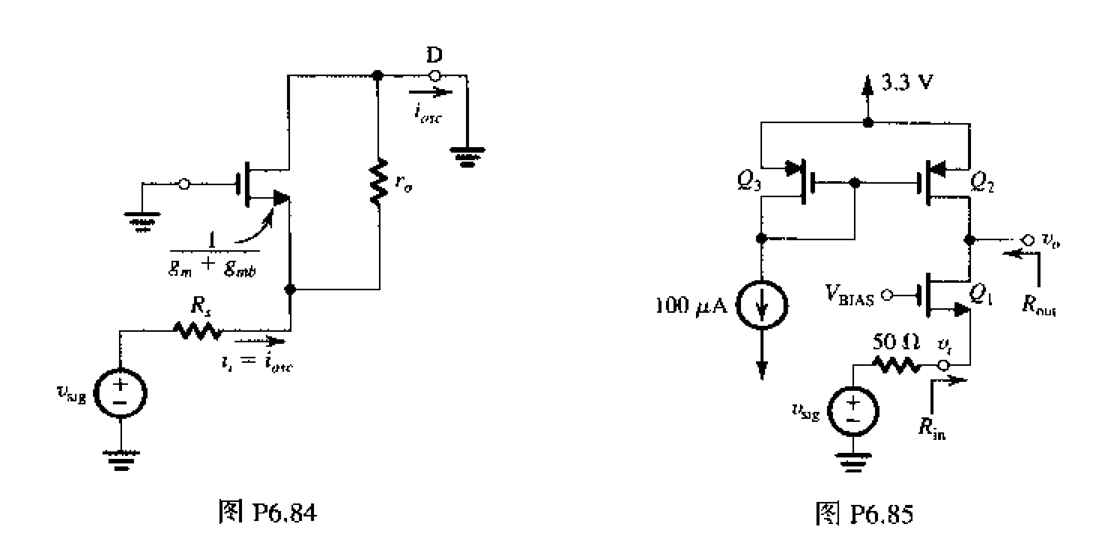


图 P6.84 图 P6.85

6.86 一个共栅放大器的 $C_{gs}=2\ \text{pF}$，$C_{gd}=0.1\ \text{pF}$，$C_L=2\ \text{pF}$，$g_m=5\ \text{mA/V}$，$\chi=0.2$，$R_{sig}=1\ \text{k}\Omega$，$R_L'=20\ \text{k}\Omega$。忽略 r_o 的影响，求出低频增益 v_o/v_{sig}，极点的频率 f_{P1} 和 f_{P2}，以及估算 3 dB 频率 f_H 的值。

6.87 对于习题 6.86 中的 CG 放大器，希望求出低频增益 v_o/v_{sig} 和 f_H 的估计值。需要考虑 MOS 管有限的 $r_o=20\ \text{k}\Omega$。如果已经求解了习题 6.86，对它们的结果做一个比较。

6.88 利用图 6.33（b）和式（6.110），推导式（6.111）。

6.89 利用式（6.112）分析输入电阻 R_{in} 随负载电阻 R_L 的变化关系。具体而言，当 $R_L/r_o=0$，1，10，100，1000 和 ∞ 时，求出 R_{in} 与 r_e 的比值。已知 $\beta=100$。将结果列成表格。

6.90 考虑一个有源负载 BJT 共基放大器，$I=1\ \text{mA}$。如果 BJT 管的固有增益为 2000，当 R_L 取何值时输入电阻 R_{in} 是 r_e 的两倍？

6.91 利用图 6.34 推导式（6.117a）。

6.92 利用式（6.118）分析共基放大器的输出电阻随信号源内阻 R_e 变化的关系。首先推导出用 β 和 m 表示的 R_{out}/r_o 的函数表达式。其中 $m=R_e/r_e$。然后利用这个关系式列出 R_e 与 R_{out}/r_o 的关系表，其中 R_e 取下列值：$R_e=r_e$，$2r_e$，$10r_e$，$(\beta/2)r_e$，βr_e 和 $1000r_e$。已知 $\beta=100$。

6.93 如文中所说，CB 放大器表现为一个电流缓冲器。也就是说，当接入一个电流信号时，共基放大器将这个信号传递至集电极并以一个大输出电阻向集电极提供输出电流。图 P6.93 所示的是一个 CB 放大器，由内阻 $R_{sig}=10\text{k}\Omega$ 的信号电流源 i_{sig} 提供信号。晶体三极管的 $\beta=100$，$V_A=50\ \text{V}$（注意，偏置电路没有画出）。集电极输出用诺顿等效电路表示。求电流增益 k 和输出电阻 R_{out} 的值。

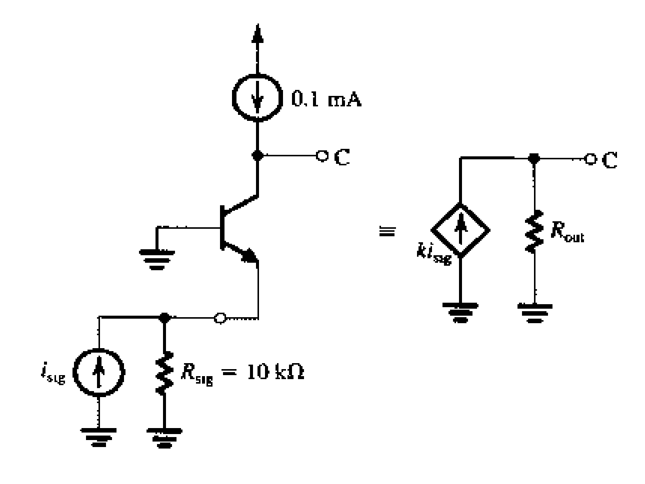


图 P6.93

*6.94　一个 CB 放大器由特征值为 V_{sig} 和 R_e 的信号源提供信号，接有与电容 C_L 并联的负载电阻 R_L。画出该放大器的高频等效电路。

（a）证明：当 $r_o=\infty$ 时，电路可以分成以下两个部分：

输入部分产生的极点位于

$$f_{P1}=\frac{1}{2\pi C_\pi(R_e \parallel r_e)}$$

输出部分产生的极点位于

$$f_{P2}=\frac{1}{2\pi(C_\mu+C_L)R_L}$$

注意，这些公式是对应于式（6.105）和式（6.106）MOSFET 管表达式的 BJT 管表达式。

（b）计算 f_{P1} 和 f_{P2}，并估算 f_H 的值，已知 $C_\pi=14$ pF，$C_\mu=2$ pF，$C_L=1$ pF，$I_C=1$ mA，$R_{sig}=1$ kΩ和 $R_L=10$ kΩ。同时求出晶体管的 f_T。

6.95　改写式（6.107）、式（6.108）和式（6.109），使它们适用于共基放大器。

6.96　对于图 P6.96 所示的恒流源电路，求集电极电流 I 和输出电阻。BJT 的 $\beta=100$，$V_A=100$ V。如果集电极电压变化了 10 V 但晶体管仍在放大区内，相应的集电极电流的变化是多少？

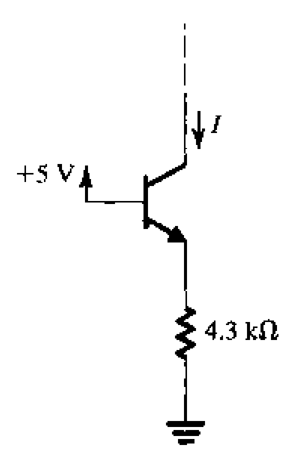


图 P6.96

6.8 节：cascode 放大器

6.97　对于图 6.36（a）中的 cascode 放大器，Q_1 和 Q_2 完全相同，且 $V_t=0.6$ V，$k_n'=160\,\mu A/V^2$，$\lambda=0.05\ V^{-1}$，$\chi=0.2$，$W/L=100$，$V_{OV}=0.2$ V。

（a）偏置电流 I 应为多大？

（b）计算 g_{m1}，g_{m2}，g_{mb2}，r_{o1}，r_{o2}，A_0 和 A_{vo2} 的值。

（c）求开路电压增益 A_{vo}。

（d）计算 cascode 放大器的有效短路互导 G_m 和 R_{out} 的值。

（e）如果恒流源 I 用类似于图 6.43 中的 cascode 电路实现，输出电阻为 10 MΩ，求电压增益 A_v。

（f）忽略输入端和 Q_1 漏端的小信号波动，求出 V_{BIAS} 的最低允许值，使得 Q_1 和 Q_2 工作在饱和区。

6.98　可以认为 cascode 管为输入管提供了一个“盾牌”，使得它不受输出端电压变化的影响。为了定量分析 cascode 管的这种“盾牌”作用，考虑图 P6.98 所示的情况。这里，我们让输入端接地（即降低 v_i 为零），在输出端加上一个小电压 v_x，将随之在 Q_1 漏极产生的电压变化记为 v_y。则 v_y 比 v_x 小多少倍？

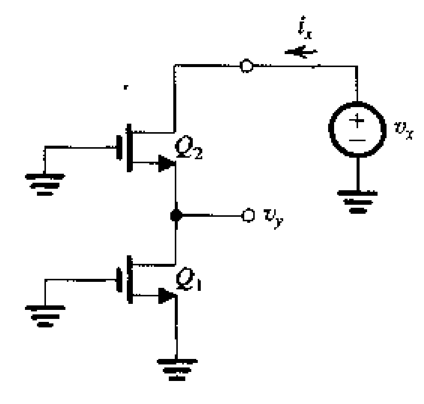


图 P6.98

*6.99　在本题中，我们分析是否通过简单增加 MOS 管共源放大器的沟道长度 L 就可以替代级联形式的电路。具体而言，我们希望比较图 P6.99（b）和图 P6.99（c）中的两个电

路。图 P6.99（b）中的电路是一个共源放大器，沟道长度是图 P6.99（a）中原共源放大器的 4 倍，而漏极偏置电流保持不变。

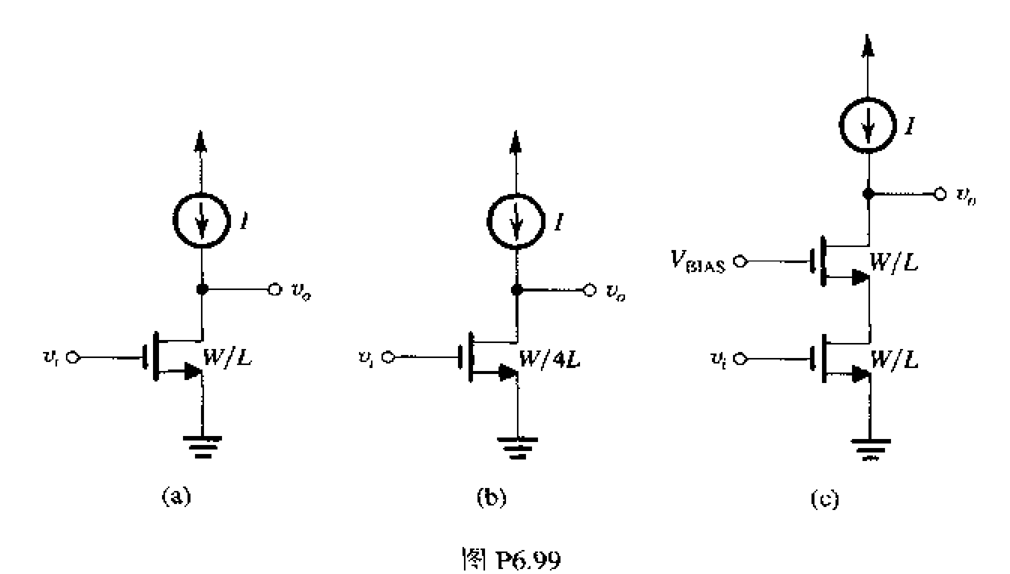


图 P6.99

（a）证明：这个电路的 V_{OV} 是原电路的两倍，g_m 是原电路的一半，A_0 是原电路的两倍。

（b）将这些结果与图 P6.99（c）中的 cascode 电路进行比较，后者工作时的偏置电流和漏极要求的最低电压都与图 P6.99（b）中的电路相同。

*6.100（a）考虑一个 CS 放大器，$C_{gd}=0.2$ pF，$R_{sig}=R_L=20$ kΩ，$g_m=5$ mA/V，$C_{gs}=2$ pF，C_L（包括 C_{db}）= 1 pF，$C_{db}=0.2$ pF，$r_o=20$ kΩ。求低频增益 A_M，利用开路时间常数法估算 f_H，并求增益带宽积。

（b）如果一个 CG 管与（a）中的 CS 管级联，构成一个 cascode 放大器。求这时的 A_M，f_H 和增益带宽积。假设 R_L 保持不变，$\chi=0.2$。

D6.101 要求设计一个 cascode 放大器，在低内阻信号源的作用下获得 66 dB 的直流增益。可以使用的 NMOS 管具有以下参数：$V_A=10$ V，$\mu_n C_{ox}=200\,\mu$A/V^2，$W/L=10$，$C_{gd}=0.1$ pF，$C_L=1$ pF。假设 $R_L=R_{out}$，确定使 MOSFET 正常工作的过驱动电压和漏极电流。忽略衬底效应。求单位增益频率和 3 dB 频率。如果去掉 cascode 管，保持 R_L 不变，直流增益将变成多大？（提示：结果与图 6.39 中推出的不同。要小心！）

6.102 考虑一个双极型 cascode 放大器，其负载电流源用一个输出电阻为 βr_o 的电路实现。已知 $\beta=100$，$|V_A|=100$ V，$I=0.1$ mA。求 R_{in}，G_m，R_{out} 和 v_o/v_i。同时求出 CE 级的增益。

6.103 考虑一个双极型 cascode 放大器，偏置电流为 1 mA。用到的晶体管满足 $\beta=100$，$r_o=100$ kΩ，$C_\pi=14$ pF，$C_\mu=2$ pF，$C_{cs}=0$ 和 $r_x=50\,\Omega$。放大器由内阻 $R_{sig}=4$ kΩ的信号源提供信号。负载电阻 $R_L=2.4$ kΩ。试求低频增益 A_M，并估算 3 dB 频率 f_H 的值。

*6.104 在本习题中，我们考虑 r_o 可以忽略时双极型 cascode 放大器的频率响应。

（a）参考图 6.42 中的电路，注意 Q_1 的集电极与地之间的总电阻与 r_{e2} 相等，这个值通常很小。因而，这个节点产生的极点通常位于很高的频率处，对 f_H 的影响可以忽略。同时，在我们所关心的频率范围内，从 Q_1 的基极到集电极的增益将是 $-g_{m1}r_{e2}\simeq -1$。利用这个结论，求出 Q_1 输入端的电容，并证明输入端引入的极点的频率为

$$f_{P1}\simeq\frac{1}{2\pi R'_{sig}(C_{\pi1}+2C_{\mu1})}$$

同时证明输出端引入的极点的频率为

$$f_{P2} \simeq \frac{1}{2\pi R_L(C_L + C_{cs2} + C_{\mu 2})}$$

（b）已知放大器的 $I = 1\ \text{mA}$，$C_\pi = 5\ \text{pF}$，$C_\mu = 1\ \text{pF}$，$C_{cs} = C_L = 0$，$\beta = 100$ 和 $r_x = 0$。在以下两种情况下分别计算 f_{P1} 和 f_{P2}，并利用平方和公式估计 f_H 的值：

（i）$R_{sig} = 1\ \text{k}\Omega$；

（ii）$R_{sig} = 10\ \text{k}\Omega$。

D6.105 设计图 6.43 中的电路，用来提供 100 μA 的输出电流。使用 $V_{DD} = 3.3\ \text{V}$，假设 PMOS 管的 $\mu_p C_{ox} = 60\ \mu\text{A/V}^2$，$V_{tp} = -0.8\ \text{V}$，$|V_A| = 5\ \text{V}$。电流源在输出端应可实现最大的信号摆幅。要求在 $V_{OV} = 0.2\ \text{V}$ 的条件下完成设计，并确定晶体管 W/L 的比值以及 V_{BIAS1} 和 V_{BIAS2} 的值。输出端最大允许的电压值是多少？R_o 的值是多少？

6.106 求一个 PMOS 管两级 cascode 电流源的输出电阻。该电流源工作时 $I_D = 0.2\ \text{mA}$，每个晶体管的 $V_{OV} = 0.25\ \text{V}$。PMOS 管的 $|V_A| = 5\ \text{V}$。

*6.107 图 P6.107 给出了折叠型 cascode 放大器的 4 种可能的实现形式。假定对于 BJT 管，$\beta = 200$，$|V_A| = 100\ \text{V}$；对于 MOSFET 管，$k'W/L = 2\ \text{mA/V}^2$，$|V_A| = 5\ \text{V}$，$|V_t| = 0.6\ \text{V}$。已知 $I = 100\ \mu\text{A}$，$V_{\text{BIAS}} = +1\ \text{V}$。假设电流源 I 的输出电阻等于与它相连的电路的输出电阻。假定电流源 $2I$ 是理想的。对于每一个电路，求：

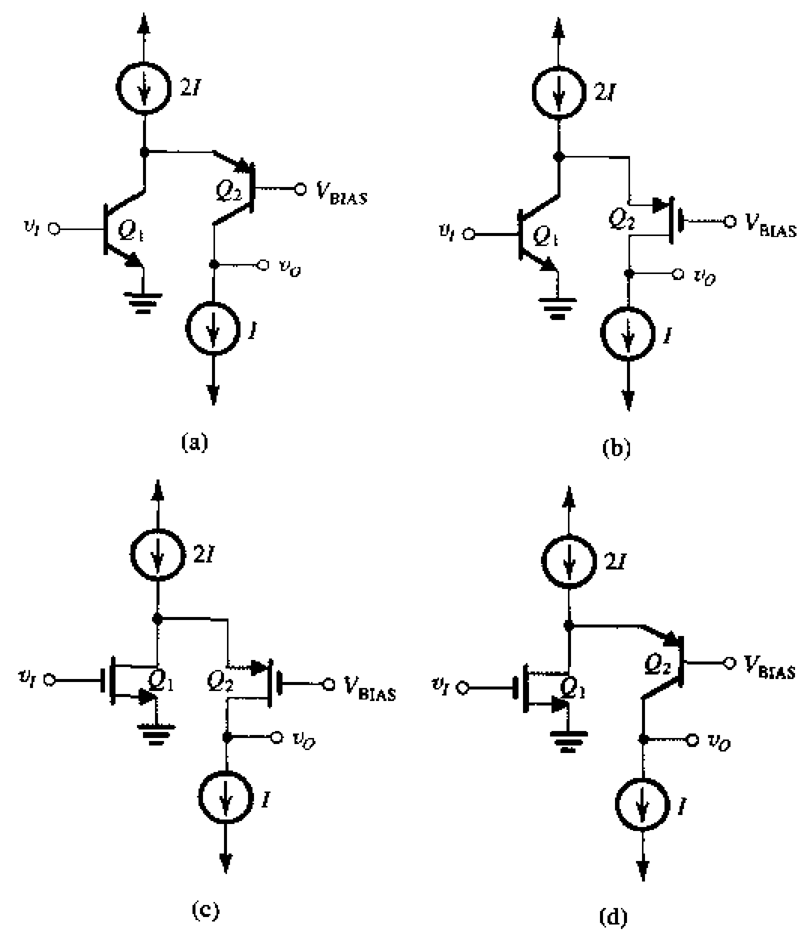


图 P6.107

（a）Q_1 的偏置电流。

（b）Q_1 和 Q_2 节点之间的电压（假定$|V_{BE}|=0.7\text{ V}$）。

（c）每个器件的 g_m 和 r_o。

（d）v_O 的最大允许值。

（e）输入电阻。

（f）输出电阻。

（g）电压增益。

电流源 $2I$ 必须是理想的吗？对于这个信号源，多大的输出电阻会使总增益降低 1%？

6.9 节：源极（射极）接负反馈的 CS 和 CE 放大器

6.108 考虑一个共源放大器，$g_m=2\text{ mA/V}$，$r_o=50\text{ k}\Omega$，$\chi=0.2$，$R_L=50\text{ k}\Omega$，在源极接有一个 500 Ω的电阻。试求 R_{out}，A_{vo}，A_v，G_m 以及出现在栅极和源极之间的那部分 v_i。

D6.109 考虑一个共源放大器，$g_m=2\text{ mA/V}$，$r_o=50\text{ k}\Omega$，$\chi=0.2$，$R_L=50\text{ k}\Omega$。求电阻 R_s 的值，使得接入源极后，信号 v_{gs} 下降为 1/3（即接入 R_s 后 $v_{gs}/v_i=\frac{1}{3}$）。获得的相应电压增益值是多少？

6.110 考虑一个 CS 放大器，$g_m=5\text{ mA/V}$，$r_o=40\text{ k}\Omega$，$C_{gs}=2\text{ pF}$，$C_{gd}=0.1\text{ pF}$，$C_L=1\text{ pF}$，$R_{\text{sig}}=20\text{ k}\Omega$，$R_L=40\text{ k}\Omega$。

（a）求低频增益 A_M，利用开路时间常数估计 3 dB 频率 f_H 的值，并确定增益带宽积。

（b）如果源极接入一个 500 Ω的电阻，求新的$|A_M|$，f_H 值，以及增益带宽积。值定 $g_{mb}=1\text{ mA/V}$。

6.111 对于源极带有负反馈电阻 R_s 的 CS 放大器，证明：当 $R_{\text{sig}}\gg R_s$ 和 $R_L=r_o$ 时，有

$$\tau_H\cong\frac{C_{gs}R_{\text{sig}}}{1+(k/2)}+C_{gd}R_{\text{sig}}\left(1+\frac{A_0}{2+k}\right)+(C_L+C_{gd})r_o\left(\frac{1+k}{2+k}\right)$$

其中 $k\equiv(g_m+g_{mb})R_s$。

D*6.112 对于一个源极带有负反馈电阻的 CS 放大器，要求列出一个$|A_M|$，f_H 和 f_t 与 $k\equiv(g_m+g_{mb})R_s$ 的关系表。表中应包含 $k=0, 1, 2, \cdots, 15$ 时的值。该放大器的 $g_m=5\text{ mA/V}$，$g_{mb}=1\text{ mA/V}$，$r_o=40\text{ k}\Omega$，$R_L=40\text{ k}\Omega$，$R_{\text{sig}}=20\text{ k}\Omega$，$C_{gs}=2\text{ pF}$，$C_{gd}=0.1\text{ pF}$，$C_L=1\text{ pF}$。利用习题 6.111 中给出的 τ_H 的公式。如果要求 $f_H=2\text{ MHz}$，求出满足条件的 R_s 及相应的$|A_M|$的值。

D6.113 （a）利用式（6.156）中的近似表达式确定一个源极带有负反馈电阻的共源放大器的增益带宽积。假设 $C_{gd}=0.1\text{ pF}$ 和 $R_{\text{sig}}=10\text{ k}\Omega$。

（b）如果要求低频增益为 20 V/V，对应的 f_H 是多少？

（c）若 $g_m=5\text{ mA/V}$，$\chi=0.2$，$A_0=100\text{ V/V}$，$R_L=20\text{ k}\Omega$，求满足条件的 R_s 的值。

6.114 一个 CE 放大器工作时的集电极偏置电流为 0.5 mA，射极接有 100 Ω的负反馈电阻。如果 $\beta=100$，$V_A=100\text{ V}$，$R_L=r_o$，当 $R_{\text{sig}}=10\text{ k}\Omega$时，求 R_{in}，R_o，A_{vo}，G_m，A_v 和总电压增益 v_o/v_{sig}。

*6.115 在本习题中，我们分析射极负反馈对共射放大器频率响应的影响。

（a）验证通过改写式（6.148）到式（6.152）的关于 MOSFET 的公式就可以得到适用于 BJT 的公式，如下所示：

$$R_\mu = [(R_{sig} + r_x) \| R_{in}](1 + G_m R'_L) + R'_L$$
$$R'_L = R_L \| R_{out}$$
$$R_{C_L} = R_L \| R_{out} = R'_L$$
$$R_\pi = r_\pi \| \frac{R_{sig} + r_x + R_e}{1 + g_m R_e \left(\frac{r_o}{r_o + R_L} \right)}$$
$$\tau_H = C_\pi R_\pi + C_\mu R_\mu + C_L R_{C_L}$$

（b）已知一个共射放大器的 $C_\pi = 10$ pF，$C_\mu = 0.5$ pF，$C_L = 2$ pF，$g_m = 20$ mA/V，$\beta = 100$，$r_x = 200\ \Omega$，$r_o = 100$ kΩ，$R_L = 5.3$ kΩ，$R_{sig} = 1$ kΩ。在以下两种情况下，分别求放大器的 A_M 和 f_H：

（i）$R_e = 0$。

（ii）$R_e = 200\ \Omega$。

为简单起见，假设 $R_{out} \simeq R_o$。

6.10 节：源极跟随器与射极跟随器

6.116 考虑一个源极跟随器。其中 NMOS 管的 $k'_n = 160\ \mu A/V^2$，$\lambda = 0.05\ V^{-1}$，$\chi = 0.2$，$W/L = 100$，$V_{OV} = 0.5$ V。

（a）偏置电流 I 应为多大？

（b）计算 g_m，g_{mb} 和 r_o 的值。

（c）求 A_{vo} 和 R_o。

（d）当接入一个 1 kΩ的负载电阻后，电压增益变为多少？

6.117 一个源极跟随器的参数如下：$g_m = 5$ mA/V，$g_{mb} = 1$ mA/V，$r_o = 20$ kΩ，$R_{sig} = 20$ kΩ，$R_L = 20$ kΩ，$C_{gs} = 2$ pF，$C_{gd} = 0.1$ pF，$C_L = 1$ pF。求 A_M，R_o，f_Z 和 f_H。同时求出三个电容对时间常数 τ_H 的贡献，用百分比表示。

6.118 对于源极跟随器，$C_L(R_L \| R_o)$ 项的值通常很小，在确定 τ_H 时可以忽略。在这个条件下，假设 $R_{sig} \gg R'_L$，证明：

$$f_H \cong 1/2\pi R_{sig} \left(C_{gd} + \frac{C_{gs}}{1 + g_m R'_L} \right)$$

其中，$R'_L = R_L \| r_o \| (1/g_{mb})$。对于给定的 C_{gd}，C_{gs}，R_{sig}，通过减小有关 C_{gs} 的项的值可以增大 f_H。也就是说，可以通过增大 $g_m R'_L$ 来实现。但是要注意，$g_m R'_L$ 的值不能超过 $1/\chi$，为什么？相应的最大 f_H 是多少？计算习题 6.117 中给出的源极跟随器的 f_H 的最大值。

6.119 一个射极跟随器的偏置电流 $I_C = 5$ mA，且 $R_{sig} = 10$ kΩ，$R_L = 1$ kΩ，$r_o = 20$ kΩ，$\beta = 100$，$C_\mu = 2$ pF，$r_x = 200\ \Omega$，$f_T = 800$ MHz。试求低频增益、f_Z、R_μ、R_π 和 f_H。

6.120 某射极跟随器的偏置电流 $I_C = 1$ mA，$R_{sig} = R_L = 1$ kΩ。晶体管的具体参数如下：$f_T = 2$ GHz，$C_\mu = 0.1$ pF，$r_x = 100\ \Omega$，$\beta = 100$，$V_A = 20$V。计算低频增益 A_M 和 3 dB 频率 f_H。

*6.121 某射极跟随器如图 P6.121 所示。分别求出在下面三种情况下的低频增益和 3 dB 频率 f_H：

（a）$R_{sig} = 1$ kΩ

（b）$R_{sig} = 10$ kΩ

（c）$R_{sig} = 100$ kΩ

已知 $\beta = 100$，$f_T = 400$ MHz，$C_\mu = 2$ pF。

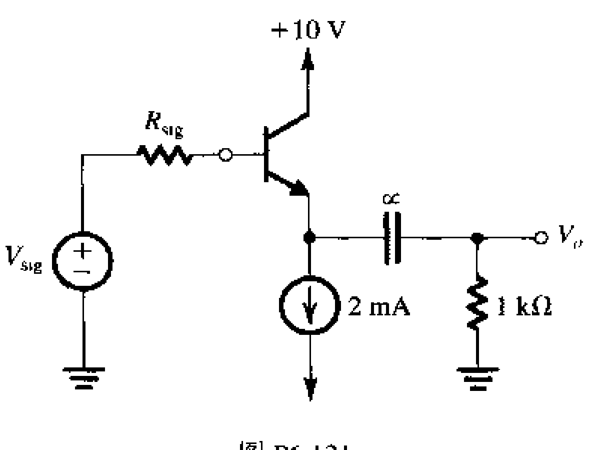


图 P6.121

6.11 节：一些实用的晶体管对放大器

D*6.122 图 P6.122 中的晶体管的参数为：$\beta_0=100$，$V_A=100\text{ V}$，$C_\mu=0.2\text{ pF}$，$C_{je}=0.8\text{ pF}$。偏置电流为 $100\ \mu\text{A}$，$f_t=400\text{ MHz}$。（注意，图中并未给出偏置细节。）

（a）求 R_{in} 和中频增益。

（b）求上限 3 dB 频率 f_H 的估计值。哪个电容起了主导作用？其次的电容又是哪个？

（c）将偏置电流增大到 10 倍会产生什么影响？

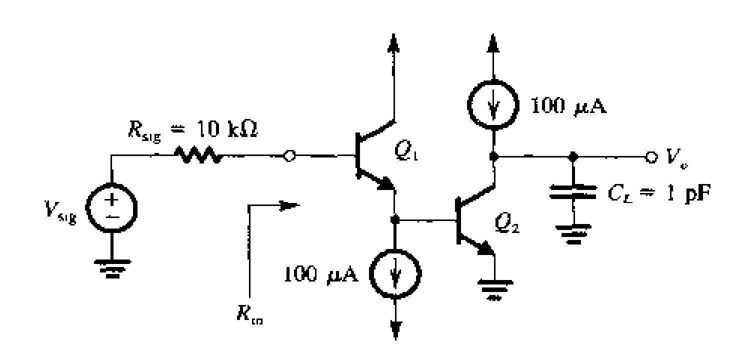


图 P6.122

D**6.123 考虑如图 P6.123 所示的 BiCMOS 放大器。BJT 的 $|V_{BE}|=0.7\text{ V}$，$\beta=200$，$C_\mu=0.8\text{ pF}$，$f_T=600\text{ MHz}$。NMOS 管的 $V_t=1\text{ V}$，$k_n'W/L=2\text{ mA/V}^2$，$C_{gs}=C_{gd}=1\text{ pF}$。

（a）考虑直流偏置电路。在确定 Q_1 中的电流时，忽略 Q_2 的基极电流，试求 Q_1 和 Q_2 的直流偏置电流，并证明它们分别大约为 $100\ \mu\text{A}$ 和 1 mA。

（b）计算 Q_1 和 Q_2 在偏置点上的小信号模型参数。

（c）考虑中频时的电路。首先确定小信号电压增益 V_o/V_i（注意，在这个过程中，可以忽略 R_G）。然后对 R_G 应用米勒定理以确定放大器的输入电阻 R_{in}。最后确定总电压增益 V_o/V_{sig}。

（d）考虑低频时的电路。确定由 C_1 和 C_2 产生的极点频率，并估计下限 3 dB 频率 f_L。

（e）考虑高频时的电路。应用米勒定理将 R_G 替换成输入端的一个电阻（输出端的电阻非常大，可忽略）。利用开路时间常数来估算 f_H。

（f）为了尽量降低 R_G 对 R_{in} 以及对放大器性能的影响，考虑在已有电阻上串接另一个 10 MΩ 的电阻，并且在它们的连接点与地之间再接上一个较大的旁路电容。试求此

时的 R_{in}，A_M 和 f_H。

6.124 图 P6.124 中构成达林顿跟随器的晶体管的 $\beta_0=100$。如果跟随器由内阻为 100 kΩ的信号源提供信号，并接有1 kΩ 的负载。试求出输入电阻和不含负载的输出电阻，同时求出开路和带有负载时的总电压增益。

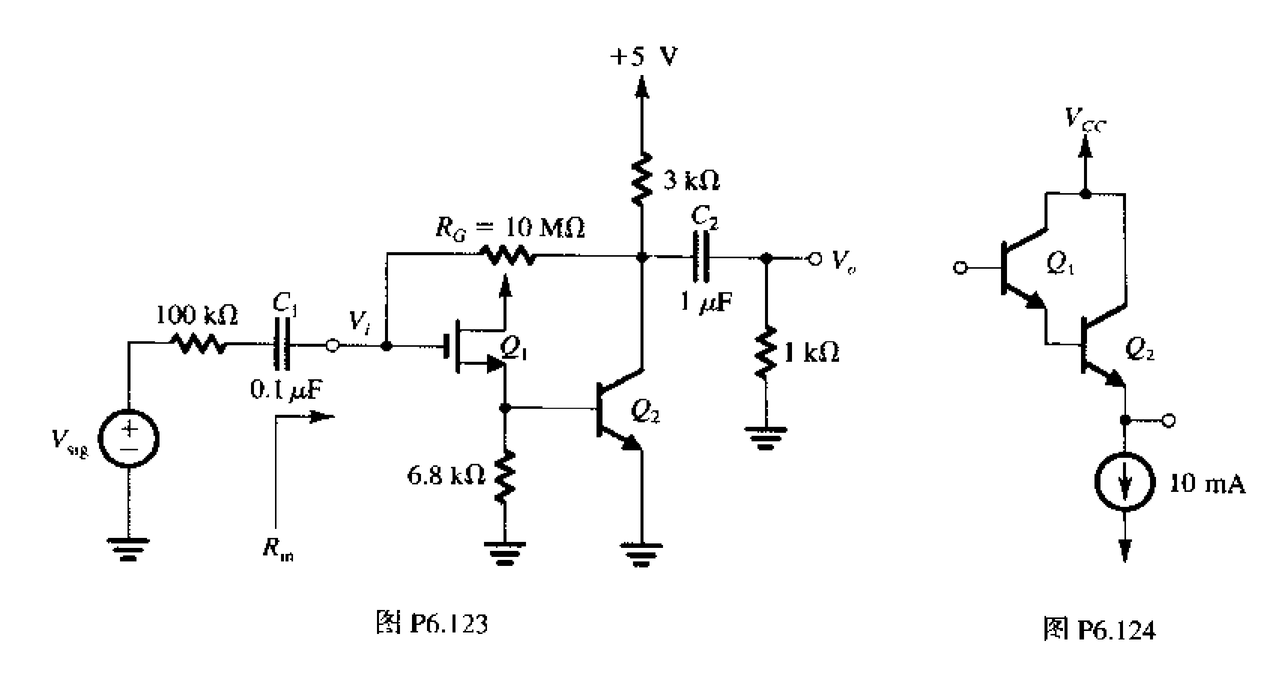


图 P6.123

图 P6.124

6.125 对于如图 6.56（a）中的放大器，设 $I=1$ mA，$\beta=120$，$f_T=700$ MHz，$C_\mu=0.5$ pF，忽略 r_x 和 r_o。假设输出端接有10 kΩ 的负载电阻。如果放大器由内阻 $R_{sig}=20$ kΩ 的信号源 V_{sig} 提供信号，试求 A_M 和 f_H。

6.126 考虑图 6.56(c)中的 CD-CG 放大器，$g_m=5$ mA/V，$C_{gs}=2$ pF，$C_{gd}=0.1$ pF，$C_L=1$ pF（位于输出节点处），$R_{sig}=R_L=20$ kΩ。忽略 r_o 和衬底效应，试求 A_M 和 f_H。

***6.127 在如图 P6.127 所示的 6 个电路中，$\beta=100$，$C_\mu=2$ pF，$f_T=400$ MHz。忽略 r_x 和 r_o，计算每个电路的中频增益 A_M 和 3 dB 频率 f_H。

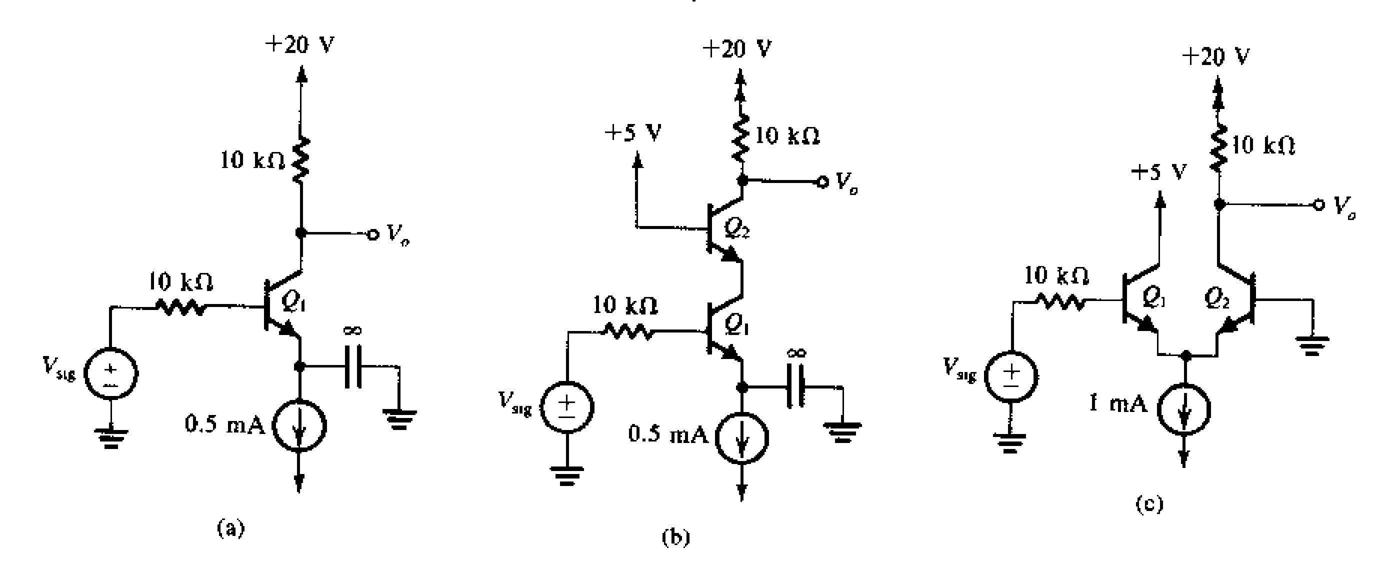


图 P6.127

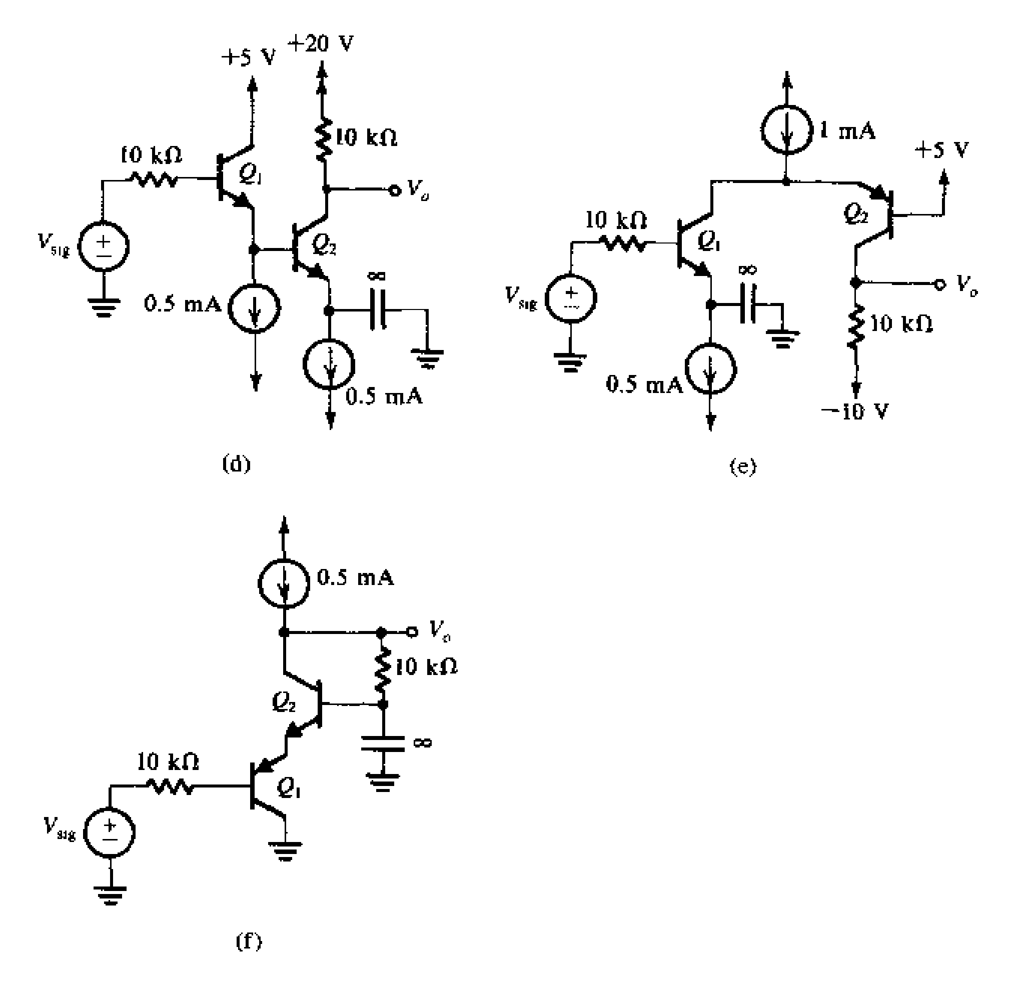


图 P6.127（续）

6.12 节：改进型镜像电流源电路

6.128 对于图 6.58 所示的 cascode 镜像电流源，$V_t = 0.5\text{ V}$，$k_n'W/L = 4\text{ mA/V}^2$，$V_A = 8\text{ V}$，$I_{REF} = 80\ \mu\text{A}$，$V_o = +5\text{ V}$，$I_O$将为何值？给出输出电阻和输出端允许的最小电压值。

6.129 在图 6.58 所示的 cascode 镜像电流源中，所有晶体管的$V_t = 0.6\text{ V}$，$\mu_n C_{ox} = 200\ \mu\text{A/V}^2$，$L = 1\ \mu\text{m}$，$V_A = 20\text{ V}$。沟道宽度 $W_1 = W_4 = 2\ \mu\text{m}$，$W_2 = W_3 = 40\ \mu\text{m}$。参考电流 I_{REF} 为 $25\ \mu\text{A}$。此时的输出电流是多少？Q_2 和 Q_3 的栅极电压分别是多少？在保证电流源正常工作的情况下，输出端允许的最低电压是多少？Q_2 和 Q_3 的 g_m 和 r_o 值是多大？镜像电流源的输出电阻是多少？

6.130 求出图 P6.130 中两级 cascode 镜像电流源的输出电阻。

6.131 在图 6.59 所示的带有基极电流补偿的镜像电流源中，三个晶体管是匹配的，并且当 $V_{BE} = 0.7\text{ V}$ 时，集电极电流为 1 mA。在 $I_{REF} = 100\ \mu\text{A}$，$\beta = 200$ 的情况下，节点 x 处的电压是多少？若 I_{REF} 增大到 1 mA，V_x 变为多少？在以上两种情况下，若 $V_O = V_x$，I_O 分别是多少？求出 I_O 的理想值与实际值相差的百分比。在保证电流源正常工作的情况下，最小的输出电压是多少？

D6.132 将图 6.59 中的镜像电流源电路拓展到 n 路输出。从输入端到每个输出端的电流传输比 I_O/I_{REF} 是多少？如果为了使这个值与 1 的偏差控制在 0.1% 内，n 的最大值是多少？已知 BJT 的 $\beta = 100$。

*6.133 对于图 6.59 所示的带有基极电流补偿的镜像电流源，证明：增量输入电阻（从参考电流

源端视入）约为 $2V_T/I_{REF}$。当 $I_{REF}=100\ \mu A$ 时，求 R_{in}。

D*6.134（a）图 P6.134 中的电路是改进的 Wilson 镜像电流源电路。其中，输出管被“分割”成了两个匹配的晶体管 Q_3 和 Q_4。求用 I_{REF} 表示的 I_{O1} 和 I_{O2} 的公式。假设所有的晶体管都有相同的电流增益 β。

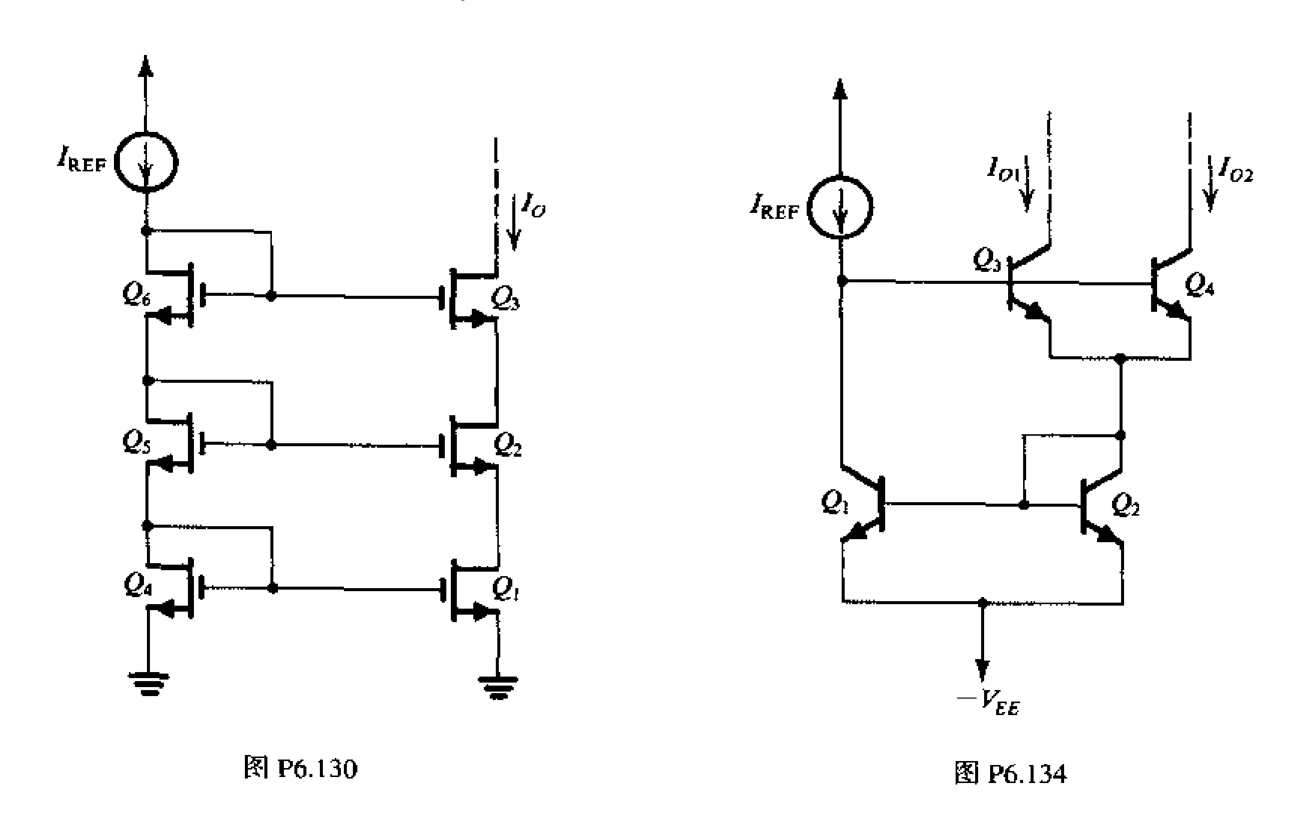


图 P6.130　　图 P6.134

（b）用这种思想设计一个电路，使其利用 7 mA 的参考电流源，产生 1 mA，2 mA 和 4 mA 的电流。当 $\beta=50$ 时，产生的实际电流值是多少？

D6.135 使用 Wilson 镜像电流源的 *pnp* 形式设计一个 0.1 mA 的电流源。要求该电流源在输出端电压低至 −5 V 时仍能正常工作。如果可用的电源为 ±5 V，则输出端能达到的最大电压是多少？

*6.136 对于图 6.60 所示的 Wilson 镜像电流源，证明：I_{REF} 对应的增量输入电阻约为 $2V_T/I_{REF}$（在推导过程中忽略厄尔利效应）。当 $I_{REF}=100\ \mu A$ 时，计算 R_{in}。

6.137 考虑图 6.60 所示的 Wilson 镜像电流源，由 $I_{REF}=1$ mA 的参考电流供电。若 Q_3 的集电极电压变化 +10 V，I_O 相应地变化多少？给出变化的绝对值和百分比值。已知 $\beta=100$，$V_A=100$ V，并且注意 Wilson 镜像电流源的输出电阻为 $\beta r_o/2$。

6.138 对于图 6.61（a）所示的 Wilson 镜像电流源，所有晶体管的 $V_t=0.6$ V，$\mu_nC_{ox}=200\ \mu A/V^2$，$L=1\ \mu m$，$V_A=20$ V。沟道宽度 $W_1=2\ \mu m$，$W_2=W_3=40\ \mu m$。参考电流为 $25\ \mu A$。输出电流是多少？Q_2 和 Q_3 的栅极电压分别是多少？在保证电流源正常工作的情况下，V_O 的最小值是多少？Q_2 和 Q_3 的 g_m 和 r_o 值是多少？镜像电流源的输出电阻是多少？

6.139 证明：图 6.61（a）中 Wilson 镜像电流源的输入电阻约为 $2/g_{m1}$。假设 Q_2 和 Q_3 完全相同。

*6.140 考虑图 6.61（a）中的 Wilson 镜像电流源，$V_t=0.6$ V，$k_n'W/L=2\ mA/V^2$，$V_A=20$ V，$I_{REF}=100\ \mu A$。则 I_O 为多大？如果电路改为如图 6.61（c）所示，相应的 I_O 又是多少？

D*6.141（a）使用 $100\ \mu A$ 的参考电流设计一个 Widlar 电流源，要求能够提供 $10\ \mu A$ 的输出电流。

假设晶体管在电流为1 mA 时的 $v_{BE}=0.7\text{ V}$，并且假设 β 很大。

（b）若 $\beta=200$，$V_A=100\text{ V}$，求输出电阻的值，并求出输出电压变化5 V 时相应的输出电流的变化。

D6.142 设计 3 个 Widlar 电流源，每一个的参考电流都为 $100\ \mu\text{A}$：要求其中一个的电流传输比为 0.9，另一个为 0.10，最后一个为 0.01。假设所有的 β 值都很大。对于每个电流源，求出输出电阻，并将其与 $R_E=0$ 时的基本单位比值电流源的 r_o 进行比较。假设基本单位比值电流源的 $\beta=\infty$，$V_A=100\text{ V}$。

6.143 参见如图 P6.143 所示的双极型晶体管，$V_{BE}=0.7\text{ V}$，$\beta=100$，$V_A=100\text{ V}$。试求 R_o

D6.144（a）对于图 P6.144 所示的电路，假设 BJT 的 β 值都很大，且电流为1 mA 时的 $v_{BE}=0.7\text{ V}$。求使得 $I_O=10\ \mu\text{A}$ 的 R 值。

（b）对（a）中的设计方案，求出 R_o。假设 $\beta=100$，$V_A=100\text{ V}$。

D*6.145图 P6.145 所示电路中的 *pnp* 晶体管满足 I_S 的指数关系。证明，直流电流 I 由表达式 $IR=V_T\ln(I/I_S)$ 确定。假设 Q_1 和 Q_2 匹配，Q_3，Q_4 和 Q_5 匹配。求出使得 $I=10\ \mu\text{A}$ 的 R 值。对于 BJT，$I_E=1\text{ mA}$ 时的 $V_{BE}=0.7\text{ V}$。

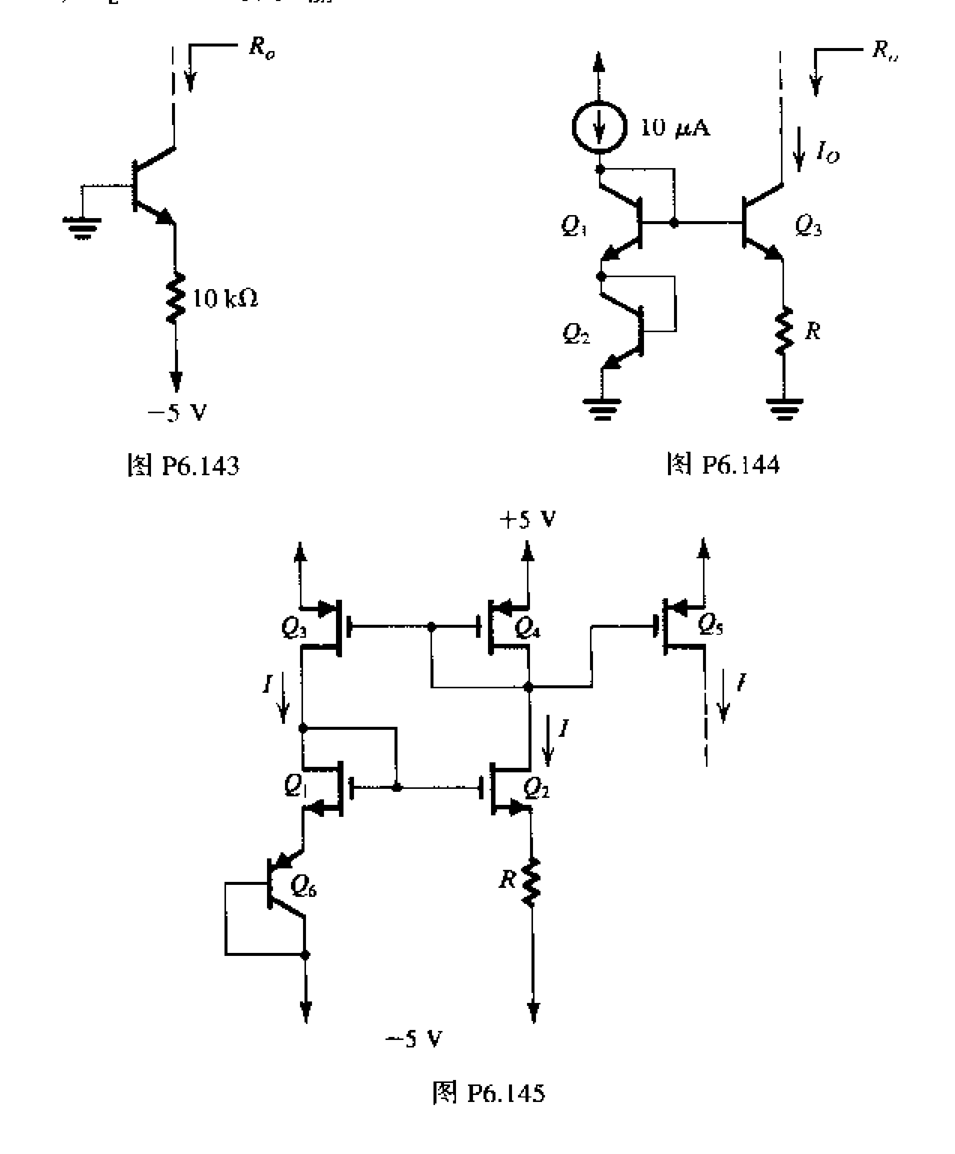


图 P6.143

图 P6.144

图 P6.145

第 7 章　差分放大器与多级放大器

引言

差分对或者说差分放大器结构是模拟电路的基本功能块，被广泛地应用于集成电路设计中比如每个运算放大器的输入级都是差分放大器结构。另外，BJT 差分放大器还是高速数字逻辑电路的基础，相关内容可以参见第 11 章（见下册）中的射极耦合逻辑（ECL）。

差分放大器结构最初应用时使用的是真空管。随后，在分立的双极型晶体管电路中也得到了实现，不过，是集成电路的出现使得差分对极其广泛地应用到了 BJT 和 MOS 技术中。有两个原因使得差分放大器十分适合于集成电路的制造（我们很快就会讲到：那就是差分对的性能主要取决于电路两边器件的匹配程度。而对于那些参数随环境明显变化的器件，集成工艺能够很好地实现这样的匹配。第二，很显然，差分放大器比单端电路要使用更多的元器件（大约是两倍之多），再次回想 6.1 节的内容：集成电路技术的一个优势就是能够以相对低的成本制造大量的晶体管。

我们认为读者已经了解了 2.1 节中所叙述的关于差分放大器的基本概念。不过，仍然很有必要考虑一下这样的问题：为什么是差分的？一般来说，差分在两个方面优于单端电路。首先，差分电路相对单端电路来说对于噪声和干扰有更强的抵抗能力。为了说明这一点，假想两根导线携带一个差模小信号，这个信号通过二根导线之间的电压差来表示。现在假设干扰信号通过电容或电感耦合到导线上，因为两根导线距离很近，所以干扰电压（每根导线和接地点之间）是相等的。因为是差分系统，只有两根导线之间电压的差值才成为有效信号，因此干扰分量就这样被抵消了。

差分放大器的第二个优点就是差分结构能够使得我们避免像设计分立元件放大器那样，通过旁路电容或者耦合电容来实现放大器的直流偏置或是对放大器各级之间进行耦合（见 4.7 节和 5.7 节）。这也是差分电路十分适合于集成电路制造的另一个原因，因为集成工艺不可能经济地制造出大容量的电容。

本章的主题是差分放大器，包括 BJT 和 MOS 实现的两种差分放大器。正如即将讲到的那样，差分放大器的分析和设计是对第 6 章中介绍的单级放大器内容的延伸和拓展。紧随其后的内容是多级放大器的例子，同样也包含了 MOS 和 BJT 两种技术。最后用两个 SPICE 仿真实例结束本章

7.1　MOS 差分对

图 7.1 所示的是 MOS 差分对的基本结构。它包含两个匹配的晶体管 Q_1 和 Q_2。它们的源极连接在一起，并且通过一个恒流源 I 提供偏置。后者通常由 MOSFET 电路来实现，其结构已在 6.3 节和 6.12 节中讲过。目前，我们先假设电流源是理想的，即它的输出电阻无穷大。尽管图中每个晶体管的漏极都通过电阻 R_D 连接到 V_{DD} 上，然而我们将会讲到，在许多应用中使用的是有源负载（电流源）。不过现在我们采用简单的电阻负载来说明差分对的工作原理。无论使用何种负载，重要的是要避免 MOSFET 工作在变阻区。

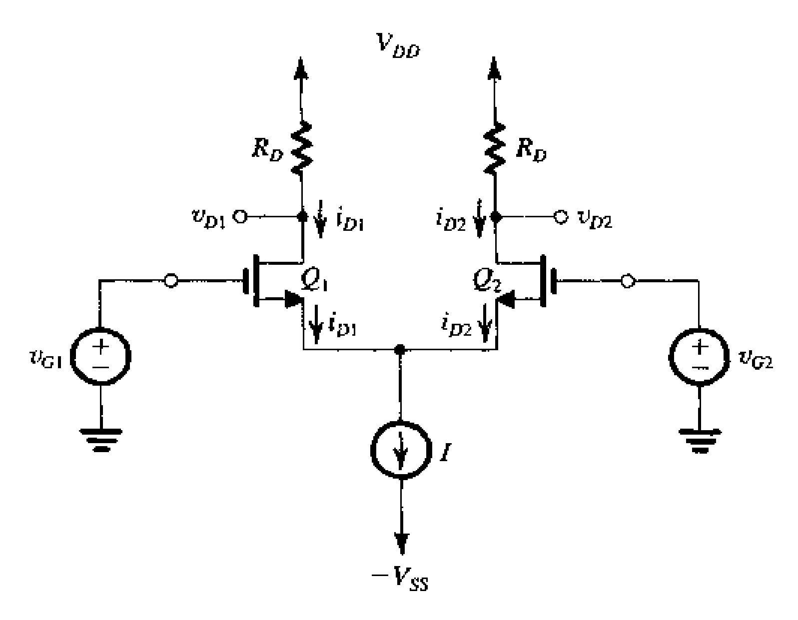


图 7.1　基本的 MOS 差分对结构

7.1.1　共模电压输入下的工作特性

为了了解差分对是如何工作的，首先考虑将两个栅极一同连接在电压 v_{CM} 上，我们称之为共模电压。如图 7.2（a）所示，$v_{G1}=v_{G2}=v_{CM}$。由于 Q_1 和 Q_2 匹配，从对称性可以得出电流 I 将被两个晶体管平分。即，$i_{D1}=i_{D2}=I/2$，同时对源极电压 v_S，有

$$v_S=v_{CM}-V_{GS} \tag{7.1}$$

V_{GS} 是和漏极电流 $I/2$ 相关的栅源之间的电压。忽略沟道长度调制效应，V_{GS} 和 $I/2$ 的关系如下：

$$\frac{I}{2}=\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2 \tag{7.2}$$

或者用过驱动电压表示为

$$V_{OV}=V_{GS}-V_t \tag{7.3}$$

$$\frac{I}{2}=\frac{1}{2}k_n'\frac{W}{L}V_{OV}^2 \tag{7.4}$$

$$V_{OV}=\sqrt{I/k_n'(W/L)} \tag{7.5}$$

每个晶体管漏极电压为

$$v_{D1}=v_{D2}=V_{DD}-\frac{I}{2}R_D \tag{7.6}$$

这样，两个漏极之间的电压差等于零。

现在，让我们来改变共模电压 v_{CM} 的值。显然，只要 Q_1 和 Q_2 始终工作在饱和区，电流 I 就会被 Q_1 和 Q_2 等分，于是漏极的电压保持不变。即差分对不对共模输入信号产生影响（抑制）。

差分对的一个重要指标是它的共模输入范围。也就是能使差分对正常工作的 v_{CM} 的范围。该值的上限由 Q_1 和 Q_2 始终工作在饱和区决定，即

$$v_{CM\max}=V_t+V_{DD}-\frac{I}{2}R_D \tag{7.7}$$

该值的下限由电流源 I 正常工作所需要的电压决定。如果电流源需要的电压为 V_{CS}，则

$$v_{CM\min}=-V_{SS}+V_{CS}+V_t+V_{OV} \tag{7.8}$$

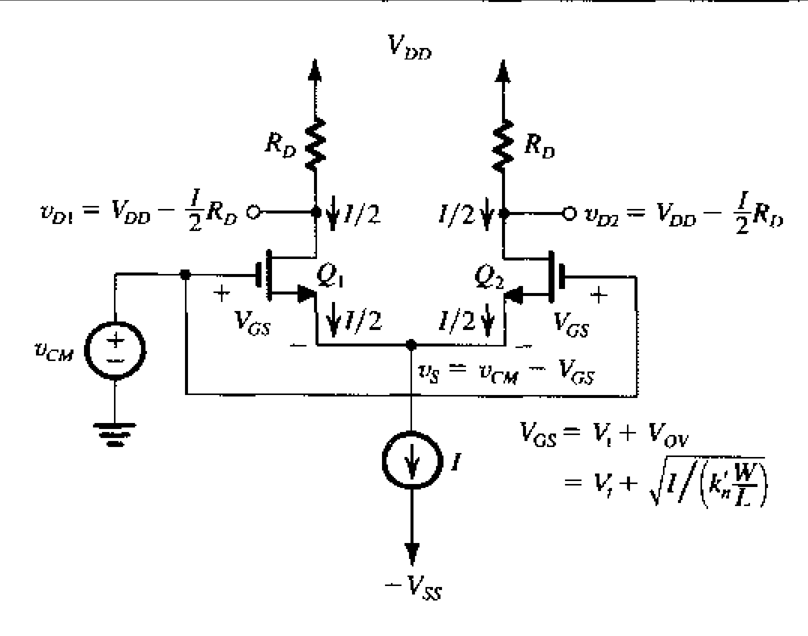


图 7.2　共模电压 v_{CM} 输入下的 MOS 差分对

练习 7.1　如图 7.2 所示，共模电压 v_{CM} 施加在 MOS 差分对上。设 $V_{DD} = V_{SS} = 1.5\ \text{V}$，$k_n'(W/L) = 4\ \text{mA/V}^2$，$V_t = 0.5\ \text{V}$，$I = 0.4\ \text{mA}$，$R_D = 2.5\ \text{k}\Omega$，同时忽略沟道长度调制效应。

（a）求每个晶体管的 V_{OV} 和 V_{GS}。

（b）当 $v_{CM} = 0$ 时，求 v_S，i_{D1}，i_{D2}，v_{D1} 和 v_{D2}。

（c）当 $v_{CM} = +1\ \text{V}$ 时，重复（b）。

（d）当 $v_{CM} = -0.2\ \text{V}$ 时，重复（b）。

（e）为使 Q_1 和 Q_2 工作在饱和区，v_{CM} 的最大值是多少？

（f）如果电流源 I 正常工作时所需要的最小电压是 0.4 V，则 v_S 和 v_{CM} 的最小值是多少？

答案：（a）0.316 V，0.82 V；（b）见图 7.3（a）；（c）见图 7.3（b）；（d）见图 7.3（c）（假设 0.48 V 的电压足以使电流源正常工作）；（e）+1.5 V；（f）−1.1 V，−0.28 V

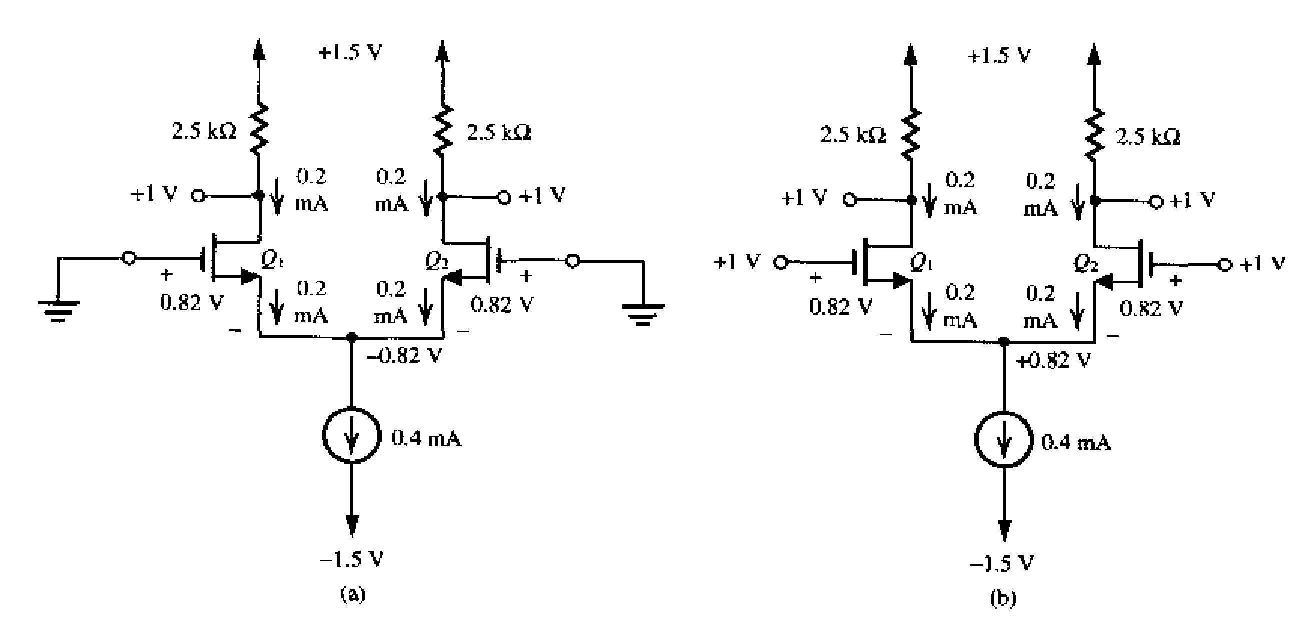


图 7.3　练习 7.1 的电路。v_{CM} 值的变化对差分对性能的影响

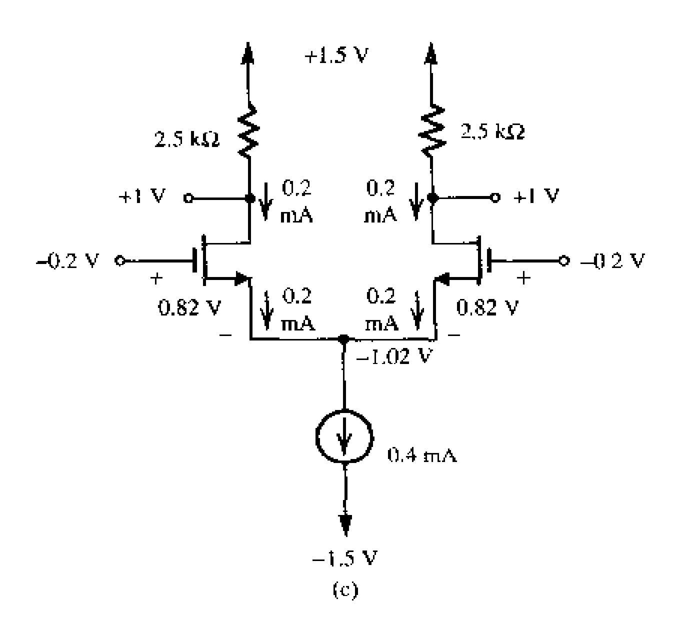


图 7.3（续） 练习 7.1 的电路，v_{CM} 值的变化对差分对性能的影响

7.1.2 差模电压输入下的工作特性

接下来我们施加一个差模输入电压，如图 7.4 所示，即将 Q_2 的栅极接地（令 $v_{G2}=0$），同时在 Q_1 的栅极加上信号 v_{id}。显然 $v_{id}=v_{GS1}-v_{GS2}$，当 v_{id} 为正时，v_{GS1} 就大于 v_{GS2}，因此 i_{D1} 就大于 i_{D2}，继而推出差分输出电压（$v_{D2}-v_{D1}$）为正值。同理可知，当 v_{id} 为负时，v_{GS1} 就小于 v_{GS2}，i_{D1} 也就小于 i_{D2}。相应地有 v_{D1} 大于 v_{D2}，即差分输出电压（$v_{D2}-v_{D1}$）为负值。

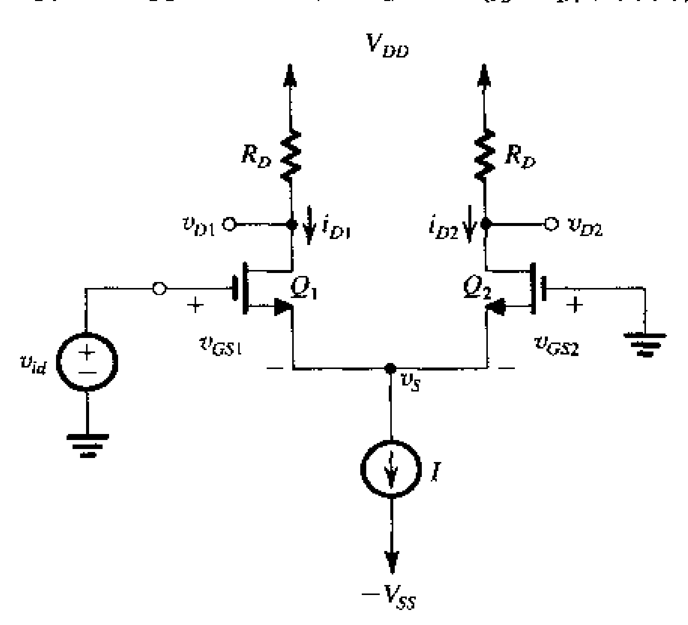


图 7.4 差模电压输入下的 MOS 差分对。若 v_{id} 为正：$v_{GS1}>v_{GS2}$、$i_{D1}>i_{D2}$，$v_{D1}<v_{D2}$，则（$v_{D2}-v_{D1}$）为正。若 v_{id} 为负：$v_{GS1}<v_{GS2}$, $i_{D1}<i_{D2}$, $v_{D1}>v_{D2}$，则（$v_{D2}-v_{D1}$）为负

由前述可知，对于差模或者差分输入信号，差分对在两个漏极间产生一个相应的差模输出信号。在此需要讨论一下 v_{id} 的值，何时它会使得偏置电流 I 完全流过两个晶体管中的一个？正向时，这种情况发生在 v_{GS1} 使 $i_{D1}=I$ 时，同时 v_{GS2} 减小至开启电压 V_t，此时有 $v_S=-V_t$。而 v_{GS1} 的值就可由下式求得：

$$I = \frac{1}{2}\left(k_n' \frac{W}{L}\right)(v_{GS1} - V_t)^2$$

即

$$\begin{aligned} v_{GS1} &= V_t + \sqrt{2I / k_n'(W/L)} \\ &= V_t + \sqrt{2}V_{OV} \end{aligned} \tag{7.9}$$

其中，V_{OV} 是当漏极电流为 $I/2$ 时的过驱动电压［见式（7.5）］。于是，使偏置电流 I 完全流过 Q_1 的电压值 v_{id} 为

$$\begin{aligned} v_{id\max} &= v_{GS1} + v_S \\ &= V_t + \sqrt{2}V_{OV} - V_t \\ &= \sqrt{2}V_{OV} \end{aligned} \tag{7.10}$$

当 v_{id} 超过 $\sqrt{2}V_{OV}$ 时，i_{D1} 始终等于 I，v_{GS1} 始终等于 $(V_t + \sqrt{2}V_{OV})$，导致 v_S 值相应升高，Q_2 截止。同样可知，当 v_{id} 达到 $-\sqrt{2}V_{OV}$ 时，Q_1 截止、Q_2 导通，同时电流 I 全部流过 Q_2。所以，通过改变 v_{id} 的值，可以使电流 I 从一个晶体管流向另一个晶体管。v_{id} 的变化范围是

$$-\sqrt{2}V_{OV} \leqslant v_{id} \leqslant \sqrt{2}V_{OV}$$

这就是差模输入的范围。最后，我们注意到这里假设 Q_1 和 Q_2 工作在饱和区，即使其中一个晶体管传导全部的电流 I。

练习 7.2　对于练习 7.1 中的 MOS 差分对，求：（a）使电流 I 全部流过 Q_1 的 v_{id} 值，以及相应的 v_{D1} 和 v_{D2}；（b）使电流 I 完全通过 Q_2 的 v_{id} 值，以及相应的 v_{D1} 和 v_{D2}；（c）相应的差模输出电压（$v_{D2} - v_{D1}$）的范围。

答案：（a）+0.45 V，0.5 V，1.5 V；（b）−0.45 V，1.5 V，0.5 V；（c）+1 V ~ −1 V

为了把差分对作为线性放大器使用，需要确保输入信号 v_{id} 是一个小量。于是，其中一个晶体管（v_{id} 为正时的 Q_1）流过的电流为（$I/2 + \Delta I$），增量电流 ΔI 与 v_{id} 成正比。同时，另一晶体管流过的电流就变为（$I/2 - \Delta I$）。增量电流在前者的漏极产生 $-\Delta IR_D$ 的信号电压，并在另一个漏极产生相反方向的信号电压 ΔIR_D。因此，从两个漏极间获得的输出信号电压为 $2\Delta IR_D$，它同样也正比于差模输入信号 v_{id}。7.2 节将进一步介绍差分对的小信号特性。

7.1.3　大信号工作特性

现在我们来推导用差模输入信号 $v_{id} \equiv v_{G1} - v_{G2}$ 表示的漏极电流 i_{D1} 和 i_{D2} 的表达式。因为这些表达式与漏极连接的电路细节无关，所以在图 7.5 中没有给出这样的细节，我们只是假定 Q_1 和 Q_2 始终不工作在变阻区。在以下推导过程中假设差分对完全匹配，同时忽略沟道长度调制效应（$\lambda = 0$）和衬底效应。

首先，我们有如下的 Q_1 和 Q_2 的漏极电流表达式：

$$i_{D1} = \frac{1}{2}k_n' \frac{W}{L}(v_{GS1} - V_t)^2 \tag{7.11}$$

$$i_{D2} = \frac{1}{2}k_n' \frac{W}{L}(v_{GS2} - V_t)^2 \tag{7.12}$$

分别对式（7.11）和式（7.12）两边开方，得到

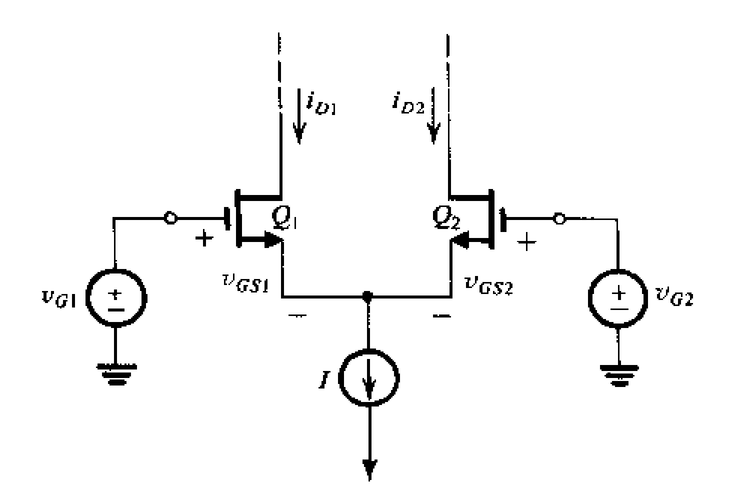


图 7.5　MOS 差分对：用于分析 i_{D1} 和 i_{D2} 随 $v_{id}=v_{G1}-v_{G2}$ 变化的传输特性曲线

$$\sqrt{i_{D1}}=\sqrt{\frac{1}{2}k_n'\frac{W}{L}}(v_{GS1}-V_t) \tag{7.13}$$

$$\sqrt{i_{D2}}=\sqrt{\frac{1}{2}k_n'\frac{W}{L}}(v_{GS2}-V_t) \tag{7.14}$$

用式（7.13）减式（7.14），并将下式代入

$$v_{GS1}-v_{GS2}=v_{G1}-v_{G2}=v_{id} \tag{7.15}$$

结果为

$$\sqrt{i_{D1}}-\sqrt{i_{D2}}=\sqrt{\frac{1}{2}k_n'\frac{W}{L}}v_{id} \tag{7.16}$$

电流源 I 受以下等式的约束：

$$i_{D1}+i_{D2}=I \tag{7.17}$$

式（7.16）和式（7.17）含有两个未知变量 i_{D1} 和 i_{D2}，可以这样求解：对式（7.16）两边同时进行平方运算，并将 $i_{D1}+i_{D2}=I$ 代入，可得

$$2\sqrt{i_{D1}i_{D2}}=I-\frac{1}{2}k_n'\frac{W}{L}v_{id}^2$$

将上式两边再同时进行平方，并将式（7.17）得到的 $i_{D2}=I-i_{D1}$ 代入，得到有关 i_{D1} 的二次方程，求解得到

$$i_{D1}=\frac{I}{2}\pm\sqrt{k_n'\frac{W}{L}I}\left(\frac{v_{id}}{2}\right)\sqrt{1-\frac{(v_{id}/2)^2}{I/k_n'\frac{W}{L}}}$$

现在，因为 i_{D1} 在偏置值（$I/2$）以上部分是增量，需和 v_{id} 有相同的极性，而且只有第二项根号前为“+”的才有物理意义，所以，

$$i_{D1}=\frac{I}{2}+\sqrt{k_n'\frac{W}{L}I}\left(\frac{v_{id}}{2}\right)\sqrt{1-\frac{(v_{id}/2)^2}{I/k_n'\frac{W}{L}}} \tag{7.18}$$

从 $i_{D2}=I-i_{D1}$ 中得到相应的 i_{D2} 为

$$i_{D2}=\frac{I}{2}-\sqrt{k_n'\frac{W}{L}I}\left(\frac{v_{id}}{2}\right)\sqrt{1-\frac{(v_{id}/2)^2}{I/k_n'\frac{W}{L}}} \tag{7.19}$$

在偏置（静态）工作点上，有 $v_{id}=0$，结果为

$$i_{D1}=i_{D2}=\frac{I}{2} \tag{7.20}$$

相应得到

$$v_{GS1}=v_{GS2}=V_{GS} \tag{7.21}$$

其中，

$$\frac{I}{2}=\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2=\frac{1}{2}k_n'\frac{W}{L}V_{OV}^2 \tag{7.22}$$

这个关系式使我们可以把式（7.18）和式（7.19）中的 $k_n'(W/L)$ 代之以 I/V_{OV}^2，得到 i_{D1} 和 i_{D2} 的另一种表达形式：

$$i_{D1}=\frac{I}{2}+\left(\frac{I}{V_{OV}}\right)\left(\frac{v_{id}}{2}\right)\sqrt{1-\left(\frac{v_{id}/2}{V_{OV}}\right)^2} \tag{7.23}$$

$$i_{D2}=\frac{I}{2}-\left(\frac{I}{V_{OV}}\right)\left(\frac{v_{id}}{2}\right)\sqrt{1-\left(\frac{v_{id}/2}{V_{OV}}\right)^2} \tag{7.24}$$

上面两式描述了差模输入信号 v_{id} 对电流 i_{D1} 和 i_{D2} 的影响。由此可以绘出图 7.6 所示的 i_{D1}/I 和 i_{D2}/I 对 v_{id}/V_{OV} 的归一化曲线。注意，当 $v_{id}=0$ 时，两个电流均为 $I/2$。随着 v_{id} 正值增加，i_{D1} 增大的部分和 i_{D2} 减少的部分相等，使得两者的电流之和维持为常数，即 $i_{D1}+i_{D2}=I$。当 v_{id} 达到 $\sqrt{2}V_{OV}$ 时，电流全部流经 Q_1，如同先前讨论的。若 v_{id} 为负值，同前所述，但是要把 i_{D1} 和 i_{D2} 互换一下，而且当 v_{id} 达到 $-\sqrt{2}V_{OV}$ 时，电流全部流经 Q_2。

从式（7.23）、式（7.24）和图 7.6 中可知，传输特性是非线性的。这是因为含有 v_{id}^2 项。因为我们只关心差分对的线性应用，因此应当使这一项尽可能小。对给定的 V_{OV}，我们只能使（$v_{id}/2$）远小于 V_{OV} 并作为小信号近似的条件。由此，

$$i_{D1}\simeq\frac{I}{2}+\left(\frac{I}{V_{OV}}\right)\left(\frac{v_{id}}{2}\right) \tag{7.25}$$

$$i_{D2}\simeq\frac{I}{2}-\left(\frac{I}{V_{OV}}\right)\left(\frac{v_{id}}{2}\right) \tag{7.26}$$

正如预料的那样，i_{D1} 增加的部分 i_d 恰好就是 i_{D2} 中减小的部分。这里 i_d 正比于差模输入信号 v_{id}：

$$i_d=\left(\frac{I}{V_{OV}}\right)\left(\frac{v_{id}}{2}\right) \tag{7.27}$$

回想一下第 4 章和 6.2 节（参考表 6.3）中关于 MOSFET 的内容，偏置于电流 I_D 的 MOSFET 的跨导为 $g_m=2I_D/V_{OV}$，我们意识到式（7.27）中的因子（I/V_{OV}）就是 Q_1 和 Q_2 的 g_m，因为它们的偏置电流均为 $I_D=I/2$。那么为什么是 $v_{id}/2$ 呢？很简单，因为 v_{id} 被平均分配给了两个晶体管器件，$v_{gs1}=v_{id}/2$，$v_{gs2}=-v_{id}/2$，它们分别导致 Q_1 中的电流增加 i_d，而 Q_2 的电流减小 i_d。我们很快就要分析 MOS 差分对的小信号特性。不过目前我们还是回到式（7.23）和式（7.24）。从中

可知，增加 Q_1 和 Q_2 工作时的过驱动电压 V_{OV} 可以扩大放大器的线性范围。这可以通过采用（W/L）比值更小的晶体管来实现。增加线性范围的代价就是 g_m 的减小，也就是增益的降低。基于这种想法，图 7.6 所示的归一化曲线虽然简单，但没有反映出设计上的自由度。图 7.7 给出了不同 V_{OV} 的 $i_{D1,2}/I$ 与 v_{id} 的归一化传输特性曲线，这里假设 I 是固定的。从中可以明显看出，线性度（linearity）和跨导二者不可兼得：通过增加 V_{OV}（即采用更小的 W/L 器件）可以扩大线性范围，但付出的代价就是 g_m 和增益的减小。当然，这里的折中基于 I 保持为定值的假设。虽然可以通过提高偏置电流来获取更大的 g_m，然而这样做的代价是增加功率的消耗。在集成电路设计中，功耗是被严格限制的

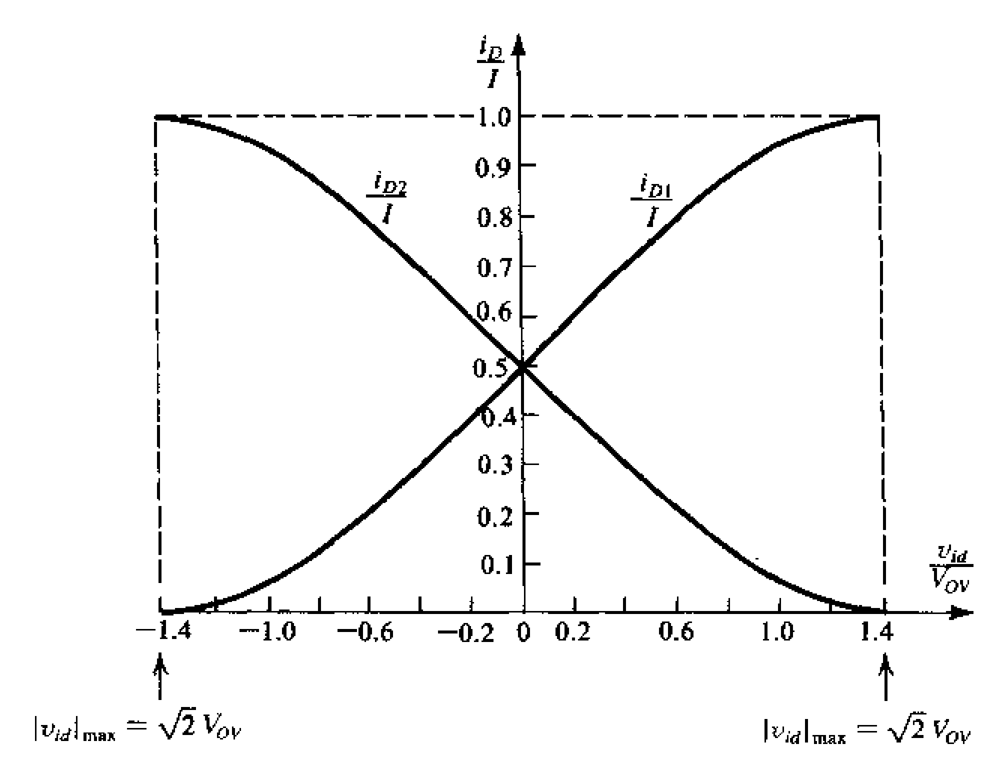


图 7.6 MOS 差分对中电流的归一化曲线。注意过驱动电压 V_{ov} 对应于 Q_1 和 Q_2 中相等的漏极电流 $I/2$

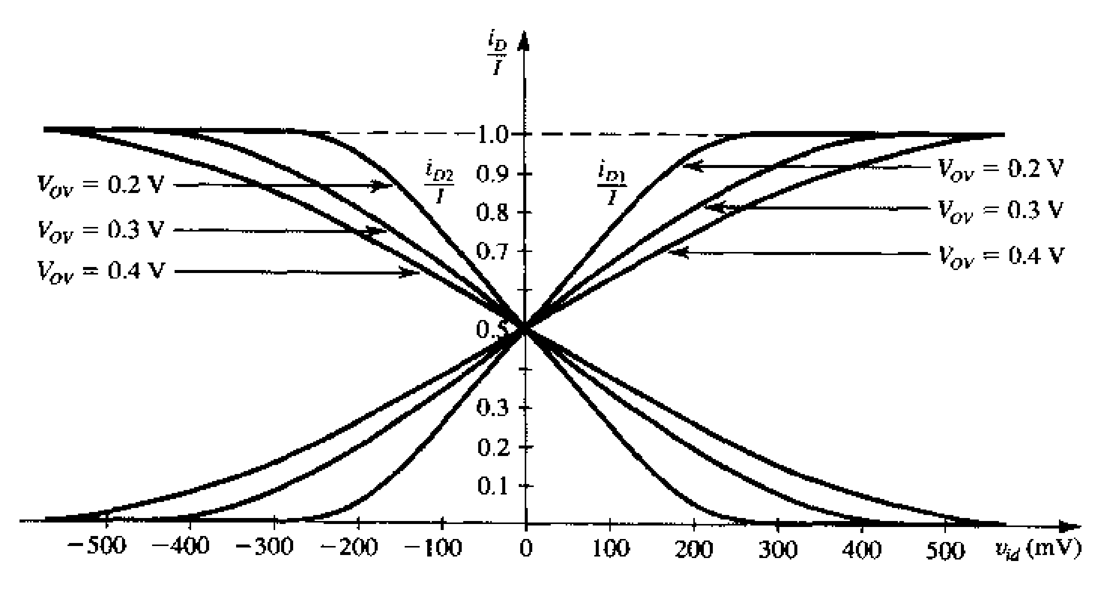


图 7.7 令 MOS 差分对工作于更高数值的 V_{ov} 上可以扩展其线性范围

练习 7.3　MOS 差分对工作于偏置电流 $I = 0.4\,\text{mA}$。如果 $\mu_n C_{ox} = 0.2\,\text{mA/V}^2$，对 $V_{OV} = 0.2\,\text{V}$，0.3 V 和 0.4 V，分别求出所需要的 W/L 的值以及相应的 g_m。对每个值，求出 $|v_{id}|$ 的最大值，使得式（7.23）和式（7.24）中的 v_{id}^2 项［也就是 $((v_{id}/2)/V_{OV})^2$ 项］不大于 0.1。

答案：

V_{OV}(V)	0.2	0.3	0.4
W/L	50	22.2	12.5
g_m(mA/V)	2	1.33	1
$\lvert v_{id}\rvert_{max}$(mV)	126	190	253

7.2　MOS 差分对的小信号工作特性

本节将介绍差分对的基本工作原理，并且分析它作为线性放大器工作时的某些细节。

7.2.1　差模增益

如图 7.8（a）所示的 MOS 差分对的输入电压为

$$v_{G1} = V_{CM} + \frac{1}{2}v_{id} \tag{7.28}$$

和

$$v_{G2} = V_{CM} - \frac{1}{2}v_{id} \tag{7.29}$$

这里，V_{CM} 表示的是在共模输入范围内的共模直流电压。我们需要用它来设置 MOSFET 栅极的直流电压。一般来说，V_{CM} 取电源电压值的一半。在本例题中，这对电源是互补的，所以 $V_{CM} = 0\,\text{V}$。

差模输入电压 v_{id} 以互补（平衡）方式接入，也就是说，v_{G1} 增加 $v_{id}/2$，同时 v_{G2} 必然减少 $v_{id}/2$，比如当差分放大器以另一个差分放大器的输出作为输入时就是这种情况。虽然有时差分输入以单端形式出现，如图 7.4 所示，然而就我们目前所讨论的情况看，这之中的差异是微不足道的。

如同图 7.8（a）所示，放大器的输出既可以取自某个晶体管的漏极和地之间，也可以取自两个漏极之间。对第一种情况，单端输出的结果 v_{o1} 和 v_{o2} 是叠加在漏极直流电压（$V_{DD} - \frac{I}{2}R_D$）之上的。但输出电压若取自两个漏极之间就不是这样了：差模输出电压 v_o（其直流分量为 0 V）完全由信号分量构成。我们接着会讲到电压取自双端输出的另一些突出优点。

现在我们的目的是要分析图 7.8（a）中差分放大器的小信号工作特性，即确定它对输入信号 v_{id} 的电压增益。为此，除去直流电源和 V_{CM} 可得到图 7.8（b）所示的电路。我们暂时忽略 MOSFET 中 r_o 的影响，如同本章开始时不考虑衬底效应（即继续假设 $\chi = 0$）那样。最后我们注意到 Q_1 和 Q_2 的直流偏置电流均为 $I/2$，过驱动电压为 V_{OV}。

因为 v_{id} 以平衡方式接入，而且电路又是对称的，因此源极的连接点必定信号接地。这样 Q_1 的栅源电压信号为 $v_{gs1} = v_{id}/2$，而 Q_2 的栅源电压信号为 $v_{gs2} = -v_{id}/2$。假设 $v_{id}/2 \ll V_{OV}$，满足小信号近似条件，则 Q_1 和 Q_2 的漏极电流的变化量将分别正比于 v_{gs1} 和 v_{gs2}。即 Q_1 漏极电流的增加量为 $g_m(v_{id}/2)$，Q_2 漏极电流的减少量为 $g_m(v_{id}/2)$，其中 g_m 表示两个晶体管相等的跨导：

$$g_m = \frac{2I_D}{V_{OV}} = \frac{2(I/2)}{V_{OV}} = \frac{I}{V_{OV}} \tag{7.30}$$

这些结论和之前从大信号传输特性利用小信号条件得出的结论相符，见式（7.25）到式（7.27）

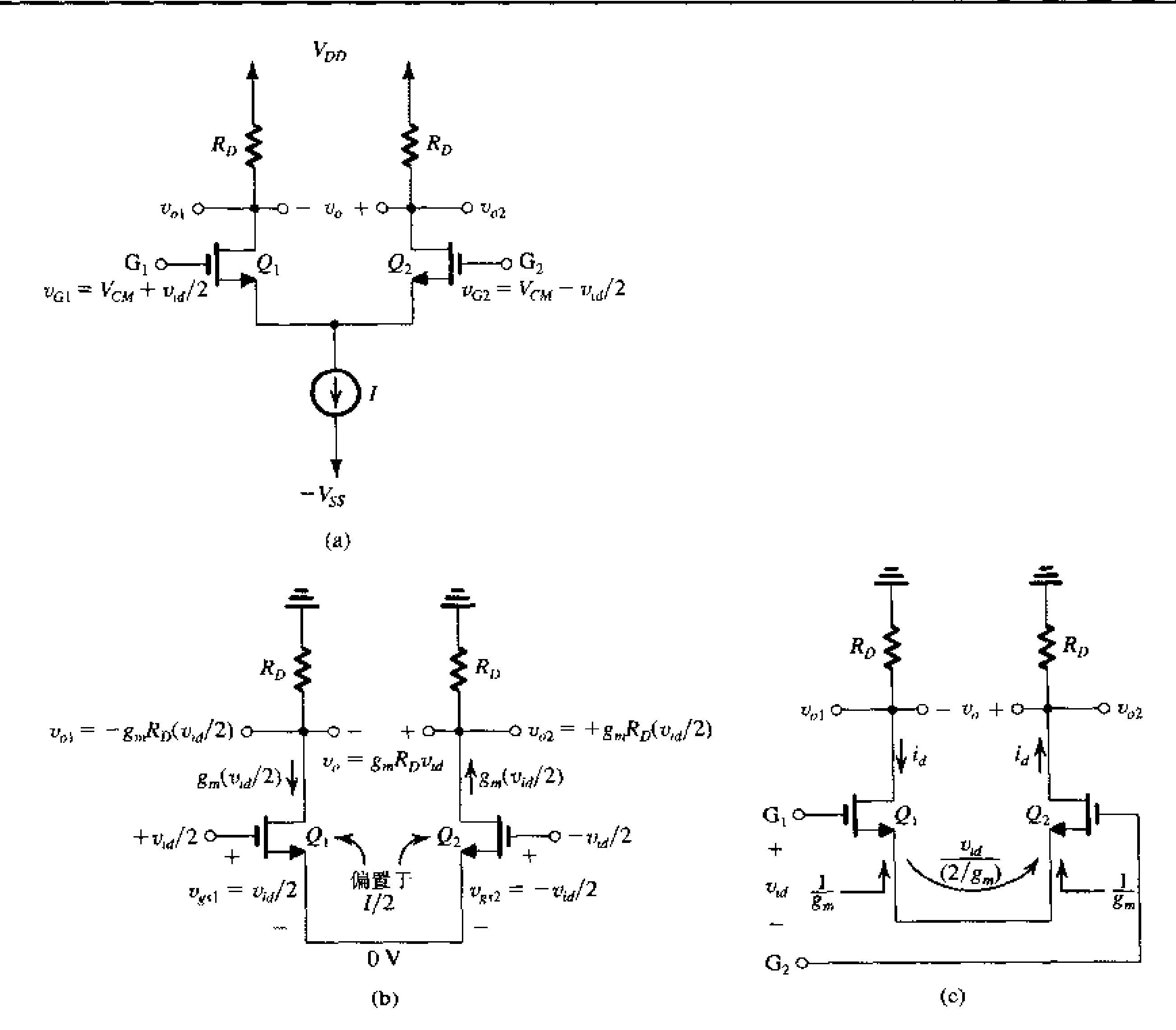


图 7.8 MOS 差分放大器的小信号分析：（a）电路的共模电压用于设置栅极的直流电位，v_{id} 以互补（平衡）方式接入；（b）用于小信号分析的电路；（c）以另一种方式看待电路的小信号分析

再次观察发现，电路没有使用大容量的旁路电容，却在晶体管的源极建立了信号接地点，显然这是差分对结构的重要优点之一。

差分对工作的精髓就是，它在漏极产生了一对互补的电流信号，对于因此而得到的差分对，我们要做的工作从某种意义上说仅仅是一个分离的问题。当然，我们可以简单地认为两个电流信号通过一对匹配的电阻 R_D，于是可以得出漏极的电压信号：

$$v_{o1} = -g_m \frac{v_{id}}{2} R_D \tag{7.31}$$

和

$$v_{o2} = +g_m \frac{v_{id}}{2} R_D \tag{7.32}$$

如果取单端输出，增益即为

$$\frac{v_{o1}}{v_{id}} = -\frac{1}{2} g_m R_D \tag{7.33}$$

或

$$\frac{v_{o2}}{v_{id}} = \frac{1}{2} g_m R_D \tag{7.34}$$

如果取差分输出，增益就变为

$$A_d \equiv \frac{v_{o2} - v_{o1}}{v_{id}} = g_m R_D \tag{7.35}$$

因此，采取差分输出的另一个优点就是增益提高了两倍（6 dB）。不过应当注意到，尽管差分输出有许多优势，但是在某些应用中还是要采用单端输出，具体内容将在后面涉及。

另一个比较有用的观察差分放大器对的工作随差模输入电压 v_{id} 变化情况的方法如图 7.8（c）所示。这里我们利用了从 MOSFET 源极视入的栅极和源极之间的等效电阻为 $1/g_m$ 这个事实。于是，G_1 和 G_2 之间位于源极的总电阻为 $2/g_m$。这表明电流 i_d 可以简单地通过 v_{id} 除以 $2/g_m$ 得到。

MOSFET 的 r_o 影响　下一步我们考虑 Q_1 和 Q_2 的有限输出电阻 r_o 的影响。同样，我们做一个符合实际情况的假设，偏置电流源 I 含有有限输出电阻 R_{SS}。相应来说，用于小信号分析的差分对电路如图 7.9（a）所示。我们注意到电路完全对称，公共源极处的电压信号为零。于是，通过 R_{SS} 的信号电流为零，可见 R_{SS} 对差模增益不起作用。

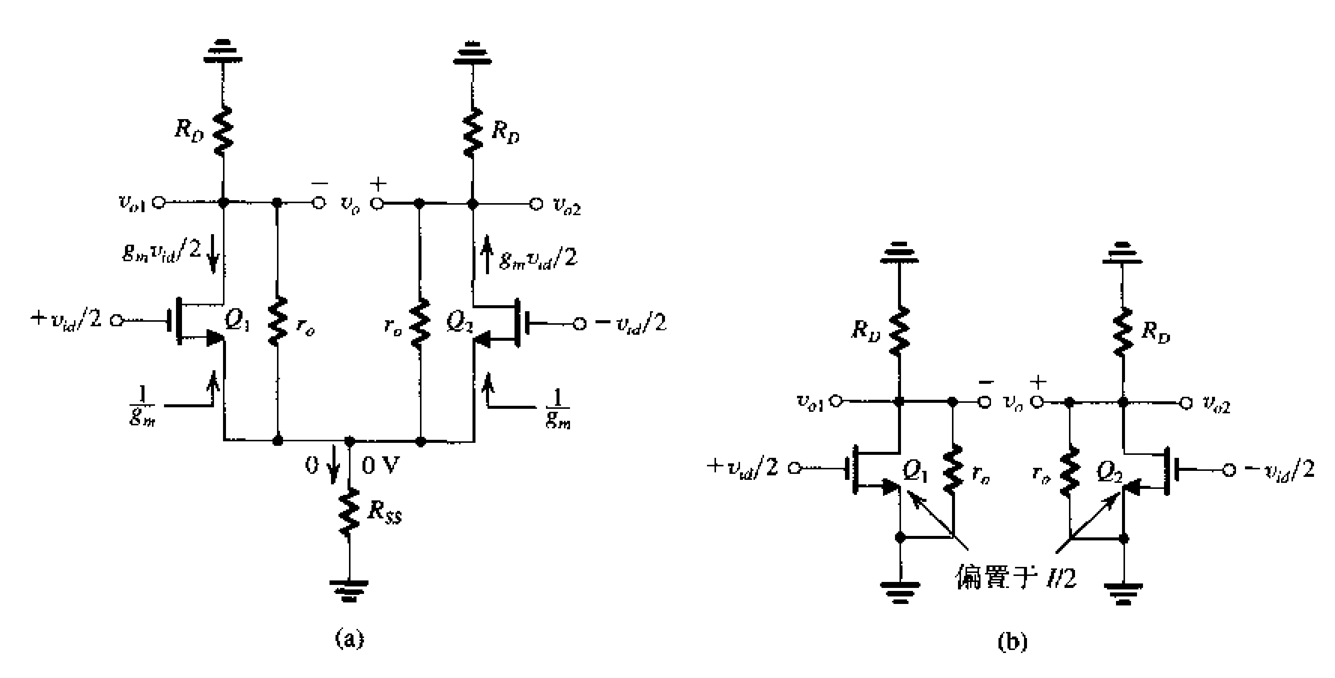


图 7.9　（a）考虑 r_o 和 R_{SS} 的差分放大器；（b）确定差模增益的等效电路。每一个差分放大器的半电路都是共源组态，因此也称为"差模半电路"

公共源极的虚地点使我们能够得到图 7.9（b）所示的等效电路。它由两个完全相同的共源放大器组成，一个输入为 $+v_{id}/2$，另一个为 $-v_{id}/2$。显然，我们只需要分析其中的任何一个电路（包括我们之后要讨论的频率响应）。每个共源电路都被称为差模半电路。

从图 7.9（b）所示的等效电路得出

$$v_{o1} = -g_m(R_D \parallel r_o)(v_{id}/2) \tag{7.36}$$

$$v_{o2} = g_m(R_D \parallel r_o)(v_{id}/2) \tag{7.37}$$

$$v_o = v_{o2} - v_{o1} = g_m(R_D \| r_o)v_{id} \tag{7.38}$$

练习7.4 一个MOS差分对工作在总偏置电流0.8 mA上。采用的晶体管具有以下参数：$W/L = 100$，$\mu_n C_{ox} = 0.2\ \text{mA/V}^2$，$V_A = 20\ \text{V}$，$R_D = 5\ \text{k}\Omega$。求$V_{OV}$，$g_m$，$r_o$和$A_d$。

答案：0.2 V；4 mA/V；50 kΩ；18.2 V/V

7.2.2 共模增益与共模抑制比（CMRR）

接下来考虑MOS差分与共模输入信号v_{icm}的输出响应，电路如图7.10（a）所示。此处v_{icm}代表作用于两输入端的噪声或干扰信号。尽管没有画出，输入端的直流分量仍然用我们先前讲过的V_{CM}表示。

由于电路的对称性，我们可将电路分成相同的两半，如图7.10（b）所示。被称为共模半电路的是含源极电阻$2R_{SS}$的MOSFET共源放大电路。偏置电流为$I/2$。忽略电阻r_o的影响，可以写出每个半电路的相同的电压增益：

$$\frac{v_{o1}}{v_{icm}} = \frac{v_{o2}}{v_{icm}} = -\frac{R_D}{\dfrac{1}{g_m} + 2R_{SS}} \tag{7.39}$$

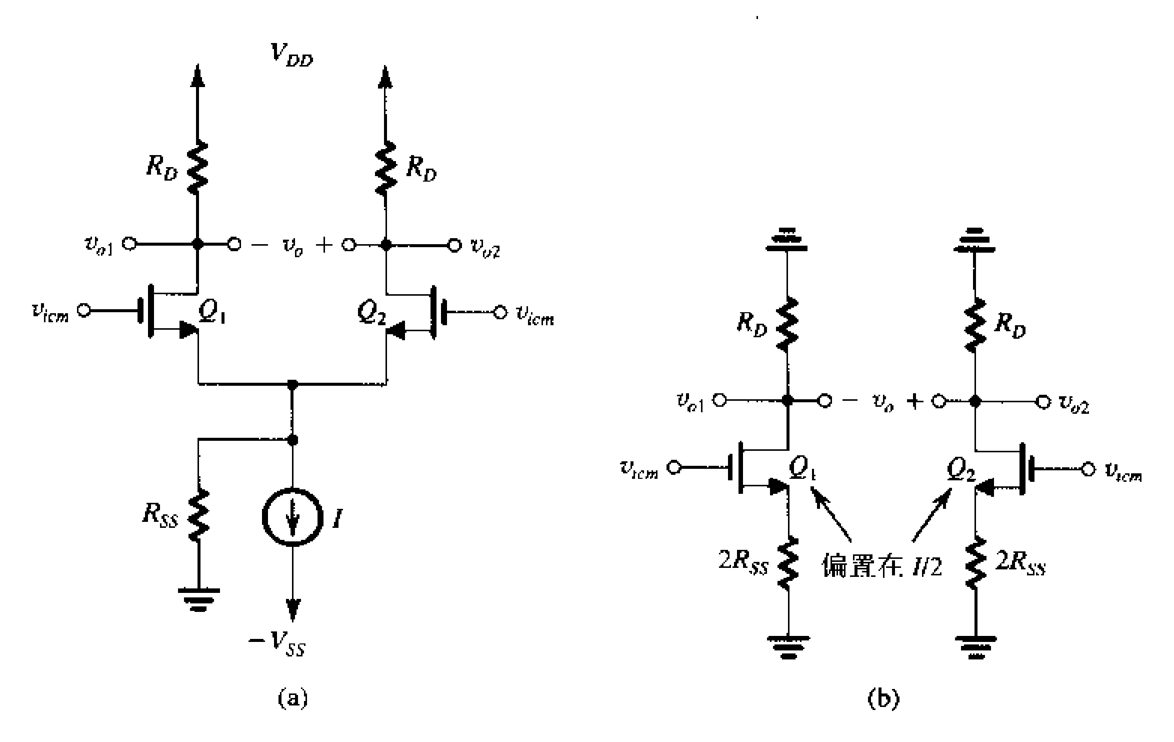


图7.10 （a）接共模输入信号v_{icm}的MOS差分放大器；（b）确定共模增益（忽略r_o）的等效电路。每半个电路被称为“共模半电路”

通常，$R_{SS} \gg 1/g_m$，上式可近似为

$$\frac{v_{o1}}{v_{icm}} = \frac{v_{o2}}{v_{icm}} \cong -\frac{R_D}{2R_{SS}} \tag{7.40}$$

现在考虑两种情况：

（a）差分对的输出是单端的：

$$|A_{cm}| = \frac{R_D}{2R_{SS}} \tag{7.41}$$

$$|A_d| = \frac{1}{2} g_m R_D \tag{7.42}$$

由此定义的共模抑制比为

$$\text{CMRR} \equiv \left|\frac{A_d}{A_{cm}}\right| = g_m R_{SS} \tag{7.43}$$

（b）差分对的输出是差分的：

$$A_{cm} = \frac{v_{o2} - v_{o1}}{v_{icm}} = 0 \tag{7.44}$$

$$A_d = \frac{v_{o2} - v_{o1}}{v_{id}} = g_m R_D \tag{7.45}$$

即

$$\text{CMRR} = \infty \tag{7.46}$$

因此，尽管 R_{SS} 是有限的，但是差分输出时的 CMRR 却是无限的。然而只有当电路完全对称时，该结论才正确。

R_D 失配对 CMRR 的影响 当两个漏极电阻不可避免地存在 ΔR_D 的差异时，即使取差模输出，共模抑制比也将会是有限值。为更深入地了解这一点，考虑图 7.10（b）所示的电路，设 Q_1 的负载为 R_D，而 Q_2 的负载为 $(R_D + \Delta R_D)$。由 v_{icm} 引起的漏极信号电压为

$$v_{o1} \simeq -\frac{R_D}{2R_{SS}} v_{icm} \tag{7.47}$$

$$v_{o2} \simeq -\frac{R_D + \Delta R_D}{2R_{SS}} v_{icm} \tag{7.48}$$

故

$$v_{o2} - v_{o1} = -\frac{\Delta R_D}{2R_{SS}} v_{icm} \tag{7.49}$$

换句话说，R_D 的失配导致共模输入信号 v_{icm} 产生了差模输出信号。显然我们不希望如此！式（7.49）表明共模增益为

$$A_{cm} = -\frac{\Delta R_D}{2R_{SS}} \tag{7.50}$$

此外还可以写成另外一种形式：

$$A_{cm} = -\frac{R_D}{2R_{SS}}\left(\frac{\Delta R_D}{R_D}\right) \tag{7.51}$$

因为 R_D 的失配对差模增益的影响甚微，故可得

$$A_d \simeq -g_m R_D \tag{7.52}$$

将式（7.51）和式（7.52）结合起来，得出用失配程度 $(\Delta R_D / R_D)$ 表示的 CMRR 为

$$\mathrm{CMRR}=\left|\frac{A_d}{A_{cm}}\right|=(2g_mR_{SS})\bigg/\left(\frac{\Delta R_D}{R_D}\right) \tag{7.53}$$

练习 7.5 MOS 差分对工作在 0.8 mA 的偏置电流上。晶体管 $W/L=100$ 且 $\mu_nC_{ox}=0.2\ \mathrm{mA/V^2}$，$R_D=5\ \mathrm{k\Omega}$，$R_{SS}=25\ \mathrm{k\Omega}$。

（a）如果电路完全对称，求单端输出时的差模增益、共模增益和共模抑制比（dB）。

（b）如果差分输出，重复（a）。

（c）如果漏极电阻有 1%的失配且为差分输出，重复（a）。

答案：（a）10 V/V，0.1 V/V，40 dB；（b）20 V/V，0 V/V，∞ dB；（c）20 V/V，0.001 V/V，86 dB

g_m 失配对 CMRR 的影响 下面分析两个 MOSFET 的跨导 g_m 的失配对差分对 CMRR 的影响。既然电路不再匹配，我们就不能进行半电路分析了，而是参考图 7.11 所示的电路写出

$$i_{d1}=g_{m1}v_{gs1} \tag{7.54}$$

$$i_{d2}=g_{m2}v_{gs2} \tag{7.55}$$

因为 $v_{gs1}=v_{gs2}$，结合式（7.54）和式（7.55）得到

$$\frac{i_{d1}}{i_{d2}}=\frac{g_{m1}}{g_{m2}} \tag{7.56}$$

在 R_{SS} 电阻上得到这两个电路之和产生的电压为

$$v_s=(i_{d1}+i_{d2})R_{SS}$$

所以，

$$i_{d1}+i_{d2}=\frac{v_s}{R_{SS}} \tag{7.57}$$

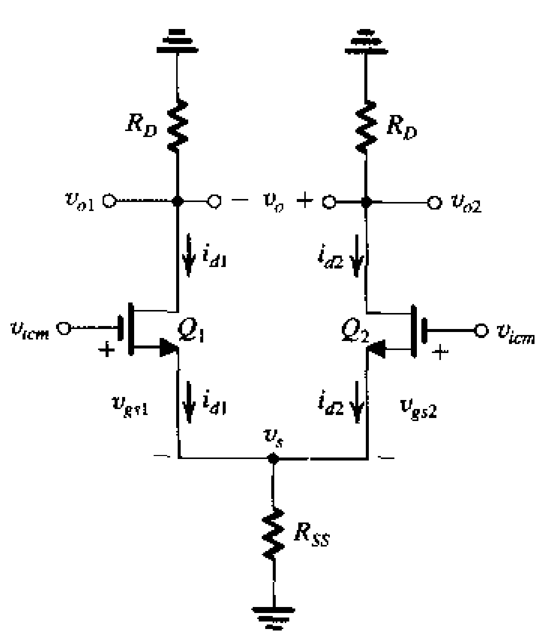


图 7.11 确定 MOS 差分对由于 Q_1 和 Q_2 的 g_m 不匹配而产生的共模增益的分析过程

由于 Q_1 和 Q_2 实际上作为源极跟随器工作，源极电阻 R_{SS} 又远大于 $1/g_m$，因此，

$$v_s \cong v_{icm} \tag{7.58}$$

重写式（7.57）得到

$$i_{d1}+i_{d2} \cong \frac{v_{icm}}{R_{SS}} \tag{7.59}$$

现在联立式（7.56）和式（7.59），得到

$$i_{d1}=\frac{g_{m1}v_{icm}}{(g_{m1}+g_{m2})R_{SS}} \tag{7.60}$$

$$i_{d2}=\frac{g_{m2}v_{icm}}{(g_{m1}+g_{m2})R_{SS}} \tag{7.61}$$

如果 g_{m1} 和 g_{m2} 存在很小的失配 Δg_m（也就是 $g_{m1}-g_{m2}=\Delta g_m$），我们能够假设 $g_{m1}+g_{m2}\simeq 2g_m$，其中，g_m 是 g_{m1} 和 g_{m2} 的平均值。则有

$$i_{d1}=\frac{g_{m1}v_{icm}}{2g_mR_{SS}} \tag{7.62}$$

和

$$i_{d2}=\frac{g_{m2}v_{icm}}{2g_mR_{SS}} \tag{7.63}$$

现在求差分输出电压：

$$\begin{aligned} v_{o2}-v_{o1} &= -i_{d2}R_D+i_{d1}R_D \\ &= R_D(i_{d1}-i_{d2})=\frac{\Delta g_mR_D}{2g_mR_{SS}}v_{icm} \end{aligned}$$

从中可以得到共模增益为

$$A_{cm}=\left(\frac{R_D}{2R_{SS}}\right)\left(\frac{\Delta g_m}{g_m}\right) \tag{7.64}$$

由于 g_m 的失配对差模增益 A_d 的影响可以忽略，那么

$$A_d \simeq -g_mR_D \tag{7.65}$$

因而 CMRR 为

$$\text{CMRR} \equiv \left|\frac{A_d}{A_{cm}}\right|=(2g_mR_{SS})\Big/\left(\frac{\Delta g_m}{g_m}\right) \tag{7.66}$$

该等式和 R_D 失配得到的结果［见式（7.53）］非常相似，值得关注。

练习 7.6 对于练习 7.5 中描述的具有差分输出的 MOS 放大器，计算 g_m 具有 1%失配时的 CMRR。

答案：86 dB

7.3 BJT 差分对

图 7.12 所示是 BJT 差分对的基本结构。与 MOSFET 相似，它有两个匹配的晶体管 Q_1 和 Q_2。它们的射极连接在一起并由恒流源 I 提供偏置，后者通常由晶体管电路实现，我们在 6.3 节和 6.12 节中已经介绍过这方面的内容。尽管图中集电极通过电阻 R_C 连接到正电源 V_{CC}，但对差分对而言，

这并非完全必要。在有些应用中，两个集电极可以连接其他晶体管以代替电阻负载。有一点很重要，集电极电路从不会使 Q_1 和 Q_2 进入饱和状态

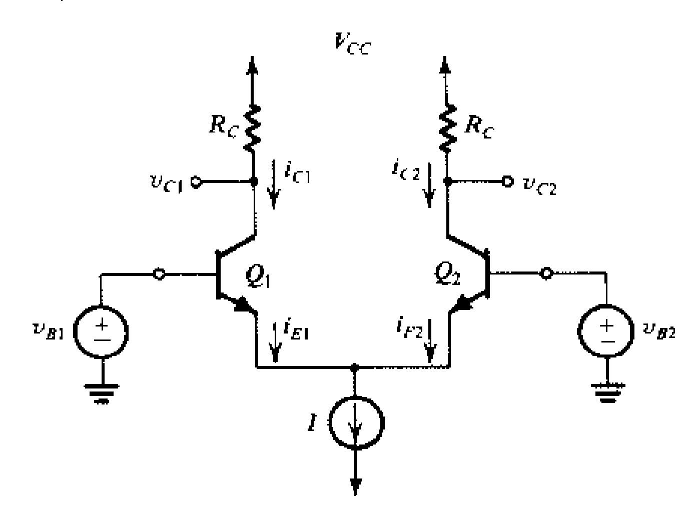


图 7.12　基本 BJT 差分对结构

7.3.1　基本工作原理

为了解 BJT 差分对是如何工作的，首先考虑两个基极接在一起然后共同连接到共模电压 v_{CM} 的情况。如图 7.13（a）所示，即 $v_{B1} = v_{B2} = v_{CM}$。因为 Q_1 和 Q_2 匹配，同时假定电流源 I 理想，其输出电阻无穷大，并由对称性可知 I 被平均分配给两个晶体管，即有 $i_{E1} = i_{E2} = I/2$，同时射极电压为 $v_{CM} - V_{BE}$，其中 V_{BE} 是对应射极电流 $I/2$ 的基射极电压[假定在图 7.13(a)中近似为 0.7 V]。相应的集电极的电流也是 $I/2$。每个晶体管的集电极电压为 $V_{CC} - \frac{1}{2}\alpha I R_C$，因此两个集电极之间的电压为零。

现在我们改变共模输入信号 v_{CM} 的值。显然，只要 Q_1 和 Q_2 始终处于放大区，电流 I 将被 Q_1 和 Q_2 等分。因此集电极的电压保持不变。也就是说差分对对共模输入信号不产生响应。

考虑另一种情况，令 v_{B2} 保持常数不变，比如为零（将 B_2 接地），并设 $v_{B1} = +1$ V[如图 7.13（b）所示]。通过简单推理即知 Q_1 将导通而 Q_2 截止，电流 I 完全通过 Q_1。因为 Q_1 导通(有 $V_{BE1} = 0.7$ V)，射极电压近似为+0.3 V，这将导致 Q_2 的发射结反偏，所以集电极电压为 $v_{C1} = V_{CC} - \alpha I R_C$，而 $v_{C2} = V_{CC}$。

现在将 v_{B1} 改变为−1 V[见图 7.13（c）]。同样可以推出此时 Q_1 截止而 Q_2 导通，电流 I 完全通过 Q_2。那么射极电压为−0.7 V，这意味着 Q_1 的发射结反偏电压为 0.3 V。所以，集电极电压为 $v_{C1} = V_{CC}$，$v_{C2} = V_{CC} - \alpha I R_C$。

从以上分析可知，差分对对于较大数值的差模（差分）信号有响应。事实上，即使是相对较小的差模信号，也能使偏置电流完全从差分对的一边流向另一边。差分对的这种电流控制特性在逻辑电路中非常有用，这将在第 11 章中有所阐述。事实上，读者很容易想到用差分对实现的单刀双掷开关（即在图 1.33 中用以实现电流模的反相器）。

为了了解 BJT 差分对如何作为线性放大器工作，我们施加一个很小的信号(通常为几个毫伏)，这将导致其中一个晶体管流过的电流为 $I/2+\Delta I$，同时另一晶体管中的电流为 $I/2-\Delta I$，其中 ΔI 是正比于差分输入电压的[见图 7.13（d）]。两个集电极之间的输出电压成为 $2\alpha \Delta I R_C$，它正比于差分输入信号 v_i。差分对的小信号分析将在 7.3 节中继续讲解。

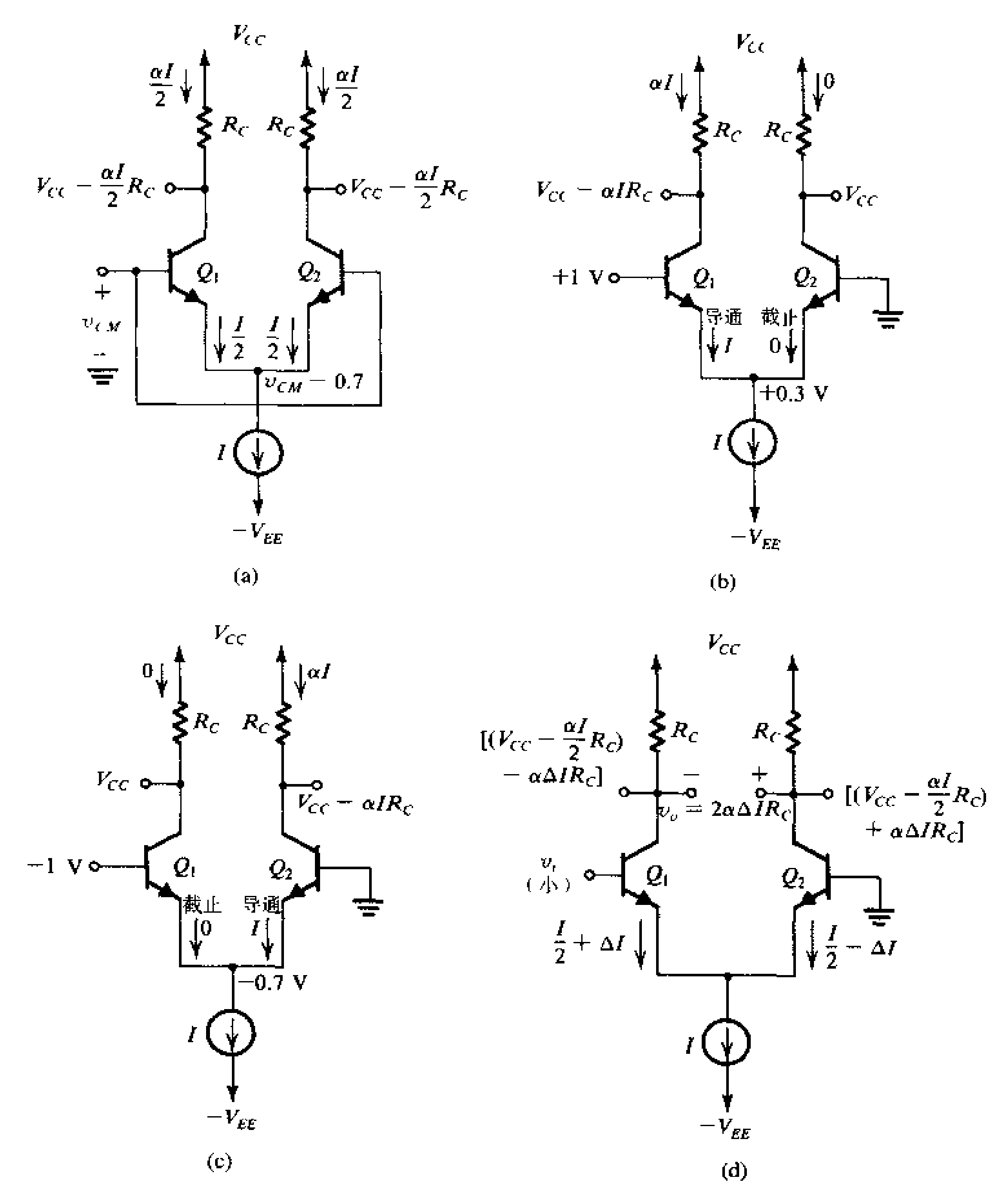


图 7.13　BJT 差分对的不同工作模式：（a）差分对接共模输入信号 v_{CM}；（b）差分对接“大幅度”的差分输入信号；（c）差分对接与（b）中极性相反的“大幅度”差分输入信号；（d）差分对接差分输入小信号 v_i。注意，我们假设偏置电流源是理想的（即其输出电阻为无穷大），因此当 v_{CM} 变化时电流 I 保持不变

练习 7.7　考虑图 E7.7 所示的电路，求 v_E，v_{C1} 和 v_{C2}。假定晶体管导通时 $|v_{BE}|$ 近似为 0.7 V，且有 $\alpha \simeq 1$。

答案：+0.7 V；−5 V；−0.7 V

7.3.2　大信号工作特性

现对图 7.12 中的 BJT 差分对做一般性分析。将射极公共端的电压记为 v_E，将指数关系应用到晶体管上，可写出

$$i_{E1}=\frac{I_S}{\alpha}e^{(v_{B1}-v_E)/V_T} \tag{7.67}$$

$$i_{E2}=\frac{I_S}{\alpha}e^{(v_{B2}-v_E)/V_T} \tag{7.68}$$

联立上面两式，得到

$$\frac{i_{E1}}{i_{E2}}=e^{(v_{B1}-v_{B2})/V_T}$$

该式可以改写成

$$\frac{i_{E1}}{i_{E1}+i_{E2}}=\frac{1}{1+e^{(v_{B2}-v_{B1})/V_T}} \tag{7.69}$$

$$\frac{i_{E2}}{i_{E1}+i_{E2}}=\frac{1}{1+e^{(v_{B1}-v_{B2})/V_T}} \tag{7.70}$$

电路有下面的约束：

$$i_{E1}+i_{E2}=I \tag{7.71}$$

利用式（7.71）并结合式（7.69）和式（7.70），代入 $v_{B1}-v_{B2}=v_{id}$，有

$$i_{E1}=\frac{I}{1+e^{-v_{id}/V_T}} \tag{7.72}$$

$$i_{E2}=\frac{I}{1+e^{v_{id}/V_T}} \tag{7.73}$$

将式（7.72）和式（7.73）中的射极电流乘以 α（通常很接近于 1）就可求得集电极电流 i_{C1} 和 i_{C2}

式（7.72）和式（7.73）表明了差分放大器的基本特性。首先，我们注意到放大器只对差模电压 v_{id} 起作用。也就是说，如果 $v_{B1}=v_{B2}=v_{CM}$，那么无论共模电压 v_{CM} 的值如何，电流 I 都将被两个晶体管等分。这就是差分放大器的本质，也是差分放大器名字的由来。

另外值得注意的一点是：即使很小的差模电压 v_{id} 也可以导致电流 I 几乎完全通过某一个晶体管。图 7.14 所示的是集电极电流对于差模输入信号的曲线（假定 $\alpha \simeq 1$）。这是一个通用的归一化曲线。从图中可以看到，$4V_T$ 的差模电压（大约为 100 mV）就足以使电流几乎完全通过 BJT 对的一边。这个数值远小于 MOS 对的相应电压 $\sqrt{2}V_{OV}$。由于这么小的信号就能使电流在 BJT 对的两边切换，从而表明 BJT 差分对是能够作为快速电流开关工作的。差分对能够作为快速开关工作的另一个原因是在工作中两个晶体管都没有饱和。读者可以回想一下第 5 章中的内容，晶体管饱和时，其基区会有电荷堆积；而当器件截止时，这些电荷必须被释放掉。通常这个释放的过程是很缓慢的，由此会引起反相器工作速度的降低。因为 BJT 差分对正常工作时没有饱和①状态的特性，因此产生了一类快速逻辑电路族（见第 11 章）。

本章后面的内容将不再考虑图 7.14 所示的差分对的非线性传输特性曲线。我们更感兴趣的是差分对小信号放大特性的应用。因此，差模输入信号将被限制为小于 $V_T/2$，这样差分放大器就工作在中点 x 附近的线性区域（见图 7.14）。

在结束 BJT 差分对大信号特性的介绍之前，我们要说明一种经常被用做扩展线性区域的有效方法。它是在 Q_1 和 Q_2 的发射极上分别串联上两个等值的电阻 R_e，如图 7.15（a）所示。图 7.15（b）显示了对应三种不同 R_e 值的传输特性曲线。可以看出扩展线性区域的代价就是 g_m（也就是传输特性曲线在 $v_{id}=0$ 处的斜率）的减少，由此也导致增益的下降。这样的结果并不令人吃惊，这里的 R_e 扮演了与含射极电阻的 CE 放大器中 R_e 相同的角色（见 6.9.2 节）。最后，我们注意到这种线

① 回想一下 BJT 饱和的含义与 MOSFET 完全不同。

性化的技术实际上与 MOS 差分对使用的方法相对应（见图 7.7）。只是对于后者，V_{OV} 是通过改变晶体管 W/L 的比值来实现的，但 BJT 中不存在这样的设计方法。

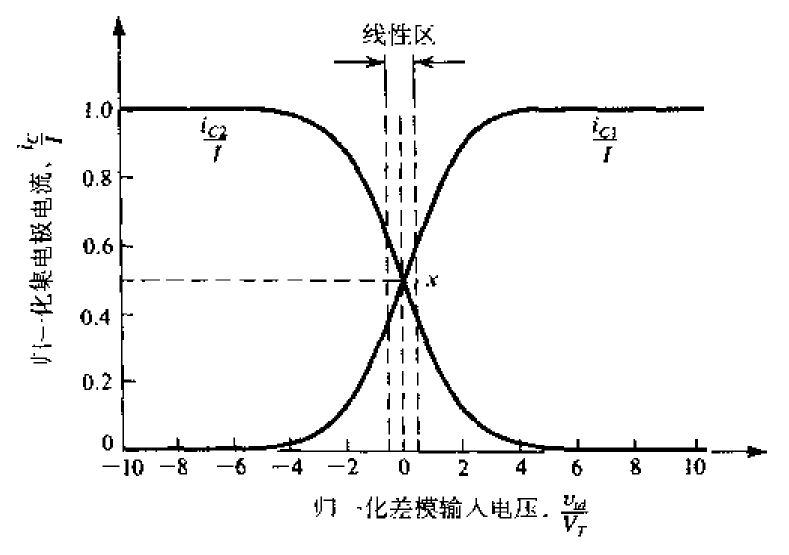
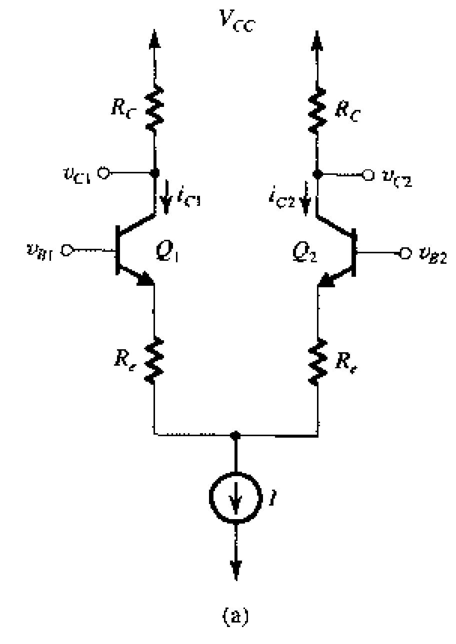
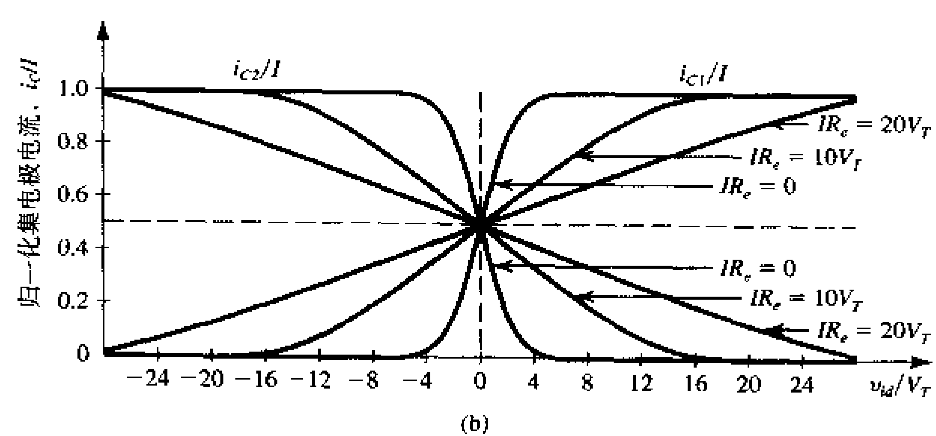


图 7.14 图 7.12 所示的 BJT 差分对的传输特性，假设 $\alpha = 1$



(a)



(b)

图 7.15 通过增加射极电阻可将 BJT 差分对（a）的传输特性曲线可被线性化（b）（比如线性工作范围的扩展）

练习 7.8 对图 7.12 所示的 BJT 差分对，求足以使 $i_{E1}=0.99I$ 的差模输入电压的值。

答案： 115 mV

7.3.3 小信号工作特性

本节将介绍 BJT 差分对小信号放大特性的应用。图 7.16 所示的是两个基极之间接有差分电压 v_{id} 的 BJT 差分对。图中隐含地说明了输入端的直流信号（也就是共模输入电压）可以通过某种方式建立。例如，令两输入端中的一个接地而将 v_{id} 施加于另一端，或者是将差分放大器的输入端和另一个差分放大器的输出端相连。对于后一种情况，输入端之一的电压为 $V_{CM}+v_{id}/2$，而另一端则为 $V_{CM}-v_{id}/2$。稍后我们将考虑共模输入的情况。

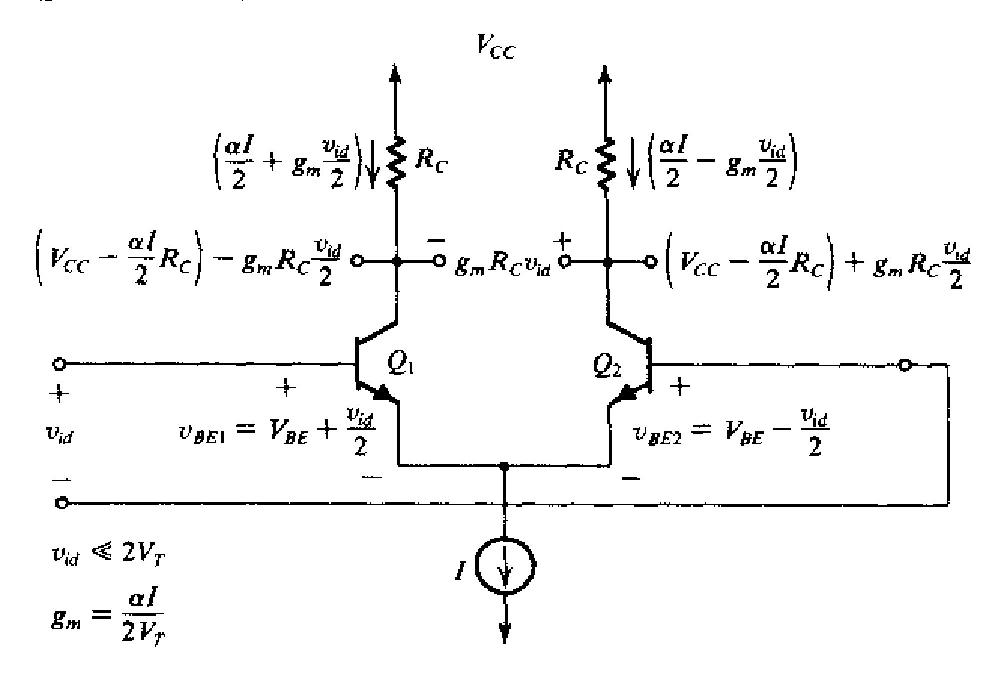


图 7.16 差分输入电压 v_{id} 较小时差分放大器的电压和电流

v_{id} 作用时的集电极电流 对图 7.16 所示的电路，我们利用式（7.72）和式（7.73）写出

$$i_{C1}=\frac{\alpha I}{1+e^{-v_{id}/V_T}} \tag{7.74}$$

$$i_{C2}=\frac{\alpha I}{1+e^{v_{id}/V_T}} \tag{7.75}$$

将式（7.74）右边的分子和分母同时乘以 $e^{v_{id}/2V_T}$，得到

$$i_{C1}=\frac{\alpha I e^{v_{id}/2V_T}}{e^{v_{id}/2V_T}+e^{-v_{id}/2V_T}} \tag{7.76}$$

假设 $v_{id}<<2V_T$，将指数项 $e^{(\pm v_{id}/2V_T)}$ 展开并保留开始的两项，可得

$$i_{C1}\simeq\frac{\alpha I(1+v_{id}/2V_T)}{1+v_{id}/2V_T+1-v_{id}/2V_T}$$

则

$$i_{C1}=\frac{\alpha I}{2}+\frac{\alpha I}{2V_T}\frac{v_{id}}{2} \tag{7.77}$$

对式（7.75）进行同样的处理，得到

$$i_{C2}=\frac{\alpha I}{2}-\frac{\alpha I}{2V_T}\frac{v_{id}}{2} \tag{7.78}$$

式（7.77）和式（7.78）告诉我们，当 $v_{id}=0$ 时，偏置电流 I 被两个晶体管等分。因此每个晶体管射极的偏置电流均为 $I/2$。当"小信号" v_{id} 差分（即两个基极之间）接入时，Q_1 的集电极电流将增加 i_c，而 Q_2 的集电极电流将减少相同的数值。这保证了 Q_1 和 Q_2 的电流之和恒定为常量，该常数受恒流偏置源的限定。增量（信号）电流分量 i_c 的大小为

$$i_c=\frac{\alpha I}{2V_T}\frac{v_{id}}{2} \tag{7.79}$$

式（7.79）解释起来很容易。首先，由电路对称性（见图 7.16）可得：差分信号 v_{id} 将被两晶体管的发射结等分，因此总的发射结电压为

$$v_{BE}\big|_{Q_1}=V_{BE}+\frac{v_{id}}{2}$$

$$v_{BE}\big|_{Q_2}=V_{BE}-\frac{v_{id}}{2}$$

其中，V_{BE} 为对应射极电流 $I/2$ 的发射结直流电压。于是，Q_1 的集电极电流将增加 $g_m v_{id}/2$，而 Q_2 的集电极电流将减少 $g_m v_{id}/2$。这里，g_m 表示 Q_1 和 Q_2 的跨导，它们的值相等且为

$$g_m=\frac{I_C}{V_T}=\frac{\alpha I/2}{V_T} \tag{7.80}$$

因此式（7.79）可简单地理解为 $i_c=g_m v_{id}/2$。

另一种观点　对上述结论，另一种极其有用的解释是：假定电流源 I 理想，则其输出电阻为无穷大。于是，电压 v_{id} 作用于总电阻 $2r_e$ 上，其中，

$$r_e=\frac{V_T}{I_E}=\frac{V_T}{I/2} \tag{7.81}$$

相应地可以得到图 7.17 中标明的信号电流 i_e 为

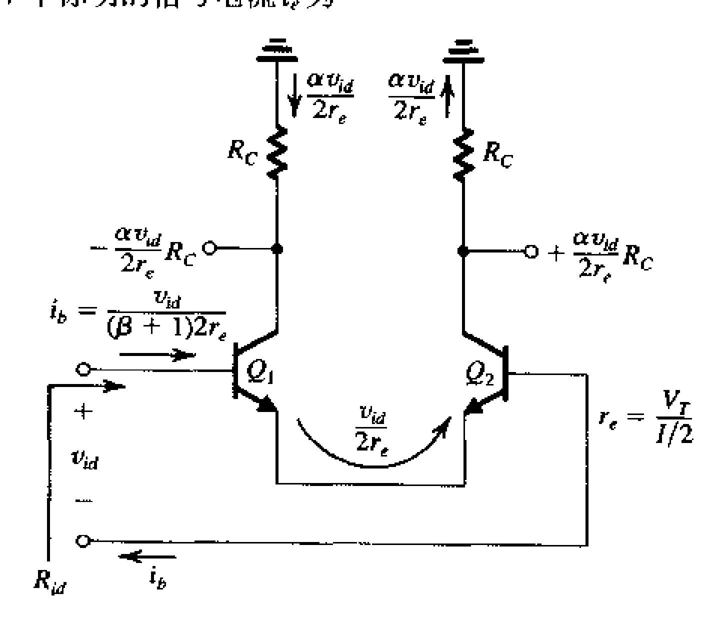


图 7.17　一种简单的确定差分放大器在差分信号 v_{id} 激励下的信号电流的技术，图中没有给出直流分量

$$i_e = \frac{v_{id}}{2r_e} \tag{7.82}$$

因此 Q_1 的集电极电流将产生增量 i_c，而 Q_2 的集电极电流则产生减量 i_c：

$$i_c = \alpha i_e = \frac{\alpha v_{id}}{2r_e} = g_m \frac{v_{id}}{2} \tag{7.83}$$

注意，图 7.17 中只标出了信号分量，但显然隐含说明了每个晶体管的射极偏置电流为 $I/2$。

这种方法应用在包含射极电阻的电路中显得很简单且有效。比如在图 7.18 所示的电路中：

$$i_e = \frac{v_{id}}{2r_e + 2R_e} \tag{7.84}$$

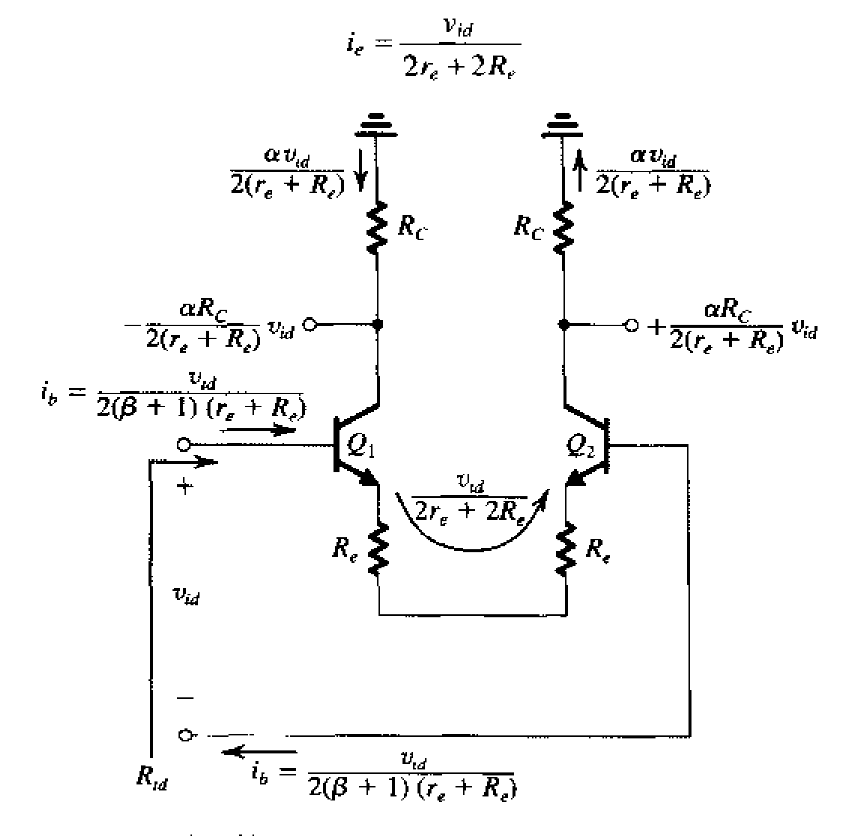


图 7.18　接有射极电阻的差分放大器。图中只画出了信号量

差模输入电阻　与 MOS 差分放大器含有无穷大的输入电阻不同，双极型差分对的输入电阻是有限值，源于 BJT 有限的 β 值。

输入电阻即是从两基极间看进去的电阻，也就是从差分输入电压 v_{id} 看进去的电阻。如图 7.16 和图 7.17 所示，Q_1 的基极电流增加了 i_b，则 Q_2 的基极电流则减少了相同的数量：

$$i_b = \frac{i_e}{\beta+1} = \frac{v_{id}/2r_e}{\beta+1} \tag{7.85}$$

因此，差模输入电阻 R_{id} 为

$$R_{id} \equiv \frac{v_{id}}{i_b} = (\beta+1)2r_e = 2r_\pi \tag{7.86}$$

该结论重申了电阻反射规则，也就是从两基极间视入的电阻是射极电阻的$(1+\beta)$倍。应用这个规则可以写出图 7.18 所示电路的差模输入电阻：

$$R_{id} = (\beta+1)(2r_e + 2R_e) \tag{7.87}$$

差模电压增益　我们已经求得差分输入小电压 $v_{id} \ll 2V_T$（即 v_{id} 约小于 20 mV）时的集电极电流为

$$i_{C1} = I_C + g_m \frac{v_{id}}{2} \tag{7.88}$$

$$i_{C2} = I_C - g_m \frac{v_{id}}{2} \tag{7.89}$$

其中，

$$I_C = \frac{\alpha I}{2} \tag{7.90}$$

所以，集电极的总电压为

$$v_{C1} = (V_{CC} - I_C R_C) - g_m R_C \frac{v_{id}}{2} \tag{7.91}$$

$$v_{C2} = (V_{CC} - I_C R_C) + g_m R_C \frac{v_{id}}{2} \tag{7.92}$$

括号内的部分即是每个晶体管的集电极直流电压。

同 MOS 一样，双极型差分对的输出电压既能够以差分形式输出（取自两集电极之间），也能够以单端形式输出（取自某个集电极和地之间）。如果是差分输出，那么差分放大器的差模增益（对比共模增益）为

$$A_d = \frac{v_{c1} - v_{c2}}{v_d} = -g_m R_C \tag{7.93}$$

另一方面，如果是单端输出（假如取自 Q_1 的集电极和地之间），则差模增益为

$$A_d = \frac{v_{c1}}{v_d} = -\frac{1}{2} g_m R_C \tag{7.94}$$

对含有射极电阻的差分放大器（见图 7.18），差分输出的差模增益为

$$A_d = -\frac{\alpha(2R_C)}{2r_e + 2R_e} \simeq -\frac{R_C}{r_e + R_e} \tag{7.95}$$

这是我们很熟悉的一种形式：电压增益等于集电极总电阻($2R_C$)与射极总电阻($2r_e + 2R_e$)之比。

差分放大器与共射放大器的等效　上面的分析和结论与单级共射放大器非常相似。事实上，差分放大器和图 7.19 所示的共射放大器是等效的。图 7.19(a)所示是以互补形式施加差分信号 v_{id} 的差分放大器。可见 Q_1 的基极电压提高了 $v_{id}/2$，Q_2 的基极电压降低了 $v_{id}/2$。我们同时考虑偏置电流源的输出电阻 R_{EE}。根据对称性，可知公共射极处的信号电压为零。于是电路可以等效为图 7.19（b）中的两个共射放大器，其中每个放大器的射极偏置电流均为 $I/2$。注意，电流源有限的输出电阻 R_{EE} 对放大器的性能没有影响。图 7.19（b）所示的等效电路仅对差模分析有效。

在很多应用中，差分放大器的输入并非是互补形式的，而是输入信号施加于输入端中的一个，另一端接地，如图 7.20 所示。这种情况下，射极的电压不再等于零，电阻 R_{EE} 将会影响放大器的性能。但是，如果 R_{EE} 很大（$R_{EE} \gg r_e$），这也是通常的情况[①]，v_{id} 仍然被等分（近似）给两个发射结，如图 7.20 所示。这样差分放大器的工作特性几乎与对称输入的情况相同，所以仍然可以运用共射等效电路。

① 注意，电阻 R_{EE} 是和 Q_2 非常小的 r_e 并联的。

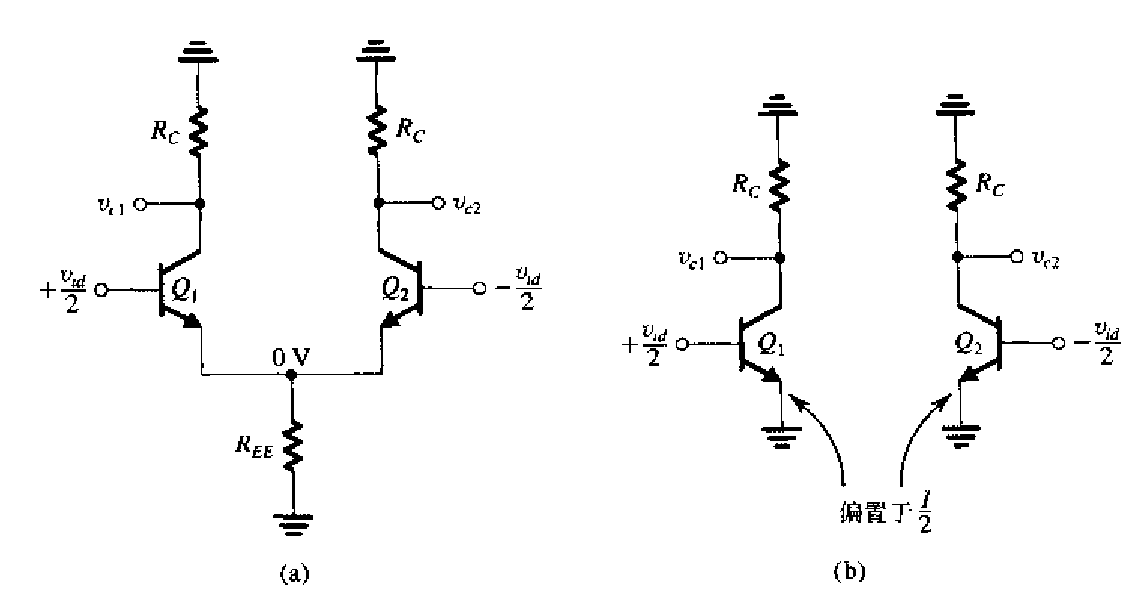


图 7.19 （a）中的 BJT 差分放大器和（b）中的两个共射放大器等效。这种等效仅应用于差分输入信号；（b）中任何一个共射放大器均可用于求解差模增益、差模输入电阻及频率响应等

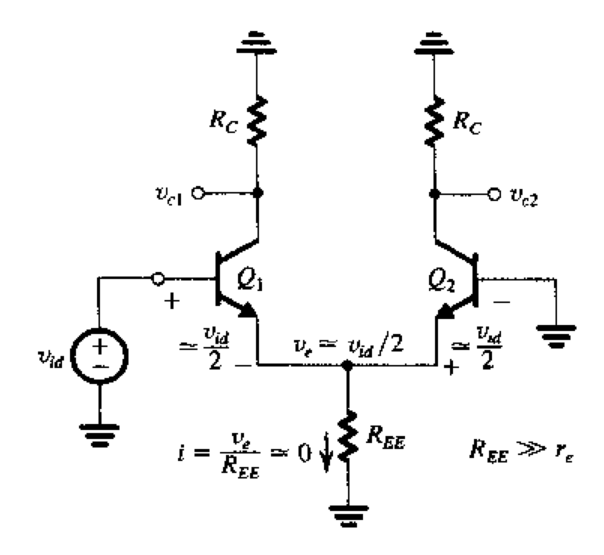


图 7.20 单端输入的差分放大器

因为在图 7.19 中有 $v_{c2}=-v_{c1}$，因此图 7.19（b）所示的两个共射放大器的分析结果对差分放大器而言是相似的。通常在分析差分放大器小信号特性时只需要其中的一个共射放大器就足够了，这个电路也就是差模半电路。如果我们选择差模半电路的 $+v_{id}/2$ 作为共射放大器的输入，并且将晶体管用其低频等效模型代替，就可得到图 7.21 所示的电路。在计算模型参数 r_π，g_m 和 r_o 时，我们必须记住半电路的偏置电流是 $I/2$。差分放大器的电压增益（差分输出形式）等于半电路的电压增益，即 $v_{c1}/(v_{id}/2)$。注意，当考虑 r_o 时，增益表达式［即式（7.93）］修正为

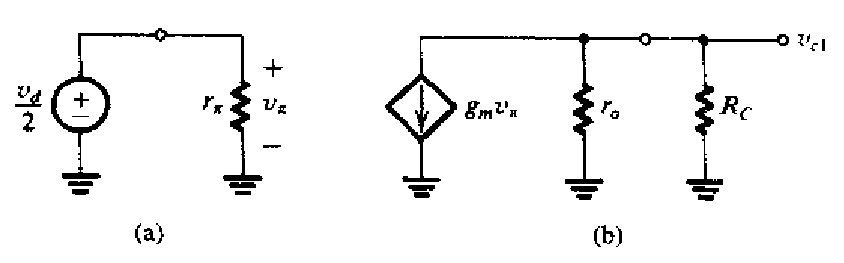


图 7.21 （a）差模半电路；（b）其等效电路模型

$$A_d = -g_m(R_C \| r_o) \tag{7.96}$$

差分放大器的差模输入电阻是半电路的两倍，即 $2r_\pi$。最后，我们注意到图 7.18 所示的差模半电路是含有射极电阻 R_e 的共射放大器。

共模增益和共模抑制比 图 7.22（a）所示的是共模电压 v_{icm} 为输入信号时的差分放大器。电阻 R_{EE} 是偏置电流源的增量输出电阻。根据对称性，电路可等效为图 7.22（b）所示的形式，其中 Q_1 和 Q_2 的射极偏置电流均为 $I/2$，且射极接有电阻 $2R_{EE}$。于是，共模输出电压 v_{c1} 为

$$v_{c1} = -v_{icm}\frac{\alpha R_C}{2R_{EE}+r_e} \simeq -v_{icm}\frac{\alpha R_C}{2R_{EE}} \tag{7.97}$$

另一个集电极有相同的共模信号 v_{c2}：

$$v_{c2} \simeq -v_{icm}\frac{\alpha R_C}{2R_{EE}} \tag{7.98}$$

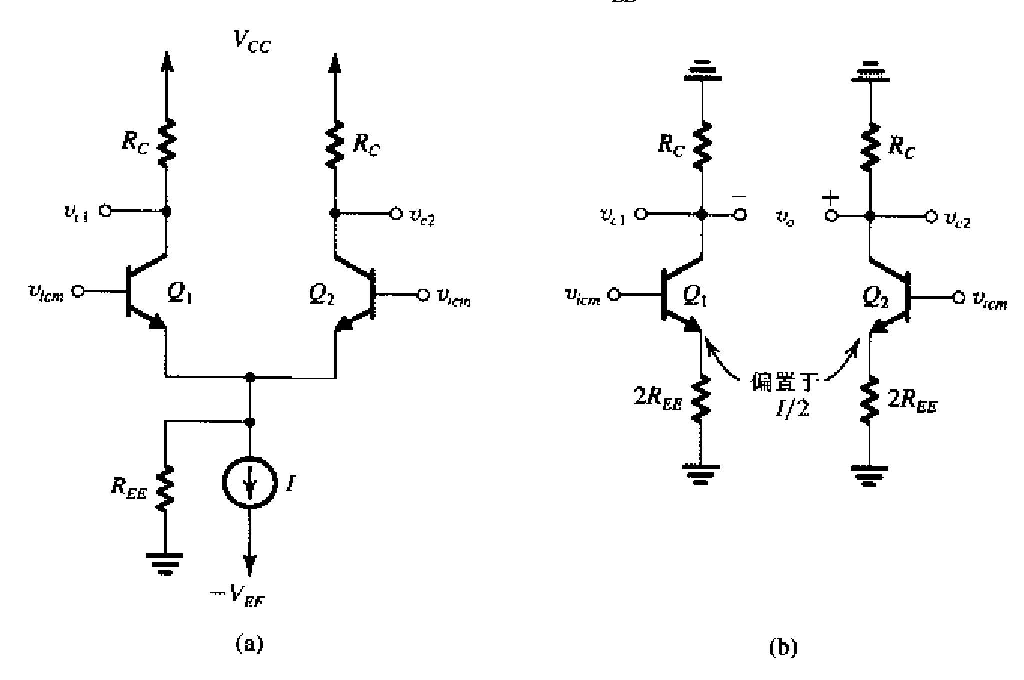


图 7.22 （a）共模电压 v_{icm} 作为输入时的差分放大器；（b）用于共模性能计算时的等效"半电路"

现在，如果输出是差分形式的，则共模输出电压 $v_o \equiv (v_{c1}-v_{c2})$ 为零，共模增益也就同样为零。另一方面，如果输出是单端形式的，则共模增益 A_{cm} 是有限值[1]，为

$$A_{cm} = -\frac{\alpha R_C}{2R_{EE}} \tag{7.99}$$

由于差模增益为

$$A_d = \frac{1}{2}g_m R_C \tag{7.100}$$

因此，共模抑制比（CMRR）为

---

① 式（7.97）和式（7.98）均忽略了 r_o，更为具体的分析如下，从 6.4 节的结果可得：v_{c1}/v_{icm} 和 v_{c2}/v_{icm} 近似为

$$\frac{-\alpha R_C}{2R_{EE}}\left(1-\frac{2R_{EE}}{\beta r_o}\right)$$

其中，已假定 $R_C \ll \beta r_o$ 且 $2R_{EE} \gg r_\pi$，当 $2R_{EE} \ll \beta r_o$ 时，此式简化为式（7.97）和式（7.98）。

$$\text{CMRR}=\left|\frac{A_d}{A_{cm}}\right|\simeq g_m R_{EE} \tag{7.101}$$

通常，CMRR 用分贝（dB）表示

$$\text{CMRR}=20\log\left|\frac{A_d}{A_{cm}}\right| \tag{7.102}$$

图 7.22（b）所示的每一个电路都称为共模半电路。

之前的分析都假定电路完全对称。但实际电路并非如此，因此即使是差分输出，共模增益也不为零。为了说明这一点，假设电路除了集电极电阻有 ΔR_C 的失配外完全对称。即，设 Q_1 集电极的负载电阻为 R_C，而 Q_2 集电极负载电阻为 $R_C+\Delta R_C$。因此可得

$$v_{c1}=-v_{icm}\frac{\alpha R_C}{2R_{EE}+r_e}$$
$$v_{c2}=-v_{icm}\frac{\alpha(R_C+\Delta R_C)}{2R_{EE}+r_e}$$

即对应共模输入的输出端信号为

$$v_o=v_{c1}-v_{c2}=v_{icm}\frac{\alpha\Delta R_C}{2R_{EE}+r_e}$$

共模增益为

$$A_{cm}=\frac{\alpha\Delta R_C}{2R_{EE}+r_e}\simeq\frac{\Delta R_C}{2R_{EE}}$$

可将上式重写为

$$A_{cm}=\frac{R_C}{2R_{EE}}\frac{\Delta R_C}{R_C} \tag{7.103}$$

比较式（7.103）和式（7.99）单端输出的共模增益，可知差分输出的共模增益非常小。因此，运算放大器的差分输入级总是采用平衡输出，即差分输出。这保证了运算放大器的共模增益尽可能地小，也就是具有一个很高的 CMRR。

差分放大器的输入信号 v_1 和 v_2 通常含有共模分量 v_{icm}：

$$v_{icm}\equiv\frac{v_1+v_2}{2} \tag{7.104}$$

和差模分量 v_{id}：

$$v_{id}\equiv v_1-v_2 \tag{7.105}$$

因此，输出信号通常表示为

$$v_o=A_d(v_1-v_2)+A_{cm}\left(\frac{v_1+v_2}{2}\right) \tag{7.106}$$

共模输入电阻　图 7.23（a）定义了共模输入电阻 R_{icm}。图 7.23（b）给出了等效的共模半电路，其输入电阻为 $2R_{icm}$。$2R_{icm}$ 值可由 6.9 节中推导的射极接电阻的共射放大器之输入电阻的公式得出。具体而言，我们可以在式（6.157）中进行 $R_e=2R_{EE}$ 和 $R_L=R_C$ 的替换，若 $R_C\ll r_o$ 且 $2R_{EE}\gg r_e$，则近似有

$$2R_{icm} \simeq (\beta+1)(2R_{EE} \parallel r_o)$$

即

$$R_{icm} \simeq (\beta+1)\left(R_{EE} \parallel \frac{r_o}{2}\right) \tag{7.107}$$

式（7.107）表明，由于电阻 R_{EE} 的典型值具有 r_o 的数量级，因此共模输入电阻 R_{icm} 非常大。

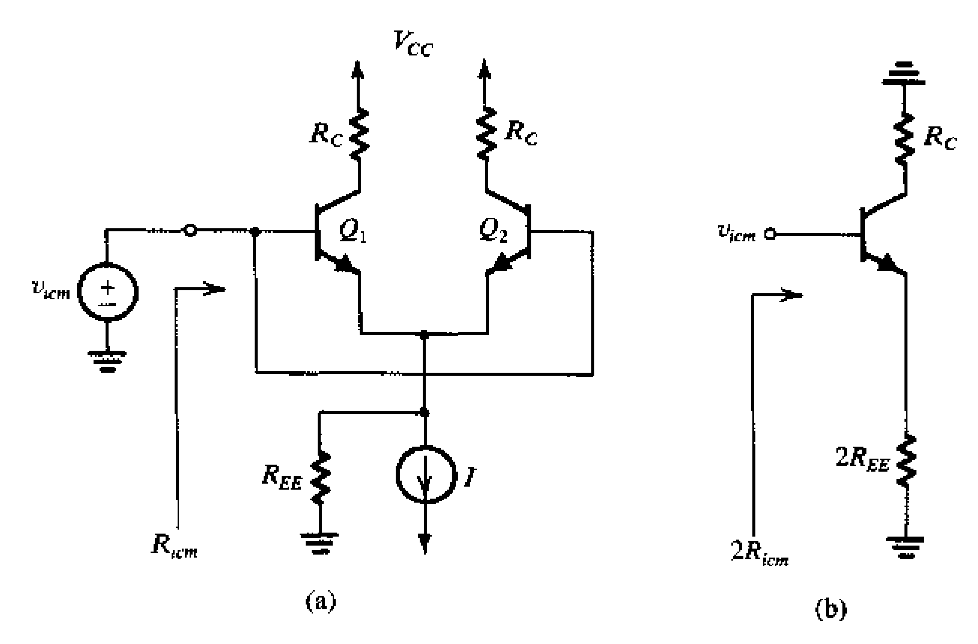


图 7.23　（a）确定共模输入电阻 R_{icm}；（b）等效共模半电路

例题 7.1　见图 7.24 所示的差分放大器，晶体管的 $\beta=100$。求解下列问题：

（a）差模输入电阻 R_{id}。

（b）总差模电压增益 v_o/v_{sig}（忽略 r_o 的影响）。

（c）若两集电极电阻精度在±1%之内，求最坏情况的共模增益。

（d）CMRR（用分贝表示）。

（e）共模输入电阻（假定厄尔利电压 $V_A=100$ V）。

解：

（a）每个晶体管的射极偏置电流为 0.5 mA，因此，

$$r_{e1} = r_{e2} = \frac{V_T}{I_E} = \frac{25\text{ mV}}{0.5\text{ mA}} = 50\ \Omega$$

因此差模输入电阻为

$$\begin{aligned} R_{id} &= 2(\beta+1)(r_e+R_E) \\ &= 2\times101\times(50+150) \simeq 40\text{ k}\Omega \end{aligned}$$

（b）从信号源到晶体管 Q_1 和 Q_2 基极的电压增益为

$$\begin{aligned} \frac{v_{id}}{v_{sig}} &= \frac{R_{id}}{R_{sig}+R_{id}} \\ &= \frac{40}{5+5+40} = 0.8\text{ V/V} \end{aligned}$$

从基极到输出端的电压增益为

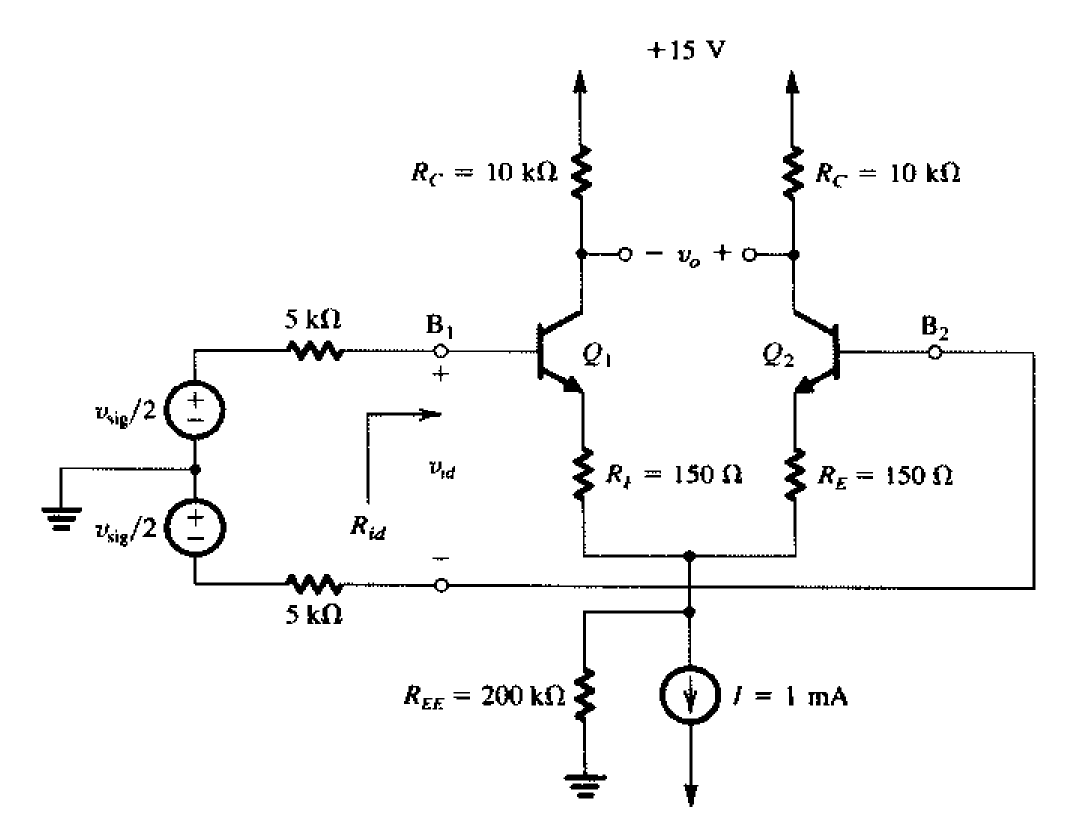


图 7.24 例题 7.1 的电路

$$\frac{v_o}{v_{id}} \simeq \frac{\text{集电极总电阻}}{\text{发射极总电阻}}$$

$$= \frac{2R_C}{2(r_e + R_E)} = \frac{2\times 10}{2(50+150)\times 10^{-3}} = 50 \text{ V/V}$$

因此，总电压增益为

$$A_d = \frac{v_o}{v_{sig}} = \frac{v_{id}}{v_{sig}}\frac{v_o}{v_{id}} = 0.8\times 50 = 40 \text{ V/V}$$

（c）利用式（7.103）可得

$$A_{cm} = \frac{R_C}{2R_{EE}}\frac{\Delta R_C}{R_C}$$

其中最坏的情况是 $\Delta R_C = 0.02R_C$，因此，

$$A_{cm} = \frac{10}{2\times 200}\times 0.02 = 5\times 10^{-4} \text{ V/V}$$

（d）

$$\text{CMRR} = 20\log\frac{A_d}{A_{cm}}$$

$$= 20\log\frac{40}{5\times 10^{-4}} = 98 \text{ dB}$$

$$r_o = \frac{V_A}{I/2} = \frac{100}{0.5} = 200 \text{ k}\Omega$$

利用式（7.107）可得

$$R_{icm}=(\beta+1)\left(R_{EE}\,\|\,\frac{r_o}{2}\right)$$

$$=101(200\text{ k}\Omega\,\|\,100\text{ k}\Omega)=6.7\text{ M}\Omega$$

■

练习 7.9　对图 7.16 所示的电路，设 $I=1$ mA，$V_{CC}=15$ V，$R_C=10$ kΩ且 $\alpha=1$，并设输入电压为：$v_{B1}=5+0.005\sin 2\pi\times 1000t$ V，$v_{B2}=5-0.005\sin 2\pi\times 1000t$ V。(a) 如果 BJT 在集电极电流为 1 mA 时的 v_{BE} 为 0.7 V，求射极电压（提示：利用电路对称性）。(b) 计算每个晶体管的 g_m。(c) 求每个晶体管的 i_C。(d) 求每个晶体管的 v_C。(e) 求两个晶体管集电极之间的电压。(f) 求放大器对频率为 1000 Hz 的信号的增益。

答案：(a) 4.317 V；(b) 20 mA/V；(c) $i_{C1}=0.5+0.1\sin 2\pi\times 1000t$ mA，$i_{C2}=0.5-0.1\sin 2\pi\times 1000t$ mA；(d) $v_{C1}=10-1\sin 2\pi\times 1000t$ V，$v_{C2}=10+1\sin 2\pi\times 1000t$ V；(e) $v_{C2}-v_{C1}=2\sin 2\pi\times 1000t$ V；(f) 200 V/V

7.4 差分放大器的其他非理想特性

7.4.1 MOS 差分对的输入失调电压

如图 7.25 (a) 所示，考虑基本 MOS 差分对，令其输入端接地。如果差分对的两边电路完全匹配（即 Q_1 和 Q_2 完全相同，$R_{D1}=R_{D2}=R_D$），那么电流 I 将被 Q_1 和 Q_2 等分，同时 V_O 为零。在实际电路中，由于存在失配，即使输入端都接地，也会产生直流电压 V_O。我们称 V_O 为输出失调电压。一般情况下，我们用 V_O 除以放大器的差模增益 A_d，并将得到的数值称为输入失调电压 V_{OS}：

$$V_{OS}=V_O/A_d \tag{7.108}$$

显然，如果我们在差分放大器的输入端加入电压 $-V_{OS}$，则输出电压将降至零[见图 7.25(b)]。由此给出了输入失调电压的一般定义。值得注意的是，失调电压是由器件的失配导致的，其极性不可预知。

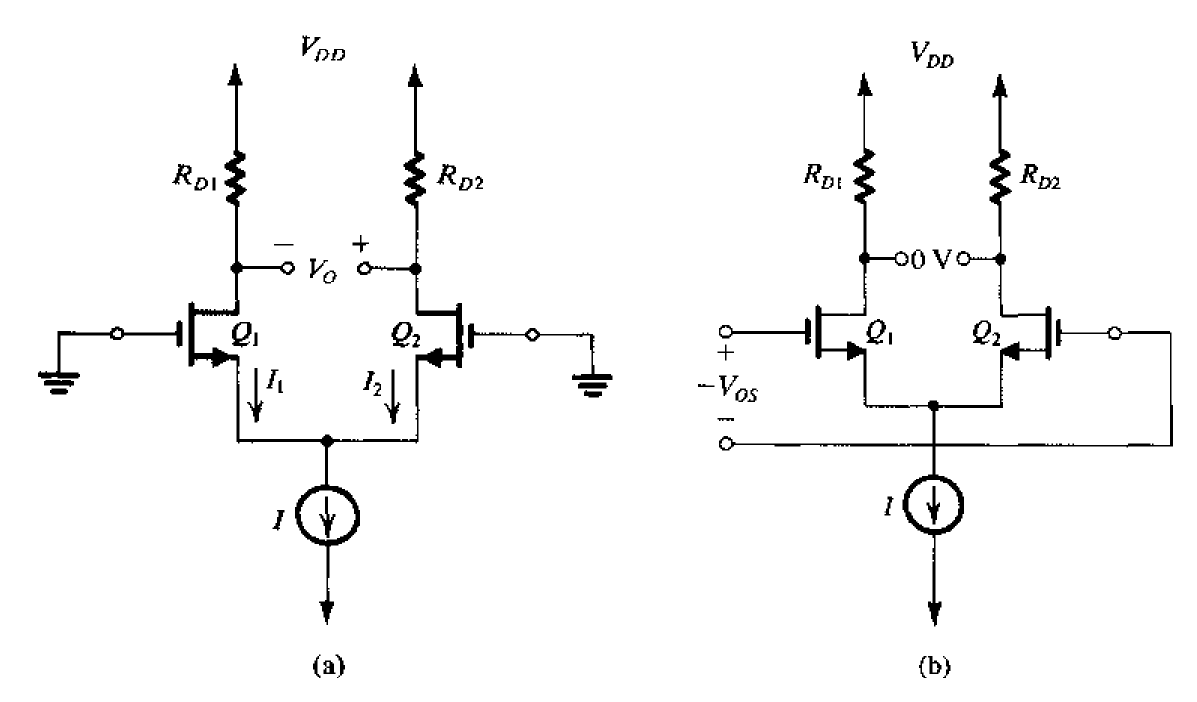


图 7.25　(a) 输入端都接地的 MOS 差分对。由于器件和电阻的失配，在输出端产生了有限值的直流电压 V_O；(b) 在输入端接入与输入失调电压大小相同、极性相反的电压，致使 V_O 降为零

有三个因素影响 MOS 差分对的失调电压：负载电阻的失配、W/L 的失配和 V_t 的失配。我们每次只考虑其中一种因素。

对图 7.25（a）所示的电路考虑第一种情况，晶体管 Q_1 和 Q_2 完全匹配，但是电阻 R_{D1} 和 R_{D2} 存在失配 ΔR_D，因此，

$$R_{D1} = R_D + \frac{\Delta R_D}{2} \tag{7.109}$$

$$R_{D2} = R_D - \frac{\Delta R_D}{2} \tag{7.110}$$

因为晶体管 Q_1 和 Q_2 完全匹配，所以电流 I 在两者之间平均分配。但是因为负载电阻的失配，导致输出电压 V_{D1} 和 V_{D2} 为

$$V_{D1} = V_{DD} - \frac{I}{2}\left(R_D + \frac{\Delta R_D}{2}\right)$$

$$V_{D2} = V_{DD} - \frac{I}{2}\left(R_D - \frac{\Delta R_D}{2}\right)$$

这样差分输出电压就成为

$$\begin{aligned} V_O &= V_{D2} - V_{D1} \\ &= \left(\frac{I}{2}\right)\Delta R_D \end{aligned} \tag{7.111}$$

相应的输入失调电压就以通过 V_O 除以增益 $g_m R_D$ 并将式（7.30）中的 g_m 代入得到

$$V_{OS} = \left(\frac{V_{OV}}{2}\right)\left(\frac{\Delta R_D}{R_D}\right) \tag{7.112}$$

可见失调电压直接正比于 V_{OV}，当然也正比于 $\Delta R_D/R_D$。例如，差分对的两个晶体管工作时的过驱动电压都是 0.2 V，并且漏极电阻的精度为±1%，那么最坏情况下的电阻失配为

$$\frac{\Delta R_D}{R_D} = 0.02$$

得到的输入失调电压为

$$|V_{OS}| = 0.1 \times 0.02 = 2\ \text{mV}$$

接下来讨论晶体管 Q_1 和 Q_2 的 W/L 的失配对失调电压的影响，失配可以表示成

$$\left(\frac{W}{L}\right)_1 = \frac{W}{L} + \frac{1}{2}\Delta\left(\frac{W}{L}\right) \tag{7.113}$$

$$\left(\frac{W}{L}\right)_2 = \frac{W}{L} - \frac{1}{2}\Delta\left(\frac{W}{L}\right) \tag{7.114}$$

失配的结果导致电流 I 不再等分给 Q_1 和 Q_2，两个晶体管得到的电流分别为

$$I_1 = \frac{I}{2} + \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \tag{7.115}$$

$$I_2 = \frac{I}{2} - \frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right) \tag{7.116}$$

将增量电流

$$\frac{I}{2}\left(\frac{\Delta(W/L)}{2(W/L)}\right)$$

除以 g_m，可得到输入失调电压（由 W/L 的失配引起）一半的值，因此，

$$V_{OS}=\left(\frac{V_{OV}}{2}\right)\left(\frac{\Delta(W/L)}{(W/L)}\right) \tag{7.117}$$

这里我们再一次注意到由于 W/L 失配产生的 V_{OS} 和 V_{OV} 成正比，也和 $\Delta(W/L)$ 成正比，如同我们预料的那样。

最后，考虑两个开启电压之间的失配 ΔV_t 的影响：

$$V_{t1}=V_t+\frac{\Delta V_t}{2} \tag{7.118}$$

$$V_{t2}=V_t-\frac{\Delta V_t}{2} \tag{7.119}$$

电流 I_1 由下式给出：

$$\begin{aligned}I_1&=\frac{1}{2}k_n'\frac{W}{L}\left(V_{GS}-V_t-\frac{\Delta V_t}{2}\right)^2\\&=\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2\left[1-\frac{\Delta V_t}{2(V_{GS}-V_t)}\right]^2\end{aligned}$$

当 $\Delta V_t \ll 2(V_{GS}-V_t)$（即 $\Delta V_t \ll 2V_{OV}$）时，上式可近似为

$$I_1\simeq\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2\left(1-\frac{\Delta V_t}{V_{GS}-V_t}\right)$$

同样，

$$I_2\simeq\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2\left(1+\frac{\Delta V_t}{V_{GS}-V_t}\right)$$

且有

$$\frac{1}{2}k_n'\frac{W}{L}(V_{GS}-V_t)^2=\frac{I}{2}$$

Q_2（Q_1）中的电流增量（减量）为

$$\Delta I=\frac{I}{2}\frac{\Delta V_t}{V_{GS}-V_t}=\frac{I}{2}\frac{\Delta V_t}{V_{OV}}$$

用 ΔI 除以 g_m，得到一半的输入失调电压（由 ΔV_t 的失配引起）值，故

$$V_{OS}=\Delta V_t, \tag{7.120}$$

这是一个符合逻辑的结果！对现代 MOS 技术，ΔV_t 很容易达到 2 mV。最后，我们注意到由于失调电压的三种原因并不相关，总失调电压的估计近似为

$$V_{OS}=\sqrt{\left(\frac{V_{OV}}{2}\frac{\Delta R_D}{R_D}\right)^2+\left(\frac{V_{OV}}{2}\frac{\Delta(W/L)}{W/L}\right)^2+(\Delta V_t)^2} \tag{7.121}$$

练习 7.10 对于练习 7.4 的 MOS 差分对，求输入失调电压的三个分量：令 $\Delta R_D/R_D = 2\%$，$\Delta(W/L)/(W/L) = 2\%$，$\Delta V_t = 2\ \text{mV}$。利用式（7.123）估计总的 V_{OS} 值。

答案：4 mV；4 mV；2 mV；6 mV

7.4.2 双极型差分对的输入失调电压

图 7.26（a）所示的双极型差分对失调电压的推导类似于上述 MOS 差分对的方法。但是，双极型晶体管不存在 MOSFET 对应的 V_t 失配。这里，输出失调取决于负载电阻 R_{C1} 和 R_{C2} 的失配、结面积、β 以及 Q_1 和 Q_2 的其他失配。首先考虑负载失配的情况。设

$$R_{C1} = R_C + \frac{\Delta R_C}{2} \tag{7.122}$$

$$R_{C2} = R_C - \frac{\Delta R_C}{2} \tag{7.123}$$

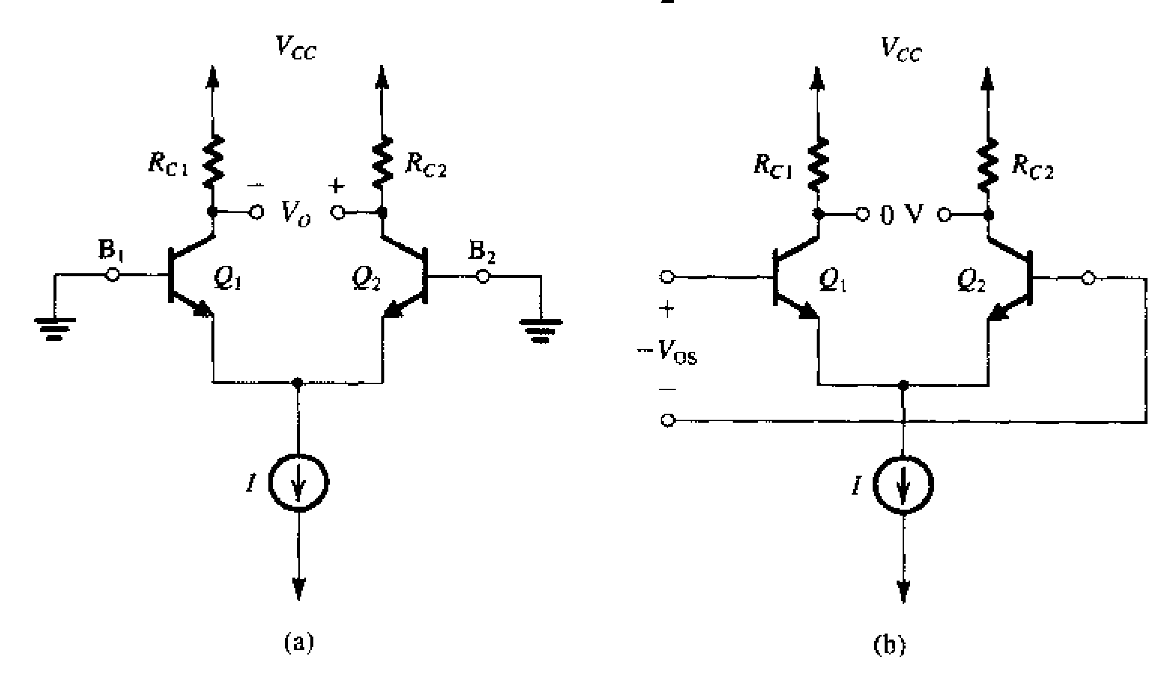


图 7.26 （a）两个输入端都接地的 BJT 差分对。器件的失配导致有限直流电压输出 V_O；（b）在输入端接入与输入失调电压 $V_{OS} \equiv V_O/A_d$ 相反极性的同等电压使 V_O 降为零

同时假定 Q_1 和 Q_2 完全匹配。于是，电流 I 将被 Q_1 和 Q_2 等分，即

$$V_{C1} = V_{CC} - \left(\frac{\alpha I}{2}\right)\left(R_C + \frac{\Delta R_C}{2}\right)$$

$$V_{C2} = V_{CC} - \left(\frac{\alpha I}{2}\right)\left(R_C - \frac{\Delta R_C}{2}\right)$$

故输出电压为

$$V_O = V_{C2} - V_{C1} = \alpha\left(\frac{I}{2}\right)(\Delta R_C)$$

输入失调电压为

$$V_{OS} = \frac{\alpha(I/2)(\Delta R_C)}{A_d} \tag{7.124}$$

将 $A_d = g_m R_C$ 代入，且

$$g_m = \frac{\alpha I/2}{V_T}$$

得到

$$|V_{OS}| = V_T\left(\frac{\Delta R_C}{R_C}\right) \tag{7.125}$$

特别需要指出的是：与 MOS 差分对相对应的表达式 [即式（7.113）] 相比，这里的失调电压与 V_T（而不是 $V_{OV}/2$）成正比。如果将 V_T 取为 25 mV 的话，它要比 $V_{OV}/2$ 低 4 至 10 倍。因此双极型差分对与 MOS 的情况相比，其失调要小。例如，考虑这样的情况，集电极电阻的精度为±1%。最坏情况下的失配为

$$\frac{\Delta R_C}{R_C} = 0.02$$

相应的输入失调电压为

$$|V_{OS}| = 25 \times 0.02 = 0.5\ \text{mV}$$

下面考虑晶体管 Q_1 和 Q_2 失配的影响。具体而言，晶体管的发射结面积存在失配。面积的失配导致相应的比例电流 I_S 的失配：

$$I_{S1} = I_S + \frac{\Delta I_S}{2} \tag{7.126}$$

$$I_{S2} = I_S - \frac{\Delta I_S}{2} \tag{7.127}$$

回到图 7.26（a），我们注意到 $V_{BE1} = V_{BE2}$，那么电流 I 将根据其 I_S 值分配到 Q_1 和 Q_2，结果是

$$I_{E1} = \frac{I}{2}\left(1 + \frac{\Delta I_S}{2I_S}\right) \tag{7.128}$$

$$I_{E2} = \frac{I}{2}\left(1 - \frac{\Delta I_S}{2I_S}\right) \tag{7.129}$$

据此可求出输出失调电压为

$$V_O = \alpha\left(\frac{I}{2}\right)\left(\frac{\Delta I_S}{I_S}\right)R_C$$

相应的输入失调电压为

$$|V_{OS}| = V_T\left(\frac{\Delta I_S}{I_S}\right) \tag{7.130}$$

例如，4%的面积失配产生 $\Delta I_S/I_S = 0.04$，输入失调电压为 1 mV。这里再一次需要提醒读者注意，失调电压正比于 V_T 而不是更大的 V_{OV}，后者取决于 $\Delta(W/L)$失配引起的 MOS 差分对的失调。

因为引起输入失调电压的两个因素并不相关，故给出的总输入失调电压为

$$\begin{aligned} V_{OS} &= \sqrt{\left(V_T \frac{\Delta R_C}{R_C}\right)^2 + \left(V_T \frac{\Delta I_S}{I_S}\right)^2} \\ &= V_T\sqrt{\left(\frac{\Delta R_C}{R_C}\right)^2 + \left(\frac{\Delta I_S}{I_S}\right)^2} \end{aligned} \tag{7.131}$$

还有其他可能导致输入失调电压的因素，比如 β 和 r_o 的失配。本章最后的习题将涉及其中的一些问题。最后是一个通用的补偿失调电压的方法，其中包括故意引入集电极电阻的失配，使得在输入端接地的情况下差模输出电压降为零。这种调零方法将在习题 7.57 中讨论。

7.4.3 双极型差分对的输入偏置和失调电流

在完全对称的差分对中，两输入端的直流电流完全相等，即

$$I_{B1} = I_{B2} = \frac{I/2}{\beta+1} \tag{7.132}$$

这也就是差分放大器的输入偏置电流。

放大电路的失配（更重要的是 β 的失配）导致两个输入直流电流不相等。两者的差 I_{OS} 就称为输入失调电流，即

$$I_{OS} = |I_{B1} - I_{B2}| \tag{7.133}$$

设

$$\beta_1 = \beta + \frac{\Delta\beta}{2}$$

$$\beta_2 = \beta - \frac{\Delta\beta}{2}$$

那么

$$I_{B1} = \frac{I}{2}\frac{1}{\beta+1+\Delta\beta/2} \simeq \frac{I}{2}\frac{1}{\beta+1}\left(1-\frac{\Delta\beta}{2\beta}\right) \tag{7.134}$$

$$I_{B2} = \frac{I}{2}\frac{1}{\beta+1-\Delta\beta/2} \simeq \frac{I}{2}\frac{1}{\beta+1}\left(1+\frac{\Delta\beta}{2\beta}\right) \tag{7.135}$$

$$I_{OS} = \frac{I}{2(\beta+1)}\left(\frac{\Delta\beta}{\beta}\right) \tag{7.136}$$

最后定义输入偏置电流 I_B 为

$$I_B \equiv \frac{I_{B1}+I_{B2}}{2} = \frac{I}{2(\beta+1)} \tag{7.137}$$

则

$$I_{OS} = I_B\left(\frac{\Delta\beta}{\beta}\right) \tag{7.138}$$

例如，β 有 10%的失配产生的失调电流大约是输入偏置电流的十分之一。

最后要说明的是：MOS 差分对的一大优势就是它不受有限输入偏置电流的影响，因此也不受其失配的影响。

7.4.4 共模输入范围

正如前文提到的那样，差分放大器共模输入就是输入电压 v_{CM} 的范围，在此范围内，差分放大器对差模电压表现为线性放大器的特性。共模范围的上限取决于晶体管 Q_1 和 Q_2 在 BJT 中离开线性放大区进入饱和区（对 MOS 情况是变阻区）的临界值。因此，对双极型的情况，上限大约

比 Q_1 和 Q_2 的集电极直流电压值高 0.4 V。对于 MOS 情况，上限比 Q_1 和 Q_2 的漏极电压值高 V_t 伏。电压的下限取决于构成恒流源的晶体管离开线性放大区导致恒流源不能正常工作的临界值。恒流源电路在 6.3 节和 6.12 节中已经介绍过。

7.4.5　最后的说明

本节给出的定义与第 2 章中对运算放大器定义的内容相同，我们以此作为本节的总结。事实上，如同第 9 章将要讲到的、正是运算放大器的差分输入级电路直接决定了运算放大器的直流失调电压、输入偏置和失调电流以及共模输入范围。

练习 7.11　对 BJT 差分对，晶体管的 $\beta=100$，匹配程度为 10%或者更好，面积的匹配为 10%或更好，同时集电极电阻匹配为 2%或更好，求 V_{OS}、I_B 和 I_{OS}。直流偏置电流为 100 μA。

答案：2.55 mV；0.5 μA；50 nA

7.5　有源负载差分放大器

正如我们在第 6 章中讲过的，采用恒流源代替电阻 R_D 不仅可以极大地提高放大器的电压增益，同时还可以节省芯片面积。这一理念同样可以应用到差分对电路上。本节将介绍采用有源负载实现的精巧电路，它同时还实现了差分输出到单端输出的转变。这里我们将介绍 MOS 和 BJT 两种形式的通用电路。

7.5.1　差分输出到单端输出的转变

前面几节已经讲到输出取自两个漏极（或集电极）之间的电压能够使差模增益的数值加倍，同时共模增益大大减小。事实上，惟一导致共模输入在差分输出时产生输出电压的原因就是电路会不可避免地失配。因此，为了使多级放大器（比如运算放大器）能够获得很高的 CMRR，第一级的输出必须采用差分形式。除非系统是完全差分形式的，否则也可以不在第一级完成信号从差分到单端的转变。

图 7.27 所示的是最简单、最基本的从差分到单端转变的方法。它忽略 Q_1 漏极的电流信号，同时去掉了它的漏极电阻，输出取自 Q_2 的漏极和地之间。这种方法最显著的缺点就是增益损失了两倍（或 6 dB），这是因为“浪费”了 Q_1 漏极的信号电流。一种更好的方法是想办法利用 Q_1 漏极的信号电流，这也就是我们将要讨论的电路。

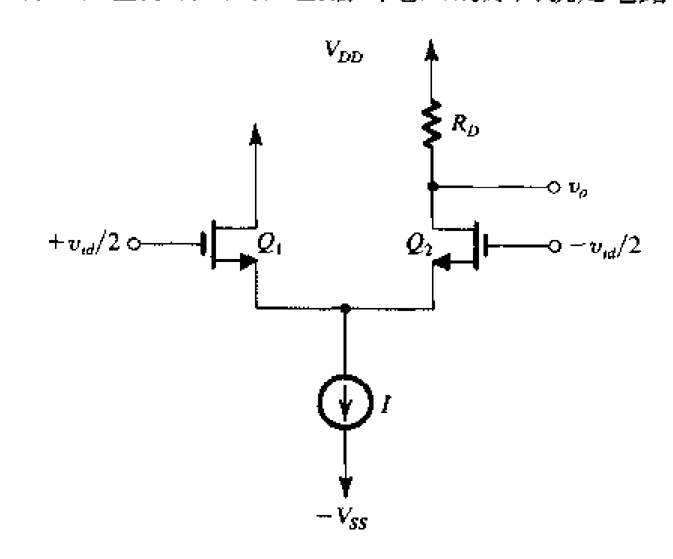


图 7.27　简单而有效的差分到单端转换的实现方法

7.5.2　有源负载 MOS 差分对

图 7.28（a）所示是由晶体管 Q_1 和 Q_2 组成的 MOS 差分对且以晶体管 Q_3 和 Q_4 组成的电流源作为负载。为了了解电路是如何工作的，首先考虑静态情况，即两输入端连接同一直流电压，其值等于共模电压的等效值，此处为 0 V，如图 7.28（b）所示。假设电路完全匹配，偏置电流 I 被 Q_1 和 Q_2 等分。Q_1 的漏极电流 $I/2$ 就是镜像电流源中晶体管 Q_3 的输入。于是，电流源的输出晶体

管 Q_4 就输出了复制后的电流。可见输出节点处的两个电流均为 $I/2$，它们相互平衡，导致输出给下一级或负载（未标出）的电流为零。如果 Q_4 和 Q_3 完全匹配，其漏极电压将等同于 Q_3 的漏极电压，于是等效的输出电压为 $V_{DD}-V_{SG3}$。但需要注意的是，实际电路总存在失配，因此输出端有净电流产生。在没有负载的情况下，此电流将流入 Q_2 和 Q_4 的输出电阻，由此造成输出电压与理想值产生很大的偏差。所以，电路设计时要通过反馈电路来约束输出节点的直流电压，而不是简单地依赖 Q_4 和 Q_3 的匹配。之后我们将看到这一点是如何被实现的。

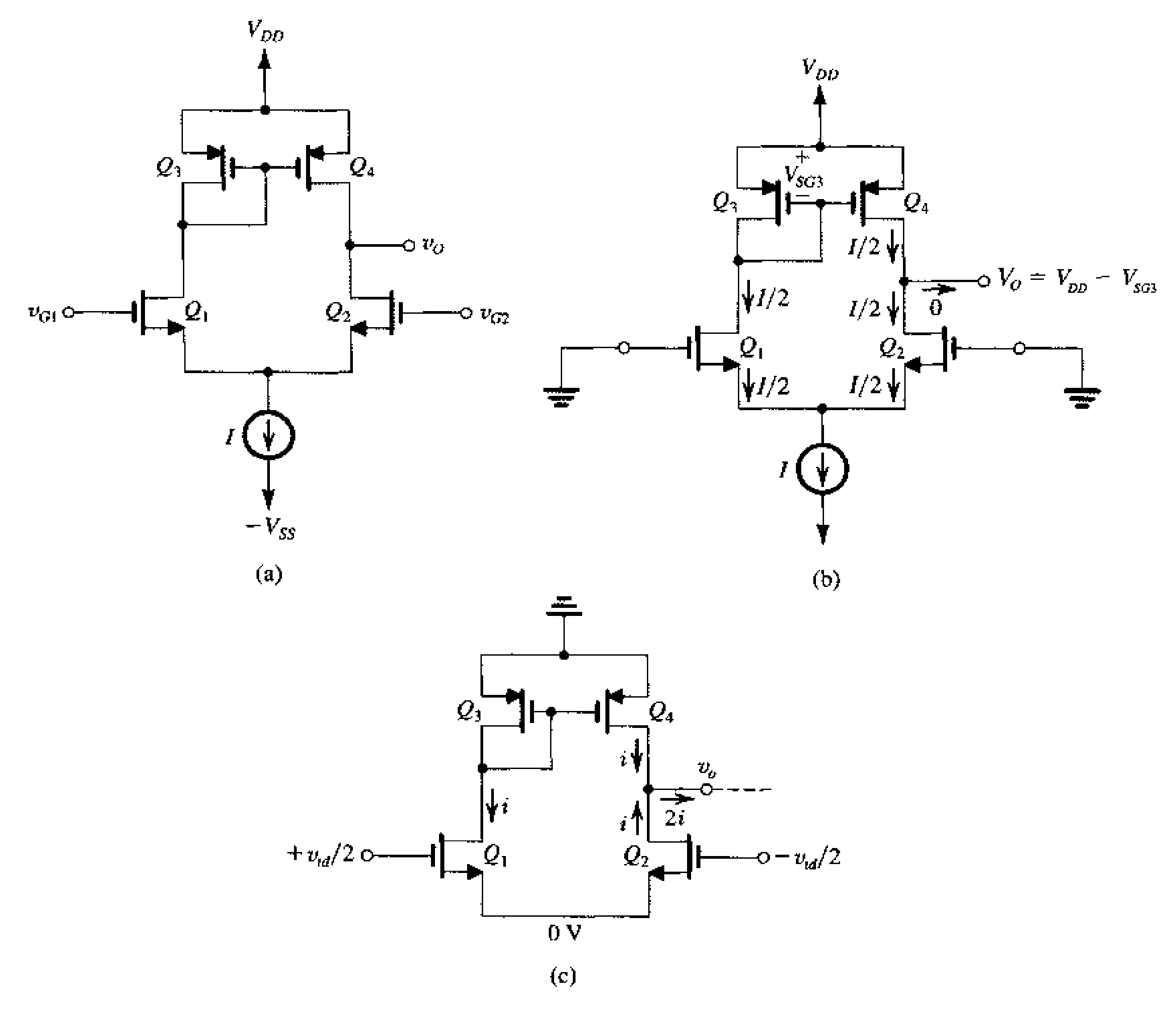


图 7.28 （a）有源负载 MOS 差分对；（b）假设完全匹配时的电路等效；（c）差分输入时的电路，忽略所有晶体管的 r_o

下面考虑差模输入信号 v_{id} 的作用，如图 7.28（c）所示。因为现在只考虑电路的小信号特性，因此我们移去直流电源（包括电流源 I），同时忽略每个晶体管的 r_o。如图 7.28（c）所示，Q_1 和 Q_2 的公共源端为虚地点。晶体管 Q_1 将导通漏极信号电流 $i = g_{m1}v_{id}/2$，且 Q_2 导通等量的反向电流 i。Q_1 的漏极信号电流 i 同时又作为 Q_3-Q_4 镜像电流源的输入，电流源对此的响应是在 Q_4 的漏极输出镜像电流。这样，在输出端就有了两个电流，每个电流均为 i，因此总输出电流就等于 $2i$。正是这个由电流源引起的因子 2 使得电路在不损失增益的情况下将输出信号改为单端形式（即取输出端和接地之间）！如果输出节点连接负载电阻，电流 $2i$ 流过此电阻并产生输出电压 v_o。如果没有负载电阻，输出电压就由输出电流 $2i$ 和电路的输出电阻决定。我们很快就会看到这一点。

7.5.3 有源负载 MOS 差分对的差模增益

正如我们在第 6 章中所讲的那样，晶体管的输出电阻 r_o 在有源负载差分放大器中扮演着极为重要的角色。因此我们必须考虑 r_o，由此推导出有源负载 MOS 差分对的差模增益 v_o/v_{id} 的表达式。遗憾的是，因为电路不再对称，差模半电路的方法就不能使用了。我们将应用基本原理来进行推导：首先求得短路互导 G_m 和输出电阻 R_o，因此增益就为 G_mR_o。

确定互导 G_m 用图 7.29（a）所示的电路求解 G_m。我们注意到输出和地之间被短接了，目的是要求解 i_o/v_{id} 定义的 G_m。尽管原始电路并非完全对称，但当输出端接地时，电路几乎是对称的。这是因为 Q_1 漏极和地之间的电压非常小。实际是因为节点和地之间的电阻约等于 $1/g_{m3}$，其值很小。于是，我们利用对称特性，并假定 Q_1 和 Q_2 的源极接地，由此得到图 7.29（b）所示的等效电路。在此我们将连接成二极管的晶体管 Q_3 换成其等效电阻 $[(1/g_{m3}) \| r_{o3}]$。镜像电流源的公共栅极的电压 v_{g3} 为

$$v_{g3} = -g_{m1}\left(\frac{v_{id}}{2}\right)\left(\frac{1}{g_{m3}} \| r_{o3} \| r_{o1}\right) \tag{7.139}$$

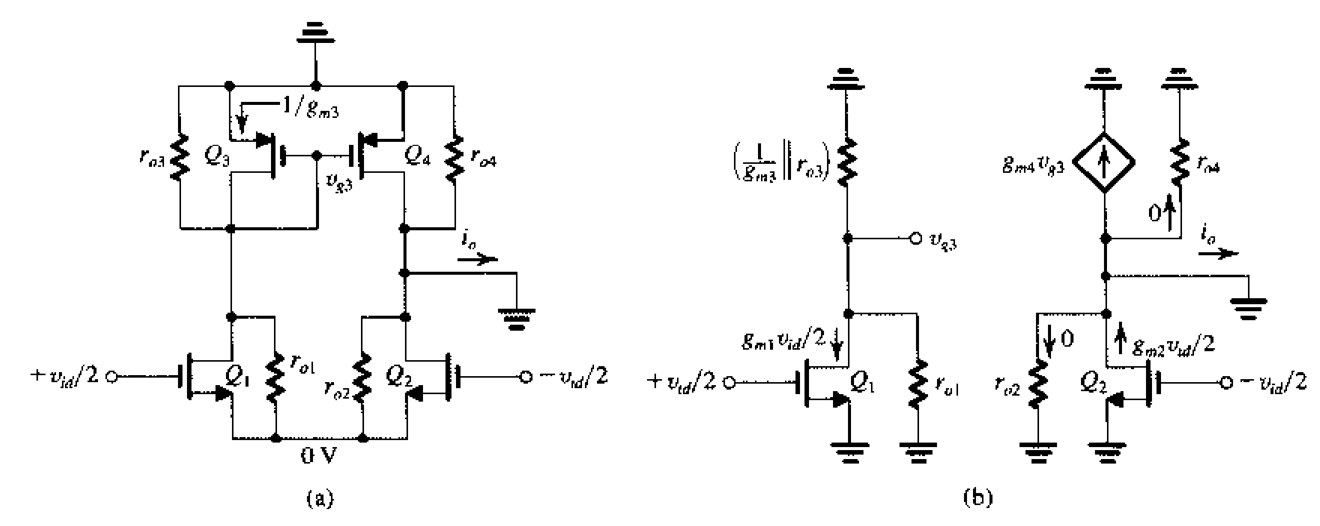


图 7.29　确定有源负载 MOS 差分对的短路互导 $G_m \equiv i_o/v_{id}$

一般情况下，r_{o1} 和 $r_{o3} \gg (1/g_{m3})$，因此有

$$v_{g3} \simeq -\left(\frac{g_{m1}}{g_{m3}}\right)\left(\frac{v_{id}}{2}\right) \tag{7.140}$$

该电压控制 Q_4 的漏极电流，产生 $g_{m4}v_{g3}$ 的电流。我们注意到输出端接地，所以 r_{o2} 和 r_{o4} 的电流为零。于是输出电流 i_o 为

$$i_o = -g_{m4}v_{g3} + g_{m2}\left(\frac{v_{id}}{2}\right) \tag{7.141}$$

将式（7.140）中的 v_{g3} 代入，得到

$$i_o = g_{m1}\left(\frac{g_{m4}}{g_{m3}}\right)\left(\frac{v_{id}}{2}\right) + g_{m2}\left(\frac{v_{id}}{2}\right)$$

由于 $g_{m3} = g_{m4}$ 且 $g_{m1} = g_{m2} = g_m$，所以电流 i_o 变为

$$i_o = g_m v_{id}$$

从中可求得 G_m：

$$G_m = g_m \tag{7.142}$$

因此，电路的短路互导就等于组成差分对的每个晶体管的 g_m。在此我们应当注意，在没有镜像电流源的情况下，G_m 为 $g_m/2$。

确定输出电阻 R_o 图 7.30 所示的电路用于确定 R_o。观察发现，流入 Q_2 的电流 i 必经其源极流出。之后又流入 Q_1，经漏极流出，并为 Q_3-Q_4 镜像电流源提供输入电流。因为连接成二极管的晶体管 Q_3 的 $1/g_{m3}$ 远小于 r_{o3}，因此电流 i 的绝大部分将流入 Q_3 的漏极。电流源在 Q_4 漏极产生相等的电流 i。剩下的就是确定 i 和 v_x 的关系。从图 7.30 中可得

$$i = v_x / R_{o2} \tag{7.143}$$

其中，R_{o2} 是 Q_2 的输出电阻。由于 Q_2 是共栅晶体管并且在源极接有等效的 Q_1 的输入电阻。后者又以共栅形式连接，并且漏极电阻极小（约为 $1/g_{m3}$），于是其输入电阻近似为 $1/g_{m1}$。现在可以利用式（6.101）来求 R_{o2}，将 $g_{mb}=0$ 和 $R_s = 1/g_{m1}$ 代入可得

$$R_{o2} = r_{o2} + (1 + g_{m2}r_{o2})(1/g_{m1})$$

因为 $g_{m1} = g_{m2} = g_m$，且 $g_{m2}r_{o2} >> 1$，因此可得

$$R_{o2} \simeq 2r_{o2} \tag{7.144}$$

回到图 7.30，可以写出以下输出节点方程：

$$i_x = i + i + \frac{v_x}{r_{o4}}$$

$$= 2i + \frac{v_x}{r_{o4}} = 2\frac{v_x}{R_{o2}} + \frac{v_x}{r_{o4}}$$

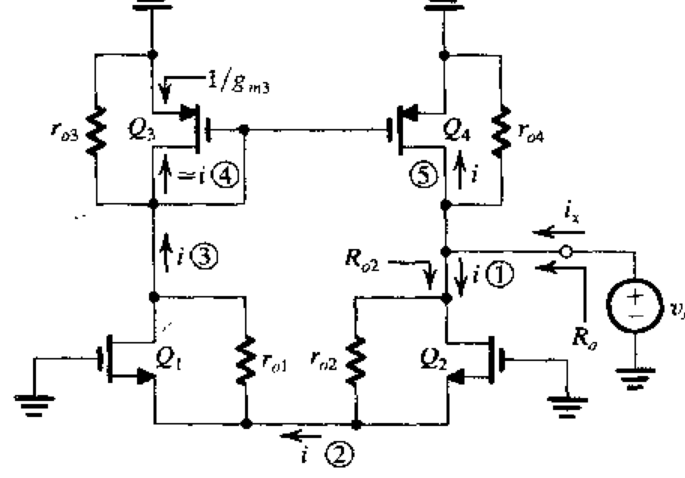


图 7.30 确定 R_o 的电路。带圈的数字表示分析步骤

将由式（7.144）得到的 R_{o2} 代入，有

$$i_x = \frac{v_x}{r_{o2}} + \frac{v_x}{r_{o4}}$$

即

$$R_o \equiv \frac{v_x}{i_x} = r_{o2} \parallel r_{o4} \tag{7.145}$$

这是一个很吸引人的直观结果。

确定差模增益　结合等式（7.142）和式（7.145）可以求出差模增益 A_d：

$$A_d \equiv \frac{v_o}{v_{id}} = G_m R_o = g_m (r_{o2} \parallel r_{o4}) \tag{7.146}$$

当 $r_{o2} = r_{o4} = r_o$ 时，

$$A_d = \frac{1}{2} g_m r_o = \frac{A_0}{2} \tag{7.147}$$

其中，A_0 是 MOS 晶体管的固有增益。

7.5.4　共模增益和 CMRR

虽然有源负载 MOS 差分放大器是单端输出的，但其共模增益仍然很小，相应地也就有很高的共模抑制比　在图 7.31（a）所示的电路中，输入电压是 v_{icm}，忽略了电源，但是保留了偏置电流源 I 的输出电阻 R_{ss}。尽管电路是不对称的，不能使用共模半电路进行分析，但我们还是可以如图 7.31（b）所示的那样，将 R_{ss} 在 Q_1 和 Q_2 间等分。现在可以看出 Q_1 和 Q_2 是共源组态的晶体管，其源极接有一个很大的电阻 $2R_{ss}$。我们可以利用 6.9.1 节中的公式来求出输入信号 v_{icm} 产生的电流 i_1 和 i_2。另一种方法是：我们发现 $2R_{ss}$ 通常远大于 Q_1 和 Q_2 的 $1/g_m$，因此源极的信号几乎等于 v_{icm}；同样，r_{o1} 和 r_{o2} 的影响也可以忽略不计，因此可以写出

$$i_1 = i_2 \simeq \frac{v_{icm}}{2R_{SS}} \tag{7.148}$$

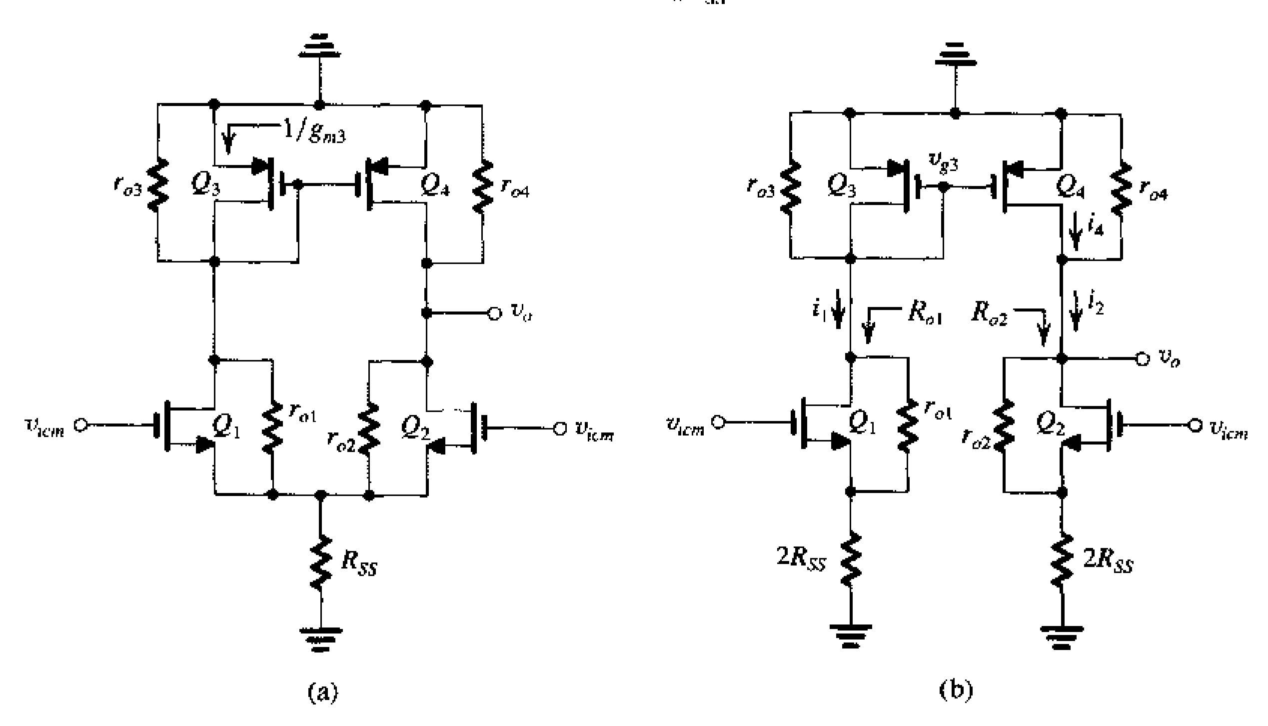


图 7.31　确定有源负载 MOS 差分对共模增益的分析过程

由式（6.101）可得出 $R_s = 2R_{SS}$，$g_{mb} = 0$ 时 Q_1 和 Q_2 的输出电阻为

$$R_{o1} = R_{o2} = r_o + 2R_{SS} + 2g_m r_o R_{SS} \tag{7.149}$$

其中，$r_{o1}=r_{o2}=r_o$，且 $g_{m1}=g_{m2}=g_m$。我们注意到 R_{o1} 远大于并联在其两端、由 Q_3 引入的电阻 $(r_{o3}//(1/g_{m3}))$。同样，R_{o2} 也要远大于 r_{o4}。所以，在求漏极和地之间的总电阻时，我们很容易忽略 R_{o1} 和 R_{o2} 的作用。

电流 i_1 流经 $((1/g_{m3})\parallel r_{o3})$ 并由此产生电压 v_{g3}：

$$v_{g3}=-i_1\left(\frac{1}{g_{m3}}\parallel r_{o3}\right) \tag{7.150}$$

晶体管的 r_{o4} 对此电压的响应是产生漏极电流 i_4：

$$\begin{aligned} i_4 &= -g_{m4}v_{g3} \\ &= i_1 g_{m4}\left(\frac{1}{g_{m3}}\parallel r_{o3}\right) \end{aligned} \tag{7.151}$$

现在，在输出节点，电流 i_4 和 i_2 的差值流过 r_{o4}（因为 $R_{o2}\gg r_{o4}$）并产生 v_o：

$$\begin{aligned} v_o &= (i_4-i_2)r_{o4} \\ &= \left[i_1 g_{m4}\left(\frac{1}{g_{m3}}\parallel r_{o3}\right)-i_2\right]r_{o4} \end{aligned}$$

用式（7.148）替代 i_1 和 i_2，同时设 $g_{m3}=g_{m4}$，通过简单的计算可得

$$A_{cm}\equiv\frac{v_o}{v_{icm}}=-\frac{1}{2R_{SS}}\frac{r_{o4}}{1+g_{m3}r_{o3}} \tag{7.152}$$

通常，$g_{m3}r_{o3}\gg 1$ 且 $r_{o3}=r_{o4}$，因此，

$$A_{cm}\simeq-\frac{1}{2g_{m3}R_{SS}} \tag{7.153}$$

因为 R_{ss} 通常很大，至少与 r_o 相当，所以 A_{cm} 很小。由式（7.146）和式（7.153）求得共模抑制比（CMRR）为

$$\text{CMRR}\equiv\frac{|A_d|}{|A_{cm}|}=[g_m(r_{o2}\parallel r_{o4})][2g_{m3}R_{SS}] \tag{7.154}$$

当 $r_{o2}=r_{o4}=r_o$ 且 $g_{m3}=g_m$ 时，上式简化为

$$\text{CMRR}=(g_m r_o)(g_m R_{SS}) \tag{7.155}$$

可以发现，为了得到较大的 CMRR，我们可以通过选择输出电阻较高的偏置电流源 I 来实现。这样的电路包括 cascode 电流源和 Wilson 电流源，这些都已在 6.12 节介绍过。

练习 7.12 有源负载 MOS 差分放大器如图 7.28(a)所示：$(W/L)_n=100$，$(W/L)_p=200$，$\mu_nC_{ox}=2\mu_pC_{ox}=0.2\ \text{mA/V}^2$，$V_{An}=|V_{Ap}|=20\ \text{V}$，$I=0.8\ \text{mA}$，$R_{SS}=25\ \text{k}\Omega$。计算 G_m，R_o，A_d，$|A_{cm}|$ 和 CMRR。

答案：4 mA/V；25 kΩ；100 V/V；0.005 V/V；20 000 或 86 dB

7.5.5 有源负载双极型差分对

图 7.32（a）所示是有源负载差分放大器的双极型晶体管电路。电路的结构及工作原理和与之对应的 MOS 电路极为相似，但我们必须考虑有限 β 值的影响以及由此而产生的基极的有限输入电阻 r_π。不过现在我们将忽略 β 值对 4 个晶体管直流偏置的影响，而假定所有的 4 个晶体管都工作在直流偏置电流 $I/2$ 上。

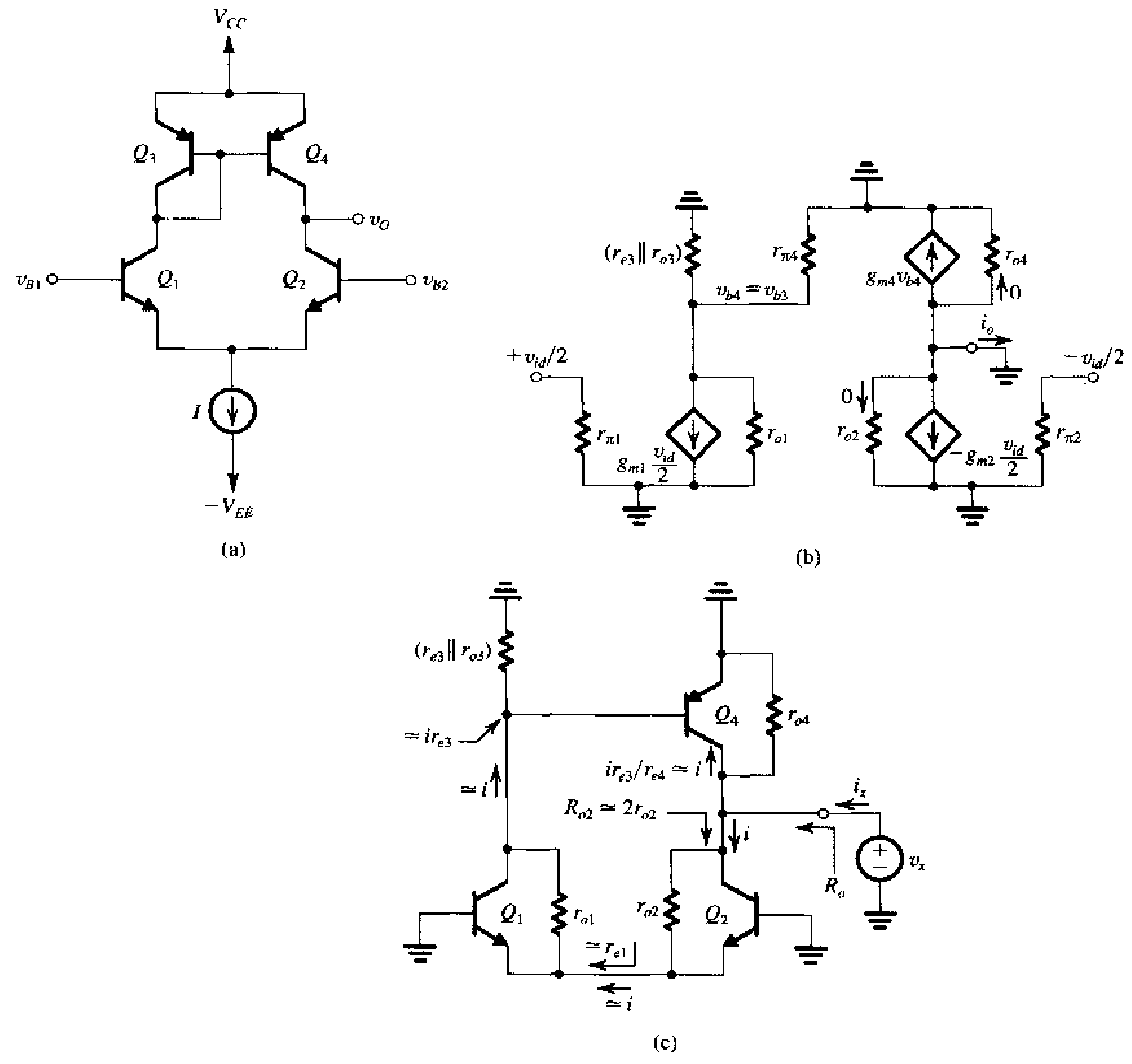


图 7.32　（a）有源负载双极型差分对；（b）确定互导 $G_m \equiv i_o/v_{id}$ 的小信号等效电路；（c）确定输出电阻 $R_o \equiv v_x/i_x$ 的等效电路

差模增益　为了得出差模增益的表达式，我们施加差模输入信号 v_{id}，如图 7.32（b）中的等效电路所示。我们注意到输出端已经接地，以此来求总的短路互导 $G_m \equiv i_o / v_{id}$。如同在 MOS 中分析的那样，我们假定电路平衡，于是在公共射极端产生虚地。这个假设建立在 Q_1 的集电极电压信号很小的基础之上。而后者是由于集电极节点和地之间的电阻很小（约为 r_{e3}）所致。因此可得电压 v_{b3} 为

$$v_{b3} = -g_{m1}\left(\frac{v_{id}}{2}\right)(r_{e3} \parallel r_{o3} \parallel r_{o1} \parallel r_{\pi4}) \simeq -g_{m1}r_{e3}\left(\frac{v_{id}}{2}\right) \tag{7.156}$$

因为 $v_{b4} = v_{b3}$，所以 Q_4 的集电极电流为

$$g_{m4}v_{b4} = -g_{m4}g_{m1}r_{e3}\left(\frac{v_{id}}{2}\right) \tag{7.157}$$

由输出端的节点方程可求得输出电流 i_o 为

$$i_o = g_{m2}\left(\frac{v_{id}}{2}\right) - g_{m4}v_{b4} \quad (7.158)$$

利用式（7.157）可得

$$i_o = g_{m2}\left(\frac{v_{id}}{2}\right) + g_{m4}g_{m1}r_{e3}\left(\frac{v_{id}}{2}\right) \quad (7.159)$$

因为所有的器件都工作在同一个偏置电流上，所以 $g_{m1} = g_{m2} = g_{m4} = g_m$，其中，

$$g_m \simeq \frac{I/2}{V_T} \quad (7.160)$$

同时，$r_{e3} = \alpha_3 / g_{m3} = \alpha / g_m \cong 1/g_m$。所以，由式（7.159）可求得 G_m：

$$G_m = g_m \quad (7.161)$$

此式与对应的 MOS 结论完全相同。

下面，我们应用图 7.32（c）所示的等效电路求解放大器的输出电阻。请读者仔细审视电路，会发现分析过程与 MOS 完全相同。利用式（6.160），并注意 Q_2 的射极电阻 R_e 近似等于 r_{e1}，可知晶体管 Q_2 的输出电阻 R_{o2} 为

$$\begin{aligned} R_{o2} &= r_{o2}[1 + g_{m2}(r_{e1} \parallel r_{\pi 2})] \\ &\simeq r_{o2}(1 + g_{m2}r_{e1}) \\ &= 2r_{o2} \end{aligned} \quad (7.162)$$

这里，我们利用了全部晶体管的所有参数都相等这个事实。

因此，求出电流 i 为

$$i = \frac{v_x}{R_{o2}} = \frac{v_x}{2r_{o2}} \quad (7.163)$$

在输出端应用节点方程，可得到电流 i_x 为

$$i_x = 2_i + \frac{v_x}{r_{o4}} = \frac{v_x}{r_{o2}} + \frac{v_x}{r_{o4}}$$

所以，

$$R_e \equiv \frac{v_x}{i_x} = r_{o2} \parallel r_{o4} \quad (7.164)$$

此式告诉我们放大器的输出电阻等于差分对的输出电阻和电流源输出电阻的并联等效值。这与从对应的 MOS 电路得出的结论是一致的。

将式（7.161）和式（7.164）结合起来可以求得差模增益为

$$A_d \equiv \frac{v_o}{v_{id}} = G_m R_o = g_m(r_{o2} \parallel r_{o4}) \quad (7.165)$$

若 $r_{o2} = r_{o4} = r_o$，可以将式（7.165）简化为

$$A_d = \frac{1}{2}g_m r_o \quad (7.166)$$

虽然该式与 MOS 电路的相应公式相同，但是这里的增益要更大。这是因为 BJT 的 $g_m r_o$ 要比 MOSFET 的 $g_m r_o$ 大一个数量级。当然，不利的一面是 BJT 放大器的输入电阻较小。实际上，图 7.32（b）所示的等效电路表明，正如我们预计的那样，差分放大器的差模输入电阻为 $2r_\pi$：

$$R_{id} = 2r_\pi \quad (7.167)$$

这与 MOS 放大器无穷大的输入电阻截然相反。所以，尽管有源负载放大器级的电压增益很大，但当下一级连接到输出端时，其不可避免地存在的小输入电阻将显著降低总电压增益。

共模增益和 CMRR 共模增益 A_{cm} 和共模抑制比（CMRR）可以通过与 MOS 相同的分析过程求得。图 7.33 所示的电路可用于共模信号的分析。Q_1 和 Q_2 集电极的电流由下式给出：

$$i_1 \simeq i_2 \simeq \frac{v_{icm}}{2R_{EE}} \tag{7.168}$$

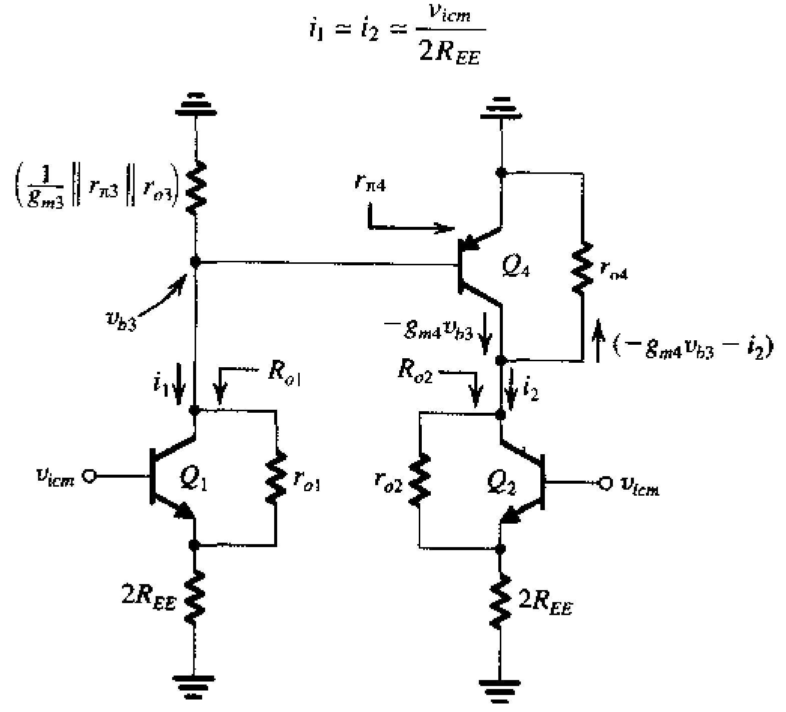


图 7.33 有源负载双极型差分放大器求解共模增益的分析过程

可以证明 Q_1 和 Q_2 的输出电阻（R_{o1} 和 R_{o2}）非常大，因此可以被忽略。这样一来，Q_3 和 Q_4 公共的基极端的电压 v_{b3} 可以通过 i_1 乘以公共基极端和地之间的总电阻求得：

$$v_{b3} = -i_1\left(\frac{1}{g_{m3}} \| r_{\pi3} \| r_{o3} \| r_{\pi4}\right) \tag{7.169}$$

Q_4 对 v_{b3} 的响应是产生集电极电流，其值为 $g_{m4}v_{b3}$。在输出节点，我们有

$$v_o = (-g_{m4}v_{b3} - i_2)r_{o4} \tag{7.170}$$

分别代入式（7.169）的 v_{b3} 和式（7.168）的 i_1 和 i_2，得到

$$\begin{aligned}A_{cm} &\equiv \frac{v_o}{v_{icm}} = \frac{r_{o4}}{2R_{EE}}\left[g_{m4}\left(\frac{1}{g_{m3}} \| r_{\pi3} \| r_{o3} \| r_{\pi4}\right) - 1\right] \\ &= -\frac{r_{o4}}{2R_{EE}} \frac{\dfrac{1}{r_{\pi3}} + \dfrac{1}{r_{\pi4}} + \dfrac{1}{r_{o3}}}{g_{m3} + \dfrac{1}{r_{\pi3}} + \dfrac{1}{r_{\pi4}} + \dfrac{1}{r_{o3}}}\end{aligned} \tag{7.171}$$

其中已假定 $g_{m3} = g_{m4}$。若 $r_{\pi3} = r_{\pi4}$ 且 $r_{o3} \gg r_{\pi3}$ 和 $r_{\pi4}$，式（7.171）可整理为

$$\begin{aligned}A_{cm} &\simeq -\frac{r_{o4}}{2R_{EE}} \frac{\dfrac{2}{r_{\pi3}}}{g_{m3} + \dfrac{2}{r_{\pi3}}} \\ &\simeq -\frac{r_{o4}}{2R_{EE}} \frac{2}{\beta_3} = -\frac{r_{o4}}{\beta_3 R_{EE}}\end{aligned} \tag{7.172}$$

利用式（7.165）的 A_d，可得 CMRR 为

$$\text{CMRR} \equiv \frac{|A_d|}{|A_{cm}|} = g_m(r_{o2} \| r_{o4})\left(\frac{\beta_3 R_{EE}}{r_{o4}}\right) \tag{7.173}$$

若 $r_{o2} = r_{o4} = r_o$，则

$$\text{CMRR} = \frac{1}{2}\beta_3 g_m R_{EE} \tag{7.174}$$

从中可以看出，为了得到较大的 CMRR，可以通过提高电路中偏置电流源的输出电阻 R_{EE} 来达到。这可以由 Wilson 电流源来实现（见 6.12.3 节）。

练习 7.13 对一个有源负载 BJT 差分放大器，令 $I = 0.8$ mA，$V_A = 100$ V，$\beta = 160$。求 G_m，R_o，A_d 和 R_{id}。如果偏置电流源用 *npn* 基本镜像电流源实现，求 R_{EE}，A_{cm} 和 CMRR。

答案：16 mA/V；125 kΩ；200 V/V；20 kΩ；125 kΩ；–0.0125 V/V；160 000 或者 104 dB

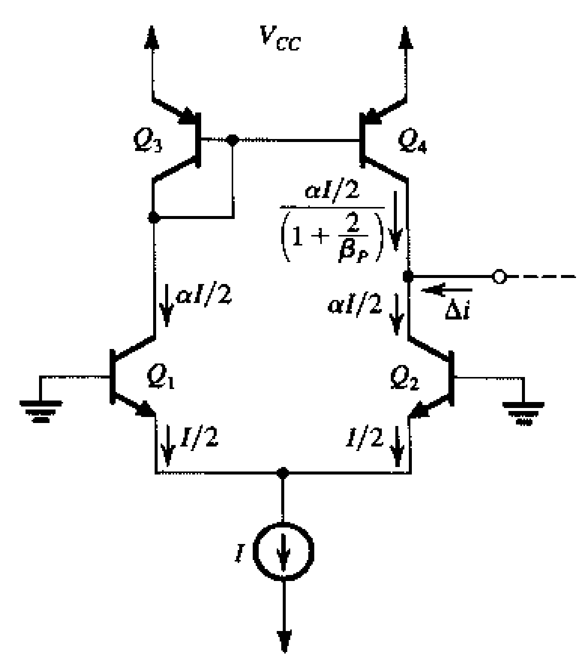


图 7.34 由于电流源电流传输比的偏差引起有源负载 BJT 差分对的系统失调电压

系统输入失调电压 除了差分放大器中由于失配不可避免地导致随机的失调电压外，双极型有源负载的差分对还存在系统失调电压。这是由于构成负载电流源的 *pnp* 晶体管有限的 β 值而导致的电流传输比的错误。为了解个中的原因，参见图 7.34。这里，输入端接地并假设晶体管完全匹配，因此偏置电流 I 被 Q_1 和 Q_2 等分，由此产生的集电极电流为 $\alpha I/2$。Q_1 的集电极电流也是电流源的输入电流。从 6.3 节我们知道，电流源的电流传输比是

$$\frac{I_4}{I_3} = \frac{1}{1+\frac{2}{\beta_P}} \tag{7.175}$$

其中，β_P 是 *pnp* 晶体管 Q_3 和 Q_4 的 β。于是 Q_4 的集电极电流为

$$I_4 = \frac{\alpha I/2}{1+\frac{2}{\beta_P}} \tag{7.176}$$

该电流没有精确平衡 Q_2 的集电极电流，因此电流的差值 Δi 将流入放大器的输出端：

$$\begin{aligned}\Delta i &= \frac{\alpha I}{2} - \frac{\alpha I/2}{1+\frac{2}{\beta_P}} \\ &= \frac{\alpha I}{2}\frac{2/\beta_P}{1+\frac{2}{\beta_P}} \\ &\simeq \frac{\alpha I}{\beta_P}\end{aligned} \tag{7.177}$$

为了将输出电流降低为零，需要施加输入电压 V_{OS}，其值为

$$V_{OS}=-\frac{\Delta i}{G_m}$$

用式（7.177）代替 Δi，若 $G_m=g_m=(\alpha I/2)/V_T$，则可以得到输入失调电压的表达式为

$$V_{OS}=-\frac{\alpha I/\beta_P}{\alpha I/2V_T}=-\frac{2V_T}{\beta_P} \tag{7.178}$$

例如，若 $\beta_P=50$，则 $V_{OS}=-1$ mV。为了降低 V_{OS}，可以采用改进的电流源，比如 6.12 节中讲过的 Wilson 电流源。这样的电路有利于增加输出电阻，因此也就增加了增益。但是，为了充分实现有源负载高输出电阻的优点，差分对的输出电阻也需要增大，这可以通过使用 cascode 结构来实现。图 7.35 所示的就是这样的一种电路设计：由 *pnp* 晶体管 Q_3 和 Q_4 构成的折叠 cascode 结构用于将从 Q_4 集电极视入的输出电阻提高到 $\beta_4 r_{o4}$。由晶体管 Q_5，Q_6，Q_7 构成的 Wilson 电流源作为有源负载。从 6.12.3 节可知：Wilson 电流镜源的输出电阻（从 Q_5 集电极视入）为 $\beta_5(r_{o5}/2)$，因此放大器的输出电阻为

$$R_o=\left[\beta_4 r_{o4} \parallel \beta_5\frac{r_{o5}}{2}\right] \tag{7.179}$$

互导 G_m 仍等于晶体管 Q_1 和 Q_2 的跨导 g_m，因此差模电压增益为

$$A_d=g_m\left[\beta_4 r_{o4} \parallel \beta_5\frac{r_{o5}}{2}\right] \tag{7.180}$$

该值是非常大的。本书将在第 9 章把性能改进的差分放大器作为例题做更进一步的阐述。

练习 7.14　求图 7.35 所示的差分放大器的 G_m，R_{o4}，R_{o5}，R_o 和 A_d。其中，$I=1$ mA，$\beta_P=50$，$\beta_N=100$ 和 $V_A=100$ V

答案：20 mA/V；10 MΩ；10 MΩ；5 MΩ；10^5 V/V 或 100 dB

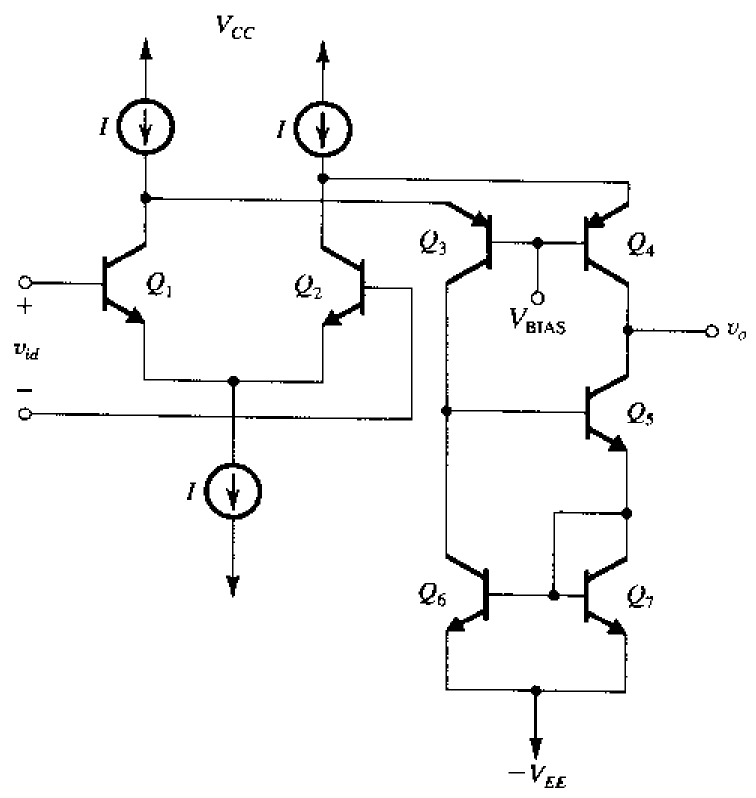


图 7.35　采用折叠型 cascode 结构（Q_3 和 Q_4）和 Wilson 电流源负载（Q_5、Q_6 和 Q_7）的双极型有源负载差分放大器

7.6 差分放大器的频率响应

本节介绍差分放大器的频率响应　我们将讨论随着频率的变化，差模增益、共模增益以及CMRR的变化。在很大程度上，我们将借助第6章中关于单端放大器频响的内容。同时，我们将只讨论MOS电路，而对于双极型电路我们只是做简单的扩展，就像我们在第6章中的一系列例题中所看到的那样。

7.6.1 纯阻负载MOS放大器的分析

我们先分析图7.36（a）所示纯阻负载的MOS差分对。注意，我们已经明确表明了晶体管Q_S，它提供偏置电流I。虽然图中显示Q_S栅极的直流偏置电压是V_{BIAS}，通常Q_S是电流源的一部分这里，其中的细节对我们的分析没有影响。更为重要的是，我们感兴趣的是节点S和地之间的阻抗Z_{SS}。不久我们就可以看到，该阻抗在决定差分放大器的共模增益和共模抑制比时起着重要的作用。电阻R_{SS}是电流源Q_S的输出电阻。电容C_{SS}是节点S和地之间的总电容，其中包括Q_S的C_{db}和C_{gd}，同样还有C_{sb1}和C_{sb2}。这个电容很重要，尤其当Q_S，Q_1和Q_2是宽（wide）晶体管的时候。

图7.36（b）所示的差模半电路可用于确定差模增益V_o/V_{id}对频率的依赖关系。实际上，差分放大器的增益函数$A_d(s)$和共源放大器的传输函数相同。我们已经在6.6节中详细介绍了共源放大器的频响特性，此处不再重复。

练习7.15　考虑如图7.36（a）所示的MOS差分放大器，偏置电流$I = 0.8$ mA。晶体管$W/L = 100$，$k_n' = 0.2$ mA/V^2，$V_A = 20$ V，$C_{gs} = 50$ fF，$C_{gd} = 10$ fF且$C_{db} = 10$ fF。漏极电阻各为5 kΩ。另外，每个漏极和地之间的电容为100 fF。

（a）求每个晶体管的V_{OV}和g_m。

（b）求差模增益A_d

（c）如果输入信号源的内阻R_{sig}很小，那么频率响应就主要由输出端的电容决定，估计3 dB频率f_H［提示：参见6.6.5节和式（6.79）］

（d）如果放大器由20 kΩ内阻的信号源对称输入信号（即10 kΩ串联在每个栅极）作为输入，利用开路时间常数法估计f_H［提示：参见6.6.2节，特别是式（6.57）和式（6.58）］

答案：（a）0.2 V，4 mA/V；（b）18.2 V/V；（c）291 MHz；（d）53.7 MHz

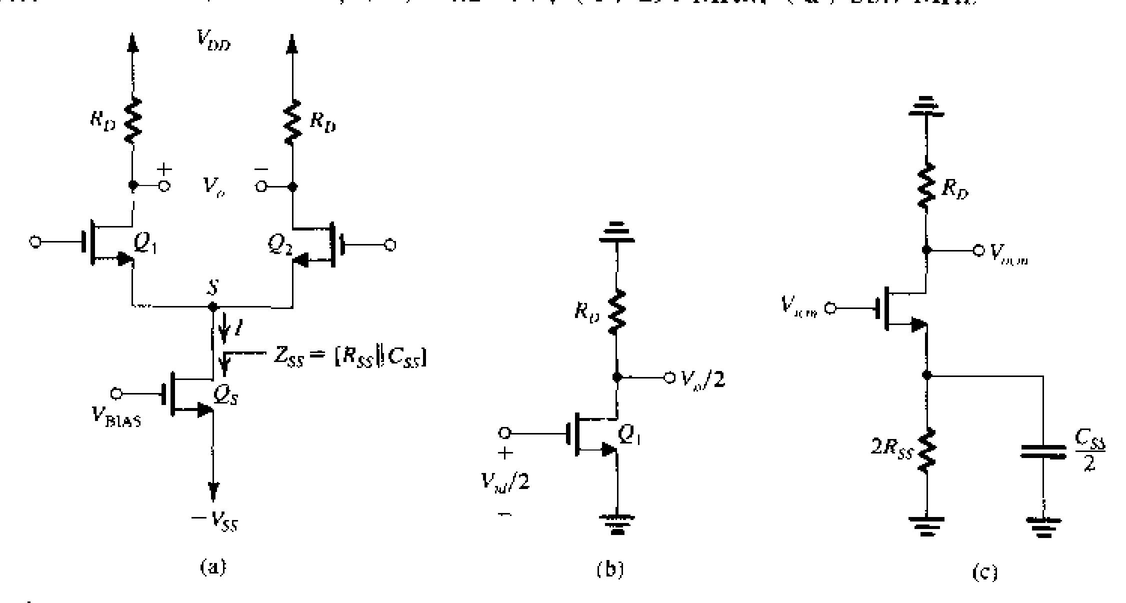


图7.36　（a）电阻负载MOS差分对，由晶体管提供偏置电流。假设节点S和地之间的阻抗是Z_{SS}，由电阻R_{SS}和与之并联的电容C_{SS}组成；（b）差模半电路；（c）共模半电路

图 7.36（c）所示的是共模半电路．尽管电路含有其他电容，也就是晶体管的 C_{gs}，C_{gd} 和 C_{db}，但我们只标明了 $C_{SS}/2$。这是因为$(C_{SS}/2)$和$(2R_{SS})$构成的共模增益传输函数的实轴零点频率要远小于电路的其他零点和极点频率，因此 A_{cm} 和 CMRR 的频率特性主要由这个零点决定。

如果差分放大器的输出是单端的，那么感兴趣的共模增益是 V_{ocm}/V_{icm}．更有代表性的是差分放大器的差分输出形式。即便如此，V_{ocm}/V_{icm} 仍然在决定共模增益时起着重要作用，如同我们在 7.2 节看到的那样．更明确地说，考虑差分输出且漏极电阻有ΔR_D 的失配，共模增益的结果可通过 7.2 节中的式（7.51）求出：

$$A_{cm}=-\left(\frac{R_D}{2R_{SS}}\right)\frac{\Delta R_D}{R_D} \tag{7.181}$$

这只是 V_{ocm}/V_{icm} 和单位误差（$\Delta R_D/R_D$）的乘积。类似的表达式可在其他电路失配的影响结果中见到．值得注意的是因子 $R_D/(2R_{SS})$ 总是出现在这些表达式中，因此将 R_{SS} 用 Z_{SS} 代替就可以求出 A_{cm} 的频响特性．由此对式（7.181）进行处理可得

$$\begin{aligned}A_{cm}(s)&=-\frac{R_D}{2Z_{SS}}\left(\frac{\Delta R_D}{R_D}\right)\\&=-\frac{1}{2}R_D\left(\frac{\Delta R_D}{R_D}\right)Y_{SS}\\&=-\frac{1}{2}R_D\left(\frac{\Delta R_D}{R_D}\right)\left(\frac{1}{R_{SS}}+sC_{SS}\right)\\&=-\frac{R_D}{2R_{SS}}\left(\frac{\Delta R_D}{R_D}\right)(1+sC_{SS}R_{SS})\end{aligned} \tag{7.182}$$

可见在 s 平面的负实轴上有一个频率为 ω_Z 的零点：

$$\omega_Z=\frac{1}{C_{SS}R_{SS}} \tag{7.183}$$

或写成以下的赫兹表示形式：

$$f_Z=\frac{\omega_Z}{2\pi}=\frac{1}{2\pi C_{SS}R_{SS}} \tag{7.184}$$

正如前面提到的，通常 f_Z 远小于其他极点和零点的频率．结果就是共模增益频率相对较低的时候就开始以+6 dB/二倍频程（20 dB/十倍频程）增加，如图 7.37（a）所示。当然，A_{cm} 在较高频率处会下降，这是由共模半电路的其他极点造成的。但是 f_Z 非常重要，因为在该频率处差分放大器的 CMRR 开始下降，如图 7.37（c）所示。我们注意到如果 A_d 和 A_{cm} 都用分贝表示，那么同样用分贝表示的 CMRR 其实就是 A_d 和 A_{cm} 的差值。

虽然先前我们只考虑了由 R_D 失配造成的共模增益，不过很显然，结论同样适用于其他失配的结果。比如，将式（7.64）中的 R_{SS} 用 Z_{SS} 替代，就可以应用到 g_m 失配的情况。

在结束本节之前，我们很有兴趣地提出设计电流源晶体管 Q_S 时需要特别注意的一点，那就是折中问题：为了以小电压 V_{DS}（受到已经很小的 V_{DD} 的制约）驱动电流源工作，我们必须减小晶体管工作时的过驱动电压 V_{OV}．但是，对给定的电流 I，这意味着需要采用很大的 W/L 比（即宽晶体管）。这实际上增加了 C_{SS}，因此降低了 f_Z，并最终在较低频率处导致 CMRR 的下降。于是就产生了要降低 Q_S 直流电压和要保持 CMRR 在高频处具有相对较高值的矛盾。

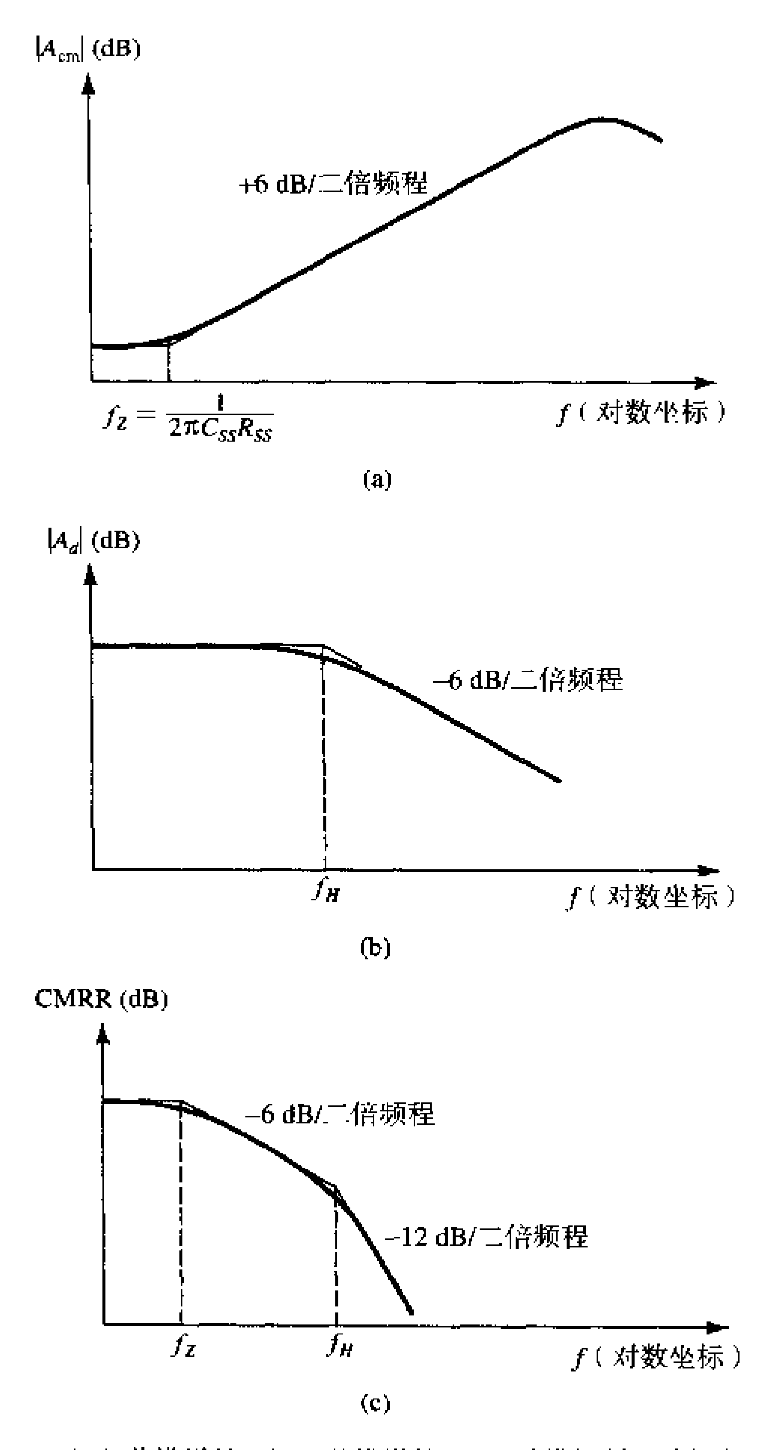


图 7.37 （a）共模增益；（b）差模增益；（c）共模抑制比随频率的变化

为了在高频时获得较高的 CMRR，考虑图 7.38 所示的情况：这是一个两级的差分放大器，供电的电源 V_{DD} 被高频噪声污染。因为 Q_1 和 Q_2 的漏极直流电压为 $[V_{DD}-(I/2)R_D]$，因此 v_{D1} 和 v_{D2} 将含有与 V_{DD} 相同的噪声。因此高频噪声作为共模输入信号进入由 Q_3 和 Q_4 组成的第二级。如果第二级差分放大器完全匹配，则其差分输出电压 V_o 将不受高频噪声的影响。但是在实际情况中，完全匹配是不存在的，第二级的共模增益是有限值。另外，由于第二级 C_{SS} 和 R_{SS} 产生的零点，共模增益将随频率增加而增加，导致输出 V_o 中含有高频噪声。通过精心的设计，V_o 中这些不必要的成分可以大大减小。

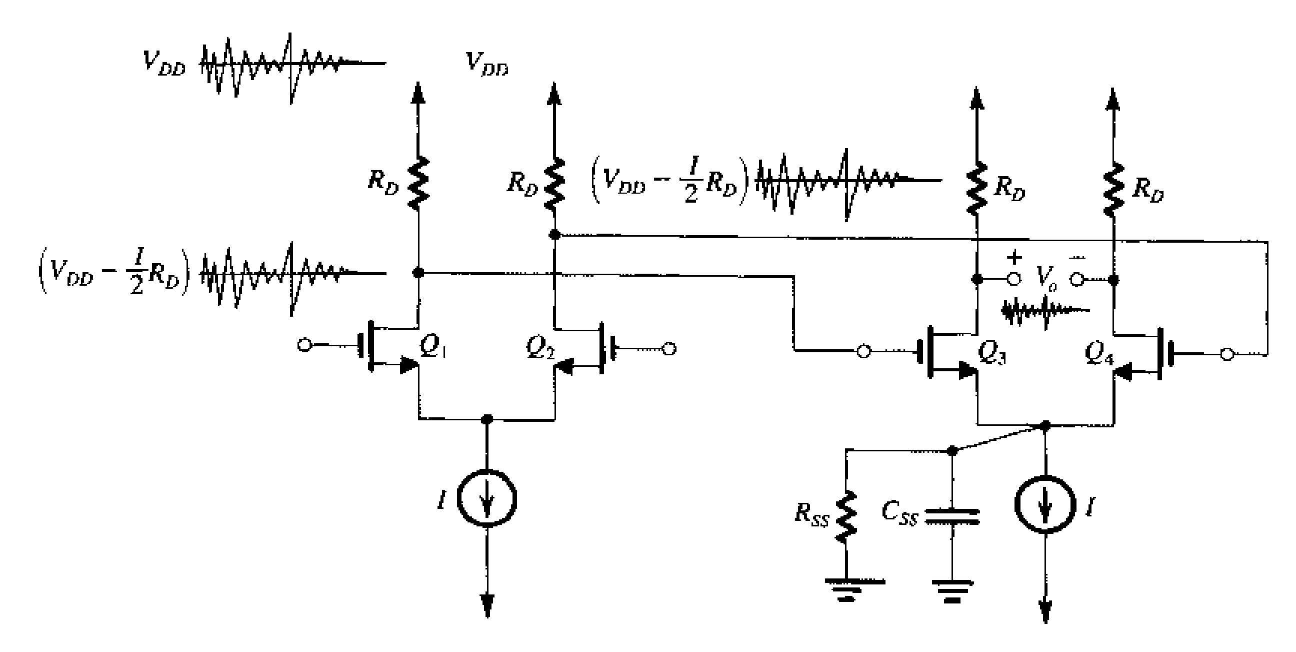


图 7.38　第二级差分放大器要想抑制第一级电源注入的高频噪声，必须在高频时仍然保持高数值的 CMRR

练习 7.16　考虑练习 7.15 中的差分放大器，其 $R_{SS}=25\ \text{k}\Omega$，$C_{SS}=0.4\ \text{pF}$，求 CMRR 的 3 dB 频率。

答案：15.9 MHz

7.6.2　有源负载 MOS 放大器的分析

我们接下来分析有源负载 MOS 差分对的频率响应，电路是在 7.5 节介绍过的电流源负载差分对电路，如图 7.39（a）所示，图中标明两个电容：C_m（即镜像电流源输入端的总电容）与 C_L（即输出节点的总电容）。电容 C_m 主要由 C_{gs3} 和 C_{gs4} 构成，但也包括 C_{gd1}，C_{db1} 和 C_{db3}：

$$C_m = C_{gd1}+C_{db1}+C_{db3}+C_{gs3}+C_{gs4} \tag{7.185}$$

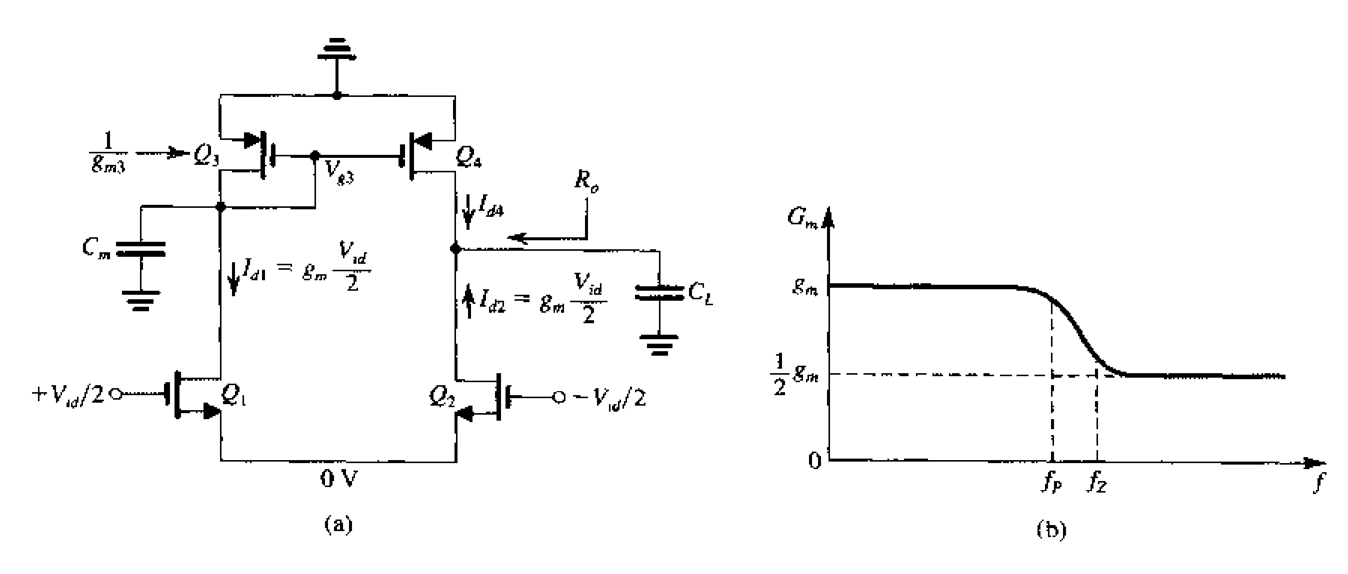


图 7.39　（a）有源负载 MOS 差分放大器的频率响应分析；（b）总互导 G_m 对频率的函数

电容 C_L 包括 C_{gd2}，C_{db2}，C_{db4}，C_{gd4} 以及实际负载电容和/或后一级的输入电容（C_x）：

$$C_L = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_x \tag{7.186}$$

这两个电容基本决定了放大器差模电压增益受频率的影响。

如图 7.39(a)所示的差分输入信号 V_{id} 以平衡方式接入。晶体管 Q_1 的漏极电流信号为 $g_m V_{id}/2$ 且流过连接成二极管的晶体管 Q_3，即流过 $(1/g_{m3})$ 和 C_m 的并联组合，这里我们忽略远大于 $(1/g_{m3})$ 的电阻 r_{o1} 和 r_{o3}，因此，

$$V_{g3} = -\frac{g_m V_{id}/2}{g_{m3} + sC_m} \tag{7.187}$$

晶体管 Q_4 对 V_{g3} 的响应是产生漏极电流 I_{d4}：

$$I_{d4} = -g_{m4} V_{g3} = \frac{g_{m4} g_m V_{id}/2}{g_{m3} + sC_m}$$

因为 $g_{m3} = g_{m4}$，该式简化为

$$I_{d4} = \frac{g_m V_{id}/2}{1 + s\dfrac{C_m}{g_{m3}}} \tag{7.188}$$

现在，输出端总输出电流为

$$\begin{aligned} I_o &= I_{d4} + I_{d2} \\ &= \frac{g_m V_{id}/2}{1 + s\dfrac{C_m}{g_{m3}}} + g_m(V_{id}/2) \end{aligned} \tag{7.189}$$

该电流流过 $R_o = r_{o2} \parallel r_{o4}$ 和 C_L 的并联组合，因此，

$$V_o = I_o \frac{1}{\dfrac{1}{R_o} + sC_L} \tag{7.190}$$

由式（7.189）的 I_o 代入，得到

$$V_o = g_m R_o \left(\frac{V_{id}}{2}\right)\left[1 + \frac{1}{1 + s\dfrac{C_m}{g_{m3}}}\right]\frac{1}{1 + sC_L R_o}$$

整理后得

$$A_d(s) \equiv \frac{V_o}{V_{id}} = (g_m R_o)\left(\frac{1}{1 + sC_L R_o}\right)\left(\frac{1 + s\dfrac{C_m}{2g_{m3}}}{1 + s\dfrac{C_m}{g_{m3}}}\right) \tag{7.191}$$

我们看到，等式右边第一个因子是放大器的直流增益。第二个因子是由 C_L 和 R_o 引入的频率为 f_{P1} 的极点：

$$f_{P1} = \frac{1}{2\pi C_L R_o} \tag{7.192}$$

当然，这完全在预料之中，并且实际上通常输出极点是主极点，特别是负载电容很大的时候。式（7.191）右边第三个因子表明电流源输入端的电容 C_m 产生了频率为 f_{P2} 的极点：

$$f_{P2}=\frac{g_{m3}}{2\pi C_m} \tag{7.193}$$

及频率为 f_Z 的零点：

$$f_Z=\frac{2g_{m3}}{2\pi C_m} \tag{7.194}$$

可见，零点频率是极点的两倍。因为 C_m 近似为 $C_{gs3}+C_{gs4}=2C_{gs3}$，所以有

$$f_{P2}\cong\frac{g_{m3}}{2\pi(2C_{gs3})}\cong f_T/2 \tag{7.195}$$

和

$$f_Z\cong f_T \tag{7.196}$$

其中，f_T 是 MOSFET 的高频电流增益的模值降为单位值时所对应的频率（见 4.8 节和 6.2 节）。也就是说，电流源的零点和极点位于极高的频率处。不过，它们的影响仍然是很重要的。

观察发现 Q_1 信号电流的传输函数与 Q_2 的不同，这一点很有趣，也很重要。这是 C_m 接受的第一个信号并由此产生电流源的极点。根据这一点引出了 C_m 对差分放大器总互导 G_m 影响的有趣的观点：正如 7.5 节中讲到的，频率很低时，I_{d1} 被 Q_3-Q_4 镜像电流源复制并在 Q_4 集电极产生 I_{d4}，它和 I_{d2} 汇合使 G_m 增加两倍（这使得 G_m 等于 g_m，是不用电流源所能达到的两倍）。现在，频率升高后，C_m 相当于短路，导致 V_{g3} 为零因而 I_{d4} 也为零，致使 G_m 降为 $g_m/2$。因此，输出端短路接地时的短路互导 G_m 随频率变化的曲线如图 7.39（b）所示。

例题 7.2　考虑图 7.28（a）所示的有源负载 MOS 差分放大器。假定对所有晶体管，$W/L=7.2\ \mu m/0.36\ \mu m$，$C_{gs}=20$ fF，$C_{gd}=5$ fF 且 $C_{db}=5$ fF。另外，令$\mu_nC_{ox}=387\ \mu A/V^2$，$\mu_pC_{ox}=86\ \mu A/V^2$，$V'_{An}=5A/\mu m$，$|V'_{Ap}|=6\ V/\mu m$、偏置电流 $I=0.2$ mA，且偏置电流源的输出电阻 $R_{SS}=25\ k\Omega$，输出电容 $C_{SS}=0.2$ pF。除了晶体管在输出端引入的电容外，还有一个 25 fF 的电容 C_x。求低频 A_d，A_{cm} 和 CMRR 的值，并求 A_d 的零点和极点以及 CMRR 的主极点。

解：因为 $I=0.2$ mA，所以 4 个晶体管的偏置电流为 100 μA。于是，对 Q_1 和 Q_2，有

$$100=\frac{1}{2}\times387\times\frac{7.2}{0.36}\times V_{OV}^2$$

由此可求出

$$V_{OV}=0.16\ \text{V}$$

故

$$g_m=g_{m1}=g_{m2}=\frac{2\times0.1}{0.16}=1.25\ \text{mA/V}$$

$$r_{o1}=r_{o2}=\frac{5\times0.36}{0.1}=18\ \text{k}\Omega$$

对 Q_3 和 Q_4，有

$$100=\frac{1}{2}\times86\times\frac{7.2}{0.36}\times V_{OV3,4}^2$$

那么

$$V_{OV3,4} = 0.34\ \text{V}$$

和

$$g_{m3} = g_{m4} = \frac{2\times 0.1}{0.34} = 0.6\ \text{mA/V}$$

$$r_{o3} = r_{o4} = \frac{6\times 0.36}{0.1} = 21.6\ \text{k}\Omega$$

低频差模电压增益可由下式求得：

$$\begin{aligned} A_d &= g_m(r_{o2} \parallel r_{o4}) \\ &= 1.25(18 \parallel 21.6) = 12.3\ \text{V/V} \end{aligned}$$

由式（7.153）可求得低频共模电压增益为

$$\begin{aligned} A_{cm} &= -\frac{1}{2g_{m3}R_{SS}} \\ &= -\frac{1}{2\times 0.6\times 25} = -0.033\ \text{V/V} \end{aligned}$$

共模抑制比 CMRR 的低频值可确定为

$$\text{CMRR} = \frac{|A_d|}{|A_{cm}|} = \frac{12.3}{0.033} = 369$$

或者

$$20\log 369 = 51.3\ \text{dB}$$

为求解 A_d 的零点和极点，首先计算两个电容 C_m 和 C_L 的值，利用式（7.185），有

$$\begin{aligned} C_m &= C_{gd1} + C_{db1} + C_{db3} + C_{gs3} + C_{gs4} \\ &= 5+5+5+20+20 = 55\ \text{fF} \end{aligned}$$

电容 C_L 可由式（7.186）求得：

$$\begin{aligned} C_L &= C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_x \\ &= 5+5+5+5+25 = 45\ \text{fF} \end{aligned}$$

现在通过式（7.192）和式（7.194）求 A_d 的零点和极点：

$$\begin{aligned} f_{P1} &= \frac{1}{2\pi C_L R_o} \\ &= \frac{1}{2\pi\times C_L(r_{o2} \parallel r_{o4})} \\ &= \frac{1}{2\pi\times 45\times 10^{-15}(18 \parallel 21.6)10^3} \\ &= 360\ \text{MHz} \end{aligned}$$

$$f_{P2} = \frac{g_{m3}}{2\pi C_m} = \frac{0.6\times 10^{-3}}{2\pi\times 55\times 10^{-15}} = 1.74\ \text{GHz}$$

$$f_Z = 2f_{P2} = 3.5\ \text{GHz}$$

可见主极点由输出端的电容 C_L 产生，正如我们预料的，电流源引入的零点和极点的频率都非常大

共模抑制比 CMRR 的主极点就是 C_{SS} 和 R_{SS} 引入的共模电压增益的零点，即

$$f_Z = \frac{1}{2\pi C_{SS} R_{SS}}$$
$$= \frac{1}{2\pi \times 0.2 \times 10^{-12} \times 25 \times 10^3}$$
$$= 31.8\ \text{MHz}$$

因此在 31.8 MHz 处 CMRR 开始下降，它远低于 f_{P1}。■

练习 7.17　电流源负载双极型差分放大器的偏置电流源提供 $I=1$ mA 的电流，晶体管的 $|V_A|=100$ V，输出节点的总电容为 2 pF。求差分放大器的直流增益以及差模电压增益的高频主极点。

答案：2000 V/V；0.8 MHz

7.7　多级放大器

实际晶体管放大器通常由多级级联而成。除了提供增益外，通常还要求第一级（或输入级）提供高的输入电阻，以避免对高内阻的信号源产生过大的信号损失。对差分放大器，其输入级必须能够很好地抑制共模信号。而级联的中间级则主要提供较大的电压增益。除此之外，中间级还需要实现差分输出到单端输出（当然如果放大器要求差分输出时例外）的转变和信号直流电平的位移，以使输出信号能够正负摆动。这两个功能以及其他一些功能将在本节稍后说明并将在第 9 章进行更为详细的讨论。

最后，放大器的最后（或输出）级的主要功能是提供小的输出电阻，以避免当连接低值负载电阻时造成增益损失。另外，输出级应该能够以有效的方式提供负载所需要的电流——即不在输出晶体管上消耗过多的功率。我们已经介绍了一种适合构成输出级放大器的结构，那就是源极跟随器和射极跟随器。在第 14 章将会讲到源极跟随器和射极跟随器就功率转换效率的观点来看并不是最优的，我们会介绍更加合适的输出级大功率电路的结构。实际上，在第 9 章中，我们将在运算放大器电路的例题中讲到这样的输出级电路。

为了生动说明多级电路的结构和分析多级放大器的方法，我们将分析两个例子：一个两级的 CMOS 运算放大器和一个四级的双极型运算放大器。

7.7.1　两级 CMOS 运算放大器

图 7.40 所示是流行的 CMOS 运算放大器结构，被称为两级结构。该电路有两个电源，其范围从 0.5μm 技术的±2.5 V 到 0.18μm 技术的±0.9 V。参考偏置电流 I_{REF} 或者由外部提供或者使用片上电路。我们很快就会讨论其中的一种电路。由 Q_8 和 Q_5 构成的电流源为差分对 Q_1-Q_2 提供偏置电流。选择 Q_5 的 W/L 使之满足输入级所需要的偏置电流 I（或对 Q_1 和 Q_2 为 $I/2$）。Q_3 和 Q_4 构成的电流源作为输入差分对的有源负载。这样，输入级电路与 7.5 节介绍的电路相同（只是这里的差分对采用 PMOS 晶体管而电流源用 NMOS 晶体管）。

第二级是采用电流源晶体管 Q_7 作为有源负载的共源放大器 Q_6。电容 C_C 被置于第二级的反馈路径上。它的功能是为了加强 Q_6 中已有的米勒效应（通过 C_{gd} 的作用），由此为运算放大器提供主极点。仔细配置该极点，运算放大器的增益能够以−6 dB/二倍频程或−20 dB/十倍频程的速率降至单位增益或 0 dB。如此设计的运算放大器能够保证对几乎所有可能的负反馈都能稳定工作而不会产生振荡。这样的运算放大器已经实施了频率补偿。我们将在第 8 章和第 9 章中介绍频率补偿[①]的内容。这里，我们将 C_C 简单地用于分析图 7.40 所示电路的频响。

---

① 阅读过第 2 章的读者都知道：市场上可买到的运算放大器（如果增益是按照−20 dB/十倍频程下降的）都已经在芯片内部实现了补偿。这里，"内部"的含义是指频率补偿网络是集成在封装芯片内部的（芯片上），不需要由用户在片外提供。运算放大器μA 741 就是实施内部补偿的一个例子。

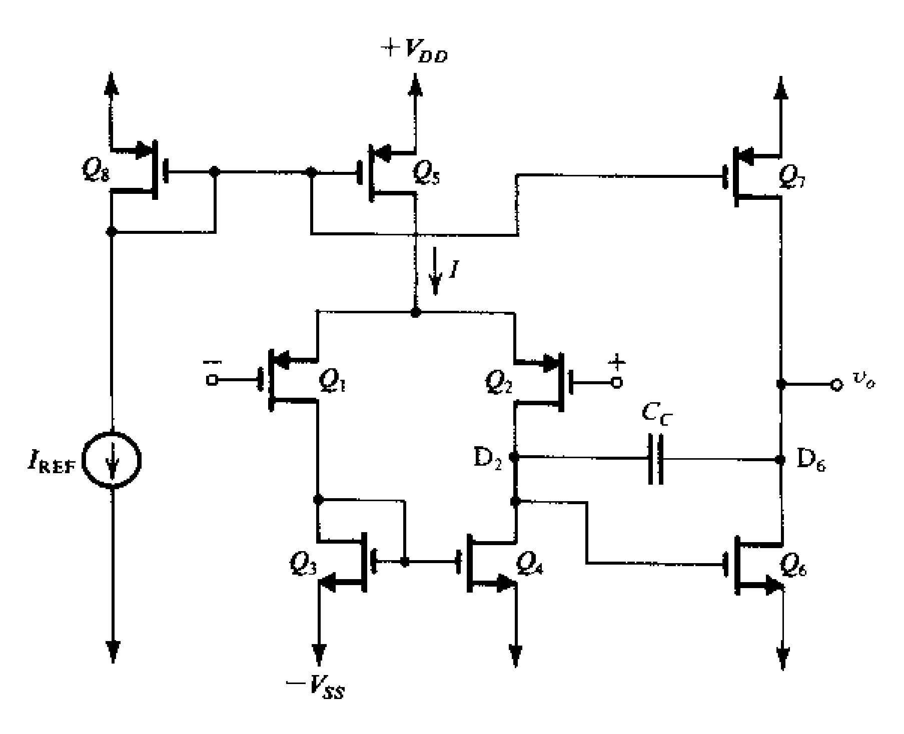


图 7.40　两级 CMOS 运算放大器结构

图 7.40 所示电路的一个值得注意的特性是它没有低阻输出级。实际上，电路的输出电阻等于（$r_{o6} \| r_{o7}$），这是一个很高的数值。因此，该电路并不适合驱动低阻抗负载。不过，该电路仍然十分流行，并在 VLSI 电路中经常用于实现运算放大器，这里的运算放大器只需要驱动很小的电容负载，比如开关电容电路（见第 12 章）。在很小的芯片面积上实现相对高质量的运算放大器源于电路结构的简单性。

电压增益　第一级电压增益在 7.5 节已给出：

$$A_1 = -g_{m1}(r_{o2} \| r_{o4}) \tag{7.197}$$

其中，g_{m1} 是第一级每个晶体管（即 Q_1 和 Q_2）的跨导。

第二级是有源负载共源放大器，其低频电压增益为

$$A_2 = -g_{m6}(r_{o6} \| r_{o7}) \tag{7.198}$$

运算放大器的直流开环增益等于 A_1 和 A_2 的乘积。

例题 7.3　考虑图 7.40 所示的电路，其中晶体管的几何尺寸如下（μm）：

晶体管	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
W/L	20/0.8	20/0.8	5/0.8	5/0.8	40/0.8	10/0.8	40/0.8	40/0.8

令 $I_{REF} = 90\ \mu$A，$V_{tn} = 0.7$ V，$V_{tp} = -0.8$ V，$\mu_n C_{ox} = 160\ \mu$A/V^2，$\mu_p C_{ox} = 40\ \mu$A/V^2，$|V_A|$（对所有器件）$= 10$ V，$V_{DD} = V_{SS} = 2.5$ V。对所有器件，估计 I_D，$|V_{OV}|$，$|V_{GS}|$，g_m 和 r_o。并求 A_1，A_2，以及直流开环电压增益、共模输入范围和输出电压范围。忽略 V_A 对偏置电流的影响。

解：参考图 7.40。因为 Q_8 和 Q_5 匹配，$I = I_{REF}$。因此 Q_1，Q_2，Q_3，Q_4 导通的电流为 $I/2 = 45\ \mu$A。由于 Q_7 与 Q_5 和 Q_8 匹配，那么 Q_7 的电流就等于 $I_{REF} = 90\ \mu$A。最后，Q_6 可传导一个相同的电流为 $90\ \mu$A。

已知每一个器件的 I_D 电流，我们利用

$$I_D = \frac{1}{2}(\mu C_{ox})(W/L)V_{OV}^2$$

可求解每个晶体管的$|V_{OV}|$。接下来，由$|V_{GS}| = |V_t| + |V_{OV}|$可求出$|V_{GS}|$。结果在表 7.1 中列出。

表 7.1

	Q_1	Q_2	Q_2	Q_4	Q_5	Q_6	Q_7	Q_2
$I_D(\mu A)$	45	45	45	45	90	90	90	90
$\lvert V_{OV}\rvert(V)$	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
$\lvert V_{GS}\rvert(V)$	1.1	1.1	1	1	1.1	1	1.1	1.1
$g_m(mA/V)$	0.3	0.3	0.3	0.3	0.6	0.6	0.6	0.6
$r_o(k\Omega)$	222	222	222	222	111	111	111	111

每个晶体管的跨导由下式求得：

$$g_m = 2I_D/|V_{OV}|$$

电阻r_o的值由下式确定：

$$r_o = |V_A|/I_D$$

求得的g_m和r_o的值在表 7.1 中给出。

第一级的电压增益确定为

$$\begin{aligned} A_1 &= -g_{m1}(r_{o2} \| r_{o4}) \\ &= -0.3(222 \| 222) = -33.3 \text{ V/V} \end{aligned}$$

第二级的电压增益确定为

$$\begin{aligned} A_2 &= -g_{m6}(r_{o6} \| r_{o7}) \\ &= -0.6(111 \| 111) = -33.3 \text{ V/V} \end{aligned}$$

故总直流开环电压增益为

$$A_0 = A_1 A_2 = (-33.3)\times(-33.3) = 1109 \text{ V/V}$$

或

$$20\log 1109 = 61 \text{ dB}$$

共模输入范围的下限在Q_1和Q_2刚好离开饱和区时达到，此时的输入电压低于Q_1漏极电压$|V_{tp}|$ V。因为Q_1的漏极电压为$-2.5+1=-1.5$ V，因此共模输入范围的下限为-2.3 V。

共模输入范围的上限在Q_5刚好离开饱和区时达到。因为Q_5工作在饱和区，它的电压(即V_{SD5})至少要等于其工作时的过驱动电压（即 0.3 V），因此Q_5漏极允许的最高电压为+2.2 V。这样v_{ICM}最高可达

$$v_{ICM\max} = 2.2 - 1.1 = 1.1 \text{ V}$$

允许的输出电压的最高值由Q_7刚好离开饱和区时确定，等于$V_{DD} - |V_{OV7}| = 2.5 - 0.3 = 2.2$ V。允许的输出电压的最低值由Q_6刚好离开饱和区时确定，等于$-V_{SS} + V_{OV6} = -2.5 + 0.3 = -2.2$ V。因此，输出电压的范围为-2.2 V ~ +2.2 V。 ■

输入失调电压　输入级器件不可避免存在的失配将产生输入失调电压。这部分输入失调电压可用 7.4.1 节中介绍的方法求得。因为器件的失配是随机的，所以产生的失调电压被称为随机失调电压。这是为了能和另一种称为系统失调的概念相区别，即使对应的器件是完全匹配的，系统失调也会存在而且可以被预计。但是通过仔细设计，系统失调可以被减小到最低程度。尽管它也

发生在 BJT 运算放大器中（其实我们已经在 7.5.5 节中讲到了这种情况），不过通常在 CMOS 运算放大器中更强调这一点，因为它们每级的增益相对较低。

为了了解图 7.40 所示电路是如何产生系统失调的，我们将两输入端接地，如果输入级完全平衡对称，那么 Q_4 漏极的电压等于 Q_3 漏极的电压，为 $(-V_{SS}+V_{GS4})$。这也是 Q_6 栅极的输入电压。换句话说，Q_6 的栅极和源极之间的电压也等于 V_{GS4}。因此 Q_6 的漏极电流 I_6 与 Q_4 的漏极电流具有以下的关系，其中 Q_4 的漏极电流等于 $I/2$：

$$I_6 = \frac{(W/L)_6}{(W/L)_4}(I/2) \tag{7.199}$$

为了使输出端不存在失调电压，该电流必须精确地与 Q_7 电流相同。后者的电流与并联晶体管 Q_5 的电流 I 存在相关性：

$$I_7 = \frac{(W/L)_7}{(W/L)_5}I \tag{7.200}$$

现在，由式（7.199）和式（7.200）可求出满足 $I_6=I_7$ 所需要的条件：

$$\frac{(W/L)_6}{(W/L)_4} = 2\frac{(W/L)_7}{(W/L)_5} \tag{7.201}$$

如果这个条件得不到满足，就会产生系统失调。从例题 7.3 的器件工艺参数可知，式（7.201）是满足的，所以例题中分析的运算放大器不会产生系统输入失调电压。

练习 7.18 考虑图 7.40 所示的 CMOS 运算放大器，它采用 0.8 μm CMOS 工艺制造，其中 $\mu_n C_{ox} = 3\mu_p C_{ox} = 90\ \mu A/V^2$，$|V_t| = 0.8$ V，且 $V_{DD}=V_{SS}=2.5$ V。特殊设计时，有 $I=100\ \mu A$，$(W/L)_1=(W/L)_2=(W/L)_5=200$，$(W/L)_3=(W/L)_4=100$。

（a）求 Q_6 和 Q_7 的 (W/L) 以使 $I_6=100\ \mu A$。

（b）求 Q_1，Q_2，Q_6 工作时的过驱动电压 $|V_{OV}|$。

（c）求 Q_1，Q_2 和 Q_6 的 g_m。

（d）如果 $|V_A|=10$ V，求 r_{o2}，r_{o4}，r_{o6} 和 r_{o7}。

（e）求电压增益 A_1 和 A_2，以及总电压增益 A。

答案：（a）$(W/L)_6=(W/L)_7=200$；（b）0.129 V，0.129 V，0.105 V；（c）0.775 mA/V，0.775 mA/V，1.90 mA/V；（d）200 kΩ，200 kΩ，100 kΩ，100 kΩ；（e）−77.5 V/V，−95 V/V，7363 V/V

频率响应 为了求解图 7.40 所示二级 CMOS 运算放大器的频率响应，考虑图 7.41 简化以后的小信号等效电路。这里，G_{m1} 是输入级的互导（$G_{m1}=g_{m1}=g_{m2}$），R_1 是第一级的输出电阻（$R_1=r_{o2}\|r_{o4}$），而 C_1 是第一级和第二级之间的总电容：

$$C_1 = C_{gd4} + C_{db4} + C_{gd2} + C_{db2} + C_{gs6}$$

G_{m2} 是第二级的互导（$G_{m2}=g_{m6}$），R_2 是第二级的输出电阻（$R_2=r_{o6}\|r_{o7}$），C_2 是运算放大器输出端的总电容：

$$C_2 = C_{db6} + C_{db7} + C_{gd7} + C_L$$

其中 C_L 为负载电容。通常，C_L 远大于晶体管电容，于是 C_2 就远大于 C_1。最后，我们注意到图 7.41 所示的等效电路，我们应该考虑与 C_C 并联的电容 C_{gd6}。但是通常 $C_C \gg C_{gd6}$，这就是我们忽略 C_{gd6} 的原因。

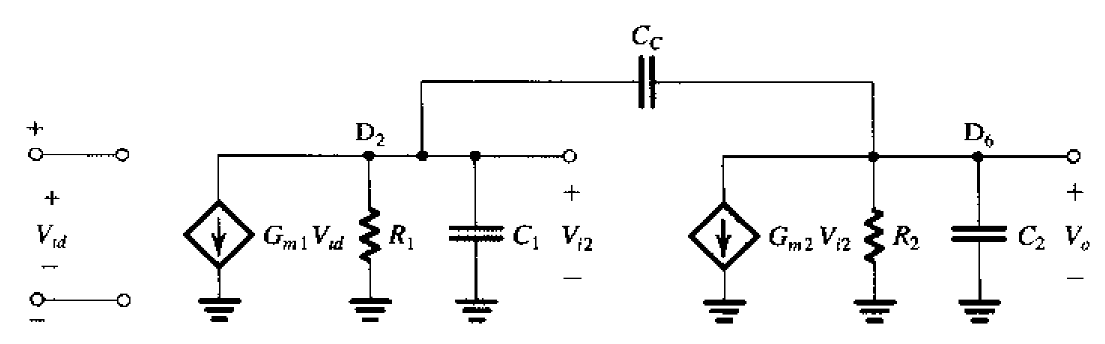


图 7.41　图 7.40 所示运算放大器的等效电路

为了确定 V_o，可按以下步骤分析图 7.41 所示的电路。写出 D_2 的节点方程为

$$G_{m1}V_{id}+\frac{V_{i2}}{R_1}+sC_1V_{i2}+sC_C(V_{i2}-V_o)=0 \tag{7.202}$$

写出 D_6 的节点方程为

$$G_{m2}V_{i2}+\frac{V_o}{R_2}+sC_2V_o+sC_C(V_o-V_{i2})=0 \tag{7.203}$$

为了用 V_{id} 表示 V_o，需要消去 V_{i2}，我们在式（7.203）中用 V_o 表达 V_{i2}，并将结果代入式（7.202）。通过一些简单的变换可得放大器的传输函数为

$$\frac{V_o}{V_{id}}=\frac{G_{m1}(C_{m2}-sC_C)R_1R_2}{1+s[C_1R_1+C_2R_2+C_C(G_{m2}R_1R_2+R_1+R_2)]+s^2[C_1C_2+C_C(C_1+C_2)]R_1R_2} \tag{7.204}$$

首先考虑 $s=0$（即直流）的情况，式（7.204）给出 $V_o/V_{id}=(G_{m1}R_1)(G_{m2}R_2)$，与我们预计的相同。其次，式（7.204）的传输函数表明放大器有一个 $s=s_Z$ 的传输零点，为

$$G_{m2}-s_ZC_C=0$$

即

$$s_Z=\frac{G_{m2}}{C_C} \tag{7.205}$$

换言之，零点位于正实轴，频率为 ω_Z：

$$\omega_Z=\frac{G_{m2}}{C_C} \tag{7.206}$$

同样，放大器还有两个极点，其值是式（7.204）分母多项式的根。如果把两个极点的频率记为 ω_{P1} 和 ω_{P2}，则分母多项式可写成

$$D(s)=\left(1+\frac{s}{\omega_{P1}}\right)\left(1+\frac{s}{\omega_{P2}}\right)=1+s\left(\frac{1}{\omega_{P1}}+\frac{1}{\omega_{P2}}\right)+\frac{s^2}{\omega_{P1}\omega_{P2}}$$

如果其中的一个极点（比如频率为 ω_{P1} 的极点）是主极点，则 $\omega_{P1}\ll\omega_{P2}$ 且 $D(s)$ 可以近似写为

$$D(s)\simeq 1+\frac{s}{\omega_{P1}}+\frac{s^2}{\omega_{P1}\omega_{P2}} \tag{7.207}$$

主极点频率 ω_{P1} 现在可以通过令式（7.204）和式（7.207）中 s 项的系数相等求得：

$$\begin{aligned}\omega_{P1}&=\frac{1}{C_1R_1+C_2R_2+C_C(G_{m2}R_2R_1+R_1+R_2)}\\&=\frac{1}{R_1[C_1+C_C(1+G_{m2}R_2)]+R_2(C_2+C_C)}\end{aligned} \tag{7.208}$$

我们注意到分母的第一项来源于第一级和第二级之间的交互作用，即第一级的输出电阻 R_1 和界面处的总电容的乘积。后者则是 C_1 和米勒电容 $C_C(1+G_{m2}R_2)$ 的和，因为 C_C 位于第二级的负反馈回路上且第二级的增益为 $G_{m2}R_2$。现在，因为 R_1 和 R_2 的值通常相当，可以看到分母的第一项远大于第二项，我们可以近似将 ω_{P1} 表示为

$$\omega_{P1} \simeq \frac{1}{R_1[C_1+C_C(1+G_{m2}R_2)]}$$

因为 C_1 通常远小于米勒电容，同时 $G_{m2}R_2 \gg 1$，所以上式可进一步近似简化为

$$\omega_{P1} \simeq \frac{1}{R_1 C_C G_{m2} R_2} \tag{7.209}$$

第二个极点（也就是非主导极点）的频率可通过令式（7.204）和式（7.207）中 s^2 项的系数相等并用式（7.209）代替 ω_{P1} 求得，其结果为

$$\omega_{P2} = \frac{G_{m2}C_C}{C_1C_2+C_C(C_1+C_2)}$$

由于 $C_1 \ll C_2$, $C_1 \ll C_C$, ω_{P2} 可近似为

$$\omega_{P2} \simeq \frac{G_{m2}}{C_2} \tag{7.210}$$

为使运算放大器增益按照−20 dB/十倍频程下降至0 dB，要选择补偿电容 C_C 的值，使得由式（7.209）得到的 ω_{P1} 值在乘以直流增益 $(G_{m1}R_1G_{m2}R_2)$ 后生成的单位增益频率 ω_t 远低于 ω_Z 和 ω_{P2}，具体而言：

$$\begin{aligned}\omega_t &= (G_{m1}R_1G_{m2}R_2)\omega_{P1} \\ \omega_t &= \frac{G_{m1}}{C_C}\end{aligned} \tag{7.211}$$

它必须低于 $\omega_Z = \dfrac{G_{m2}}{C_C}$ 和 $\omega_{P2} \simeq \dfrac{G_{m2}}{C_2}$。我们将在9.1节对此做更详细的说明。

练习 D7.19 *考虑例题7.3中分析的运算放大器的频率响应。令 $C_1 = 0.1$ pF，$C_2 = 2$ pF。求 C_C 的值，使 $f_t = 10$ MHz 并证明 f_t 小于 f_Z 和 f_{P2}。*

答案：$C_C = 4.8$ pF；$f_Z = 20$ MHz；$f_{P2} = 48$ MHz

稳定 g_m 的偏置电路 我们考虑两级CMOS运算放大器的偏置电路并以此来结束本节的内容。有趣的是，这里给出的电路提供的偏置电流与直流电源和MOSFET的开启电压无关。更进一步说，被偏置的晶体管的跨导仅由一个电阻和器件的尺寸决定。

偏置电路如图7.42所示。它包括两个故意失配的晶体管，即 Q_{12} 和 Q_{13}，其中 Q_{12} 通常为 Q_{13} 宽度的4倍（Steininger, 1990; Johns and Martin, 1997）。电阻 R_B 串联在 Q_{12} 的源极。如图所示，因为 R_B 决定了偏置电流 I_B 和跨导 g_{m12}，因此它的值必须是稳定且精确的。在大多

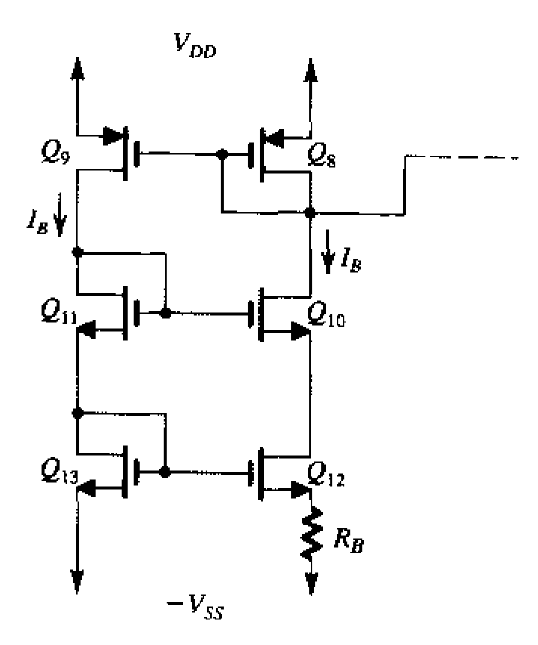


图 7.42 CMOS 运算放大器的偏置电

数应用中，R_B 都是片外电阻。为了能最大程度地降低 Q_{12} 的沟道长度调制效应，图中采用了 cascode 连接的晶体管 Q_{10} 和匹配的连接成二极管的晶体管 Q_{11} 来提供 Q_{10} 的偏置电压。最后，由匹配的 p 沟道器件 Q_8 和 Q_9 构成的镜像电流源将电流 I_B 复制到 Q_{11} 和 Q_{13}，同时也为图 7.40 所示的 CMOS 运算放大器电路中的 Q_5 和 Q_7 提供偏置[1]。

电路的工作原理如下：镜像电流源(Q_8、Q_9)使 Q_{13} 导通的电流与 Q_{12} 的相同，即为 I_B。因此，

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{12}(V_{GS12} - V_t)^2 \tag{7.212}$$

和

$$I_B = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_{13}(V_{GS13} - V_t)^2 \tag{7.213}$$

从电路中可知 Q_{12} 和 Q_{13} 的栅源电压关系为

$$V_{GS13} = V_{GS12} + I_B R_B$$

等式两边同时减去 V_t，并用式（7.212）和式（7.213）得到的（$V_{GS12} - V_t$）和（$V_{GS13} - V_t$）代入，得到

$$\sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{13}}} = \sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)_{12}}} + I_B R_B \tag{7.214}$$

将该式重新整理后得到

$$I_B = \frac{2}{\mu_n C_{ox}(W/L)_{12} R_B^2}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)^2 \tag{7.215}$$

从中可以看到 I_B 由 Q_{12} 的尺寸、R_B 的数值以及 Q_{12} 和 Q_{13} 的尺寸比决定。另外，式（7.215）可重写为

$$R_B = \frac{2}{\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right)$$

其中的因子 $\sqrt{2\mu_n C_{ox}(W/L)_{12} I_B}$ 就是 g_{m12}，因此，

$$g_{m12} = \frac{2}{R_B}\left(\sqrt{\frac{(W/L)_{12}}{(W/L)_{13}}} - 1\right) \tag{7.216}$$

这是一个很有趣的结论：g_{m12} 仅仅由 R_B 的值以及 Q_{12} 和 Q_{13} 的尺寸比决定。而且因为 MOSFET 的 g_m 正比于 $\sqrt{I_D(W/L)}$，由图 7.42 所示的电路提供偏置的每个晶体管的偏置电流都可由 I_B 推导得到，所以它们的 g_m 就是 g_{m12} 的倍数。特别是对第 i 个 n 沟道 MOSFET，有

$$g_{mi} = g_{m12}\sqrt{\frac{I_{Di}(W/L)_i}{I_B(W/L)_{12}}}$$

而对第 i 个 p 沟道器件，有

$$g_{mi} = g_{m12}\sqrt{\frac{\mu_p I_{Di}(W/L)_i}{\mu_p I_B(W/L)_{12}}}$$

最后，我们注意到图 7.42 所示的偏置电路存在正反馈，因此在设计时千万要小心以避免产生不稳定的性能。通过使用比 Q_{13} 更宽的 Q_{12} 可以避免出现不稳定的情况，这已经在先前提到过了。

[1] 我们用 I_B 来表示电路的偏置电流。如果电路用来给图 7.40 所示的 CMOS 运算放大器实施偏置，那么电流 I_B 就成了 I_{REF}。

不过总会产生一些不稳定。实际上，当所有电流为零时，电路才工作在稳定状态。为脱离这种状态，需要电流注入一个节点来启动它的工作。反馈和稳定性将在第 8 章中介绍。

练习 7.20 考虑图 7.42 所示的偏置电路，其中$(W/L)_8 = (W/L)_9 = (W/L)_{10} = (W/L)_{11} = (W/L)_{13} = 20$ 且 $(W/L)_{12} = 80$。求使偏置电流 $I_B = 10\ \mu A$ R_B 的值。同时给出的工艺参数是$\mu_n C_{ox} = 90\ \mu A/V^2$，求跨导 g_{m12}

答案：5.27 kΩ；0.379 mA/V

练习 D7.21 设置图 7.42 所示的偏置电路，使其可以像例题 7.3 的 CMOS 运算放大器那样工作。Q_8 和 Q_9 完全相同，Q_8 的尺寸在例题 7.3 中给出。晶体管 Q_{10}、Q_{11} 和 Q_{13} 相同，并且和 Q_8，Q_9 的 g_m 相同。晶体管 Q_{12} 的宽度是 Q_{13} 的 4 倍。求所需 R_B 的值和 R_B 上的电压降。并求 Q_{12}，Q_{10} 和 Q_8 的栅极直流电压。

答案：1.67 kΩ；150 mV；−1.5 V；−0.5 V；+1.4 V

7.7.2 双极型运算放大器

多级放大器的第二个例子是图 7.43 所示的四级双极型运算放大器。这个电路包含四级。输入级采用差分输入、差分输出的形式，由晶体管 Q_1 和 Q_2 组成差分对，并由电流源 Q_3 提供偏置。第二级同样也是差分输入放大器，但它是通过 Q_5 的集电极单端输出的。这一级由 Q_4 和 Q_5 构成，并由电流源 Q_6 提供偏置。我们注意到差分输出到单端输出的转换是由第二级完成的，但是增益有一半的损失。一种更为有效的完成这种转换的方法已在 7.5 节中介绍过，即使用电流源作为有源负载。

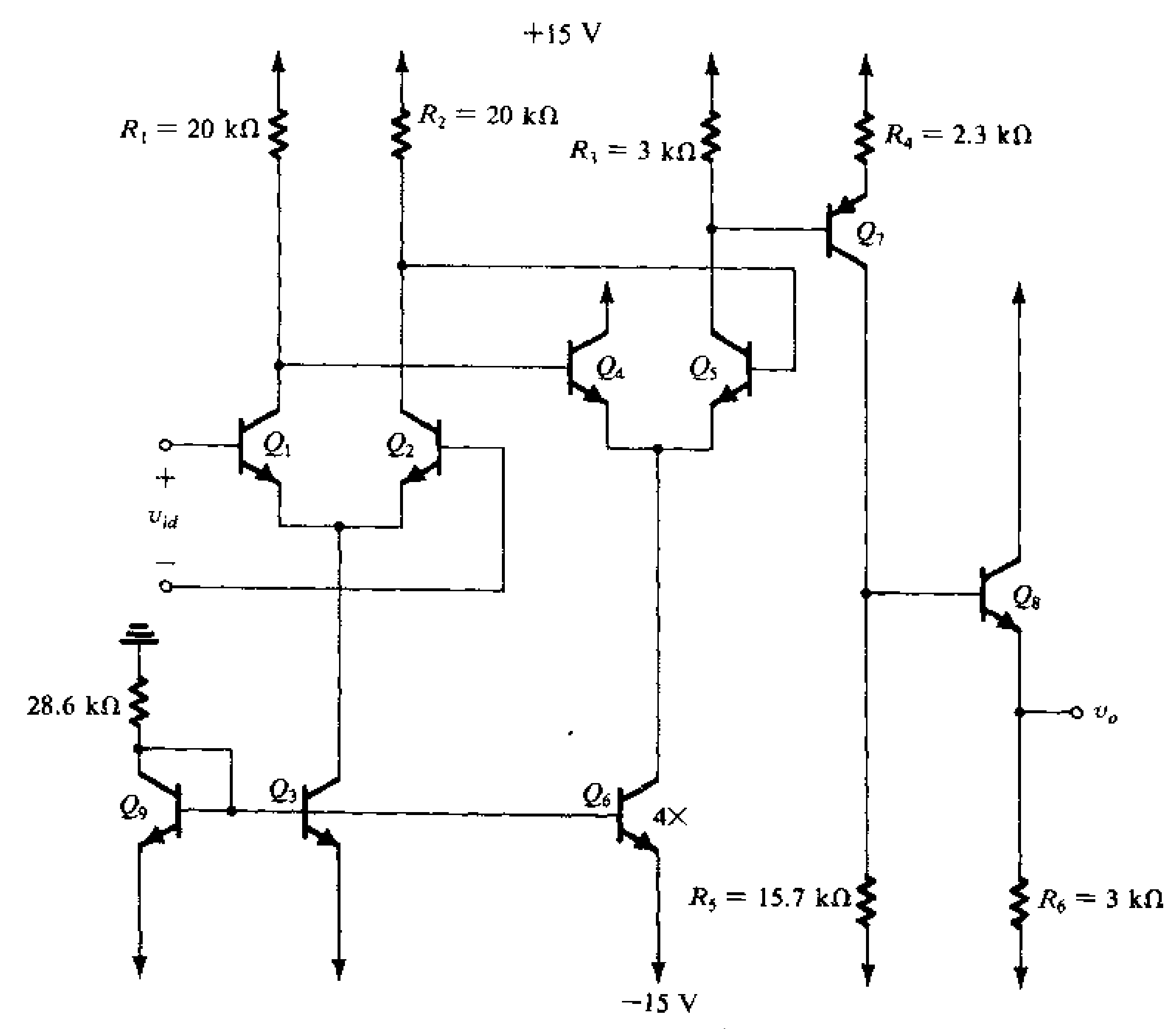


图 7.43 四级双极型运算放大器

含有 *pnp* 晶体管 Q_7 的第二级除了提供电压增益外，还实现了最基本的信号直流电平的位移功能，即当 Q_5 的集电极信号不低于 Q_5 的基极电压（+10 V）时，Q_7 的集电极信号能够正负摆动。在第 2 章介绍运算放大器时，我们讲到运算放大器的输出端必须能够正负摆动。因此，运算放大器电路必须包含电平位移电路。尽管利用互补的 *pnp* 晶体管解决电平位移问题是一种简单的方法，但是也还存在着其他方法，有一种方法将在第 9 章中讨论。再者，我们注意到之前介绍的 CMOS 运算放大器中，电平位移是利用两级中互补的器件（即第一级的 *p* 沟道器件和第二级的 *n* 沟道器件）来完成的。

运算放大器的输出级由射极跟随器 Q_8 组成。正如在第 2 章中介绍运算放大器时讲到的，输出较理想地在 0 V 上下摆动。这一性能和 BJT 运算放大器的其他性能将在例题 7.4 中阐明。

例题 7.4　在本例中，我们分析图 7.43 所示的双极型运算放大器电路的直流偏置。为此，令图 7.44 所示电路的两个输入端接地。

（a）完成直流近似分析（假设 $\beta \gg 1$，$|V_{BE}| \simeq 0.7$ V，同时忽略厄尔利效应），计算电路中每个地方的直流电流和电压。注意，Q_6 的面积是 Q_9 和 Q_3 的 4 倍。

（b）计算电路的静态功耗。

（c）如果晶体管 Q_1 和 Q_2 的 $\beta = 100$，计算运算放大器的输入偏置电流。

（d）求运算放大器的共模输入范围。

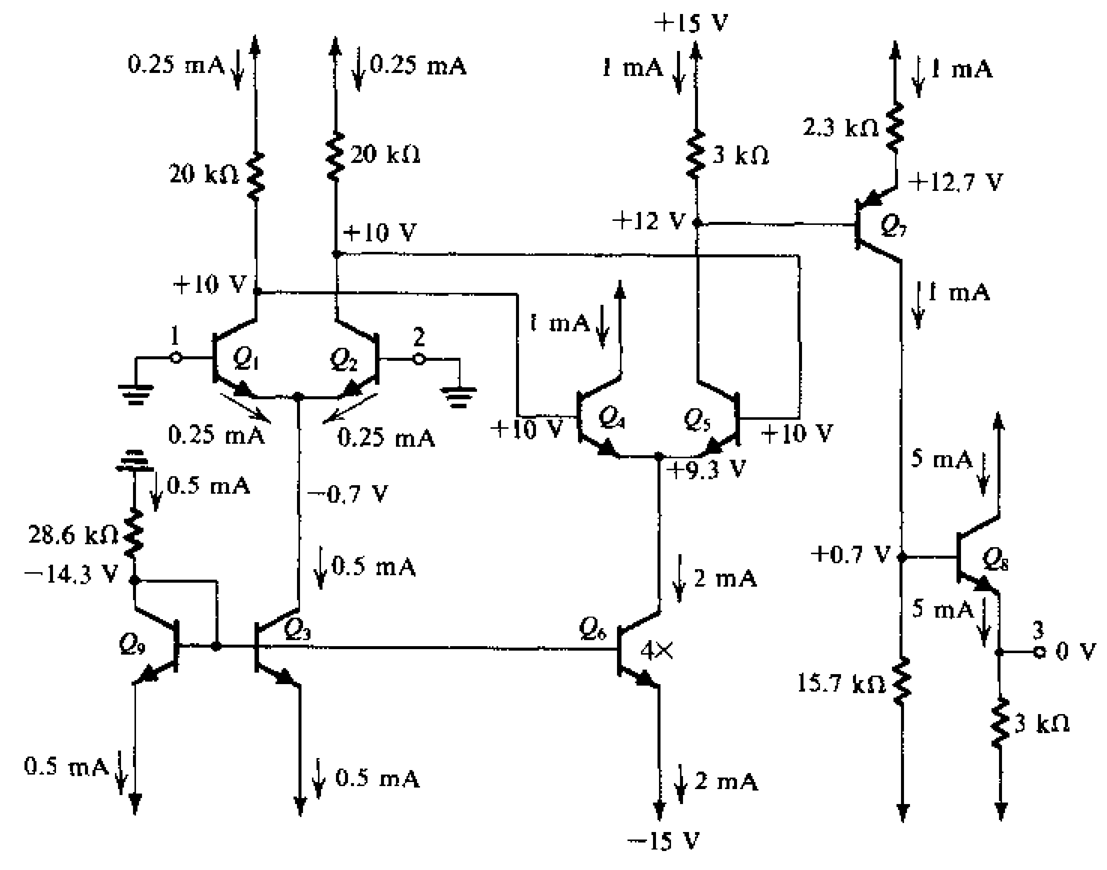


图 7.44　例题 7.4 的电路

解：（a）所有的直流电流和电压均已在图中标出。在计算这些值的时候，忽略了晶体管的基极电流，即假定 β 值非常大。首先分析得到流过连接成二极管的晶体管 Q_9 的电流为 0.5mA。接下来，可知晶体管 Q_3 的电流为 0.5 mA、Q_6 的电流为 2 mA。电流源晶体管 Q_3 提供给差分对（Q_1，Q_2）的电流就为 0.5 mA。因此 Q_1 和 Q_2 的偏置电流为 0.25 mA，这样，Q_1 和 Q_2 的集电极电压为

[+15 − 0.25 × 20] = +10 V。

继续考虑由 Q_4 和 Q_5 构成的第二个差分级，我们知道它们的射极电压为[+10 − 0.7] = 9.3 V。该差分对由电流源晶体管 Q_6 提供偏置，其供给的电流为 2 mA，因此 Q_4 和 Q_5 的偏置电流各为 1 mA。我们现在可以计算 Q_5 的集电极电压为[+15 − 1 × 3] = +12 V，这将导致 *pnp* 晶体管 Q_7 的射极电压为+12.7 V，因此射极电流为(+15 − 12.7) / 2.3 = 1 mA。

Q_7 的集电极 1 mA 的电流使其集电极电压为[−15 + 1 × 15.7] = +0.7 V。Q_8 的射极电压比基极低 0.7 V，因此输出节点 3 的电压为零。最后，可计算 Q_8 的射极电流为[0 − (−15)] / 3 = 5 mA。

（b）为了计算电路的静态（即当输入信号接地时）功耗，我们简单地估计一下两个直流电源提供的电流。+15 V 电源提供的直流电流 $I^+ = 0.25 + 0.25 + 1 + 1 + 1 + 5 = 8.5$ mA。因此，正电源提供的功率为 $P^+ = 15 \times 8.5 = 127.5$ mW，而−15 V 电源提供的直流电流为 $I^- = 0.5 + 0.5 + 2 + 1 + 5 = 9$ mA。因此负电源提供的功率为 $P^- = 15 \times 9 = 135$ mW。将 P^+ 和 P^- 相加就可求得电路总功耗 P_D：$P_D = P^+ + P^- = 262.5$ mW。

（c）运算放大器的输入偏置电流为流入两输入端（即流入 Q_1 和 Q_2 的基极）的直流电流的平均值。这两个电流是相等的（因为我们假定器件匹配），因此偏置电流为

$$I_B = \frac{I_{E1}}{\beta + 1} \simeq 2.5\mu A$$

（d）当达到共模输入电压的上限时，Q_1 和 Q_2 离开线性放大区而进入饱和区。此对输入电压大约超过集电极电压（即+10 V）0.4 V，因此共模输入范围的上限为+10.4 V。

共模输入电压的下限是使 Q_3 离开线性放大区而不再作为恒流源工作的电压。这时，Q_3 的集电极电压低于其基极电压（值为−14.3 V）0.4 V 以上。这样，共模输入电压将不能小于−14.7 + 0.7 = −14 V。因此共模输入范围为−14 V 到+10.4 V。 ■

例题 7.5　利用例题 7.4 中直流偏置的估计结果分析图 7.43 所示的电路，求电路的输入电阻、电压增益以及输出电阻。

解：差模输入电阻 R_{id} 为

$$R_{id} = r_{\pi 1} + r_{\pi 2}$$

由于 Q_1 和 Q_2 工作时的射极电流均为 0.25 mA，因此，

$$r_{e1} = r_{e2} = \frac{25}{0.25} = 100\ \Omega$$

假设 $\beta = 100$，则

$$r_{\pi 1} = r_{\pi 2} = 101 \times 100 = 10.1\ \text{k}\Omega$$

即

$$R_{id} = 20.2\ \text{k}\Omega$$

为求出第一级的增益，需要先求出第二级的输入电阻 R_{i2}：

$$R_{i2} = r_{\pi 4} + r_{\pi 5}$$

因为 Q_4 和 Q_5 的偏置电流都是 1 mA，所以

$$r_{e4} = r_{e5} = 25\ \Omega$$

$$r_{\pi 4} = r_{\pi 5} = 101 \times 25 = 2.525\ \text{k}\Omega$$

因此 $R_{i2} = 5.05$ kΩ。该电阻位于 Q_1 和 Q_2 的集电极之间，如图 7.45 所示。这样，第一级的增益为

$$A_1 \equiv \frac{v_{o1}}{v_{id}} \simeq \frac{\text{集电极电路总电阻}}{\text{射极电路总电阻}}$$

$$= \frac{[R_{i2} \parallel (R_1 + R_2)]}{r_{e1} + r_{e2}}$$

$$= \frac{(5.05\ \text{k}\Omega \parallel 40\ \text{k}\Omega)}{200\ \Omega} = 22.4\ \text{V/V}$$

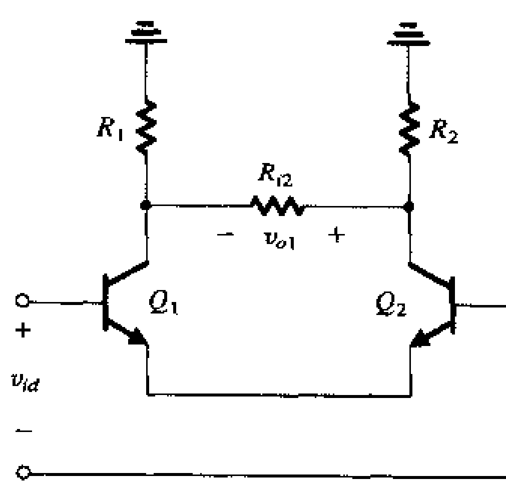


图 7.45　计算图 7.43 所示放大器输入级增益的等效电路

图 7.46 所示的是用于计算第二级增益的等效电路。如图所示，第一级输出电压 v_{o1} 就是第二级的输入电压。图中电阻 R_{i3} 是晶体管 Q_7 构成的第三级的输入电阻。R_{i3} 的值可由 Q_7 射极的总电阻乘（$\beta+1$）得到：

$$R_{i3} = (\beta+1)(R_4 + r_{e7})$$

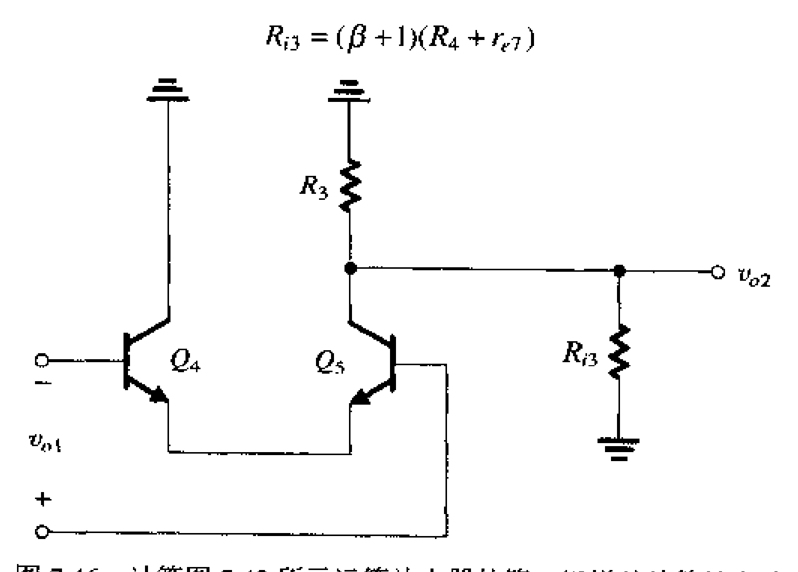


图 7.46　计算图 7.43 所示运算放大器的第二级增益的等效电路

由于 Q_7 的射极工作电流为 1 mA，因此，

$$r_{e7} = \frac{25}{1} = 25\ \Omega$$

$$R_{i3} = 101 \times 2.325 = 234.8\ \text{k}\Omega$$

我们通过计算集电极电路的总电阻和射极电路总电阻的比值来求解第二级的增益 A_2：

$$A_2 \equiv \frac{v_{o2}}{v_{o1}} \simeq -\frac{(R_3 \parallel R_{i3})}{r_{e4}+r_{e5}}$$

$$= -\frac{(3\ \text{k}\Omega \parallel 234.8\ \text{k}\Omega)}{50\ \Omega} = -59.2\ \ \text{V/V}$$

为求解第三级的增益，我们考虑图 7.47 所示的等效电路，其中 R_{i4} 是晶体管 Q_8 构成的输出级的输入电阻、利用电阻反射准则，我们可计算 R_{i4} 的值如下：

$$R_{i4} = (\beta+1)(r_{e8}+R_6)$$

其中，

$$r_{e8} = \frac{25}{5} = 5\ \Omega$$

$$R_{i4} = 101(5+3000) = 303.5\ \text{k}\Omega$$

第三级的增益为

$$A_3 \equiv \frac{v_{o3}}{v_{o2}} \simeq -\frac{(R_5 \parallel R_{i4})}{r_{e7}+R_4}$$

$$= -\frac{(15.7\ \text{k}\Omega \parallel 303.5\ \text{k}\Omega)}{2.325\ \text{k}\Omega} = -6.42\ \text{V/V}$$

最后，为了求解输出级的增益 A_4，我们考虑图 7.48 所示的等效电路，可求得

$$A_4 \equiv \frac{v_o}{v_{o3}} = \frac{R_6}{R_6+r_{e8}}$$

$$= \frac{3000}{3000+5} = 0.998 \simeq 1$$

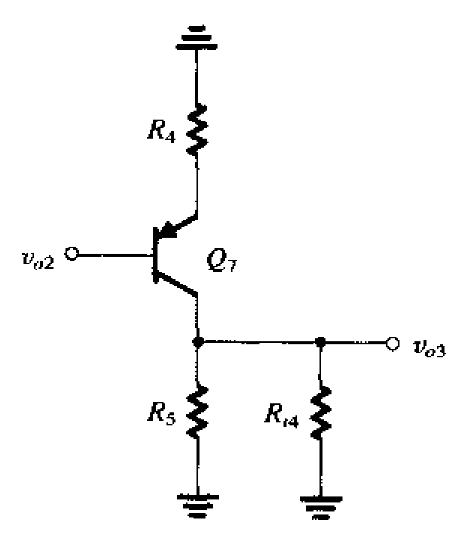


图 7.47　计算图 7.43 所示运算放大器的第二级增益的等效电路

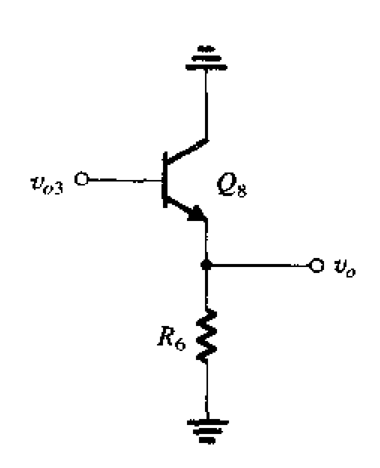


图 7.48　图 7.43 所示运算放大器输出级的等效电路

因此运算放大器的总电压增益为

$$\frac{v_o}{v_{id}} = A_1A_2A_3A_4 = 8513\ \text{V/V}$$

或 78.6 dB。

为求解输出电阻 R_o，我们利用图 7.43 所示电路的输出端并往输入端方向看去。通过观察可知

$$R_o = R_6 \parallel [r_{e8} + R_5/(\beta+1)]$$

从而得到

$$R_o = 152\ \Omega$$

■

练习 7.22　利用例题 7.5 的结果，计算图 7.43 所示的运算放大器接内阻为 10 kΩ的信号源和 1 kΩ负载时的电压总增益。

答案：4943 V/V

利用电流增益进行分析　还有一种可用来分析双极型多级放大器的方法，在某些情况下这种方法要相对简单一些。它利用了电流增益或者更准确地说是电流传输因子。也就是通过信号在放大器各级间的传输，依次计算电流传输因子。我们将通过分析刚才的运算放大器电路的例子来阐明这种方法。

图 7.49 所示的就是用来进行小信号分析的运算放大器电路。我们已在电路图上标明了通过电路各支路的信号电流，同样也标出了运算放大器四级的输入电阻。在开始下面的分析之前，必须计算出这些参数。

分析的最终目的是为了决定电压总增益(v_o / v_{id})。为此，我们将 v_o 写成 Q_8 的射极信号电流 i_{e8} 的表达式，并将 v_{id} 写成用输入信号 i_i 表示的公式，即

$$v_o = R_6 i_{e8}$$
$$v_{id} = R_{i1} i_i$$

因此，电压增益可用电流增益(i_{e8} / i_i)改写为

$$\frac{v_o}{v_{id}} = \frac{R_6}{R_{i1}} \frac{i_{e8}}{i_i}$$

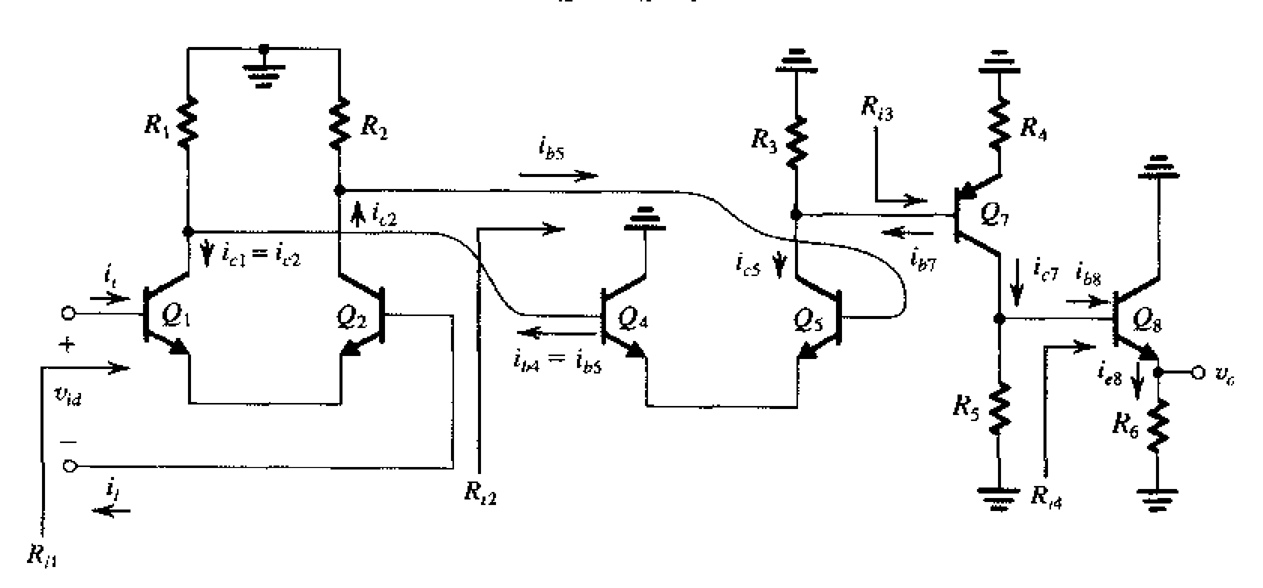


图 7.49　图 7.43 所示的多级放大器用于小信号分析的电路。图中标明的是流过放大器的信号电流以及四级的输入电阻

下面，我们将电流增益(i_{e8} / i_i)展开成用通过整个电路的信号电流表示的公式：

$$\frac{i_{e8}}{i_i} = \frac{i_{e8}}{i_{b8}} \times \frac{i_{b8}}{i_{c7}} \times \frac{i_{c7}}{i_{b7}} \times \frac{i_{b7}}{i_{c5}} \times \frac{i_{c5}}{i_{b5}} \times \frac{i_{b5}}{i_{c2}} \times \frac{i_{c2}}{i_i}$$

右边的每个电流传输因子不是晶体管的电流增益就是分流比。于是，观察图 7.49，我们很容易求得这些因子：

$$\frac{i_{e8}}{i_{b8}}=\beta_8+1$$

$$\frac{i_{b8}}{i_{c7}}=\frac{R_5}{R_5+R_{i4}}$$

$$\frac{i_{c7}}{i_{b7}}=\beta_7$$

$$\frac{i_{b7}}{i_{c5}}=\frac{R_3}{R_3+R_{i3}}$$

$$\frac{i_{c5}}{i_{b5}}=\beta_5$$

$$\frac{i_{b5}}{i_{c2}}=\frac{(R_1+R_2)}{(R_1+R_2)+R_{i2}}$$

$$\frac{i_{c2}}{i_i}=\beta_2$$

这些比率很容易通过计算得到，并由此求出电压增益。

通过一些练习，即使不在电路图上标明信号电流，也可以很快完成这样的分析。只需要跟着电流从输入到输出"走一遍"，或是反过来"走一遍"，便可一次确定如同链子一般的电流传输因子。

练习 7.23 利用例题 7.5 求得的输入电阻值计算 7 个电流传输因子以及总电流增益和总电压增益。

答案： 电流传输因子为 101、0.0492、100、0.0126、100、0.8879、100 A/A；总电流增益为 55 993 A/A；总电压增益 8256 V/V。该值与例题 7.5 的结果略有不同，因为例题中做了一些近似（如 $\alpha \simeq 1$）。

频率响应 图 7.43 所示的双极型运算放大器电路相对来说比较复杂。不过，还是可以得到其高频响应的近似值。图 7.50（a）就是为了这个目的而建立的近似等效电路。我们注意到已经运用了等效差模半电路的概念，其中 Q_2 代表输入级，Q_5 代表第二级。当然，观察发现第二级是不对称的，所以严格地说不能应用半电路等效。不过，我们还是用它作为近似分析的方法，以便通过快速的纸笔计算来求解放大器高频主极点。当然，更为精确的结果可以通过计算机 SPICE 仿真来得到（见 7.8 节）。

观察图 7.50（a）所示的等效电路，可知如果信号源 V_i 的电阻很小，高频限制不会发生在输入级而是在第一级和第二级之间。这是因为 $C_{\mu5}$ 的米勒倍增因子使节点 A 的总电容很大。再者，Q_7 构成的第三级的高频特性很好，因为 Q_7 接有很大的射极电阻 R_3。对射极跟随器 Q_8 亦是如此。

为了确定位于 Q_2 和 Q_5 之间的主极点频率，我们利用图 7.50（b）给出相关的等效电路。节点 A 与地之间的总电阻为

$$R_{eq}=R_2 \parallel r_{o2} \parallel r_{\pi5}$$

总电容为

$$C_{eq}=C_{\mu2}+C_{\pi5}+C_{\mu5}(1+g_{m5}R_{L5})$$

其中，

$$R_{L5}=R_3 \parallel r_{o5} \parallel R_{i3}$$

由 R_{eq} 和 C_{eq} 求得的极点频率为

$$f_P=\frac{1}{2\pi R_{eq}C_{eq}}$$

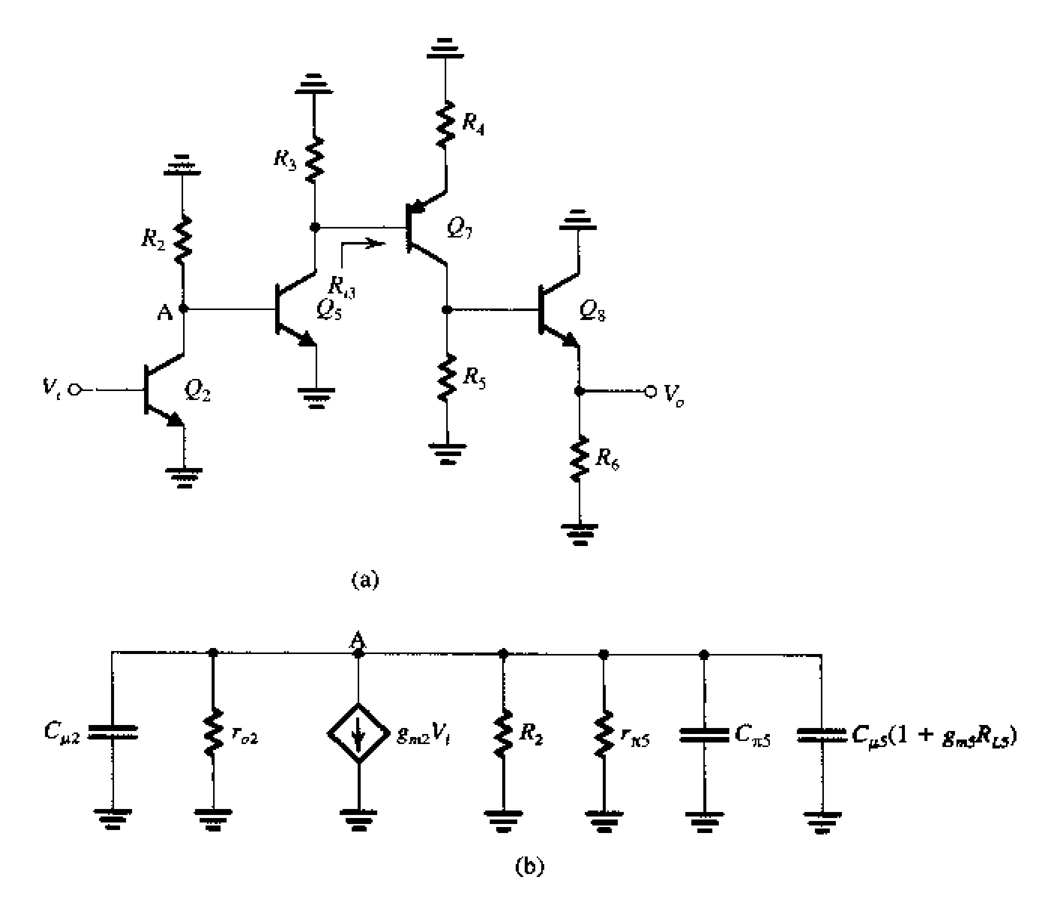


图 7.50　（a）确定图 7.43 所示运算放大器高频响应的近似等效电路；（b）Q_2 输出端和 Q_5 输入端之间的等效电路

练习 7.24　确定图 7.43 所示放大器的 R_{eq}，C_{eq} 和 f_P，设 Q_2 的偏置电流为 0.25 mA，Q_5 的偏置电流为 1 mA。假定 $\beta = 100$，$V_A = 100$ V，$f_T = 400$ MHz 且 $C_\mu = 2$ pF，并设 $R_{L5} \simeq R_3$。

答案：2.21 kΩ；258 pF；280 kHz

7.8 SPICE 仿真实例

我们用 SPICE 仿真多级放大器的例子来结束这一章，放大器的直流偏置在例题 7.4 中给出，而小信号性能见例题 7.5 中的分析。

例题 7.6　多级差分放大器的 SPICE 仿真

图 7.51 所示的是例题 7.4 和例题 7.5 所分析的多级运算放大器电路的电路原理图[①]。注意差模输入信号 V_d 和共模输入电压 V_{CM} 施加的方式，运算放大器输入偏置电路已在例题 2.9 中使用过。在接下来的仿真中，我们用器件 Q2N3904 和 Q2N3906（来自仙童半导体公司）分别代表 *npn* 和 *pnp* 型 BJT。这些分立 BJT 的参数在表 7.2 中列出并且可在 PSpice 中获取。

在 PSpice 中，运算放大器电路的共模输入电压 V_{CM} 被设置为 0 V（即为直流电源 V_{CC} 和 V_{EE} 的平均值）以使输入信号可以最大幅度地摆动。通过偏置点的仿真可以确定直流工作点。表 7.3 归纳了分别用 PSpice 和手工分析计算得到的集电极直流电流。回想一下，我们在手工计算时假设晶体管的 β 值和厄尔利电压 V_A 均为无穷大。然而，例题 5.21 的 SPICE 仿真（其中我们分析

① 该电路不能用本书附带的 CD 里的学生版 PSpice（OrCAD 9.2 Lite 版）进行仿真，因为免费的 PSpice 版本只能对 10 个晶体管以下的电路进行仿真。

了β值对集电极电流I_C的影响）表明当$I_C = 0.25$ mA时Q2N3904的$\beta = 125$。另外，它的正向厄尔利电压（SPICE参数VAF）为74 V，如表7.2中给出的那样。不过，从表7.3中可以看出计算直流偏置电流的最大误差约为20%。由此，我们可知利用近似的快速手工分析对一些重要的估计可以得到可信的结果，并且通过手工分析可以对电路的工作有更为深刻的认识。除了在表7.3中列出的直流偏置电流外，用PSpice进行的偏置点仿真还给出了输出直流失调（即当$V_d = 0$时的V_{OUT}）为3.62 V且输入偏置电流I_{B1}为2.88 μA。

表7.2 Q2N3904与Q2N3906分立元件BJT的SPICE模型参数

Q2N3904分立元件BJT						
IS = 6.734 f	XTI = 3	EG = 1.11	VAF = 74.03	BF = 416.4	NE = 1.259	ISE = 6.734 f
IKF = 66.78 m	XTB = 1.5	BR = 0.7371	NC = 2	ISC = 0	IKR = 0	RC = 1
CJC = 3.638 p	MJC = 0.3085	VJC = 0.75	FC = 0.5	CJE = 4.493 p	MJE = 0.2593	VJE = 0.75
TR = 239.5 n	TF = 301.2 p	ITF = 0.4	VTF = 4	XTF = 2	RB = 10	
Q2N3906分立元件BJT						
IS = 1.41 f	XTI = 3	EG = 1.11	VAF = 18.7	BF = 180.7	NE = 1.5	ISE = 0
IKF = 80 m	XTB = 1.5	BR = 4.977	NC = 2	ISC = 0	IKR = 0	RC = 2.5
CJC = 9.728 p	MJC = 0.5776	VJC = 0.75	FC = 0.5	CJE = 8.063 p	MJE = 0.3677	VJE = 0.75
TR = 33.42 n	TF = 179.3 p	ITF = 0.4	VTF = 4	XTF = 6	RB = 10	

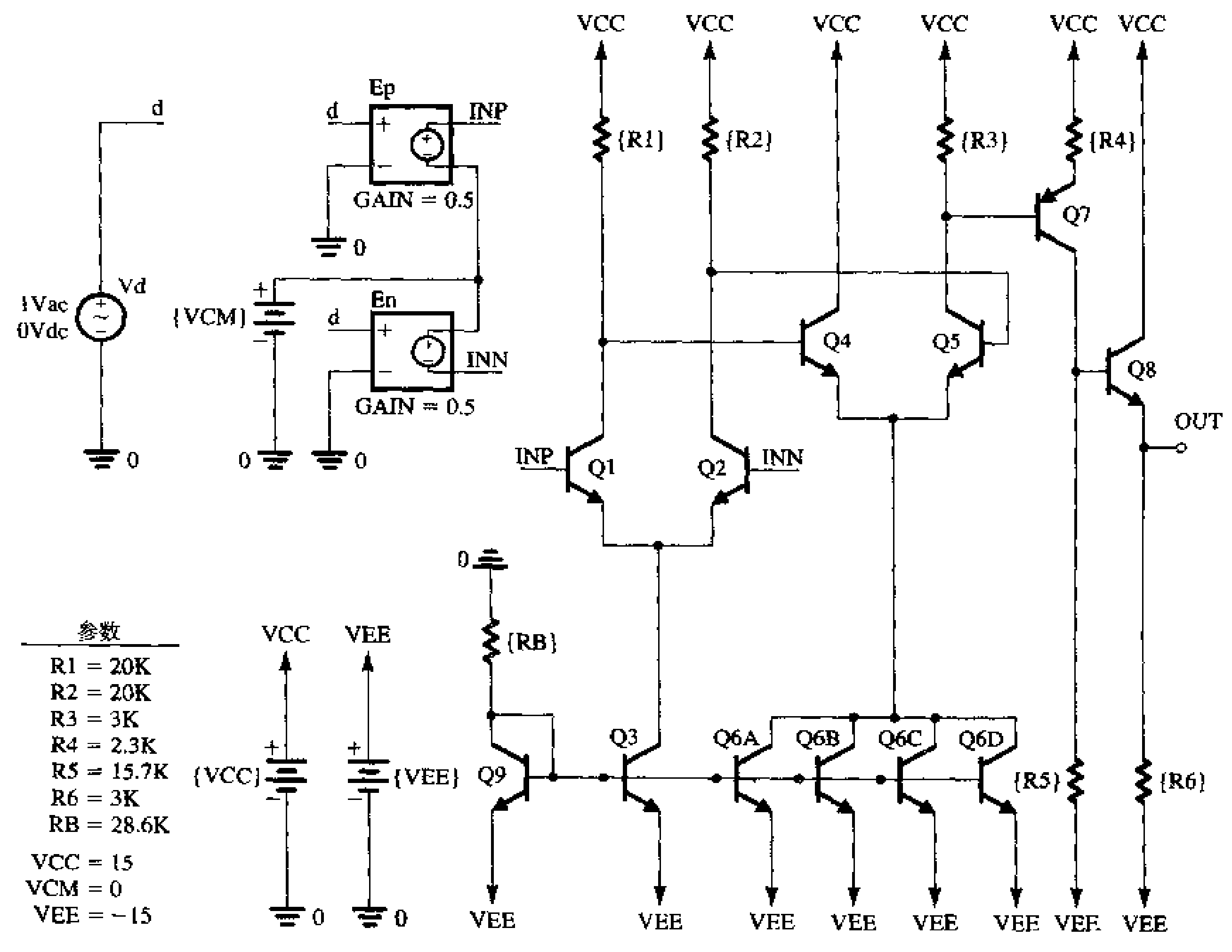


图7.51 例题7.6的运算放大器电原理图

表 7.3　分别利用手工分析（见例题 7.4）和 PSpice 计算出的图 7.51 所示运算放大器电路的集电极直流电流

晶体管	集电极电流（mA）		误差 (%)
	手工分析（例题 7.4）	PSpice	
Q_1	0.25	0.281	−11.0
Q_2	0.25	0.281	−11.0
Q_3	0.5	0.567	−11.8
Q_4	1.0	1.27	−21.3
Q_5	1.0	1.21	−17.4
Q_6	2.0	2.50	−20.0
Q_7	1.0	1.27	−21.3
Q_8	5.0	6.17	−18.9
Q_9	0.5	0.48	+4.2

为了计算运算放大器电路的大信号差模传输特性，我们将差模输入电压 V_d 从 $-V_{EE}$ 变化到 $+V_{CC}$，用 PSpice 进行直流仿真，并绘制相应的输出电压 V_{OUT}。图 7.52（a）给出了直流传输特性。该曲线的斜率（即 DV_{OUT}/DV_d）与放大器的差模增益相对应。我们注意到，正如预计的那样，高增益区在 $V_d = 0$ V 的附近。不过，输入电压轴的尺度过于拥挤，因此不能反映出高增益区的细节。为了更仔细地探究这个区域，再次进行直流分析并设 V_d 从 −5 mV 变化到 +5 mV 且以 10 μV 为增量。得到的差模直流传输特性在图 7.52（b）中绘出。相应的大信号差模特性的线性区域大约限制在 $V_d = -1.5$ mV 和 $V_d = +0.5$ mV 之间，在这个区域中，输出电平从 $V_{OUT} = -15$ V 以线性达到大约 $V_{OUT} = +10$ V。于是，该放大器的输出电压在 −15 V 和 +10 V 之间摆动，这个范围是很不对称的。利用线性区的边界对放大器差模增益的粗略估计为 $A_d = [10-(-15)]\ \text{V}/[0.5-(-1.5)]\ \text{mV} = 12.5 \times 10^3$ V/V。同样，我们可以从图 7.52（b）得到当 $V_d = -260\ \mu$V 时 $V_{OUT} = 0$。所以，放大器的输入失调电压 V_{OS} 为 +260 μV（依照惯例为大信号转移特性与 x 轴交点的负值）。对应的输出失调电压为 $A_d V_{OS} = (12.5 \times 10^3)(260\ \mu\text{V}) = 3.25$ V，这与通过偏置点仿真得到的结果接近。需要强调的是该失调电压是设计本身造成的，而不是元器件失配导致的。所以，这通常被认为是系统失调。

下面，为了用 PSpice 计算运算放大器电路的频率响应，计算它的差模增益 A_d 和 3 dB 频率 f_H，我们设差模输入电压 V_d 为 1 V 的交流信号（含 0 V 直流电平），进行交流仿真分析并绘制随频率变化的输出电压 $|V_{OUT}|$ 的模值的变化曲线。图 7.53（a）所示就是得到频响曲线。可见，$A_d = 13.96 \times 10^3$ V/V 或 82.8 dB，且 $f_H = 256.9$ kHz。A_d 的值与使用大信号传输特性求得的值相近。

利用 7.6.2 节中的表达式同样可以近似求得 f_H 的值为

$$f_H \simeq \frac{1}{2\pi R_{eq} C_{eq}} \tag{7.217}$$

其中，

$$C_{eq} = C_{\mu 2} + C_{\pi 5} + C_{\mu 5}[1 + g_{m5}(R_3 \parallel r_{o5} \parallel (r_{\pi 7} + (\beta+1)R_4))]$$

和

$$R_{eq} = R_2 \parallel r_{o2} \parallel r_{\pi 5}$$

由 PSpice 计算得到的小信号参数值可在偏置点（或交流）仿真的输出文件中找到。利用这些数值可以求得 $C_{eq} = 338$ pF，$R_{eq} = 2.91$ kΩ 以及 $f_H = 161.7$ kHz。然而 f_H 的近似值远小于 PSpice 的计算值。产生这种差异的原因是先前计算 f_H 的表达式（见 7.6.2 节）是应用了差模半电路的概念的结果。但是，这一概念仅当应用于对称电路时是精确的。而图 7.51 所示的运算放大器电路是不对称的，因为第二级的差分对 Q_4-Q_5 仅在 Q_5 的集电极有负载电阻 R_3。为了证明式（7.217）f_H 的表达式在对称电路时能给出 f_H 的近似估计，我们在 Q_4 的集电极加入电阻 R_3'（其值与 R_3 相同）。我们注意到这对直流工作点只有很小的影响。接下来用 PSpice 对 Q_4 接有集电极电阻 R_3' 的运算放大器

电路仿真。图 7.53（b）所示就是该对称运算放大器电路的频响结果，其中 $f_H = 155.7$ kHz。相应来说，对完全对称的运算放大器电路，式（7.217）得出的 f_H 与 PSpice 计算的值非常接近。比较非对称运算放大器电路［见图 7.53（a）］和对称运算放大器电路［见图 7.53（b）］，我们注意到，当在 Q_4 的集电极引入电阻 R_3' 使运算放大器电路对称时，运算放大器的 3 dB 频率从 256.9 kHz 降低为 155.7 kHz。这是因为接有电阻 R_3'，Q_4 的集电极不再信号接地，因此 $C_{\mu4}$ 产生米勒效应，导致运算放大器电路的高频特性变差。

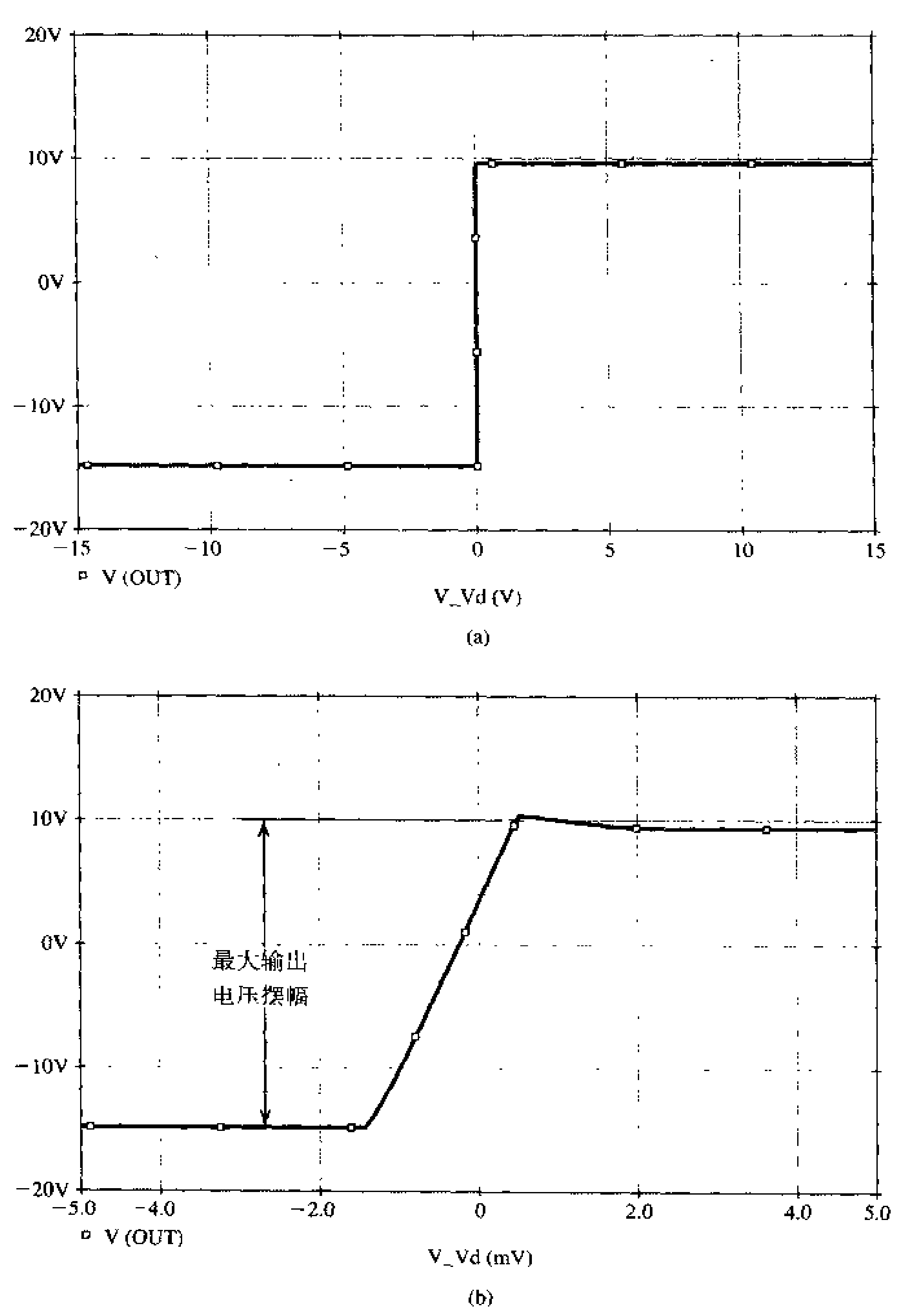


图 7.52 （a）图 7.51 所示运算放大器电路的差模大信号传输特性。共模输入电压 V_{CM} 设为 0 V；（b）传输特性曲线高增益区的放大图

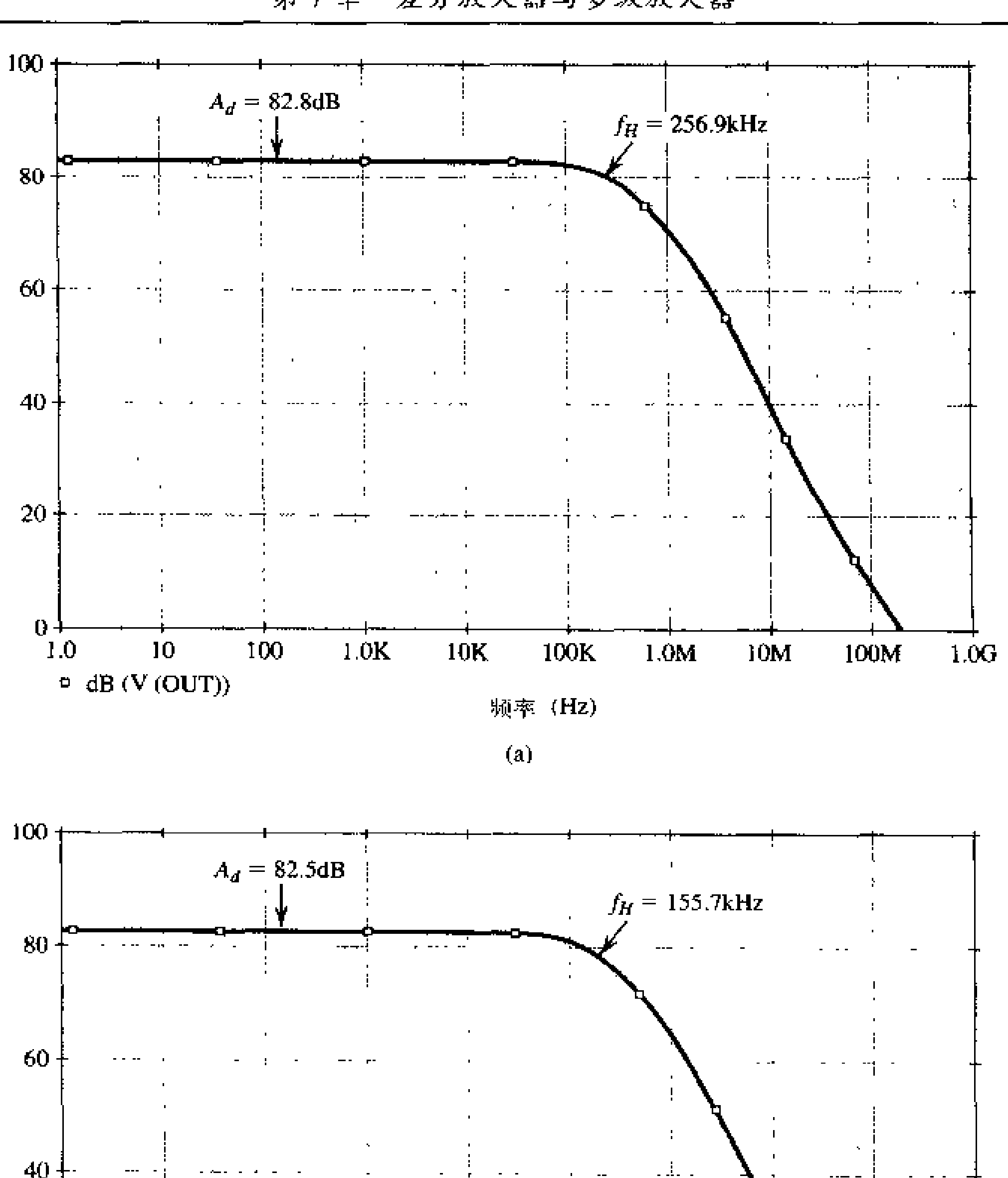


图 7.53　频率响应：（a）图 7.51 所示的运算放大器电路；（b）图 7.51 所示的运算放大器电路，但在 Q_4 集电极接电阻 $R_3' = R_3$ 以使运算放大器电路对称

我们注意到在先前交流仿真的分析中，由于设计导致的系统失调，运算放大器电路的直流输出电压为 3.62 V。然而在实际电路实现时（即 $V_{CM} = 0$ 时），需要采用负反馈（见第 2 章和第 8 章）来保证输出直流电压稳定在 0 V。通过这样的偏置，使输出电压强制工作在该电平上，就可以精确仿真运算放大器电路的小信号性能。施加差模直流输入$-V_{OS}$可以很容易地做到这一点。然后把交流信号叠加在直流输入之上，进行交流仿真，比如计算差模增益和 3 dB 频率。

最后，为了计算图 7.51 所示运算放大器电路的共模输入范围，我们用 PSpice 进行直流仿真分析，

设置共模输入电压由$-V_{EE}$变化到V_{CC}，同时保持V_d恒为$-V_{OS}$以抵消输出失调电压（如前文讨论的），并由此防止BJT的过早饱和 相应的输出电压V_{OUT}在图7.54（a）中绘出。由该共模直流转移特性可知放大器线性工作的V_{CM}的范围从–14.1 V到+8.9 V，这就是共模输入范围。在例题7.4中，我们注意到该范围的上限由Q_1和Q_2的饱和决定，而下限由Q_3的饱和决定。为证明这一点，我们用PSpice绘制BJT晶体管集电极–基极的电压与共模输入电压V_{CM}的关系曲线. 结果画在图7.54（b）中，从中可知我们的假设是正确的（回想一下，当集电结变为正向偏置时，*npn*型BJT进入饱和区，即$V_{BC} \geqslant 0$）.

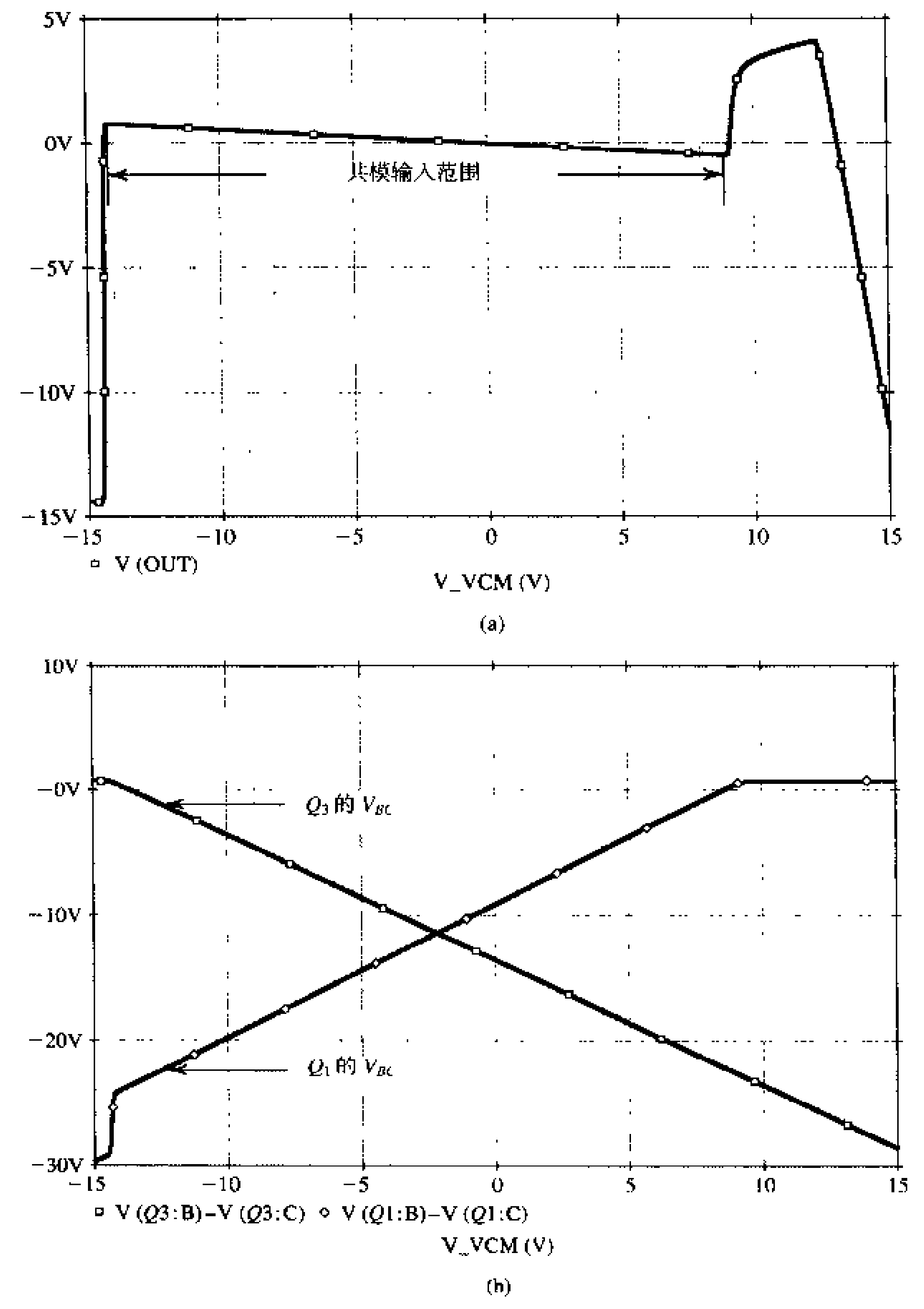


图 7.54　（a）图7.51所示运算放大器电路的大信号共模传输特性. 差分输入信号V_d被设为$-V_{OS}$ = –260 μV以防止运算放大器过早饱和；（b）加在图7.51所示运算放大器电路上的共模输入电压VCM对输入级线性化的影响. 图中画出了Q_1和Q_3的基极–集电极电压与VCM的函数关系。当Q_1或Q_3的集电结变为正向偏置（即VBC ≥ 0）时，运算放大器电路的输入级离开线性放大区 ■

小结

- 差分对或差分放大器结构在模拟集成电路设计中作为模块电路被广泛地使用。每个运算放大器的输入级都是差分放大器。
- 选择差分而不是单端放大器有两个原因：差分放大器对干扰不敏感，并且不需要旁路电容和耦合电容。
- MOS（双极型）差分对的偏置由电流源 I 提供，每个器件工作时的漏极（集电极，假定 $\alpha=1$）电流为 $I/2$，相应的过驱动电压是 V_{OV}（在双极型中没有）。每个器件的 $g_m = I/V_{OV}$（对双极型电路，为 $\alpha I/2V_T$）以及 $r_o = |V_A| / (I/2)$。
- 当两输入端连接至合适的直流电压 V_{CM} 且差分对完全对称时，偏置电流 I 将被两个晶体管等分，导致两个漏极（集电极）之间的电压差为零。要使偏置电流完全流过其中的一个晶体管，差分输入电压至少要等于 $\sqrt{2}\ V_{OV}$（双极型为 $4V_T$）。
- 在共模直流输入电压 V_{CM} 上叠加差模输入信号 v_{id}，便有 $v_{I1} = V_{CM} + v_{id}/2$ 而 $v_{I2} = V_{CM} - v_{id}/2$，由此在公共源极（射极）产生虚地点。对 v_{id} 的响应是 Q_1 中的电流增加 $g_m v_{id}/2$，Q_2 中的电流减少 $g_m v_{id}/2$。于是，两漏极（集电极，用 R_C 代替 R_D）的信号电压为 $\pm g_m (R_D \parallel r_o) v_{id}/2$。如果输出是单端的，那么在漏极（集电极）和接地之间的差模电压增益为 $\frac{1}{2} g_m (R_D \parallel r_o)$。如果取差分输出，则两漏极（集电极）之间电压的差模电压增益将扩大两倍：$g_m (R_D \parallel r_o)$。
- 分析差分放大器的差模增益、差模输入电阻、差模增益的频率响应等性能，可以运用差模半电路［即偏置于 $I/2$ 的共源（共射）晶体管］来进行。
- 共模输入信号 v_{icm} 在漏极（集电极）产生的信号电压相等，且等于 $-v_{icm} (R_D/2R_{SS})$［对双极型对为 $-v_{icm} (R_C/2R_{EE})$］，其中 $R_{SS}(R_{EE})$ 是提供偏置电流 I 的电流源的输出电阻。当单端输出时，共模增益的幅度 $|A_{cm}| = R_D/2R_{SS}$（双极型为 $R_C/2R_{EE}$）。在差分输出时，完全匹配的情况下 A_{cm} 为零（无穷大的 CMRR）。差分对两边失配时，即使是差分输出，也会产生有限的 A_{cm}：ΔR_D 的失配得到的 $|A_{cm}| = (R_D/2R_{SS})(\Delta R_D/R_D)$；$\Delta g_m$ 失配得到的 $|A_{cm}| = (R_D/2R_{SS})(\Delta g_m/g_m)$。双极型差分对也有对应的表达式。
- MOS 差分对的差模输入电阻 R_{id} 为无穷大，而双极型差分对仅为 $2r_\pi$，不过可以通过在两射极增加电阻 R_e 使之增加为 $2(\beta+1)(r_e+R_e)$。但是这样会降低 A_d。
- 即使两输入端一同连接到直流电压 V_{CM}，差分对两边的失配将会产生直流差分输出电压 V_O。这意味着存在输入失调电压 $V_{OS} \equiv V_O / A_d$。对 MOS 差分对，有三个原因产生 V_{OS}：

$$\Delta R_D \Rightarrow V_{OS} = \frac{V_{OV}}{2}\frac{\Delta R_D}{R_D}$$

$$\Delta(W/L) \Rightarrow V_{OS} = \frac{V_{OV}}{2}\frac{\Delta(W/L)}{W/L}$$

$$\Delta V_t \Rightarrow V_{OS} = \Delta V_t$$

  对双极型差分对来说有以下两个主要原因：

$$\Delta R_C \Rightarrow V_{OS} = V_T\frac{\Delta R_C}{R_C}$$

$$\Delta I_S \Rightarrow V_{OS} = V_T\frac{\Delta I_S}{I_S}$$

- MOS 和双极型模拟集成电路中非常流行的电路是电流源负载差分对，它具有较高的差模电压

增益 $A_d = g_m(R_{o\,\text{pair}} \| R_{o\,\text{mirror}})$ 和较低的共模增益，对 MOS 电路为 $|A_{cm}| = \frac{1}{2} g_{m3} R_{SS}$（双极型为 $r_{o4}/\beta_3 R_{EE}$），并且在不损失增益的前提下实现了差分输出到单端输出的转换。

- 差分放大器的共模增益含有一个零点，它是偏置电流源有限的输出电阻和电容产生的：$f_Z = \frac{1}{2\pi} C_{SS} R_{SS}$（双极型为 $\frac{1}{2\pi} C_{EE} R_{EE}$）。这样 CMRR 就含有一个较低频率的极点。
- 多级放大器通常包含三级：输入级具有较高的输入电阻，相对较高的增益，如果是差分对电路的话还具有较高的 CMRR；中间级实现大的增益；输出级具有低的输出电阻。许多 CMOS 放大器只驱动很小的片上电容负载，于是不需要输出级。在分析和设计多级放大器时，必须考虑该级对前一级的负载效应。

习题

7.1 节：MOS 差分对

7.1 考虑如图 7.2 所示的NMOS差分对，施加共模电压 v_{CM}，设 $V_{DD} = V_{SS} = 2.5$ V，$k_n' W/L = 3$ mA/V^2，$V_{tn} = 0.7$ V，$I = 0.2$ mA，$R_D = 5$ kΩ，忽略沟道长度调制效应。

（a）求每个晶体管的 V_{OV} 和 V_{GS}。

（b）当 $v_{CM} = 0$ 时，求 v_S，i_{D1}，i_{D2}，v_{D1} 和 v_{D2}

（c）当 $v_{CM} = +1$ V 时，重复（b）。

（d）当 $v_{CM} = -1$ V 时，重复（b）。

（e）求使 Q_1 和 Q_2 工作在饱和区的最大 v_{CM} 值。

（f）如果电流源 I 正常工作所需要的最小电压为 0.3 V，求 v_S 所允许的最小值及相应的 v_{CM} 的值。

7.2 如图 P7.2 所示的 PMOS 差分对，设 $V_{tp} = -0.8$ V 且 $k_p' W/L = 3.5$ mA/V^2。忽略沟道长度调制效应。

（a）当 $v_{G1} = v_{G2} = 0$ V 时，求 Q_1 和 Q_2 的 V_{OV} 和 V_{GS} 值，并求 v_S，v_{D1} 和 v_{D2}。

（b）如果电流源需要的最小电压为 0.5 V，求共模输入范围。

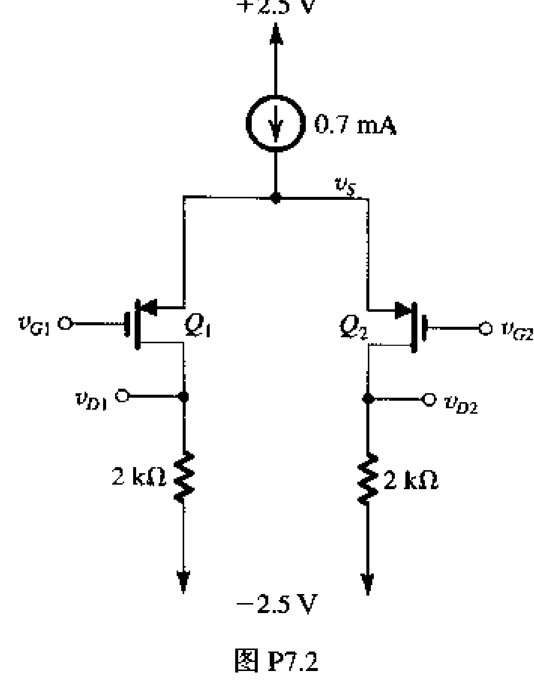


图 P7.2

7.3 差分电路如同习题 7.1 中指定的，令 $v_{G2} = 0$，$v_{G1} = v_{id}$。分别求与下列情况相对应的 v_{id} 值：

（a）$i_{D1} = i_{D2} = 0.1$ mA；

（b）$i_{D1} = 0.15$ mA，$i_{D2} = 0.05$ mA；

（c）$i_{D1} = 0.2$ mA，$i_{D2} = 0$（Q_2 刚好截止）；

（d）$i_{D1} = 0.05$ mA，$i_{D2} = 0.15$ mA；

（e）$i_{D1} = 0$ mA（Q_1 刚好截止），$i_{D2} = 0.2$ mA。

对上述每种情况，再求 v_S，v_{D1}，v_{D2} 以及（$v_{D2} - v_{D1}$）。

7.4 差分电路如同习题 7.2 中指定的，令 $v_{G2} = 0$，$v_{G1} = v_{id}$。求使偏置电流从差分对的一边流向另一边的 v_{id} 的范围。在边界处，求公共源极的电压以及漏极电压

7.5 考虑习题 7.1 所给出的差分放大器，G_2 接地且 $v_{G1} = v_{id}$。调整 v_{id} 使 $i_{D1} = 0.11$ mA，$i_{D2} = 0.09$ mA，求相应的 v_{GS2}，v_S，v_{GS1} 及 v_{id} 的值。差分输出电压（$v_{D2} - v_{D1}$）是多少？电压增益（$v_{D2} - v_{D1}$）$/v_{id}$ 为多少？导致 $i_{D1} = 0.09$ mA，$i_{D2} = 0.11$ mA 的 v_{id} 的值为多少？

7.6　练习 7.3 以表格形式给出的答案说明差分对的最大输入信号增加时，为保持相同的线性性能，需要提高 V_{OV}。如果$|v_{id}|_{max}$达到 150 mV，利用表中的数据确定所需的 V_{OV} 以及相应的 W/L 和 g_m。

7.7　利用式（7.23）证明：如果包含 v_{id}^2 的项保持最大值 k，那么晶体管电流的最大变化量为

$$\left(\frac{\Delta I_{max}}{I/2}\right)=2\sqrt{k(1-k)}$$

相应的 v_{id} 的最大值为

$$v_{id\,max}=2\sqrt{k}V_{OV}$$

当 $k=0.01$，0.1 和 0.2 时，分别计算两个表达式的值。

7.8　NMOS 差分放大器的偏置电流为 200 μA。器件的 $V_t=0.8$ V，$W=100\ \mu$m，$L=1.6\ \mu$m，工艺提供的参数有$\mu_nC_{ox}=90\ \mu$A/V^2。求 V_{GS}、g_m 和全电流开关特性时的 v_{id}，为使全电流开关特性时的 v_{id} 加倍，求偏置电流的值。

D7.9　设计图 7.5 所示的 MOS 差分放大器，工作在 $V_{OV}=0.2$ V 提供的跨导 g_m 为 1 mA/V。确定 W/L 比以及偏置电流。工艺提供的参数为 $V_t=0.8$ V 和$\mu_nC_{ox}=90\ \mu$A/V^2。

7.10　考虑图 7.5 所示的 NMOS 差分对，偏置电流源 $I=100\ \mu$A，FET 的 $k_n'(W/L)=400\ \mu$A/V^2，$V_t=1$ V。当 $v_{G1}=v_{G2}=0$ 时，公共源极的电压为多少？2 V 时呢？每种情况下的漏极电流之间有什么联系？现在如果 $v_{G2}=0$ V，要使 i_{D2} 降低 10%，电压 v_{G1} 必须为多少？如果 i_{D2} 提高 10%呢？当漏极电流比 i_{D2}/i_{D1} 为 1.0，0.5，0.9，0.99 时，差模输入电压 $v_{id}=v_{G2}-v_{G1}$ 各为多少？当电流比 $i_{D1}/i_{D2}=20.0$ 时，需要多大的差模输入电压？

7.2 节：MOS 差分对的小信号工作特性

7.11　NMOS 差分放大器工作时的偏置电流 I 为 0.5 mA 且 W/L 比为 50，$\mu_nC_{ox}=250\ \mu$A/V^2，$V_A=10$ V，$R_D=4$ kΩ。求 V_{OV}、g_m、r_o 和 A_d。

D7.12　设计一个 NMOS 差分放大器，其差模输入电压最高为 0.2 V 工作时能够保持式（7.23）中根号内非线性项的最大值为 0.1，并且跨导 g_m 为 3 mA/V。求所需的 V_{OV}，I 和 W/L 的值。假设工艺参数$\mu_nC_{ox}=100\ \mu$A/V^2。当 $R_D=5$ kΩ时，差模增益 A_d 的值为多少？假设 $\lambda=0$。在 v_{id} 达到最大值时相应的输出信号为多少？

D*7.13　图 P7.13 所示的是有源负载差分放大电路，其中 Q_1 和 Q_2 构成差分对，Q_4 和 Q_5 是电流源晶体管，分别作为 Q_1 和 Q_2 的有源负载。图中没有画出提供 Q_1 和 Q_2 漏极直流电压的偏置电路。注意，等效差模半电路就是 6.5 节讲过的有源负载共源晶体管电路。按以下要求设计电路：

（a）差模增益 $A_d=80$ V/V。

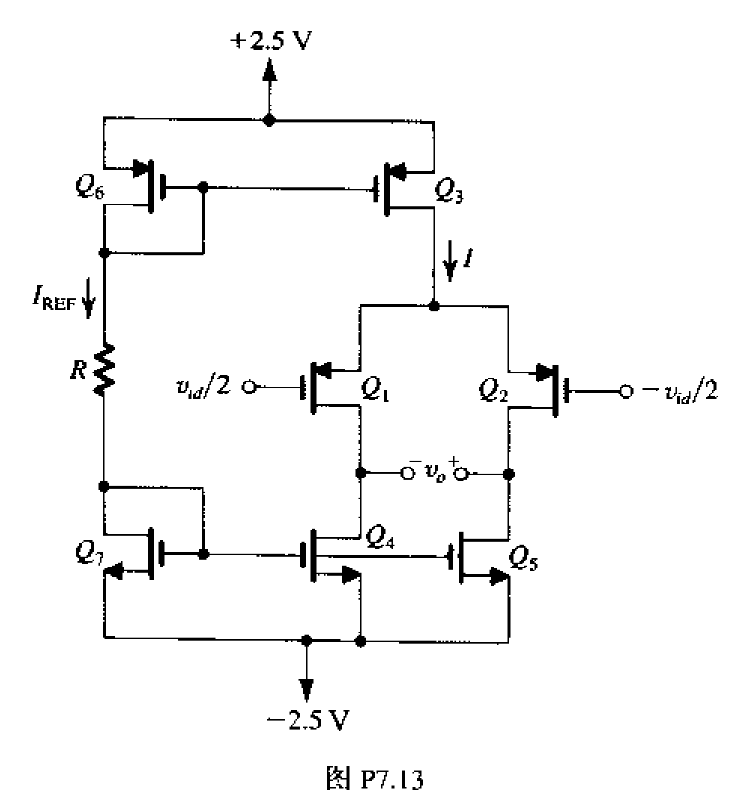


图 P7.13

（b）$I_{REF} = I = 100\ \mu A$。

（c）Q_6 和 Q_3 栅极直流电压+1.5 V

（d）Q_7，Q_4 和 Q_5 的栅极直流电压−1.5 V。

工艺参数为：$\mu_n C_{ox} = 3\mu_p C_{ox} = 90\ \mu A/V^2$，$V_{tn} = |V_{tp}| = 0.7\ V$，$V_{An} = |V_{Ap}| = 20\ V$。确定 R 和所有晶体管的 W/L，并确定每个晶体管工作时的 I_D 和 $|V_{GS}|$。直流偏置计算时可忽略沟道长度调制效应。

7.14 由于设计错误导致图 P7.14 所示电路产生失配。具体而言，Q_2 的 W/L 是 Q_1 的两倍。如果 v_{id} 为正弦波小信号，求：

（a）I_{D1} 和 I_{D2}

（b）Q_1 和 Q_2 各自的 V_{OV}。

（c）用 R_D、I 和 V_{OV} 来表示的差模增益 A_d。

7.15 NMOS 差分对由 $I = 0.2$ mA 的电流源提供偏置，电流源的输出电阻 $R_{SS} = 100\ k\Omega$。放大器的漏极电阻 $R_D = 10\ k\Omega$。使用的晶体管的 $k'_n W/L = 3\ mA/V^2$ 且 r_o 很大。

（a）如果是单端输出，求$|A_d|$，$|A_{cm}|$和 CMRR。

（b）如果是差分输出，且漏极电阻有1%失配，求$|A_d|$，$|A_{cm}|$和 CMRR。

7.16 图 P7.2 所示的差分放大器的 Q_1 和 Q_2 有 $k'_p(W/L) = 3.5\ mA/V^2$，假设偏置电流源的输出电阻为 30 kΩ。求差分输出时的 V_{OV}，g_m，$|A_d|$，$|A_{cm}|$和 CMRR（用 dB 表示）。已知漏极电阻有2%的失配。

D*7.17 图 P7.17 所示的差分放大器利用电阻 R_{SS} 来建立 1 mA 的直流偏置电流。我们注意到放大器只使用了一个 5 V 的电源，于是需要直流共模电压 V_{CM}。晶体管 Q_1 和 Q_2 有 $k'_n W/L = 2.5\ mA/V^2$，$V_t = 0.7\ V$，$\lambda = 0$。

（a）求所需的 V_{CM}。

（b）求使差模增益 A_d 为 8 V/V 的 R_D 的值。

（c）确定漏极的直流电压。

（d）确定共模增益$\Delta V_{D1}/\Delta V_{CM}$。（提示：需要考虑 $1/g_m$。）

（e）用（d）中求得的共模增益确定导致 Q_1 和 Q_2 进入三极管区的 V_{CM} 的变化。

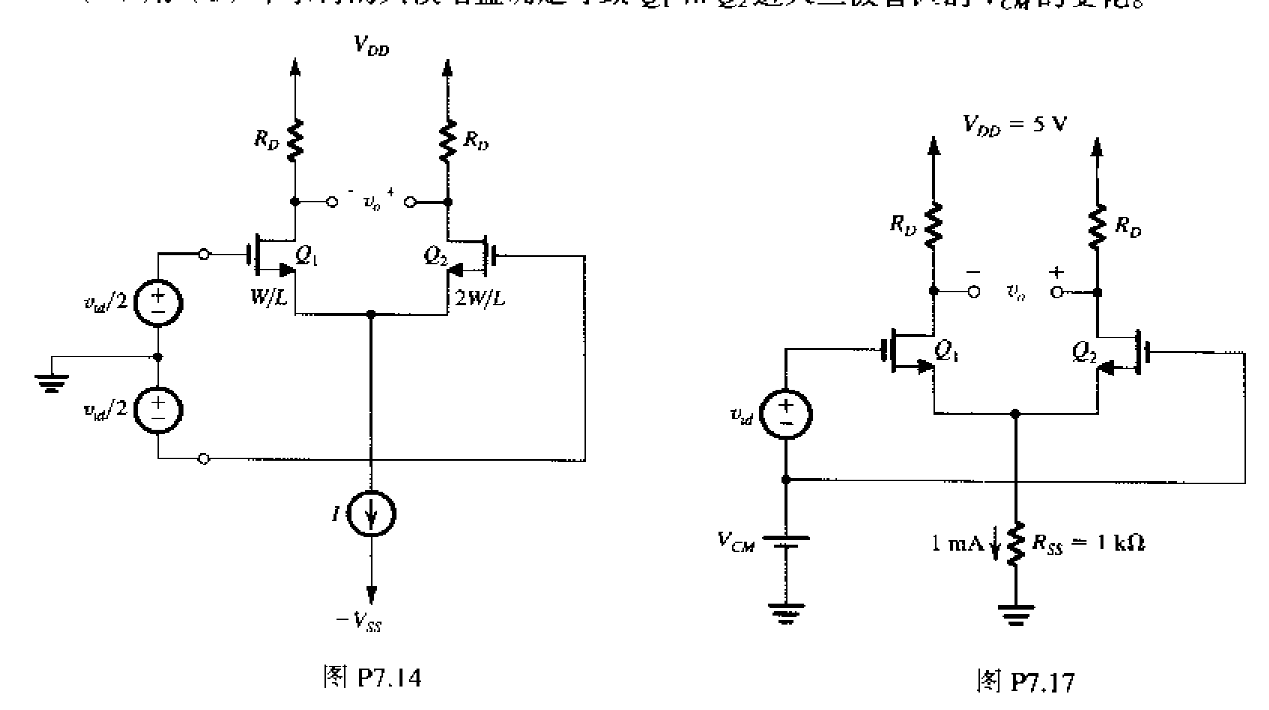


图 P7.14　　图 P7.17

*7.18 本习题的目的是要确定 g_m 和 R_D 同时失配时产生的共模增益以及 CMRR。

（a）参考图 7.11 所示的电路，两个漏极电阻用 R_{D1} 和 R_{D2} 表示，其中 $R_{D1} = R_D + (\Delta R_D / 2)$ 而 $R_{D2} = R_D - (\Delta R_D / 2)$。同样，令 $g_{m1} = g_m + (\Delta g_m / 2)$ 而 $g_{m2} = g_m - (\Delta g_m / 2)$。模仿推导式（7.64）的过程证明：

$$A_{cm} \simeq \left(\frac{R_D}{2R_{SS}}\right)\left(\frac{\Delta g_m}{g_m} + \frac{\Delta R_D}{R_D}\right)$$

我们注意到该方程表明可以有意识地通过调节 R_D 来补偿 g_m 和 R_D 的初始变化，从而降低 A_{cm}。

（b）MOS 差分放大器的 $R_D = 5\ \text{k}\Omega$ 且 $R_{SS} = 25\ \text{k}\Omega$，已知共模增益为 0.002 V/V。求使 A_{cm} 降为零（或接近零）的漏极电阻的相对变化值。

7.19 回忆 MOSFET 的 g_m 为

$$g_m = k_n'\left(\frac{W}{L}\right)(V_{GS} - V_t)$$

我们注意到有两个失配因素导致差分对 g_m 值的不同，这两个因素是（W/L）值的失配 $\Delta(W/L)$ 和开启电压的失配 ΔV_t。证明：

$$\frac{\Delta g_m}{g_m} = \frac{\Delta(W/L)}{W/L} + \frac{\Delta V_t}{V_{OV}}$$

讨论差分对 g_m 失配的最坏的情况，其中（W/L）的容差是±1%而 V_t 的最大失配是 5 mV。假定差分对工作时的 $V_{OV} = 0.25$ V，如果 $R_D = 5\ \text{k}\Omega$，$R_{SS} = 25\ \text{k}\Omega$，求最坏情况下的 A_{cm}。如果偏置电流 $I = 1$ mA，求相应最坏情况的 CMRR。

7.3 节：BJT 差分对

7.20 考虑图 7.13(a)所示的差分放大器，设 $I = 1$ mA，$V_{CC} = 5$ V，$v_{CM} = -2$ V，$R_C = 3\ \text{k}\Omega$ 和 $\beta = 100$。假设 BJT 在 $i_C = 1$ mA 时有 $v_{BE} = 0.7$ V。求发射极电压和输出端的电压。

7.21 电路如图 7.13（b）所示，输入为+1 V，$I = 1$ mA，$V_{CC} = 5$ V，$R_C = 3\ \text{k}\Omega$，$\beta = 100$，求发射极和集电极的电压。假设 BJT 在 $i_C = 1$ mA 时有 $v_{BE} = 0.7$ V。

7.22 如果输入为−0.3 V，重复练习 7.7。

7.23 参见图 7.12 所示的 BJT 差分放大器，求使得 $i_{E1} = 0.80I$ 的差模输入电压 $v_{id} \equiv v_{B1} - v_{B2}$ 的值。

D7.24 考虑图 7.12 所示的差分放大器，且令 BJT 的 β 值极大：

（a）求使得 BJT 保持在线性区 $v_{CB} = 0$ 的最大共模输入信号的值。

（b）如果输入信号足够大，使得电流完全流过其中的一个晶体管，求每个晶体管集电极电压的变化（对比 $v_{id} = 0$ 的情况）。

（c）如果电源 V_{CC} 为 5 V，为使共模输入信号为±3 V，选择的 IR_C 应为多少？

（d）对（c）求得的 IR_C，求 I 和 R_C 的值，利用 I 的最大可能值约束每个晶体管的基极电流不能超过（当 I 等分时）2 μA。令 $\beta = 100$。

7.25 考虑图 7.12 所示的差分放大器，为了深入探究差模输入大信号导致的非线性失真，当差模输入信号 v_{id} 为 5 mV，10 mV，20 mV，30 mV 和 40 mV 时，分别计算 i_{E1} 的归一化电流 i_{E1}，$\Delta i_{E1}/I = (i_{E1} - (I/2))/I$。并将比值$((\Delta i_{E1}/I)/v_{id})$制成表格形式，该比值表明差分放大器的互导正比于 v_{id}。讨论作为放大器的差分对的线性特性。

D7.26 设计图 7.12 所示的电路，要求差模输入电压为 10 mV 时差分输出电压（取自两集电极之间）

为 1 V。偏置电流源为 2 mA，正电源为+10 V。电路工作时共模输入电压的最大可能值是多少？假定$\alpha=1$

D*7.27 设计图 7.12所示的基本差分放大器的一个权衡就是在电压增益和共模输入范围之间的取舍。本习题的目的就是阐明两者之间的折中考虑。

（a）利用式（7.72）和式（7.73）计算对应 5 mV 差模输入电压（即 $v_{B1}-v_{B2}=5$ mV）时的电流 i_{C1} 和 i_{C2}；假设β值非常大，求两集电极之间的电压差$(v_{C2}-v_{C1})$，并将此值除以 5 mV，得到用(IR_C)表示的电压增益。

（b）求 v_{CM} 的最大值［见图 7.13（a）］，要求晶体管保持在线性放大区 $v_{CB}=0$ 工作。用 V_{CC} 表示以及用增益来表示该最大值，进而证明 V_{CC} 给定时得到的增益越高，共模输入的范围越小。利用这一表达式求增益的幅值分别为 100 V/V、200 V/V、300 V/V 和 400 V/V 时相应的 $v_{CM\max}$，对上述每一个值，同时求 IR_C 的值以及当 $I=1$ mA 时的 R_C 值。

*7.28 对图 7.12 所示的电路，假定$\alpha=1$ 且 $IR_C=5$ V，利用式（7.67）和式（7.68）求 i_{C1} 和 i_{C2}，当差模输入电压 $v_{id}=v_{B1}-v_{B2}$ 取为 5 mV，10 mV，15 mV，20 mV，25 mV，30 mV，35 mV 和 40 mV 时，求 $v_o=v_{C2}-v_{C1}$ 的值；绘制 v_o 与 v_{id} 的关系曲线，并由此讨论放大器的线性特性。作为表明线性特性的另一种方法，求增益(v_o/v_{id})随 v_{id} 的变化关系并讨论相应的结果。

7.29 差分放大器的发射极偏置电流源是 6 mA，但是两个 BJT 晶体管不匹配。其中，一个晶体管的发射结面积是另一个的 1.5 倍。当差模输入电压为 0 V 时，集电极的电流为多少？为平衡集电极电流，需要的差模输入电压为多少？假设$\alpha=1$。

*7.30 图 P7.30 所示是基于差分对的逻辑反相器。图中 Q_1 和 Q_2 构成差分对，而 Q_3 作为射极跟随器有两个作用：它完成电平位移，使 V_{OH} 和 V_{OL} 以电压 V_R 为中心，这样便能驱动另一个逻辑门（这点将在第 11 章详细讲述），另外它还使反相器具有较低的输出电阻。设所有晶体管在 $I_C=1$ mA 时的 $V_{BE}=0.7$ V，且有$\beta=100$。

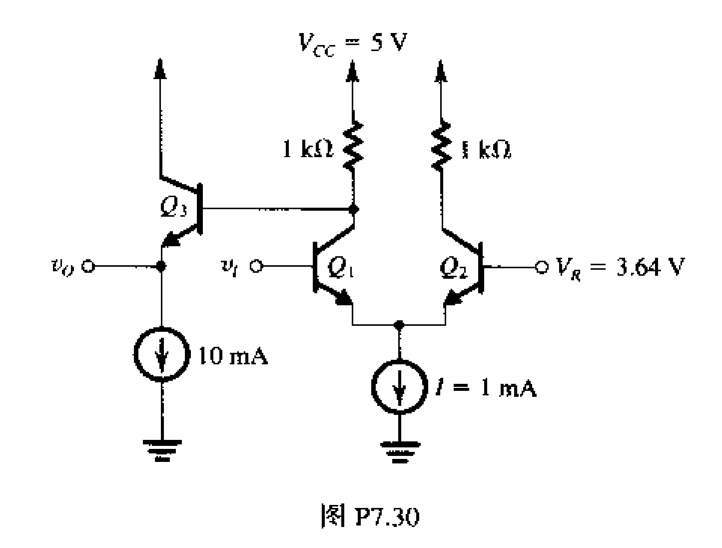


图 P7.30

（a）当 v_I 足够小从而导致 Q_1 截止时，求输出电压 v_O，也就是 V_{OH}。

（b）当 v_I 足够高从而使所有电流 I 都流过 Q_1，求输出电压 v_O，也就是 V_{OL}。

（c）确定 v_I 的值使 Q_1 中导通 1%的电流 I，该电压记为 V_{IL}。

（d）确定 v_I 的值使 Q_1 中导通 99%的电流 I，该电压记为 V_{IH}。

（e）画出反相器的电压传输特性曲线并标明其转折点，计算噪声容限 NM_H 和 NM_L 的值。注意，要明智地选择参考电压 V_R。

（关于反相器 VTC 的参数定义见 1.7 节。）

7.31 BJT 差分放大器的偏置电流为 300 μA，求每个器件的 g_m 的值；若$\beta=150$，差模输入电阻是多少？

D7.32 设计图 7.16 所示的基本 BJT 差分放大器电路，要求差模输入电阻至少为 10 kΩ，差模增益（输出取自两集电极之间）为 200 V/V。晶体管的β至少为 100。可用的电源为 10 V。

7.33 差分放大器的差模输入电压为 10 mV，则其对应于 CE 半电路的等效信号为多少？如果射极电流源为 100 μA，半电路的 r_e 为多少？若集电极负载电阻为 10 kΩ，半电路的增益为多少？你认为每个集电极的输出信号电压的幅值为多少？

7.34 BJT 差分放大器由 2 mA 的恒流源提供偏置，且发射极接有 100 Ω的电阻。集电极通过 5 kΩ 的电阻连接到 V_{CC}。两基极之间接有 0.1 V 的差模输入信号。

（a）求每个 BJT 的发射极信号电流 i_e 和信号电压 v_{be}。

（b）每个 BJT 的总发射极电流为多少？

（c）每个集电极的信号电压是多少？假定 $\alpha = 1$

（d）若输出取自两集电极之间，求能够得到的电压增益。

D7.35 设计一个 BJT 差分放大器，要求放大 0.2 V 的差模输入信号以产生 4 V 的差模输出信号。为了保证足够的线性特性，需要把晶体管基射极的信号幅度限制为小于 5 mV。另一个设计要求是差模输入电阻至少为 80 kΩ。已知 BJT 的 $\beta \geqslant 200$。给出电路结构并确定器件的值

7.36 提供差分放大器工作的射极电流源的输出电阻为 1 MΩ。与每一个共模半电路相连的电阻为多少？若集电极电阻为 20 kΩ，相应的共模增益为多少？输出取：（a）差分；（b）单端。

7.37 求图 P7.37 所示的放大器的电压增益和输入电阻。假定 $\beta = 100$。

7.38 求图 P7.38 所示的放大器的电压增益和输入电阻。假定 $\beta = 100$。

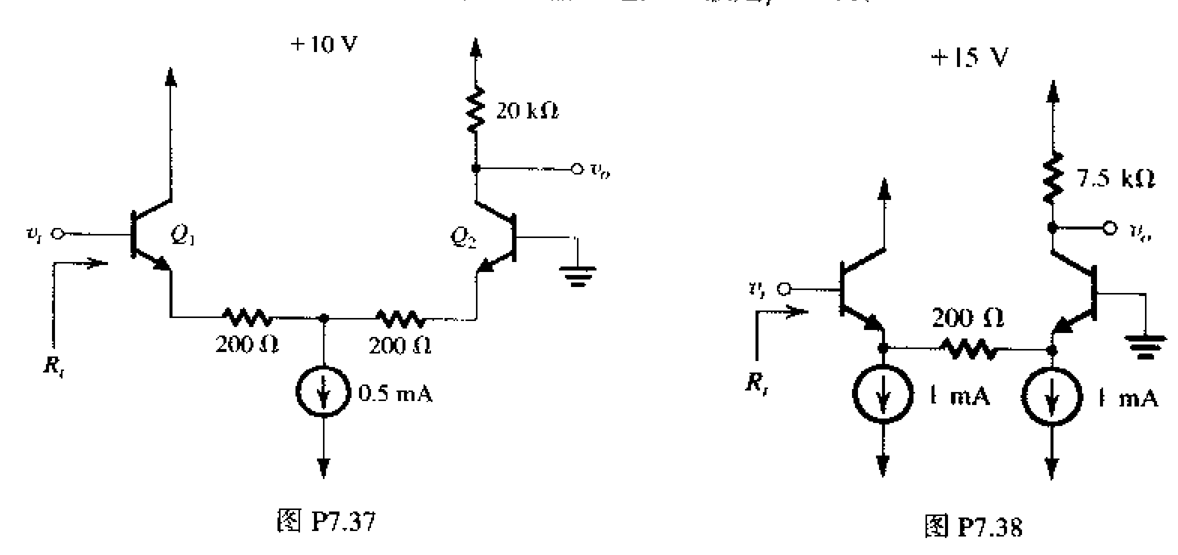


图 P7.37　　图 P7.38

7.39 用两种不同方法推导图 P7.39 所示电路的小信号电压增益 v_o/v_i 的表达式：

（a）作为差分放大器

（b）作为共集电极 Q_1 和共基极 Q_2 的级联

假定 BJT 匹配且电流增益为 α，证明两种方法得到相同的结果。

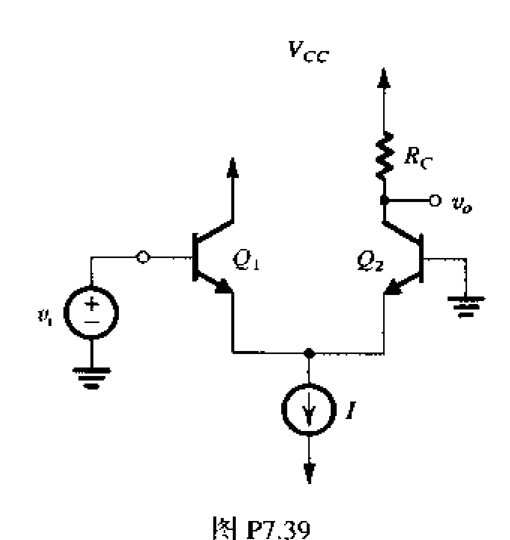


图 P7.39

7.40 图 P7.40 所示的差分放大器通过电阻连接到负电源建立偏置电流 I。

（a）若 $v_{B1} = v_{id}/2$，$v_{B2} = -v_{id}/2$，且小信号 v_{id} 的均值等于零，求差模增益的幅值 $|v_o/v_{id}|$。

（b）当 $v_{B1} = v_{B2} = v_{icm}$ 时，求共模增益的幅值 $|v_o/v_{icm}|$。

（c）计算 CMRR。

（d）如果 $v_{B1} = 0.1 \sin 2\pi \times 60t + 0.005 \sin 2\pi \times 1000t$ V，$v_{B2} = 0.1 \sin 2\pi \times 60t - 0.005 \sin 2\pi \times 1000t$ V，求 v_o。

7.41 考虑图 P7.41 所示的差分放大器，确定并画出差模半电路和共模半电路，求差模增益、差模输入电阻、共模增益和共模输入电阻。设所有晶体管的 $\beta = 100$，$V_A = 100$ V。

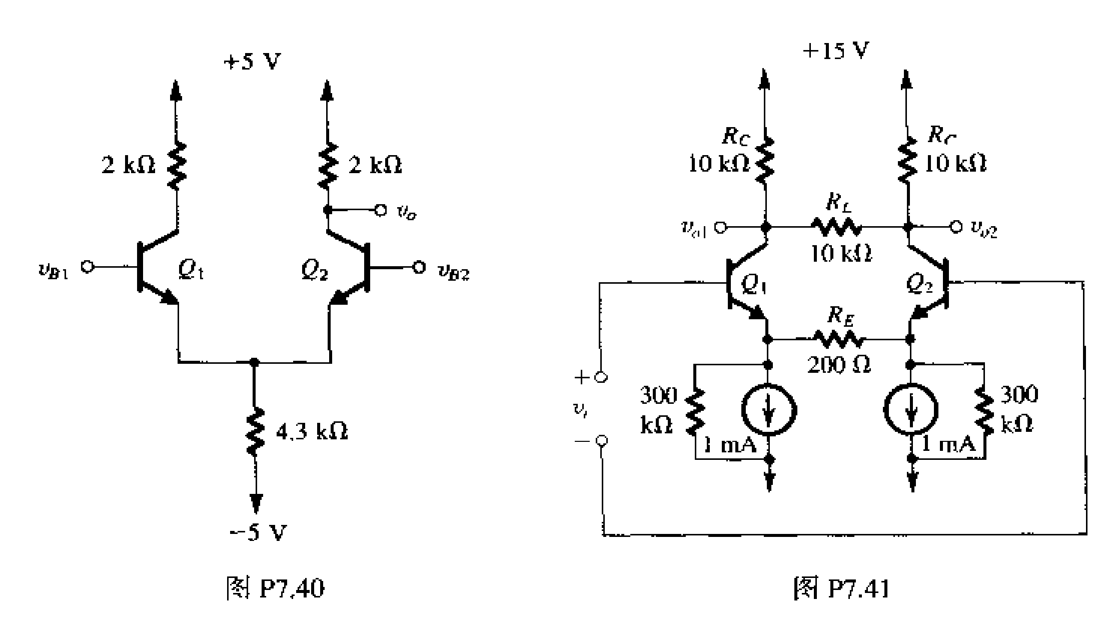


图 P7.40

图 P7.41

7.42 考虑基本差分对电路，其中晶体管的$\beta=200$，$V_A=200$ V，$I=0.5$ mA，$R_{EE}=1$ MΩ和$R_C=20$ kΩ。求：

（a）单端输出的差模增益

（b）差分输出的差模增益

（c）差模输入电阻

（d）单端输出的共模增益

（e）差分输出的共模增益

7.43 与图 7.23(a)所示的差分放大器电路类似，组成电流源I和R_{EE}的共射晶体管工作于 100 μA。对该晶体管及其他用做差分对的晶体管，有$V_A=200$ V，$\beta=50$。求共模输入电阻。

D7.44 设计一个差分放大器，要求为一对 10 kΩ的负载电阻提供最大可能的信号。输入正弦信号的峰-峰值为 5 mV 并施加于一端，而另一端接地。电源电压为 10 V。为了确定所需的偏置电流I，推导出用V_{CC}，I和输入信号表示的每个晶体管集电极的总电压，确定使晶体管刚好离开饱和区时所需要的v_{CB}最小约为 0 V 的条件，并由此求解所需的I的值。对此设计，所得的差模增益为多少？两集电极间所得信号电压的幅值为多少？假定$\alpha\simeq1$。

D*7.45 设计一个提供两个单端输出（在集电极）的 BJT 差分放大器。放大器的差模增益（对每个输出）至少为 100 V/V，差模输入电阻大于等于 10 kΩ，共模增益（对每个输出）不大于 0.1 V/V。利用 2 mA 的电流源作为偏置。给出完整电路并包含器件数值且包括合适的电源，要求每个集电极能够有±2 V 的摆动。确定偏置电流源输出电阻的最小值。所用 BJT 的$\beta\geqslant100$。当偏置电流源具有最小的可接受的电阻时，共模输入电阻的值为多少？

7.46 BJT 差分对差分输出时的 CMRR 比单端输出时高 40 dB。如果导致差分输出时共模增益有限的惟一原因是集电极电阻失配的话，失配程度如何（以百分比表示）？

*7.47 某 BJT 差分放大器由于制造失误导致一晶体管发射结的面积为另一个的两倍。如果输入接地，射极偏置电流将如何分配给这两个晶体管？如果电流源的输出电阻为 1 MΩ而每个集电极的电阻（R_C）为 12 kΩ，求差分输出时的共模增益。假定$\alpha\simeq1$。

7.4 节：差分放大器的其他非理想特性

D7.48 用做放大器的 NMOS 差分对的漏极电阻为 10 kΩ ± 1%。$k'_n W/L=4$ mA/V^2。对偏置电流源I有两种选择：200μA 或 400μA。如果是差分输出，比较两种可能选择下的差模增益和输入

失调电压。

D7.49 某 NMOS 放大器设计时的工作点为 $V_{OV}=0.3$ V，怀疑其 V_t 的变化在±5 mV，W/L 和 R_D（独立的）的变化为±2%，在最坏情况下，预计输入失调电压为多少？导致这一失调的主要因数是什么？如果改变其中一个漏极电阻来达到降低输出失调为零的目的，也就是补偿电路中的不确定性（包括另一个 R_D），需要的基于标称值的变化百分比是多少？如果能将最坏情况下的失调降低 10 倍，那么 R_D 所需的变化为多少？

7.50 NMOS 差分对工作时的偏置电流 I 为 100 μA，晶体管的 $k'_n=100\mu A/V^2$，$W/L=20$，$V_t=0.8$ V。求以下三种情况下的输入失调电压：$\Delta R_D/R_D=5\%$，$\Delta(W/L)/(W/L)=5\%$，$\Delta V_t=5$ mV。最坏情况下的总失调电压为多少？通常情况下这三种因数是独立的，那么失调将会是多少？（提示：对后者的情况，利用平方和开方进行计算。）

7.51 差分对的射极偏置电流源为 600 μA，两晶体管完全匹配，但是集电极电阻有 10%的失配。要使差模输出电压降低为零，输入失调电压应为多少？

7.52 差分对的射极偏置电流源为 600 μA，两晶体管的比例电流 I_s 有 10%的差异，但是两集电极电阻完全匹配，求产生的输入失调电压。

7.53 对射极各含有电阻 R_E 的差分放大器，修正式（7.125）。设偏置电流源为 I。

7.54 差分放大器的两晶体管的 β 值分别为 β_1 和 β_2。如果其他参数都完全匹配，证明输入失调电压近似为 $V_T[(1/\beta_1)-(1/\beta_2)]$。当 $\beta_1=100$ 和 $\beta_2=200$ 时，计算 V_{OS}。假定差分源电阻为零。

*7.55 差分放大器的两晶体管的 V_A 分别为 100 V 和 300 V。如果其他参数都匹配，求相应的输入失调电压。假定两晶体管都偏置于 V_{CE} 大约为 10 V 的电压上。

*7.56 差分放大器以平衡或推挽方式输入信号，串接在基极的源电阻为 R_s。证明源电阻之间的差异 ΔR_s 所产生的输入失调电压近似为 $(I/2\beta)\,\Delta R_s$。

7.57 一种"失调修正"的方法是在两输入端接地时通过调节 R_{C1} 和 R_{C2} 的值使差分输出电压降低为零。这种调零过程可以通过在集电极电路上接入电位器来实现，如图 P7.57 所示。我们希望寻找电位器的设置，用与 R_{C1} 串联的代表电位器部分值的 x，使下列情况中的输出失调电压归零：

（a）R_{C1} 比标称值高 5%而 R_{C2} 比标称值低 5%；

（b）Q_1 比 Q_2 的面积大 10%。

V_{CC}　(x)　$(1-x)$　1 kΩ　R_{C1} 5 kΩ　R_{C2} 5 kΩ　Q_1　Q_2　2 mA

图 P7.57

7.58 差分放大器总的射极偏置电流为 600 μA，晶体管的 β 值在 80 和 200 之间。输入偏置电流的最大可能值为多少？输入偏置电流的最小可能值为多少？输入失调电流的最大可能值又是多少？

*7.59 BJT 差分放大器工作时的偏置电流为 500 μA，采用 27 kΩ（每个）集电极电阻连接到+15 V 的电源上。射极电流源用 BJT 构成，其射极电压为−5 V。对平衡或推挽方式施加的差模信号的峰值小于等于 20 mV，则共模输入范围的正负极限各为多少？

**7.60 BJT 差分放大器由于制造失误导致一个晶体管的发射结面积为另一个的两倍。两输入端都接地，求每个晶体管中的电流以及在输出端的直流失调电压，假设集电极电阻都相等。通过小信号分析求解使差分对电流恢复平衡的输入电压。利用大信号分析重复上述问题并比较结果。同时求解输入偏置电流和输入失调电流，这里假设 $I=0.1$ mA 且 $\beta_1=\beta_2=100$。

D7.61 在大规模制造中，差分放大器大量使用 20 kΩ的集电极电阻，输入失调电压的范围从+3 mV 到−3 mV。如果差分输入级的增益为 90 V/V，若要使输入失调降为零，其中一个集电极电阻需要调整的数值是多少？如果调整机制是提升一个集电极电阻而降低另一个，那么电阻的变化应为多少？用已有的集电极电阻和滑动端接电源 V_{CC} 的电位器设计一个合适的电路，求电位器的阻值（精确到一位有效位）。

7.5 节：有源负载差分放大器

D7.62 在图 7.28（a）所示的有源负载差分放大器中，所有晶体管的 $k'W/L = 3.2\ \text{mA/V}^2$，$|V_A| = 20$ V。当增益为 $v_o/v_{id} = 80$ V/V 时，求偏置电流 I。

7.63 在图 7.28（a）所示形式的有源负载 MOS 差分放大器中，所有晶体管的 $k'W/L = 0.2\ \text{mA/V}^2$，$|V_A| = 20$ V。若 $V_{DD} = 5$ V 且输入信号接近于地，当（a）$I = 100\ \mu$A 或（b）$I = 400\ \mu$A 时，计算 v_o 的线性范围，Q_1 和 Q_2 的 g_m，Q_2 和 Q_4 的输出电阻，总输出电阻以及电压增益。

7.64 考虑下列两种情况下的图 7.28（a）所示的有源负载 MOS 差分放大器：

（a）电流源 I 由简单的镜像电流源构成。

（b）电流源 I 由图 P7.64 所示的改进的 Wilson 电流源构成。

回想一下简单电流源的 $R_{SS} = r_o|_{Q_5}$，而 Wilson 电流源的 $R_{SS} \simeq g_{m7}r_{o7}r_{o5}$，假设所有晶体管的 $|V_A|$ 和 $k'W/L$ 都相等，则对（a）有

$$\text{CMRR} = 2\left(\frac{V_A}{V_{OV}}\right)^2$$

而对（b）有

$$\text{CMRR} = \sqrt{2}\left(\frac{V_A}{V_{OV}}\right)^3$$

其中，V_{OV} 是对应漏极电流为 $I/2$ 的过驱动电压。当 $k'W/L = 10\ \text{mA/V}^2$，$I = 1$ mA 且 $|V_A| = 10$ V 时，求上述两种情况下的 CMRR。

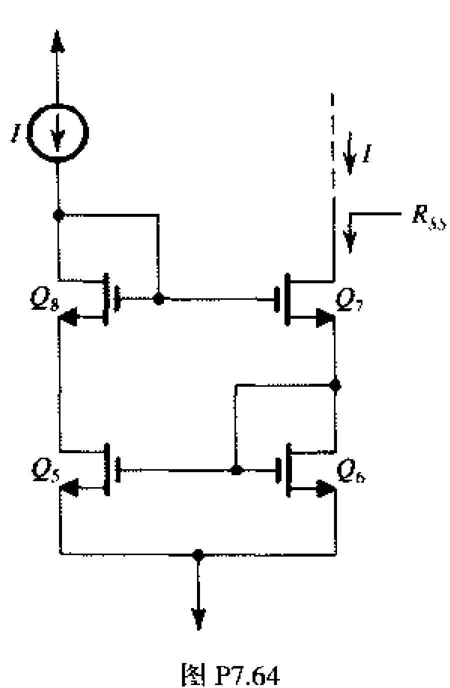


图 P7.64

D*7.65 考虑图 7.28（a）所示的有源负载的差分放大器，改进型的 Wilson 电流源采用图 P7.64 所示的形式，$I = 100\ \mu$A，晶体管的 $|V_t| = 0.7$ V，$k'(W/L) = 800\ \mu\text{A/V}^2$。为使晶体管工作时的 $|V_{DS}| \geq |V_{GS}|$，总电源电压（$V_{DD} + V_{SS}$）的最小值为多少？

*7.66 （a）画出有源负载 MOS 差分放大器电路，输入晶体管是 cascode 电路，且以 cascode 电流源作为负载。

（b）假设所有晶体管的过驱动电压为 V_{OV}，并有相同的厄尔利电压 $|V_A|$，证明增益为

$$A_d = 2(V_A / V_{OV})^2$$

若 $V_{OV} = 0.25$ V 且 $V_A = 20$ V，估算增益值。

7.67 图 7.32（a）所示的差分放大器工作时的 $I = 100\ \mu$A，晶体管的 $V_A = 160$ V，$\beta = 100$。预计差分放大器的差模输入电阻、输出电阻、等效互导以及开路电压增益各为多少？如果下一级的输入电阻为 100 kΩ，则电压增益是多少？

D*7.68 利用基本镜像电流源 I 设计图 7.32（a）所示的电路，要求等效互导为 5 mA/V。使用±5 V

的电源，BJT 的$\beta = 150$、$V_A = 100$ V、给出完整电路和元件值并求差模输入电阻 R_{id}，输出电阻 R_o，开路电压增益 A_d，输入偏置电流，共模输入范围和共模输入电阻。

D*7.69 利用 Widlar 电流源（见图 6.62）作为偏置电流源，重复习题 7.68 的放大器设计。假定最大可用电阻值是 2 kΩ。

D7.70 修改习题 7.68 的放大器设计，在晶体管的射极接入负反馈电阻，使 $R_{id} = 100$ kΩ，求该电阻的阻值，并求 A_d的值。

7.71 考虑图 7.32（a）所示的有源负载双极型差分放大器，$I = 0.5$ mA，$V_A = 120$ V，$\beta=150$。求 G_m、R_o、A_d和 R_{id} 如果偏置电流源用的是 *npn* 实现的基本镜像电流源，求 R_{EE}，A_{cm}和 CMRR。如果放大器是差分输入，总的源电阻为 10 kΩ（比如 Q_1 和 Q_2 的基极各接 5 kΩ的电阻），求总的差模电压增益。

*7.72 考虑图 7.32（a）所示的差放分放大器，两输入端连接在一起，接共模输入信号 v_{icm}，偏置电流源的输出电阻记为 R_{EE}，*pnp* 晶体管的β 记为β_p。假设 *npn* 晶体管的β值很大，利用电流源的电流传输比，证明输出电流为 $v_{icm}/\beta_p R_{EE}$，因而共模互导为 $1/\beta_p R_{EE}$。利用这一结论和差模互导 G_m（教材上有推导）寻找另一种计算共模抑制比的方法。注意，这种方法得到的结论同式（7.174）的 CMRR 相差两倍，即等于共模输入的输出电阻（r_{o4}）和差模输入的输出电阻（$r_{o2}\|r_{o4}$）的比值。

*7.73 若电流源采用 Wilson 电流源的结构，重复习题 7.72，证明此时的输出电流为 $v_{icm}/\beta_p^2 R_{EE}$；求共模互导和比值 G_{mcm}/G_m。

7.74 图 P7.74 所示的是 Wilson 电流源作为负载的 cascode 差分放大器。利用第 6 章得到的双极型 cascode 电路的输出电阻表达式及 Wilson 电流源输出电阻的表达式，并假设所有的晶体管都相同，证明差模电压益 A_d 为

$$A_d = \frac{1}{3}\beta g_m r_o$$

若 $I = 0.4$ mA，$\beta = 100$，$V_A = 120$ V，计算 A_d的值

D7.75 考虑图 P7.74 所示的 Wilson 负载 cascode 差分放大器的偏置设计

（a）Q_7 不饱和时的输出端可能获得的最大信号电压是多少？假设 CB 结电压超过 0.4 V 时 CB 结导通

（b）为了使输出信号正向摆幅为 1.5 V，输出端的直流偏置电压（图中未标出）为多少？

（c）求使输出信号的负向摆幅为 1.5 V 的 V_{BIAS} 值

（d）共模输入电压 v_{CM} 的上限是多少？

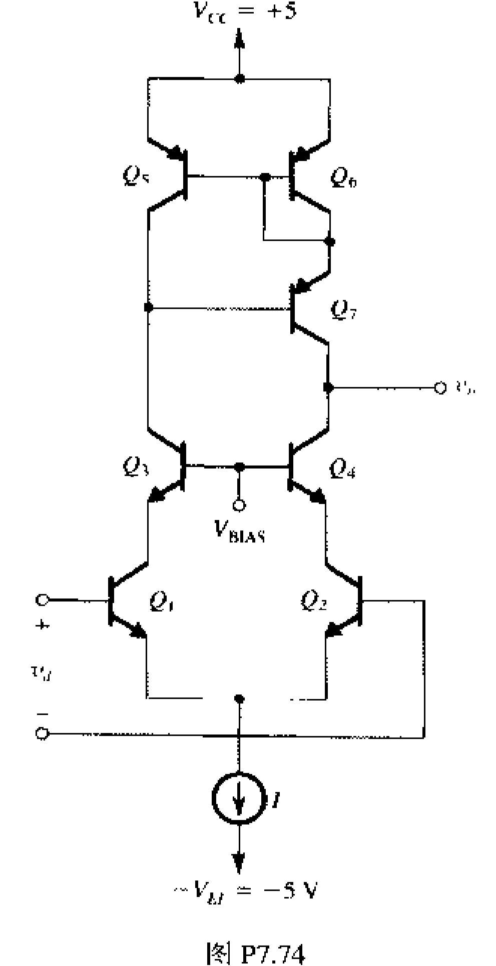


图 P7.74

*7.76 图 P7.76 所示是一个改进了的 cascode 差分放大器，其中 Q_3 和 Q_4 是 cascode 晶体管，但是 Q_3 的基极与电流源 Q_7–Q_8 的输出相连接方式产生了有趣的输入特性。注意，为简单起见，所给电路的 Q_2 基极接地。

（a）当 $v_I = 0$ V（dc）时，求输入偏置电流 I_B。假定所有晶体管具有相同的β值。比较现在的

结果与不接 Q_7–Q_8 时的结果。

（b）v_I = 0 V (dc) + v_{id}，求输入信号电流 i_b 和差模输入电阻 R_{id} 并将得到的结果与不接 Q_7–Q_8 的结果进行比较。（注意，因为有 Q_4，因此使得 Q_1 和 Q_2 的射极电流十分接近！）

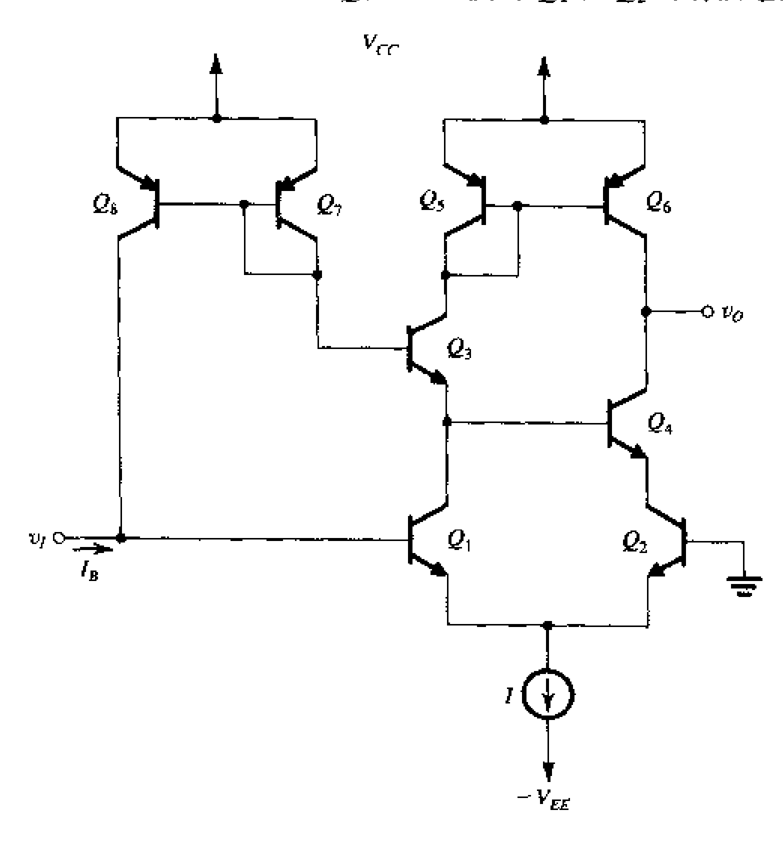


图 P7.76

7.77 利用 6.12.3 节推导的 Wilson 电流源电流传输比的表达式［即式（6.193）］推导 BJT 差分放大器系统失调电压的表达式。差分放大器的有源负载是 *pnp* 晶体管实现的 Wilson 电流源。当 $\beta_P = 50$ 时计算 V_{OS}。

7.78 对图 7.35 所示的折叠型 cascode 差分放大器，求 V_{BIAS} 的值，使得输出正向摆幅最大，同时保持 Q_3 和 Q_4 及构成电流源的 *pnp* 晶体管不进入饱和区。假设 $V_{CC} = V_{EE} = 5$ V。如果输出端的直流电平为 0 V，求输出信号最大允许的摆幅。若 $I = 0.4$ mA，$\beta_P = 50$，$\beta_N = 150$，$V_A = 120$ V，求 G_m，R_{o4}，R_{o5}，R_o 和 A_d

7.79 对图 P7.79 所示的 BiCMOS 差分放大器，令 $V_{DD} = V_{SS} = 3$ V，$I = 0.4$ mA，$k_p' W/L = 6.4$ mA/V^2；*p* 沟 MOSFET 的 $|V_A|$ 为 10 V，*npn* 晶体管的 $|V_A|$ 为 120 V。求 G_m，R_o 和 A_d。

图 P7.79

7.6 节：差分放大器的频率响应

7.80 图 7.36（a）所示 MOSFET 差分放大器的偏置电流 I = 200 μA。晶体管的 $W/L = 25$，$k_n' = 128$ μA/V^2，$V_A = 20$ V，$C_{gs} = 30$ fF，$C_{gd} = 5$ fF 以及 $C_{db} = 5$ fF。晶体管的漏极电阻为 20 kΩ，每个漏极和地之间的电容为 90 fF。

（a）求每个晶体管的 V_{OV} 和 g_m。

（b）求差模增益 A_d。

（c）如果输入信号源的内阻 R_{sig} 很小，则频率响应主要由输出极点决定，估算 3 dB 频率 f_H。

（d）如果输入是差分的，且 40 kΩ的信号源电阻对称接入（即每个栅极串接 20 kΩ的电阻），用开路时间常数法估算 f_H。

7.81 习题 7.80 中的放大器有 $R_{SS}=100\ \text{k}\Omega$ 以及 $C_{SS}=0.2\ \text{pF}$。求 CMRR 的 3 dB 频率。

7.82 BJT 差分放大器的偏置电流源为 1 mA，晶体管的 $\beta=100$，$f_T=600\ \text{MHz}$，$C_\mu=0.5\ \text{pF}$，$r_x=100\ \Omega$。每个集电极电阻为 10 kΩ，r_o 非常大。放大器的输入形式是对称的，10 kΩ的源电阻串接在每一个输入端。

（a）画出差模半电路及其高频等效电路。

（b）求低频总电压增益的值。

（c）利用米勒定理求输入电容，进而估计 3 dB 频率 f_H 和增益带宽积。

7.83 改动习题 7.82 的差分对电路，在晶体管的射极增加 100 Ω的电阻。确定低频总差模增益的值。利用开路时间常数法估计 f_H。为此，注意从 C_μ 视入的电阻 R_μ 为

$$R_\mu=[(R_{sig}+r_x)\parallel R_{in}](1+G_mR_C)+R_C$$

其中，

$$R_{in}=(\beta+1)(R_e+r_e)$$

$$G_m=\frac{g_m}{1+g_mR_e}$$

从 C_π 视入的电阻 R_π 为

$$R_\pi=r_\pi\parallel\frac{R_{sig}+r_x+R_e}{1+g_mR_e}$$

同时求增益带宽积。

D7.84 要求将习题 7.82 中的差分放大器的 3 dB 频率增加至 1 MHz，采用的方法是增加射极电阻 R_e。利用开路时间常数法完成这一设计。特别是利用习题 7.83 得到的 R_μ 和 R_π 的公式确定因子（$1+g_mR_e$）及 R_e 的值。做一个合理的近似从而使计算简化。直流增益变为多少？相应的增益带宽积为多少？

7.85 电流源负载 MOS 差分对的偏置电流源 $I=0.6\ \text{mA}$。两个 NMOS 晶体管工作时的 $V_{OV}=0.3\ \text{V}$，构成电流源的 PMOS 工作时的 $V_{OV}=0.5\ \text{V}$。厄尔利电压 $V_{An}=|V_{Ap}|=9\ \text{V}$。电流源输入端的总电容为 0.1 pF，放大器输出端的电容为 0.2 pF。求差模电压增益的直流量、零点和极点的频率。

7.86 差分放大器偏置电流源的输出电阻为 1 MΩ，输出电容为 10 pF，差模增益的主极点为 500 kHz。CMRR 的极点是什么？

7.87 对习题 7.82 的差分放大器，去掉左边晶体管的集电极电阻，同时输入信号接在左端晶体管的基极，另一个晶体管的基极接地，求直流增益和 f_H。设信号源内阻为 20 kΩ，忽略 r_x。（提示：参见图 6.57。）

7.88 对如下情况考虑图 P7.88 所示的电路：$I=200\ \mu\text{A}$ 且 $V_{OV}=0.25\ \text{V}$，$R_{sig}=200\ \text{k}\Omega$，$R_D=50\ \text{k}\Omega$，$C_{gs}=C_{gd}=1\ \text{pF}$。求直流增益、高频极点以及估计的 f_H。

7.89 对图 P7.89 所示的电路，设置偏置使每个晶体管工作时的集电极电流为 100 μA。设 BJT 的 $\beta=200$，$f_T=600\ \text{MHz}$ 且 $C_\mu=0.2\ \text{pF}$，同时忽略 r_o 和 r_x，$R_{sig}=R_C=50\ \text{k}\Omega$。求低频增益、差模输入电阻、高频极点以及估计的 f_H。

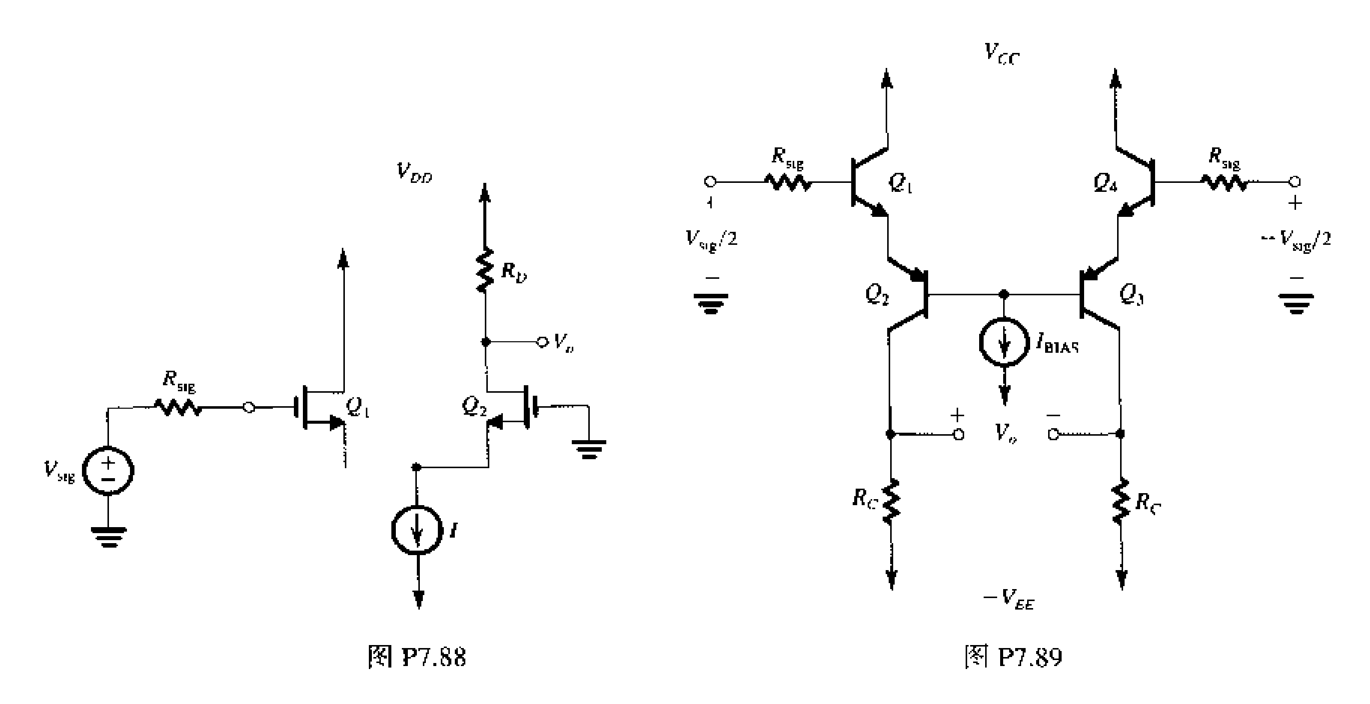


图 P7.88　　　　　　　　　　　　　图 P7.89

7.7 节：多级放大器

7.90　考虑图 7.40 所示的电路，器件的尺寸（μm）见下表：

晶体管	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
W/L	30/0.5	30/0.5	10/0.5	10/0.5	60/0.5	W/0.5	60/0.5	60/0.5

对所有器件，令 $I_{REF}=225\ \mu A$，$|V_t|=0.75\ V$，$\mu_n C_{ox}=180\ \mu A/V^2$，$\mu_p C_{ox}=60\ \mu A/V^2$，$|V_A|=9\ V$。同时，$V_{DD}=V_{SS}=1.5\ V$。确定 Q_6 的宽度 W 以使运算放大器没有系统失调电压。然后计算所有器件的 I_D，$|V_{OV}|$，$|V_{GS}|$，g_m 和 r_o。将得到的结果写成表 7.1 那样的格式。同时，求解 A_1 和 A_2，直流开环增益，共模输入范围，以及输出电压范围。忽略 V_A 对偏置电流的影响。

D*7.91　考虑图 7.40 所示的 CMOS 运算放大器，设计者希望了解 Q_1 和 Q_2 的 W/L 增加 4 倍后的影响。假定其他参数不变，借助例题 7.3 解答下列问题：

（a）求$|V_{OV}|$以及 Q_1 和 Q_2 的 g_m 的变化量。

（b）输入级增益的变化为多少？总电压增益呢？

（c）对输入失调电压有什么影响？（可以参见 7.4 节。）

（d）如果保持 f_t 不变，应如何改变 C_C？

7.92　考虑图 7.40 所示的放大器，其参数在例题 7.3 中给出。如果由于制造失误导致 Q_7 的 W/L 成为 50/0.8，求此时 Q_7 导通的电流，由此在输出端产生的系统失调电压是多少（利用例题 7.3 的结论）？假设开环增益就是例题 7.3 中的值，求相应的输入失调电压 V_{OS}。

7.93　考虑图 7.40 所示 CMOS 运算放大器的输入级，两输入接地。假设输入级电路两边完全匹配，但是 Q_3 和 Q_4 的开启电压有ΔV_t的失配。证明第一级输出的电流为 $g_{m3}\Delta V_t$。相应的输入失调电压为多少？对例题 7.3 中电路，计算$\Delta V_t=2$ mV 时的失调电压。（利用例题 7.3 的结果。）

7.94　CMOS 运算放大器的结构如图 7.40 所示，其中 $g_{m1}=g_{m2}=1$ mA/V，$g_{m6}=3$ mA/V，节点 D_2 和地之间的总电容为 0.2 pF，输出节点和地之间的总电容为 3 pF。求使 $f_t=50$ MHz 的电容 C_C 的值，并证明 f_t 小于 f_Z 和 f_{P2}。

*7.95　图 P7.95 是一个类似图 7.40 所示 CMOS 运算放大器的双极型运算放大器电路，其中输入差分对 Q_1–Q_2 以 Q_3 和 Q_4 构成的电流源作为有源负载。第二级采用具有电流源负载的共射

晶体管 Q_5。与 CMOS 电路不同的是，射极跟随器 Q_6 成为电路的输出级。电容 C_C 位于 Q_5 的反馈支路上并产生与 Q_5 增益有关的米勒倍增系数。由此产生的大电容和 $r_{\pi5}$ 一同构成低频主极点，满足−20 dB/十倍频程增益下降的需要。所有晶体管的 $\beta = 100$，$|V_{BE}| = 0.7$ V，以及 $r_o = \infty$。

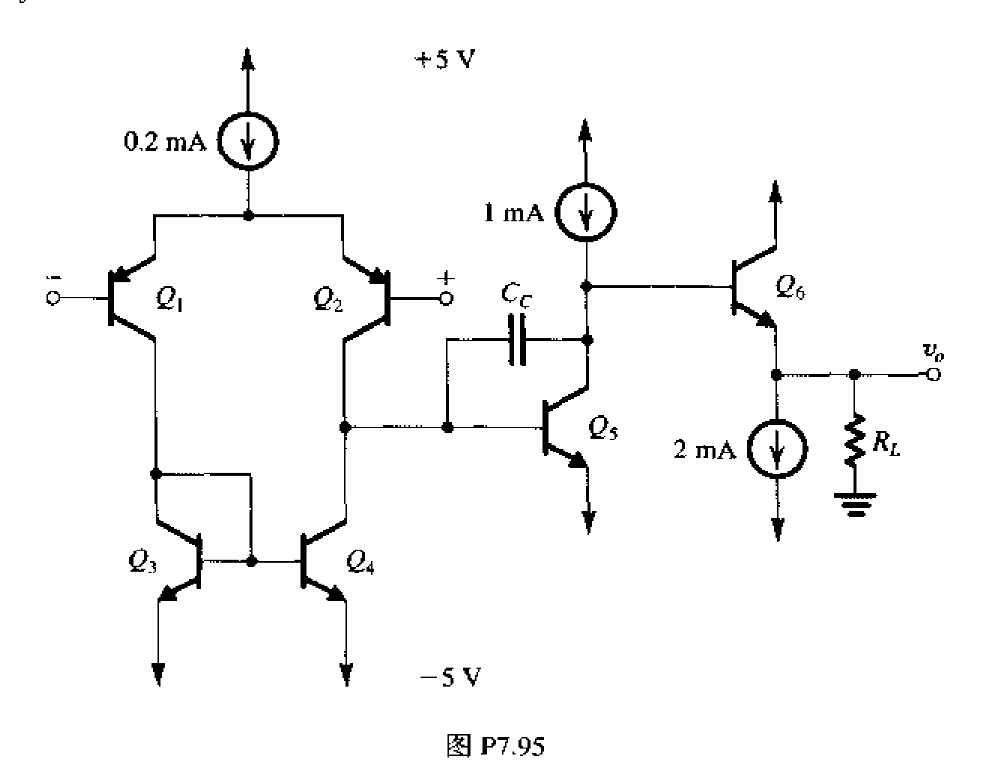


图 P7.95

（a）当输入端接地且输出保持 0 V（通过负反馈，图中未画出）时，求所有晶体管的射极电流。

（b）计算 $R_L = 10$ kΩ时放大器的直流增益

（c）如果带有（b）中的 R_L，求使 3 dB 频率为 100 Hz 的 C_C 值。相应的 f_t 为多少？

D7.96 设计图 7.42 所示的电路，要求偏置电流 I_B 为 225 μA，这里 Q_8 和 Q_9 是匹配器件，W/L = 60/0.5。晶体管 Q_{10}、Q_{11}、Q_{13} 完全相同且与 Q_8 和 Q_9 具有相同的 g_m。晶体管 Q_{12} 的宽度是 Q_{13} 的 4 倍。令 $k'_n = 3k'_p = 180\ \mu\text{A/V}^2$，$V_{DD} = V_{SS} = 1.5$ V。求所需 R_B 的阻值。R_B 上的电压降为多少？同时求出 Q_{10}，Q_{11}，Q_{12} 和 Q_{13} 的 W/L 之比，以及 Q_{12}，Q_{10} 和 Q_8 栅极的直流电压。

7.97 某双极型差分放大器偏置时有 $r_e = 50\ \Omega$，有两个 100 Ω的射极电阻以及 5 kΩ的负载，它驱动的第二级差分放大器的 $r_e = 20\ \Omega$。所有双极型晶体管的 $\beta = 120$。第一级的电压增益为多少？第一级的输入电阻是多少？从第一级输入端到第二级集电极的电流增益是多少？

7.98 对图 7.43 所示的多级放大器，在第一级每个晶体管的射极接入 100 Ω的射极电阻，第二级接入 25 Ω的射极电阻。这样做对输入电阻有何影响？第一级的电压增益以及总增益是多少？利用例题 7.4 求出的偏置值。

D7.99 考虑图 7.43 中的电路及其输出电阻。哪个电阻对输出电阻的影响最大？如果输出电阻要降低两倍，该电阻如何变化？据此放大器的增益如何变化？你可以做何种调整以使放大器的增益近似恢复到先前的值？

D*7.100 （a）如果图 7.43 所示的多级放大器中电阻 R_5用1 mA 左右的恒流源替代，但偏置情况基本不发生变化，则放大器的总增益变为多少？假设电流源的输出电阻很大。利用例题 7.5 中的结论。

（b）（a）中所做的修改对输出电阻有何影响？当接地的负载电阻为 100 Ω时，放大器的总增益是多少？原始放大器（未修改时）的输出电阻为 152 Ω，电压增益为 8513 V/V。当负载为 100 Ω时，其增益为多少？对结果进行评论。设晶体管的$\beta = 100$。

*7.101 图 P7.101 所示是直接耦合的三级放大器。由于放大器采用了旁路电容，因此频率响应在低频处开始下降。对此假设电容足够大以至在我们感兴趣的信号频率上相当于短路。

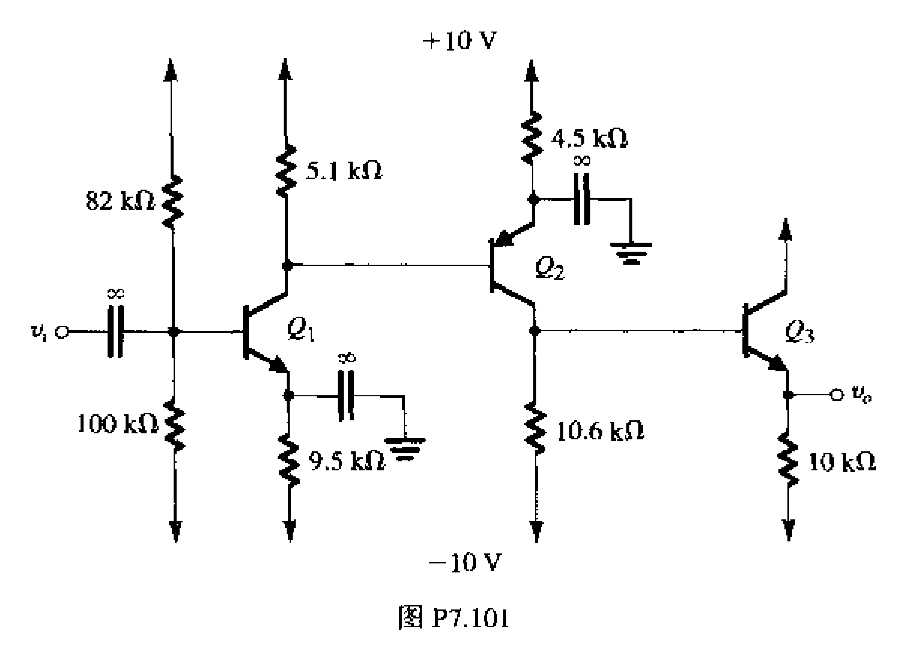


图 P7.101

（a）求三个晶体管中的直流偏置电流，同时求输出端的直流电压。假设$|V_{BE}| = 0.7$ V，$\beta =$ 100，忽略厄尔利效应。

（b）求输入电阻和输出电阻。

（c）利用电流增益法计算电压增益 v_o/v_i。

（d）求产生于第一级和第二级之间的高频极点的频率。假设 $C_{\mu 2} = 2$ pF，$C_{\pi 2} = 10$ pF。

D***7.102 图 P7.012 所示的电路使用了含有晶体管 Q_3 的折叠型 cascode 电路，所有晶体管与电流相关的$|V_{BE}| = 0.7$ V，$V_A = 200$ V，$\beta = 100$。除了 Q_5 工作在 B 类（将在下册的第 14 章介绍）使得低负载情况下能够增加输出的负向摆幅之外，电路的其他部分都很传统。

（a）进行偏置点的计算，假设$|V_{BE}| = 0.7$ V，β值很高，$V_A = \infty$，$v_+ = v_- = 0$ V，且 v_O 通过负反馈稳定在 0 V。求使得参考电流 $I_{REF} = 100$ μA 的 R 值。带有标记的节点处的电压为多少？

（b）将所有晶体管的偏置电流列成表格，其中对信号晶体管（Q_1，Q_2，Q_3，Q_4和 Q_5）还要增加 g_m 和 r_o，对 Q_C，Q_D，Q_G增加 r_o。

（c）现在利用$\beta = 100$，求电压增益 $v_o/(v_+ - v_-)$，并在此过程中验证输入端的极性。

（d）求输入和输出电阻。

（e）求线性工作时的共模输入范围。

（f）如果没有负载，能够得到的输出电压范围是多少？假定$|V_{CEsat}| = 0.3$ V。

（g）现在考虑有接地负载的情况。在输出信号正摆幅和负摆幅处，如果 Q_1 和 Q_2 中的一个允许截止，求能够被驱动的负载电阻的最小值。

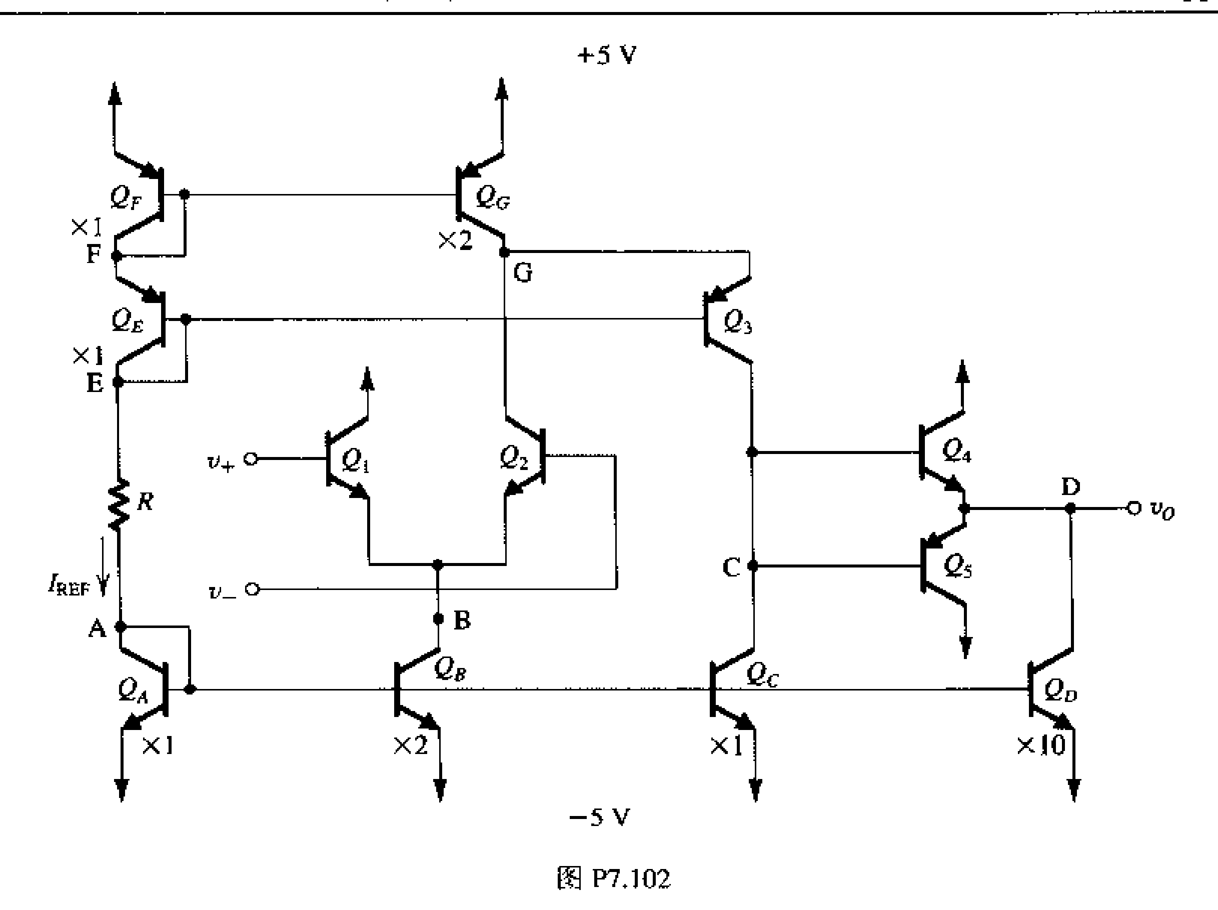


图 P7.102

D***7.103 在图 P7.103 所示的 CMOS 运算放大器中，所有 MOS 器件有$|V_t| = 1$ V，$\mu_n C_{ox} = 2\mu_p C_{ox} = 40\ \mu\text{A/V}^2$，$|V_A| = 50$ V 以及 $L = 5\ \mu$m。器件的宽度在图中以 W 的倍数标出，$W = 5\ \mu$m。

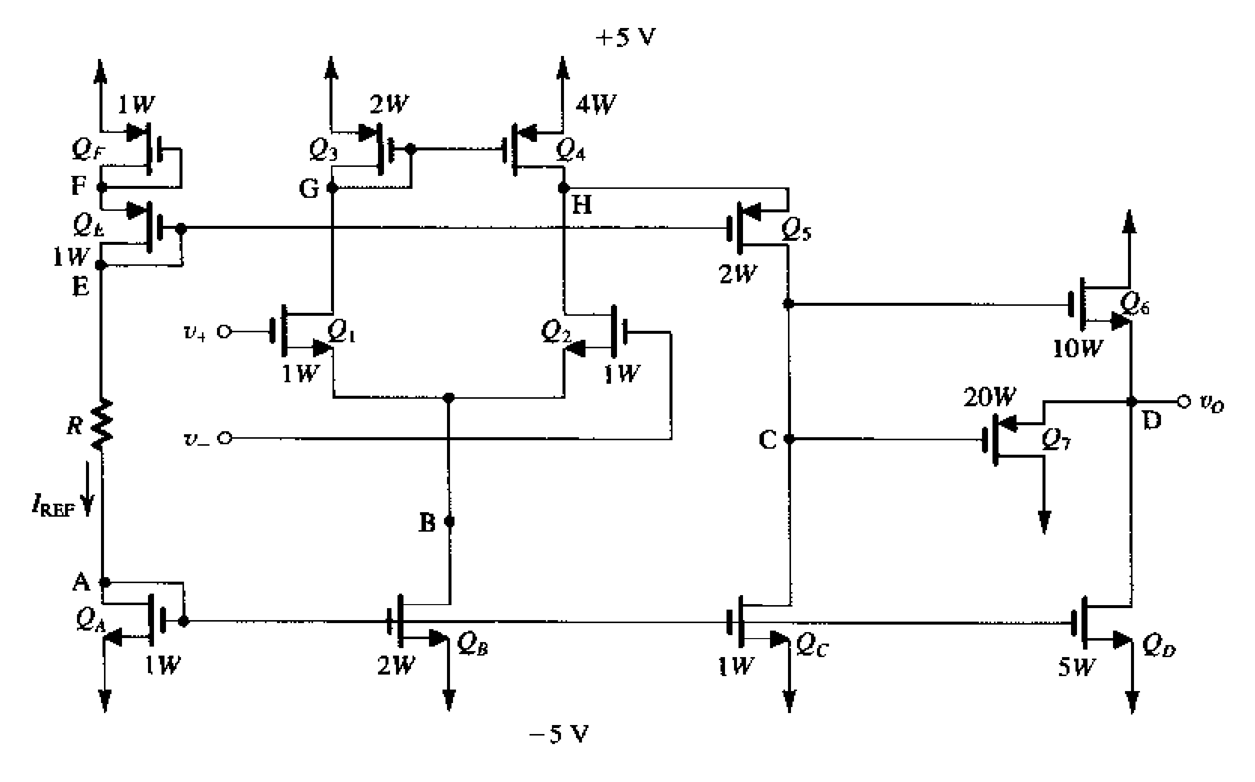


图 P7.103

（a）设计 R 的值以提供 10 μA 的参考电流。

（b）假设通过外加负反馈有 $v_O = 0$ V，进行偏置分析，求所有标明的节点电压以及所有晶体管的 V_{GS} 和 I_D。

（c）对所有器件，绘制 I_D、V_{GS}，g_m 和 r_o 的表格。

（d）计算电压增益 $v_o/(v_+ - v_-)$、输入电阻和输出电阻。

（e）共模输入范围是多少？

（f）无负载时，输出信号的范围是多少？

（g）在 Q_7 导通之前，输出负电压被限定在−1 V，求接地负载电阻的阻值。

（h）若负载电阻是（g）中的十分之一，那么输出信号的摆幅是多少？

第8章 反　　馈

引言

大多数物理系统中都混合了不同形式的反馈。然而，值得一提的是，负反馈的理论却是由电子工程师提出并逐步完善的。1928年，美国西部电力公司（Western Electric Company）的电子工程师Harold Black在寻找适合于电话中继站的稳定增益放大器的设计方法时，发明了负反馈放大器。从那时起，负反馈技术得到了极其广泛的应用，以至于如今要想抛开各种形式的反馈讨论电子电路的设计几乎是不可能的。同时，反馈的概念以及与其相关的理论也被逐渐运用于其他工程领域，例如生态系统的建模等。

反馈可分为负反馈（衰减电路）和正反馈（再生电路）。在放大器的设计中，负反馈被运用于改变以下性能中的一个或者多个：

1. *降低增益灵敏度*：即降低电路增益值对于电路元件参数变化的敏感度，比如环境温度变化带来的改变等；
2. *减小非线性失真*：即促使输出信号正比于输入信号（换句话说，保持电路增益恒定，并与信号的幅度无关）
3. *降低噪声的影响*：即使不需要的输出信号在输出端的影响最小，不管这类无用电信号是电路元件本身造成的，还是外部干扰造成的。
4. *控制输入和输出阻抗*：即通过选择合适的负反馈拓扑结构增加或减少输入和输出电阻。
5. *扩展放大器的带宽*。

所有上述性能的改善都是以降低增益为代价的。增益降低的倍数称为反馈深度，就是增益灵敏度的降低倍数，电压放大器输入电阻的增大倍数，频带增度的倍数，等等，我们将在后面给予进一步的证明。简言之，负反馈的基本思想就是以牺牲增益来换取其他方面的性能改善。本章将着眼于负反馈放大器的分析，包括性能分析、电路设计以及工作特性。

在某些情况下，放大器中的负反馈可能会转化为正反馈，且在幅度达到一定值时产生振荡。事实上，我们将在第13章介绍使用正反馈来设计振荡器和双稳态电路。然而，本章我们关注的是稳定放大器的设计，所以，我们将分析负反馈放大器的稳定性问题以及导致振荡的可能性。

毋庸讳言，正反馈始终导致电路的不稳定。事实上，正反馈在一些非再生的应用中相当有效，例如我们将在第12章中讲到的有源滤波器的设计。

在开始介绍负反馈放大器之前，我们希望提醒读者，其实我们在前面已经涉及了不少负反馈放大器的应用例子。几乎所有的运算放大器都运用了负反馈网络。另一个常见的负反馈应用是发射极电阻R_E，它的作用在于稳定晶体管的直流偏置工作点，增大输入电阻、带宽以及BJT放大器的线性范围。另外，源极跟随器和射极跟随器都在其设计中运用了深度负反馈技术。随之而来的问题便是对学习负反馈系统的必要性的质疑。如同在本章结束时即将揭示的一样，对于反馈的系统学习将给予读者一种分析和设计电子电路的强大工具。同时，对于反馈理念的深入理解也将使读者受益匪浅。

8.1 反馈放大器的基本结构

反馈放大器的基本结构如图 8.1 所示。该图没有明确标明电流和电压信号，而是采用信号流图的形式，每一个变量 x 可以代表一个电压或者电流信号。假设放大器的开环增益为 A，则其输出 x_o 与输入 x_i 的关系为

$$x_o = Ax_i \tag{8.1}$$

输出信号 x_o 同时提供给负载和反馈网络，它使反馈网络产生一个采样输出 x_f。若反馈网络的反馈系数为 β，则 x_o 与 x_f 的关系为

$$x_f = \beta x_o \tag{8.2}$$

基本放大器的净输入信号 x_i 等于整个反馈放大器的源输入信号 x_s[1] 减去反馈信号 x_f：

$$x_i = x_s - x_f \tag{8.3}$$

应该注意正是因为做了减法运算才形成了负反馈。究其本质，负反馈的作用就是减小基本放大器的净输入信号。

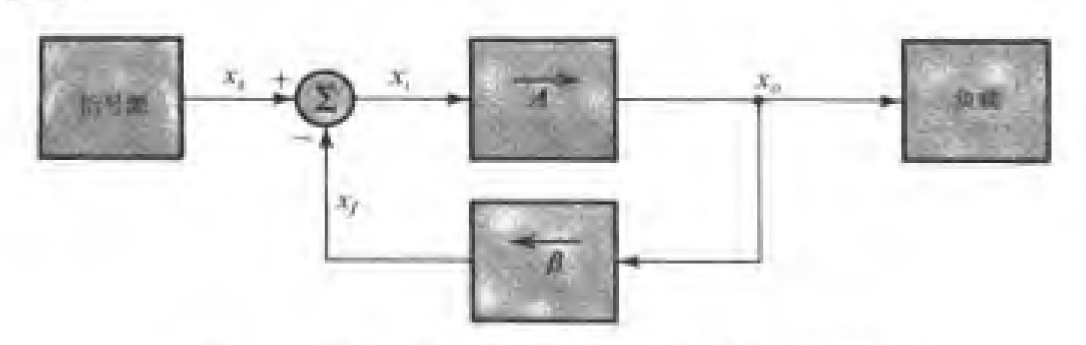


图 8.1 反馈放大器的基本结构。该图采用信号流图的形式，每一个变量 x 代表一个电压或者电流信号

上述描述适用于激励源、负载和反馈网络不存在对于基本放大器的负载效应的情况。换言之，基本放大器的增益 A 不受激励源、负载和反馈网络三者中任何一个的影响。但在实际反馈放大器中，严格满足上述条件是不可能的，所以我们必须寻找一种设计方法使得实际电路接近图 8.1 所描述的理想结构。图 8.1 同时表明反馈放大器仅存在完全通过基本放大器的正向传输途径以及完全通过反馈网络的反向传输途径。

将式（8.1）至式（8.3）合并，经整理求得反馈放大器的增益如下：

$$A_f = \frac{x_o}{x_s} = \frac{A}{1+A\beta} \tag{8.4}$$

其中，$A\beta$ 称为环路增益，此命名取自图 8.1 中的环路。对负反馈，环路增益 $A\beta$ 应为正值，即反馈信号 x_f 和 x_s 同号，形成一个较小的差值信号 x_i。式（8.4）表明若 $A\beta$ 为正，则反馈放大器增益 A_f 将比其开环增益小 $1+A\beta$ 倍，而其中 $1+A\beta$ 被称为反馈深度。

---

[1] 在前面几章中，我们采用下标"sig"来表示与信号源有关的量（比如 v_{sig} 和 R_{sig}）。这样做的目的是为了避免与用下标"s"表示的 FET 晶体管源极相关参量之间产生混淆。现在，预计读者已经非常熟悉所讨论的主题了，因此产生这种混淆的可能性变得很小，所以我们将回到采用简单的下标"s"表示信号源物理量的方法上来。

在很多电路中，若环路增益 $A\beta$足够大，满足 $A\beta \gg 1$，那么式（8.4）可改写为 $A_f = 1/\beta$，这是一个很有趣的结论，它表明反馈放大器的增益几乎完全由反馈网络决定。由于反馈网络通常由无源元件构成，它们通常可按要求精确地取值，因此负反馈可以获得精确的、可预见且稳定的增益的优势是显而易见的。换言之，整个放大器的总增益几乎与基本放大器的增益 A 无关，而这是放大器应该具备的性质。因为基本放大器的增益 A 通常是很多制造和应用参数的函数，其中一些参数的冗余度很大。其实，我们已经在运算放大器中看到了这一性质的典型应用，其闭环增益（反馈放大器增益的另一个名称）几乎完全由反馈元件决定。

将式（8.1）至式（8.3）合并，得到反馈信号 x_f的表达式如下：

$$x_f = \frac{A\beta}{1+A\beta}x_s \tag{8.5}$$

若 $A\beta \gg 1$，则 $x_f \simeq x_s$，表明基本放大器输入信号 x_i降到接近于零。所以，如果引入一个足够深度的反馈网络，反馈信号 x_f将几乎完全复制输入信号 x_s。这一性质表现为运算放大器两个输入端之间的跟踪效应。x_s与 x_f之间的差值 x_i有时候又被称为误差信号。同样，差分输入电路一般称为比较电路（或混频器）。显然，x_i的表达式很容易确定为

$$x_i = \frac{1}{1+A\beta}x_s \tag{8.6}$$

我们可以验证在$A\beta \gg 1$时 x_i变得非常小。注意，反馈网络将基本放大器输入端的信号减小了（$1+A\beta$）（即反馈深度）倍。

练习 8.1　某同相运算放大器如图 E8.1 所示，它提供了直接实现反馈回路的方法。

（a）假设运算放大器输入电阻为无穷大，输出电阻为 0。求反馈系数β的表达式。（b）如果开环电压增益 $A = 10^4$，求使得闭环电压增益 $A_f=10$ 的 R_2/R_1 的值。（c）反馈深度为多少分贝？（d）如果 $V_s=1$ V，试求 V_o、V_f和 V_i。（e）如果 A 下降了 20%，相应的 A_f下降了多少？

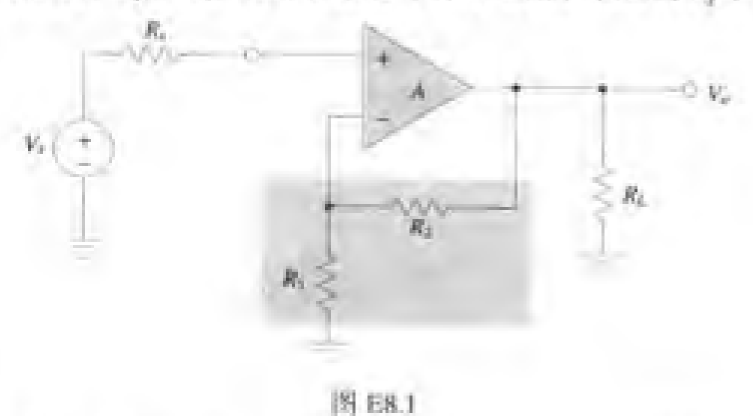


图 E8.1

答案：（a）$\beta = R_1/(R_1+R_2)$；（b）9.01；（c）60 dB；（d）10 V，0.999 V，0.001 V；（e）0.02%

8.2　负反馈的一些性质

我们已经在本章的引言中提到了负反馈的部分性质，下面将对其中的一些性质进行详细的讨论。

8.2.1　降低增益灵敏度

在练习 8.1 中，我们看到了负反馈是如何降低放大器闭环增益的灵敏度的，基本放大器的增

益下降20%仅造成闭环放大器的增益下降0.02%，增益灵敏度下降的理论分析如下：

假设β是常数，对式（8.4）两边同时求导可得

$$dA_f = \frac{dA}{(1+A\beta)^2} \tag{8.7}$$

将式（8.7）除以式（8.4）得

$$\frac{dA_f}{A_f} = \frac{1}{(1+A\beta)}\frac{dA}{A} \tag{8.8}$$

上式表明A_f的相对变化（通常由于部分电路的参数变化造成）比A的相对变化小（$1+A\beta$）（即反馈深度）倍，所以反馈深度（$1+A\beta$）通常也称为灵敏度衰减因子。

8.2.2 扩展带宽

假设放大器的高频响应具有单极点系统的特性，其中频增益和高频增益函数为

$$A(s) = \frac{A_M}{1+s/\omega_H} \tag{8.9}$$

其中，A_M和ω_H分别是基本放大器的中频区增益和上限3 dB频率。将其应用于负反馈系统中，由于反馈系数β和频率无关，则得到反馈放大器的闭环增益函数$A_f(s)$为

$$A_f(s) = \frac{A(s)}{1+\beta A(s)}$$

将式（8.9）中$A(s)$的表达式代入，整理得

$$A_f(s) = \frac{A_M/(1+A_M\beta)}{1+s/\omega_H(1+A_M\beta)} \tag{8.10}$$

得到反馈放大器的中频增益为$A_M/(1+A_M\beta)$，上限3 dB频率ω_{Hf}为

$$\omega_{Hf} = \omega_H(1+A_M\beta) \tag{8.11}$$

可见，反馈放大器的上限3 dB频率增大的倍数与反馈深度相等。

同样，若反馈放大器的开环增益由一个低频主极点形成的下限3 dB频率ω_L所决定，则反馈放大器闭环增益的下限频率ω_{Lf}为

$$\omega_{Lf} = \frac{\omega_L}{1+A_M\beta} \tag{8.12}$$

注意，放大器带宽增大的倍数和其中频区增益减小的倍数相等，它们的乘积（即增益带宽积）保持为常数。

练习8.2 考虑练习8.1中的同相运算放大器。假设放大器开环增益在低频区为10^4，而高频区以-6 dB/二倍频程递减，其3 dB频率为100 Hz。确定闭环放大器的低频增益和上限3 dB频率，其中$R_1 = 1\ \text{k}\Omega$，$R_2 = 9\ \text{k}\Omega$。

答案：9.99 V/V；100.1 kHz

8.2.3 降低噪声

运用负反馈可以减弱放大器中噪声或者干扰的影响，更确切地说，可以提高信噪比。然而，我们将要阐述的减弱噪声的方法只在一定条件下才能实现。考虑如图8.2所示的情况，图8.2（a）

所示的放大器增益为 A_1，输入信号为 V_s，噪声信号为 V_n。由于某种原因该放大器受到噪声的干扰，假设噪声仅在放大器输入端被引入，则该放大器的信噪比为

$$S/N = V_s/V_n \tag{8.13}$$

接下来考虑图 8.2（b）所示的电路。假设存在另一个增益为 A_2 且不受噪声干扰的放大器，在此假设的基础上，在放大器 A_1 的前面放置一个无噪声放大器 A_2，同时在整个级联结构上施加足够的负反馈以保证整体增益保持恒定。通过线性迭加，图 8.2（b）所示电路的输出电压为

$$V_o = V_s\frac{A_1A_2}{1+A_1A_2\beta}+V_n\frac{A_1}{1+A_1A_2\beta} \tag{8.14}$$

此时输出端的信噪比为

$$\frac{S}{N}=\frac{V_s}{V_n}A_2 \tag{8.15}$$

与当初式（8.13）中的值相比增大了 A_2 倍。

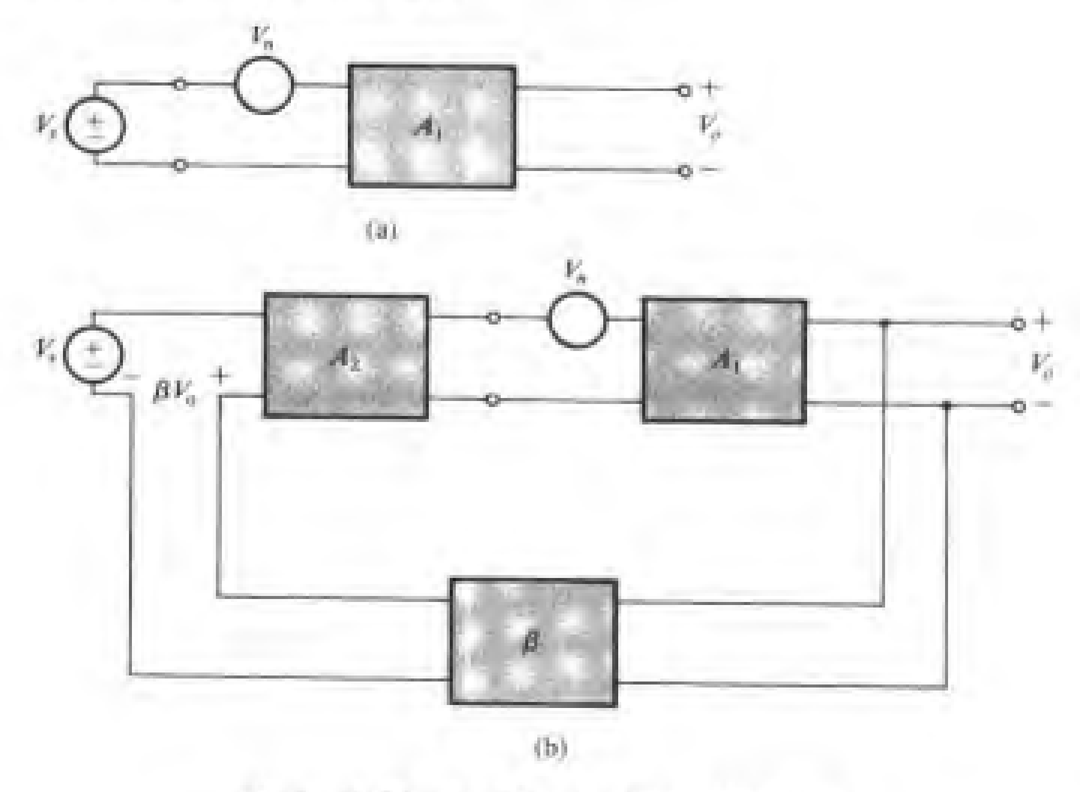


图 8.2 应用负反馈提高放大器信噪比的图解说明

需要再次说明的是，运用反馈机制增大信噪比仅限于在有噪声的放大器前面放置无噪声的放大器与之级联。然而，这种情况在实际过程中并不少见。音频放大器的输出功放级就是很好的例证。该级通常受到电源交流声的干扰，因为该级从电源获得的电流很大，同时以较低的成本实现对电源的滤波又十分困难。功放输出级的主要功能是提供很大的功率增益，而提供很小的或基本不提供电压增益，所以我们可以在功率输出级之前放置一个具有较大电压增益的小信号放大器，同时对级联网络施加深度负反馈，以使电压增益恢复到当初的值。由于小信号放大器能够由另一个更为稳定（也更易于控制）的电源供电，因此不会受到电源交流声的干扰。所以，最终输出端交流声减弱的倍数与该前置放大器的电压增益相等。

练习 8.3 某功放级电压增益 $A_1=1$，输入信号 $V_s=1$ V，交流噪声 $V_n=1$ V。假设该功放级与一个电压增益 $A_2=100$ V/V 的前置小信号放大器级联，总反馈系数 $\beta=1$。如果 V_s 与 V_n 保持不变，求输出端的信号电压、噪声电压以及信噪比 S/N 的改善。

答案：约为 1 V；约为 0.01 V；100（40 dB）

8.2.4 减小非线性失真

图 8.3 中的曲线（a）所示的是某一放大器的传输特性曲线。可见其传输特性是分段线性的，电压增益从 1000 变化到 100，然后再到 0。该非线性传输特性会使放大器产生很大的非线性失真。

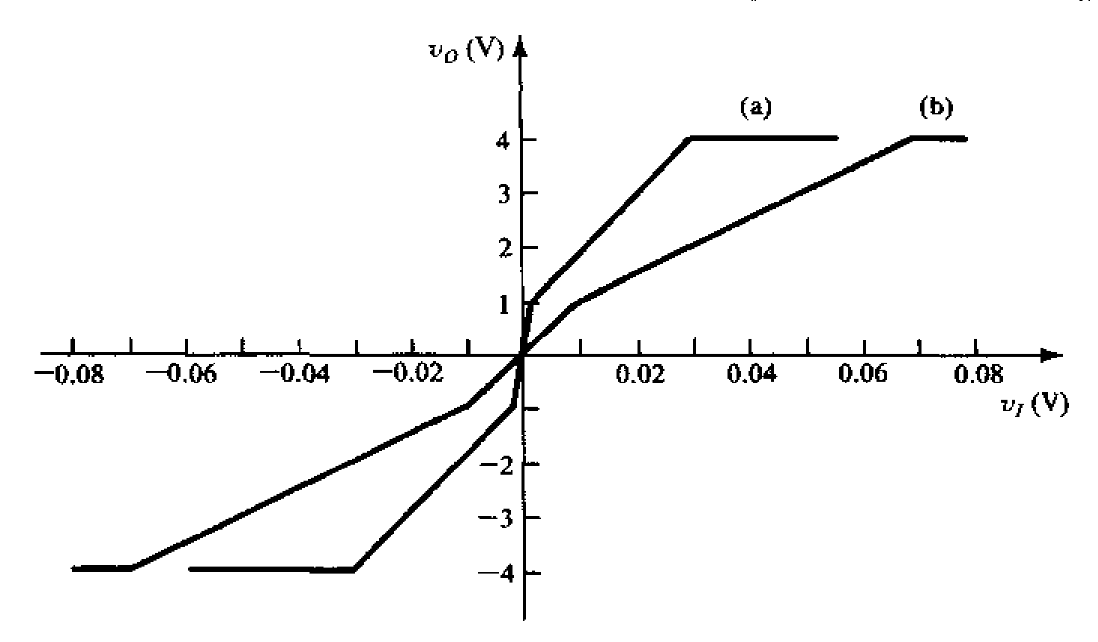


图 8.3 负反馈改善放大器非线性失真的应用图示。曲线（a）为未加反馈的放大器传输特性。曲线（b）为施加负反馈（$\beta=0.01$）后放大器的传输特性

利用负反馈可以很有效地线性化（实为减小非线性程度）放大器的传输特性。不必吃惊，这是完全可能的，因为我们已经知道负反馈能够降低闭环放大器增益对开环放大器增益的依赖性，即开环增益的很大变化（这里是 1000 到 100 的变化）仅造成相应的闭环增益的很小变化。

为了能够生动说明这一点，以图 8.3 所示放大器的开环电压传输特性为例，在其上施加$\beta=0.01$的负反馈，得到的闭环传输特性曲线如图 8.3 中的（b）所示。其中最陡的那段直线的斜率为

$$A_{f1}=\frac{1000}{1+1000\times0.01}=90.9$$

次陡的那段直线的斜率为

$$A_{f2}=\frac{100}{1+100\times0.01}=50$$

可见，斜率变化的量级显著降低。当然，该性能的改善是以牺牲电压增益为代价的。所以，倘若需要恢复总的电压增益，则需要添加额外的前置放大器。该前置放大器不会呈现严重的非线性失真问题，因为它处理的是幅度很小的输入信号。

最后应该注意，工作在饱和区的晶体管电压增益很小（几乎为零），因此导致反馈深度也很小（几乎为零），所以负反馈对于放大器饱和区的性能改善不起任何作用。

8.3 四种基本的反馈拓扑结构

基于被放大的输入信号量形式（电压或者电流）和期望得到的输出信号量形式（电压或者电流），放大器可以被分为四类。我们已经在第1章中讨论了这些分类，在接下来的讨论中，我们将回顾这些放大器的分类并指出在每种情况下相应的反馈拓扑结构。

8.3.1 电压放大器

电压放大器的功能是放大电压输入信号并输出相应的电压信号。电压放大器的实质就是压控电压源。这就要求该放大器具有高输入阻抗、低输出阻抗的特性。由于信号源基本是电压源，所以运用戴维南等效电路将使电路分析更为简便。电压放大器中关注的输出信号是输出电压，所以反馈网络应该对输出电压进行采样，同时，由于输入源的戴维南等效，反馈信号 x_f应该是电压，这样才能与串联的电压源信号混合。

电压放大器合适的反馈拓扑结构是电压混合电压采样的拓扑结构，如图8.4（a）所示。由于输入端的串联连接和输出端的并联连接，该反馈拓扑结构也称为串联-并联反馈。之后将会证明该拓扑结构不仅能够提供稳定的电压增益，还能提高输入电阻（直观来说是输入端串联的结果）、降低输出电阻（直观来说是输出端并联的结果），这些都是电压放大器需要具备的性能。图E8.1所示的同相运算放大器结构就是串联-并联反馈的例子。

8.3.2 电流放大器

电流放大器的输入信号为电流信号，因此信号源用诺顿等效形式表示将非常方便。电流放大器关注的输出信号是输出电流，所以反馈网络应该采样输出电流，且反馈输出信号必须是电流形式，这样它才能与并联的电流源信号相混合。所以与电流放大器对应的反馈拓扑结构称为电流混合电流采样拓扑结构，如图8.4（b）所示。由于输入端的并联连接和输出端的串联连接，该反馈拓扑结构也称为并联-串联反馈。之后将会证明它不仅能够提供稳定的电流增益，还能降低输入电阻及提高输出电阻，这些都是电流放大器需要具备的性能。

图8.5给出了一个并联-串联反馈拓扑结构的示例。注意，其中省略了具体的偏置设置，而且被采样电流并非输出电流，而是与输出电流相等的 Q_2 的源极电流。这样的替换是出于电路设计上的方便的考虑，现已被广泛用于电流采样的电路中。

图8.5所示的反馈电流 I_f的参考方向表明 I_f将削弱输入信号 I_s。该参考标识与图8.1所示的基本反馈结构中的标识一致，所以本章所有的电路将沿用该参考标识方向。对所有电路而言，若反馈性质为负反馈，环路增益 $A\beta$应为正值。读者可以自行通过定性分析证明图8.5所示电路中的 A 为负值且β也为负值。

定性（且快速）分析确定反馈的极性（正反馈或负反馈）是十分重要的，它可以通过“沿环路跟踪信号”的方法来确定。以图8.5为例，假设 I_s增大，显然，Q_1的栅极电压将随之增大，漏极电流同时增大。这样，Q_1的漏极电压（Q_2的栅极电压）将会减小，同时造成 Q_2的漏极电流 I_o减小，因而 Q_2源极电流 I_o也将减小。再考虑反馈网络，一旦 I_o减小，I_f（沿图示参考方向）将会增加，而 I_f的增加将削减输入信号 I_s的增幅，使放大器净输入量的增加幅度减小。所以，该反馈为负反馈。

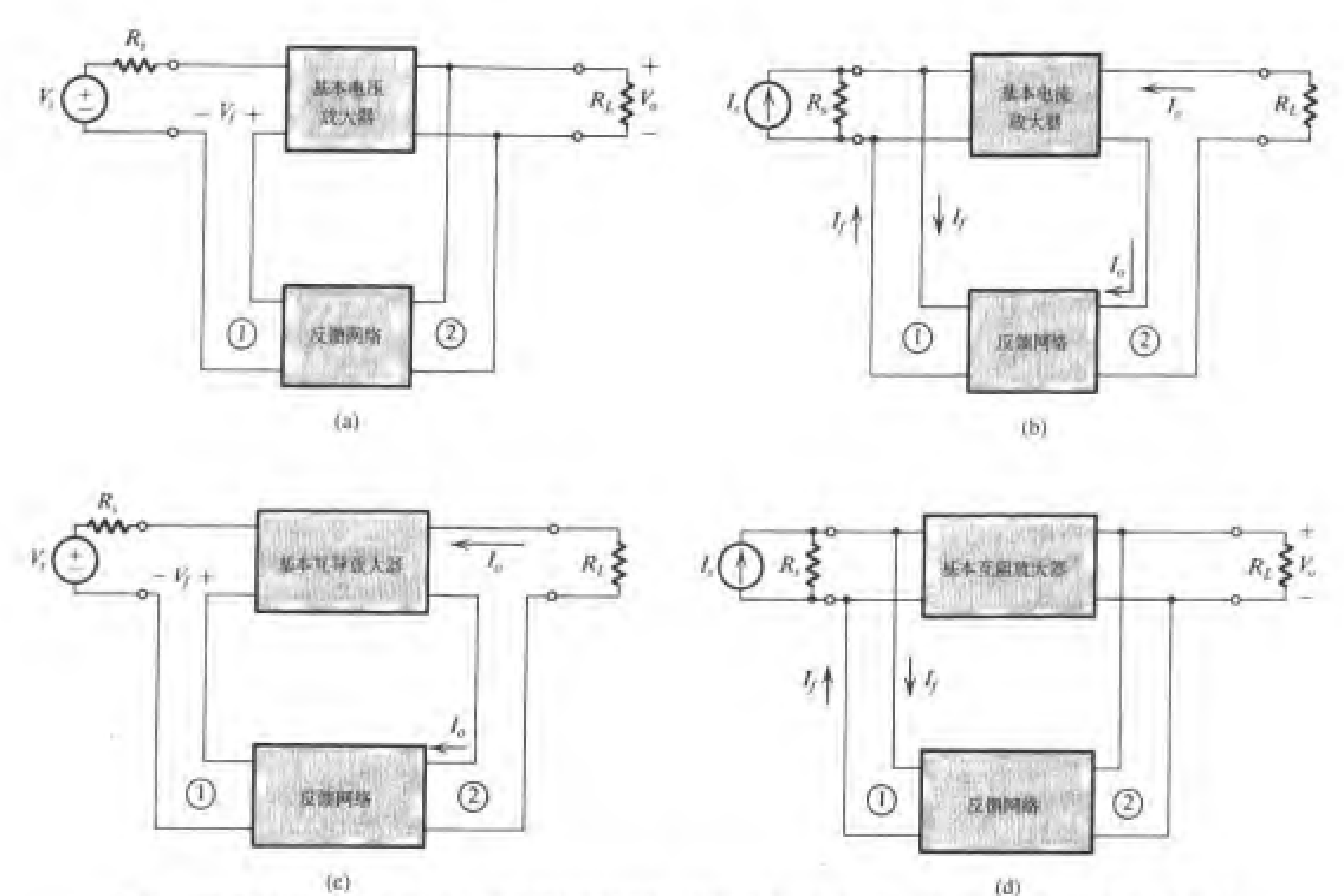


图 8.4 四种基本的反馈拓扑结构：（a）电压混合电压采样（串联–并联）拓扑结构；（b）电流混合电流采样（并联–串联）拓扑结构；（c）电压混合电流采样（串联–串联）拓扑结构；（d）电流混合电压采样（并联–并联）拓扑结构

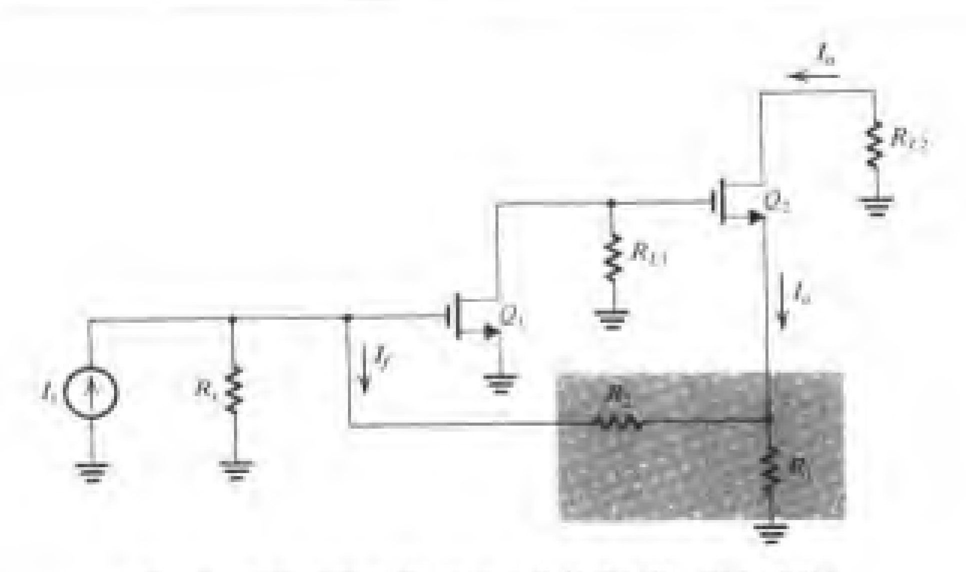


图 8.5 并联–串联反馈结构的晶体管放大器（略去偏置）

8.3.3 互导放大器

在互导放大器中，输入信号是电压信号，输出信号为电流信号，因此与互导放大器相对应的反馈拓扑结构称为电压混合电流采样拓扑结构，如图 8.4（c）所示。由于其在输入端和输出端均为串联连接方式，因此这类反馈拓扑结构也称为串联–串联反馈。

图 8.6 给出了一个串联–串联反馈拓扑结构的示例。注意，与图 8.5 所示的电路一样，被采样电流并不是输出电流而是与之几乎相等的 Q_3 的射极电流。同时，混合信号的回路也有别于常规。反馈信号仅通过 Q_1 射极的电阻 R_{E1} 起作用，而非直接与串联在基极的信号源起作用，故而不是一个简单的串联连接。但是这两处的近似对电路设计都会带来便利。

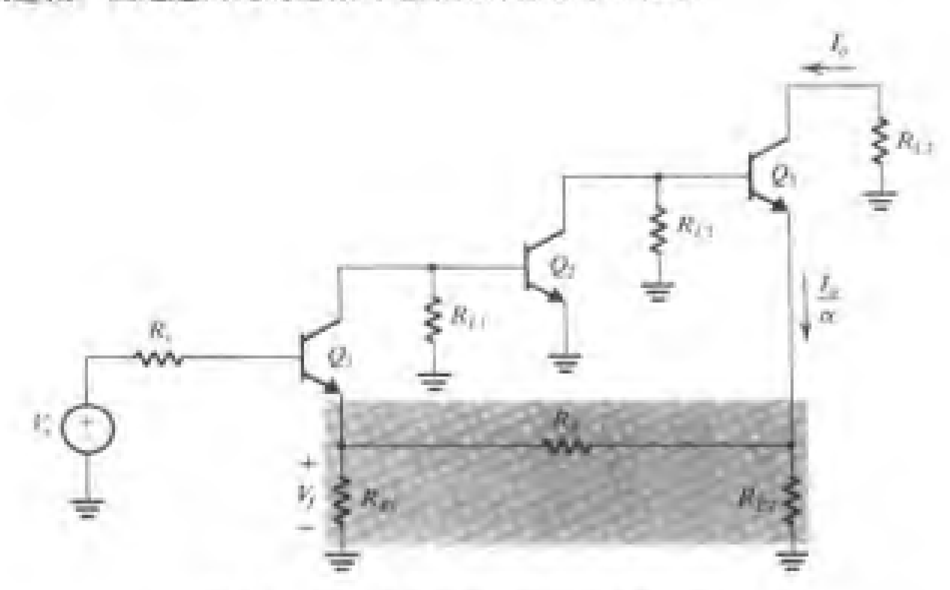


图 8.6 串联–串联反馈结构示例（略去偏置）

8.3.4 互阻放大器

在互阻放大器中，输入信号是电流信号，输出信号为电压信号。与互阻放大器相对应的反馈拓扑结构称为电流混合电压采样拓扑结构，如图 8.4（d）所示。由于其在输入端和输出端均为并联连接方式，因此这类反馈拓扑结构也称为并联–并联反馈。

图 8.7（a）所示的反相运算放大器电路结构就是一个并联–并联反馈拓扑结构的示例。图 8.7（b）所示是信号源诺顿等效后的电路图。

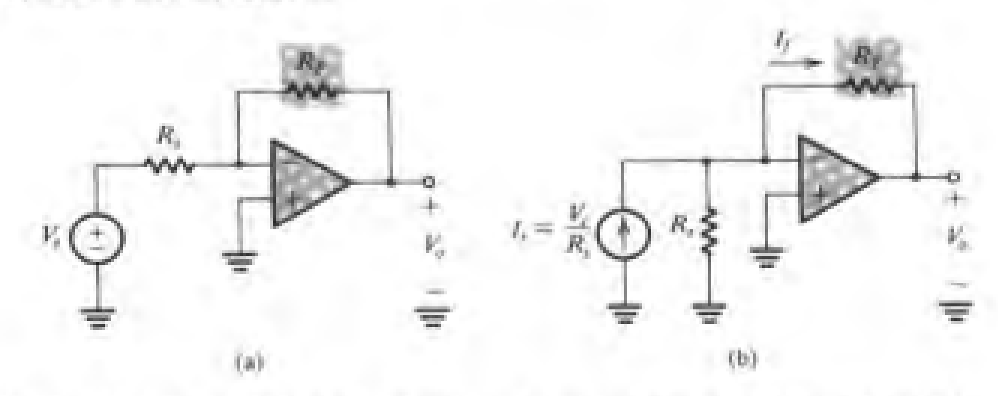


图 8.7 （a）反相运算放大器电路结构；（b）重画后作为并联–并联反馈结构的示例

8.4 串联–并联反馈放大器

8.4.1 理想情况

串联–并联反馈放大器的理想结构如图 8.8（a）所示。它包含一个单向化的开环放大器（A 电路）以及一个理想化的电压混合电压采样反馈网络（β 电路）。A 电路包括输入电阻 R_i、电压增益 A 以及输出电阻 R_o。假设源电阻及负载电阻均包括在 A 电路的内部（后文将就此给出具体论述）。更应注意的是，β 电路不存在对于基本放大器的负载效应，即接入反馈电路β不影响开环增益 A 的数值（定义为 $A \equiv V_o/V_i$）。

图 8.8（a）所示的电路完全符合图 8.1 中的理想反馈模型，因此其闭环增益 A_f 可表示为

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{1+A\beta} \tag{8.16}$$

注意，A 和β 始终具有互逆的量纲形式，从而产生一个无量纲的环路增益 $A\beta$。

串联–并联反馈放大器的等效电路模型如图 8.8（b）所示。其中 R_{if} 和 R_{of} 分别表示计及反馈的输入电阻和输出电阻。R_{if} 和 R_i 的关系可由图 8.8（a）分析得到：

$$\begin{aligned} R_{if} &\equiv \frac{V_s}{I_i} = \frac{V_s}{V_i / R_i} \\ &= R_i\frac{V_s}{V_i} = R_i\frac{V_i+\beta AV_i}{V_i} \end{aligned}$$

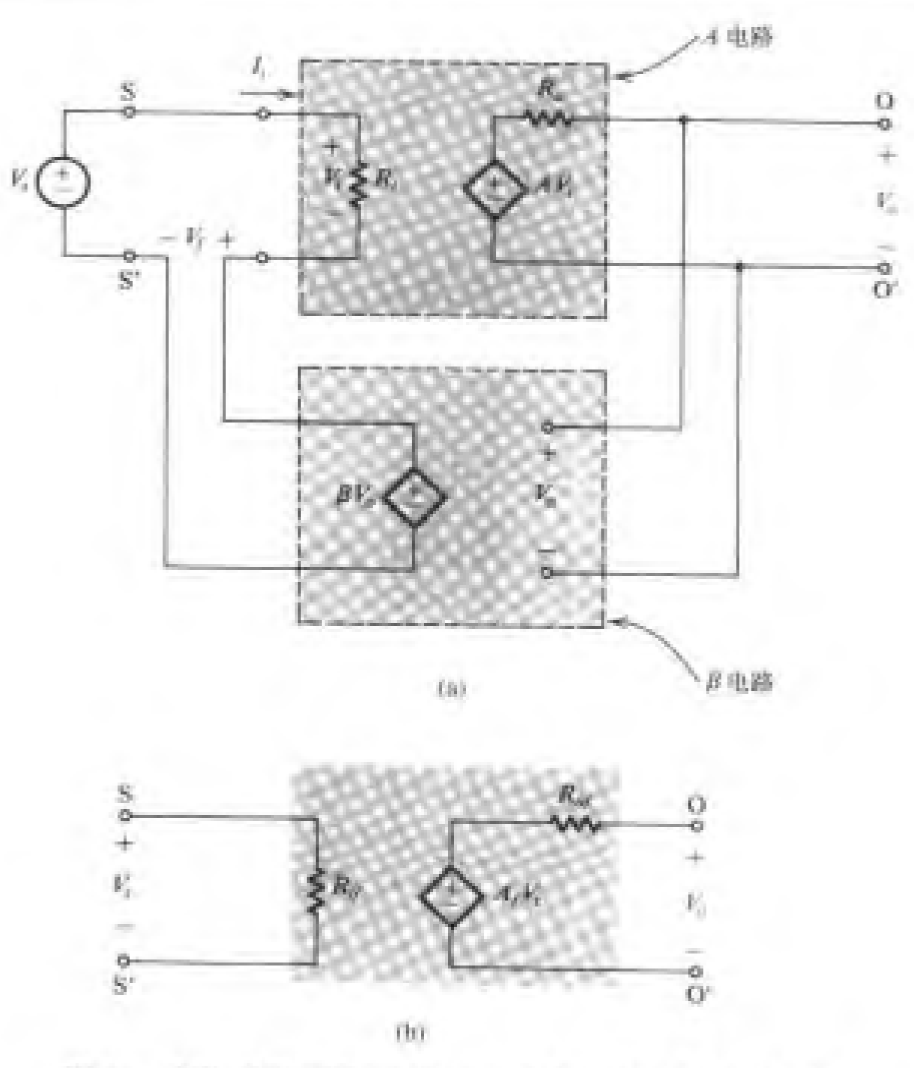
则

$$R_{if} = R_i(1+A\beta) \tag{8.17}$$

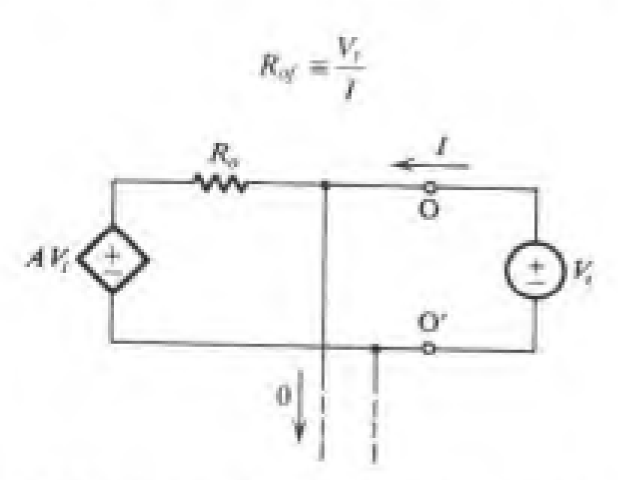
可见，在该结构中负反馈将输入电阻增大了与反馈深度相等的倍数。由于以上推导并未涉及反馈电路的采样形式（串联或者并联），因此可以推得 R_{if} 与 R_i 的关系仅和信号混合的形式有关。我们将在随后几节中着重讨论这一点。

注意，该结果并不出乎意料且符合物理的直观判断：由于反馈电压 V_f 削减了输入电压 V_s，从而使得 R_i 两端的电压 V_i 减小为$[V_i = V_s/(1+A\beta)]$。同时，输入电流 I_i 相应减小，使得由 V_s 视入的输入电阻变大。最后要说明的是式（8.17）可以推广到更为普遍的形式：

$$Z_{if}(s) = Z_i(s)[1+A(s)\beta(s)] \tag{8.18}$$



(a)



(b)

图 8.8 串联-并联反馈放大器：（a）理想结构；（b）等效电路

为了确定图 8.8（a）所示反馈放大器的输出电阻 R_{of}，我们令 V_s 等于 0，在输出端施加测试电压 V_t，如图 8.9 所示。

$$R_{of}=\frac{V_t}{I}$$

图 8.9 确定图 8.8（a）所示反馈放大器的输出电阻：$R_{of}=V_t/I$

由图 8.9 可以写出

$$I = \frac{V_t - AV_i}{R_o}$$

因为 $V_s = 0$，由图 8.8（a）可得

$$V_i = -V_f = -\beta V_o = -\beta V_t$$

代入整理得

$$I = \frac{V_t + A\beta V_t}{R_o}$$

故

$$R_{of} = \frac{R_o}{1 + A\beta} \tag{8.19}$$

可见，在该结构中负反馈将输出电阻减小了与反馈深度相等的倍数。稍加思考则不难发现式（8.19）的推导过程并未涉及反馈电路的信号混合形式，因此可以推得 R_{of} 与 R_o 的关系仅与采样的形式有关。同样，该结果并不意外且符合物理直观判断：由于反馈网络采样输出电压 V_o，因此它具有稳定 V_o 数值的作用，具体来说，就是当反馈网络导致放大器输出端电流改变的时候，反馈保证 V_o 的数值变化尽可能小，这与电压采样反馈网络减小了输出电阻的效果一致。最后，应该指出式（8.19）可以推广到更为普遍的形式：

$$Z_{of}(s) = \frac{Zo(s)}{1 + A(s)\beta(s)} \tag{8.20}$$

8.4.2 实际情况

在实际的串联–并联反馈放大器中，反馈网络并非理想的压控电压源。相反，反馈网络通常是阻抗性的，因此会产生对于基本放大器的负载效应，即会影响 A、R_i 及 R_o 的数值。除此以外，源电阻和负载电阻也会影响这三个参数。所以，我们面临这样的问题：对一个给定的如图 8.10（a）所示的串联–并联反馈放大器，如何确定 A 电路和 β 电路。

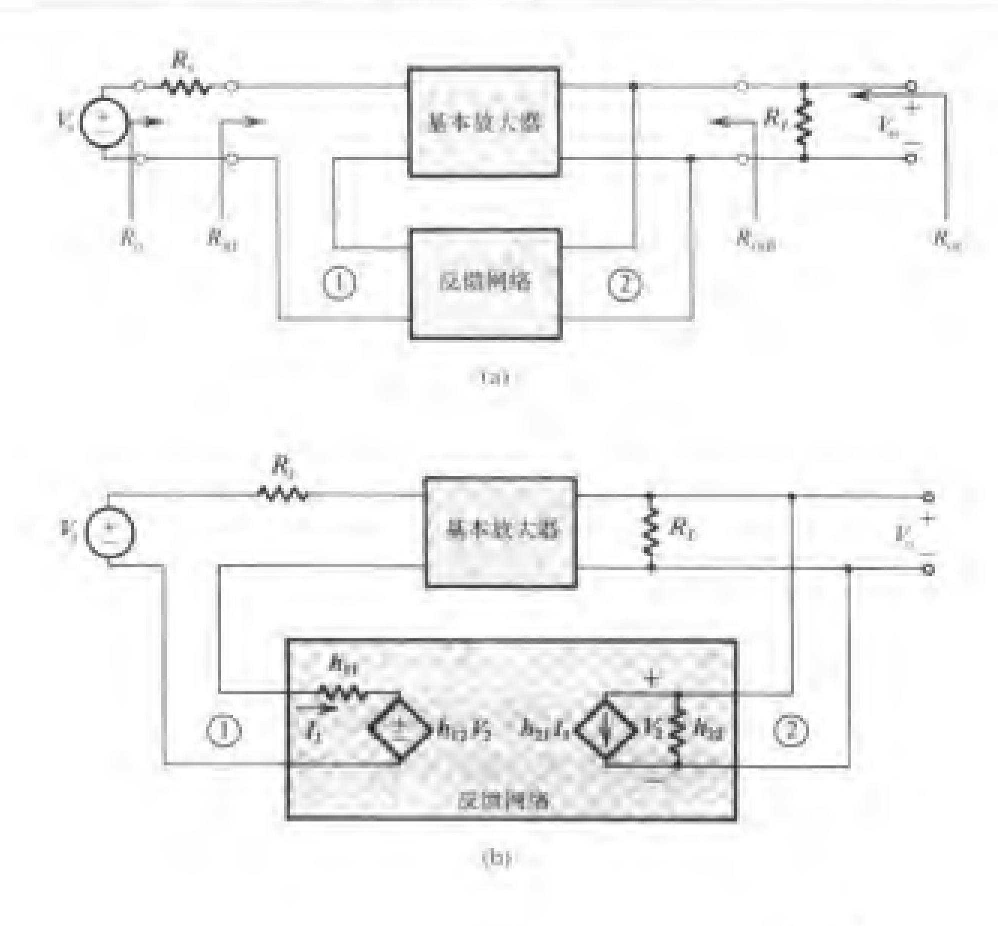
问题的关键在于如何把图 8.10（a）所示的放大器变换成图 8.8（a）所示的理想结构。首先，我们发现应将源电阻和负载电阻并入基本放大器。图 8.10（b）已经给出了结果，同时也将两端口反馈网络用其 h 参数形式做了替换（参见附录 B）。选择 h 参数是因为它是惟一能够表示反馈网络端口 1 的串联形式及端口 2 的并联形式的网络参数。考虑到输入端的串联形式和输出端的并联形式，这种表示显然简便了许多。

分析图 8.10（b）所示电路，电流源 $h_{21}I_1$ 表示反馈网络中的正向传输信号。由于反馈网络通常是无源的，与基本放大器强大的正向传输信号相比，反馈网络中的正向传输信号可以忽略不计。因此我们假设 $|h_{21}|_{反馈网络} \ll |h_{21}|_{基本放大器}$，故而整体忽略受控源 $h_{21}I_1$。

将图 8.10（b）所示的电路（除去电流源 $h_{21}I_1$）与图 8.8（a）中的理想电路进行比较。若将 h_{11} 与 h_{22} 并入基本放大器，结果如图 8.10（c）所示，该电路非常接近理想电路。同时，如果基本放大器是完全单向化的（或接近完全单向化的），通常可得

$$|h_{12}|_{基本放大器} \ll |h_{12}|_{反馈网络} \tag{8.21}$$

那么图 8.10（c）所示电路就等同于（或几乎等同于）理想电路。即等效后的 A 电路是在原来基本放大器的基础上，在输入端引入了源阻抗 R_s 和反馈网络阻抗 h_{11}，在输出端引入了负载阻抗 R_L 和反馈网络导纳 h_{22}。



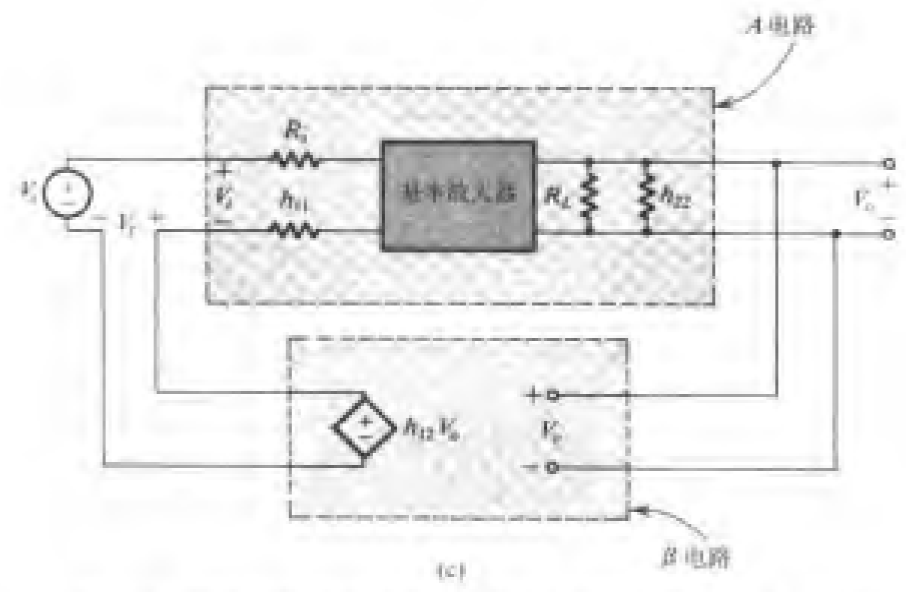


图 8.10　推导串联–并联反馈放大器的 A 电路和 β 电路：（a）实际的串联–并联反馈放大器的框图；（b）将电路（a）中的反馈网络用其 h 参数形式替换；（c）忽略电路（b）中的 h_{21}

如前所述，我们可以用参数 h_{11} 和 h_{22} 来表示反馈网络对于基本放大器的负载效应。由附录 B 中关于 h 参数的定义可知，h_{11} 是端口 2 短路时从端口 1 视入的阻抗。由于反馈网络的端口 2 与放大器输出端并联，短路端口 2 实际上破坏了反馈。同样，h_{22} 是端口 1 开路时从端口 2 视入的导纳。由于反馈网络的端口 1 与放大器输入端串联，开路端口 1 实际上破坏了反馈。

可见，确定反馈网络对于基本放大器产生的负载效应的一个简单方法就是：确定合适的反馈

网络的视入端口，并将另一个端口开路或者短路以破坏反馈作用。如果该端口是并联的，则短路该端口；如果该端口是串联的，则开路该端口。在 8.5 节和 8.6 节中我们将讲到这个简单方法同样适用于其他三种反馈拓扑结构。[1]

接下来，我们考虑如何确定反馈系数β。由图 8.10（c）可知，β 等于反馈网络的 h_{12} 参数：

$$\beta = h_{12} = \frac{V_1}{V_2}\Big|_{I_1=0} \tag{8.22}$$

故而为确定β，可以在反馈网络的端口 2 上施加测试电压并测量端口 1 开路时的电压值。由于反馈网络的目的是对输出电压进行采样（$V_2 = V_o$）并生成一个与输入信号串联混合的电压信号（$V_1 = V_f$），因此该结果还是非常直观易懂的。输入端的串联结构（如同确定反馈网络的负载效应一样）要求在端口 1 开路的情况下确定β 的数值。

8.4.3　总结

对于如图 8.10（a）所示的串联–并联反馈放大器，图 8.11 给出了确定 A 电路和β 电路的方法总结。在应用式（8.17）和式（8.19）确定反馈放大器输入和输出电阻时，需要特别注意以下几点：

1. R_i 和 R_o 分别是图 8.11（a）中 A 电路的输入电阻和输出电阻。
2. R_{if} 和 R_{of} 分别是反馈放大器的输入电阻和输出电阻，其中包含了源电阻 R_s 和负载电阻 R_L［参见图 8.10（a）］。

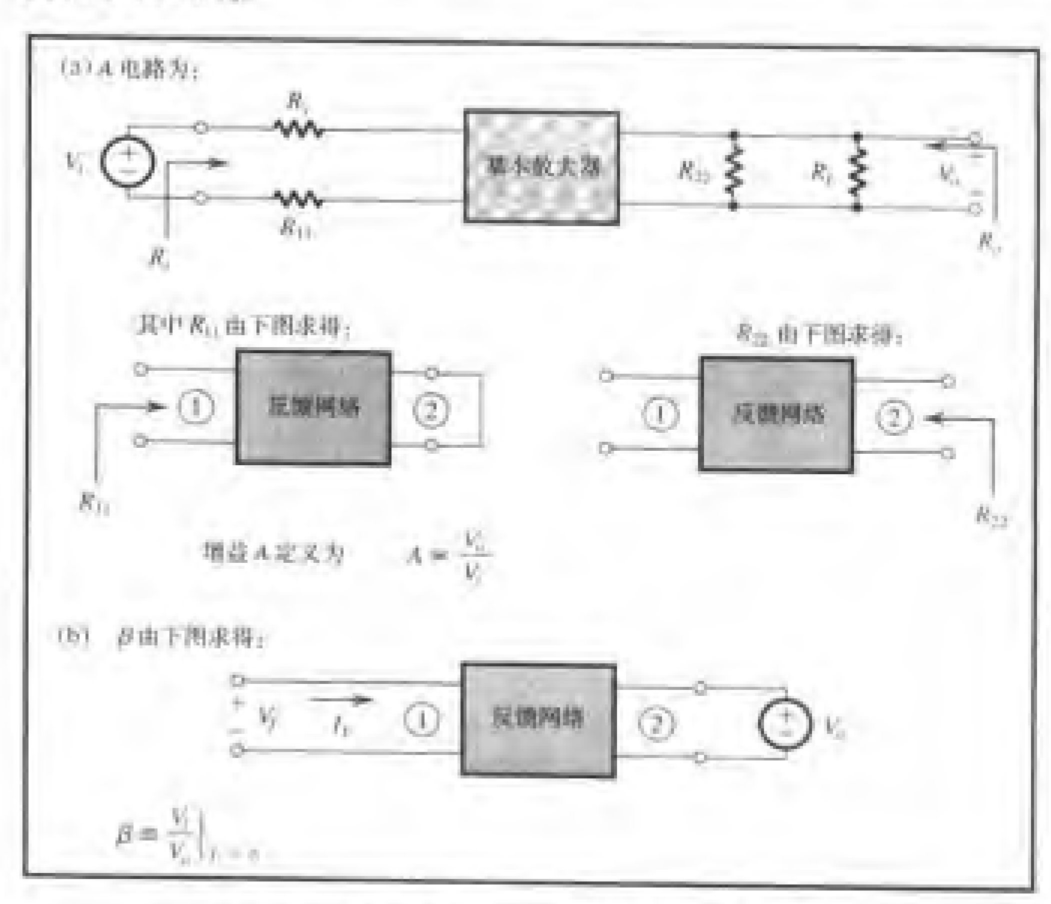


图 8.11　对于如图 8.10（a）所示的电压混合电压采样的反馈放大器，确定其 A 电路和β 电路的方法总结

① 记住这个简单的规则：并联连接时短路；串联连接时开路。

3. 反馈放大器的实际输入和输出电阻通常不包含源电阻 R_s 和负载电阻 R_L，通常记为 R_{in} 和 R_{out}，如图 8.10（a）所示，其值分别为

$$R_{in} = R_{if} - R_s \tag{8.23}$$

$$R_{out} = 1\Big/\left(\frac{1}{R_{of}} - \frac{1}{R_L}\right) \tag{8.24}$$

例题 8.1 图 8.12（a）所示为一个同相运算放大器。该放大器的开环增益为μ，差模输入电阻为 R_{id}，输出电阻为 r_o。我们在第 2 章运算放大器的分析中忽略了 R_{id}（假设为无穷大）和 r_o（假设为 0）的作用。这里我们希望采用反馈网络的分析方法（同时考虑 R_{id}和 r_o的作用）进行电路分析。确定 A 和β的表达式、闭环增益 V_o/V_s、输入电阻 R_{in}［参见图 8.12（a）］和输出电阻 R_{out}，并计算具体数值。其中，$\mu = 10^4$，$R_{id} = 100\ \text{k}\Omega$，$r_o = 1\ \text{k}\Omega$，$R_L = 2\ \text{k}\Omega$，$R_1 = 1\ \text{k}\Omega$，$R_2 = 1\ \text{M}\Omega$，$R_s = 10\ \text{k}\Omega$。

解：如图所示，反馈网络包含 R_2 和 R_1。该网络对输出电压 V_o进行采样，并生成（通过 R_1）一个同输入源 V_s 串联混合的电压信号。

按照图 8.11 所示的方法可以很容易地得到 A 电路，如图 8.12（b）所示。经观察可写出

$$A \equiv \frac{V_o}{V_i} = \mu \frac{[R_L//(R_1+R_2)]}{[R_L//(R_1+R_2)]+r_o} \frac{R_{id}}{R_{id}+R_s+(R_1//R_2)}$$

代入数值可得 $A \simeq 6000$ V/V

β可由图 8.12（c）所示电路求得：

$$\beta \equiv \frac{V_f}{V_o} = \frac{R_1}{R_1+R_2} \simeq 10^{-3}\ \text{V/V}$$

进而可求得闭环电压增益 A_f为

$$A_f \equiv \frac{V_o}{V_s} = \frac{A}{1+A\beta} = \frac{6000}{7} = 857\ \text{V/V}$$

输入电阻 R_{if}是从外部信号源视入的电阻。由反馈电阻公式得

$$R_{if} = R_i(1+A\beta)$$

其中，R_i是如图 8.12（b）所示的 A 电路的输入电阻：

$$R_i = R_s + R_{id} + (R_1 // R_2)$$

代入数值得 $R_i \simeq 111\ \text{k}\Omega$，则

$$R_{if} = 111 \times 7 = 777\ \text{k}\Omega$$

然而这还不是题目要求的电阻 R_{in}［参见图 8.12（a）］。我们可以通过 R_s 与 R_{if} 相减得到要求的 R_{in}：

$$R_{in} = R_{if} - R_s$$

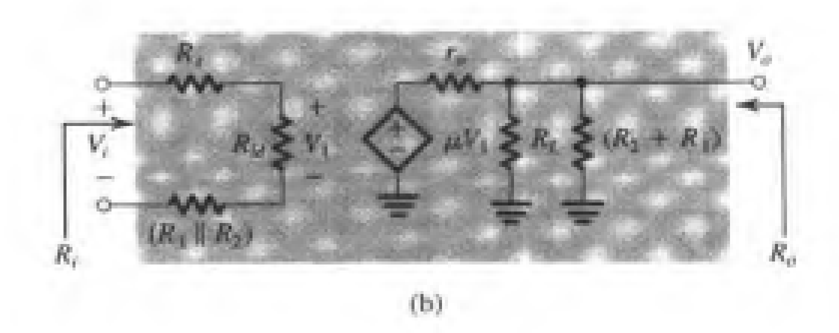
代入数值得 $R_{in} = 739\ \text{k}\Omega$。而 R_{of}是反馈放大器的输出电阻，其中包含负载电阻 R_L，如图 8.12（a）所示。由反馈电阻公式得

$$R_{of} = \frac{R_o}{1+A\beta}$$

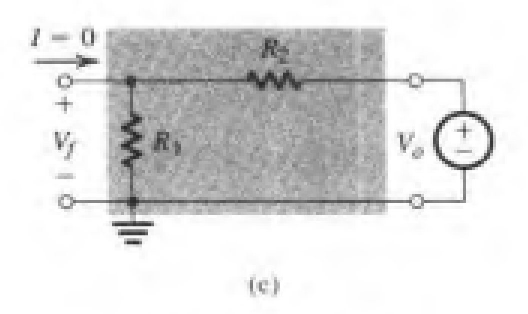
其中 R_o是 A 电路的输出电阻。观察图 8.12（b）可得

$$R_o = r_o // R_L // (R_2 + R_1)$$

(a)



(b)



(c)

图 8.12　例题 8.1 电路

代入数值得 $R_o = 667\ \Omega$，同时得到

$$R_{of} = \frac{667}{7} = 95.3\ \Omega$$

题目所要求的 R_{out} 是反馈放大器除去 R_L 后的输出电阻。由图 8.12（a）可知

$$R_{of} = R_{out} \,//\, R_L$$

所以

$$R_{out} = 100\ \Omega$$ ■

练习 8.4 考虑例题 8.1 中的运算放大器，若其开环增益在高频区始终以 −6 dB/二倍频程递减，$f_{3dB} = 1$ kHz。试确定其闭环增益 V_o/V_s 的上限 3 dB 频率。

答案：7 kHz

练习 8.5 考虑如图 E8.5 所示的电路，该电路由一个差放级和一个射极跟随器组成，并在其上施加了由电阻 R_1 和 R_2 组成的串联–并联反馈网络。假设信号源 V_s 的直流分量为 0，三极管的β参数很高，分别确定三个晶体管的直流工作点电流，并且证明输出端电压的直流分量几乎为 0。再分别确定 A、β、$A_f \equiv V_o/V_s$、R_{in} 和 R_{out} 的值。假设三极管的参数β=100。

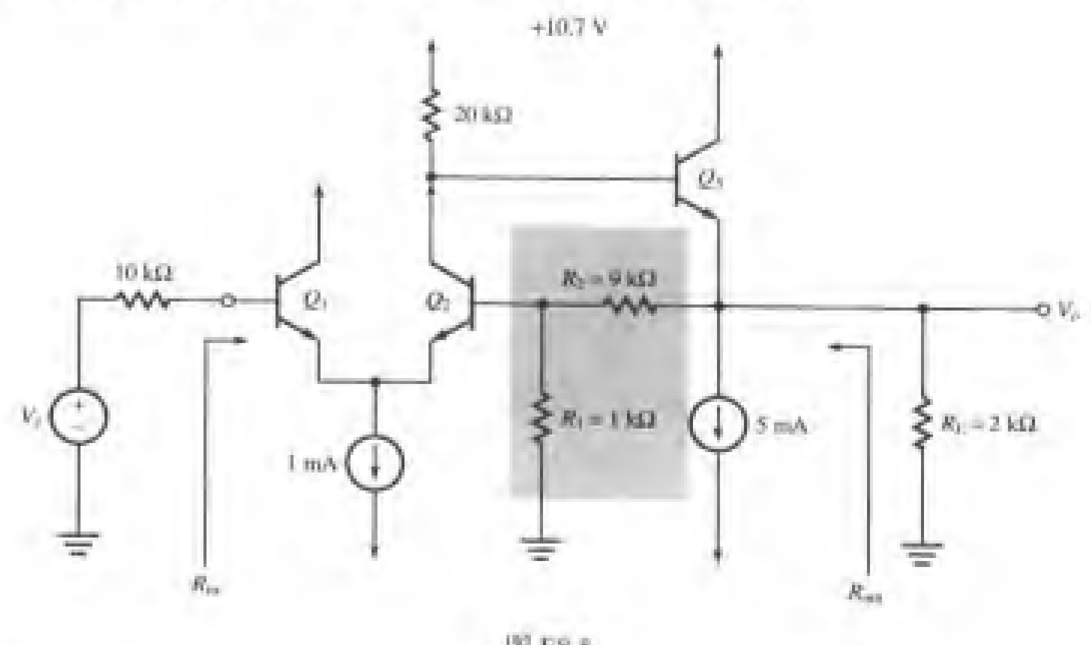


图 E8.5

答案：85.7 V/V；0.1 V/V；8.96 V/V；191 kΩ；19.1 Ω

8.5 串联–串联反馈放大器

8.5.1 理想情况

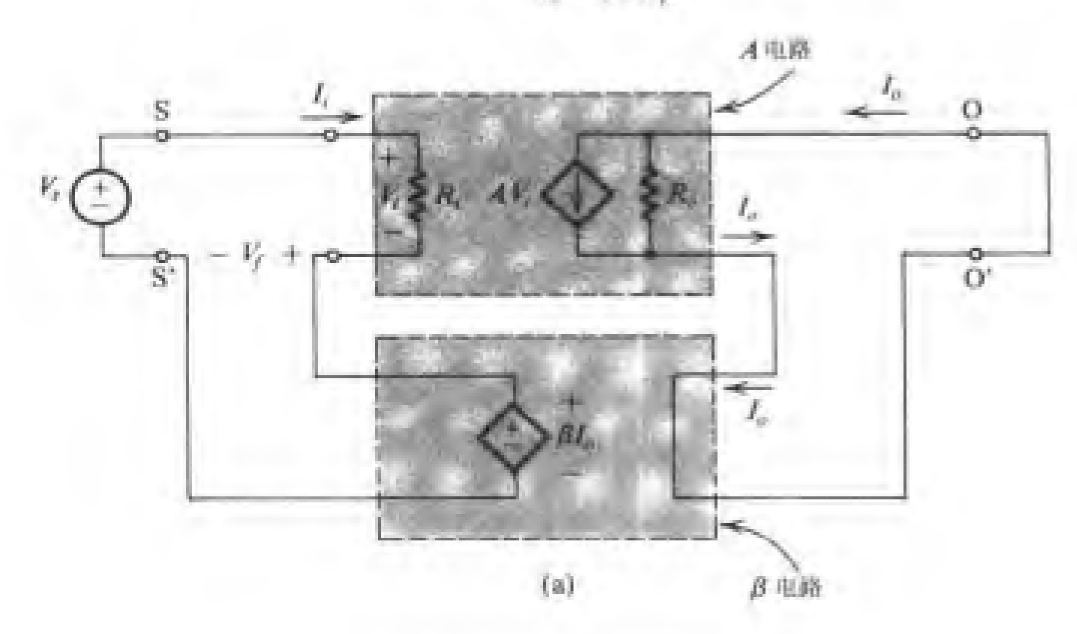
如 8.3 节所述，串联–串联反馈拓扑结构能够稳定 I_o/V_s，因而最适合互导放大器。图 8.13（a）所示为串联–串联反馈放大器的理想结构。它包含一个单向化的开环放大器（A 电路）以及一个理想化的反馈网络。注意，此处 A 为互导增益：

$$A \equiv \frac{I_o}{V_i} \tag{8.25}$$

而β为互阻反馈系数，因此环路增益 $A\beta$ 依然保持为一个无量纲的数值。

在图 8.13（a）所示的理想结构中，负载电阻和源电阻均已包含在 A 电路内部，而β电路不存在对于 A 电路的负载效应，因而该电路符合图 8.1 所示的理想反馈模型。可以写出

$$A_f \equiv \frac{I_o}{V_s} = \frac{A}{1+A\beta} \tag{8.26}$$



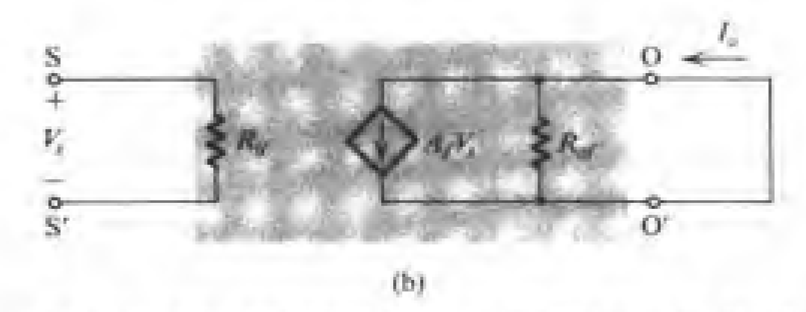


图 8.13 串联–串联反馈放大器：（a）理想结构；（b）等效电路

互导反馈放大器的等效电路如图 8.13（b）所示。在该模型中，R_{if} 是考虑反馈的输入电阻。运用类似 8.4 节中介绍的方法，不难证明：

$$R_{if} = R_i(1+A\beta) \tag{8.27}$$

该结果与串联–并联反馈放大器得到的结果完全一致。这正好验证了我们先前的观察结论，即 R_{if} 与 R_i 的关系仅与信号混合的形式有关。因此，电压（串联）混合总是增大输入电阻。

为确定图 8.13（a）所示的并联–并联反馈放大器的输出电阻 R_{of}，我们将 V_s 置 0，断开输出端并施加一测试电流 I_t，如图 8.14 所示：

$$R_{of} \equiv \frac{V}{I_t} \tag{8.28}$$

在这种情况下，$V_i = -V_f = -\beta I_o = -\beta I_t$。所以对于图 8.14 所示电路可得

$$V = (I_t - AV_i)R_o = (I_t + A\beta I_t)R_o$$

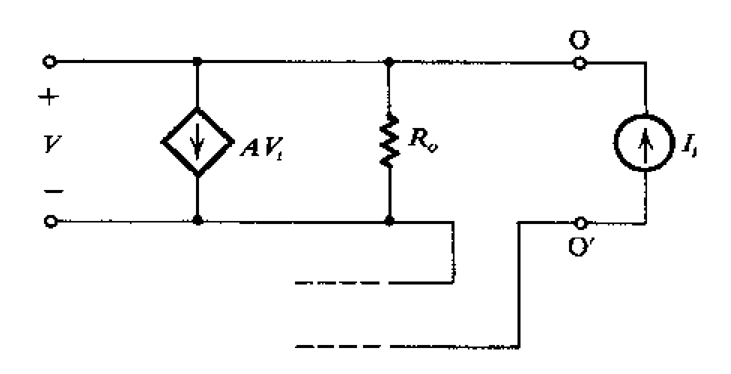


图 8.14 确定串联–串联反馈放大器的输出电阻 R_{of}

故

$$R_{of}=(1+A\beta)R_o \tag{8.29}$$

可见，在该电路中负反馈增大了输出电阻。这个结果应该在意料之中，因为无论输出电压如何变化，负反馈都尽可能地使 I_o 保持恒定，从而起到了增大输出电阻的作用。这也正好验证了我们先前的观察结论，即 R_{of} 与 R_o 的关系仅与采样的形式有关。虽然电压（并联）采样减小输出电阻，但电流（串联）采样增大输出电阻。

8.5.2 实际情况

图 8.15（a）所示为实际的串联–串联反馈放大器的方框图。为了在该放大器上运用理想情况下的反馈公式，需要将其转化为图 8.13（a）所示的理想结构。因而我们的目标是设计一个简单的方法确定 A 和 β。观察放大器输入电阻 R_{in} 和输出电阻 R_{out} 的定义，特别是要注意它们与反馈电阻公式得到的 R_{if} 和 R_{of} 有所不同，这将在后文详细阐明。

通过将 R_s 和 R_L 移入基本放大器，同时将两端口反馈网络用其 z 参数形式替换（参见附录 B）。图 8.15（a）所示的串联–串联反馈放大器的等效电路成为如图 8.15（b）所示的电路。选择 z 参数是因为它是惟一能够表示反馈网络端口 1 的串联形式及端口 2 的串联形式的网络参数。考虑到输入端和输出端的串联连接，这种表示形式显然简便了许多。带反馈的输入和输出电阻 R_{if} 和 R_{of} 均在图上标明。

与处理串联–并联放大器一样，我们假设与基本放大器的正向传输信号相比，反馈网络中的正向传输信号可以忽略不计。即满足以下条件：

$$|z_{21}|_{\text{反馈网络}} \ll |z_{21}|_{\text{基本放大器}} \tag{8.30}$$

在这样的前提下，我们可以忽略图 8.15（b）中的电压源 $z_{21}I_1$，并将 z_{11} 和 z_{22} 等效移入基本放大器内部，得到如图 8.15（c）所示的电路。如果基本放大器是完全单向化的（或接近完全单向化），即满足以下条件：

$$|z_{12}|_{\text{基本放大器}} \ll |z_{12}|_{\text{反馈网络}} \tag{8.31}$$

那么图 8.15（c）所示电路就等同于（或几乎等同于）图 8.13（a）所示的理想电路。

由此可见，A 电路在原来基本放大器的基础上在输入端引入了 R_s 和 z_{11}，在输出端引入了 R_L 和 z_{22}。由于 z_{11} 和 z_{22} 分别是在另一端开路的情况下从反馈网络的端口 1 和端口 2 视入的阻抗，因此可以通过 8.4 节中推导得出的准则确定反馈网络对于基本放大器产生的负载效应。即确定合适的反馈网络的视入端口，并将另一端口开路或者短路（串联开路，并联短路）以破坏反馈作用。

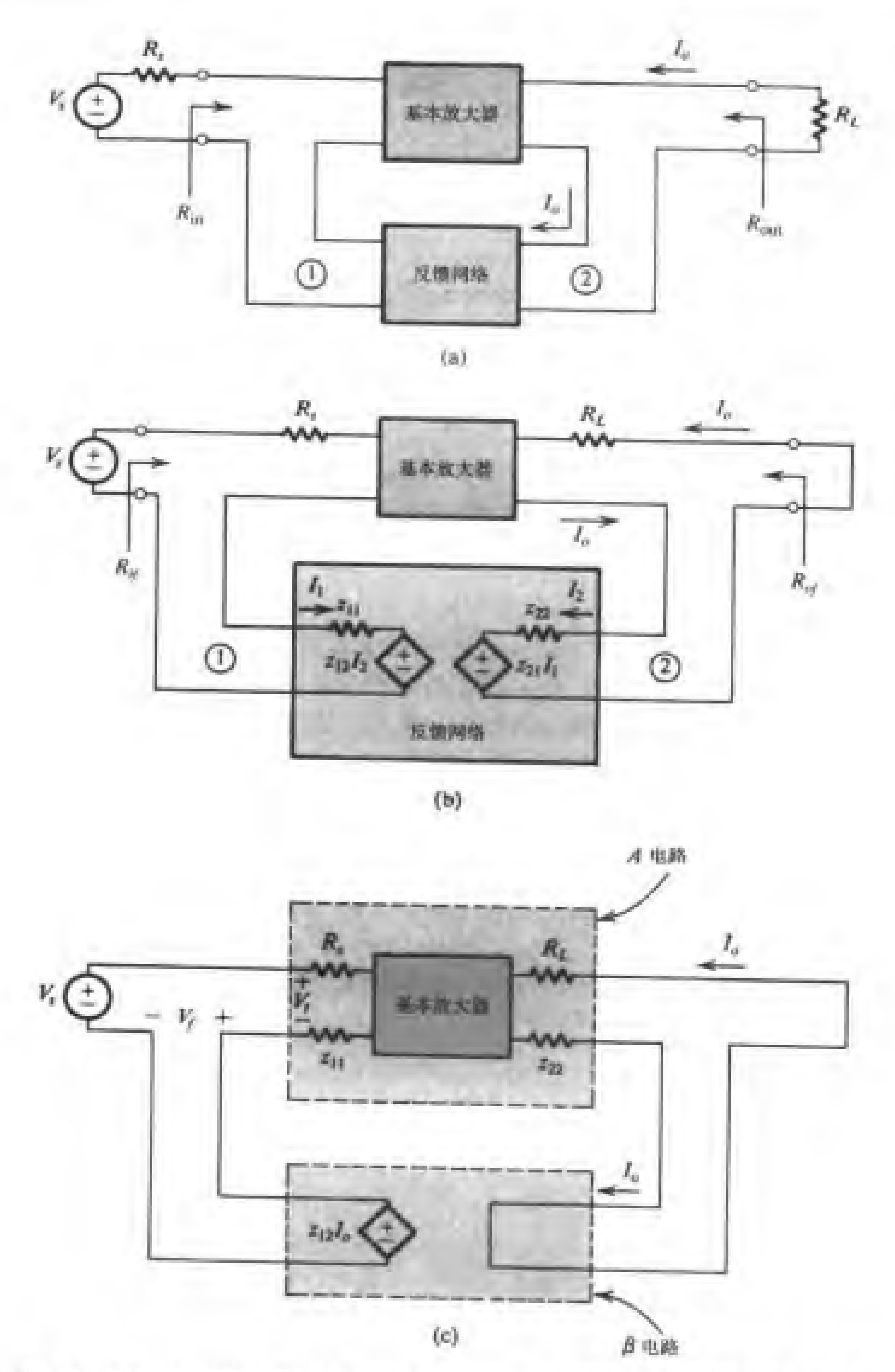


图 8.15 推导串联-串联反馈放大器的 A 电路和 β 电路：（a）串联-串联反馈放大器；（b）将电路（a）中的反馈网络用其 z 参数形式替换；（c）忽略电路（b）中的 z_{21}

由图 8.15（c）可知，β 等于反馈网络的 z_{12} 参数：

$$\beta = z_{12} \equiv \frac{V_1}{I_2}\bigg|_{I_1=0} \tag{8.32}$$

该结果还是非常直观易懂的。前面曾讲过，该反馈网络的目的是对输出电流（$I_2=I_o$）进行采样并生成一个与输入信号串联混合的电压信号（$V_f=V_1$）。同样，输入端的串联形式表明在端口 1 开路的情况下确定β 的数值。

8.5.3 总结

为便于以后查阅，我们在图 8.16 中总结了对于给定的如图 8.15（a）所示类型的串联–串联反馈放大器的确定 A 和β 数值的方法。注意，R_i 为 A 电路的输入电阻，而其输出电阻 R_o 可通过断开输出环路并求出 Y 与 Y'间的等效电阻得到。将 R_i 和 R_o 代入式（8.27）和式（8.29）可求得 R_{if} 与 R_{of}［参见图 8.15（b）］。最后，反馈放大器的输入电阻和输出电阻可分别由 R_s 与 R_{if} 相减及 R_L 与 R_{of} 相减求得：

$$R_{in} = R_{if} - R_s \tag{8.33}$$

$$R_{out} = R'_{of} - R_L \tag{8.34}$$

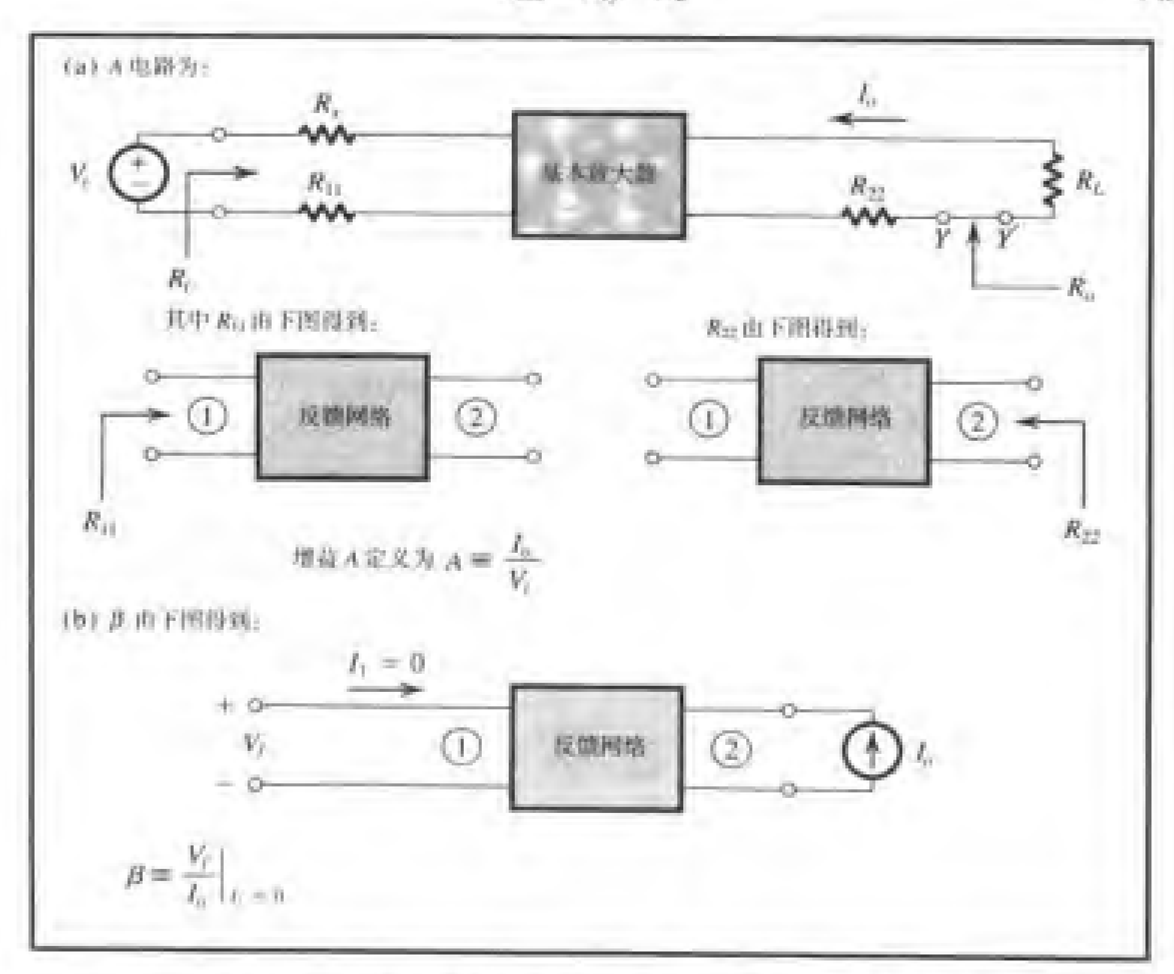


图 8.16 确定电压混合电流采样反馈放大器的 A 电路和β 电路

例题 8.2 由于负反馈能够扩展放大器的频带宽度，故常常被用于设计宽带放大器。MC1553 就是其中的一个例子。MC1553 的部分电路如图 8.17（a）所示。图中的电路（被称为三级反馈）包含三级级联放大器和一个由 R_{E1}、R_F 和 R_{E2} 组成的串联–串联反馈网络。假设在图中未标明的偏置

电路的作用下，$I_{C1}=0.6\text{ mA}$，$I_{C2}=1\text{ mA}$，$I_{C3}=4\text{ mA}$。利用以上这些参数并设 $h_{fe}=100$，$r_o=\infty$，确定开环增益 A，反馈系数 β，闭环增益 $A_f\equiv I_o/V_s$，电压增益 V_o/V_s，输入电阻 $R_{in}=R_{if}$，输出电阻 R_{of}（从节点 Y 与 Y' 之间视入的）。此时，若 Q_3 的 r_o 为 $25\text{ k}\Omega$，估算输出电阻 R_{out} 的近似值。

解： 运用图 8.16 所示的负载效应准则，可以得到如图 8.17(b)所示的电路 A。为确定 $A\equiv I_o/V_i$，我们首先确定第一级放大器的增益。经观察可得

$$\frac{V_{c1}}{V_i}=\frac{-\alpha_1(R_{C1}//r_{\pi2})}{r_{e1}+[R_{E1}//(R_F+R_{E2})]}$$

由于 Q_1 的偏置电流为 0.6 mA，因此 $r_{e1}=41.7\ \Omega$。Q_2 的偏置电流为 1 mA，因此 $r_{\pi2}=h_{fe}/g_{m2}=100/40=2.5\text{ k}\Omega$。同时将 $\alpha_1=0.99$，$R_{C1}=9\text{ k}\Omega$，$R_{E1}=100\ \Omega$，$R_F=640\ \Omega$，$R_{E2}=100\ \Omega$ 代入，可得

$$\frac{V_{c1}}{V_i}=-14.92\text{ V/V}$$

其次确定第二级放大器的增益。经观察可得（注意：$V_{b2}=V_{c1}$）

$$\frac{V_{c2}}{V_{c1}}=-g_{m2}\{R_{C2}//(h_{fe}+1)[r_{e3}+(R_{E2}//(R_F+R_{E1}))]\}$$

将 $g_{m2}=40\text{ mA/V}$，$R_{C2}=5\text{ k}\Omega$，$h_{fe}=100$，$r_{e3}=25/4=6.25\ \Omega$，$R_{E2}=100\ \Omega$，$R_F=640\ \Omega$，$R_{E1}=100\ \Omega$ 代入，可得

$$\frac{V_{c2}}{V_{c1}}=-131.2\text{ V / V}$$

最后，对于第三级放大器，经观察可得

$$\frac{I_o}{V_{c2}}=\frac{I_{e3}}{V_{b3}}=\frac{1}{r_{e3}+(R_{E2}//(R_F+R_{E1}))}$$
$$=\frac{1}{6.25+(100//740)}=10.6\text{ mA/V}$$

合并上述三级增益可得

$$A\equiv\frac{I_o}{V_i}=-14.92\times-131.2\times10.6\times10^{-3}$$
$$=20.7\text{ A/V}$$

确定反馈系数 β 的电路如图 8.17（c）所示，从中求得

$$\beta\equiv\frac{V_f}{I_o}=\frac{R_{E2}}{R_{E2}+R_F+R_{E1}}\times R_{E1}$$
$$=\frac{100}{100+640+100}\times100=11.9\ \Omega$$

从而可得闭环增益 A_f：

$$A_f\equiv\frac{I_o}{V_s}=\frac{A}{1+A\beta}$$
$$=\frac{20.7}{1+20.7\times11.9}=83.7\text{ mA/V}$$

则相应的电压增益为

$$\frac{V_o}{V_s}=\frac{-I_c R_{C3}}{V_s}=\frac{-I_o R_{C3}}{V_s}=-A_f R_{C3}$$
$$=-83.7\times10^{-3}\times600=-50.2\text{ V/V}$$

反馈放大器的输入电阻可表示为

$$R_{if}=R_i(1+A\beta)$$

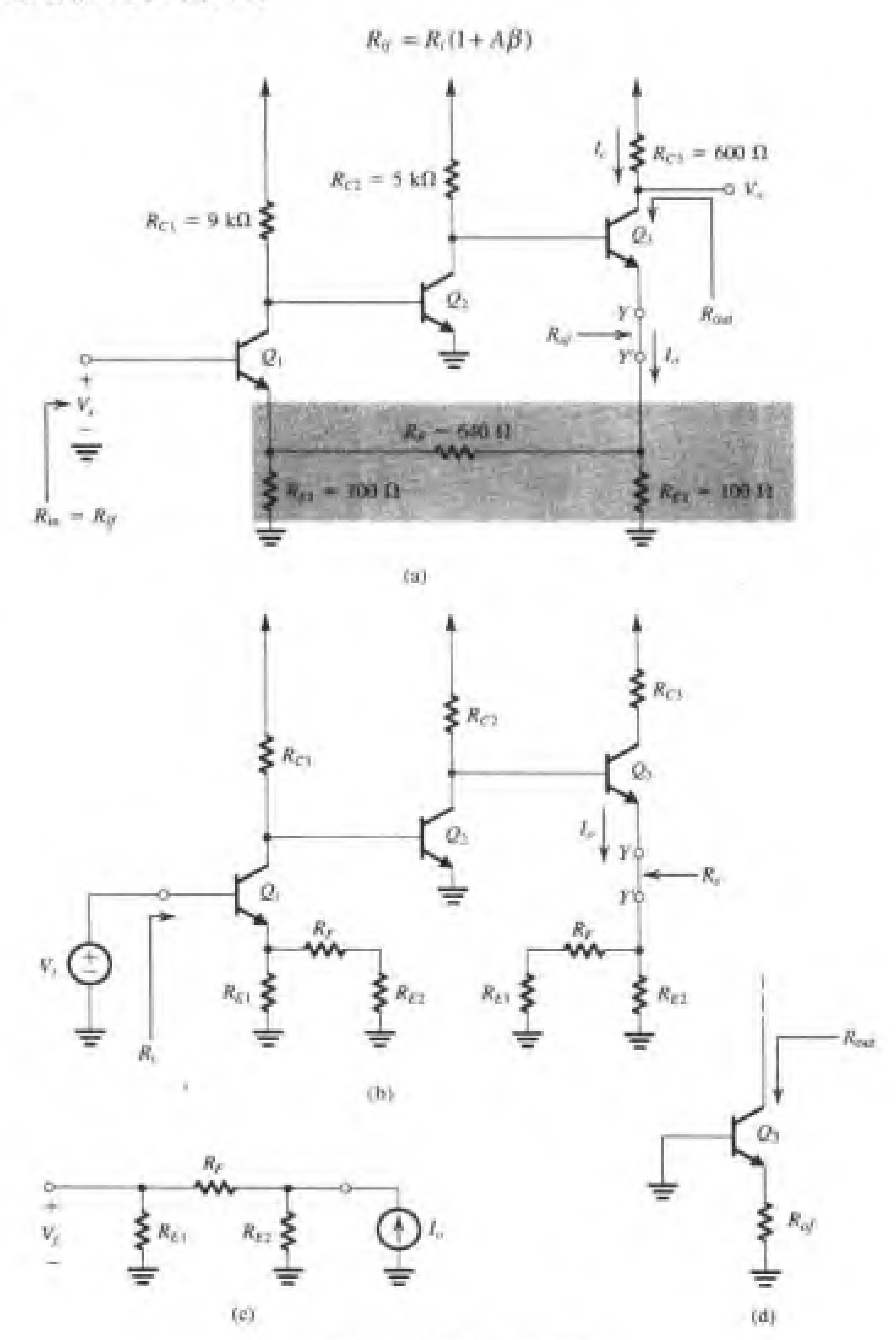


图 8.17　例题 8.2 的电路

式中，R_i为电路A的输入电阻，而R_i的值可由图 8.17（b）所示电路求得：

$$R_i = (h_{fe}+1)[r_{e1}+(R_{E1}//(R_F+R_{E2}))]$$
$$= 13.65\ \text{k}\Omega$$

故

$$R_{if} = 13.65(1+20.5\times 11.9) = 3.34\ \text{M}\Omega$$

为了确定图 8.17（b）所示A电路的输出电阻R_o，我们将电路在节点Y与Y'处断开 从两节点间视入的电阻为

$$R_o = [R_{E2}//(R_F+R_{E1})]+r_{e3}+\frac{R_{C2}}{h_{fe}+1}$$

代入数值，得R_o= 143.9 Ω。从而可得反馈放大器的输出电阻R_{of}:

$$R_{of} = R_o(1+A\beta) = 143.9(1+20.7\times 11.9) = 35.6\ \text{k}\Omega$$

注意，由于施加的反馈稳定了Q_3的射极电流，因此由反馈电阻公式所确定的输出电阻应为刚刚求得的射极环路电阻（节点Y与Y'之间的电阻），而非Q_3集电极视入的电阻[1] 这是因为Q_3的输出电阻r_o实际上处于反馈回路之外。然而，我们可以借助R_{of}的数值求得R_{out}的近似解。为此，假设反馈网络的作用等价于在Q_3的发射极放置了一个电阻R_{of}（35.6 kΩ），因此可由图 8.17（d）所示的等效电路确定输出电阻。运用式（6.117）可得R_{out}:

$$R_{out} = r_o + (1+g_{m3}r_o)(R_{of}//r_{\pi3})$$
$$= 25+(1+160\times 25)(35.6//0.625) = 2.5\ \text{M}\Omega$$

可见，集电极的输出电阻确实增大了，但并非增大了（$1 + A\beta$）倍。 ■

练习 8.6 重新考虑图 8.17（a）所示电路，假设输出电压取自Q_3的发射极，则反馈网络属于电压混合电压采样的反馈类型。尽管如此，其环路增益却保持不变 确定$A \equiv V_{e3}/V_i$[参见图 8.17(b)]的值，$A_f \equiv V_{e3}/V_s$以及输出电阻的值。

答案：1827 V/V；7.4 V/V；0.14 Ω

8.6 并联–并联与并联–串联反馈放大器

本节将略去详细证明而直接将 8.4 节及 8.5 节中使用的方法推广到其余两种反馈拓扑结构的分析中。

8.6.1 并联–并联结构

图 8.18 所示为并联–并联反馈放大器的理想结构，其A电路包含输入电阻R_i、互阻增益A以及输出电阻R_o。β电路为压控电流源，反馈系数β为互导增益。因此闭环增益A_f定义为

$$A_f \equiv \frac{V_o}{I_s} \tag{8.35}$$

[1] Gordon Roberts 首先提出的这个观点（参见 Roberts 和 Sedra，1992）引起了作者的高度重视。

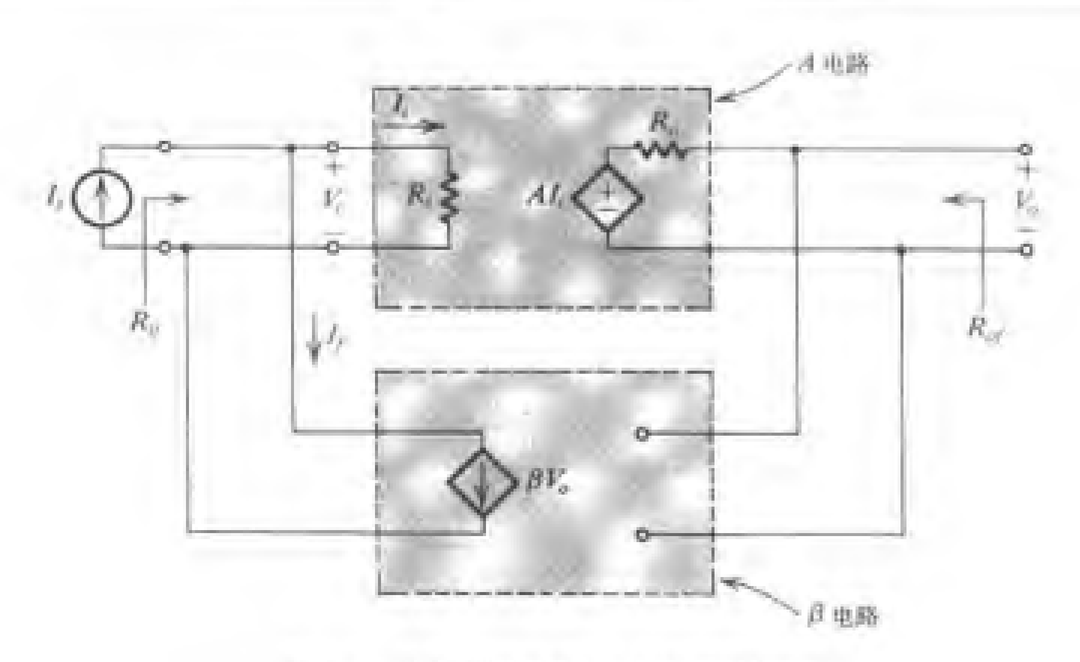


图 8.18　并联–并联反馈放大器的理想结构

也可表示为

$$A_f = \frac{A}{1 + A\beta}$$

反馈输入电阻为

$$R_{if} = \frac{R_i}{1 + A\beta} \tag{8.36}$$

可见，输入端的并联结构减小了输入电阻。同时要注意 R_{if} 是由信号源 I_s 视入的等效电阻，因而包含了所有的源电阻。

反馈输出电阻为

$$R_{of} = \frac{R_o}{1 + A\beta} \tag{8.37}$$

可见，输出端的并联结构减小了输出电阻。该电阻包含了所有的负载电阻。

某给定的实际并联–并联负反馈放大器如图 8.19 所示。运用图 8.20 所示的方法可得 A 电路和确定 β 参数的电路。同 8.4 节和 8.5 节一样，图 8.20 所示方法基于如下假设：即基本放大器接近完全单向化、反馈网络中的正向传输信号极其微小，可以忽略不计。对于第一个假设，仅当基本放大器和反馈网络的反向传输 y 参数[①]满足下列条件时成立：

$$|y_{12}|_{\text{基本放大器}} \ll |y_{12}|_{\text{反馈网络}} \tag{8.38}$$

对于第二个假设，仅当 y 的正向传输参数满足下列条件时成立：

$$|y_{21}|_{\text{反馈网络}} \ll |y_{21}|_{\text{基本放大器}} \tag{8.39}$$

① 这里，采用 y 参数（见附录 B）是因为它是惟一能表示反馈网络在输入端的并联连接和输出端的并联连接形式的网络参数。

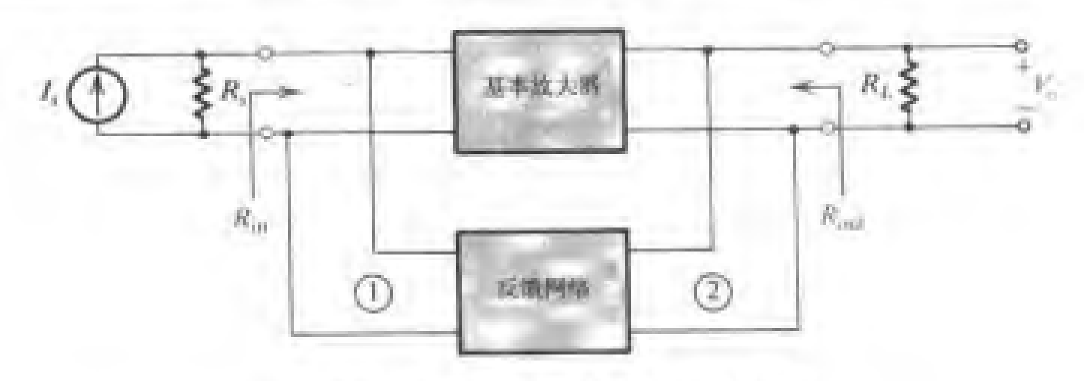


图 8.19　实际并联–并联反馈放大器的框图

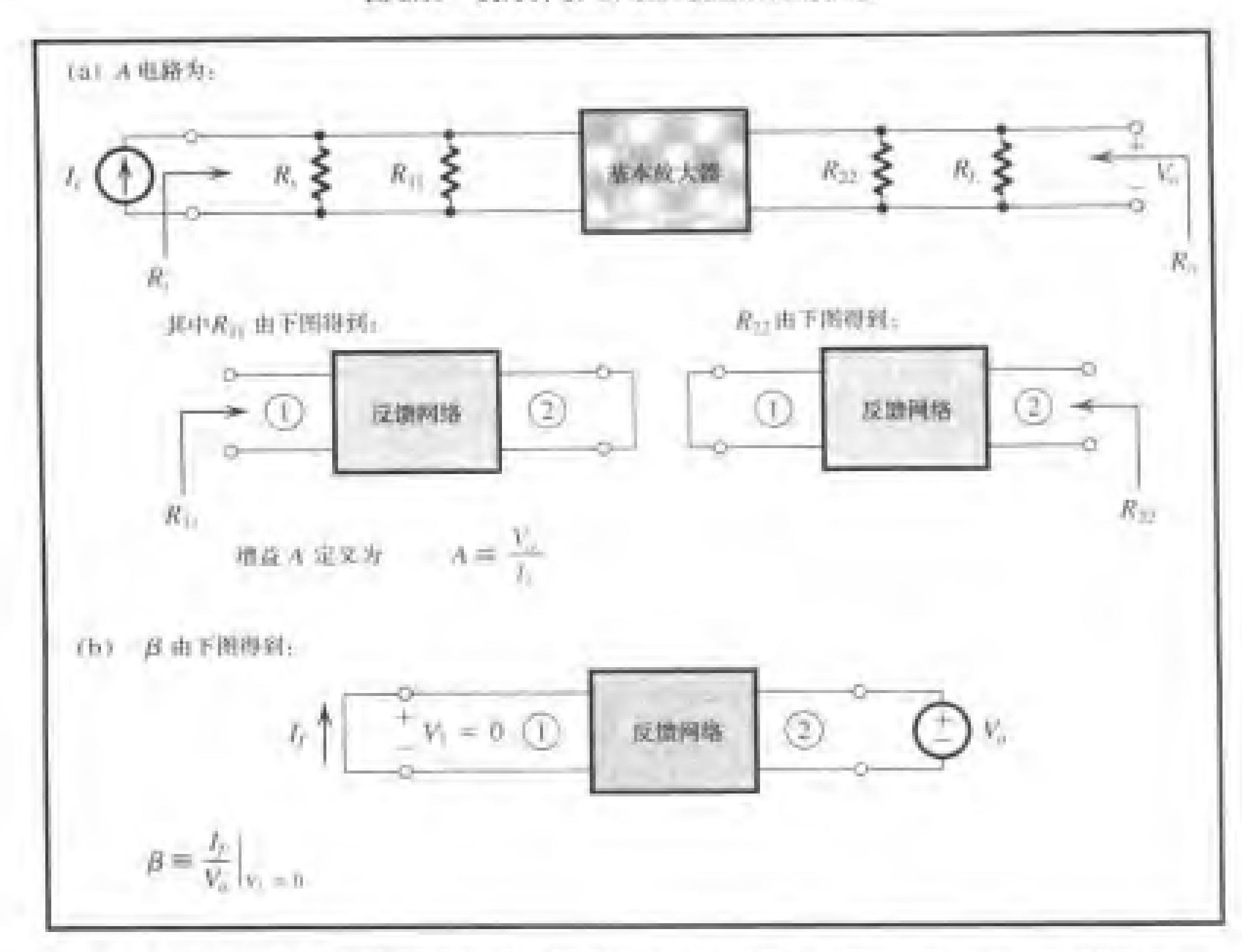


图 8.20　确定图 8.19 所示电流混合电压采样（并联–并联）反馈放大器的 A 电路和β电路

最后，要注意一旦通过反馈电阻公式［即式（8.36）和式（8.37）］确定了 R_{if} 和 R_{of}，那么放大器固有的输入和输出电阻可由下式求得（参见图 8.19 中的定义）：

$$R_{in} = 1\Big/\left(\frac{1}{R_{if}} - \frac{1}{R_s}\right) \tag{8.40}$$

$$R_{out} = 1\Big/\left(\frac{1}{R_{of}} - \frac{1}{R_L}\right) \tag{8.41}$$

例题 8.3　分析图 8.21（a）所示的电路，确定其小信号电压增益 V_o/V_s、输入电阻 R_{in} 和输出电阻 $R_{out} = R_{of}$。其中晶体管的 β=100。

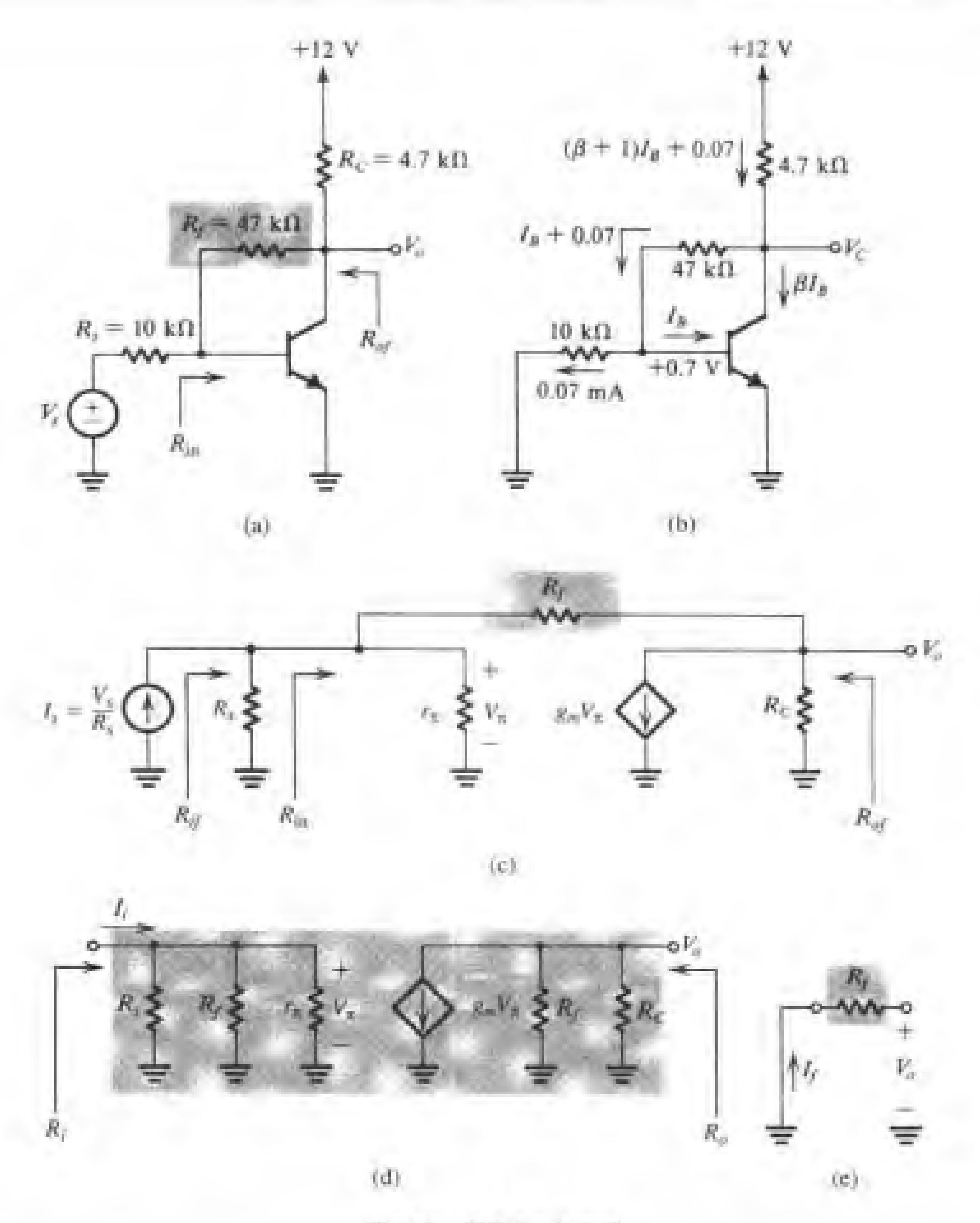


图 8.21 例题 8.3 的电路

解：首先确定晶体管的直流工作点。电路的直流分析如图 8.21（b）所示。由图可得

$$V_C = 0.7 + (I_B + 0.07)47 = 3.99 + 47I_B \quad 及 \quad \frac{12 - V_C}{4.7} = (\beta + 1)I_B + 0.07$$

求解以上两个等式，可得 $I_B = 0.015$ mA，$I_C = 1.5$ mA，$V_C = 4.7$ V。

为运用小信号分析，首先要确定反馈网络。不难发现，由 R_f 组成的反馈网络对输出电压 V_o 进行采样并输出一个电流信号与电流源混合。这样，运用信号源的诺顿等效形式就较为简便，如图 8.21（c）所示。运用图 8.20 所示的准则很容易得到 A 电路，如图 8.21（d）所示。对于电路 A 而言，经观察可得

$$V_\pi = I_i(R_s /\!/ R_f /\!/ r_\pi)$$
$$V_o = -g_m V_\pi (R_f /\!/ R_C)$$

故

$$A = \frac{V_o}{I_i} = -g_m(R_f /\!/ R_C)(R_s /\!/ R_f /\!/ r_\pi)$$
$$= -358.7\ \text{k}\Omega$$

A 电路的输入和输出电阻也可通过图 8.21（d）得到：

$$R_i = R_s /\!/ R_f /\!/ r_\pi = 1.4\ \text{k}\Omega$$
$$R_o = R_C /\!/ R_f = 4.27\ \text{k}\Omega$$

为确定反馈系数β 的电路如图 8.21（e）所示，由此可得

$$\beta \equiv \frac{I_f}{V_o} = -\frac{1}{R_f} = -\frac{1}{47\ \text{k}\Omega}$$

注意，I_f参考方向的选取依然要确保 I_s减去 I_f，所以求得的β为负值应在预料之中。因为 A 也同样为负值，所以环路增益 $A\beta$为正值，说明该反馈网络为负反馈。

对于图 8.21（c）所示电路，可得闭环增益 A_f为

$$A_f \equiv \frac{V_o}{I_s} = \frac{A}{1+A\beta}$$
$$\frac{V_o}{I_s} = \frac{-358.7}{1+358.7/47} = \frac{-358.7}{8.63} = -41.6\ \text{k}\Omega$$

为确定电压增益 V_o/V_s，我们注意到

$$V_s = I_s R_s$$

故

$$\frac{V_o}{V_s} = \frac{V_o}{I_s R_s} = \frac{-41.6}{10} = -4.16\ \text{V/V}$$

反馈输入电阻［参见图 8.21（c）］为

$$R_{if} = \frac{R_i}{1+A\beta}$$

故

$$R_{if} = \frac{1.4}{8.63} = 162.2\ \Omega$$

该电阻是由如图 8.21（c）所示的电流源 I_s视入的电阻。为得到不包含 R_s的反馈放大器的输入电阻（题目所要求的电阻 R_{in}），我们可以将 $1/R_s$与 $1/R_{if}$相减，将结果取倒数即得 R_{in}= 165 Ω。最后，求得放大器的输出电阻 R_{of}为

$$R_{of} = \frac{R_o}{1+A\beta} = \frac{4.27}{8.63} = 495\ \Omega$$

■

8.6.2 重要说明

迄今为止分析反馈放大器的方法都基于以下两个前提：绝大部分正向传输信号是通过基本放

大器传输的；绝大多数反向传输信号（反馈）是通过反馈网络传输的。对于在此之前讨论的三种反馈拓扑结构而言，这两个假设都被表示为基本放大器和反馈网络的双向二端口网络的相关参数的数学条件。由于例题 8.3 中的电路相对简单，我们可以验证一下这些假设的合理性。

参考图 8.21（d），很明显基本放大器是单向化的，即所有的反向传输信号均发生于反馈网络中。而对于正向传输而言，结果并不明显，因而需要计算正向传输的 y 参数。对于图 8.21（d）所示的 A 电路而言，$y_{21} = g_m$。对于反馈网络而言，$y_{21} = -1/R_f$。所以，若要保证我们先前的分析方法合理有效，就必须保证 $g_m \gg 1/R_f$。分析例题 8.3 中的具体数值，可得 $g_m = 60$ mA/V，$1/R_f = 0.02$ mA/V，表明该假设非常合理。尽管如此，在设计反馈放大器的过程中，仍要注意应选取合适的元件参数以保证上述两个假设成立。

8.6.3　并联–串联结构

图 8.22 所示为并联–串联反馈放大器的理想结构。该放大器为电流放大器，其反馈增益定义为

$$A_f \equiv \frac{I_o}{I_s} = \frac{A}{1 + A\beta} \tag{8.42}$$

该放大器从电流源 I_s 视入的反馈输入电阻可表示为

$$R_{if} = \frac{R_i}{1 + A\beta} \tag{8.43}$$

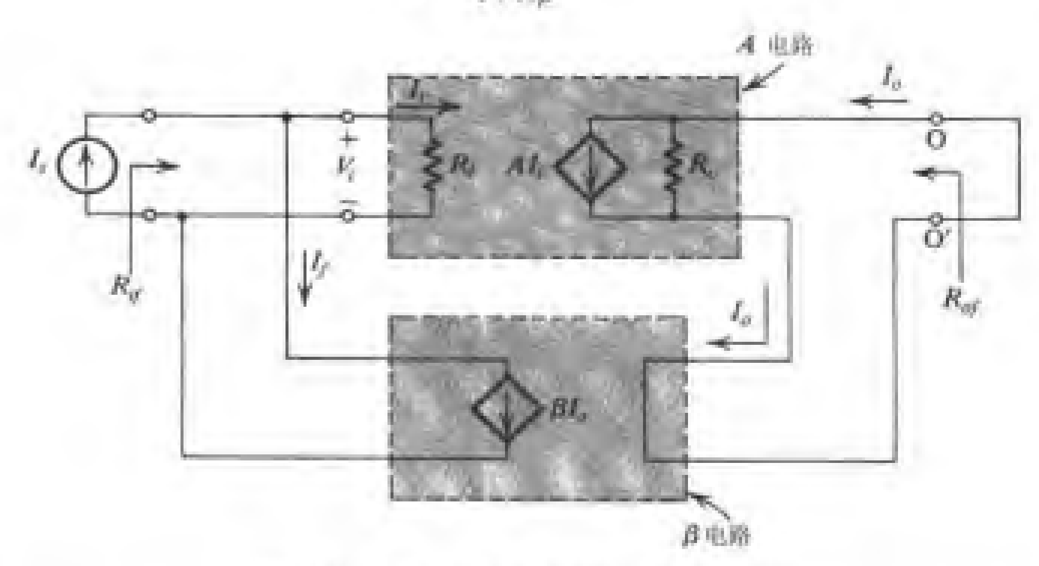


图 8.22　并联–串联反馈放大器的理想结构

同样，我们注意到输入端的并联结构减小了输入电阻。该放大器的反馈输出电阻等于断开输出电路（例如节点 O 与 O′之间）并从生成的端口节点之间（例如节点 O 与 O′之间）视入的电阻。R_{of} 可表示为

$$R_{of} = R_o(1 + A\beta) \tag{8.44}$$

注意，输出电阻的增大是由于电流（串联）采样的作用。

对于某给定的实际并联–串联反馈放大器（如图 8.23 所示），我们运用图 8.24 所示方法确定 A 和 β。同样，该分析同样基于以下假设：绝大部分正向传输信号是通过基本放大器传输的[1]，即满

① 对于这类放大器结构，最为简便的二端口网络参数为 g 参数。因为 g 参数是惟一能够表示输入端的并联连接和输出端的串联连接的网络参数（参见附录 B）。

足以下条件：

$$|g_{21}|_{\text{反馈网络}} \ll |g_{21}|_{\text{基本放大器}} \tag{8.45}$$

并且绝大多数反向传输信号是通过反馈网络传输的，即满足以下条件：

$$|g_{12}|_{\text{基本放大器}} \ll |g_{12}|_{\text{反馈网络}} \tag{8.46}$$

最后，应注意一旦通过反馈电阻公式［即式（8.43）和式（8.44）］确定了 R_{if} 和 R_{of}，那么放大器固有的输入电阻 R_{in} 和输出电阻 R_{out}（参见图 8.23）将由下式确定：

$$R_{in} = 1\bigg/\left(\frac{1}{R_{if}} - \frac{1}{R_s}\right) \tag{8.47}$$

$$R_{out} = R_{of} - R_L \tag{8.48}$$

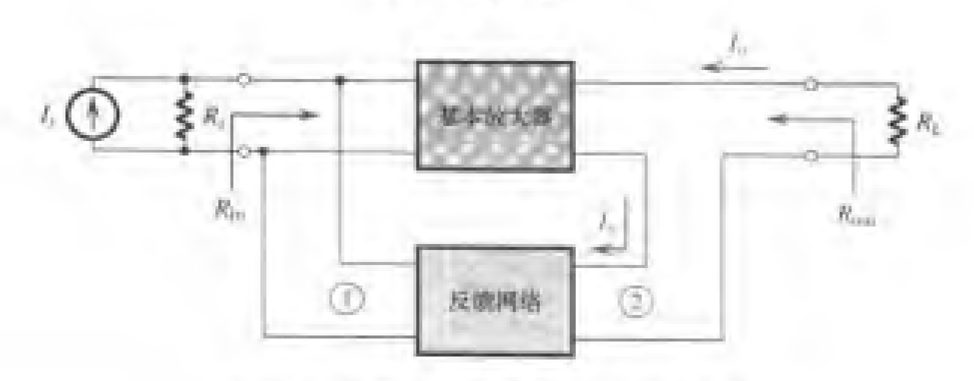


图 8.23　实际并联–串联反馈放大器的框图

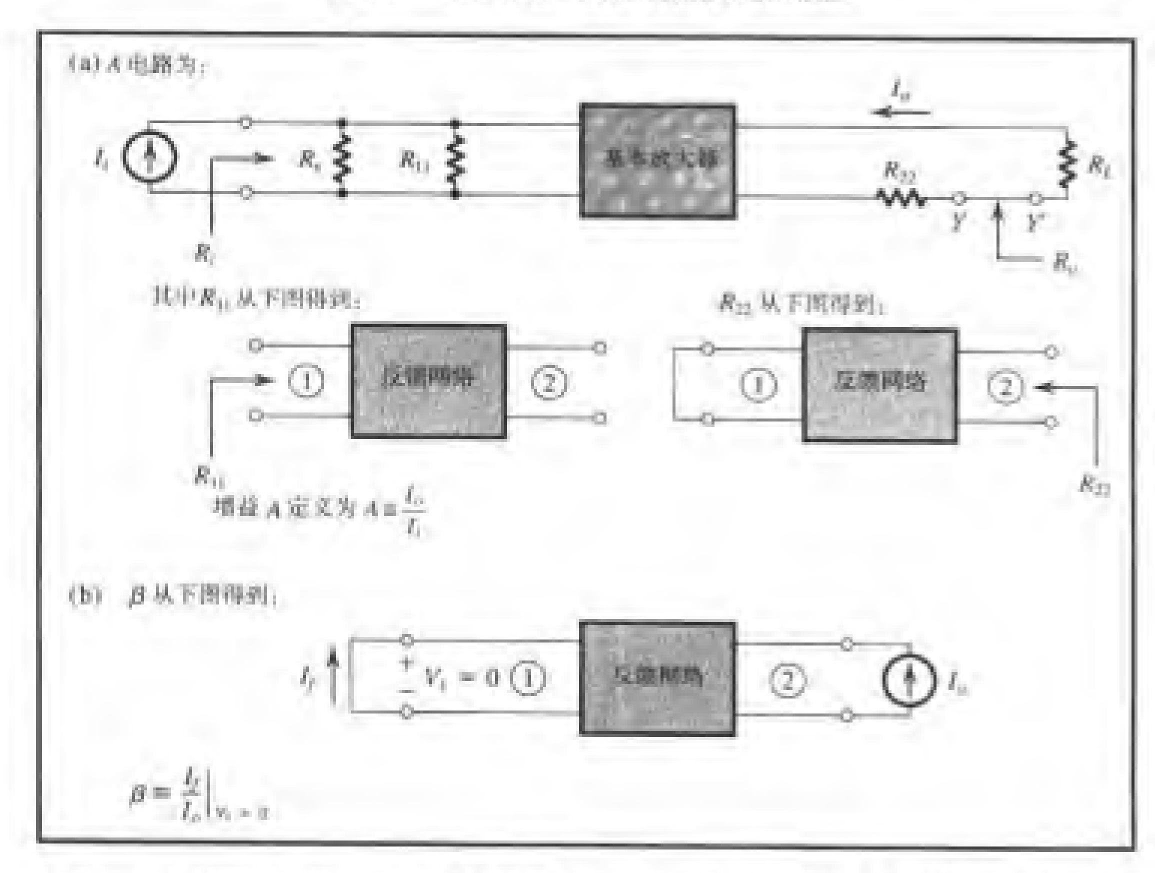


图 8.24　确定如图 8.23 所示电流混合电流采样（并联–串联）反馈放大器的 A 电路和β 电路

例题 8.4　图 8.25 所示为一并联-串联反馈电路，确定 I_{out}/I_{in}，R_{in} 和 R_{out}。假设晶体管的 $\beta=100$，$V_A=75\ \text{V}$

解：首先确定直流工作点。在这方面，我们注意到反馈信号是电容耦合的，因而反馈网络对于直流偏置没有影响。忽略晶体管的 β 和 V_A 的作用，电路的直流分析如下：

$$V_{B1}\simeq 12\frac{15}{100+15}=1.57\ \text{V}$$
$$V_{E1}\simeq 1.57-0.7=0.87\ \text{V}$$
$$I_{E1}=0.87/0.87=1\ \text{mA}$$
$$V_{C1}\simeq 12-10\times 1=2\ \text{V}$$
$$V_{E2}\simeq 2-0.7=1.3\ \text{V}$$
$$I_{E2}\simeq 1.3/3.4\simeq 0.4\ \text{mA}$$
$$V_{C2}\simeq 12-0.4\times 8=8.8\ \text{V}$$

放大器等效电路如图 8.25（b）所示，观察发现反馈网络由电阻 R_{E2} 和 R_f 组成。反馈网络的采样信号为 Q_2 的射极电流 I_o，基本等于集电极电流 I_c。同时还要注意所要求的电流增益 I_{out}/I_{in} 与闭环电流增益 $A_f\equiv I_o/I_s$ 稍有不同。

分析图 8.25（c）所示的 A 电路，运用图 8.24 所示的准则，可求得反馈网络的负载效应。对于 A 电路，可写出

$$V_{\pi 1}=I_i[R_s\,//(R_{E2}+R_f)\,//\,R_B\,//\,r_{\pi 1}]$$
$$V_{b2}=-g_{m1}V_{\pi 1}\{r_{o1}\,//\,R_{C1}\,//[r_{\pi 2}+(\beta+1)(R_{E2}\,//\,R_f)]\}$$
$$I_o\simeq\frac{V_{b2}}{r_{e2}+(R_{E2}\,//\,R_f)}$$

式中忽略了 r_{o2} 的作用。合并整理上述三式可得到开环电流增益 A 为

$$A\equiv\frac{I_o}{I_i}\simeq -201.45\ \text{A/A}$$

由图可得输入电阻 R_i 为

$$R_i\simeq R_s\,//(R_{E2}+R_f)\,//\,R_B\,//\,r_{\pi 1}=1.535\ \text{k}\Omega$$

而放大器的输出电阻 R_o 可以通过将输入信号 I_i 置 0，并求从 A 电路输出回路的节点 Y 和 Y' 间视入［参见图 8.25（c）］的等效电阻获得。忽略 r_{o2} 的微小作用，可得

$$R_o=(R_{E2}\,//\,R_f)+r_{e2}+\frac{R_{C1}\,//\,r_{o1}}{\beta+1}$$
$$=2.69\ \text{k}\Omega$$

确定反馈系数 β 的电路如图 8.25（d）所示，由此可得

$$\beta\equiv\frac{I_f}{I_o}=-\frac{R_{E2}}{R_{E2}+R_f}=-\frac{3.4}{13.4}=-0.254$$

即

$$1+A\beta=52.1$$

从而可求得输入电阻 R_{if} 为

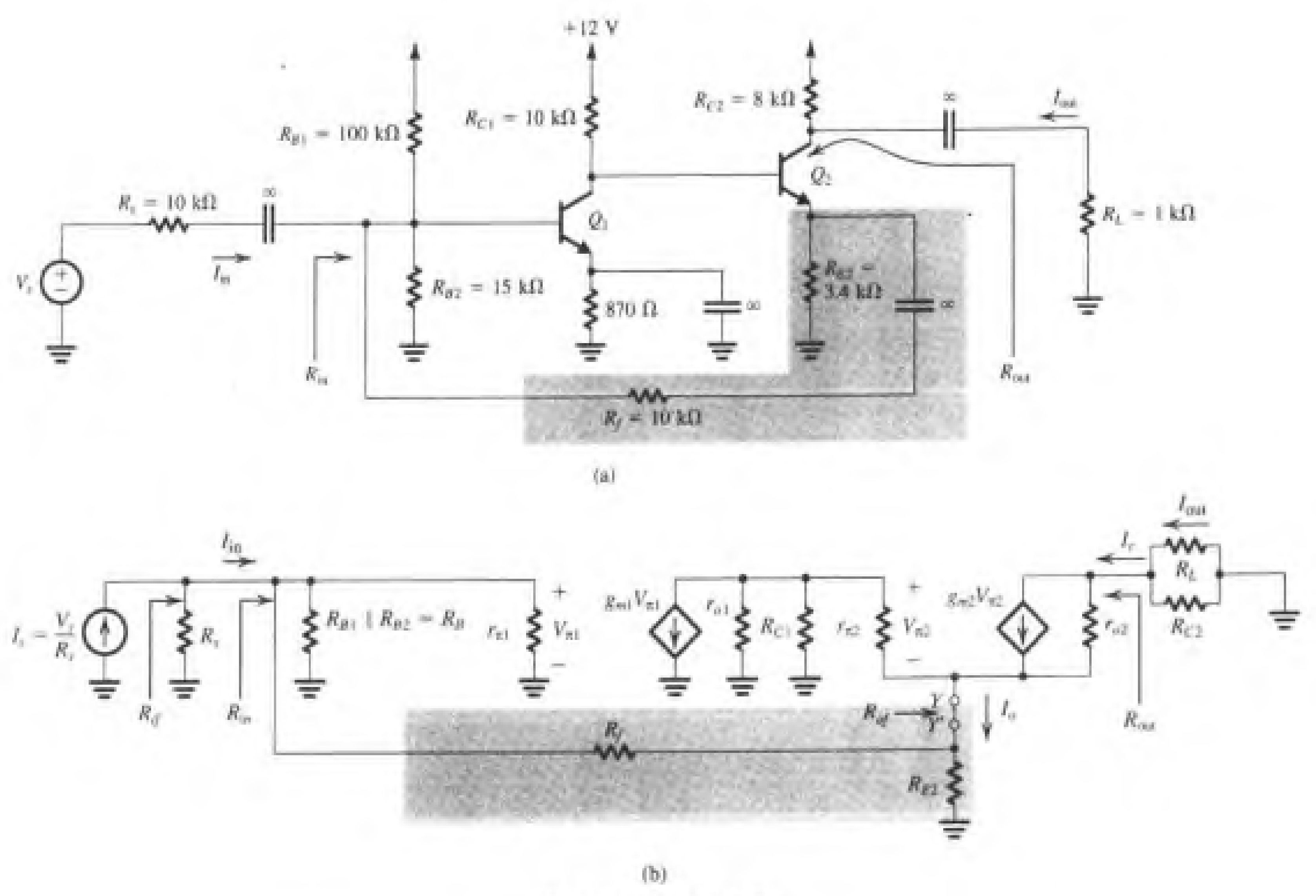


图 8.25 例题 8.4 的电路

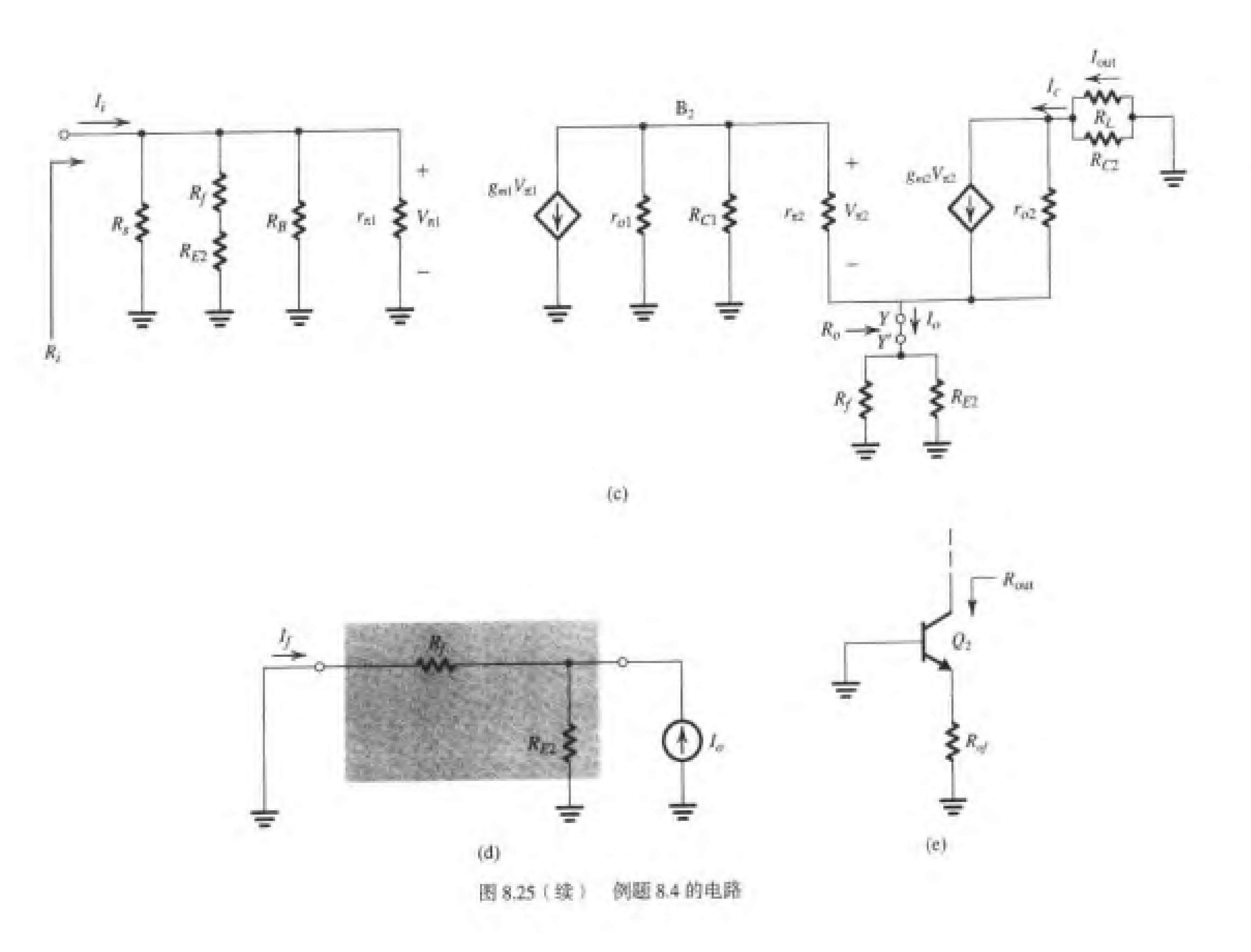


图 8.25（续）　例题 8.4 的电路

$$R_{if}=\frac{R_i}{1+A\beta}=29.5\ \Omega$$

本例题要求的 R_{in} 为［参见图 8.25（b）］

$$R_{in}=\frac{1}{1/R_{if}-1/R_s}=29.5\ \Omega$$

由于 $R_{in}\approx R_{if}$，由图 8.25（b）可得 $I_{in}\approx I_s$，则电流增益 A_f 为

$$A_f\equiv\frac{I_o}{I_s}=\frac{A}{1+A\beta}=-3.87\ \text{A/A}$$

注意，由于 $A\beta\gg 1$，闭环增益可近似等于 $1/\beta$。

再考虑题目所要求的电流增益，可得

$$\frac{I_{out}}{I_{in}}\simeq\frac{I_{out}}{I_s}=\frac{R_{C2}}{R_L+R_{C2}}\frac{I_c}{I_s}\simeq\frac{R_{C2}}{R_L+R_{C2}}\frac{I_o}{I_s}$$

故

$$I_{out}/I_{in}=-3.44\ \text{A/A}$$

输出电阻 R_{of} 为

$$R_{of}=R_o(1+A\beta)=140.1\ \text{k}\Omega$$

对于题目所要求的输出电阻 R_{out} 可以通过例题 8.2 中类似的方法近似估计出来，即将反馈网络的作用等价于在 Q_2 的发射极放置了一个电阻 R_{of}［参考图 8.25（c）］，则由式（6.78）可得

$$R_{out}=r_{o2}[1+g_{m2}(r_{\pi2}\,//\,R_{of})]$$

将 $r_{o2}=75/0.4=187.5\ \text{k}\Omega$，$g_{m2}=16\ \text{mA/V}$，$r_{\pi2}=6.25\ \text{k}\Omega$ 及 $R_{of}=140.1\ \text{k}\Omega$ 代入，可得

$$R_{out}=18.1\ \text{M}\Omega$$

可见，尽管负反馈网络一定程度上增大了 R_{out}，但并非增大了（$1+A\beta$）倍。其原因在于反馈网络是对 Q_2 的射极电流而非集电极电流进行采样。事实上，反馈网络并不受 r_{o2} 是否存在的影响。■

练习 8.7 运用反馈分析方法确定如图 E8.7 所示反相运算放大器的电压增益 V_o/V_s、输入电阻 R_{in} 及输出电阻 R_{out}。假设运算放大器的开环增益 $\mu=10^4$ V/V，$R_{id}=100\ \text{k}\Omega$ 以及 $r_o=1\ \text{k}\Omega$。（提示：反馈网络为并联-并联反馈结构。）

答案： –870 V/V；150 Ω；92 Ω

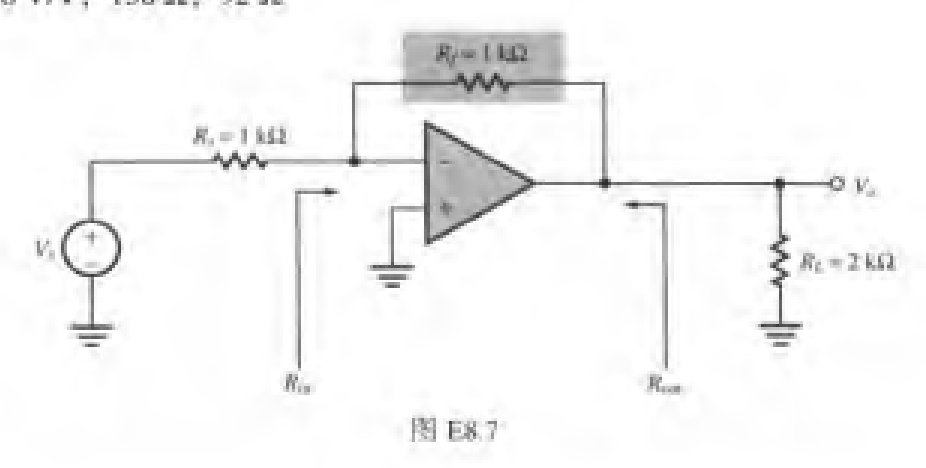


图 E8.7

8.6.4 总结

表 8.1 给出了分析四种类型反馈放大器过程中运用的分析准则和参数关系的总结。

表 8.1 四种反馈放大器拓扑结构的参数关系总结

反馈放大器	x_i	x_o	x_f	x_s	A	β	A_f	信号源形式	确定反馈网络的负载效应：输入端	确定反馈网络的负载效应：输出端	确定 β 过程中，反馈网络端口 2 的测试信号形式	Z_{if}	Z_{of}	参考图的图号
串联–并联（电压放大器）	V_i	V_o	V_f	V_s	$\frac{V_o}{V_i}$	$\frac{V_f}{V_o}$	$\frac{V_o}{V_s}$	戴维南等效	短路反馈网络端口 2	开路反馈网络端口 1	电压，并确定端口 1 的开路电压	$Z_i(1+A\beta)$	$\frac{Z_o}{1+A\beta}$	8.4（a） 8.8 8.10 8.11
并联–串联（电流放大器）	I_i	I_o	I_f	I_s	$\frac{I_o}{I_i}$	$\frac{I_f}{I_o}$	$\frac{I_o}{I_s}$	诺顿等效	开路反馈网络端口 2	短路反馈网络端口 1	电流，并确定端口 1 的短路电流	$\frac{Z_i}{1+A\beta}$	$Z_o(1+A\beta)$	8.4（b） 8.22 8.23 8.24
串联–串联（互导放大器）	V_i	I_o	V_f	V_s	$\frac{I_o}{V_i}$	$\frac{V_f}{I_o}$	$\frac{I_o}{V_s}$	戴维南等效	开路反馈网络端口 2	开路反馈网络端口 1	电流，并确定端口 1 的开路电压	$Z_i(1+A\beta)$	$Z_o(1+A\beta)$	8.4（c） 8.13 8.15 8.16
并联–并联（互阻放大器）	I_i	V_o	I_f	I_s	$\frac{V_o}{I_i}$	$\frac{I_f}{V_o}$	$\frac{V_o}{I_s}$	诺顿等效	短路反馈网络端口 2	短路反馈网络端口 1	电压，并确定端口 1 的短路电流	$\frac{Z_i}{1+A\beta}$	$\frac{Z_o}{1+A\beta}$	8.4（d） 8.18 8.19 8.20

8.7 环路增益的确定

我们可以看到环路增益 $A\beta$ 在描述反馈环路的过程中是一个十分重要的参数。除此以外，后续几节还将进一步说明 $A\beta$ 在判断反馈放大器是否稳定（与自激相反）方面的作用。而本节将介绍另一种确定环路增益的方法。

8.7.1 另一种确定 $A\beta$ 的方法

首先考虑如图 8.1 所示的基本反馈放大器。将外部激励源 x_s 置 0，通过断开 x_o 与反馈网络的连接打开反馈回路，并施加测试信号 x_t。此时反馈网络的输出信号 $x_f=\beta x_t$，而基本放大器的输入信号 $x_i=-\beta x_t$，因此放大器的输出信号（即环路断开处）$x_o=-A\beta x_t$。可见，返回信号 x_o 与所施加的测试电压 x_t 比值的负数正是环路增益 $A\beta$，即 $A\beta=-x_o/x_t$。显然，该方法的运用不受环路断开位置的限制。

然而，在断开实际放大器电路的反馈网络时，必须确保断开环路前的状态与断开后的相同。为此，可在环路断开处用阻抗代替，该阻抗的阻值等于环路断开前该处视入的阻抗。具体来说，考虑抽象的反馈回路，如图 8.26（a）所示。若在 XX′处断开回路，并在 XX′左边的端口施加测试电压 V_t，则应在 XX′右边显示负载阻抗 Z_t，如图 8.26（b）所示。阻抗 Z_t 的阻值等于先前从 XX′左侧端口视入的等效阻抗。环路增益 $A\beta$ 可由下式确定：

$$A\beta=-\frac{V_r}{V_t} \tag{8.49}$$

最后，注意在某些情况下通过施加测试电流 I_t 并确定返回电流信号 I_r 的方法确定 $A\beta$ 会更为简便，此时，$A\beta=-I_r/I_t$。

另一种确定 $A\beta$ 的等效方法（参见 Rosenstark，1986）是一种较为简便的实用方法，特别是在 SPICE 仿真中运用得十分普遍。具体方法是：同前所述，首先在合适的位置断开回路，这样可得到开路传输函数 T_{oc}［如图 8.26（c）所示］以及短路传输函数 T_{sc}［如图 8.26（d）所示］。合并上述两个传输函数可得到环路增益 $A\beta$：

$$A\beta=-1\bigg/\left(\frac{1}{T_{oc}}+\frac{1}{T_{sc}}\right) \tag{8.50}$$

该方法在难以确定端口阻抗 Z_t 时十分有效。

为了具体说明确定环路增益的过程，考虑如图 8.27（a）所示的反馈环路。该反馈回路同时代表正相运算放大器和反相运算放大器的反馈结构，运用一个简单的运算放大器等效电路模型可以得到如图 8.27（b）所示的电路。经观察发现，在运算放大器的输入端口断开环路较为简便。按此方法断开的回路如图 8.27（c）所示，同时在断开处右侧端口施加测试信号 V_t，在断开处左侧端口增加电阻 R_{id}。通过分析可得返回电压 V_r 为

$$V_r=-\mu V_1\frac{\{R_L//[R_2+R_1//(R_{id}+R)]\}}{\{R_L//[R_2+R_1//(R_{id}+R)]\}+r_o}\frac{[R_1//(R_{id}+R)]}{[R_1//(R_{id}+R)]+R_2}\frac{R_{id}}{R_{id}+R} \tag{8.51}$$

可直接由该式确定环路增益：$L=A\beta=-V_r/V_t=-V_r/V_1$。

由于环路增益 L 通常也是频率的函数，所以也称为环路传输函数，用 $L(s)$ 或 $L(j\omega)$ 表示。

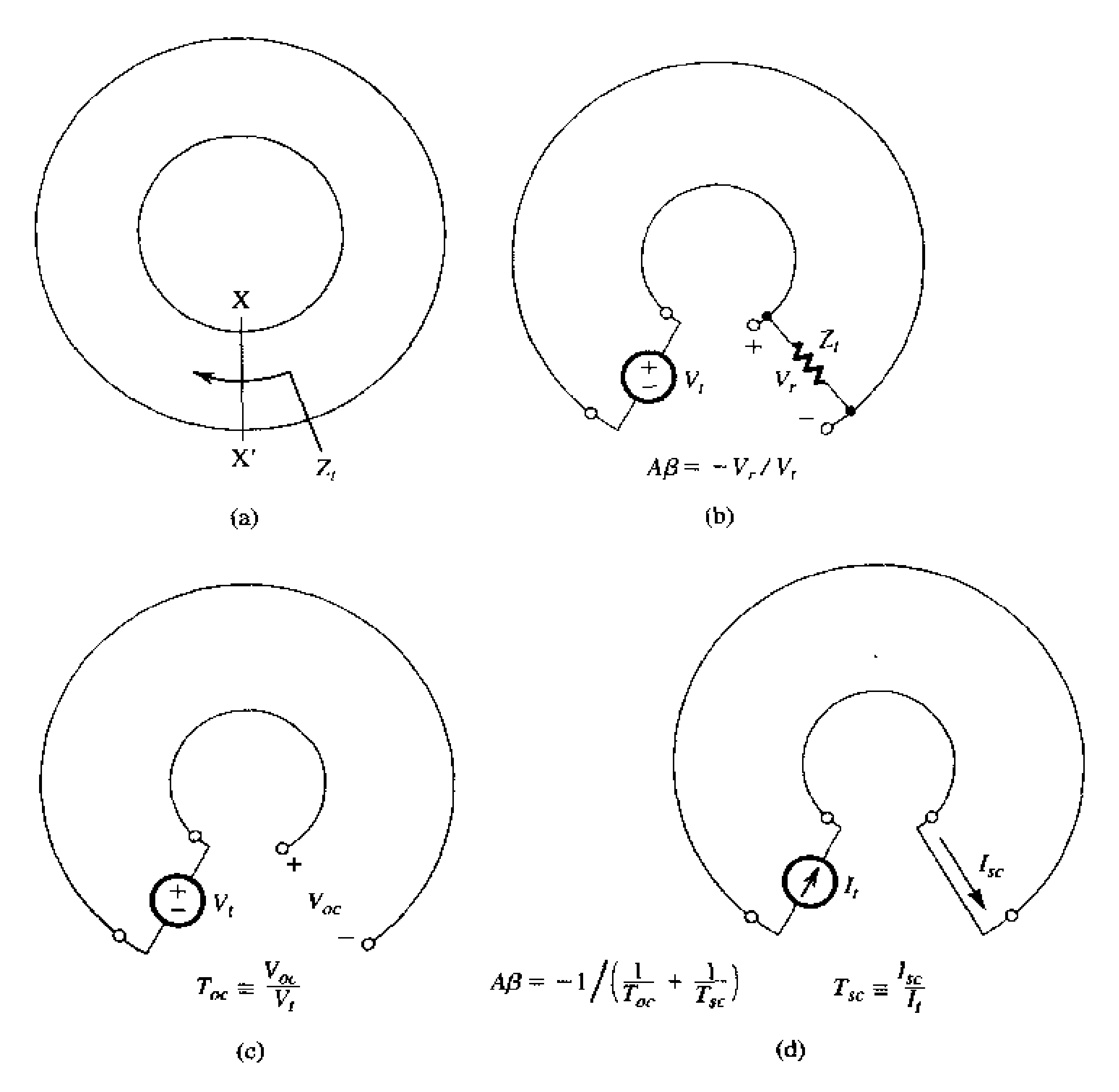


图 8.26 抽象反馈回路在 XX'处断开并施加测试电压 V_t。阻抗 Z_t 的阻值等于未断开前从 XX'左侧端口视入的阻抗。环路增益 $A\beta=-V_r/V_t$，其中 V_r 为返回电压。另一种确定 $A\beta$ 的方法是通过获得开路传输函数 T_{oc}［如图（c）所示］以及短路传输函数 T_{sc}［如图（d）所示］，并按照图示进行合并整理

8.7.2 基于反馈环路的电路等效

由电路理论可知：电路的极点与外部激励源无关。实际上，极点或自然模式（更为合适的名称）是在外部激励置 0 的情况下确定的。由此可见，给定的反馈放大器的极点仅取决于反馈回路。这将在后文论及“特征方程（该方程的根即为极点）完全由环路增益决定”时详细讨论。因此，一个给定的反馈回路可被用来构成若干个具有相同极点和不同传输零点的电路。闭环增益和传输零点取决于输入信号引入回路的位置和形式。

以图 8.27（a）所示的反馈回路为例。通过将输入电压信号加载到电阻 R 的接地端，该回路可被用来构成同相运算放大器，即，将电阻 R 的接地端与信号源 V_s 相连。同样的反馈回路也可以构成反相运算放大器电路，其方法是将输入电压信号加载到电阻 R_1 的接地端。

认识到两个或多个电路基于相同反馈回路的事实是很有帮助的，因为整体电路的稳定性是由环路决定的（相关内容将在 8.8 节详细讲解），所以只有当给定环路时才能进行电路的稳定性分析。

我们将在第 12 章介绍有关有源滤波器的电路综合时用到环路等效的概念。

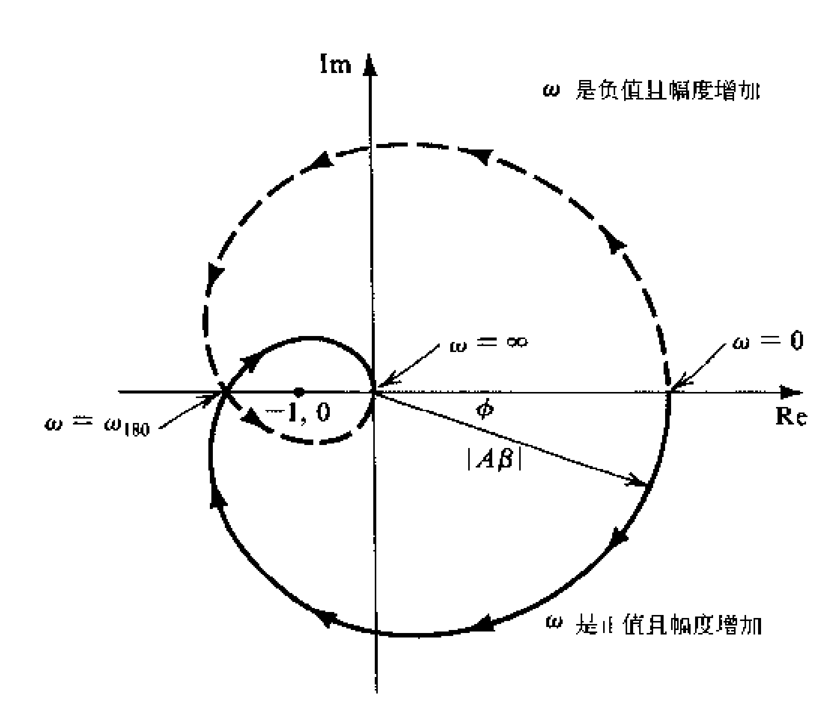


图 8.28 不稳定放大器的奈奎斯特图

奈奎斯特图和负实轴的交点频率是ω_{180}，因此若交点位于（−1，0）点的左侧，可知环路增益在该频率点上的幅度将大于 1，因而放大器不稳定。另一方面，若交点位于（−1，0）点的右侧，则放大器稳定。也就是若点（−1，0）包含在奈奎斯特图内部，则放大器不稳定。然而应该注意，该叙述为奈奎斯特判据的简化形式。尽管如此，它仍适用于本书中所涉及的电路。有关奈奎斯特方法的完整理论和具体应用，可参考 Haykin（1970）。

练习 8.10 考虑一反馈放大器，其开环传输函数 $A(s)$为

$$A(s)=\left(\frac{10}{1+s/10^4}\right)^3$$

假设反馈系数β是与频率无关的常数，确定相移 180°时的频率ω_{180}。然后证明存在关键参数β_{cr}，若$\beta<\beta_{cr}$，放大器稳定；若$\beta\geqslant\beta_{cr}$，放大器不稳定。确定β_{cr}的数值。

答案：$\omega_{180}=\sqrt{3}\times10^4$ rad/s；$\beta_{cr}=0.008$

8.9 反馈对放大器极点的影响

放大器的频率响应和稳定性均直接由其极点决定，因此我们将具体分析反馈对放大器极点的影响。[1]

8.9.1 极点的位置与稳定性

首先，我们将讨论极点的位置与稳定性之间的关系。对于一个放大器或者其他任何系统来说，若使其稳定，则极点应位于左半侧的 s 平面。位于 $j\omega$ 轴上的一对共轭复数极点将会形成持续的正弦振荡。而右半侧的 s 平面的极点将会形成幅度不断增大的振荡。

为验证上述结论，考虑具有一对极点 $s=\sigma_0\pm j\omega_n$ 的某放大器。若该放大器受到一定干扰，例

① 极点、零点及其相关概念的简要回顾见附录 E

如关闭电源开关时形成的干扰，其瞬态响应将包含如下形式的分量：

$$v(t) = e^{\sigma_0 t}[e^{+j\omega_n t} + e^{-j\omega_n t}] = 2e^{\sigma_0 t}\cos(\omega_n t) \tag{8.55}$$

该信号是包络为 $e^{\sigma_0 t}$ 的正弦信号。若放大器的极点位于左半侧的 s 平面，则 σ_0 为负值，其振荡的幅度将以指数形式衰减至零，如图 8.29（a）所示，从而可得该系统稳定。另一方面，若其极点位于右半侧的 s 平面，则 σ_0 为正值，其振荡的幅度将以指数形式不断增大（直到某些非线性因素限制其幅度的增长），如图 8.29（b）所示。最后，如果放大器的极点位于 $j\omega$ 轴上，则 σ_0 为零，振荡将保持恒定幅度，如图 8.29（c）所示。

尽管上述讨论基于共轭复数极点的前提假设，但我们可以证明任何右半侧的 s 平面极点的存在必将导致系统不稳定。

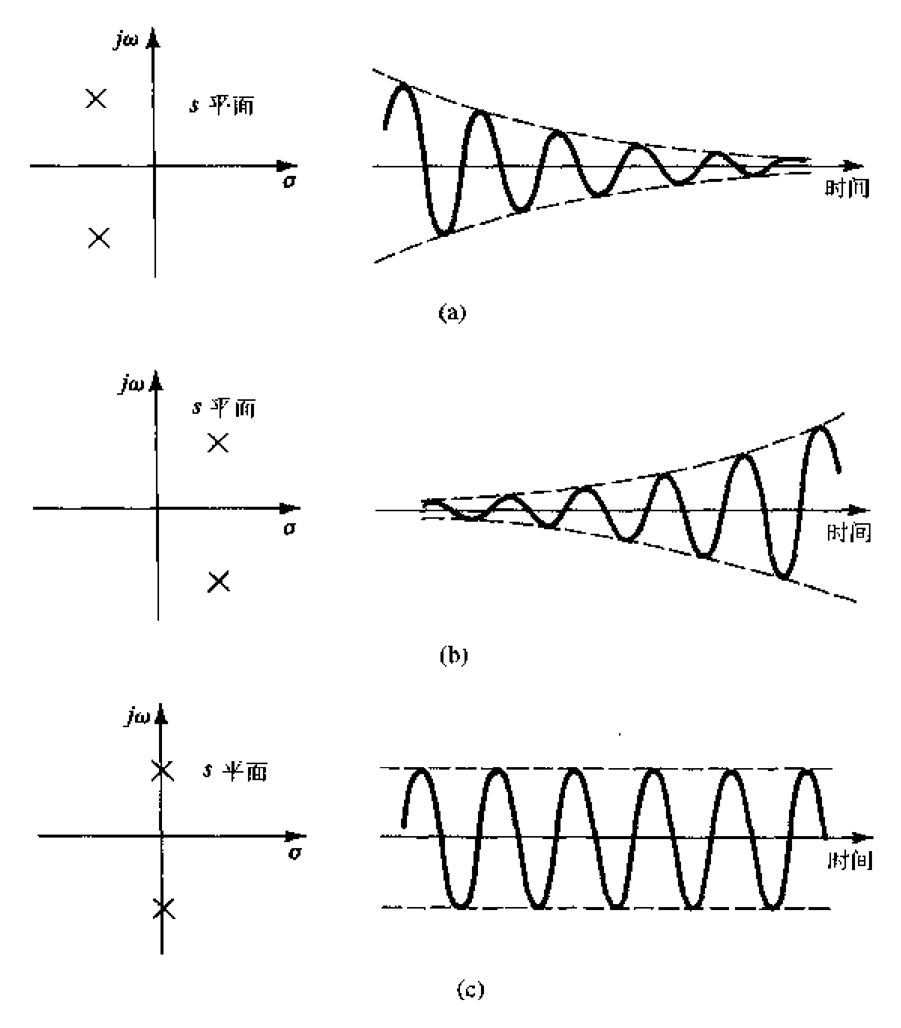


图 8.29　极点位置与瞬态响应的关系

8.9.2　反馈放大器的极点

由式（8.52）所示的闭环传输函数可得，反馈放大器的极点就是 $1+A(s)\beta(s)$ 的零点，因此反馈放大器的极点可以通过求解以下方程得到：

$$1 + A(s)\beta(s) = 0 \tag{8.56}$$

该方程又称为反馈回路的特征方程。由此可见，对于放大器施加反馈将改变其极点的位置。

接下来我们将讨论反馈如何影响放大器的极点。为此，我们需要假设开环放大器具有实数极点且没有有限零点（例如，所有零点均位于 $s = \infty$）。该假设将简化分析并使我们能够更多地关注

于所涉及的基本概念. 另外我们还需假设反馈系数β与频率无关.

8.9.3 单极点放大器的响应

首先考虑开环传输函数为单极点情况的放大器：

$$A(s)=\frac{A_0}{1+s/\omega_P} \tag{8.57}$$

其闭环传输函数为

$$A_f(s)=\frac{A_0/(1+A_0\beta)}{1+s/\omega_P(1+A_0\beta)} \tag{8.58}$$

由此可得，反馈网络将极点沿负实轴移动至频率ω_{Pf}：

$$\omega_{Pf}=\omega_P(1+A_0\beta) \tag{8.59}$$

该过程如图 8.30（a）所示。图 8.30（b）所示为$|A|$与$|A_f|$的波特图。注意，在低频区两折线图相距$20\log(1+A_0\beta)$，而在高频区两折线图重合。为证明事实确实如此，分析式(8.58)，对于$\omega\gg\omega_P(1+A_0\beta)$的频域，该式可近似为

$$A_f(s)\simeq\frac{A_0\omega_P}{s}=A(s) \tag{8.60}$$

从物理的角度看，在如此高的频率区域，环路增益远小于 1，所以反馈作用基本无效。

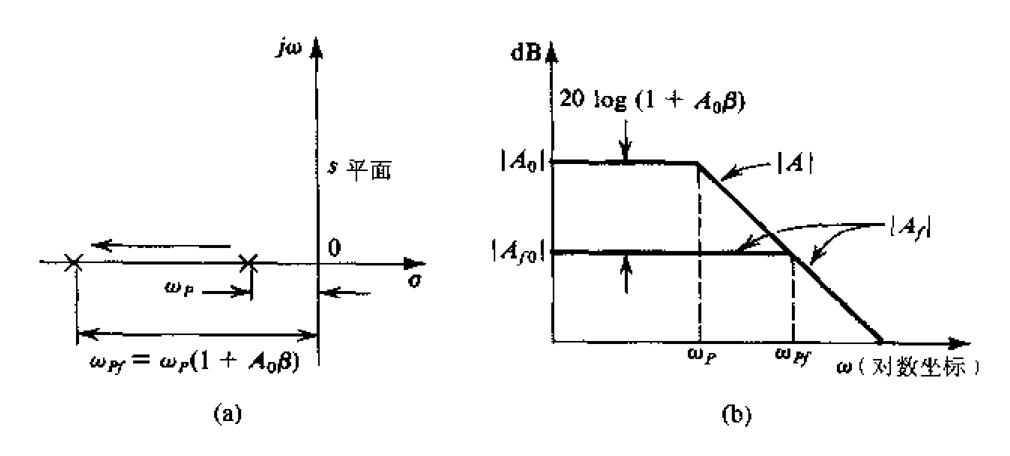


图 8.30 （a）反馈对于极点位置的影响；（b）对于具有单极点开环响应的放大器，反馈对其频率响应的影响

图 8.30（b）清楚地表明，对于放大器施加负反馈将扩展其频带宽度，而此扩展是以减小增益为代价的. 由于该闭环放大器的极点不可能进入右半侧的 s 平面，因而单极点放大器对于任何β的取值均保持稳定，因此称该放大器无条件稳定。其实该结论并不出乎所料. 因为单极点响应的相位滞后不可能超过 90°，所以环路增益也不可能达到使反馈为正所需的 180°相移。

练习 8.11 考虑某运算放大器，其低频增益为 10^5，单极点角频率为 100 Hz，现施加一反馈回路，反馈系数$\beta=0.01$。确定反馈影响下的极点位移因子，位移后的极点频率是多少？若改变β值使得闭环增益为+1，位移后的极点频率又是多少？

答案：1001；100.1 kHz；10 MHz

8.9.4 双极点放大器的响应

接下来考虑某放大器的开环传输函数为双实数极点的情况：

$$A(s)=\frac{A_0}{(1+s/\omega_{P1})(1+s/\omega_{P2})} \tag{8.61}$$

此时，闭环传输函数的极点可由 $1+A(s)\beta=0$ 确定，从而得到

$$s^2+s(\omega_{P1}+\omega_{P2})+(1+A_0\beta)\omega_{P1}\omega_{P2}=0 \tag{8.62}$$

故其闭环传输函数的极点可表示为

$$s=-\frac{1}{2}(\omega_{P1}+\omega_{P2})\pm\frac{1}{2}\sqrt{(\omega_{P1}+\omega_{P2})^2-4(1+A_0\beta)\omega_{P1}\omega_{P2}} \tag{8.63}$$

由式（8.63）可得，随着环路增益 $A_0\beta$由零不断增大，其极点逐步相互靠近。当环路增益达到一定数值时，两极点重合。如果在此情况下环路增益继续增大，其极点将成为一对共轭复数对并且沿一条垂直线移动。图 8.31 所示为系统极点随环路增益增大形成的轨迹图。该图称为根轨迹图，其中，“根”表示系统极点为特征方程的根

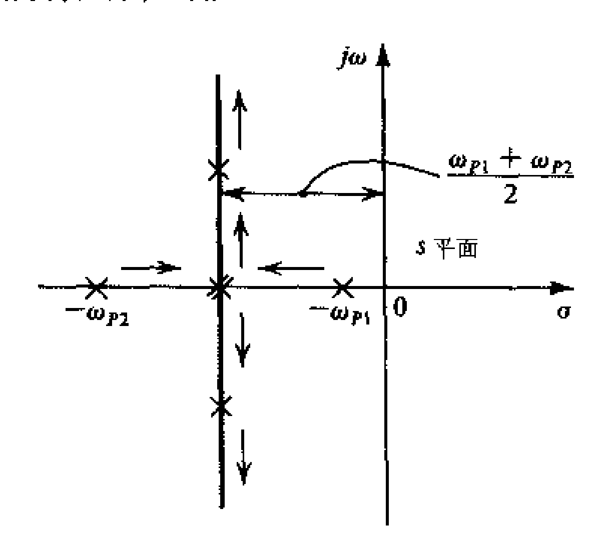


图 8.31 具有双实数开环极点响应的反馈放大器的根轨迹图

由图 8.31 所示的根轨迹图可知，该反馈放大器也是无条件稳定的。同样，该结论并不出乎意料。本例中 $A(s)$的最大相移为 180°（每极点 90°），但仅在$\omega=\infty$时可得到此值，因此不存在能使相移达到 180°的有限频率。

进一步观察图 8.31 所示的根轨迹图可得，即使开环放大器存在一个主极点，但其对应的闭环放大器中不一定存在。当然，一旦极点由式（8.63）所确定，闭环放大器的响应就可以用图形表示出来。对于一般的二阶系统响应，闭环幅频响应会呈现一个峰值（参见第 12 章）。具体来说，二阶网络特征方程的标准形式可表示为

$$s^2+s\frac{\omega_0}{Q}+\omega_0^2=0 \tag{8.64}$$

其中，ω_0称为极点频率，Q 称为极点 Q 因子。若 Q 大于 0.5，其极点为复数。对于一对共轭复数极点对，其ω_0和 Q 的图形化表示如图 8.32 所示。由图可得，ω_0 为极点距原点的半径距离，而 Q 表示极点距 $j\omega$ 轴的距离，位于 $j\omega$ 轴上的极点的 $Q=\infty$。

比较式（8.62）和式（8.64）可得，反馈放大器的 Q 因子为

$$Q=\frac{\sqrt{(1+A_0\beta)\omega_{P1}\omega_{P2}}}{\omega_{P1}+\omega_{P2}} \tag{8.65}$$

由第 12 章介绍的关于二阶网络响应的知识可知，对于本书讨论的反馈放大器，当 $Q \leqslant 0.707$ 时，其响应函数的曲线不存在峰值。对于边界情况，$Q = 0.707$（位于 45°角的极点），其响应函数的图形表现为具有最大平坦响应。图 8.33 所示为一些在不同 Q 值（及与之对应的不同的 $A_0\beta$ 数值）情况下的可能响应。

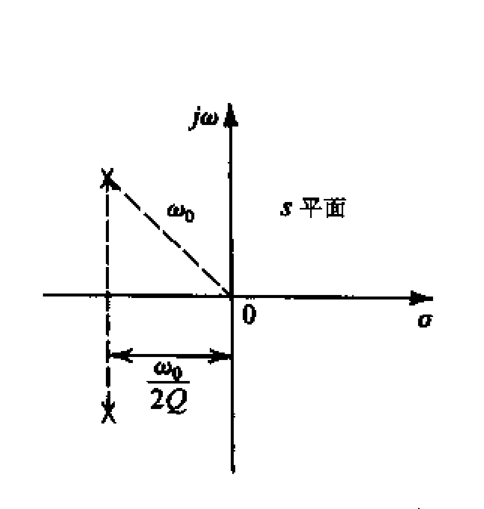


图 8.32 共轭复数极点对的参数ω_0与 Q 的定义

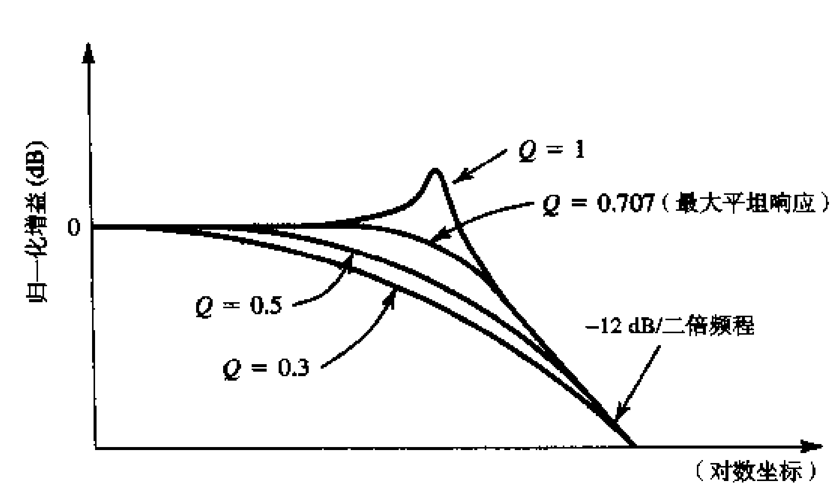


图 8.33 在不同 Q 值情况下，双极点反馈放大器的归一化增益函数。其中 Q 值由环路增益根据式（8.65）确定

练习 8.12 考虑某放大器，其低频增益为 100，双极点分别为 10^4 rad/s 和 10^6 rad/s，接入反馈系数为β的负反馈回路。β取何值时闭环放大器的两个极点重合？相应的二阶系统的Q值为多少？β取何值时可得到最大平坦响应？在最大平坦响应情况下的闭环低频增益为多少？

答案：0.245；0.5；0.5；1.96 V/V

例题 8.5 为进一步说明上述结论，我们考虑如图 8.34（a）所示的正反馈电路。确定其环路传输函数 $L(s)$和特征方程。改变 K 值，画出根轨迹图，并确定得到最大平坦响应时的 K 值以及导致电路振荡的 K 值。假设该放大器输入阻抗为无穷大，输出阻抗为零。

解：为确定环路传输函数，我们将信号源短路并在放大器的输入端断开环路。随后，施加测试电压 V_t 并确定其返回电压 V_r，如图 8.34（b）所示。环路增益函数 $L(s) \equiv A(s)\beta(s)$可由下式求得：

$$L(s) = -\frac{V_r}{V_t} = -KT(s) \tag{8.66}$$

其中，$T(s)$为图 8.34（b）虚线框内的二端口 RC 网络的传输函数：

$$T(s) \equiv \frac{V_r}{V_1} = \frac{s(1/CR)}{s^2 + s(3/CR) + (1/CR)^2} \tag{8.67}$$

故

$$L(s) = \frac{-s(K/CR)}{s^2 + s(3/CR) + (1/CR)^2} \tag{8.68}$$

特征方程为

$$1 + L(s) = 0 \tag{8.69}$$

即

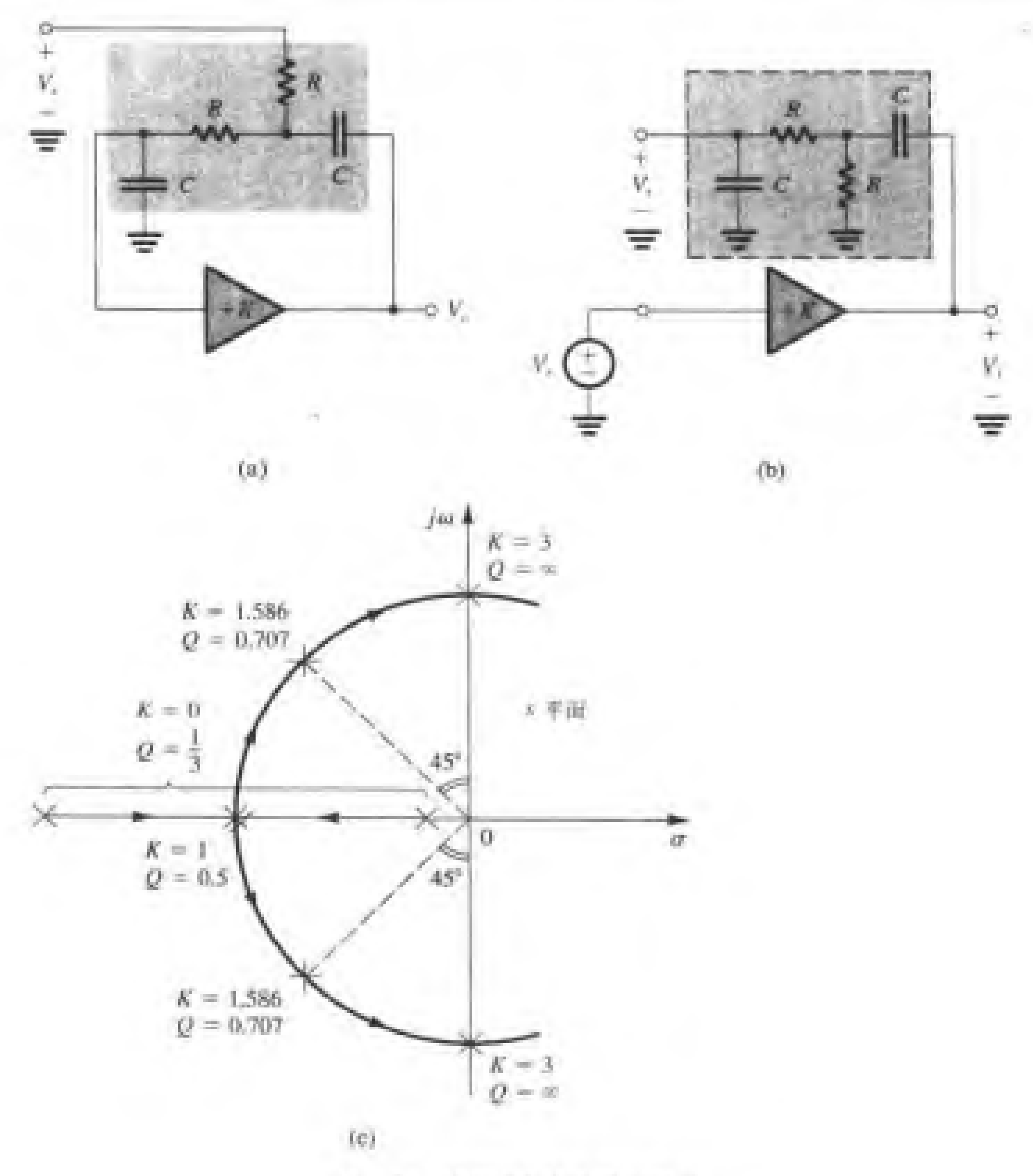


图 8.34　例题 8.5 的电路与图示

$$s^2+s\frac{3}{CR}+\left(\frac{1}{CR}\right)^2-s\frac{K}{CR}=0$$
$$s^2+s\frac{3-K}{CR}+\left(\frac{1}{CR}\right)^2=0 \tag{8.70}$$

将上式与二阶特征方程的标准形式［即式（8.64）］进行比较，可得极点频率ω_0为

$$\omega_0=\frac{1}{CR} \tag{8.71}$$

Q 因子为

$$Q=\frac{1}{3-K} \tag{8.72}$$

由此可得，当 $K=0$ 时，$Q=\frac{1}{3}$，因而极点位于负实轴上。随着 K 的增大，两极点逐步相互靠近

并最终重合（$Q=0.5$，$K=1$）。若 K 继续增大，两极点将成为共轭复数对。而该根轨迹图为圆形的根本原因在于其半径距离 ω_0 保持恒定［见式（8.71）］，与 K 的取值无关。

最大平坦响应在 $Q=0.707$ 时得到，对应的 $K=1.586$。此时，极点位于 45°角，如图 8.34（c）所示。当 K 的取值达到 $K=3$ 从而使得 $Q=\infty$ 对，极点将穿过 $j\omega$ 轴进入右半侧的 s 平面，因此对于 $K\geq3$ 的情况，电路不稳定。这似乎与我们先前得到的结论（即二阶反馈放大器无条件稳定）相互矛盾。但应注意，本例题所示电路与我们正在讨论的负反馈放大器具有明显的差异。在本例中，放大器具有正值增益 K，而反馈网络的传输函数 $T(s)$ 与频率相关。事实上，该反馈为正反馈，且在 $T(j\omega)$ 相移为零时产生振荡。 ■

例题 8.5 说明了运用反馈（此例为正反馈）可将 RC 网络的极点从它们负实轴的位置移动到共轭复数对的位置。我们也可以运用负反馈完成相同的工作，如图 8.31 所示的根轨迹图所示。控制极点的过程是设计有源滤波器的关键，有关内容将在第 12 章中详细讨论

8.9.5 三极点或多极点放大器

图 8.35 所示为给定反馈放大器的根轨迹图，该放大器的开环响应为三极点的情况。由图可知，随着环路增益由零开始不断增大，最高频率的极点向外移动，同时另外两个极点相互靠近。若 $A_0\beta$ 继续增大，两极点将重合并成为共轭复数对。当 $A_0\beta$ 达到一定数值时，该共轭复数极点对将进入右半 s 侧的平面，从而导致放大器不稳定

该结果并非完全出乎意料。由于三极点放大器在 ω 趋近 ∞ 时可达到 −270° 的相移，因此存在使得环路增益达到 180° 的相移的有限频率 ω_{180}。

由图 8.35 所示的根轨迹图可得，我们可以通过保持环路增益 $A_0\beta$ 始终小于极点进入右半侧的 s 平面时对应的 $A_0\beta$ 数值，从而确保放大器稳定。从奈奎斯特图的角度来说，$A_0\beta$ 的关键数值为图形经过（−1，0）点时的数值。当减小 $A_0\beta$ 且使其小于该数值时，奈奎斯特图将缩小并与负实轴相交于（−1，0）点的右侧，此时放大器具有稳定的放大性能。相反，若增大 $A_0\beta$ 并使其大于该关键数值，将使得奈奎斯特图扩展，从而包含（−1，0）点，故此时放大器具有不稳定的放大性能

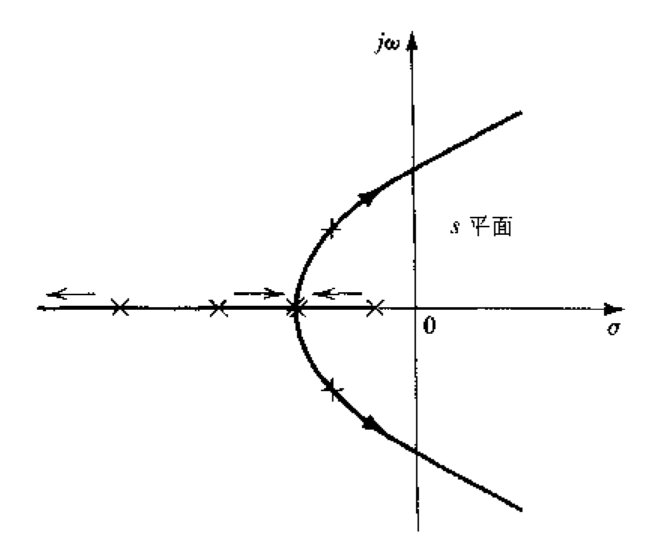


图 8.35 三极点放大器的根轨迹图。图中箭头表明极点随 $A_0\beta$ 增大的移动方向

对于给定的开环增益 A_0，上述结论可以针对反馈系数 β 重新表述。即，存在一个 β 的最大值，大于此值后反馈放大器变为不稳定。换言之，存在一个闭环增益 A_{f0} 的最小值，小于此值后反馈放大器变为不稳定。若要求得到更低的闭环增益，就必须改变环路增益传输函数 $L(s)$。该过程称

为频率补偿。我们将在 8.11 节中介绍相关的理论与技术。

在结束本节之前需要说明的是：对于既具有三极点或多极点又具有有限值零点的放大器，其根轨迹图的构建是一个十分复杂的过程，但是存在一套系统化的绘制流程。这里对该流程不做详细介绍，有兴趣的读者可以参考 Haykin（1970）。尽管根轨迹图使设计者可以深入理解放大器的内在性能，然而，基于波特图的简便技术得到了更为有效的应用，我们将在 8.10 节中进行详细说明。

练习 8.13 考虑某反馈放大器，其开环传输函数 $A(s)$ 为

$$A(s)=\left(\frac{10}{1+s/10^4}\right)^3$$

假设反馈系数β与频率无关。试用β表示闭环增益函数的极点，并证明其根轨迹图如图 E8.13 所示。同时确定当放大器变为不稳定时的β 值。（注意：该放大器与练习 8.10 所讨论的放大器相同。）

答案：参见图 E8.13；$\beta_{\text{critical}}=0.008$

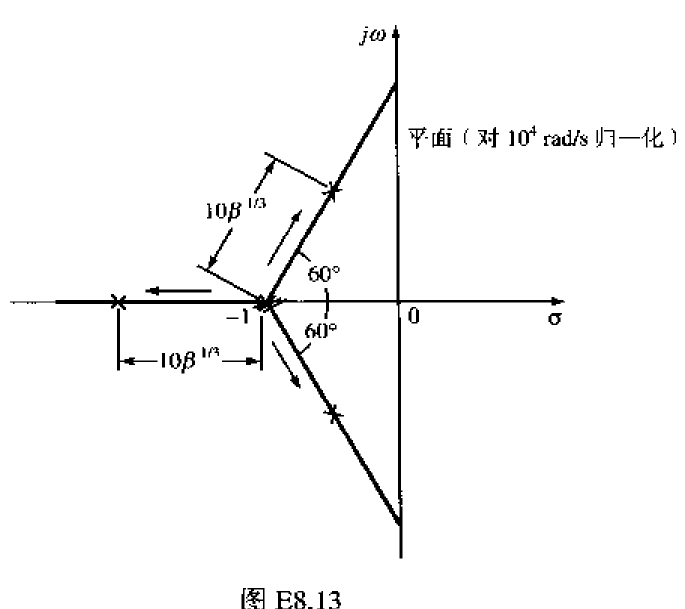


图 E8.13

8.10 基于波特图的稳定性分析

8.10.1 增益裕量与相位裕量

在 8.8 节与 8.9 节中介绍了通过分析作为频率函数的环路增益 $A\beta$ 可判断该放大器是否稳定。而其中最为简单有效的分析方法就是借助于 $A\beta$ 的波特图，类似图 8.36 所示（注意，由于相角接近−360°，因此图示网络为四阶网络）。若某反馈放大器的环路增益如图 8.36 所示，则该放大器稳定。其原因在于，在相移达到 180°的频率ω_{180}上，环路增益的幅度小于 1（负分贝数）。$|A\beta|$在频率ω_{180}处的数值与 1 的差值称为增益裕量，通常以分贝（dB）表示。增益裕量表示在保持放大器稳定的情况下环路增益允许增大的最大数值。通常，反馈放大器的设计都要求具有足够的增益裕量以适应环路增益因温度、时间等因素发生的不可避免的改变。

另一种确定放大器稳定性并表述其稳定程度的方法是分析对应$|A\beta|=1$的频率点处的波特图，即幅频特性波特图与 0 dB 水平线的交点。若在此频率上，相角在数值上小于 180°，则放大器稳定，如图 8.36 所示。因此该频率上的相移与 180°的差值称为相位裕量。相反，若在环路增益等于 1 的频率点上相位滞后大于 180°，则说明放大器不稳定。

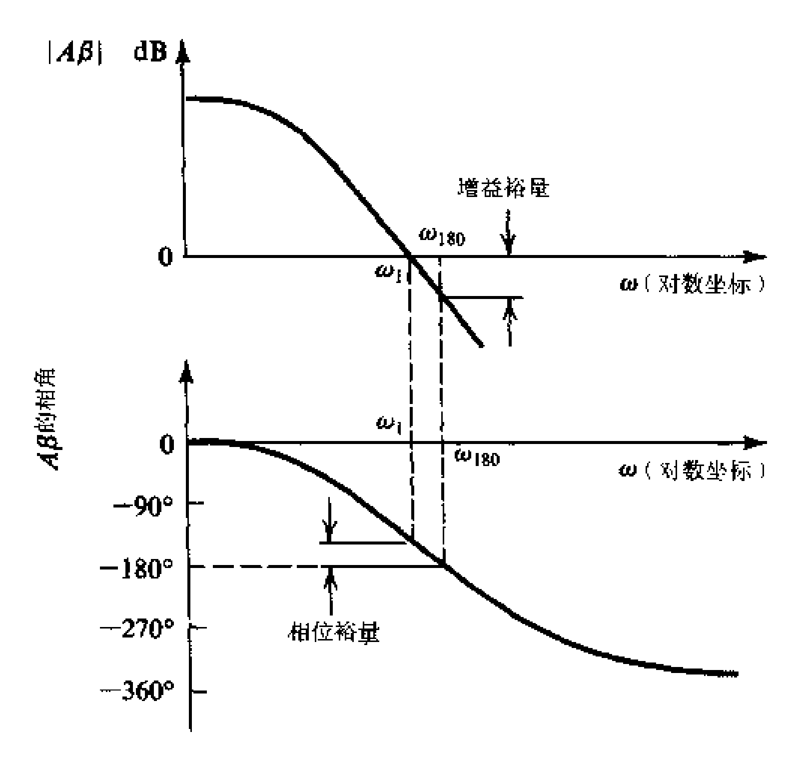


图 8.36 在环路增益 $A\beta$ 的波特图上定义增益裕量和相位裕量

练习 8.14 考虑某运算放大器具有单极点的开环响应，$A_0 = 10^5$，$f_P = 10$ Hz。假设该运算放大器的其他性能均是理想的（具有无穷大的输入电阻，零输出电阻，等等）。若该放大器构成一同相放大器结构，其闭环低频增益为 100。确定$|A\beta| = 1$ 处的频率，并计算相位裕量。

答案：10^4 Hz；90°

8.10.2 相位裕量对闭环响应的影响

一般情况下，反馈放大器的设计要求至少有45°的相位裕量。相位裕量的大小在很大程度上将影响到闭环增益频率响应的图形。为具体说明这种影响，考虑一个具有较大低频环路增益的反馈放大器，其 $A_0\beta \gg 1$，因而低频区的闭环增益近似为 $1/\beta$。将环路增益幅度为 1 时的频率记为ω_1，从而得到（参考图 8.36）

$$A(j\omega_1)\beta = 1 \times e^{-j\theta} \tag{8.73a}$$

其中，

$$\theta = 180^\circ - 相位裕量 \tag{8.73b}$$

在频率ω_1 上，反馈放大器的闭环增益为

$$A_f(j\omega_1) = \frac{A(j\omega_1)}{1 + A(j\omega_1)\beta} \tag{8.74}$$

将式（8.73a）代入上式，可得

$$A_f(j\omega_1) = \frac{(1/\beta)e^{-j\theta}}{1 + e^{-j\theta}} \tag{8.75}$$

因此频率ω_1 上的增益幅度为

$$|A_f(j\omega_1)|=\frac{1/\beta}{|1+e^{-j\theta}|} \tag{8.76}$$

若相位裕量为 45°，则θ=135°，从而得到

$$|A_f(j\omega_1)|=1.3\frac{1}{\beta} \tag{8.77}$$

这就意味着增益峰值为低频区增益值 $1/\beta$的 1.3 倍。该峰值随相位裕量的减小而增大，最终在相位裕量为零时达到∞。当然，零相位裕量表明该放大器可以保持振荡［极点位于 $j\omega$ 轴上；奈奎斯特图通过点(−1，0)］。

练习 8.15　在相位裕量分别为 30°，60°和 90°时，确定在频率ω_1上的闭环增益与低频区增益的相对数值。

答案：1.93；1；0.707

8.10.3　另一种稳定性分析方法

通过建立环路增益 $A\beta$ 的波特图分析放大器的稳定性是一项单调乏味的耗时的工作，特别是当我们需要研究给定放大器在许多不同反馈网络中的稳定性时另一种更为简单的方法是仅建立开环增益 $A(j\omega)$的波特图。假设此时β 值与频率无关，我们可以在绘制 $20\log|A|$的相同平面上画一条高度为 $20\log(1/\beta)$的水平线。两曲线之间的差值为

$$20\log|A(j\omega)|-20\log\frac{1}{\beta}=20\log|A\beta| \tag{8.78}$$

即环路增益（用 dB 表示）。因而我们可以通过分析两曲线之间的差值分析其稳定性。若希望评估不同反馈系数下的稳定性，我们只需要画出高度为 $20\log(1/\beta)$的另一条水平线。

为具体说明，考虑某放大器，其开环传输函数为三极点的情况。为简化起见，假设三个极点之间的间距较大——假设为 0.1 MHz，1 MHz 和 10 MHz，如图 8.37 所示。注意，由于极点之间的间距较大，因此第一个极点频率上的相移为−45°，第二个极点频率上的相移为−135°，第三个极点频率上的相移为−225°。相移 $A(j\omega)$达到−180°的频率位于−40 dB/十倍频程的折线段上，如图 8.37 所示。

该放大器的开环增益可表示为

$$A=\frac{10^5}{(1+jf/10^5)(1+jf/10^6)(1+jf/10^7)} \tag{8.79}$$

因此对于任何频率f（用 Hz 表示），很容易确定其幅频特性$|A|$，而其相频特性可表示为

$$\phi=-[\tan^{-1}(f/10^5)+\tan^{-1}(f/10^6)+\tan^{-1}(f/10^7)] \tag{8.80}$$

图 8.37 所示的幅频和相频曲线均按波特图的构建方法作图得到（参见附录 E），这些图提供了放大器重要参数的近似值，而其精确值可由式（8.79）和式（8.80）确定。举例来说，由图 8.37 可得相角为 180°的频率f_{180}近似为 3.2×10^6 Hz。以该近似值作为起始值，可以由式（8.80）反复迭代得到更为精确的数值。其结果为$f_{180}=3.34\times10^6$ Hz。在该频率上，由式（8.79）得出的增益幅度为 58.2 dB，与图 8.37 给出的近似值 60 dB 相当接近。

接下来考虑图 8.37 中标识为（a）的水平线。该直线表示反馈系数满足 $20\log(1/\beta)=85$ dB（即对应$\beta=5.623\times10^{-5}$），相应的环路增益为 83.6 dB。因为环路增益为$|A|$曲线与 $1/\beta$直线间的差值，因

此交点X_1对应的频率即为$|A\beta|=1$的频率。运用图8.37所示的曲线图，可得该频率近似为5.6×10^5 Hz。更为精确的频率值可由传输函数求得，其值为4.936×10^5 Hz。在该频率上，相移近似为–108°，因此闭环放大器在$20\log(1/\beta)=85$ dB的情况下将保持稳定，其相位裕量为72°，而其增益裕量可以很容易地由图8.37求得，其值为25 dB。

然后，假设我们希望使用该放大器得到理论值为50 dB的闭环增益。由于$A_0=100$ dB，故$A_0\beta\gg1$且$20\log(A_0\beta)=50$ dB，从而得到$20\log(1/\beta)=50$ dB。为确定闭环放大器是否稳定，我们在图8.37中画出了高度为50 dB的水平线（b）。该直线与开环增益曲线交于X_2点，其对应的相移已经大于180°，因此增益为50 dB的闭环放大器不稳定。

事实上，由图8.37很容易得出，在保持放大器稳定的前提下允许使用的$20\log(1/\beta)$的最小值为60 dB。换言之，该放大器稳定闭环增益的最小值近似为60 dB。然而，达到该增益值时，由于没有多余的增益裕量，考虑到增益有可能改变，因此放大器仍有可能振荡。

由于180°相移点总是出现在$|A|$的波特图的–40 dB/十倍频程的线段上，因此通常所用的确保稳定性的方法是：当$20\log(1/\beta)$的直线与$20\log|A|$的曲线相交于–20 dB/十倍频程的线段上时，闭环放大器稳定。采用该方法可以确保至少得到45°的相位裕量。如图8.37所示，利用该方法可得β的最大值为10^{-4}，对应的闭环增益近似为80 dB。

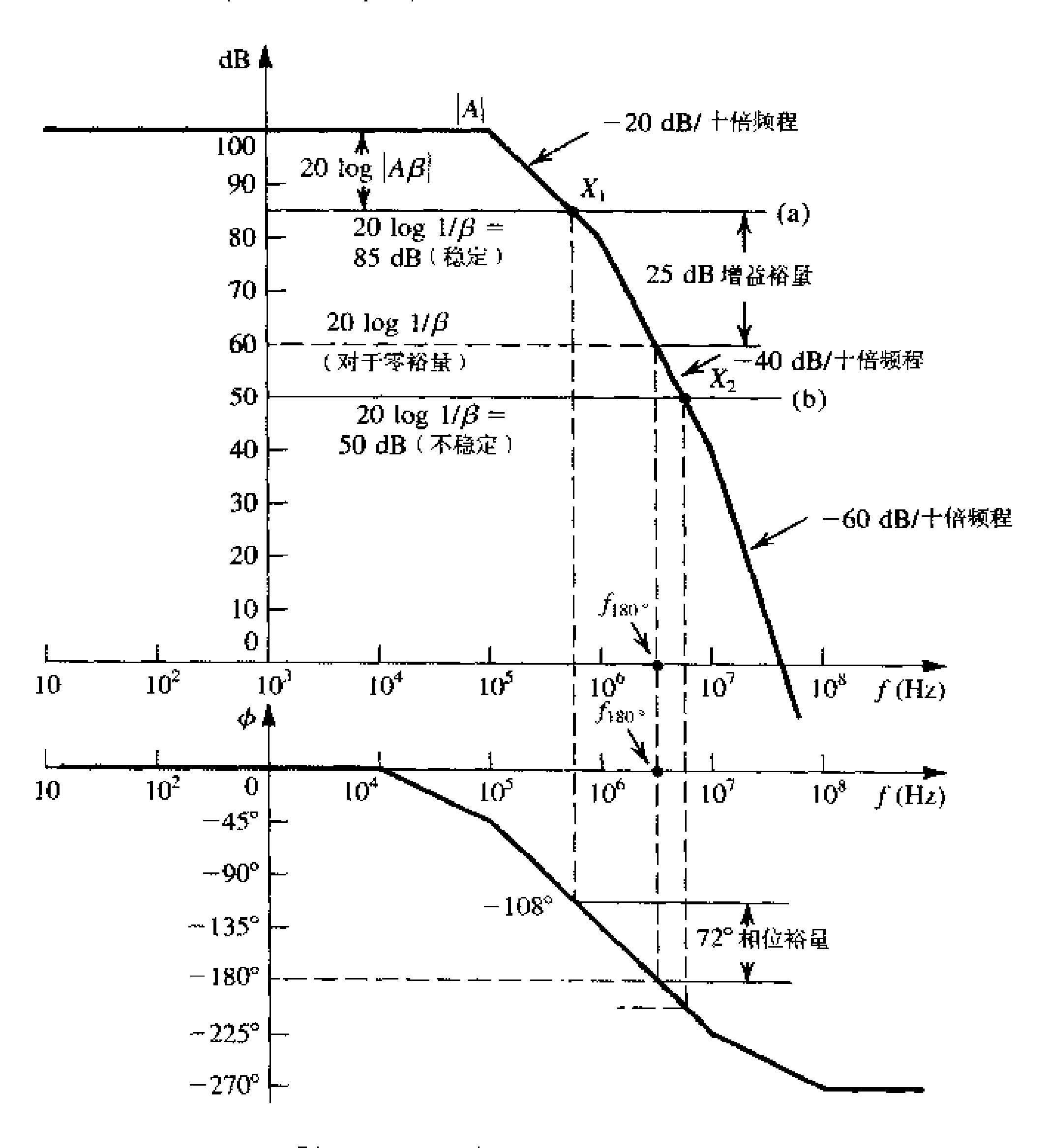


图8.37 基于波特图$|A|$的稳定性分析

上述的经验方法可以推广到β为频率的函数的情况。该方法的一般形式可表述为：在 $20\log|1/\beta(j\omega)|$和 $20\log|A(j\omega)|$的交点处，两曲线斜率的差值（又称为闭合率）不应超过 20 dB/十倍频程。

练习 8.16　考虑开环增益与图 8.37 所示完全相同的运算放大器。假设运算放大器的其他性能均是理想的。若该运算放大器被设计成微分器，运用上述经验方法证明：为确保稳定的性能，微分器的时间常数应大于 159 ms。（提示：我们曾讲过对于一个微分器而言，$|1/\beta(j\omega)|$的波特图的斜率为 +20 dB/十倍频程，并与 0 dB 直线交于 $1/\tau$处，其中τ为微分器的时间常数。）

8.11　频率补偿

本节将讨论改变三极点或多极点放大器的开环传输函数 $A(s)$的方法，从而使其闭环放大器对于任何要求的闭环增益都能够稳定工作。

8.11.1　原理

最简单的频率补偿方法是在传输函数$A(s)$中引入频率足够低的极点f_D，使得修改后的开环增益曲线$A'(s)$与曲线 $20\log(1/\beta)$在相交处的斜率差值为 20 dB/十倍频程。举例来说，假设对于如图 8.38 所示的开环增益为 $A(s)$的放大器进行频率补偿，要求其闭环放大器在β最高达到 10^{-2}时（即闭环增益最低约达到 40 dB）仍保持稳定。首先，我们给出高度为 40 dB 的水平线代表 $20\log(1/\beta)$，如图 8.38 所示。其次，在该水平线上确定与第一极点频率相对应的点 Y。经 Y点画一条斜率为−20 dB/十倍频程的直线，并确定该直线与直流增益的交点为 Y'。该交点所对应的频率即为开环传输函数应引入的新极点频率f_D。

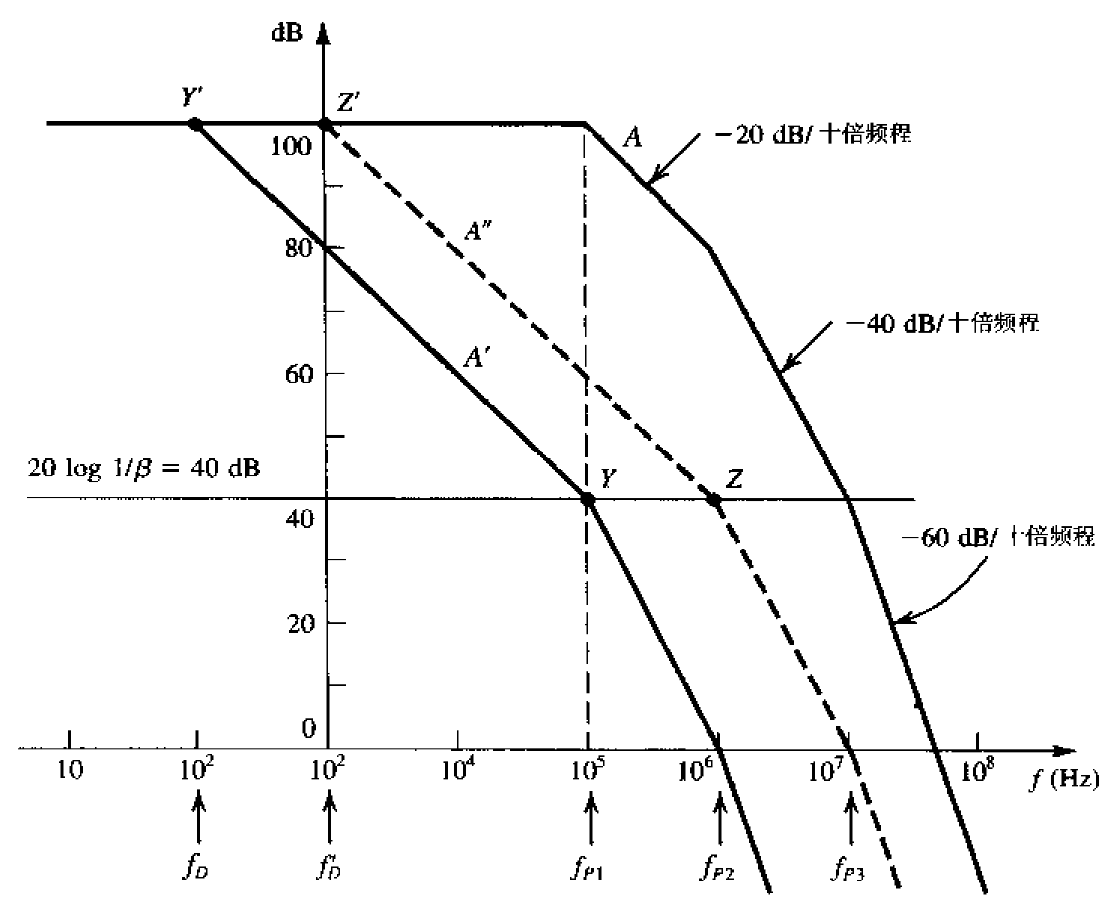


图 8.38　针对$\beta=10^{-2}$的频率补偿。标示为A'的响应是通过引入附加极点f_D得到的，标示为A''的响应是通过将原低频极点移至f'_D得到的

补偿后的开环响应 $A'(s)$如图 8.38 所示，它包含 4 个极点：f_D，f_{P1}，f_{P2}和f_{P3}，因此$|A'|$将从频率 f_D开始以–20 dB/十倍频程的斜率下降。在频率f_{P1}处斜率变为–40 dB/十倍频程，而在f_{P2}处又变为–60 dB/十倍频程，依次类推。由于水平线 20 log(1/β)与曲线 20 log$|A'|$的交点 Y 位于–20 dB/十倍频程的线段上，因此在β 达到 10^{-2}（或更小数值）时的闭环放大器保持稳定。

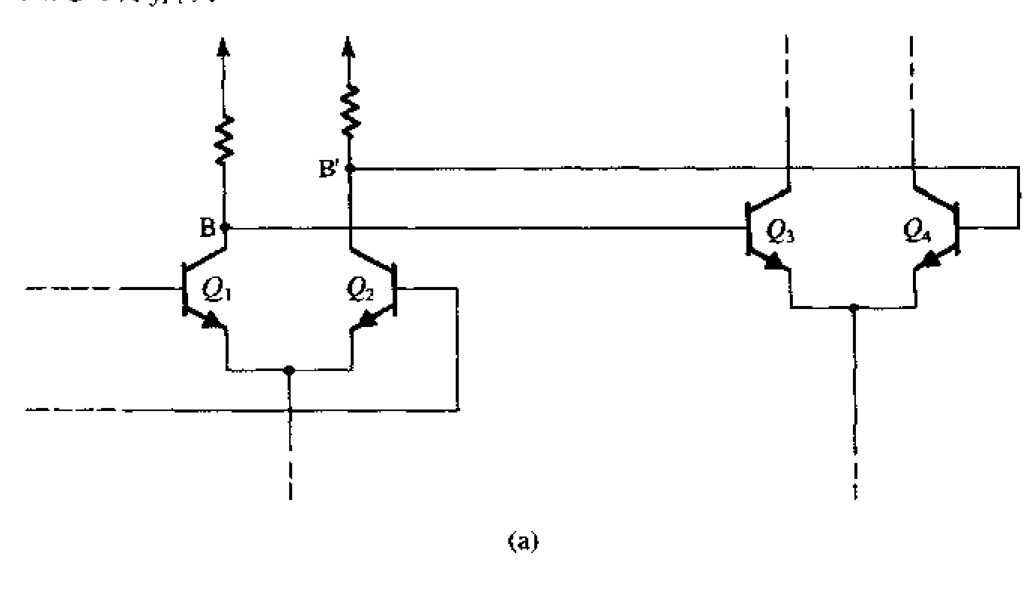
该补偿方法的一个严重缺陷在于，对于大部分频率来说其开环增益大大降低。这就意味着在大部分频率上实际的反馈深度将减小。由于所有负反馈的性能改善均正比于反馈深度的数值，所以补偿后放大器的性能存在一定程度的下降。

仔细分析图 8.38，可知 $A'(s)$增益较低的主要原因是存在极点 f_{P1}。若我们能够消除该极点，则可以从 Z 点（即第二极点频率）开始给出直线 ZZ'，而不是确定 Y 并给出直线 YY'。因而可以得到开环增益曲线 $A''(s)$，由图可知其增益明显高于 $A'(s)$。

尽管不可能彻底消除极点 f_{P1}，然而通常可行的方法是将极点 $f = f_{P1}$ 移至 $f = f'_D$。这样就使得该极点成为主极点并无需引入额外的更低频率的极点，相关内容将在后文中具体阐述。

8.11.2 实现

我们将进一步讨论上述频率补偿的实现方法。放大电路通常由许多级联增益级组成，而其中每一级都对应传输函数中的一个或者多个极点。通过对电路进行人工和/或电脑分析，可确定具体增益级与引入的重要极点 f_{P1} 和 f_{P2} 等之间的对应关系。为便于讨论，假设第一极点 f_{P1} 是在两个级联差分级的接口处引入的，如图 8.39（a）所示。图 8.39（b）所示为接口处电路简化的小信号模型，其中电流源 I_x表示 Q_1–Q_2级的输出电流，电阻 R_x和电容 C_x表示两节点 B 与 B′之间的总电阻和总电容，因此可得 f_{P1} 为



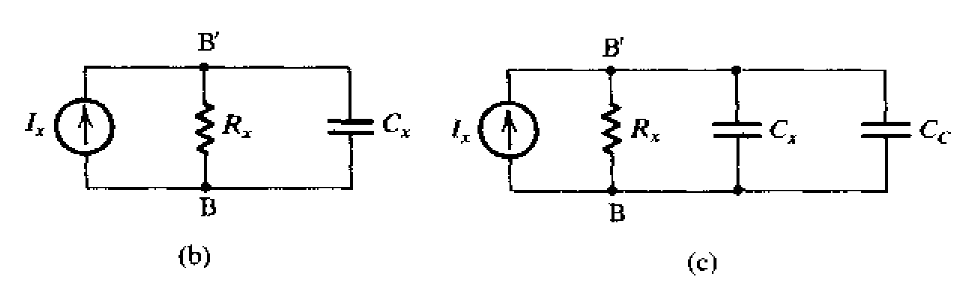


图 8.39 （a）多级放大器中的两个级联放大级；（b）图（a）中两个放大级之间接口的等效电路；（c）与图（b）中的电路相同，但增加了补偿电容 C_C。注意，该分析同样适用于 MOS 放大器

$$f_{P1}=\frac{1}{2\pi C_x R_x} \tag{8.81}$$

现在假设在节点 B 与 B′之间连接补偿电容 C_C，改进后的等效电路如图 8.39（c）所示。由图可知，该电路引入的极点将不再是频率 f_{P1}；相反，该极点可为任意的更低的频率 f_D'：

$$f_D'=\frac{1}{2\pi(C_x+C_C)R_x} \tag{8.82}$$

因此可以通过选取合适的 C_C 值使极点频率由 f_{P1} 移至由 Z′点所确定的 f_D'，如图 8.38 所示。

应该指出，添加电容 C_C 通常也会导致其他极点（例如、位于频率 f_{P2} 和 f_{P3} 上的极点）位置的变化。因而对于给定 C_C 的数值，我们需要通过数次迭代求得 f_{P2} 的新位置

该实现方法的缺陷在于所需电容 C_C 的数值通常很大。这样，如果所需补偿的放大器为 IC 运算放大器，则在其 IC 芯片上放置补偿电容是十分困难的，甚至可能无法实现（正如第 6 章和附录 A 中所指出的，实际尺寸的最大单片电容容量为 100 pF）。该问题的有效解决办法是在放大级的反馈回路上添加补偿电容　由于米勒效应，补偿电容将按放大级增益的倍数增大，从而使得有效电容大大增大。除此以外，还有另一个意想不到的好处，我们将在后文阐述。

8.11.3　米勒补偿与极点分离

图 8.40（a）所示为多级放大器中的一个增益级。为简单起见，该放大级简化为共射放大器，当然，实际电路可以更为复杂。我们在该共射放大器的反馈回路上放置了补偿电容 C_f。

图 8.40（b）所示为图 8.40（a）所示增益级的等效简化电路，其中 R_1 和 C_1 表示节点 B 与地之间的总电阻和总电容。同样，R_2 和 C_2 表示节点 C 与地之间的总电阻和总电容。除此之外，假定 C_1 包含了电容 C_μ 的米勒等效电容，C_2 包含了后级放大级的输入电容。最后，I_i 表示前级放大级的输出电流信号。

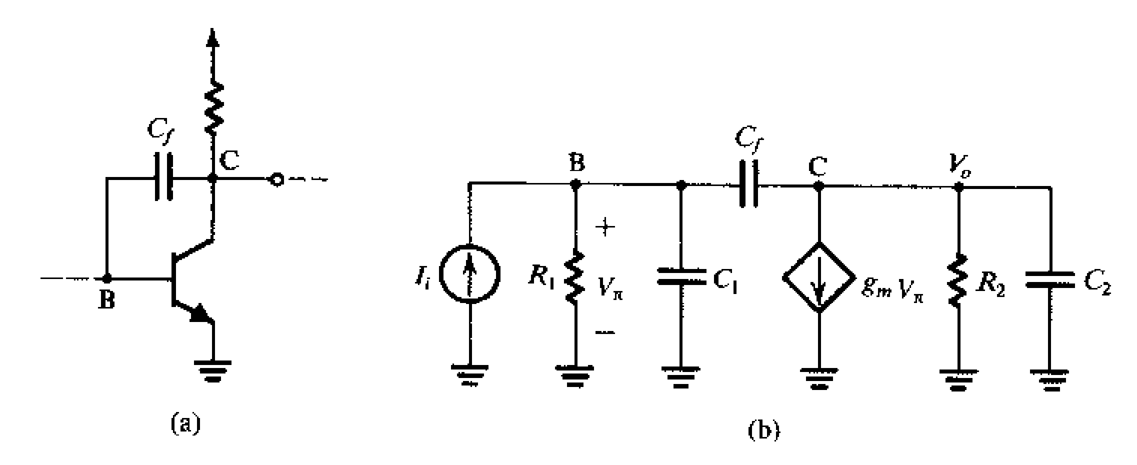


图 8.40　（a）多级放大器中的一个增益级，其反馈回路放置了补偿电容；（b）图（a）的等效电路　注意，虽然图示的是三极管电路，然而该分析同样适用于 MOS 放大器

在未加补偿电容 C_f 时，由图 8.40（b）可知电路存在两个极点——一个位于输入端，另一个位于输出端。假设这两个极点分别为图 8.38 所示的 f_{P1} 和 f_{P2}，则

$$f_{P1}=\frac{1}{2\pi C_1 R_1} \qquad f_{P2}=\frac{1}{2\pi C_2 R_2} \tag{8.83}$$

加上补偿电容 C_f 后，分析该电路可得到其传输函数为

$$\frac{V_o}{I_i}=\frac{(sC_f-g_m)R_1R_2}{1+s[C_1R_1+C_2R_2+C_f(g_mR_1R_2+R_1+R_2)]+s^2[C_1C_2+C_f(C_1+C_2)]R_1R_2} \quad (8.84)$$

该零点频率通常远远高于主极点的频率，因而我们将其忽略。分母多项式可写成下列形式：

$$D(s)=\left(1+\frac{s}{\omega'_{P1}}\right)\left(1+\frac{s}{\omega'_{P2}}\right)=1+s\left(\frac{1}{\omega'_{P1}}+\frac{1}{\omega'_{P2}}\right)+\frac{s^2}{\omega'_{P1}\omega'_{P2}} \quad (8.85)$$

其中，ω'_{P1}和ω'_{P2}是两极点的新频率。通常其中一个极点将成为主极点：$\omega'_{P1}\ll\omega'_{P2}$。因此，

$$D(s)\simeq 1+\frac{s}{\omega'_{p1}}+\frac{s^2}{\omega'_{p1}\omega'_{p2}} \quad (8.86)$$

比较式（8.84）和式（8.86）分母中s的对应系数，可得

$$\omega'_{P1}=\frac{1}{C_1R_1+C_2R_2+C_f(g_mR_1R_2+R_1+R_2)}$$

上式可近似为

$$\omega'_{P1}\simeq\frac{1}{g_mR_2C_fR_1} \quad (8.87)$$

为求得ω'_{P2}，比较式（8.84）和式（8.86）分母中s^2的对应系数并代入式（8.87），可得

$$\omega'_{P2}\simeq\frac{g_mC_f}{C_1C_2+C_f(C_1+C_2)} \quad (8.88)$$

由式（8.87）和式（8.88）可见，当 C_f 增大时，ω'_{P1}减小，ω'_{P2}增大，该效应又称为极点分离。注意，ω'_{P2}的增大对增强系统的稳定性是非常有效的，它使得 Z 点能够进一步右移（参见图 8.38），从而得到更高的补偿后的开环增益。最后，注意式（8.87）中 C_f乘以米勒因子 g_mR_2 可得到相当大的电容 $g_mR_2C_f$。换言之，所需电容 C_f的数值要远远小于图 8.39 所示的 C_C的数值。

例题 8.6 考虑开环增益与图 8.37 所示完全相同的运算放大器。我们希望通过频率补偿使电阻性反馈的闭环放大器在任意增益上都保持稳定（例如，β 值达到 1）。假设运算放大器包含如图 8.40 所示的增益级，其中 $C_1=100$ pF，$C_2=5$ pF，$g_m=40$ mA/V，且f_{P1}处极点是由输入端电路引入的，f_{P2}处极点是由输出端电路引入的。确定下列两种情况下的补偿电容的数值：补偿电容置于输入节点 B 与地之间；补偿电容置于晶体管的反馈回路上。

解： 首先确定 R_1和 R_2，由

$$f_{P1}=0.1\,\text{MHz}=\frac{1}{2\pi C_1R_1}$$

可得

$$R_1=\frac{10^5}{2\pi}\ \Omega$$

由

$$f_{P2}=1\,\text{MHz}=\frac{1}{2\pi C_2R_2}$$

可得

$$R_2=\frac{10^5}{\pi}\Omega$$

若补偿电容 C_C 置于晶体管放大级的输入端，则第一个极点频率由 f_{P1} 移至 f'_D：

$$f'_D = \frac{1}{2\pi(C_1 + C_C)R_1}$$

第二极点仍保持不变。f'_D 的具体数值可以通过在 $20\log(1/\beta) = 20\log 1 = 0$ dB 的水平线上对应 1 MHz 的频率点绘制−20 dB/十倍频程的直线得到，该直线与 100 dB 直流增益线相交于 10 Hz。因此，

$$f'_D = 10\text{ Hz} \simeq \frac{1}{2\pi(C_1 + C_C)R_1}$$

从而得到 $C_C \simeq 1\mu\text{F}$。该补偿电容的数值相当大，肯定不可能被集成在 IC 芯片上。

其次，如果补偿电容 C_f 置于晶体管放大器的反馈回路中，则两个极点的位置均发生改变，由式（8.87）和式（8.88）可得

$$f'_{P1} \simeq \frac{1}{2\pi g_m R_2 C_f R_1} \quad f'_{P2} \simeq \frac{g_m C_f}{2\pi[C_1C_2 + C_f(C_1 + C_2)]} \tag{8.89}$$

为了确定第一极点的位置，我们需要得到 f'_{P2} 的数值。假设 $C_f \gg C_2$，近似可得

$$f'_{P2} \simeq \frac{g_m}{2\pi(C_1 + C_2)} = 60.6\text{ MHz}$$

可见该极点将移至高于极点 f_{P3}（10 MHz）的频率点上，因而我们假设第二极点为 f_{P3}。这就要求第一极点位于

$$f'_{P1} = \frac{f_{P3}}{A_o} = \frac{10^7\text{ Hz}}{10^5} = 100\text{ Hz}$$

故

$$f'_{P1} = 100\text{ Hz} = \frac{1}{2\pi g_m R_2 C_f R_1}$$

可得 $C_f = 78.5$ pF。尽管该数值的确远大于 C_2，然而我们仍需由式（8.89）确定极点 f'_{P2} 的位置，从而得到 $f'_{P2} = 57.2$ MHz，进而验证了该极点移动后的确超出了 f_{P3} 的频率。

综上所述，运用米勒补偿不仅能够大大减小所需补偿电容的数值，而且由于极点分离效应可大幅提高主极点的频率达到十倍频程以上，从而使得补偿后的运算放大器具有更宽的带宽。■

练习 8.17　某多极点放大器的第一极点位于频率 1 MHz 处，开环增益为 100 dB。现要求通过引入一个新的主极点对该放大器进行频率补偿，使其闭环增益能够达到 20 dB 且保持稳定。确定新极点应该位于什么频率处。

答案：100 Hz

练习 8.18　对于练习 8.17 所述的放大器，除引入新的主极点之外，还可以通过在引入第一极点的电路节点处放置附加的补偿电容以减小第一极点的频率。若第二极点的角频率为 10 MHz 且在上述补偿电容引入后仍保持不变，确定第一极点应降至的频率以保证放大器在闭环增益为 20 dB 时仍保持稳定，并确定控制节点处的电容应增加的倍数。

答案：1000 Hz；1000

8.12 SPICE 仿真实例

我们将通过举例说明 SPICE 在反馈电路分析中的作用结束本章的内容.

例题 8.7 运用 SPICE 确定环路增益

本例题说明了 SPICE 在计算环路增益 $A\beta$ 中的应用. 为便于对结果进行比对，我们将使用与例题 8.4 所分析的完全相同的并联–串联电路，如图 8.41 所示。然而，此举不会限制如下所述方法的普遍性。

为计算环路增益，我们将输入信号 V_s 置 0，并选择在 Q_1 的集电极与 Q_2 的基极断开反馈回路. 然而，在断开反馈回路的同时，我们必须保证以下两种状态在断开反馈回路的前后不发生改变：（1）直流偏置状态；（2）交流信号端口状态.

为了在不影响直流偏置的情况下断开反馈回路，我们在电路中添置一个数值很大的电感 L_{break}，如图 8.42（a）所示. 假设其数值为 $L_{break} = 1$ GH，这将确保该环路对交流信号开路，同时保持直流偏置状况不变.

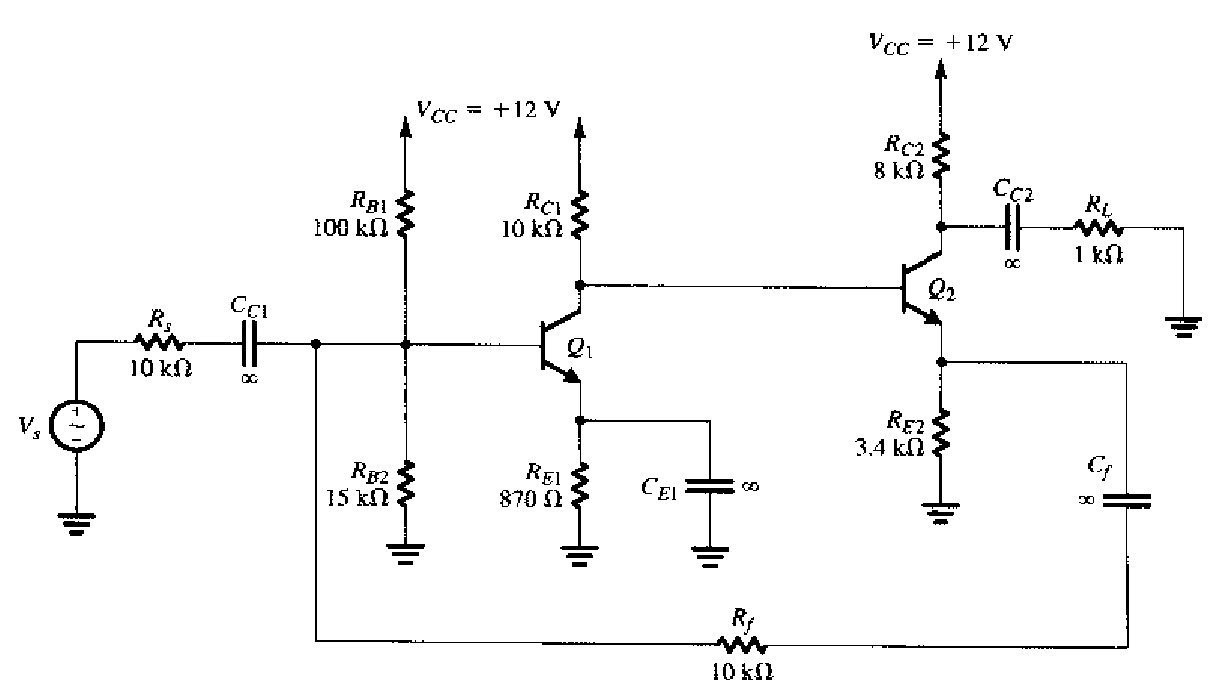


图 8.41 例题 8.4 的并联–串联反馈放大器电路

为了在不影响信号端口状态的情况下断开反馈回路，我们必须在环路输出的 Q_1 的集电极加载一个端口阻抗 Z_t，其值等于从环路输入端 Q_2 的基极视入的阻抗. 除此以外，为避免影响直流偏置的情况，Z_t 必须通过一个很大的耦合电容连接到 Q_1 的集电极. 然而，确定端口阻抗 Z_t 的数值并不容易。所以，我们将介绍以下两种仿真方法，在不明确计算 Z_t 值的情况下计算环路增益的值。

方法 1 运用开路和短路传输函数

如 8.7 节所述，环路增益可表示为

$$A\beta = -1\Big/\left(\frac{1}{T_{oc}} + \frac{1}{T_{sc}}\right)$$

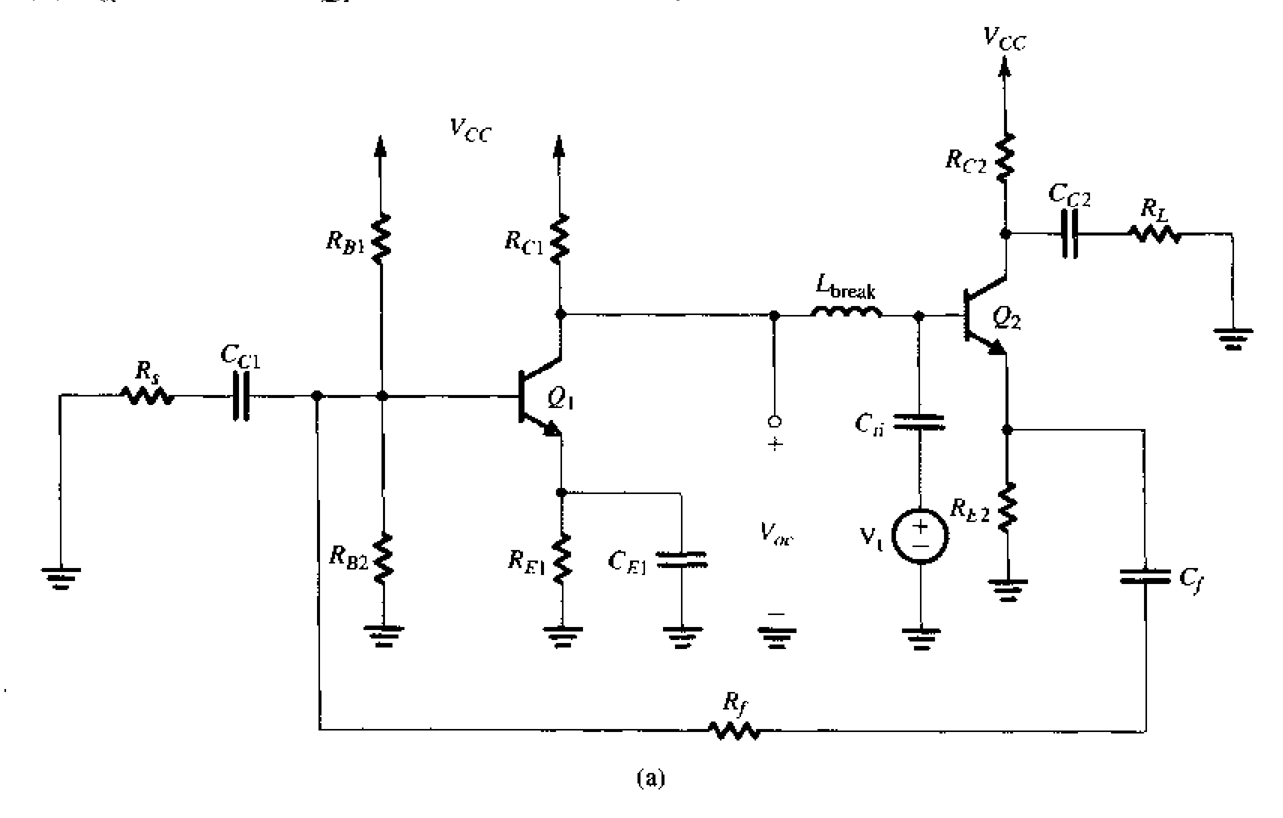
其中，T_{oc} 为开路电压传输函数，T_{sc} 为短路电流传输函数.

确定 T_{oc} 的电路如图 8.42（a）所示。我们在位于环路输入端 Q_2 的基极施加交流电压测试信号

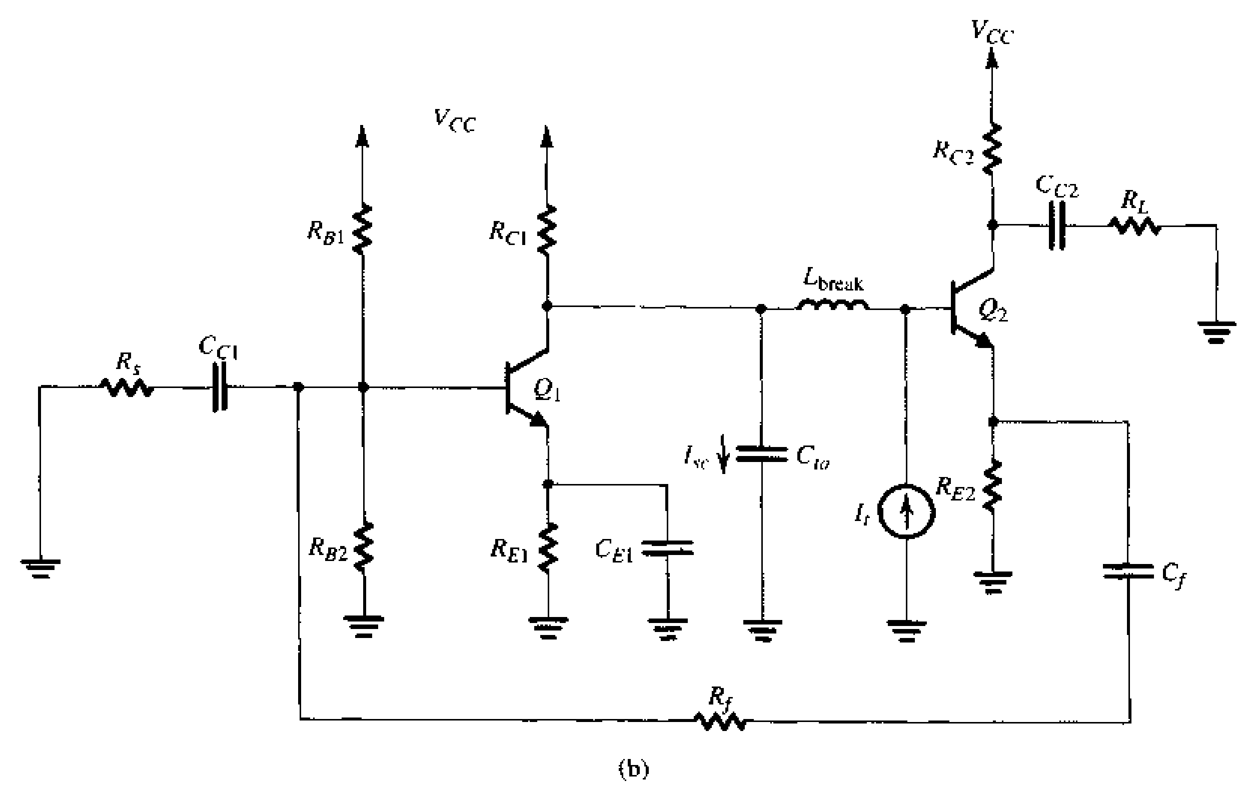
V_t，并通过一个很大的耦合电容（假设其数值为 1 kF），避免该信号对于直流偏置状态的影响。故

$$T_{oc}=\frac{V_{oc}}{V_t}$$

其中，V_{oc} 为开路情况下 Q_1 集电极的交流输出电压。



(a)



(b)

图 8.42 用于计算图 8.41 所示的反馈放大器环路增益的仿真电路：（a）开路电压传输函数 T_{oc}；（b）短路电流传输函数 T_{sc}

在确定 T_{sc} 的电路中［见图 8.42（b）］，我们在位于环路输入端 Q_2 的基极施加交流电流测试信号 I_t。应注意在该情况下无需耦合电容，交流电流源在直流分析中可视为开路，因此不影响直流偏置的情况。

Q_1 集电极的环路输出是通过较大电容 C_{to} 与地短接的交流信号，因而

$$T_{sc}=\frac{I_{sc}}{I_t}$$

其中，I_{sc} 为短路情况下 Q_1 集电极的交流输出电流。

方法 2　运用复制电路

如图 8.43 所示，我们可以方便地运用反馈放大器的复制电路作为端口阻抗。这里，我们在放大器电路及其复制电路中均放置了一个数值很大的电感 L_{break}，从而通过破坏环路以达到不影响直流偏置的目的。位于放大器电路 Q_1 集电极的环路输出通过一个较大的耦合电容 C_{to} 连接到位于复制电路 Q_2 基极的环路输入（同样，为避免影响直流偏置状态）。因此对于交流信号，位于放大器电路中的 Q_1 集电极的环路输出的端口阻抗在反馈环路断开前后保持一致。因此，我们确保了上述放大器状态在反馈环路断开前后保持不变。

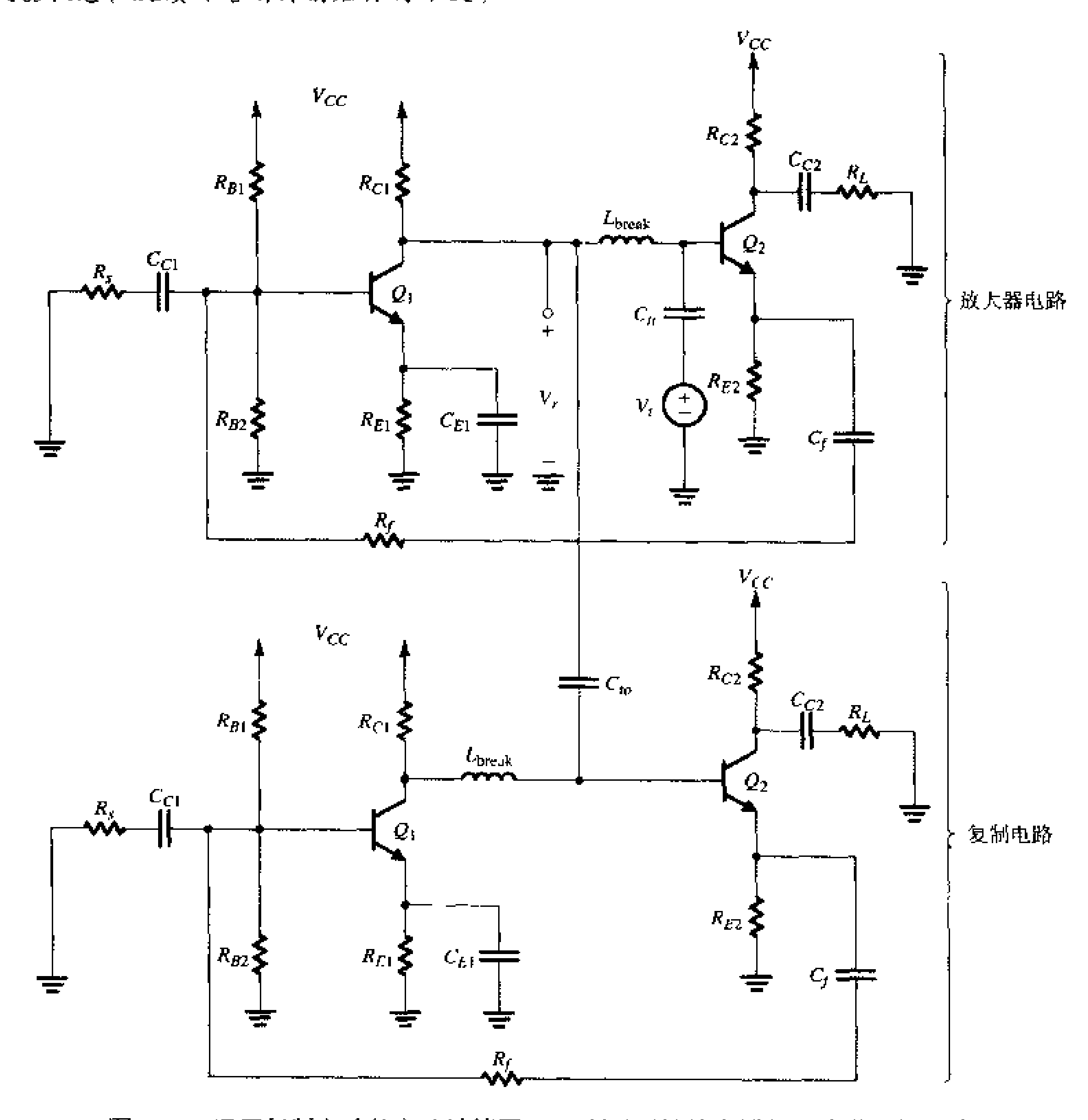


图 8.43　运用复制电路的方法计算图 8.41 所示反馈放大器的环路增益的电路

接下来，为确定环路增益 $A\beta$，我们在位于放大器电路 Q_2 的基极的环路输入端通过一个很大的耦合电容 C_{tt} 来施加交流电压测试信号 V_t。由 8.7 节所述可得

$$A\beta = -\frac{V_r}{V_t}$$

其中，V_r 为环路输出端的交流返回信号，即放大器电路中的 Q_1 集电极的输出信号。

为采用 PSpice 仿真计算如图 8.41 所示的反馈放大器电路的环路增益 $A\beta$，我们选择如图 8.43 所示的电路。在 PSpice 的仿真过程中，我们选用的 BJT 器件是 Q2N3904（其 SPICE 模型参见表 5.9），并设置 L_{break} 为 1 GH，耦合电容和旁路电容均为 1 kF。图 8.44 所示为仿真得到的 $A\beta$ 的幅频特性曲线和相频特性曲线，从中可得该反馈放大器的增益裕量为 53.7 dB，相位裕量为 88.7°。

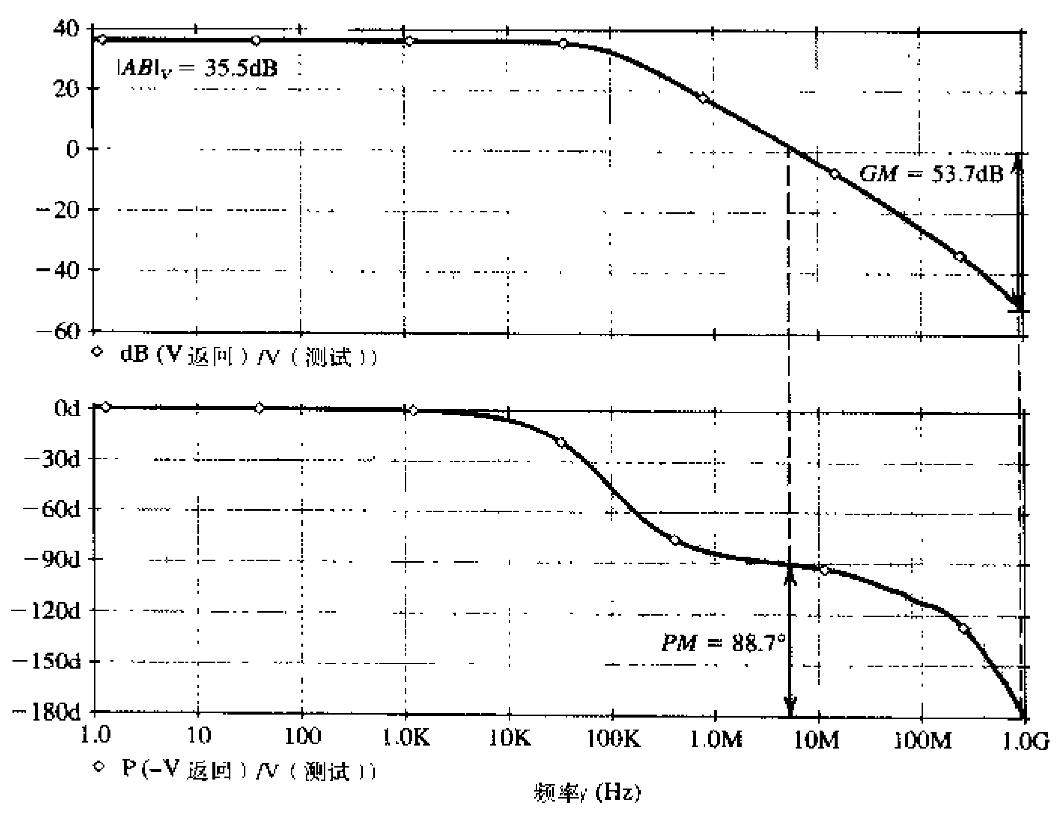


图 8.44 图 8.41 所示反馈放大器电路环路增益 $A\beta$ 的幅频特性曲线（a）和相频特性曲线（b） ■

小结

- 引入负反馈的作用包括：降低放大器增益对于元件扰动的敏感度；控制输入和输出阻抗；扩展频带宽度；减小非线性失真；增大信噪（信号干扰）比。
- 上述性能改善都是以增益减小为代价的，同时还可能面临放大器不稳定（即自激振荡）的危险。但后者可以通过严谨的设计解决。
- 对于四种基本类型的放大器，每种类型都存在对应的反馈拓扑结构。面这四种反馈拓扑结构的分析及其对于输入和输出电阻的影响将在表 8.1 中加以小结。
- 反馈的关键参数包括环路增益（$A\beta$）和反馈深度($1+A\beta$)。前者在负反馈情况下必须为无量纲的正值，后者直接决定了增益减小倍数，增益敏感度衰减倍数，带宽扩展倍数，以及 Z_i 和 Z_o 的变化量。
- 由于 A 和 β 通常与频率相关，因而反馈放大器的极点可以通过求解特征方程 $1 + A(s)\beta(s) = 0$ 获得。

- 若要求反馈放大器稳定，其极点必须全部位于右半侧的 s 平面。
- 若在 $A\beta$ 相角为 180° 的频率(ω_{180})上 $|A\beta|$ 小于 1，则系统稳定，而以分贝表示的两者的差值又称为增益裕量。同样，若在 $|A\beta| = 1$ 的频率上相角小于 180°，则系统稳定，两者的差值又称为相位裕量。
- 反馈放大器的稳定性可以通过构建 $|A|$ 的波特图并在其上叠加 $1/\beta$ 曲线来确定。若两曲线交点处的斜率差值不大于 6 dB/二倍频程，则系统稳定。
- 为使给定放大器在给定反馈系数 β 的情况下保持稳定，可以通过频率补偿对其开环频率响应做出适当调整来达到目的。
- 频率补偿的常规方法是将一个反馈电容跨接在放大器的反相组态放大级两端。这样能使放大级输入端形成的极点移至更低的频率位置，从而成为主极点。同时，放大级输出端形成的极点将移至非常高的频率位置，从而可以近似忽略其作用。该方法又称为极点分离。

习题

8.1 节：反馈放大器的基本结构

8.1 某负反馈放大器的闭环增益 $A_f = 100$，其开环增益 $A = 10^5$，其反馈系数 β 为多少？若由于制造误差导致 A 减小为 10^3，则相应的闭环增益为多少？与减小 100 倍的 A 相对应的 A_f 的相对变化数值为多少？

8.2 在 $A = 100$ 的情况下，重复练习 8.1 中的（b）至（e）。

8.3 在 $A_f = 10^3$ 的情况下，重复练习 8.1 中的（b）至（e），其中（d）部分取 $V_s = 0.01$ V。

8.4 如图 P8.4 所示的同相运算放大器跟随器结构是图 8.1 所示反馈环路的直接实现电路。假设运算放大器输入电阻无穷大，输出电阻为零，则其 β 为多少？若 $A = 100$，其闭环电压增益为多少？反馈深度为多少（用 dB 表示）？假定 $V_s = 1$ V，试确定 V_o 和 V_i。若 A 减小 10%，则 A_f 相应地减小多少？

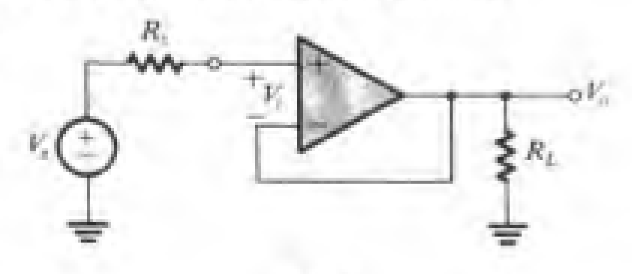


图 P8.4

8.5 某电路可表示成图 8.1 所示的框图形式。当源端输入 1 V 的信号时，放大器 A 的输入信号为 10 mV 差模信号，负载端获得 10 V 的信号。对于上述结构，试确定其 A 和 β 的数值。

8.6 确定电压放大器的开环增益、环路增益和反馈深度，假设 A_f 与 $1/\beta$ 相差：（a）1%；（b）5%；（c）10%；（d）50%。

8.7 在某特定放大器的设计中，其反馈网络由电位器组成，因而其 β 值在电位器的一端为 0.00，另一端为 1.00，中间位置为 0.50。移动电位器，确定上述三种反馈情况下不同的闭环增益，其中放大器的开环增益为：（a）1 V/V；（b）10 V/V；（c）100 V/V；（d）10 000 V/V。

8.8 某全新构建的反馈放大器的性能测试结果如下：移除反馈网络，2 mV 源端信号可以在负载端得到 10 V 的输出电压；连接反馈网络，200 mV 源端信号才在负载端得到 10 V 的输出电压。对于该放大器，试分别确定 A、β、$A\beta$ 以及闭环增益和反馈深度（用 dB 表示）。

8.2 节：负反馈的一些性质

8.9 考虑如图 8.1 所示的负反馈回路，确定环路增益 $A\beta$，使闭环增益对于开环增益的增益灵敏度［可表示为 $(dA_f/A_f)/(dA/A)$］达到 −20 dB。当灵敏度为 1/2 时，$A\beta$ 的数值又为多少？

D8.10 要求设计增益为100、精确度为±1%的放大器. 可选用的放大级的增益为1000，精确度为±30% 在设计中运用多个放大级的级联、并在每级施加适当的负反馈. 当然，在达到设计要求的前提下，应使用尽可能少的放大级

8.11 考虑某反馈放大器，$A=10^4$，$A_f=10^3$，其增益灵敏度衰减因子为多少? 在以下两种情况下确定A_f的精确值并利用式（8.8）得到的近似值:（a）A减小10%;（b）A减小30%。

8.12 某放大器的中频增益为A_M，而其低频响应具有一个极点$s=-\omega_L$和一个零点$s=0$. 假设放大器接入一个反馈系数为β的负反馈回路. 确定闭环放大器的中频增益及3 dB下限频率的表达式 两者共同的变化因子为多少?

D*8.13 要求设计一个闭环增益标称值为10 V/V的放大器，采用的放大器是由电池供电的，其增益在电池能量耗尽时降为电池充满时增益值的一半. 如果要求闭环增益只有2%的下降，设计所用的开环放大器增益标称值应为多少?（注意，由于A的变化量很大，运用微分形式是不精确的.）相应的β应取何值? 若β网络元件参数波动可能造成β最多有±1%的数值变化，A应增大至何值以确保达到要求的最小增益?

8.14 电容耦合放大器的中频增益为100，高频区上限频率为10 kHz，低频区下限频率为100 Hz. 引入负反馈使得中频增益降为10 确定闭环增益的3 dB上限频率和下限频率。

D**8.15 要求设计低频增益为1000、3 dB上限频率为0.5 MHz的直流放大器. 可选用的增益级的增益为1000，高频主极点为10 kHz. 设计中采用多个增益级的级联、并在每级施加适当的负反馈. 要求各增益级完全相同。[提示：当反馈深度为（$1+A\beta$）的负反馈作用于一个增益级时，其x dB频率分量增大（$1+A\beta$）倍]

D8.16 要求设计一个减弱电源纹波的功率放大器，其输出级增益为0.9 V/V，并存在±1 V的输出信号纹波 要求放大器的闭环增益为10 V/V 若需将输出纹波降低到±100 mV，则其前置低纹波放大级的增益应为多少? 若要求降低到±10 mV又应为多少? 若为±1 mV又是多少? 对于每种情况，确定其反馈系数β的数值.

D8.17 要求设计一个反馈放大器，其闭环增益为100 V/V 且对于基本放大器的增益变化不甚敏感 具体而言，若A减小至其标称值的十分之一，则A_f减小为99 V/V. 确定其环路增益、A的标称值以及β的值. 若A增大10倍，闭环增益将如何变化? 若A变为无穷，闭环增益又将如何变化?

D8.18 要求通过在一个二级放大器的两端连接反馈回路设计一个反馈放大器。放大器第一级是一个具有很高的3 dB上限频率的直接耦合的小信号放大器，第二级是中频增益为10 V/V的功率输出级，其上限频率为8 kHz、下限频率为80 Hz. 反馈放大器要求具有100 V/V的中频增益和40 kHz的3 dB上限频率. 则小信号放大器的增益应为多少? β值应为多少? 反馈放大器的3 dB下限频率为多少?

*8.19 图P8.19（a）所示为互补BJT跟随器，其大致的传输特性曲线如图P8.19（b）所示. 观察发现，当$-0.7\text{ V}\leqslant v_I\leqslant +0.7\text{ V}$时输出为零. 该区域称为“死区”，它将导致功放输出产生交越（crossover）失真（参见14.3节）. 假设现在该跟随器由增益为100的差分放大器的输出信号驱动，即差分放大器的同相输入端与输入信号v_S相连，反相输入端与跟随器的发射极相连. 画出所得反馈放大器v_O/v_S的传输特性曲线 “死区”的边界为多少? “死区”以外部分的增益为多少?

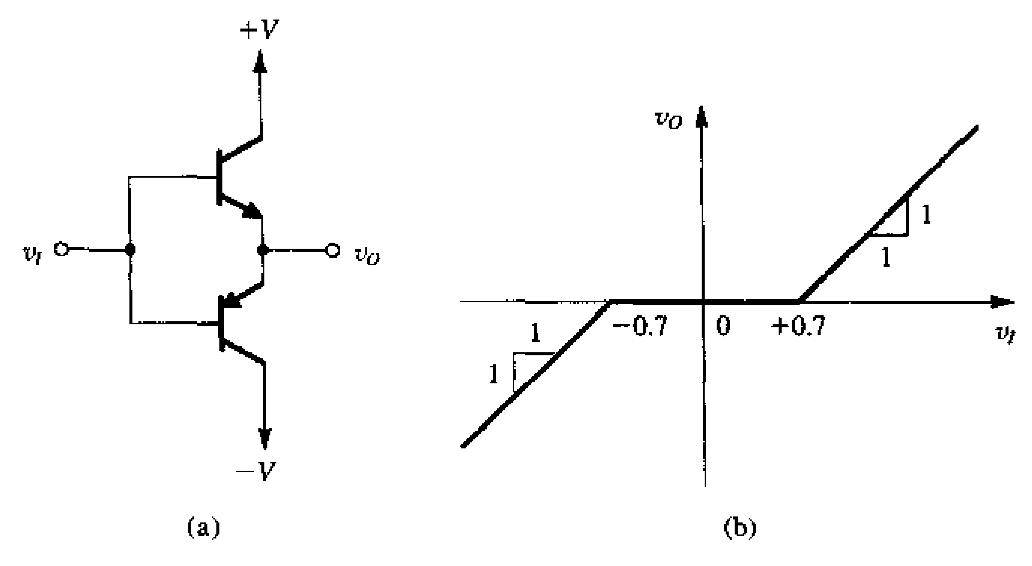


图 P8.19

D8.20 某放大器的非线性传输特性近似表示如下：

（a）对于较小的输入信号，$|v_I| \leqslant 10$ mV，$v_O/v_I = 10^3$。

（b）对于中等的输入信号，10 mV $\leqslant |v_I| \leqslant$ 50 mV，$v_O/v_I = 10^2$。

（c）对于较大的输入信号，$|v_I| \geqslant 50$ mV，输出饱和。

若该放大器接入一个负反馈回路，确定反馈系数β 以使增益的 10 倍变化（位于$|v_I| = 10$ mV 处）减小为 10%的变化。同时确定反馈放大器的传输特性。

8.3 节：四种基本的反馈拓扑结构

8.21 如图 8.4（a）所示的串联–并联反馈放大器采用理想的基本电压放大器，$V_s = 100$ mV，$V_f = 95$ mV，$V_o = 10$ V。相对应的 A 和β分别为多少？答案应包括正确的单位。

8.22 如图 8.4（b）所示的并联–串联反馈放大器采用理想的基本电流放大器，$I_s = 100\ \mu$A，$I_f = 95\ \mu$A，$I_o = 10$ mA。相对应的 A 和β分别为多少？答案应包括正确的单位。

*8.23 考虑如图 8.5 所示的并联–串联反馈放大器：

（a）假设 R_s，r_{o1} 和 r_{o2} 均很大，运用直接电路分析（与反馈分析相反）证明总电流增益为

$$A_f \equiv \frac{I_o}{I_s} = -\frac{R_1 + g_{m1}R_{L1}(R_1 + R_2)}{R_1 + \dfrac{1}{g_{m2}} + g_{m1}R_{L1}R_1}$$

输入电阻为

$$R_{\text{in}} = R_1 + R_2 + A_f R_1$$

在 $g_{m1}R_{L1} \gg 1$ 且$(1/g_{m2}) \ll R_1$ 的条件下，确定 A_f 和 R_{in} 的近似表达式。

（b）在 $g_{m1}R_{L1} = 100$，$R_1 = 10\ \text{k}\Omega$，$R_2 = 90\ \text{k}\Omega$，$g_{m2} = 5$ mA/V 的条件下计算 A_f 和 R_{in} 的精确值和近似值。

（c）由于负反馈迫使输入端电压趋近于地，所以β的数值近似等于$(R_1,\ R_2)$网络的电流分流比。确定β 值并证明上述情况下的 A_f 近似表达式可简化为 $1/\beta$。

8.24 如图 8.4（c）所示的串联–串联反馈电路采用理想的互导放大器，$V_s = 100$ mV，$V_f = 95$ mV，$I_o = 10$ mA，相对应的 A 和β 分别为多少？答案应包括正确的单位。

8.25 如图 8.4（d）所示的并联–并联反馈电路采用理想的互阻放大器，$I_s = 100\ \mu A$，$I_f = 95\ \mu A$，$V_o = 10\ V$。相对应的 A 和 β 分别为多少？答案应包括正确的单位。

*8.26 对于图 P8.26 所示的每个运算放大器，确定反馈拓扑结构，并指出被采样的输出变量和反馈信号。假设每个运算放大器均是理想的，确定 β 的表达式，然后确定 A_f。

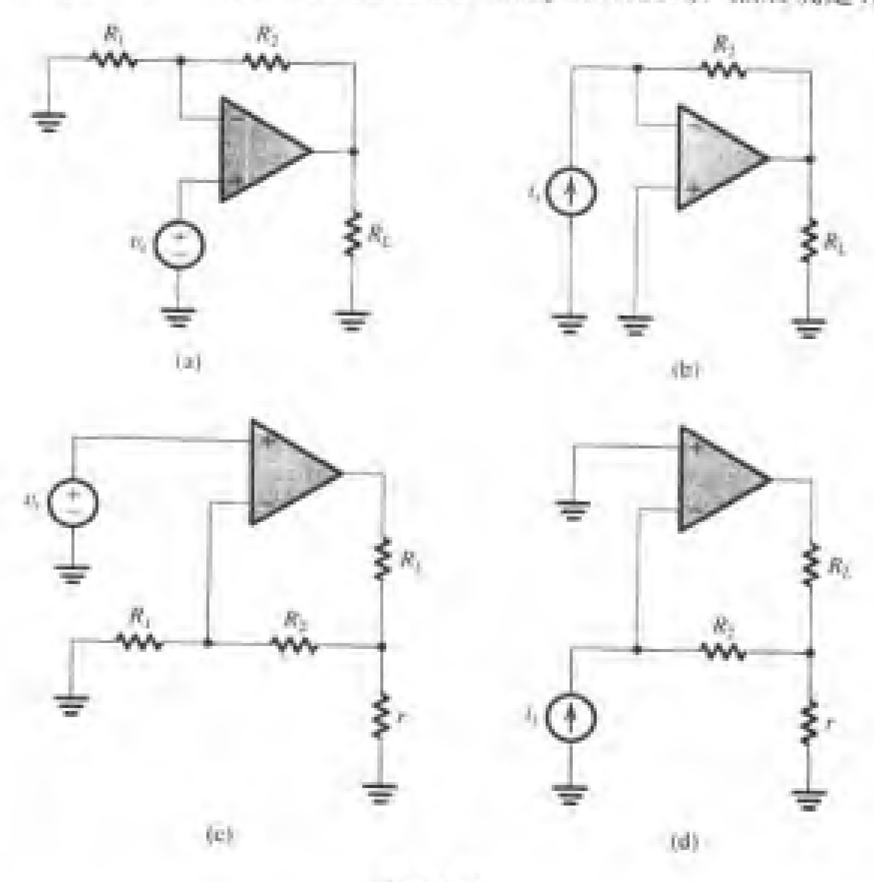


图 P8.26

8.4 节：串联–并联反馈放大器

8.27 某串联–并联反馈放大器采用一个输入与输出电阻均为 1 kΩ且增益 $A = 2000$ V/V 的基本放大器。反馈系数 $\beta = 0.1$ V/V。求闭环放大器的增益 A_f、输入电阻 R_{if} 和输出电阻 R_{of}。

8.28 对于一个特定的采样输出电压的反馈放大器，反馈回路连接前后的输出电阻变化了 80 倍。则反馈连接后的输出电阻是增大了还是减小了？环路增益 $A\beta$ 的数值为多少？若 R_{of} 为 100 Ω，那么没有反馈时的 R_o 为多少？

**8.29 某串联–并联反馈放大器使用一个直流增益为 10^4 V/V 的基本放大器。该基本放大器具有 STC 网络的频率响应，且单位增益频率为 1 MHz。基本放大器的输入电阻为 10 kΩ，输出电阻为 1 kΩ。若反馈系数 $\beta = 0.1$ V/V，求反馈放大器的输入阻抗 Z_{if} 和输出阻抗 Z_{of}，并画出表示这些阻抗的等效电路。计算每个阻抗在 10^3 Hz 和 10^5 Hz 频率上的数值。

8.30 某串联–并联反馈放大器引入的反馈网络如图 P8.30 所示。

（a）确定反馈电路的 h 参数形式［参见图 8.10（b）］。

（b）若 $R_1 = 1$ kΩ，$\beta = 0.01$，试确定 4 个 h 参数的具体数值，并标明每个参数的单位。

（c）若 $R_s = 1$ kΩ，$R_L = 1$ kΩ，参照图 8.10（c）所示模型画出等效电路并给予标注。

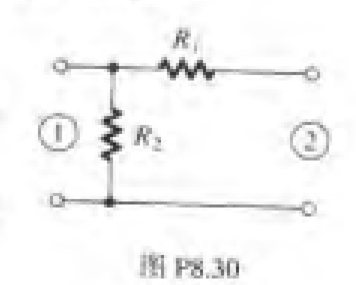


图 P8.30

8.31 某电压采样反馈放大器采用一个增益为 100 V/V 且输出电阻为 1000 Ω的基本放大器。反馈放大器的闭环输出电阻为 100 Ω。确定其闭环增益。若基本放大器用来实现单位增益的电压缓冲器，预期的输出电阻为多少？

*8.32 参见如图 P8.32 所示的串联–并联反馈放大器，假设晶体管工作时的 $V_{BE} \simeq 0.7$ V，$h_{FE}=100$ 且具有很高的厄尔利电压

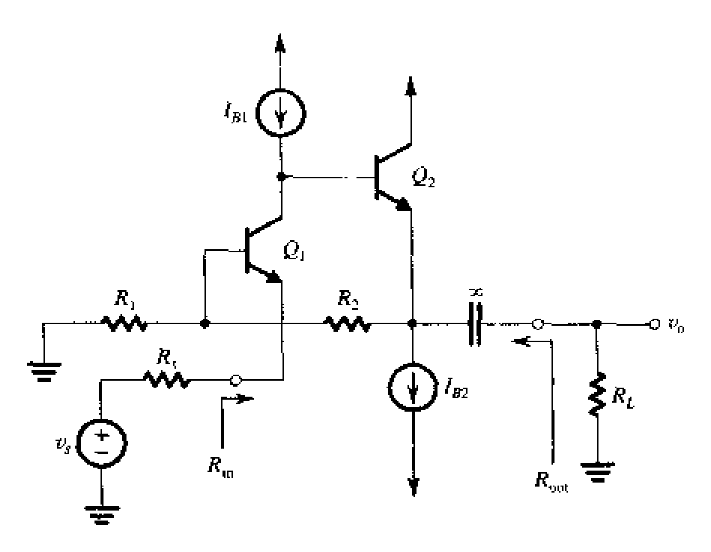


图 P8.32

（a）确定 A、β、R_i 和 R_o 的表达式。

（b）若 $I_{B1}=0.1$ mA，$I_{B2}=1$ mA，$R_1=1$ kΩ，$R_2=10$ kΩ，$R_s=100$ Ω，$R_L=1$ kΩ，确定输入端和输出端的直流偏置电压，并求 $A_f \equiv v_o/v_s$，R_{in} 和 R_{out}。

D*8.33 图 P8.33 所示为一个串联–并联放大器，其反馈系数$\beta=1$。该放大器的设计目的在于：当 $v_S=0$ 时保证 $v_O=0$，v_O 的任何自 0 V 的直流扰动都将因反馈网络的作用而最小化。工艺参数为 $k_n'=2k_p'=120\ \mu A/V^2$，$|V_t|=0.7$ V，$|V_A'|=24$ V/μm。

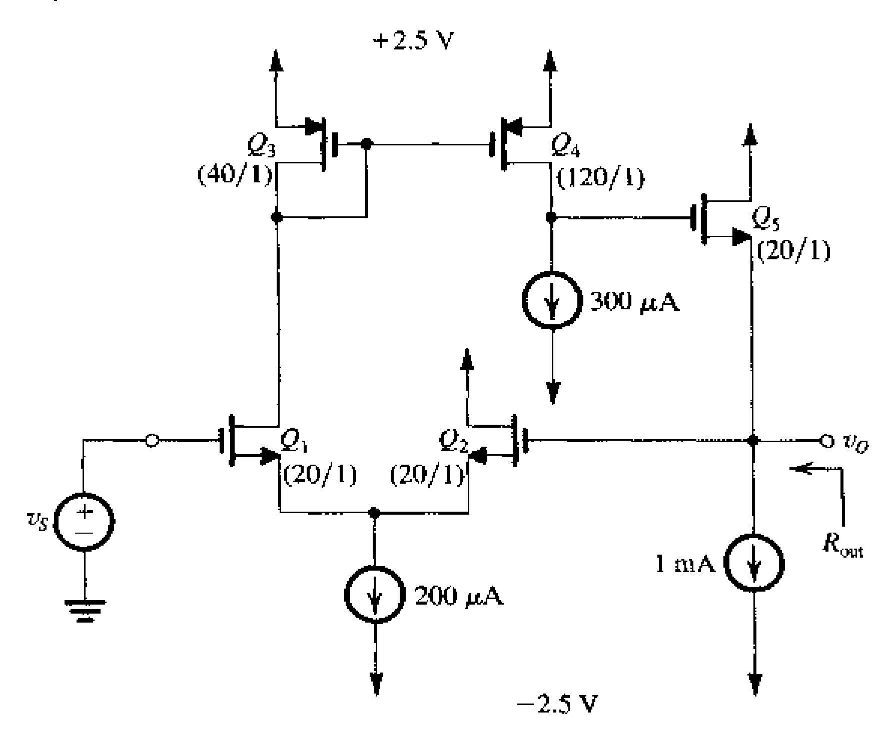


图 P8.33

（a）断开反馈回路并将 Q_1 和 Q_2 的栅极接地，确定 Q_1 至 Q_5 工作时的直流电流和过驱动电压。忽略 Q_1 和 Q_2 之间由于不同漏极电压而造成的 I_D 失配，同时求出输出端的直流电压。

（b）分别计算 5 个晶体管的 g_m 和 r_o。

（c）求 A 和 R_o 的数值。假设偏置电流源是理想的

（d）求闭环增益 A_f 和输出电阻 R_{out}

（e）如何修改电路以得到 5 V/V 的闭环电压增益？此时输出电阻的数值为多少？

**8.34 如图 P8.34 所示电路，$|V_t| = 1$ V，$k'W/L = 1$ mA/V^2，$h_{fe} = 100$、所有晶体管（包括组成电流源的器件）的厄尔利电压均为 100 V。信号源 V_s 的直流分量为 0。确定输出端和 Q_3 的基极直流电压，并计算 A，β，A_f，R_{in} 和 R_{out} 的数值。

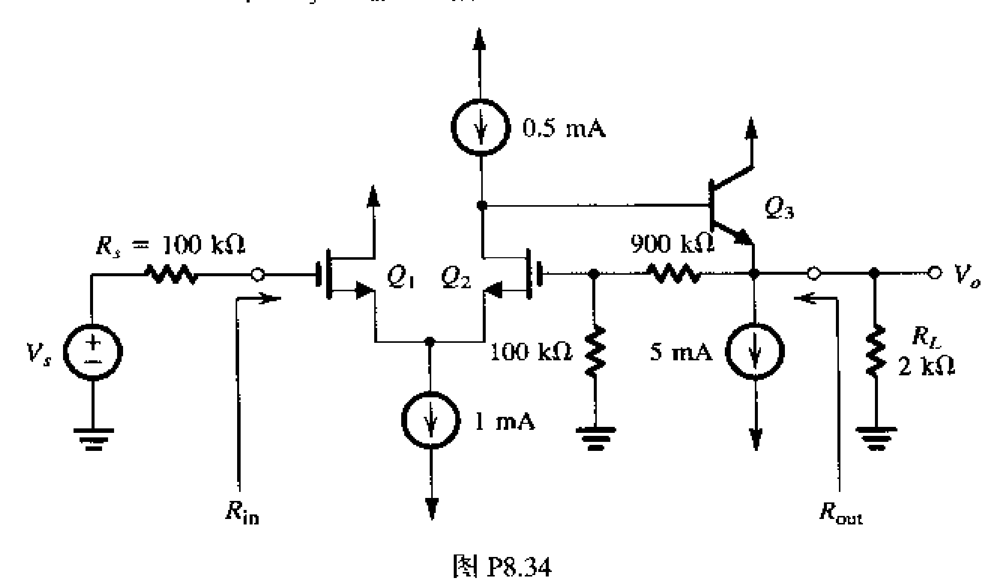


图 P8.34

D*8.35 图 P8.35 所示为某串联－并联反馈放大器，其中略去了具体的偏置电路。

（a）试画出 A 电路及确定 β 参数的电路。

（b）证明：若 $A\beta$ 足够大，闭环电压增益可近似为

$$A_f \equiv \frac{V_o}{V_s} \simeq \frac{R_F + R_E}{R_E}$$

（c）若选取 R_E 为 50 Ω，确定 R_F 的值，使得闭环增益近似为 25 V/V

（d）若 Q_1 的偏置电流为 1 mA，Q_2 为 2 mA，Q_3 为 5 mA，假设晶体管参数 h_{fe} =100。确定 R_{C1} 和 R_{C2} 的近似值，使得 A 电路的各级增益达到如下状态：Q_1 电压增益约为−10，Q_2 的电压增益约为−50。

（e）按照你的设计，得到的闭环电压增益为多少？

（f）计算你所设计的闭环放大器的输入和输出电阻。

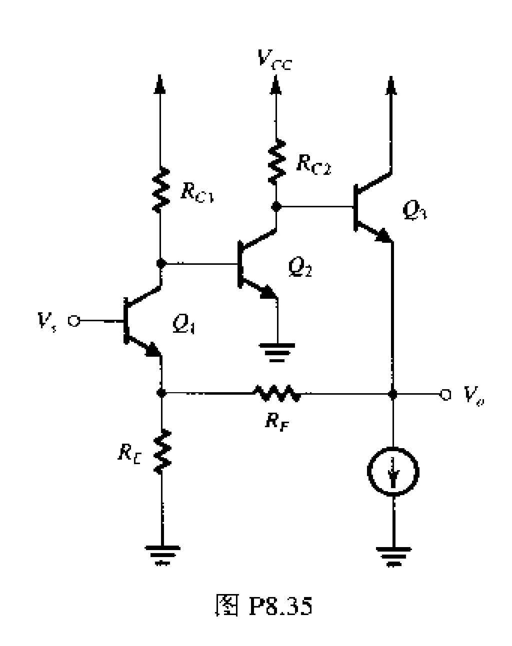


图 P8.35

8.5 节：串联−串联反馈放大器

8.36 考虑如图 8.17（a）所示的电路，假设环路增益很大，求 I_o/V_s 的近似值。再用所得结果求电压增益 V_o/V_s，将所得结果与例题 8.2 中的结果进行比较

8.37 某串联–串联反馈放大器使用了一个互导增益 $G_m = 100$ mA/V、输入电阻为 10 kΩ、输出电阻为 100 kΩ的互导放大器。反馈网络的参数$\beta = 0.1$ V/mA，输入电阻（端口 1 开路）为 100 Ω，输入电阻（端口 2 开路）为 10 kΩ。放大器的信号源电阻为 10 kΩ，负载电阻为 10 kΩ。求 A_f、R_{in} 和 R_{out}。

D*8.38 图 P8.38 所示是一个压控电流源的电路图，其中使用了通过电阻 R_E 引入的串联–串联反馈网络（其中略去了晶体管的偏置电路）。证明：若环路增益 $A\beta$ 足够大，则

$$\frac{I_o}{V_s} = \frac{1}{R_E}$$

确定使得电路的互导增益为 1 mA/V 的 R_E 的数值。若电压放大器的差模输入电阻为 100 kΩ，电压增益为 100，输出电阻为 1 kΩ，且晶体管的偏置电流为 1 mA，h_{fe} 为 100，r_o 为 100 kΩ。确定互导增益（I_o/V_s）的实际数值，采用 $R_s = 10$ kΩ的参数。同时确定输入电阻 R_{in} 和输出电阻 R_{out}。为计算 R_{out}，通过回忆可知：射极电阻远大于 r_π 的 BJT 放大器的输出电阻近似为 $h_{fe}r_o$。

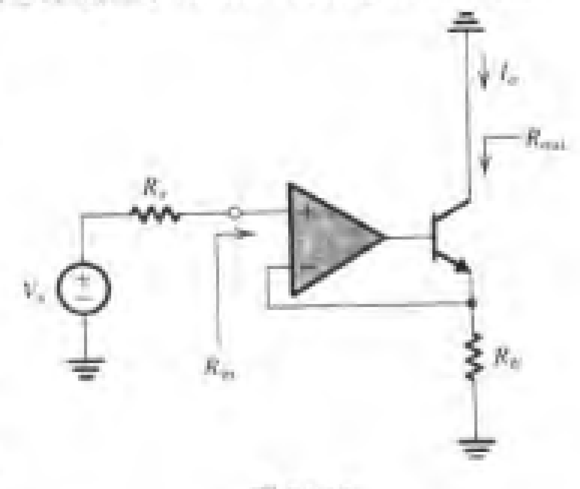


图 P8.38

*8.39 图 P8.39 所示为某电压–电流转换器电路，其中使用了通过电阻 R_F 引入的串联–串联反馈网络。MOSFET 的参数为$\mu_n C_{ox} = 20\ \mu A/V^2$、$|V_t| = 1$ V、$|V_A| = 100$ V。在环路增益很大的情况下，求 I_o/V_s 的数值。运用反馈分析方法，确定 I_o/V_s 更为精确的数值。若输出电压取自 Q_5 的源极，则其闭环电压增益为多少？

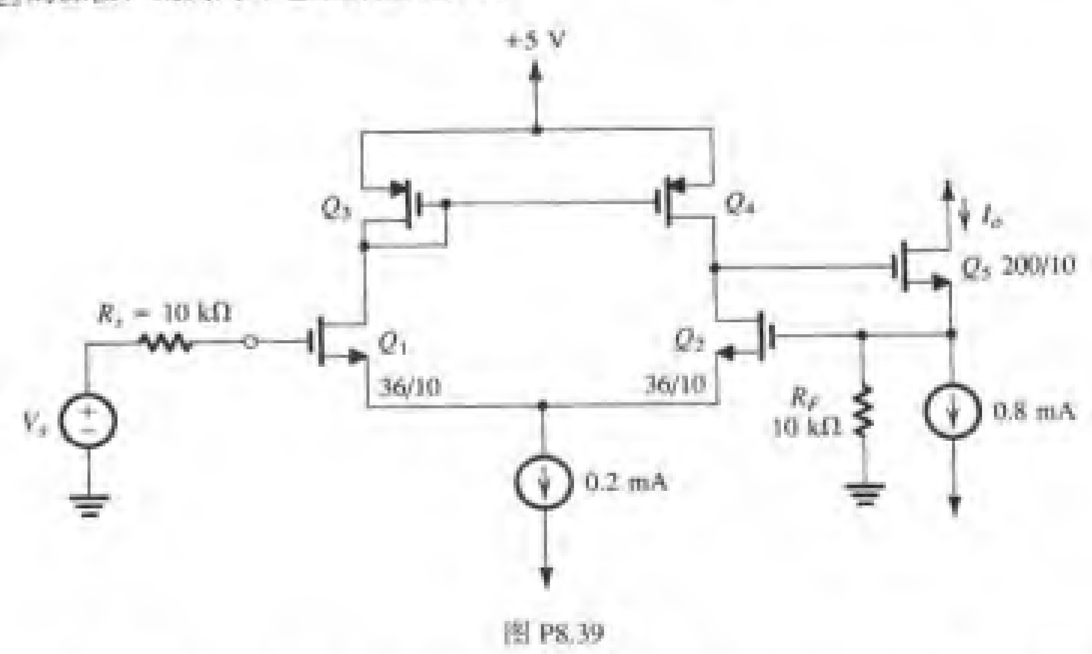


图 P8.39

8.40 图 P8.40 所示为某串联–串联反馈放大器，运算放大器的开环电压增益为μ，差模输入电阻 $R_{id} = 10$ kΩ，输出电阻 $r_o = 100$ Ω。放大器供给负载电阻 $R_L = 1$ kΩ的电流为 i_o。反馈网络由 $r = 100$ Ω、$R_2 = 10$ kΩ和 R_1 组成。对以下两组参数，分别确定闭环增益 $A_f = i_o/v_s$、输入电阻 R_{in} 和输出电阻 R_{out}：

（a）$\mu = 10^3$ V/V，$R_1 = 100\ \Omega$

（b）$\mu = 10^4$ V/V，$R_1 = \infty$

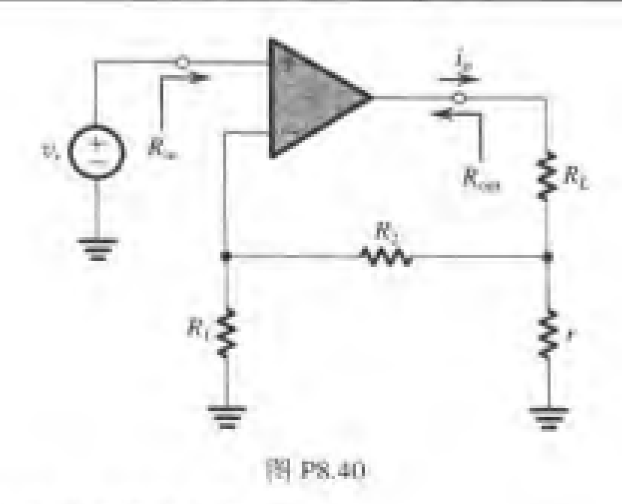


图 P8.40

8.6 节：并联–并联与并联–串联反馈放大器

D*8.41 考虑如图 8.21（a）所示的放大器拓扑结构，证明在环路增益很大的情况下：

$$\frac{V_o}{V_s}=-\frac{R_f}{R_s}$$

根据电路图上标出的元件数值计算其增益，并与例题 8.3 中得到的结果进行比较。若要求电压增益近似为–7.5 V/V，重新确定 R_f 的数值。

8.42 如图 P8.42 所示的并联–并联反馈放大器中，$I=1$ mA，$V_{GS}=0.8$ V。MOSFET 的具体参数为 $V_t=0.6$ V，$V_A=30$ V。若 $R_s=10$ kΩ，$R_1=1$ MΩ，$R_2=4.7$ MΩ，求电压增益 v_o/v_s、输入电阻 R_{in} 及输出电阻 R_{out}。

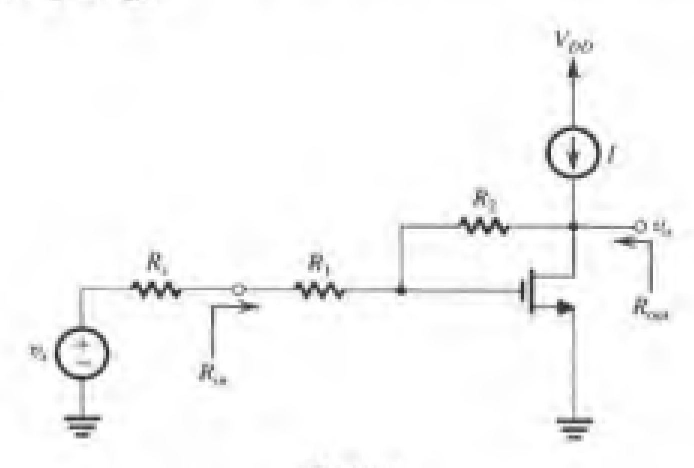


图 P8.42

8.43 某开路增益为 100 V/mA、输入电阻为 1 kΩ、输出电阻为 1 kΩ的互阻放大器以并联–并联的拓扑结构构成反馈环路。该反馈网络的反馈系数$\beta=0.1$ mA/V，输入电阻（端口 1 短路）为 10 kΩ，输入电阻（端口 2 短路）为 10 kΩ。放大器输入端接源电阻 $R_s=10$ kΩ的电流源，输出端接负载电阻 $R_L=1$ kΩ。求反馈放大器的互阻增益 A_f、输入电阻 R_{in} 及输出电阻 R_{out}。

8.44 考虑如图 P8.44 所示的并联–串联反馈放大器，推导 A、β、A_f、R_{in} 和 R_{of}（从标有 XX 的端口视入）的表达式。忽略 r_o 及衬底效应。在 $g_{m1}=g_{m2}=5$ mA/V，$R_D=10$ kΩ，$R_s=10$ kΩ，$R_F=90$ kΩ的条件下计算所有上述参数的数值。注意，R_{of} 可视为 Q_2 的源极衰减电阻。在 $r_{o2}=20$ kΩ且忽略衬底效应的情况下，确定 R_{out} 的数值。（提示：源极衰减电阻 R 可将 R_{out} 近似增大 g_mR 倍。）

8.45 重新考虑图 P8.44 所示的电路。现在将 Q_2 的漏极与 V_{DD} 相连，输出电压取自 Q_2 的源极。

由于输出电压 V_o 是由 R_S 生成的，因此 R_S 被视为 A 电路的一部分。确认现在的放大器是并联–并联拓扑结构的反馈放大器，其反馈网络由 R_F 组成。求 A、β、A_f、R_{in} 和 R_{out} 的表达式，其中 R_{out} 为从输出端视入的电阻。忽略 r_o 和衬底效应。在 $g_{m1}=g_{m2}=5$ mA/V，$R_D=10$ kΩ，$R_S=10$ kΩ，$R_F=90$ kΩ的情况下，确定以上参数的数值。

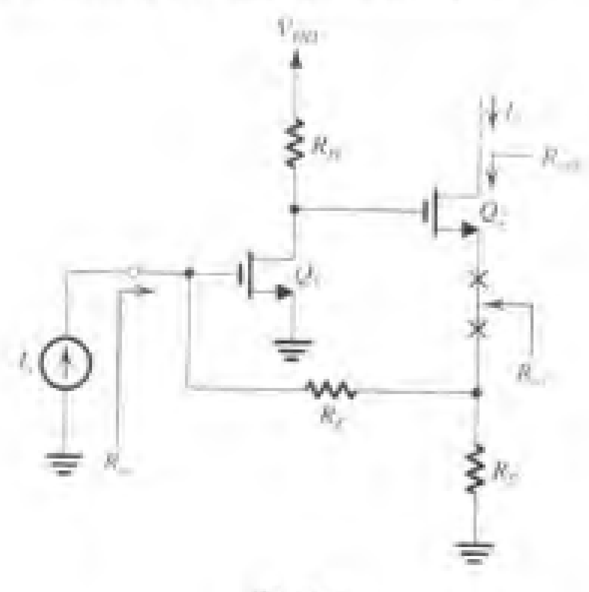


图 P8.44

D**8.46 （a）参见如图 P8.46（a）所示的电路，证明：若环路增益很大，则电压增益 V_o/V_s 可近似为

$$\frac{V_o}{V_s}\simeq-\frac{R_f}{R_s}$$

（b）通过三个如图 P8.46（b）所示类型的放大级级联，构成放大器μ。在此放大器基础上设计一个电压增益近似为–100 V/V 的反馈放大器。若放大器分别接源端电阻 $R_s=10$ kΩ 和负载电阻 $R_L=1$ kΩ，计算实际所得到的 V_o/V_s 的值，以及输入电阻（不计 R_s）和输出电阻（不计 R_L）。假设 BJT 的 h_{fe} 为 100。（注意：实际电路出于稳定性的考虑，三个放大级不会完全相同。）

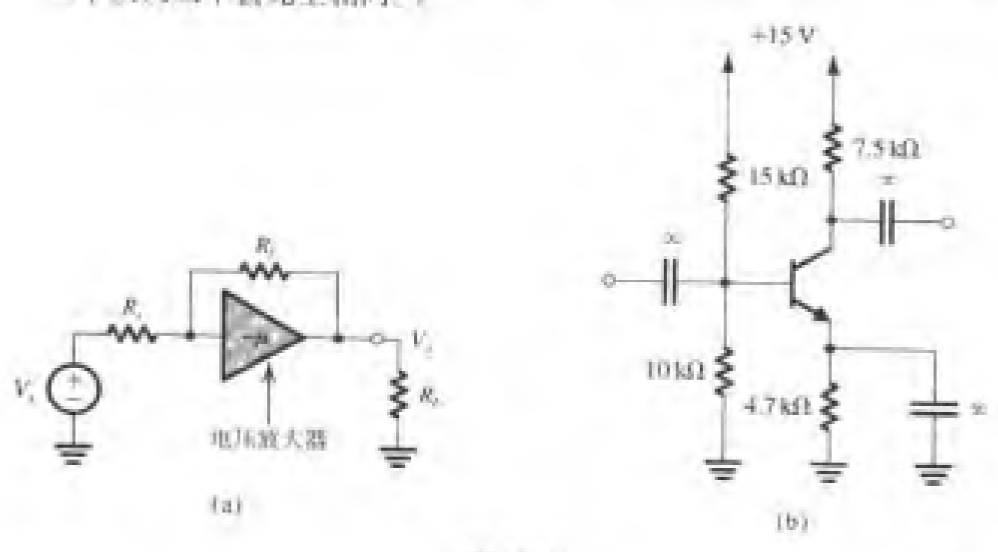


图 P8.46

D8.47 我们可能出于不同的目的引入负反馈，从而改变特定放大器的某些性能。确定以下情况下的反馈拓扑结构：

（a）减小输入电阻，增大输出电阻。

（b）输入电阻和输出电阻同时增大。

（c）输入电阻和输出电阻同时减小。

*8.48 考虑如图 P8.48 所示的电路，运用反馈分析方法确定电压增益 V_o/V_s、输入电阻 R_{in} 及输出电阻 R_{out}。假设其运算放大器具有开环增益$\mu = 10^4$ V/V，$R_{id} = 100$ kΩ，$r_o = 1$ kΩ。

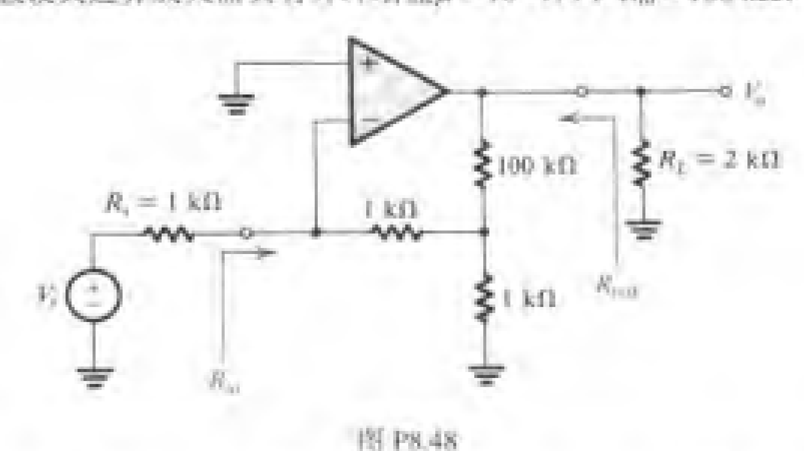


图 P8.48

*8.49 考虑如图 8.25（a）所示的放大器，设其输出端取自最右面的晶体管 Q_2 的发射极。运用并联–并联反馈放大器的分析方法计算(V_{out}/I_{in})和 R_{in}。再利用所得结果计算 I_{out}/I_{in}，并与例题 8.4 所得的结果进行比较。

8.50 某短路电流增益为 100 A/A、输入电阻为 1 kΩ、输出电阻为 10 kΩ的电流放大器以并联–串联的拓扑结构构成某负反馈环路。反馈网络的反馈系数$\beta = 0.1$ A/A。在缺乏足够数据的情况下，估计反馈放大器的电流增益、输入电阻和输出电阻。

*8.51 参见如图 P8.51 所示的放大器电路，假设 V_s 不存在直流分量，求所有节点的直流电压以及 Q_1 和 Q_2 的射极电流。假定 BJT 的$\beta = 100$。运用反馈方法分析求 V_o/V_s 和 R_{in}。

8.52 如图 P8.52 所示的反馈放大器由 Q_1 和 R_D 组成的共基放大器和由电容分压器(C_1、C_2)与共源放大器 Q_f 组成的反馈网络构成。注意此处略去了 Q_f 的偏置电路。确定 $A_f = V_o/I_s$、R_{in} 和 R_{out} 的表达式。假设电容 C_1 和 C_2 均足够小，它们对于基本放大器的负载效应可以忽略，同时忽略 r_o 和衬底效应。若 $g_{m1} = 5$ mA/V，$R_D = 10$ kΩ，$C_1 = 0.9$ pF，$C_2 = 0.1$ pF，$g_{mf} = 1$ mA/V，计算 A_f、R_{in} 和 R_{out}。

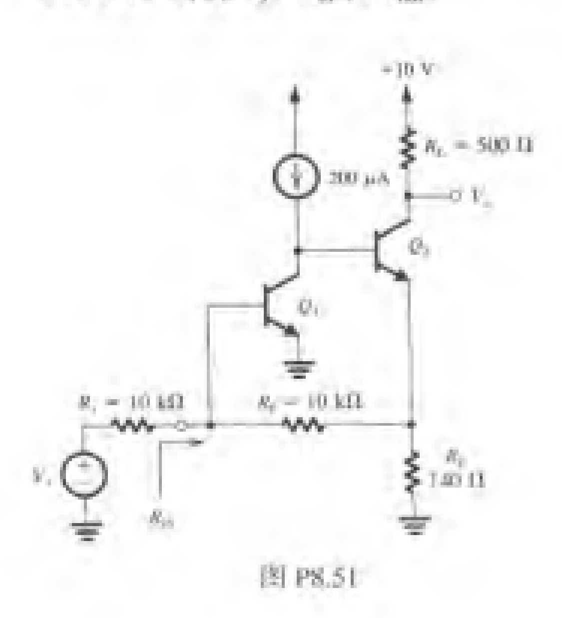


图 P8.51

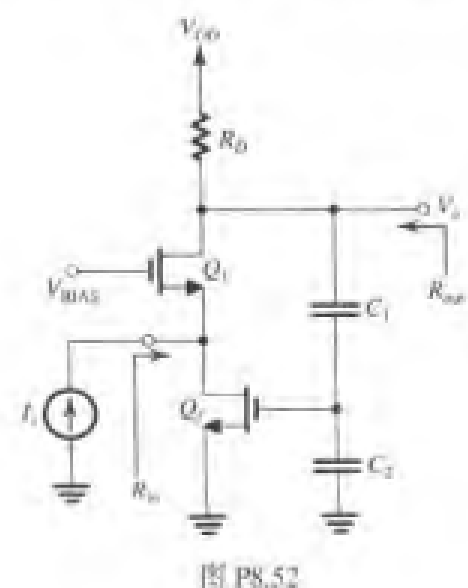


图 P8.52

8.7 节：环路增益的确定

8.53 确定图 P8.34 所示放大器的环路增益，在 Q_2 的栅极断开环路并确定在 100 kΩ电阻两端的返回电压（此时 V_s 置零）。器件参数 $|V_t| = 1$ V，$k_n' W/L = 1$ mA/V^2，$h_{fe} = 100$。所有器件（包括组成电流源的器件）的厄尔利电压均为 100 V。信号源 V_s 不含直流分量。确定输出电阻 R_{out}。

8.54 要求确定图 P8.35 所示放大器电路的环路增益。最方便的断开环路的位置位于 Q_2 的基极，因此在 Q_1 的集电极与地之间连接一个与 $r_{\pi 2}$ 相同大小的电阻，并在 Q_2 的基极施加测试电压 V_t，从而确定 Q_1 集电极的返回电压（当然，此时 V_s 置零）。证明：

$$A\beta = \frac{g_{m2}R_{C2}(h_{fe3}+1)}{R_{C2}+(h_{fe3}+1)[r_{e3}+R_F+(R_E // r_{e1})]} \times \frac{\alpha_1 R_E}{R_E + r_{e1}}(R_{C1} // r_{\pi 2})$$

8.55 证明图 P8.39 所示放大器电路的环路增益为

$$A\beta = g_{m1,2}(r_{o2} // r_{o4})\frac{R_F // r_{o5}}{(R_F // r_{o5}) + 1/g_{m5}}$$

其中，$g_{m1,2}$ 为 Q_1 和 Q_2 的 g_m。

8.56 分别推导图 P8.26 所示的 4 个反馈电路环路增益的表达式。假设运算放大器的简化模型包含输入电阻 R_{id}、开路电压增益 μ 和输出电阻 r_o。

*8.57 参见如图 P8.33 所示的反馈放大器，通过在 Q_2 的栅极断开环路并将 v_s 置零确定其环路增益（具体数值参见习题 8.33 所述），同时求出 R_{out} 的数值。

8.58 参见如图 P8.42 所示的反馈放大器，通过在 MOSFET 的栅极断开环路并将 v_s 置零推导其环路增益的表达式。再根据习题 8.42 给出的元件数值计算环路增益。

8.59 参见如图 P8.44 所示的反馈放大器，通过在 Q_1 的栅极断开环路并将 I_s 置零推导其环路增益的表达式。

8.60 参见如图 P8.52 所示的反馈放大器，试通过在 Q_f 的栅极断开环路并将 I_s 置零推导其环路增益的表达式。

8.8 节：稳定性问题

8.61 某运算放大器设计要求达到 10^5 的低频增益并在 100 rad/s 频率上达到单极点高频响应。但由于制造失误，同时引入了一对位于 10 000 rad/s 频率上的附加极点。当总相移达到 180° 时，相应的频率为多少？在该频率上，β 取何值时环路增益达到单位值（假设 β 与频率无关）？相应的低频闭环增益为多少？

**8.62 根据习题 8.61 所述，在 $\beta = 1.0$ 和 10^{-3} 时分别绘出奈奎斯特图。（绘制时取以下各点：$\omega =$ 0 rad/s，100 rad/s，10^3 rad/s，10^4 rad/s 以及 ∞ rad/s。）

8.63 考虑某运算放大器，其低频增益为 10^3，单极点角频率为 10^4 rad/s，现施加一反馈回路，其反馈系数为 k 且具有二重角频率为 10^4 rad/s。确定 k 的数值，一旦大于该数值闭环放大器将不再稳定。

8.64 考虑某反馈放大器，其开环增益 $A(s)$ 为

$$A(s) = \frac{1000}{(1+s/10^4)(1+s/10^5)^2}$$

若反馈系数β与频率无关，确定相移为 180°时的频率。同时确定β 的关键值，在该数值时系统开始自激振荡。

8.9 节：反馈对放大器极点的影响

8.65 考虑某直流放大器，其具有单极点频率响应，极点频率为 10^4 Hz，单位增益角频率为 10 MHz，现接入反馈系数（与频率无关）为 0.1 的反馈回路。求闭环放大器的低频增益、3 dB 频率及单位增益角频率。极点位移的因子为多少？

*8.66 考虑某放大器，其低频增益为 10^3，两个极点分别位于 10^4 Hz 和 10^5 Hz，现接入反馈系数（与频率无关）为β 的负反馈回路。

（a）β 取何值时闭环极点重合？该点的频率为多少？

（b）在（a）所述情况下相应的低频增益为多少？极点重合所在频率处的闭环增益为多少？

（c）在（a）所述情况下相应的 Q 因子为多少？

（d）若β 增大 10 倍，确定新极点的位置及其对应的 Q 因子。

D8.67 考虑某直流放大器，其开环增益为 1000，两个极点分别为 1 kHz 的主极点和位置可控的高频极点。要求将此放大器接入反馈网络后得到的闭环增益为 100 且达到最大平坦响应。确定所需的反馈系数β 的数值以及第二极点的位置。

8.68 重新考虑例题 8.5，其中修改了图 8.34 所示电路并引入了所谓的锥形网络，从而使得最靠近放大器输入端的两个元件阻抗增大至 $C/10$ 和 $10R$。确定得到的极点频率ω_0和 Q 因子的表达式。K 取何值时极点重合？K 取何值时达到最大平坦响应？K 取何值时电路自激振荡？

8.69 三个完全相同的逻辑反相器以环状相连，每个反相器在其转换区域内可视做增益为$-K$ 的线性放大器并具有位于 10^7 Hz 的单极点。将其视做$\beta = 1$ 的负反馈回路，确定最小的 K 值以使反相器环必须振荡。对于非常微小的信号而言，自激振荡的频率为多少？［注意，在实际情况中，该环状振荡器通常工作在频率较低且幅度较大（逻辑电平）的信号上。］

8.10 节：基于波特图的稳定性分析

8.70 重新考虑练习 8.14，若运算放大器被连接成单位增益缓冲器，确定$|A\beta| = 1$ 处的频率并计算相应的相位裕量。

8.71 重新考虑练习 8.14，由于制造失误引入了位于 10^4 Hz 的第二极点，问$|A\beta| = 1$ 处的频率为多少？计算相应的相位裕量。β 取何值时相位裕量不小于 45°？

8.72 试确定增益峰值分别为 5%，10%，0.1 dB 和 1 dB 时的相位裕量［提示：运用式（8.76）所得的结果。］

8.73 某放大器的直流增益为 10^5，三个极点分别为 10^5 Hz，3.16×10^5 Hz 和 10^6 Hz。确定β 值以及相应的闭环增益以使相位裕量达到 45°。

8.74 某双极点放大器的增益 $A_0 = 10^3$，两个极点分别为 1 MHz 和 10 MHz，现将其连接成微分器。根据闭合率的要求，在保持系统稳定的前提下，最小的微分时间常数为多少？相应的增益裕量和相位裕量为多少？

*8.75 现将图 8.37 所示的放大器接入与频率无关的反馈网络，试确定在相位裕量为 45°和 90°时能够得到的最小闭环电压增益。

8.11 节：频率补偿

D8.76 某多极点放大器的第一极点位于 2 MHz 处，其直流开路增益为 80 dB。现通过引入新的主极点对其进行补偿，从而使得其闭环增益可以减小至 1。试确定该新极点应达到的频率位置

D8.77 考虑习题 8.76 所述的放大器。除了引入新的主极点之外，我们还可以通过在产生极点的电路节点处添加额外的补偿电容来降低第一个极点的频率。若第二个极点的频率为 10 MHz 且在引入补偿电容前后保持不变，求第一个极点的频率必须减小到何值才能使放大器在闭环增益减小至 1 时仍保持稳定？控制节点处的电容增大了多少倍？

8.78 在 $R_1=R_2=R$，$C_2=C_1/10=C$，$C_f \gg C$，$g_m=100/R$ 的情况下，参考式（8.87）和式（8.88），通过计算 ω_{P1} 和 ω_{P2} 及 ω'_{P1} 和 ω'_{P2} 思考极点分离作用的效果。

D8.79 某运算放大器的开环电压增益为 10^4 Hz，其极点分别位于 10^5 Hz，10^6 Hz 和 10^7 Hz。现通过引入第四个主极点对其进行补偿，使其在单位反馈（$\beta=1$）时仍保持稳定。所需主极点的频率为多少？补偿网络是接在运算放大器负反馈路径上的一个 RC 低通网络。直流偏置情况为：1 MΩ的电阻与同相或者反相输入端串接均保持正常工作。为了实现所需的第四个极点，求加在反相输入端与地之间的补偿电容值。

D*8.80 某运算放大器的开环电压增益为 80 dB，其极点分别位于 10^5 Hz，10^6 Hz 和 2×10^6 Hz。现对其进行补偿，使其在单位反馈（$\beta=1$）时仍保持稳定。假设该运算放大器可具体表示为如图 8.40 所示的等效电路，其中，$C_1=150$ pF，$C_2=5$ pF，$g_m=40$ mA/V，且 f_{P1} 由放大器的输入端电路产生，而 f_{P2} 由放大器的输出端电路产生。求所需的米勒补偿电容的数值以及新的输出极点频率。

**8.81 考虑如图 P8.81 所示的运算放大器，其开环增益为 10^5，经过上限频率 $\omega_{3dB}=10$ rad/s 后单极点下降。

（a）画出环路增益的波特图。

（b）求 $|A\beta|=1$ 处的频率，并计算相应的相位裕量。

（c）确定反馈放大器的闭环传输函数（包括其零点和极点）。画出极点–零点图和传输函数的幅频特性曲线，并在其上标出上述重要参数。

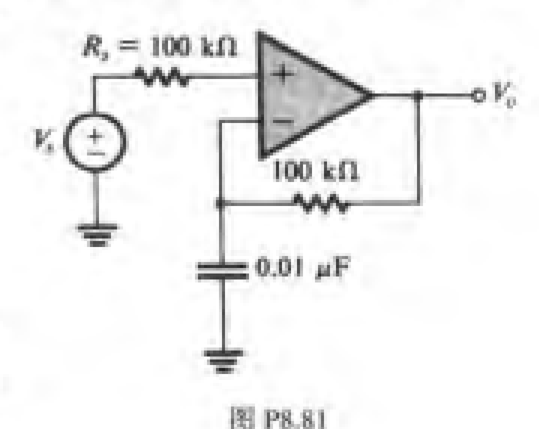


图 P8.81

第 9 章　运算放大器与数据转换电路

引言

模拟集成电路包含运算放大器、模拟乘法器、模数和数模转换器、锁相环和许多具有特殊功能的模块电路。所有这些模拟子系统的内部电路都包含我们在前面几章已经讲过的基本电路模块，比如单级放大器、差分对、电流源和 MOS 开关。

本章将介绍两类极其重要的模拟集成电路的内部结构，这两类电路是：运算放大器与数据转换器。运算放大器的端口特性和应用电路已经在第 2 章中有所阐述，这一章的目的是展示一些技术，它们在将基本模拟电路模块组合成运算放大器的时候显得非常灵巧，而且已被使用了多年。我们将介绍 CMOS 运算放大器和 BJT 运算放大器。CMOS 运算放大器电路在模拟信号和混合信号的 VLSI 电路设计时有它的应用场合，因为这些运算放大器通常是为一些特殊要求而设计的，例如：直流增益要高、带宽要大或者输出信号摆幅要大，CMOS 运算放大器往往很符合这些要求。相反，双极型运算放大器是为满足一般要求而设计的电路，属于通用型的一类运算放大器，因此，参数之间的折中考虑将在电路设计上有所体现。741 运算放大器电路已经有 35 年的历史了，然而它的内部电路对当今的工程师而言依然像过去一样令人感兴趣。

本章关于数据转换器的内容只是作为连接模拟电路和数字电路的一个桥梁，其中模拟电路的内容集中在第 6 章到第 8 章，数字电路的内容集中在第 10 章和第 11 章。

本章展示给读者这样一个观点：进行 IC 电路设计是一件令人兴奋的工作。除此以外，还将给出许多更深入的设计概念和方法。

9.1　两级 CMOS 运算放大器

首先要介绍的运算放大器电路是如图 9.1 所示的两级 CMOS 电路。该电路非常简单，但却非常经典，广泛地用于 VLSI 电路设计中。我们已经在 7.7.1 节讲过这个电路，那时它是作为多级 CMOS 放大器的一个例子。我们希望读者在继续下面的学习之前先复习一下 7.7.1 节的内容。这里我们的重点将放在电路的性能特点和设计时的折中考虑上。

9.1.1　电路

该电路由两级组成：第一级是差分放大器，电流源 Q_3–Q_4 作为差分对 Q_1–Q_2 的负载。我们曾在 7.5 节介绍过差分放大电路，这一级电压增益的典型值在 20 V/V 到 60 V/V 之间，并且实现了双端输出到单端输出的转换，共模抑制比（CMRR）也相当可观。

差分对的偏置电流由电流源 Q_5 提供，Q_5 也是 Q_8、Q_5，Q_7 组成的电流源的两个输出晶体管中的一个。电流源的参考电流 I_{REF} 可以通过与负电源 $-V_{SS}$ 或者芯片内可以得到的精确的负参考电位相连的精密电阻（芯片外）产生。也可以采用 7.7.1 节介绍的电路产生 I_{REF}，后者主要用在要求较严格的场合。

第二级由共源组态的晶体管 Q_6 和电流源负载 Q_7 组成。第二级的典型增益值是 50 V/V 到 80 V/V。另外，这一级还具有频率补偿作用。读者可以回想一下 8.11 节，当负反馈加深时，为了

保证运算放大器能够稳定工作（相对于自激振荡而言），开环增益随频率的下降速度一般是−20 dB/十倍频程，实现时只要在电路中引入一个频率较低的极点并设法使这个极点主宰整个频率响应即可。具体实现时是将补偿电容 C_C 接在第二级放大管 Q_6 的负反馈回路上，可见 C_C（还应考虑数值相当小的电容 C_{gd6}）是米勒电容，经第二级增益倍增后成为第二级输入端的等效电容，它和等效输入电阻一起产生所需要的主极点频率（后面将详述）

除非设计合理，图 9.1 所示的运算放大器电路存在输出直流系统失调电压。这一点在 7.7.1 节中曾有过讨论。我们知道，如果晶体管的尺寸满足以下约束条件，那么直流失调是可以消除的：

$$\frac{(W/L)_6}{(W/L)_4}=2\frac{(W/L)_7}{(W/L)_5} \tag{9.1}$$

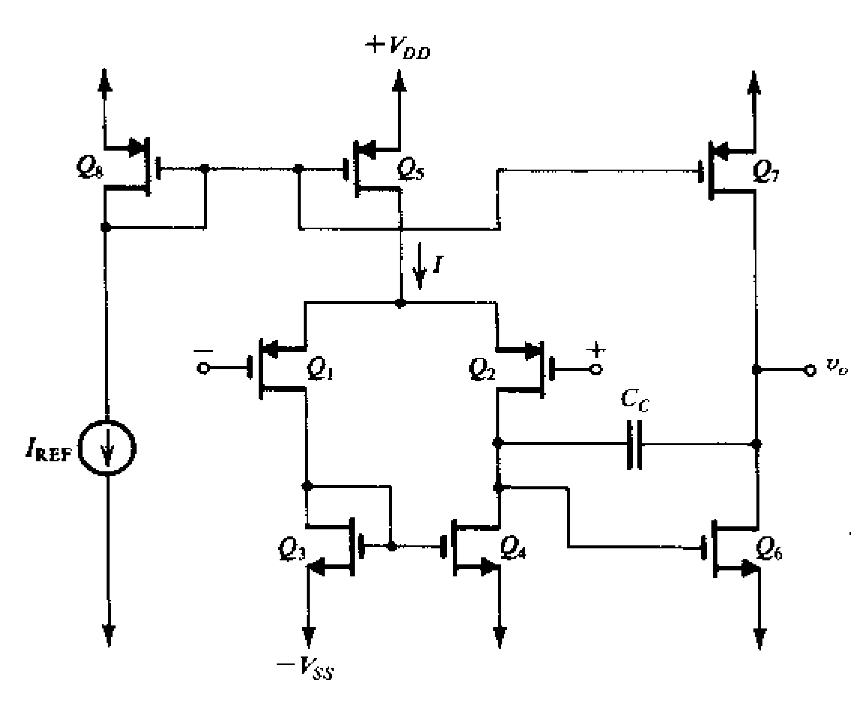


图 9.1 基本两级 CMOS 运算放大器电路

9.1.2 共模输入范围与输出摆幅

参见图 9.1，当两个输入端连接在一起并接上电压 V_{ICM} 时会发生什么情况呢？V_{ICM} 的最低值应大到能使 Q_1 和 Q_2 工作在饱和区，也就是说，V_{ICM} 的最低值不能比 Q_1 管的漏极电压（$-V_{SS}+V_{GS3}=-V_{SS}+V_{tn}+V_{OV3}$）低 $|V_{tp}|$ 或更多，即

$$V_{ICM}\geqslant -V_{SS}+V_{tn}+V_{OV3}-|V_{tp}| \tag{9.2}$$

V_{ICM} 的最高值应能保证 Q_5 仍然工作在饱和区。也就是说，跨接在 Q_5 上的电压 V_{SD5} 不能降到低于 $|V_{OV5}|$。它等效于 Q_5 的漏极电压不能高于 $V_{DD}-|V_{OV5}|$。因此，V_{ICM} 的上限为

$$V_{ICM}\leqslant V_{DD}-|V_{OV5}|-V_{SG1}$$

该式等同于

$$V_{ICM}\leqslant V_{DD}-|V_{OV5}|-|V_{tp}|-|V_{OV1}| \tag{9.3}$$

将式（9.2）和式（9.3）组合在一起便得到了共模输入信号的范围：

$$-V_{SS}+V_{OV3}+V_{tn}-|V_{tp}|\leqslant V_{ICM}\leqslant V_{DD}-|V_{tp}|-|V_{OV1}|-|V_{OV5}| \tag{9.4}$$

正如预期的那样，过驱动电压这个极其重要的设计参数与电源电压完成减法运算，从而降低了共模输入信号的范围。因此就 V_{ICM} 的范围而言，V_{OV} 应该选择得尽可能小些。

运算放大器输出信号摆幅的扩展受限于两个条件：下限受制于 Q_6 必须工作在饱和区，上限受制于 Q_7 必须工作在饱和区。因此，

$$-V_{SS}+V_{OV6}\leqslant v_O\leqslant V_{DD}-|V_{OV7}| \tag{9.5}$$

这里我们再一次看到，要想得到较宽的摆幅范围，Q_6 和 Q_7 的过驱动电压仍然需要选择得尽可能低。然而，这一要求与提高 Q_6 的传输频率 f_T 又是相违背的。从表 6.3 和 6.2.3 节的相关讨论中不难发现 f_T 与 V_{OV} 成正比，因此晶体管高频响应的性能只会随着过驱动电压的增大而有所提高。

运算放大器的输出端一般与反相输入端相连，成为单位增益放大器，这是运算放大器工作时一个比较重要的要求。一旦连接成功，v_O 的允许范围和 V_{ICM} 的允许范围将有一段重叠，这是在 CMOS 放大电路的分析中常见的情况。

练习 9.1　针对图 9.1 所示的两级 CMOS 运算放大器电路完成具体的电路设计。电路中使用的电源电压为±1.65 V，晶体管 Q_6 至 Q_7 的过驱动电压为 0.3 V，晶体管 Q_6 和 Q_7 的过驱动电压为 0.5 V。工艺参数为：$V_{tn}=|V_{tp}|=0.5\ \text{V}$，求共模输入电压范围和 v_o 的允许范围。

答案：−1.35 V 至 0.55 V，−1.15 V 至+1.15 V

9.1.3　电压增益

采用简单的等效电路模型（见图 9.2）完成 CMOS 放大器的小信号分析，确定该电路的电压增益和频率响应。图中每一级电路均为互导放大器。不难看出，输入电阻几乎趋于无穷：

$$R_{\text{in}}=\infty$$

第一级互导增益 G_{m1} 等于晶体管 Q_1 和 Q_2 的跨导 g_m（参见 7.5 节）：

$$G_{m1}=g_{m1}=g_{m2} \tag{9.6}$$

由于 Q_1 和 Q_2 的偏置电流相同（即 $I/2$），过驱动电压相同，$V_{OV1}=V_{OV2}$，所以，

$$G_{m1}=\frac{2(I/2)}{V_{OV1}}=\frac{I}{V_{OV1}} \tag{9.7}$$

电阻 R_1 表示第一级输出电阻，即

$$R_1=r_{o2}\parallel r_{o4} \tag{9.8}$$

其中，

$$r_{o2}=\frac{|V_{A2}|}{I/2} \tag{9.9}$$

和

$$r_{o4}=\frac{V_{A4}}{I/2} \tag{9.10}$$

这样，第一级的直流增益为

$$A_1=-G_{m1}R_1 \tag{9.11}$$

$$=-g_{m1}(r_{o2}\parallel r_{o4}) \tag{9.12}$$

$$= -\frac{2}{V_{OV1}} \Big/ \left[\frac{1}{|V_{A2}|} + \frac{1}{V_{A4}} \right] \quad (9.13)$$

观察发现，选择长沟道晶体管可以获得较大的厄尔利电压$|V_A|$，并且将差分对管 Q_1 和 Q_2 工作设置在较低的过驱动电压下可以提高 A_1 的幅度，然而这两种方法都会降低放大器的频响特性（参见表 6.3 和 6.2.3 节的相关讨论）。

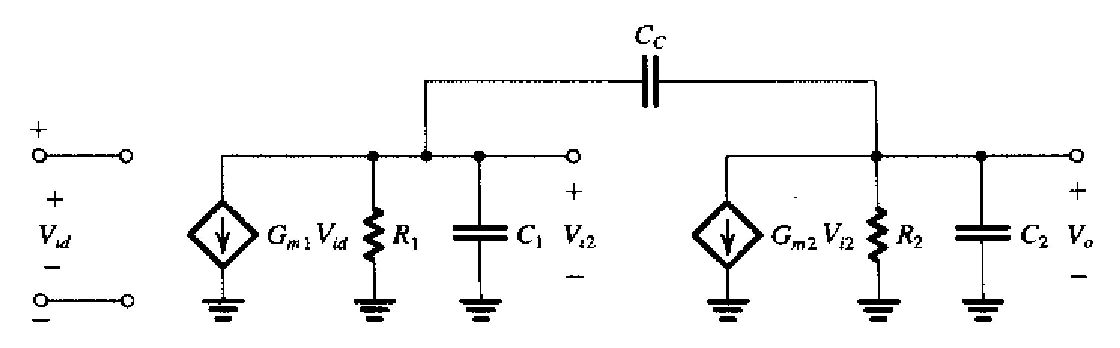


图 9.2 图 9.1 所示运算放大器的小信号等效电路

回到图 9.2 所示的等效电路，我们将不同电容模型的讨论放到下一节论述，这里我们注意到第二级的互导增益 G_{m2} 由下式给出：

$$G_{m2} = g_{m6} = \frac{2I_{D6}}{V_{OV6}} \quad (9.14)$$

电阻 R_2 代表第二级输出电阻：

$$R_2 = r_{o6} \parallel r_{o7} \quad (9.15)$$

其中，

$$r_{o6} = \frac{V_{A6}}{I_{D6}} \quad (9.16)$$

和

$$r_{o7} = \frac{|V_{A7}|}{I_{D7}} = \frac{|V_{A7}|}{I_{D6}} \quad (9.17)$$

现在我们可以得到第二级的电压增益为

$$A_2 = -G_{m2}R_2 \quad (9.18)$$

$$= -g_{m6}(r_{o6} \parallel r_{o7}) \quad (9.19)$$

$$= -\frac{2}{V_{OV6}} \Big/ \left[\frac{1}{V_{A6}} + \frac{1}{|V_{A7}|} \right] \quad (9.20)$$

这里同样可以观察到，要提高 A_2 的幅度，晶体管 Q_6 和 Q_7 的沟道长度要比较长，晶体管 Q_6 的过驱动电压要比较低。然而这些要求都会降低放大器的带宽，对设计者而言，这是一个非常重要的折中考虑。

总直流电压增益可以通过 A_1 和 A_2 的乘积得到：

$$A_v = A_1A_2$$

$$= G_{m1}R_1G_{m2}R_2 \quad (9.21)$$

$$= g_{m1}(r_{o2} \parallel r_{o4})g_{m6}(r_{o6} \parallel r_{o7}) \quad (9.22)$$

注意，A_v与$(g_m r_o)^2$具有相同的数量级，因此，A_v最大值的范围在 500 V/V 到 5000 V/V 之间。

最后，我们注意到运算放大器的输出电阻等于第二级的输出电阻：

$$R_o = r_{o6} \parallel r_{o7} \tag{9.23}$$

因而，R_o可以很大（比如，几十 kΩ）。只是芯片上的 CMOS 运算放大器几乎不需要驱动大负载，所以大的开环输出电阻通常不会成为严重问题。

练习 9.2　图 9.1 所示的 CMOS 运算放大器的制造工艺参数为：$V'_{An} = |V'_{Ap}| = 20\ \text{V}/\mu\text{m}$，求 A_1，A_2和 A_v。假设所有的晶体管沟道长度均为 1μm，$V_{OV1} = 0.2\ \text{V}$，$V_{OV6} = 0.5\ \text{V}$。当第二级的偏置电流为 0.5 mA 时，求运算放大器的输出电阻。

答案：−100 V/V；−40 V/V；4000 V/V；20 kΩ

9.1.4　频率响应

回到图 9.2 所示的等效电路。电容 C_1 表示第一级输出节点到地的总电容，即

$$C_1 = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_{gs6} \tag{9.24}$$

电容 C_2 表示运算放大器输出节点和地之间的总电容，其中包括放大器需要驱动的负载电容 C_L，即

$$C_2 = C_{db6} + C_{db7} + C_{gd7} + C_L \tag{9.25}$$

通常，C_L远大于晶体管电容，所以导致电容 C_2 比 C_1 大许多。最后，我们注意到 C_{gd6} 和 C_C 相并联，但是可以忽略，因为电容 C_c 通常比较大。

我们在 7.7.1 节已经对图 9.2 的等效电路进行了分析，该电路有两个极点和一个正实轴的零点，零极点频率的近似值如下：

$$f_{P1} \simeq \frac{1}{2\pi R_1 G_{m2} R_2 C_C} \tag{9.26}$$

$$f_{P2} \simeq \frac{G_{m2}}{2\pi C_2} \tag{9.27}$$

$$f_Z \simeq \frac{G_{m2}}{2\pi C_C} \tag{9.28}$$

这里，主极点 f_{P1} 由电容 C_C 经米勒倍增［即 $(1+G_{m2}R_2)C_C \simeq G_{m2}R_2C_C$］后与电阻 R_1 共同产生。为了使−20 dB/十倍频程的增益衰减到 0 dB，则单位增益频率 f_t 必须低于 f_{P2} 和 f_Z：

$$f_t = |A_v| f_{P1} \tag{9.29}$$

$$= \frac{G_{m1}}{2\pi C_C} \tag{9.30}$$

因此设计时必须满足以下两个条件：

$$\frac{G_{m1}}{C_C} < \frac{G_{m2}}{C_2} \tag{9.31}$$

和

$$G_{m1} < G_{m2} \tag{9.32}$$

简单等效电路　当 $f \gg f_{P1}$ 时可得到−20 dB/十倍频程的平均衰减速度，从而说明在这些频率

上，运算放大器可以用图 9.3 所示的电路来简单等效。这样的简化很吸引人，但需要建立在某种假设的基础上，这种假设就是第二级的电压增益$|A_2|$非常大，因而第二级的输入端呈现虚地点。第二级实际上扮演的是积分器的角色，激励由第一级的输出端电流 $G_{m1}V_{id}$ 提供。虽然简化电路是通过 CMOS 电路推导出来的，但它具有通用性，可适用于多种形式的两级运算放大器电路，其中包括下一节将要介绍的 741 双极型运算放大器的前两级电路。

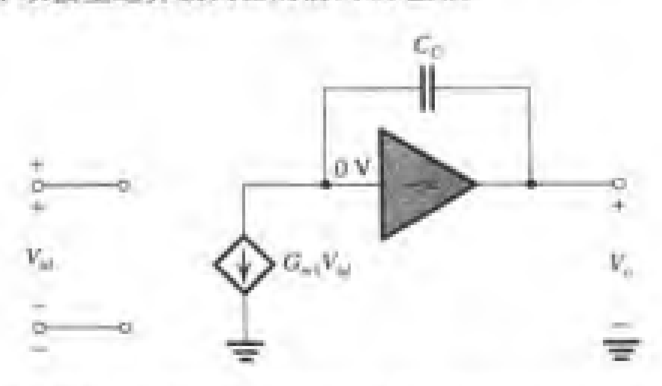


图 9.3 两级运算放大器近似的高频等效电路。该电路适用于 $f \gg f_{P1}$ 的情况

相位裕量 两级 CMOS 运算放大器的频率补偿采用的是极点分离法（在 8.11.3 节中讨论过）：它提供了一个频率很低的主极点 f_{P1} 并将第二个极点移至 f_t 之后。图 9.4 给出了幅频和相频的波特图。注意，在单位增益频率 f_t 上，主极点 f_{P1} 引起的滞后相移超过 90°。由第二个极点产生的附加相移为

$$\phi_{P2} = -\tan^{-1}\left(\frac{f_t}{f_{P2}}\right) \tag{9.33}$$

由右半平面零点产生的附加相称为

$$\phi_Z = -\tan^{-1}\left(\frac{f_t}{f_Z}\right) \tag{9.34}$$

因此在 $f = f_t$ 处的总滞后相移为

$$\phi_{total} = 90^\circ + \tan^{-1}(f_t / f_{P2}) + \tan^{-1}(f_t / f_Z) \tag{9.35}$$

则相位裕量为

$$\begin{aligned}\text{相位裕量} &= 180^\circ - \phi_{total} \\ &= 90^\circ - \tan^{-1}(f_t / f_{P2}) - \tan^{-1}(f_t / f_Z)\end{aligned} \tag{9.36}$$

在 8.10.2 节关于反馈放大器的稳定性分析中，我们知道相位裕量的值将严重影响闭环增益，因而取得一个最小的相位裕量通常是设计时要考虑的因素。

解决由零点产生的滞后相移的问题比较简单：将电阻 R 和电容 C_C 串联（如图 9.5 所示）就可以将传输零点移到不太危险的地方。为了找零点的新位置，令 $V_o = 0$，则流过电容 C_C 的电流是 $V_{i2}/(R + 1/sC_c)$，得到输出端的节点方程为

$$\frac{V_{i2}}{R + \dfrac{1}{sC_C}} = G_{m2}V_{i2}$$

现在零点的位置是

$$s = 1/C_C\left(\frac{1}{G_{m2}} - R\right) \tag{9.37}$$

观察发现：通过选择 $R = 1/G_{m2}$ 可以将零点频率设置为无穷。更好的选择方法是使 R 的阻值大于 $1/G_{m2}$，这时零点位于负实轴上，引入的相移将增加相位裕量。

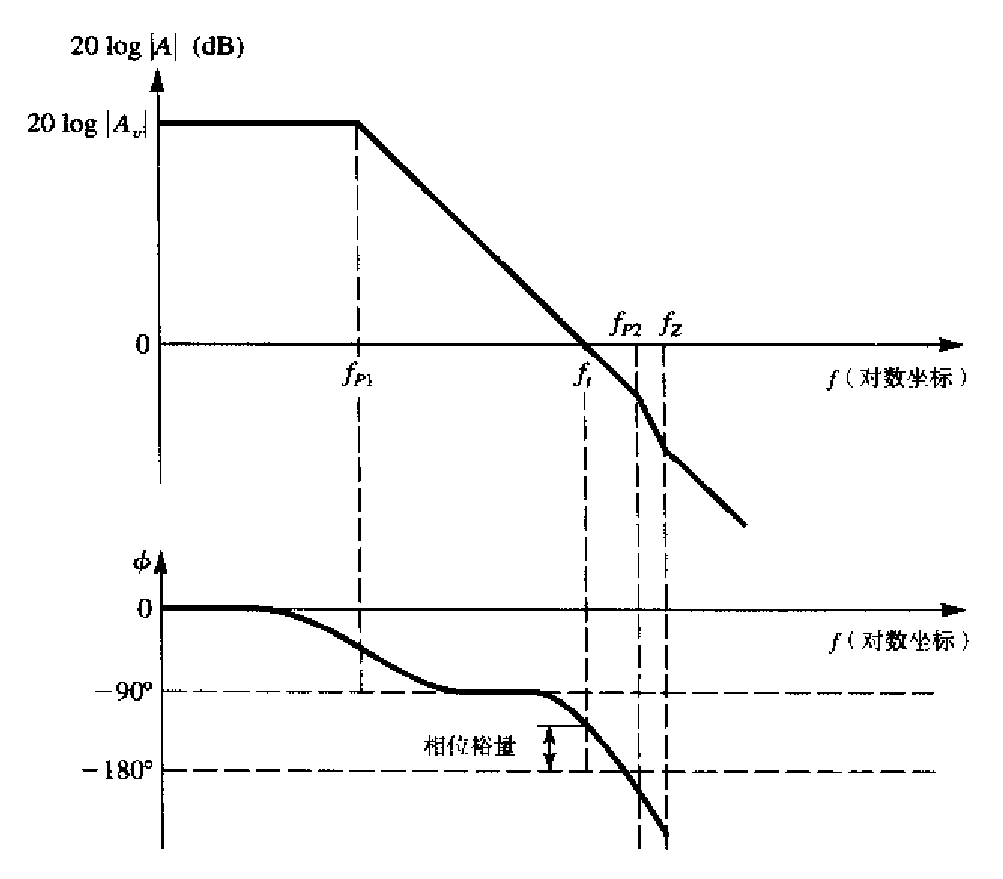


图 9.4　两级运算放大器的典型频率响应

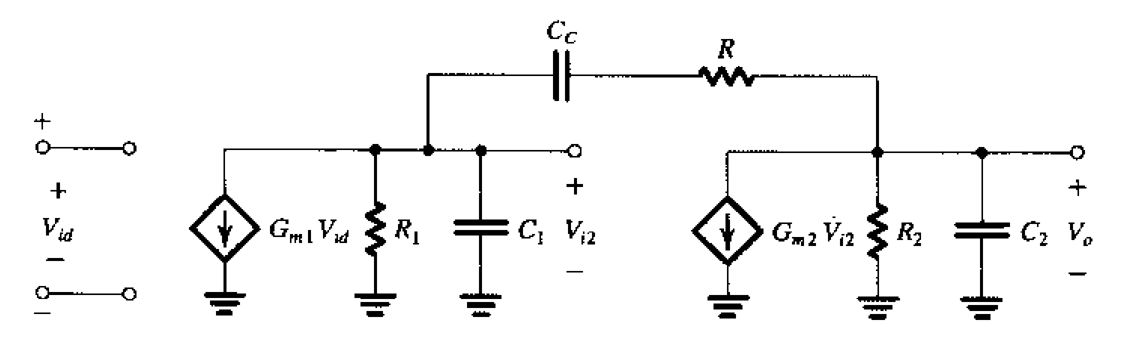


图 9.5　图 9.1 所示运算放大器的小信号等效电路，其中，电阻 R 与电容 C_C 相串联

练习 9.3　实现图 9.1 和图 9.2 所示的两级 CMOS 电路，已知：$G_{m1} = 1\,\text{mA/V}$，$G_{m2} = 2\,\text{mA/V}$，$r_{o2} = r_{o4} = 100\,\text{k}\Omega$，$r_{o6} = r_{o7} = 40\,\text{k}\Omega$ 以及 $C_2 = 1\,\text{pF}$。

（a）求使 $f_t = 100\,\text{MHz}$ 时的电容 C_C 的值，此时开环增益的 3 dB 频率是多少？

（b）为使传输零点位于无限远处，求与电容 C_C 串联的电阻 R 的值。

（c）在（b）的情况下，求第二个极点的频率；并求在 $f = f_t$ 处第二个极点引入的滞后相移和相位裕量。

答案：1.6 pF；50 kHz；500 Ω；318 MHz；17.4°；72.6°

9.1.5　摆率

我们曾在第 2 章讨论过运算放大器摆率的受限问题。这里我们将采用正在介绍的两级 CMOS

放大器的例子说明摆率问题的起源。

考虑图 9.6 所示的单位增益跟随器，输入是 1 V 的阶跃信号。由于放大器的动态特性，输出不可能在零时间内改变，所以在加上输入后的瞬间，整个阶跃信号表现为差模输入电压出现在两个输入端。这么大的电压很可能超过差分对一边截止时所需要的电压（即 $\sqrt{2}V_{OV}$，参见图 7.6），从而导致偏置电流 I 全部流到另一边。参考图 9.1 的例子，Q_2 截止，Q_1 传导全部的电流 I。这样，Q_4 将吸收来自电容 C_C 的电流，如图 9.7 所示，第二级仍然被模拟成理想的积分器，如同图 9.3 所示。可以看到，输出电压是斜率为 I/C_C 的时间函数：

$$v_o(t) = \frac{I}{C_C}t \tag{9.38}$$

从而摆率 SR 可以由下式给出：

$$SR = \frac{I}{C_C} \tag{9.39}$$

必须指出，这是描述摆率的简单模型。

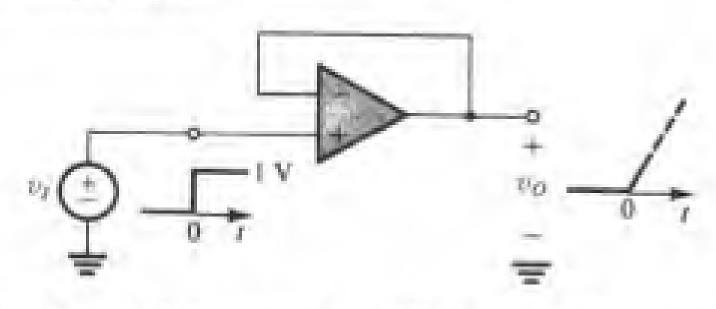


图 9.6　受阶跃信号作用的单位增益跟随器。由于输出电压不可能立即改变，从而导致运算放大器输入端呈现较大的差分电压

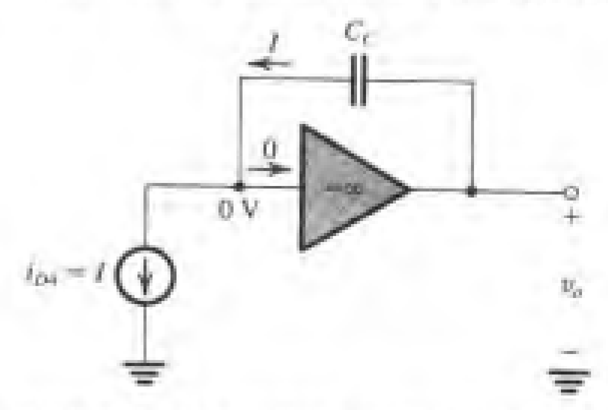


图 9.7　图 9.1 所示的两级 CMOS 运算放大器在较大的差分电压作用时的模型

SR 和 f_t 之间的关系　单位增益带宽 f_t 和摆率 SR 之间存在一种简单的关系。只要将式（9.30）和式（9.39）结合起来，并且考虑到 $G_{m1} = g_{m1} = I/V_{OV1}$，可以得到

$$SR = 2\pi f_t V_{OV} \tag{9.40}$$

或等效为

$$SR = V_{OV}\omega_t \tag{9.41}$$

对于给定的 ω_t，摆率由第一级晶体管的过驱动电压决定。当 Q_1 和 Q_2 的过驱动电压较大时，摆率较大。而当偏置电流 I 给定时，如果 Q_1 和 Q_2 是 p 沟道晶体管，它们将获得较大的过驱动电压，

这就是 CMOS 运算放大器的第一级为什么采用 p 沟道器件而不是 n 沟道器件的主要原因。另一个原因是第二级需要采用 n 沟道器件，因为 n 沟道器件的跨导比相应的 p 沟道器件要大很多，所以 G_{m2} 很大，使得第二个极点和 ω_t 都可以很大。当然，这些性能的提高是需要付出代价的，那就是较低的 G_{m1} 和较低的直流增益。

练习 9.4　求图 9.1 所示的 CMOS 运算放大器电路的摆率。已知：$f_t = 100$ MHz，$V_{OV1} = 0.2$ V。如果 $C_C = 1.6$ pF，偏置电流 I 应为多少？

答案：126 V/μs；200 μA

例题 9.1　我们通过一个设计的例子来总结一下两级 CMOS 运算放大器电路的学习。这里要求设计这样一个电路：其直流增益为 4000 V/V。假设采用 0.5 μm 的集成工艺，参数为：$V_{tn} = |V_{tp}| = 0.5$ V，$k_n' = 200\ \mu A/V^2$，$k_p' = 80\ \mu A/V^2$，$V_{An}' = |V_{Ap}'| = 20$ V/μm，电源电压 $V_{DD} = V_{SS} = 1.65$ V。为了使每一级的直流增益合理，设所有晶体管的沟道长度均为 $L = 1\ \mu$m。同样，为使设计简单，假设所有晶体管的过驱动电压 $|V_{OV}|$ 均相等，范围在 0.2 V 到 0.4 V 之间。$I = 200\ \mu$A，为得到较高的 G_{m2} 和 f_{P2}，设定 $I_{D6} = 0.5$ mA。确定所有晶体管的沟道宽长比 W/L、共模输入范围、输出最大摆幅、R_{in} 和 R_o。如果 $C_1 = 0.2$ pF，$C_2 = 0.8$ pF，为使传输零点位于无限远的地方，求所需要的电容 C_C 和与之串联的电阻 R 的值，以及相位裕量为 75° 时最大可能的 f_t。估算摆率 SR 和 f_t。

解：利用电压增益表达式［即式（9.22）］可得

$$A_v = g_{m1}(r_{o2} \| r_{o4}) g_{m6}(r_{o6} \| r_{o7})$$
$$= \frac{2(I/2)}{V_{OV}} \times \frac{1}{2} \times \frac{V_A}{(I/2)} \times \frac{2I_{D6}}{V_{OV}} \times \frac{1}{2} \times \frac{V_A}{I_{D6}}$$
$$= \left(\frac{V_A}{V_{OV}}\right)^2$$

对给定的 $V_A = 20$ V，要使 $A_v = 4000$，则

$$4000 = \frac{400}{V_{OV}^2}$$
$$V_{OV} = 0.316\ \text{V}$$

为了计算 Q_1 和 Q_2 的宽长比，则

$$I_{D1} = \frac{1}{2} k_p' \left(\frac{W}{L}\right)_1 V_{OV}^2$$
$$100 = \frac{1}{2} \times 80 \left(\frac{W}{L}\right)_1 \times 0.316^2$$

即

$$\left(\frac{W}{L}\right)_1 = \frac{25\mu m}{1\mu m}$$

和

$$\left(\frac{W}{L}\right)_2 = \frac{25\mu m}{1\mu m}$$

对 Q_3 和 Q_4，可写出如下方程：

$$100 = \frac{1}{2} \times 200\left(\frac{W}{L}\right)_3 \times 0.316^2$$

从而得到

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = \left(\frac{10\mu\text{m}}{1\mu\text{m}}\right)$$

对 Q_5，有

$$200 = \frac{1}{2} \times 80\left(\frac{W}{L}\right)_5 \times 0.316^2$$

即

$$\left(\frac{W}{L}\right)_5 = \left(\frac{50\ \mu\text{m}}{1\ \mu\text{m}}\right)$$

因为 Q_7 的偏置电流为 500 μA，所以它的（W/L）应该是 Q_5 的 2.5 倍，即

$$\left(\frac{W}{L}\right)_7 = 2.5\left(\frac{W}{L}\right)_5 = \left(\frac{125\ \mu\text{m}}{1\ \mu\text{m}}\right)$$

对 Q_6，可以写出如下方程：

$$500 = \frac{1}{2} \times 200\left(\frac{W}{L}\right)_6 \times 0.316^2$$

即

$$\left(\frac{W}{L}\right)_6 = \frac{50\ \mu\text{m}}{1\ \mu\text{m}}$$

最后，选择 $I_{REF} = 20\ \mu\text{A}$，则

$$\left(\frac{W}{L}\right)_8 = 0.1\left(\frac{W}{L}\right)_5 = \frac{5\ \mu\text{m}}{1\ \mu\text{m}}$$

利用式（9.4），可以求得共模输入范围如下：

$$-1.33\ \text{V} \leqslant V_{ICM} \leqslant 0.52\ \text{V}$$

利用式（9.5），可以求得输出信号的最大允许摆幅为

$$-1.33\ \text{V} \leqslant v_O \leqslant 1.33\ \text{V}$$

输入电阻近似为无穷大，而输出电阻为

$$R_o = r_{o6} \parallel r_{o7} = \frac{1}{2} \times \frac{20}{0.5} = 20\ \text{k}\Omega$$

利用式（9.27）确定 f_{P2}，其中 G_{m2} 由下式代入：

$$G_{m2} = g_{m6} = \frac{2I_{D6}}{V_{OV}} = \frac{2 \times 0.5}{0.316} = 3.2\ \text{mA/V}$$

即

$$f_{P2} = \frac{3.2 \times 10^{-3}}{2\pi \times 0.8 \times 10^{-12}} = 637\ \text{MHz}$$

为了使传输零点位于无穷远处，即 $s=\infty$，选择电阻 R 的值为

$$R=\frac{1}{G_{m2}}=\frac{1}{3.2\times10^{-3}}=316\,\Omega$$

因为相位裕量等于 75°，因此表明第二个极点在 $f=f_t$ 处引入的相移应为 15°，即

$$\tan^{-1}\frac{f_t}{f_{P2}}=15°$$

所以，

$$f_t=637\times\tan 15°=171\text{ MHz}$$

由式（9.30）可以求得电容 C_C 的值如下：

$$C_C=\frac{G_{m1}}{2\pi f_t}$$

其中，

$$G_{m1}=g_{m1}=\frac{2\times100\,\mu\text{A}}{0.316\text{ V}}=0.63\text{ mA/V}$$

因而

$$C_{C1}=\frac{0.63\times10^{-3}}{2\pi\times171\times10^{6}}=0.6\text{ pF}$$

由式（9.40）可计算出摆率为

$$\begin{aligned}SR&=2\pi\times171\times10^{6}\times0.316\\&=340\text{ V}/\mu\text{s}\end{aligned}$$

■

9.2 折叠 cascode CMOS 运算放大器

本节将介绍另外一种 CMOS 运算放大器电路：折叠 cascode 电路。该电路基于 6.8.6 节介绍的折叠 cascode 放大器。虽然该放大器是由 CS 晶体管和极性相反的 CG 晶体管级联而成，但是折叠 cascode 结构通常仍然作为单级放大器来考虑。同样，基于 cascode 结构的运算放大器电路也通常作为单级运算放大器来考虑。这种形式的电路性能在设计时可以获得等同于甚至在某些方面超过前一节所描述的两级运算放大器电路。事实上，折叠 cascode 结构现在要比两级结构使用得更加普遍，而且，将折叠 cascode 结构和两级运算放大器结构结合起来使用，其电路性能要比单独使用其中任何一种结构都好。

9.2.1 电路

图 9.8 所示即为 CMOS 折叠 cascode 运算放大器的电路结构。其中，Q_1 和 Q_2 构成输入差分对，Q_3 和 Q_4 组成 cascode 级联电路，当差模信号输入时，Q_1 和 Q_2 都是共源放大器。Q_3 和 Q_4 的栅极接的是不变的直流电压(V_{BIAS1})，对信号而言是交流接地。这样，当差模输入时，晶体管对 Q_1–Q_3 和 Q_2–Q_4 就成为折叠 cascode 放大器，如图 6.45 所示。输入差分级的偏置由恒流源 I 提供，所以晶体管 Q_1 和 Q_2 均偏置于 $I/2$。根据漏极节点方程，可知 Q_3 和 Q_4 的偏置电流为（$I_B-I/2$）。选取 $I_B=I$，迫使所有的晶体管都偏置在 $I/2$ 上。但是，I_B 的值通常要比 I 大，原因将在下面说明。

第 6 章曾提到，cascode 结构可以实现高输出电阻，但要求电流源输出电阻也要很高。这就是在图 9.8 所示电路中采用 Q_5 到 Q_8 的 cascode 镜像电流源的原因（镜像电流源电路参见 6.12.1 节）。

最后，电容 C_L 表示输出端的总电容（其中包括晶体管的内部电容）、实际负载电容（如果有的话）以及为实现频率补偿而加入的附加电容。但是在很多情况下，负载电容都相当大，从而排除了增加附加电容的需求，关于这一点将在下面阐述。现在，我们注意到该电路不像两级结构那样采用实现极点分离的补偿电容 C_C，而是采用负载电容来实现频率补偿。

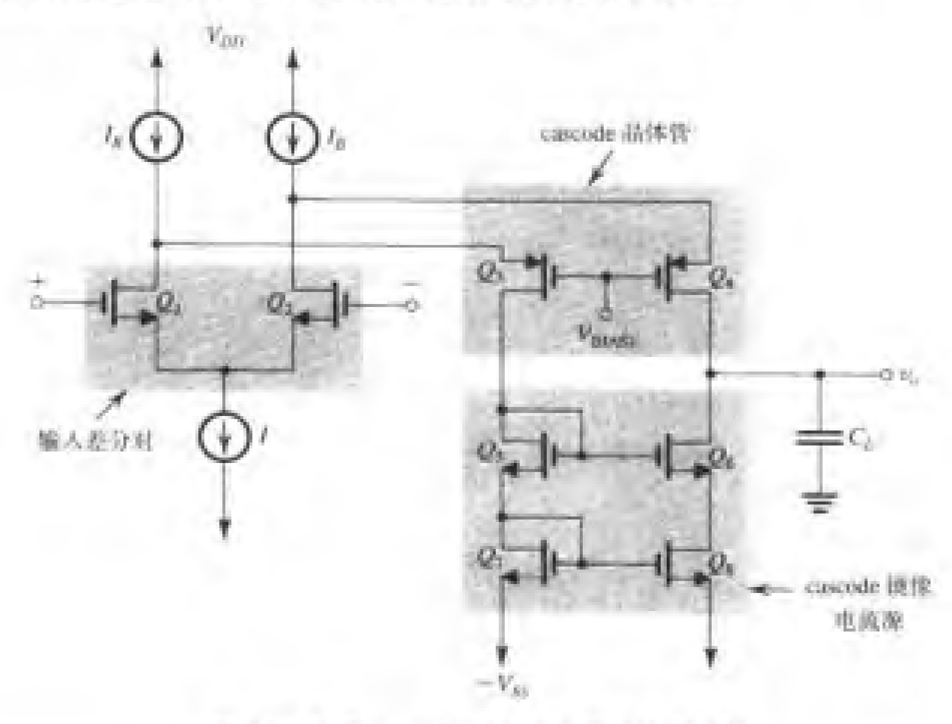


图 9.8 折叠 cascode CMOS 运算放大器结构

更加完整的折叠 cascode CMOS 运算放大器电路如图 9.9 所示。晶体管 Q_9 和 Q_{10} 提供恒定偏置电流 I_B，Q_{11} 提供差分对的偏置电流 I。图中虽未涉及产生偏置电压 V_{BIAS1}、V_{BIAS2}、V_{BIAS3} 的细节，但是我们对如何选取这些电压值还是很感兴趣的。为此我们来计算共模输入范围和输出电压摆幅

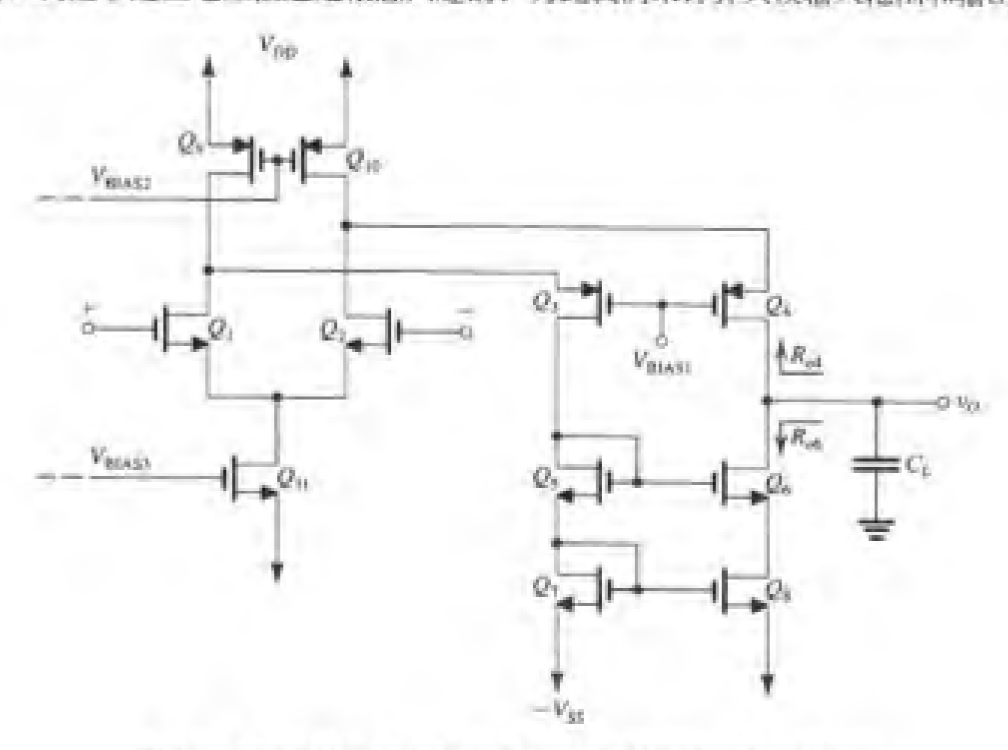


图 9.9 图 9.8 所示 CMOS 折叠 cascode 结构的更完整的电路

9.2.2　共模输入范围和输出电压摆幅

为了计算共模输入范围，我们将两个输入端连在一起并接入电压 V_{ICM}，其最大值应保证 Q_1 和 Q_2 始终工作在饱和区，因此 $V_{ICM\max}$ 最多比 Q_1 和 Q_2 的漏极电压高 V_{tn}。而漏极电压取决于 V_{BIAS1}，它应保证 Q_9 和 Q_{10} 的管压降至少等于其各自的过驱动电压，即 $|V_{OV9}|=|V_{OV10}|$。假设 Q_9 和 Q_{10} 正好工作在饱和区的边界点上，那么可得到 $V_{ICM\max}$ 为

$$V_{ICM\max}=V_{DD}-|V_{OV9}|+V_{tn} \tag{9.42}$$

它可以比 V_{DD} 大，与两级电路结构相比，这是很大的改善。V_{BIAS2} 应保证 Q_9 和 Q_{10} 工作在比较小的过驱动电压 $|V_{OV}|$（例如，0.2 V）时仍然能提供偏置所需要的电流 I_B。V_{ICM} 的最小值和两级电路结构相同，即

$$V_{ICM\min}=-V_{SS}+V_{OV11}+V_{OV1}+V_{tn} \tag{9.43}$$

开启电压 V_{tn} 的存在使得 $V_{ICM\min}$ 的值不可能太低。本节的最后将给出解决此问题的有效方法。现在考虑 V_{BIAS3}，它的取值同样要保证 Q_{11} 在较低的过驱动电压下仍然能提供偏置所需要的电流 I。结合式（9.42）和式（9.43），有

$$-V_{SS}+V_{OV11}+V_{OV1}+V_{tn}\leqslant V_{ICM}\leqslant V_{DD}-|V_{OV9}|+V_{tn} \tag{9.44}$$

维持 Q_{10} 和 Q_4 工作在饱和区可以确定 v_O 的上限。对 Q_{10} 而言，管压降只要至少等于过驱动电压 $|V_{OV10}|$ 就可以工作在饱和区，从而说明若要增加 v_O 的正摆幅（$V_{ICM\max}$），只要选择 V_{BIAS1} 以使得 Q_{10} 工作在饱和区的边界处即可，也就是说，

$$V_{\text{BIAS1}}=V_{DD}-|V_{OV10}|-V_{SG4} \tag{9.45}$$

因此，v_O 的上限为

$$v_{O\max}=V_{DD}-|V_{OV10}|-|V_{OV4}| \tag{9.46}$$

它比 V_{DD} 低两个过驱动电压。这种情况其实并不好，但另一方面，由于 Q_6 栅极的电压等于 $-V_{SS}+V_{GS7}+V_{GS5}$ 或等价于 $-V_{SS}+V_{OV7}+V_{OV5}+2V_{tn}$，当 Q_6 工作于饱和区边界点时，v_O 即为最小值，也就是说，v_O 比 Q_6 的栅极电压低 V_{tn}，即

$$v_{O\min}=-V_{SS}+V_{OV7}+V_{OV5}+V_{tn} \tag{9.47}$$

注意，两个过驱动电压加上一个开启电压高于 $-V_{SS}$ 的结果就是输出电压的下限。这是使用 cascode 镜像电流源的缺点，采用改进型的镜像电流源结构可以克服这一不足，相关内容留待后述。

练习 9.5　设计图 9.9 所示的电路。电源电压为±1.65 V，所有晶体管工作时的过驱动电压均为 0.3 V。制造工艺提供的参数为 $V_{tn}=|V_{tp}|=0.5\text{ V}$。求共模输入范围和允许的输出摆幅。

答案：−0.55 V 至+1.85 V；−0.55 V 至+1.05 V

9.2.3　电压增益

折叠 cascode 运算放大器是一个互导型放大器，它的输入电阻趋于无穷，互导为 G_m，输出电阻为 R_o。G_m 等于两个差分对晶体管的跨导 g_m：

$$G_m=g_{m1}=g_{m2} \tag{9.48}$$

即

$$G_m = \frac{2(I/2)}{V_{OV1}} = \frac{I}{V_{OV1}} \tag{9.49}$$

输出电阻 R_o 等于 cascode 放大器输出电阻和 cascode 电流源输出电阻的并联等效值，即

$$R_o = R_{o4} \parallel R_{o6} \tag{9.50}$$

从图 9.9 中可以看出，电阻 R_{o4} 是共栅晶体管 Q_4 的输出电阻，而 Q_4 的源极接有电阻（$r_{o2} \| r_{o10}$），因而，

$$R_{o4} \simeq (g_{m4}r_{o4})(r_{o2} \parallel r_{o10}) \tag{9.51}$$

电阻 R_{o6} 是 cascode 镜像电流源的输出电阻，由式（6.141）可得

$$R_{o6} \simeq g_{m6}r_{o6}r_{o8} \tag{9.52}$$

结合式（9.50）和式（9.52），有

$$R_o = [g_{m4}r_{o4}(r_{o2} \parallel r_{o10})] \parallel (g_{m6}r_{o6}r_{o8}) \tag{9.53}$$

此时，开环直流增益可以由 G_m 和 R_o 求得：

$$A_v = G_m R_o \tag{9.54}$$

即

$$A_v = g_{m1}\{[g_{m4}r_{o4}(r_{o2} \parallel r_{o10})] \parallel (g_{m6}r_{o6}r_{o8})\} \tag{9.55}$$

图 9.10 给出了含有负载电容 C_L 的等效电路模型（C_L 留待后述）。

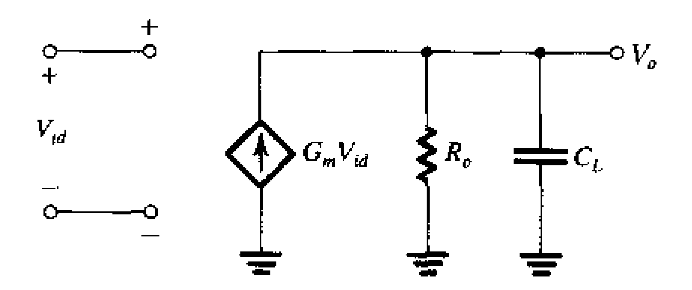


图 9.10 折叠 cascode CMOS 放大器的小信号等效电路，事实上这是一个运算互导放大器（OTA）

因为折叠 cascode 运算放大器是一个互导放大器，所以有了运算互导放大器（OTA）的名字它有很高的输出电阻，数量级为 $g_m r_o^2$［参见式（9.53）］，这使其具备了在单级放大器中实现高电压增益的可能性。但是，这也会成为读者担心的一个原因，第 2 章中曾讲过，理想运算放大器的输出电阻为零！为减轻这种担心，我们将图 9.9 所示电路的输出端与反向输入端相连，构成单位增益跟随器并计算它的闭环输出电阻。由于反馈属于电压采样的类型，所以闭环输出电阻将降低（$1+AB$）倍，其中 $A=A_v$，$\beta=1$，即

$$R_{of} = \frac{R_o}{1+A_v} \simeq \frac{R_o}{A_v} \tag{9.56}$$

A_v 用式（9.54）代入，可得

$$R_{of} \simeq \frac{1}{G_m} \tag{9.57}$$

上式适用于 100%电压反馈的任何 OTA 电路。对我们的特定电路，$G_m = g_{m1}$，因而，

$$R_{of} = 1/g_{m1} \tag{9.58}$$

因为 g_{m1} 的数量级是 1 mA/V，因此 R_{of} 的数量级是 1 kΩ。虽然该数值不是很小，但考虑到运算放大器电路的简化分析，以及该电路通常不会用于驱动低阻值电阻负载的事实，该结论还是合理的。

练习 9.6　图 9.8 和图 9.9 所示的 CMOS 运算放大器电路的工艺参数如下：$V'_{An} = |V'_{Ap}| = 20\ \text{V}/\mu\text{m}$ 假设所有晶体管的沟道长度均为 1 μm，过驱动电压均为 0.2 V，求电压增益。如果所有晶体管均偏置在 100 μA 的电流上，输出电阻 R_o 的值是多少？

答案：13 333 V/V；13.3 MΩ

9.2.4　频率响应

6.8 节曾讲到：cascode 放大器结构的优点之一就是高频响应非常好。它有三个极点，分别产生于输入端、CS 和 CG 管子（Q_3 和 Q_4 的源极）的连接处以及输出端。正常情况下，前两个极点频率相当高，尤其是当提供差分对激励的源电阻非常小的时候。而 CMOS 运算放大器的主要目的是驱动容性负载，C_L 通常较大，从而导致输出端的极点成为主极点。即使 C_L 不是很大，我们也可以故意增加它的值使之成为主极点。由图 9.10 可写出

$$\frac{V_o}{V_{id}} = \frac{G_m R_o}{1 + sC_L R_o} \tag{9.59}$$

则主极点频率为

$$f_P = \frac{1}{2\pi C_L R_o} \tag{9.60}$$

单位增益频率为

$$f_t = G_m R_o f_P = \frac{G_m}{2\pi C_L} \tag{9.61}$$

从设计的角度看，C_L 值的选取应保证在频率 $f = f_t$ 处由非主极点引入的附加相移足够小，从而满足电路对相位裕量的要求。一旦 C_L 没有大到满足相位裕量的要求的话，应该增加它的值。

增加负载电容会在两种运算放大器电路中带来不同的结果，注意到这一点很重要。两级 CMOS 运算放大器电路在 C_L 电容增加的时候，第二个极点频率会降低，导致 $f = f_t$ 时的附加相移增加，相位裕量减少。而对折叠 cascode CMOS 运算放大器电路来说，C_L 的增加将导致 f_t 下降，但相位裕量是增加的。换言之，较大的容性负载降低了折叠 cascode CMOS 运算放大器的带宽，但没有削弱它的响应（这种情况发生在相位裕量也下降时）。当然，两级 CMOS 运算放大器如果也希望增加 C_L 电容值的话，设计者可以采取增加 C_C 的方法来降低 f_t，从而使相位裕量恢复到所需的值。

9.2.5　摆率

9.1.5 节讨论过当差模输入电压比较大时需要考虑摆率的问题。回到图 9.8，考虑信号 V_{id} 较大的情况，这时 Q_2 截止，Q_1 导通并传导整个偏置电流 I。可以看到，此时 Q_3 流过的电流是（$I_B - I$），Q_4 通过的电流是 I_B。电流源流过 Q_5 和 Q_7 的输入电流是（$I_B - I$），所以 Q_6 的漏极电流（也就是电流源的输出电流）是（$I_B - I$）。这样便可得到流进 C_L 的电流是 $I_4 - I_6 = I_B - (I_B - I) = I$，因此输出电压 v_O 与时间的关系是斜率为 I/C_L 的线性函数，则摆率为

$$SR = \frac{I}{C_L} \tag{9.62}$$

选择 $I_B>I$ 的原因是避免镜像电流源完全截止。一旦镜像电流源截止，输出失真将会增加。I_B 的典型值设置为比 I 大 10%到 20%。最后，将式（9.61）、式（9.62）和式（9.49）结合在一起，得到 SR 和 f_t 之间的关系如下：

$$SR = 2\pi f_t V_{OV1} \tag{9.63}$$

该式与两级 CMOS 运算放大器电路得到的对应关系相同。但是，上式只适用于 $I_B > I$ 的情况。

例题 9.2 设计图 9.9 所示的折叠 cascode CMOS 运算放大器电路。其中，$I = 200\ \mu A$，$I_B = 250\ \mu A$，所有晶体管的 $|V_{OV}| = 0.25$ V。假设制造工艺提供的参数为：$k_n' = 100\ \mu A/V^2$，$k_P' = 40\ \mu A/V^2$，$|V_A'| = 20\ V/\mu m$，电源电压 $V_{DD} = V_{SS} = 2.5$ V，开启电压 $|V_t| = 0.75$ V。设所有晶体管的沟道长度均为 $L = 1\mu m$，$C_L = 5$ pF。求 I_D，g_m，r_o 以及所有晶体管的沟道宽长比 W/L；计算 V_{ICM} 的允许范围和输出电压的摆幅；确定 A_v，f_t，f_P 和 SR 的值以及运算放大器的功耗。

解：由给定的 I_B 和 I 的值，可以求得每一个晶体管的漏极电流 I_D，因此每一个晶体管的跨导由下式确定：

$$g_m = \frac{2I_D}{V_{OV}} = \frac{2I_D}{0.25}$$

输出电阻由下式确定：

$$r_o = \frac{|V_A|}{I_D} = \frac{20}{I_D}$$

沟道宽长比由下式确定：

$$\left(\frac{W}{L}\right)_i = \frac{2I_{Di}}{k'V_{OV}^2}$$

结果如下表所示：

	Q_1	Q_2	Q_3	Q_4	Q_3	Q_6	Q_7	Q_4	Q_9	Q_{10}	Q_{11}
$I_D(\mu A)$	100	100	150	150	150	150	150	150	250	250	200
g_m(mA/V)	0.8	0.8	1.2	1.2	1.2	1.2	1.2	1.2	2.0	2.0	1.6
$r_o(k\Omega)$	200	200	133	133	133	133	133	133	80	80	100
W/L	32	32	120	120	48	48	48	48	200	200	64

对所有晶体管，有

$$g_m r_o = 160\ V/V$$
$$V_{GS} = 1.0\ V$$

利用式（9.44）可得到共模输入范围为

$$-1.25\ V \leqslant V_{ICM} \leqslant 3\ V$$

输出电压摆幅可由式（9.46）和式（9.47）得到：

$$-1.25\ V \leqslant v_O \leqslant 2\ V$$

为了得到电压增益，先利用式（9.51）求出 R_{o4}：

$$R_{o4} = 160(200 \parallel 80) = 9.14\ M\Omega$$

利用式（9.52）求出 R_{o6}：

$$R_{o6} = 21.28\ \text{M}\Omega$$

输出电阻即为

$$R_o = R_{o4} \| R_{o6} = 6.4\ \text{M}\Omega$$

这样，电压增益可由下式得到：

$$\begin{aligned} A_v &= G_m R_o = 0.8\times10^{-3}\times6.4\times10^{6} \\ &= 5120\ \text{V/V} \end{aligned}$$

由式（9.61）可求得单位增益带宽：

$$f_t = \frac{0.8\times10^{-3}}{2\pi\times5\times10^{-12}} = 25.5\ \text{MHz}$$

因此，主极点频率必定为

$$f_P = \frac{f_t}{A_v} = \frac{25.5\ \text{MHz}}{5120} = 5\ \text{kHz}$$

由式（9.62）确定摆率为

$$SR = \frac{I}{C_L} = \frac{200\times10^{-6}}{5\times10^{-12}} = 40\ \text{V}/\mu\text{s}$$

最后确定运算放大器的功耗。我们注意到总电流为 500 μA = 0.5 mA，电源电压为 5 V，所以功耗为

$$P_D = 5\times0.5 = 2.5\ \text{mW}$$

■

9.2.6　提高共模输入范围：轨对轨输入

在 9.2.2 节，我们发现电路的共模输入范围的上限可以比电源电压大 V_{DD}，但是下限却低于 V_{SS}。而对于由 PMOS 晶体管组成输入差分级的相同电路，情况则相反。这表明一对 NMOS 和一对 PMOS 差分对并行连接在一起，可以提供双向都超过电源电压的共模输入范围。这被称为轨对轨输入。图 9.11 给出了电路结构图。为使电路简单，图中没有画出两对差分对之间的并联连接形式：即两个同相输入端连接在一起，两个反向输入端也连接在一起。Q_5 和 Q_6 是差分对 Q_1–Q_2 的 cascode 晶体管，Q_7 和 Q_8 是差分对 Q_3–Q_4 的 cascode 晶体管。输出电压 V_o 采用的是 cascode 晶体管漏极之间的双端输出形式。若要实现单端输出，需要以级联的方式连接双端到单端的转换电路。

图 9.11 中的箭头说明了正的差模输入电压 V_{id} 作用时增量电流的流动方向。当 $G_m = g_{m1} = g_{m2} = g_{m3} = g_{m4}$ 时，每一份增量电流均等于 G_m（$V_{id}/2$），这时两输出节点的总输出电流即为 $G_m V_{id}$。如果两个输出端对地的输出电阻均用 R_o 表示，则输出电压为

$$V_o = 2G_m R_o V_{id} \tag{9.64}$$

那么，电压增益则为

$$A_v = 2G_m R_o \tag{9.65}$$

注意，这是假设两对差分对同时工作时得出的结论，即 V_{ICM} 处于有限的一段范围内。在这段共模输入范围以外，两对差分对中只有一对工作，这时电压增益将下降到式（9.65）的一半。轨对轨的折叠 cascode 结构的电路已在商用运算放大器芯片中被采用。[1]

---

[1] 德州仪器 OPA357。

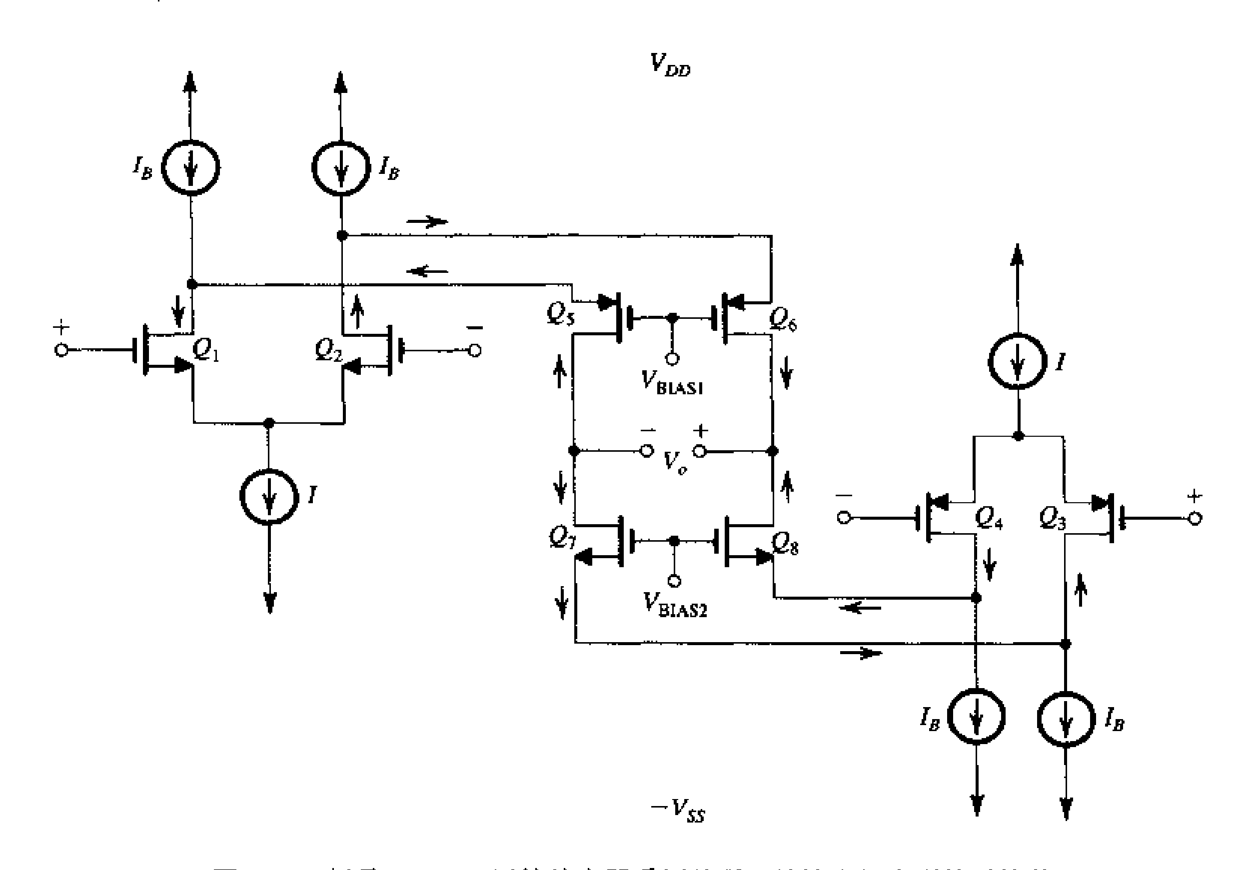


图 9.11 折叠 cascode 运算放大器采用并联互补输入级实现轨对轨共模输入，其中的两个“+”和两个“−”是分别连接在一起的

练习 9.7 参见图 9.11，假设所有的晶体管均工作在过驱动电压 0.3 V 上，$|V_t| = 0.7$ V，电源电压 $V_{DD} = V_{SS} = 2.5$ V。

（a）计算 NMOS 输入级工作时的输入范围。

（b）计算 PMOS 输入级工作时的输入范围。

（c）计算两种晶体管均工作时的输入范围（重叠范围）。

（d）计算共模输入范围。

（注意：为了能够正常工作，每一个电流源都需要在电极之间施加最小的$|V_{OV}|$电压。）

答案：−1.2 V 到+2.9 V；−2.9 V 到+1.2 V，−1.2 V 到+1.2 V；−2.9 V 到+2.9 V

9.2.7 增加输出电压范围：宽摆幅镜像电流源

从 9.2.2 节可知，图 9.9 所示电路的输出电压正摆幅在 $V_{DD} - |2V_{OV}|$之内，而 cascode 镜像电流源限制了负摆幅只能达到$-V_{SS} + (2|V_{OV}| + V_t)$。换言之，cascode 镜像电流源将输出电压摆幅降低了 V_t V。这一点在图 9.12（a）中给出了说明，图中给出了 cascode 镜像电流源（为使电路简单，V_{SS} 设为零）以及不同节点上的电压。观察发现，Q_3 的栅极电压是 $2V_t + 2V_{OV}$，输出端允许的最低电压（Q_3 维持饱和状态）为 $V_t + 2V_{OV}$，因而多余的部分为 V_t。同样可以观察到的是：Q_1 工作时的漏源电压是 $V_t + V_{OV}$，比饱和区工作所需要的电压高出 V_t V。

通过以上的分析可以得出这样的结论：要使 Q_3 漏极的输出电压最小有 $2V_{OV}$ 的摆动，Q_3 的栅极电压要从 $2V_t + 2V_{OV}$ 降至 $V_t + 2V_{OV}$。图 9.12（b）所示的改进镜像电流源电路恰恰能做到这一点：即 Q_3 的栅极电压现在由偏置电压 $V_{BIAS} = V_t + 2V_{OV}$ 提供，这样 Q_3 的输出电压就可以降至 $2V_{OV}$ 同时仍然保持饱和状态。此时 Q_1 的漏极电压是 V_{OV}，刚好保证 Q_1 工作在饱和区的边界处。Q_2

也是如此，从而保证了 Q_1 和 Q_2 之间的电流是相等的。注意，我们不再将 Q_2 的栅漏短接，而是将栅极连到 Q_4 的漏极。由此建立的 Q_4 的漏极电压 $V_t + V_{OV}$ 足可以保证 Q_4 工作在饱和区（只要 V_t 大于 V_{OV}——该条件在通常情况下是可以满足的）。此电路称为宽摆幅镜像电流源。最后要说明一点，图 9.12（b）没有画出产生 V_{BIAS} 的电路。通常有多个电路可以产生偏置电压，其中之一就是练习 9.8 的电路。

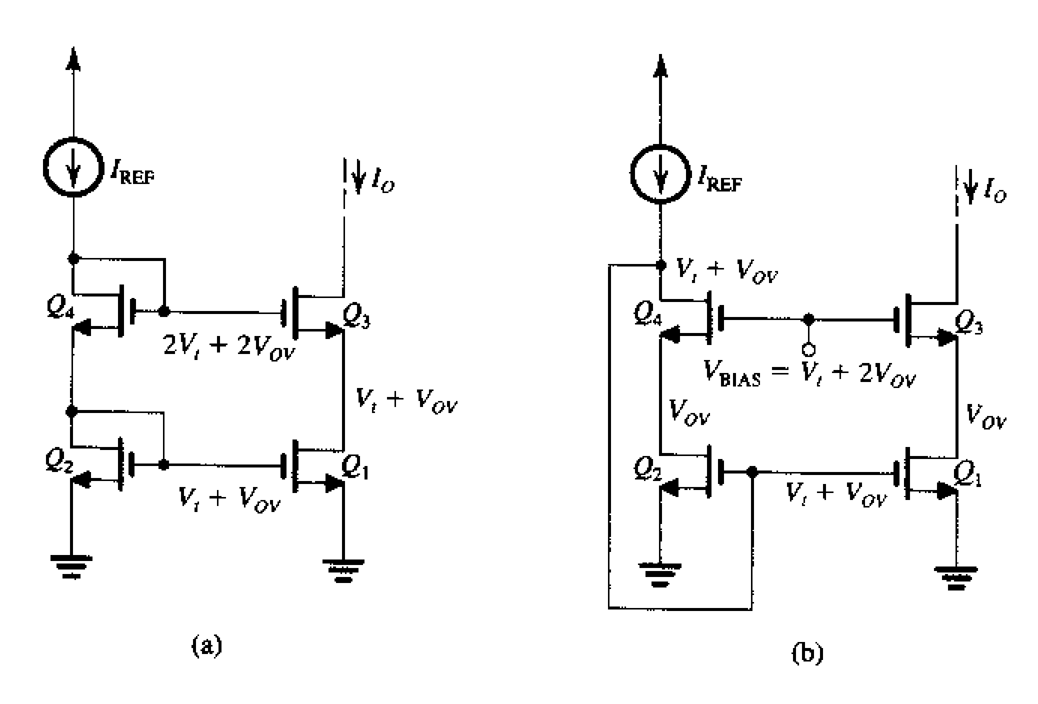


图 9.12　（a）标明各节点电压的 cascode 镜像电流源。输出端允许的最低电压是 $V_t + V_{OV}$；（b）改进的 cascode 镜像电流源，最低输出电压降至 V_{OV}。这是宽摆幅镜像电流源

练习 9.8　图 E9.8 所示的是产生图 9.12（b）所示宽摆幅镜像电流源偏置电压的电路。晶体管 Q_5 的沟道宽长比是图 9.12（b）所示晶体管宽长比的四分之一，I_{REF} 在两个电路中均相等。证明：V_5 等于 $V_t + 2V_{OV}$，它就是 Q_3 和 Q_4 的栅极所需要的偏置电压。

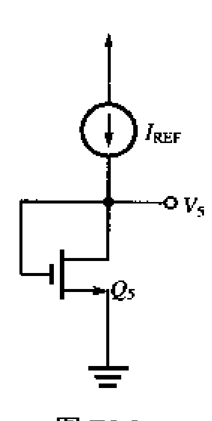


图 E9.8

9.3　741 运算放大器电路

我们用图 9.13 所示的 741 运算放大器电路来分析 BJT 运算放大器。根据 IC 的设计理念，741 电路采用了大量的晶体管、相对少量的电阻和一个电容。这种理念由以 IC 形式制造有源和无源器件的制造成本（考虑到芯片面积、工艺简单及器件质量可靠性）决定的（参见 6.1 节和附录 A）。

作为最通用的集成运算放大器，741 电路采用双电源（$+V_{CC}$ 和 $-V_{EE}$）供电，通常 $V_{CC} = V_{EE} = 15$ V，但是也可以工作在低电压（如，±5 V）下。重要的是通过观察发现电路中没有连接到地（两电源的公共端）的节点。

图 9.13 所示的电路规模相对较大，分析的第一步是了解各组成部分的结构和功能，下面我们就来介绍这部分内容。

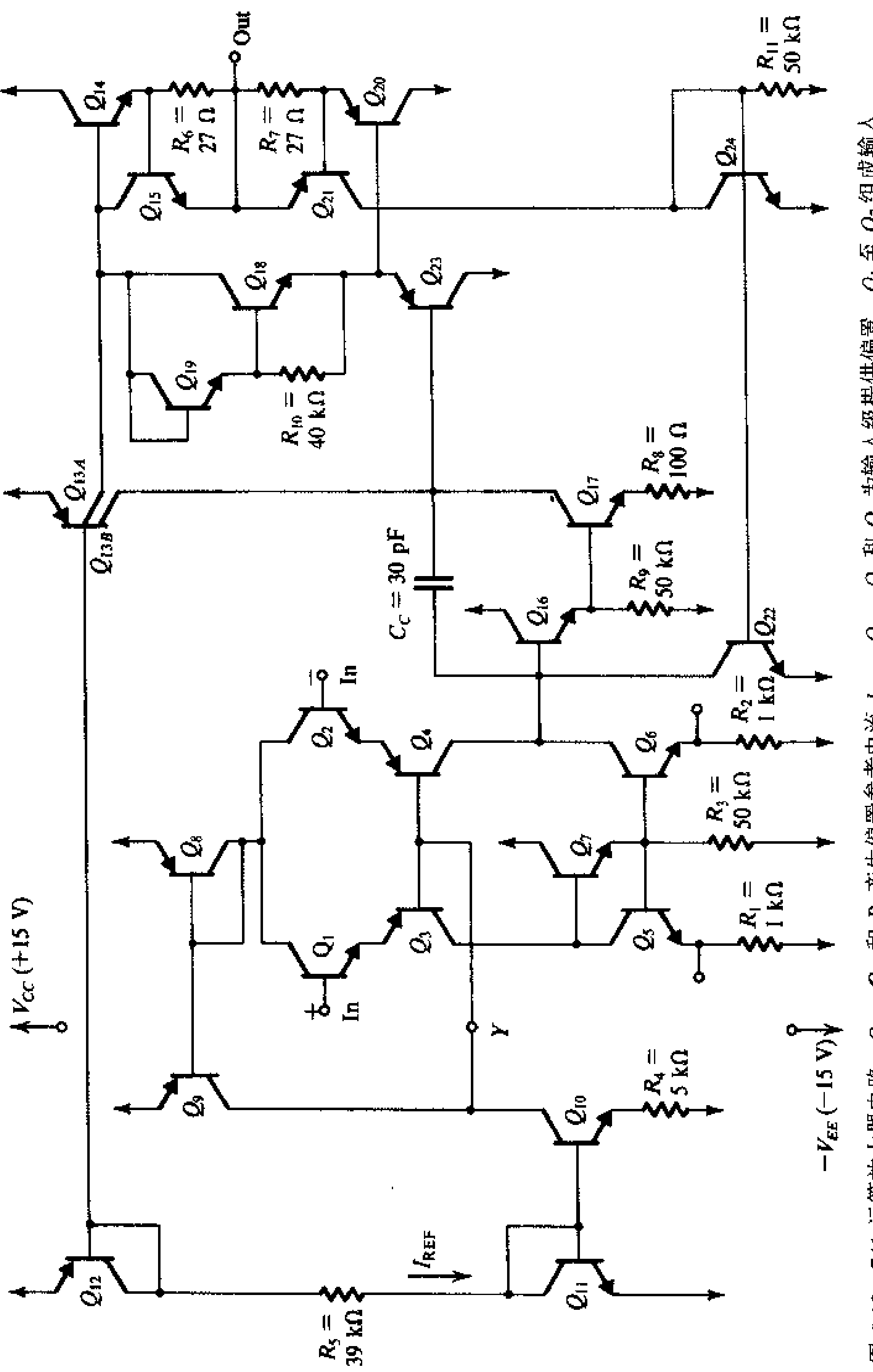


图 9.13 741 运算放大器电路。Q_{11}、Q_{12} 和 R_5 产生偏置参考电流 I_{REF}，Q_{10}、Q_9 和 Q_8 为输入级提供偏置，Q_1 至 Q_7 组成输入级电路，Q_{16} 和 Q_{17} 组成第二级，Q_{13B} 是该级的有源负载。AB 类输出级由 Q_{14} 和 Q_{20}、偏置管 Q_{13A}、Q_{18}、Q_{19} 和输入缓冲器 Q_{23} 组成。Q_{15}、Q_{21}、Q_{24} 和 Q_{22} 完成放大器输出短路时的保护，正常情况下它们是截止的

9.3.1 偏置电路

741 电路的参考电流 I_{REF} 由图 9.13 所示电路的最左边的支路（即两个连接成二极管的晶体管 Q_{11}、Q_{12} 和电阻 R_5）产生。Q_{11}，Q_{10} 和 R_4 组成 Widlar 电流源，第一级的偏置电流来自 Q_{10} 管的集电极。Q_8 和 Q_9 组成另一个电流源并作为第一级偏置的一部分。

参考电流 I_{REF} 还用于产生 Q_{13} 的有比例关系的两部分电流。双集电极横向 *pnp*[1] 晶体管可以看成是发射结并联的双晶体管。因此 Q_{12} 和 Q_{13} 构成的是两路输出的电流源，一路输出（即 Q_{13B} 的集电极）给 Q_{17} 提供偏置，另一路输出（即 Q_{13A} 的集电极）给运算放大器的输出级提供偏置。

Q_{18} 和 Q_{19} 起直流偏置的作用，其目的是在 Q_{14} 和 Q_{20} 的基极之间建立两个 V_{BE} 电压降的偏置电压。

9.3.2 短路保护电路

741 电路中有一些晶体管通常是截止的，只在运算放大器输出端出现大电流时才会导通，比如在输出端与其中一个直流电源短接时。短路保护电路由 R_6，R_7，Q_{15}，Q_{21}，Q_{24}，R_{11} 和 Q_{22} 组成，以下的分析中，我们先假设这些晶体管截止，在 9.5.3 节中再对保护电路的工作原理进行解释。

9.3.3 输入级

741 电路有三级：输入差分级、高增益单端输出的中间级及输出缓冲级。晶体管 Q_1 到 Q_7 组成输入级，偏置电流由 Q_8，Q_9 和 Q_{10} 组成的电路提供。晶体管 Q_1 和 Q_2 是射极跟随器，具有高输入电阻的特性，同时将输入差模信号传输给 Q_3 和 Q_4 组成的共基放大器。因此输入级就是我们在 6.11.3 节中讨论过的具有差分形式的共集–共基组态的电路。

晶体管 Q_5，Q_6，Q_7 和电阻 R_1，R_2，R_3 组成输入级的负载电路。这是一个设计精巧的电流源负载电路，我们将在 9.5.1 节给出详细介绍。我们已经知道它不仅具备高负载电阻，而且在增益和共模抑止比不损失的情况下可实现双端输出到单端输出的转变。Q_6 的集电极就是输入级的单端输出端。

正如 7.7.2 节所述，每一个运算放大器电路都含有电平位移电路，其目的是变换直流信号的电平使得运算放大器输出能够正负摆动。741 电路的电平位移是由输入级的横向 *pnp* 晶体管 Q_3 和 Q_4 实现的。虽然横向 *pnp* 晶体管的高频性能比较差，但它们用在共基组态（共基组态具有相当好的高频响应）中时对电路的高频性能不会产生严重影响。

输入级中采用横向 *pnp* 晶体管 Q_3 和 Q_4 的另一个好处是：保护输入级的晶体管 Q_1 和 Q_2 免遭发射结击穿。因为 *npn* 晶体管的反向击穿电压在 7 V 左右（参见 5.2.5 节），当电源电压不小心直接连在两输入端之间时输入差分级就会击穿。而 *pnp* 晶体管的发射结反向击穿电压有 50 V 左右，而且与 Q_1 和 Q_2 串联连接，因而保护了 741 输入级的 Q_1 和 Q_2。

9.3.4 第二级

第二级或中间级由晶体管 Q_{16}，Q_{17}，Q_{13B} 及电阻 R_8 和 R_9 组成。晶体管 Q_{16} 作为射极跟随器使得第二级具有很高的输入电阻，减小了对输入级的负载效应，避免了增益的降低。晶体管 Q_{17} 是射极接有 100 Ω电阻的共发射极放大器，它的负载由 *pnp* 电流源 Q_{13B} 的输出电阻和输出级（从 Q_{23} 的基极视入）的输入电阻并联而成。采用电流源作为负载（有源负载）可以获得高增益，之所以不采用无源负载电阻，是因为一方面它占用的芯片面积较大，另一方面需要较大的电源电压。

第二级的输出取在 Q_{17} 的集电极上。电容 C_C 接在第二级的反馈回路上，完成频率补偿，采用

[1] 参见附录 A 中关于横向 *pnp* 晶体管的描述，其特性参见 6.2 节中的介绍。

的是 8.11 节介绍过的米勒补偿技术。我们将在 9.5 节证明容量相对较小的电容 C_C 能够使 741 的主极点频率降至 4 Hz。更进一步说，极点分离会导致另一个极点频率相当高，–20 dB/十倍频程的增益波动使运算放大器具有 1 MHz 的单位增益带宽。需要指出的是，虽然 C_C 电容很小，但它所占用的芯片面积仍然达到了标准 *npn* 晶体管的 13 倍。

9.3.5 输出级

输出级的目标是给放大器提供一个很低的输出电阻。除此以外，输出级还需提供相当大的负载电流，而且不能给芯片造成过大的功率损耗。741 电路采用了效率较高的输出电路，该输出电路称为 AB 类输出级。

我们将在第 14 章介绍输出级电路，741 的输出级将在 9.4 节详细讨论。我们在这里只是说明 AB 类输出级和我们已经比较熟悉的输出级［称为射极（源极）跟随器电路］之间的不同之处。图 9.14（a）给出了一个电流源 I 偏置的射极跟随器。为了保持晶体管始终导通以获得较低的输出电阻，偏置电流 I 必须大于负载电流 i_L 的最大幅度。这就是 A 类工作方式，因而射极（源极）跟随器也称为 A 类输出级。A 类工作方式的缺点是晶体管的功耗很大。

降低输出级的功耗可以通过将晶体管设置为只在信号作用时才导通的方式来实现。因此我们需要两个晶体管：一个 *npn* 晶体管提供输出电流给负载，一个 *pnp* 晶体管吸收负载上的输出电流。图 9.14（b）所示电路就是符合上述要求的电路。我们观察到，当 $v_I = 0$ 时，两个晶体管均截止。换言之，晶体管的直流偏置电流为零。当 v_I 进入正半周时，Q_N 导通，Q_P 截止；v_I 进入负半周时，Q_N 截止，Q_P 导通。这种工作方式称为 B 类工作，相应的电路即为 B 类输出级。

虽然功耗性能提高了，但 B 类电路会导致输出信号的失真，见图 9.14（c）。产生失真的原因是：当$|v_I|$的值低于 0.5 V 时，两个晶体管均不导通，输出 $v_O = 0$。这种失真称为交越失真。

交越失真可以通过把输出级晶体管设置在低偏置电流工作来实现。也就是说，当 v_I 很小时，Q_N 和 Q_P 仍然保持导通。一旦 v_I 增加，其中的一个晶体管进一步导通，而另一个则截止，工作原理与 B 类输出级很相似。

AB 类输出级的偏置电路有多种方式，图 9.14（d）所示的是其中的一种，它使用了两个连接成二极管的晶体管 Q_1 和 Q_2，这两个晶体管的结面积远小于晶体管 Q_N 和 Q_P，741 中选用的是更为精巧的偏置电路结构。

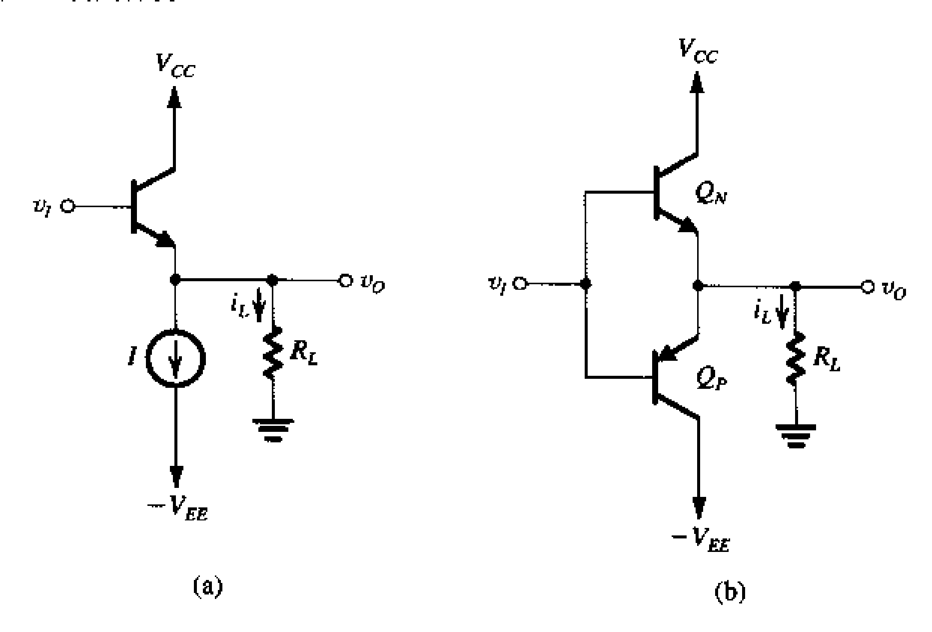


图 9.14 （a）射极跟随器是 A 类输出级；（b）B 类输出级

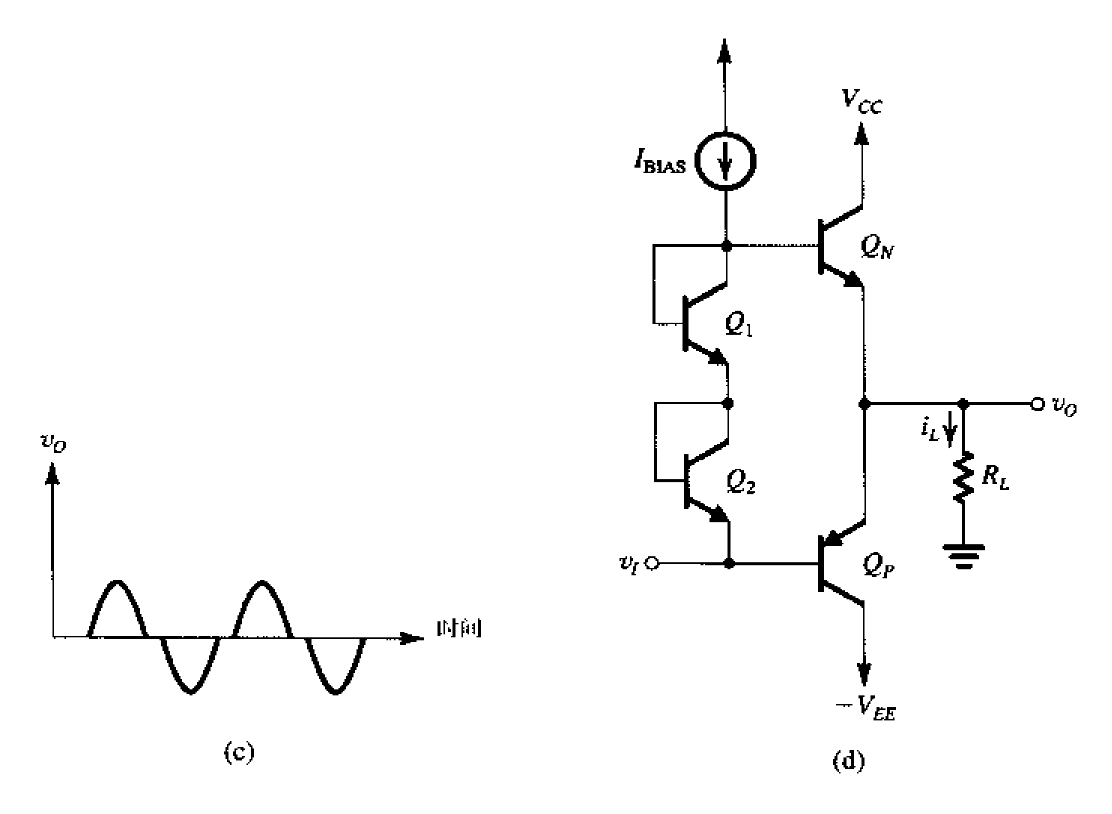


图 9.14（续）　（c）正弦信号输入时 B 类输出级的输出信号；（d）AB 类输出级

输出级包含互补晶体管对 Q_{14} 和 Q_{20}，其中 Q_{20} 是衬底 *pnp* 晶体管（参见附录 A），晶体管 Q_{18} 和 Q_{19} 为输出晶体管 Q_{14} 和 Q_{20} 提供偏置，它们的电流由 Q_{13A} 提供。晶体管 Q_{23}（另一个衬底 *pnp* 晶体管）是射极跟随器，作用是减小输出级对第二级负载效应的影响。

9.3.6　器件参数

下一节将对 741 电路进行详细分析。标准 *npn* 晶体管和 *pnp* 晶体管采用以下参数：

$$npn:\ I_S = 10^{-14}\,\text{A},\ \beta = 200,\ V_A = 125\ \text{V}$$

$$pnp:\ I_S = 10^{-14}\,\text{A},\ \beta = 50,\ V_A = 50\ \text{V}$$

741 电路中的非标准晶体管是 Q_{13}，Q_{14} 和 Q_{20}。假设 Q_{13} 等效为两个晶体管 Q_{13A} 和 Q_{13B}，它们的发射结并联，饱和电流参数如下：

$$I_{SA} = 0.25\times10^{-14}\,\text{A} \quad I_{SB} = 0.75\times10^{-14}\,\text{A}$$

晶体管 Q_{14} 和 Q_{20} 占据的芯片面积假设为标准晶体管的三倍。输出晶体管通常占用的面积相对较大，从而保证器件温度增加时还能提供较大的负载电流且耗散较大的功率。

练习 9.9　标准 *npn* 晶体管的参数参见 9.3.6 节，求以下参数的近似值：V_{BE}，g_m，r_e，r_π和 r_o。假设集电极偏置电流为 $I_C = 1$ mA。

答案：633 mA；40 mA/V；25 Ω；5 kΩ；125 kΩ

练习 9.10　电路如图 E9.10 所示。忽略基极电流，利用 i_c–v_{BE} 的指数关系证明：

$$I_3 = I_1\sqrt{\frac{I_{S3}I_{S4}}{I_{S1}I_{S2}}}$$

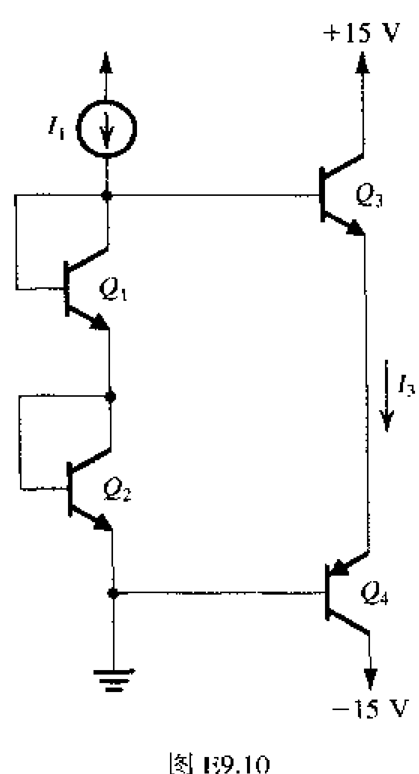


图 E9.10

9.4 741 运算放大器的直流分析

本节将对 741 电路进行直流分析，确定每一个晶体管的偏置工作点。在进行直流分析时，运算放大器输入端接地。理论上讲，此时输出端的直流电压也等于零，然而因为运算放大器的增益非常大，分析中的采用微小近似都会导致输出电压远离零点而接近于正的或负的电源电压。实际使用时，开环运算放大器的输出电压趋于饱和，接近于正（或负）电源电压。为了克服直流分析中的这个问题，我们假设运算放大器接有负反馈环，从而可以将输出直流电压维持在 0 V。

9.4.1 偏置参考电流

偏置参考电流 I_{REF} 由两个连接成二极管的晶体管 Q_{11}、Q_{12} 及电阻 R_5 所在的支路产生。参见图 9.13，可写出如下公式：

$$I_{REF}=\frac{V_{CC}-V_{EB12}-V_{BE11}-(-V_{EE})}{R_5}$$

当 $V_{CC}=V_{EE}=15$ V，$V_{BE11}=V_{EB12}\simeq 0.7$ V 时，可求得 $I_{REF}=0.73$ mA。

9.4.2 输入级偏置

I_{REF} 提供 Q_{11} 的偏置电流，因此产生的发射结电压用于 Q_{10} 的偏置，Q_{10} 的发射极接有电阻 R_4。这部分电路重画于图 9.15 中，我们发现它就是 6.12.5 节介绍过的 Widlar 电流源。假设β_{10}很大，由此电路可得

$$V_{BE11}-V_{BE10}=I_{C10}R_4$$

则

$$V_T\ln\frac{I_{REF}}{I_{C10}}=I_{C10}R_4 \tag{9.66}$$

其中利用了 $I_{S10}=I_{S11}$ 这个假设。将 I_{REF} 和 R_4 的值代入，采用试探加校准的方法即可确定 I_{C10}。本例中 $I_{C10}=19\ \mu A$。

练习 D9.11 设计图 9.15 所示的 Widlar 电流源，要求产生 $I_{C10}=10\ \mu A$ 的电流，给定的 $I_{REF}=1$ mA。如果集电极电流是 1 mA，$V_{BE}=0.7$ V，求 V_{BE11} 和 V_{BE10} 的值。

答案：$R_4=11.5\ k\Omega$；$V_{BE11}=0.7$ V；$V_{BE10}=0.585$ V

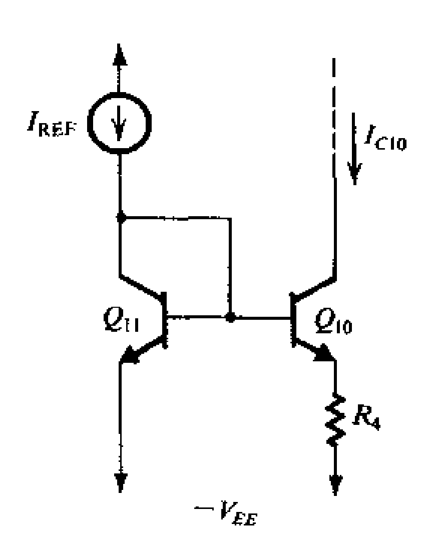


图 9.15 Widlar 电流源

求出 I_{C10} 后，接下来就可以计算输入级每一个晶体管的直流电流了。图 9.16 是输入级的部分电路。根据对称性可得

$$I_{C1}=I_{C2}$$

如果上述电流用 I 表示，且 npn 晶体管的β 很大，则

$$I_{E3}=I_{E4}\simeq I$$

Q_3 和 Q_4 的基极电流相等，其值为 $I/(\beta_P+1)\simeq I/\beta_P$，其中$\beta_P$ 表示 pnp 晶体管的β。

Q_8 和 Q_9 组成的电流源的输入电流是 $2I$，根据式（6.21）可以将电流源的输出电流表示为

$$I_{C9}=\frac{2I}{1+2/\beta_P}$$

现在可以写出图 9.16 所示电路节点 X 的方程，从而确定电流 I 的值。设 $\beta_P\gg 1$，节点方程为

$$2I\simeq I_{C10}$$

对 741 电路，$I_{C10}=19\ \mu A$，所以 $I\simeq 9.5\ \mu A$，因此可得

$$I_{C1}=I_{C2}\simeq I_{C3}=I_{C4}=9.5\ \mu A$$

这里要注意的是，晶体管 Q_1 到 Q_4、Q_8 和 Q_9 组成负反馈环，目的是稳定电流 I 的值使之接近于 $I_{C10}/2$。其工作原理如下：假设由于某种原因导致 Q_1 和 Q_2 的电流 I 增加，则 Q_8 流出的电流增加，Q_8 和 Q_9 组成的镜像电流源的输出电流同步增加。但是电流 I_{C10} 维持不变，所以节点 X 就迫使 Q_3 和 Q_4 的基极电流减少，从而使 Q_3 和 Q_4 的射极电流同步减少，导致 Q_1 和 Q_2 的集电极电流也相应减少；电流 I 减少时的情况与此相反。因此反馈是负的，它稳定了电流 I。

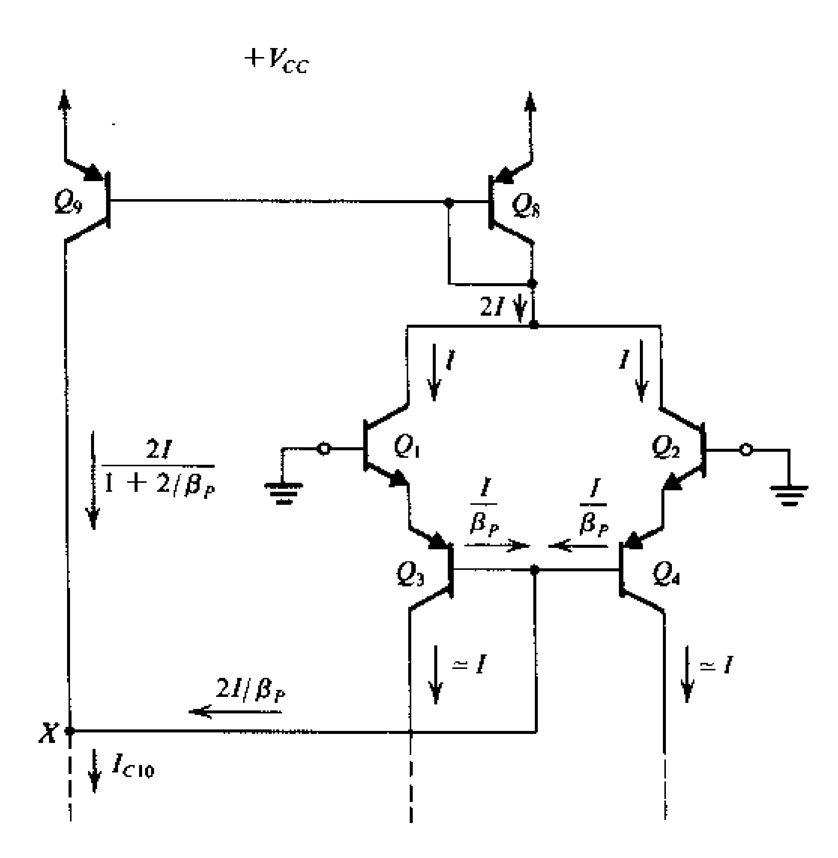


图 9.16 741 电路输入级的直流分析

图 9.17 给出了 741 电路输入级剩余部分的电路，忽略 Q_{16} 的基极电流，可得

$$I_{C6} \simeq I$$

同样，忽略 Q_7 的基极电流可以得到

$$I_{C5} \simeq I$$

Q_7 的偏置电流可由下式确定：

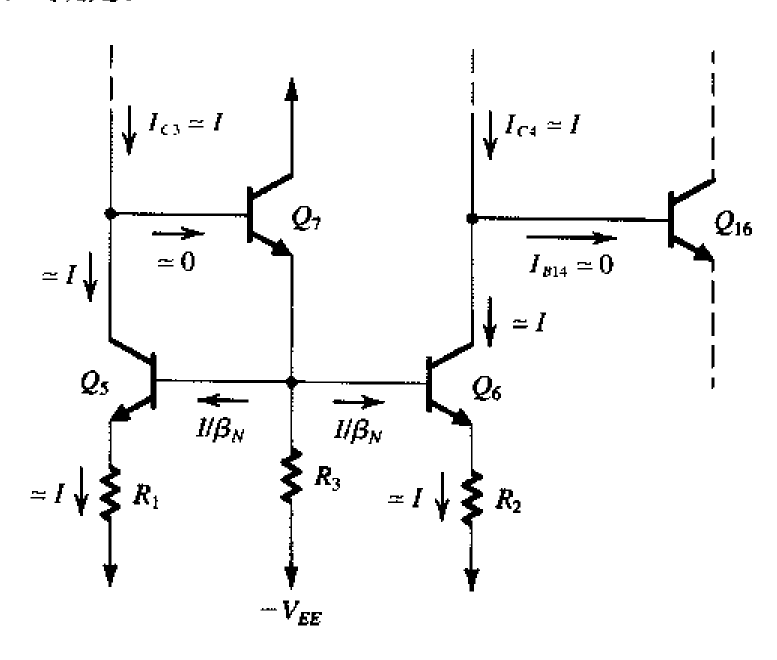


图 9.17 741 电路输入级的直流分析

$$I_{C7} \simeq I_{E7} = \frac{2I}{\beta_N} + \frac{V_{BE6} + IR_2}{R_3} \tag{9.67}$$

其中，β_N 表示 npn 晶体管的β值。利用晶体管的指数关系可以确定 V_{BE6}：

$$V_{BE6} = V_T \ln \frac{I}{I_S}$$

将 $I_S = 10^{-14}$A 和 $I = 9.5\ \mu$A 代入，得到 $V_{BE6} = 517$ mV。将此式代入式（9.67），求得 $I_{C7} = 10.5\ \mu$A。可见 Q_7 的基极电流和 I 相比确实可以忽略，正如先前我们假设的那样。

9.4.3　输入偏置电流和失调电流

运算放大器的输入偏置电流定义（参见第 2 章和第 7 章）为

$$I_B = \frac{I_{B1} + I_{B2}}{2}$$

对 741 电路：

$$I_B = \frac{I}{\beta_N}$$

将$\beta_N = 200$ 代入，得到 $I_B = 47.5$ nA。可见电流值相当小，这也是输入级采用 BJT 电路的通用型运算放大器的典型电流值。更低的偏置电流（数量级为 pA 或 fA）可以采用 FET 输入级电路得到。当然也可以采用其他技术降低 BJT 输入级偏置电流。

由于晶体管 Q_1 和 Q_2 的β 可能不匹配，因此两个晶体管的输入偏置电流不相等。一旦给定β 的误差值，利用式（7.137）就能计算输入失调电流：

$$I_{OS} \simeq |I_{B1} - I_{B2}|$$

9.4.4　输入失调电压

第 7 章曾讲到，输入失调电压主要取决于输入级电路两边的不对称性。741 电路也不例外，输入失调电压取决于晶体管 Q_1 和 Q_2、Q_3 和 Q_4、Q_5 和 Q_6 以及电阻 R_1 和 R_2 之间的不对称性。7.4 节给出了各种不对称因素造成的失调电压及计算失调电压 V_{OS} 的方法。一般而言，我们先计算器件不对称产生的第一级输出电流，然后求出相应的差模输入电压，加上此电压后可使输出电流降至零。

9.4.5　共模输入范围

共模输入范围是指加上共模输入电压后输入级仍工作在线性放大模式的输入电压值。参见图 9.13，我们发现 741 电路的共模输入范围的上限由 Q_1 和 Q_2 饱和决定，下限由 Q_3 和 Q_4 饱和决定。

练习 9.12　忽略电阻 R_1 和 R_2 上的压降，假设 $V_{CC}=V_{EE}=15$ V。证明 741 电路共模输入范围近似为−12.9 V 到+14.7 V（假设 $V_{BE} \simeq 0.6$ V，为避免饱和，所有 npn 晶体管的 $V_{CB} \geqslant -0.3$ V，pnp 晶体管的 $V_{BC} \geqslant -0.3$ V）。

9.4.6　第二级偏置

参见图 9.13，忽略 Q_{23} 的基极电流，那么 Q_{17} 的集电极电流近似等于电流源输出 Q_{13B} 的电流。因为 Q_{13B} 的比例电流是 Q_{12} 的 0.75 倍，所以它的集电极电流 $I_{C13B} \simeq 0.75 I_{REF}$，这里假设 $\beta_P \gg 1$。则 $I_{C13B} = 550\ \mu$A，$I_{C17} \simeq 550\ \mu$A。由此可求得 Q_{17} 的发射结电压为

$$V_{BE17}=V_T\ln\frac{I_{C17}}{I_S}=618\ \text{mV}$$

Q_{16}的集电极电流由下式确定：

$$I_{C16}\simeq I_{E16}=I_{B17}+\frac{I_{E17}R_8+V_{BE17}}{R_9}$$

由上式计算得到$I_{C16}=16.2\ \mu\text{A}$。可见$Q_{16}$的基极电流和输入偏置电流$I$相比确实相当小，可以忽略，因此与我们先前的假设吻合。

9.4.7 输出级偏置

图 9.18 所示的是 741 输出级电路，它忽略了短路保护电路。电流源Q_{13A}输出$0.25I_{\text{REF}}$（Q_{13A}的I_S是Q_{12}的I_S的 0.25 倍）给Q_{18}、Q_{19}和R_{10}组成的网络。如果忽略Q_{14}和Q_{20}的基极电流，那么Q_{23}的射极电流也等于$0.25I_{\text{REF}}$，即

$$I_{C23}\simeq I_{E23}\simeq 0.25I_{\text{REF}}=180\ \mu\text{A}$$

可见Q_{23}的基极电流只有$180/50=3.6\ \mu\text{A}$，和I_{C17}相比可以忽略，与先前的假设吻合。

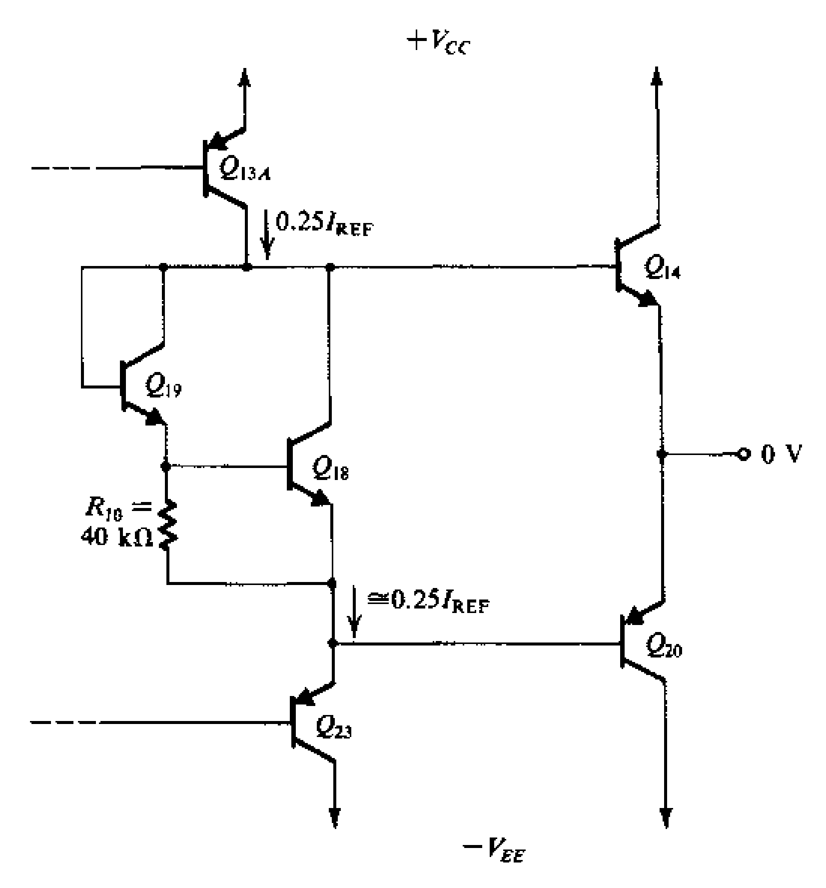


图 9.18 741 输出级电路，短路保护器件没有画出

设V_{BE18}近似等于 0.6 V，则流过电阻R_{10}的电流为 15 μA。因此Q_{18}的射极电流为

$$I_{E18}=180-15=165\ \mu\text{A}$$

即

$$I_{C18}\simeq I_{E18}=165\ \mu\text{A}$$

由该电流值求得 $V_{BE18}=588$ mV，此值与假设的值非常接近。Q_{18} 的基极电流为 165/200 = 0.8 μA，将此值和流过电阻 R_{10} 的电流相加可得到 Q_{19} 的电流：

$$I_{C19} \simeq I_{E19} = 15.8\ \mu\text{A}$$

所以，Q_{19} 的发射结电压为

$$V_{BE19} = V_T \ln \frac{I_{C19}}{I_S} = 530\ \text{mV}$$

如同 9.3.5 节提到的那样，Q_{18}–Q_{19} 网络的目的是使 Q_{14} 和 Q_{20} 这两个晶体管基极之间的直流电压降为两个 V_{BE} 之和。计算该压降 V_{BB} 得到：

$$V_{BB} = V_{BE18} + V_{BE19} = 588 + 530 = 1.118\ \text{V}$$

因为 V_{BB} 同样也是串接的 Q_{14} 和 Q_{20} 发射结之间的压降，所以还可以写出如下公式：

$$V_{BB} = V_T \ln \frac{I_{C14}}{I_{S14}} + V_T \ln \frac{I_{C20}}{I_{S20}}$$

利用已求得的 V_{BB} 值，并将 $I_{S14}=I_{S20}=3\times10^{-14}$ A 代入上式，可得到集电极电流如下：

$$I_{C14} = I_{C20} = 154\ \mu\text{A}$$

此式说明 AB 类输出级的偏置电流非常小。

9.4.8 总结

为便于查阅，这里将 741 电路中晶体管的偏置电流值列于表 9.1 中。

表 9.1 741 电路晶体管的集电极直流电流（μA）

Q_1	9.5	Q_8	19	Q_{13B}	550	Q_{19}	15.8
Q_2	9.5	Q_9	19	Q_{14}	154	Q_{20}	154
Q_3	9.5	Q_{10}	19	Q_{15}	0	Q_{21}	0
Q_4	9.5	Q_{11}	730	Q_{16}	16.2	Q_{22}	0
Q_5	9.5	Q_{12}	730	Q_{17}	550	Q_{23}	180
Q_6	9.5	Q_{13A}	180	Q_{18}	165	Q_{24}	0
Q_7	10.5						

练习 9.13 假设图 9.18 中的 Q_{18}–Q_{19} 网络被两个连接成二极管的晶体管取代，求 Q_{14} 和 Q_{20} 的电流。（提示：利用练习 9.10 的结论。）

答案： 540 μA

9.5 741 运算放大器的小信号分析

9.5.1 输入级

图 9.19 所示是分析 741 小信号性能的输入级部分。因为 Q_1 和 Q_2 的集电极接的是恒定的直流电压，所以对信号接地。同样，Q_3 和 Q_4 公共的基极由于恒流偏置而等效于开路。

差模输入电压 v_i 加在输入端之间，等效于加在 4 个串接的射极电阻（它们是 Q_1、Q_2，Q_3 和 Q_4）上的 4 个射极电阻。图 9.19 标明了射极电流的方向，其值为

$$i_e = \frac{v_i}{4r_e} \tag{9.68}$$

其中，r_e表示Q_1到Q_4每个晶体管的射极电阻，其值由下式确定：

$$r_e = \frac{V_T}{I} = \frac{25\ \text{mA}}{9.5\ \mu\text{A}} = 2.63\ \text{k}\Omega$$

这样Q_1到Q_4这4个晶体管提供给负载一对互补的信号电流αi_e，如图9.19所示。

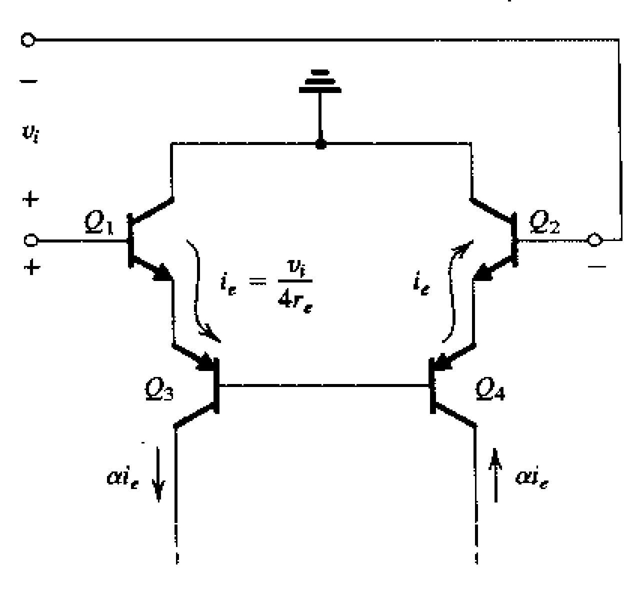


图9.19 741输入级小信号分析

运算放大器的差模输入电阻可以从图9.19中得到：

$$R_{id} = 4(\beta_N + 1)r_e \tag{9.69}$$

当$\beta_N = 200$时，$R_{id} = 2.1\ \text{M}\Omega$。

我们继续对输入级进行分析。图9.20所示的负载电流是刚才分析得到的一对互补电流。忽略Q_7的基极信号电流，Q_5的集电极电流近似等于输入电流αi_e。由于Q_5和Q_6的特性相同，基极又连接在一起，发射极接的电阻也相同，因此它们的集电极信号电流必然相等，这就迫使Q_6的集电极电流等于αi_e。换言之，负载电路的功能是一个电流源。

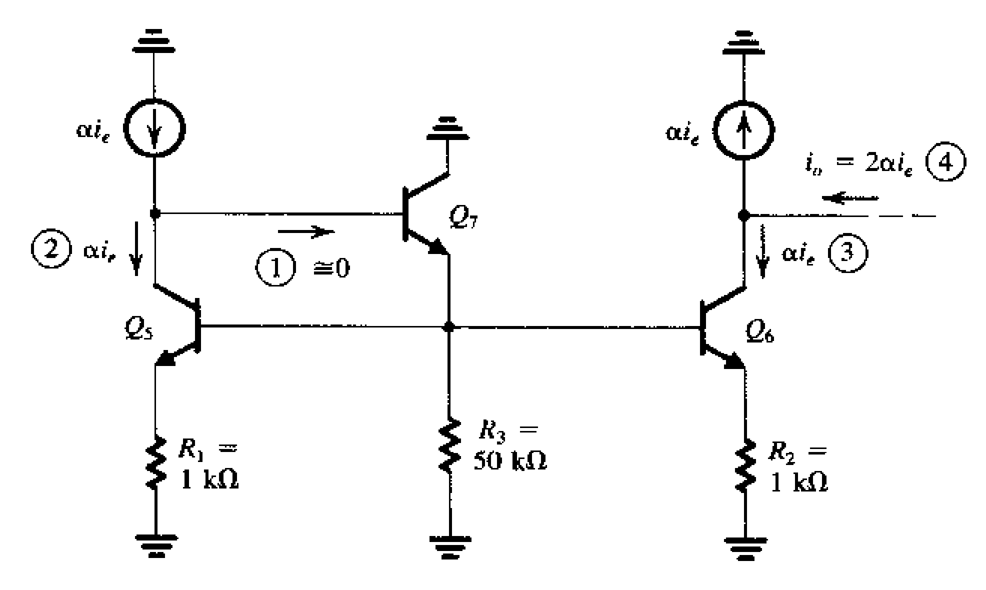


图9.20 输入级的负载电路，图9.19中的Q_1到Q_4产生两路互补电流信号作为负载电路的输入信号。带圈的数字表示分析步骤

现在考虑输入级的输出节点，可知输出电流 i_o 由下式确定：

$$i_o = 2\alpha i_e \tag{9.70}$$

上式中的系数 2 表明双端输出转换成单端输出时增益没有减半。原因在于电流源转换了其中的一个电流并将它加到另一个电流上（参见 7.5 节）。

结合式（9.68）和式（9.70），得到输入级的互导 G_{m1}：

$$G_{m1} \equiv \frac{i_o}{v_i} = \frac{\alpha}{2r_e} \tag{9.71}$$

将 $r_e = 2.63\ \text{k}\Omega$ 与 $\alpha \simeq 1$ 代入上式，得到 $G_{m1} = 1/5.26\ \text{mA/V}$。

练习 9.14　求图 9.20 中用 i_e 表示的各表达式：（a）Q_6 的基极信号电压；（b）Q_7 的射极信号电流；（c）Q_7 的基极信号电流；（d）Q_7 的基极信号电压；（e）从左边信号电流源 αi_e 视入的输入电阻。（注意：为简单起见，假设 $I_{C7} \simeq I_{C5} = I_{C6}$。）

答案：（a）$3.63\ \text{k}\Omega \times i_e$；（b）$0.08 i_e$；（c）$0.0004 i_e$；（d）$3.84\ \text{k}\Omega \times i_e$；（e）$3.84\ \text{k}\Omega$

为了实现 741 输入级的建模，我们需要求解输出电阻 R_{o1}。参见图 9.20，输出电阻是从 Q_6 集电极端口往输入端方向视入的电阻。可见，R_{o1} 等于提供 αi_e 电流的电流源输出电阻和 Q_6 输出电阻的并联等效值。前者是图 9.19 中从 Q_4 集电极端口视入的等效电阻，如果假设 Q_3 和 Q_4 的公共基极是虚地点，那么这个电阻计算起来比较简单。当然，这个假设只有在输入电压 v_i 为差模信号的时候才成立，而且不会产生很大的误差。

假设 Q_4 的基极虚地，等效电阻用 R_{o4} 表示，如图 9.21（a）所示。它等于射极接有电阻（Q_2 的 r_e 电阻）的共基组态放大器的输出电阻。我们可以利用下式［即式（6.118）］计算 R_{o4}：

$$R_o = r_o[1 + g_m(R_E \,//\, r_\pi)] \tag{9.72}$$

将 $R_E = r_e \equiv 2.63\ \text{k}\Omega$ 和 $r_o = V_A/I$ 代入，其中 $V_A = 50\ \text{V}$，$I = 9.5\ \mu\text{A}$（因此 $r_o = 5.26\ \text{M}\Omega$），忽略 r_π，因为它比 R_E 大（$1+\beta$）倍以上，最终可计算出 $R_{o4} = 10.5\ \text{M}\Omega$。

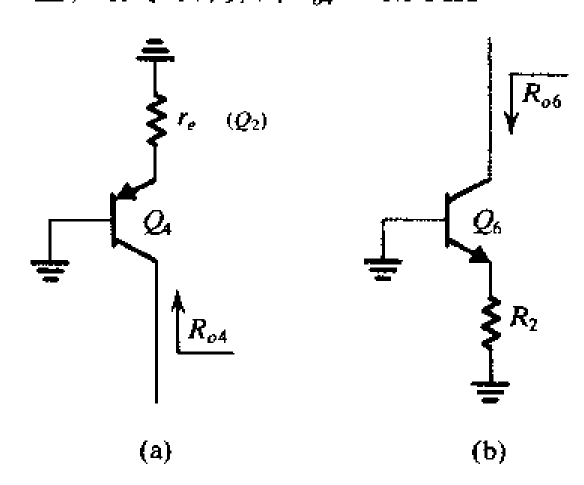


图 9.21　计算第一级输出电阻的两个组成部分的简化电路

输出电阻的第二项等于从图 9.20 中晶体管 Q_6 的集电极端口视入的电阻。虽然 Q_6 的基极没有交流接地，我们还是假设基极的信号电压足够小以使得近似分析有效，因此可以得到图 9.21（b）所示的电路，R_{o6} 可以利用式（9.72）计算，其中 $R_E = R_2$。计算得到 $R_{o6} = 18.2\ \text{M}\Omega$。

最后，通过求解 R_{o4} 和 R_{o6} 的并联等效值可以得到输入级的输出电阻 $R_{o1} = 6.7\ \text{M}\Omega$。

图 9.22 所示是我们对输入级推导后得到的等效电路。

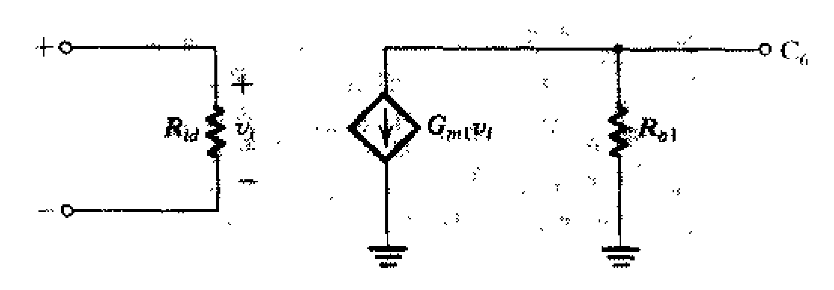


图 9.22 741 运算放大器输入级的小信号等效电路

例题 9.3 当图 9.13 所示电路中的 R_1 和 R_2 电阻有 2% 的失配时，求输入失调电压。

解： 首先考虑两个输入端接地，设 $R_1 = R$，则 $R_2 = R + \Delta R$，其中 $\Delta R/R = 0.02$。观察图 9.23，当 Q_5 的导通电流是 I 时，Q_6 的导通电流比它小 ΔI，ΔI 的值可根据以下的分析求得：

$$V_{BE5} + IR = V_{BE6} + (I - \Delta I)(R + \Delta R)$$

即

$$V_{BE5} - V_{BE6} = I\Delta R - \Delta I(R + \Delta R) \tag{9.73}$$

V_{BE} 电压差的存在是因为射极电流 I_E 有 ΔI 的变化造成的，所以可以写出下式：

$$V_{BE5} - V_{BE6} \simeq \Delta I r_e \tag{9.74}$$

结合式（9.73）和式（9.74）得

$$\frac{\Delta I}{I} = \frac{\Delta R}{R + \Delta R + r_e} \tag{9.75}$$

将 $R = 1\ \text{k}\Omega$ 和 $r_e = 2.63\ \text{k}\Omega$ 代入，得到 R_1 和 R_2 之间存在 2% 的失配时产生的输出电流 $\Delta I = 5.5 \times 10^{-3} I$。要将此输出电流降至零，必须在输入端加入电压 V_{OS}，其值为

$$V_{OS} = \frac{\Delta I}{G_{m1}} = \frac{5.5 \times 10^{-3} I}{G_{m1}} \tag{9.76}$$

将 $I = 9.5\ \mu\text{A}$ 和 $G_{m1} = 1/5.26\ \text{mA/V}$ 代入上式，求得失调电压 $V_{OS} \simeq 0.3\ \text{mV}$。

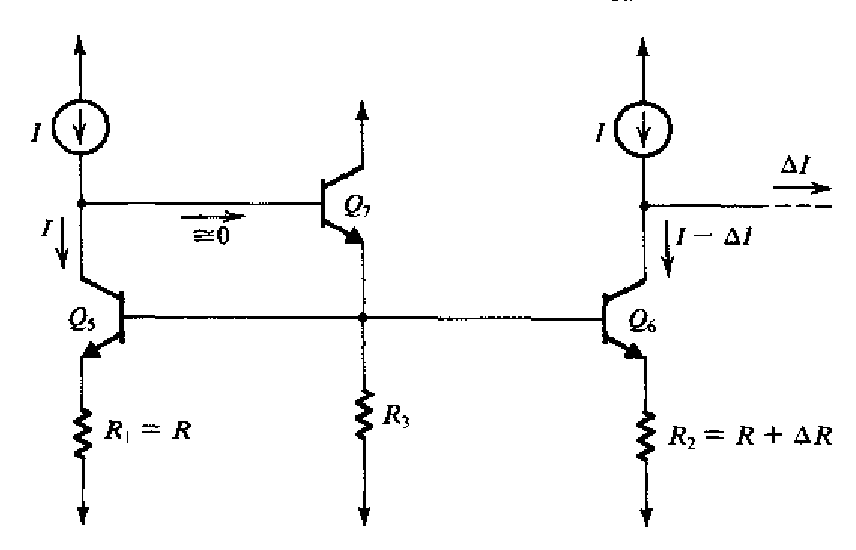


图 9.23 输入级的两个输入端接地，电阻 R_1 和 R_2 之间存在偏差 ΔR

需要指出的是，计算得到的失调电压只是 741 运算放大器输入失调电压中的一部分。其余部分来源于晶体管特性的不对称性。741 运算放大器的输入失调电压的典型值是 2 mV。

下面一系列练习的目的是计算741运算放大器输入级的负载电路存在不对称特性时如何确定有限共模增益。图E9.15所示的输入端施加的是共模输入电压 v_{icm}，负载电路中的 R_1 和 R_2 电阻不对称，偏差为 ΔR。为简单起见，共模反馈环已开路，取而代之的是等效电阻 R_o，它是图9.13所示电路中从节点 Y 往左边视入的等效电阻，等于 R_{o9}（Q_9 的输出电阻）和 R_{o10}（Q_{10} 的输出电阻）的并联等效值。 ■

练习 9.15 证明图E9.15中的电流 i 可由下式近似的求得：

$$i=\frac{v_{icm}}{r_{e1}+r_{e3}+[2R_o/(\beta_P+1)]}$$

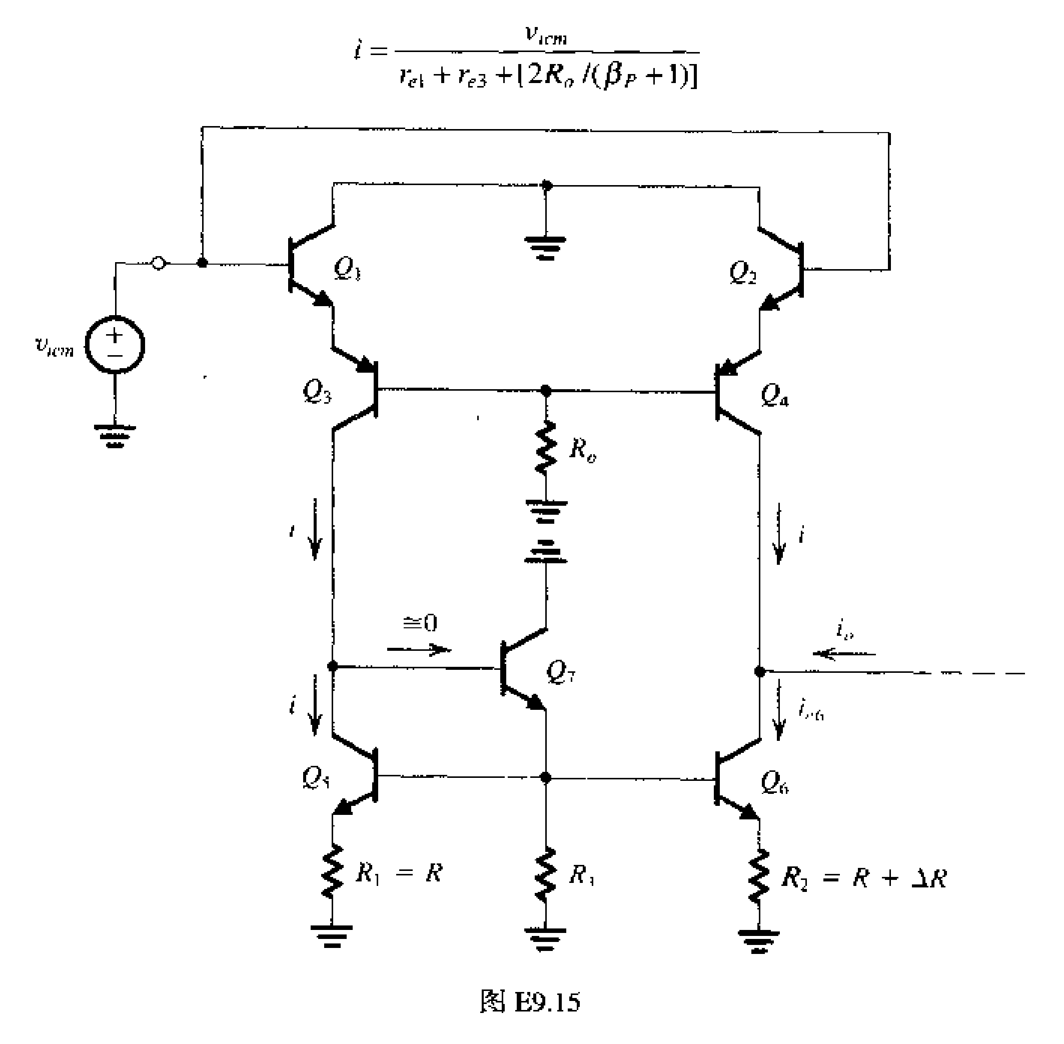


图 E9.15

练习 9.16 证明：

$$i_o=-i\frac{\Delta R}{R+r_{e5}+\Delta R}$$

练习 9.17 利用练习9.15和练习9.16的结论，假设 $\Delta R \ll (R+r_e)$ 及 $R_o/(\beta_P+1)\gg(r_{e1}+r_{e3})$，证明共模互导 G_{mcm} 具有以下的近似表达式：

$$G_{mcm}\equiv\frac{|i_o|}{v_{icm}}\simeq\frac{\beta_P}{2R_o}\frac{\Delta R}{R+r_{e5}}$$

练习 9.18 参见图9.13，假设 Q_9 和 Q_{10} 的基极电压是常数（对信号而言是交流接地）。求 R_{o9} 和 R_{o10} 的值，然后求 R_o 的值。晶体管参数为：所有 *npn* 晶体管的 $V_A=125$ V，*pnp* 晶体管的 $V_A=50$ V。

答案：$R_{o9}=2.63$ MΩ，$R_{o10}=31.1$ MΩ，$R_o=2.43$ MΩ

练习 9.19 当$\beta_P=50$，$\Delta R/R=0.02$ 时，估算练习 9.17 得到的 G_{mcm}。

答案：0.057 μA/V

练习 9.20 利用练习 9.19 得到的 G_{mcm} 值和式（9.71）近似得到的 G_{m1} 值，求共模抑制比 CMRR，它定义为 G_{m1} 与 G_{mcm} 的比值，用分贝（dB）表示。

答案：70.5 dB

练习 9.21 当共模负反馈环起作用时，共模增益将降低反馈深度倍。我们注意到环路增益近似等于β_P（参见习题 9.26），求存在反馈环时的 CMRR。（$\beta_P=50$。）

答案：104.6 dB

9.5.2 第二级

图 9.24 所示是用于小信号分析的 741 运算放大器的第二级电路。本节要对第二级电路进行分析，以便确定图 9.25 中的参数值。

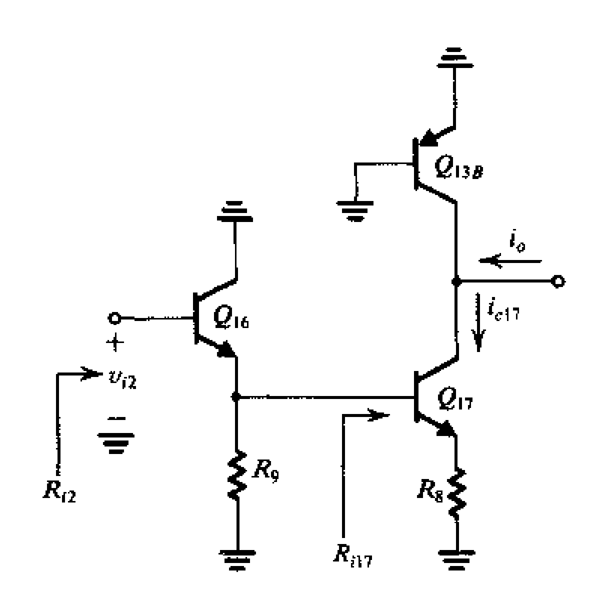


图 9.24 用于小信号分析的 741 的第二级电路

输入电阻 观察得到，输入电阻 R_{i2} 为

$$R_{i2}=(\beta_{16}+1)[r_{e16}+R_9 // (\beta_{17}+1)(r_{e17}+R_8)] \tag{9.77}$$

代入合适的参数值，得到 $R_{i2}\simeq 4\ \mathrm{M\Omega}$。

互导 从图 9.25 所示的等效电路，可以看出：互导 G_{m2} 等于短路输出电流与输入电压的比值。将第二级的输出端短路接地（见图 9.24），导致流过 Q_{13B} 输出电阻上的电流为零，短路输出电流就等于 Q_{17} 的集电极电流（i_{c17}）。不难看出，该电流与 v_{i2} 有以下的关系：

$$i_{c17}=\frac{\alpha v_{b17}}{r_{e17}+R_8} \tag{9.78}$$

$$v_{b17}=v_{i2}\frac{(R_9 // R_{i17})}{(R_9 // R_{i17})+r_{e16}} \tag{9.79}$$

$$R_{i17}=(\beta_{17}+1)(r_{e17}+R_8) \tag{9.80}$$

联立求解上述等式，得到

$$G_{m2} \equiv \frac{i_{c17}}{v_{i2}} \tag{9.81}$$

根据 741 运算放大器晶体管的参数值，计算得到 $G_{m2} = 6.5$ mA/V。

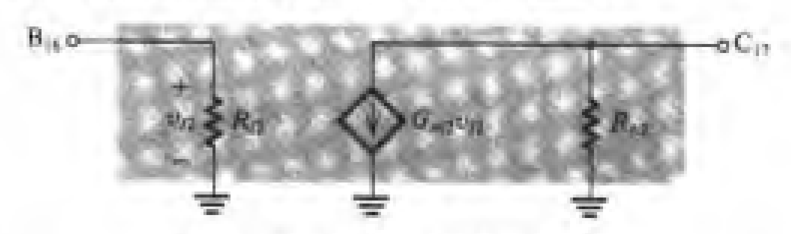


图 9.25 第二级的小信号等效电路模型

输出电阻 为了确定第二级输出电阻，我们首先将图 9.24 所示电路的输入端接地，从输出端往输入端视入的等效电阻即为输出电阻 R_{o2}，该电阻可由下式确定：

$$R_{o2} = (R_{o13B} \,//\, R_{o17}) \tag{9.82}$$

其中，R_{o13B} 是从晶体管 Q_{13B} 的集电极端口视入的等效电阻，Q_{13B} 的基极和发射极均交流接地，所以输出电阻很容易求得：

$$R_{o13B} = r_{o13B} \tag{9.83}$$

代入 741 晶体管参数，求得 $R_{o13B} = 90.9$ kΩ。

式（9.82）的第二部分是从 Q_{17} 的集电极视入的等效电阻 R_{o17}，如图 9.26 所示。由于 Q_{17} 的基极到地之间的等效电阻非常小，可以近似认为接地，因而可以采用式（9.72）求得 R_{o17}。对这个例子，计算得到的 $R_{o17} \approx 787$ kΩ。R_{o13B} 和 R_{o17} 的并联等效值为 $R_{o2} = 81$ kΩ。

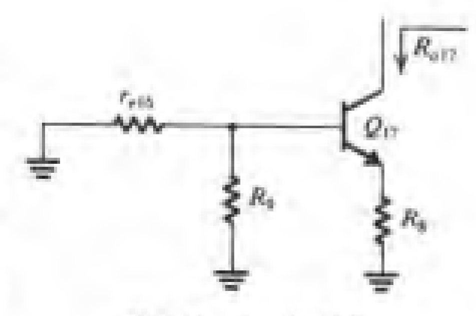


图 9.26 R_{o17} 的定义

戴维南等效电路 第二级等效电路可以转换成图 9.27 所示的形式。其中，开路输出电压增益等于 $-G_{m2}R_{o2}$。

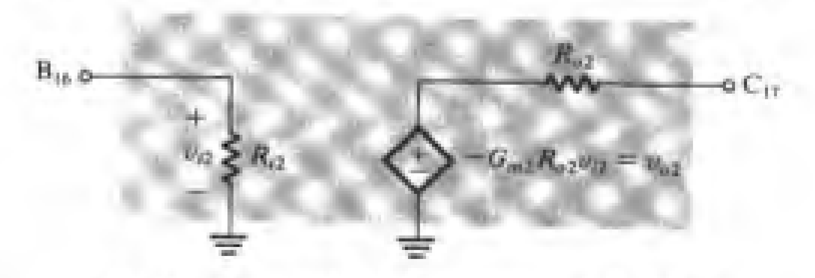


图 9.27 第二级戴维南形式的小信号等效电路模型

练习 9.22 利用式（9.77），证明 $R_{i2} = 4$ MΩ。

练习 9.23 利用式（9.78）和式（9.81），证明 $G_{m2} = 6.5$ mA/V。

练习 9.24 验证 $R_{o2} = 81$ kΩ。

练习 9.25 求 741 运算放大器的第二级开路电压增益。

答案： −526.5 V/V

9.5.3 输出级

图 9.28 所示是 741 运算放大器的输出级电路，短路电流保护模块没有在图中给出。输出级由

第二级晶体管 Q_{17} 驱动，负载电阻为 2 kΩ。输出级电路是 AB 类的（参见 9.3.5 节），Q_{18}，Q_{19} 和 R_{10} 组成的网络负责提供输出管 Q_{14} 和 Q_{20} 基极之间的偏置电压。采用该电路而不是采用两个连接成二极管的晶体管串接形式，可以将输出晶体管的工作设置在较低的偏置电流上（0.15 mA），哪怕输出晶体管是标准管的三倍。只要把 Q_{19} 的电流设置得小一些（当然 V_{BE} 电压也很小），就可以实现输出晶体管的低偏置电流。

另一个值得注意的地方是：741 电路的输出级由射极跟随器 Q_{23} 驱动。射极跟随器是缓冲器，它可以使得运算放大器的增益几乎和输出晶体管的参数无关。

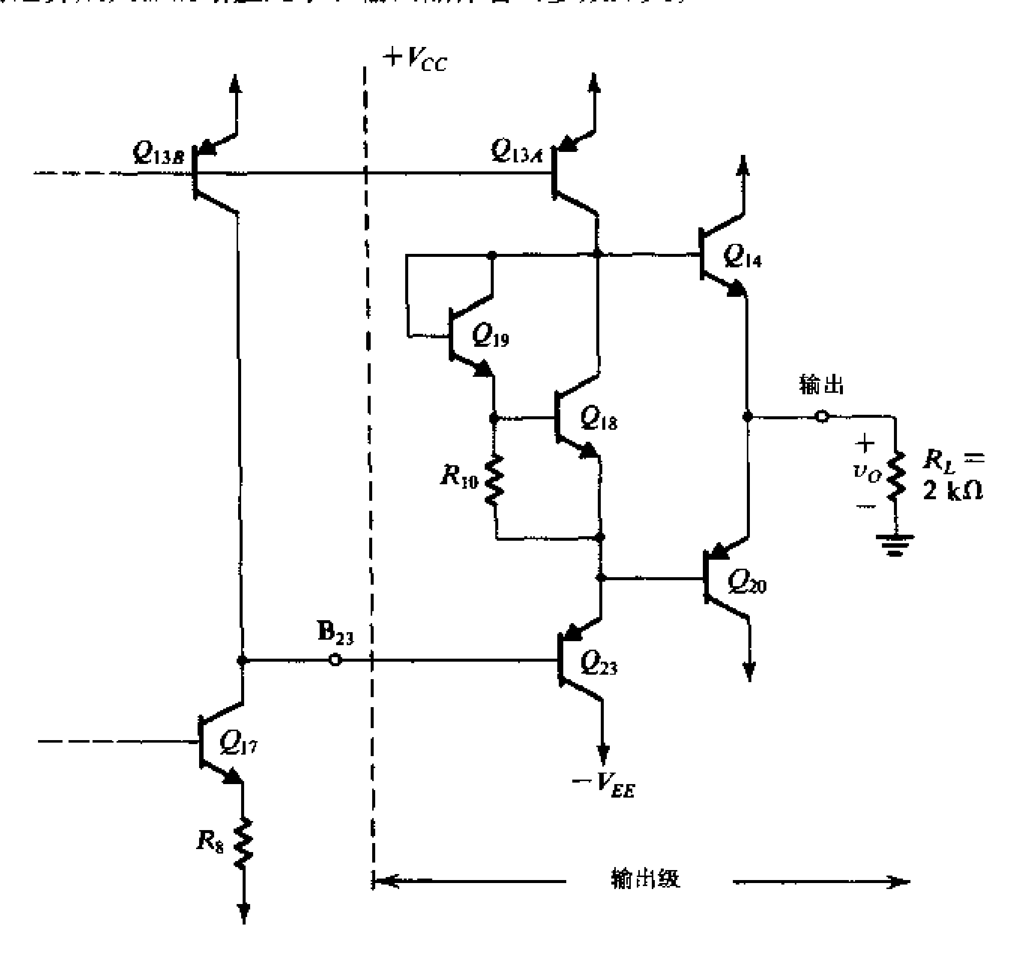


图 9.28 741 电路的输出级

输出电压极限 正向电压最大值受电流源 Q_{13A} 饱和电压的限制，即

$$v_{O\max} = V_{CC} - V_{CE\text{sat}} - V_{BE14} \tag{9.84}$$

其值大约比 V_{CC} 低 1 V。输出电压的最小值（例如，负的最大幅度）受 Q_{17} 的饱和电压的限制。忽略 R_8 电阻上的压降，可以得到

$$v_{O\min} = -V_{EE} + V_{CE\text{sat}} + V_{EB23} + V_{EB20} \tag{9.85}$$

其值比 $-V_{EE}$ 高 1.5 V。

小信号模型 现在需要对输出级进行小信号分析，以便确定图 9.29 所示等效电路中的模型参数，该模型基于基本放大器等效电路，参见表 5.5 的“等效电路 C”。模型的输入激励是 v_{o2}，它是第二级的开路输出电压。从图 9.27 中可知，电压 v_{o2} 为

$$v_{o2} = -G_{m2}R_{o2}v_{i2} \tag{9.86}$$

其中，G_{m2} 和 R_{o2} 已经在前面求得，$G_{m2}=6.5$ mA/V，$R_{o2}=81$ kΩ。电阻 R_{in3} 是带有负载 R_L 的输出级等效输入电阻。虽然接上一级放大器对输入级和第二级输入电阻的影响可以忽略，但对输出级来说，通常情况并不如此。采用这种方式（参见表 5.5）定义 R_{in3} 可以正确估计第二级的电压增益 A_2，即

$$A_2=\frac{v_{i3}}{v_{i2}}=-G_{m2}R_{o2}\frac{R_{in3}}{R_{in3}+R_{o2}} \tag{9.87}$$

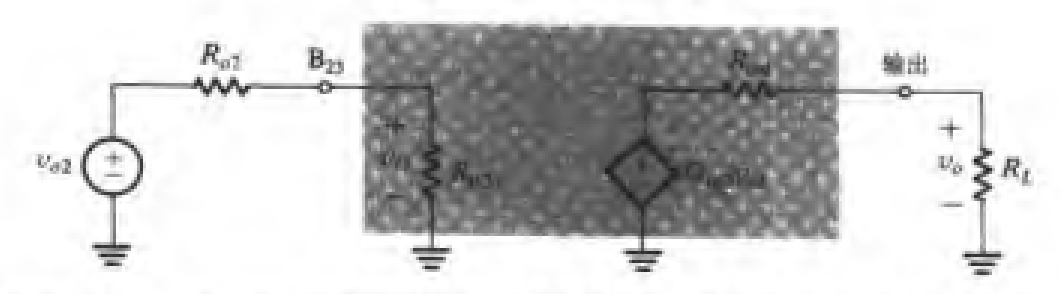


图 9.29 741 输出级模型。该模型基于表 5.5 基本放大器等效电路模型中的“等效电路 C”

为了确定 R_{in3}，假设其中一个输出晶体管（比如 Q_{20}）导通，电流为 5 mA，那么从 Q_{20} 的基极视入的输入电阻近似为$\beta_{20}R_L$。如果$\beta_{20}=50$，$R_L=2$ kΩ，则 Q_{20} 的输入电阻为 100 kΩ。该电阻与 Q_{13A} 的输出电阻（$r_{o13A}=280$ kΩ）和 Q_{18}–Q_{19} 网络的等效电阻串联后相并联。后者的电阻相当小（大约是 160 Ω，见后面的练习 9.26），所以 Q_{23} 的射极上的总等效电阻近似为 74 kΩ（100 kΩ// 280 kΩ），至此可求得输入电阻 R_{in3} 为

$$R_{in3}=\beta_{23}\times 74\ \text{k}\Omega$$

若$\beta_{23}=50$，则 $R_{in3}=3.7$ MΩ。由于 $R_{o2}=81$ kΩ，可见 $R_{in3}\gg R_{o2}$，而且 R_{in3} 的值对运算放大器性能的影响较小。我们可以将得到的 R_{in3} 的值代入式（9.87），求出第二级的增益 $A_2=-515$ V/V。我们在 9.6 节进行频响分析时要用到 A_2 的值。

我们继续计算等效电路模型参数。参见图 9.29，输出级开路输出总电压增益 G_{vo3} 定义为

$$G_{vo3}=\left.\frac{v_o}{v_{o2}}\right|_{R_L=\infty} \tag{9.88}$$

当 $R_L=\infty$ 时，射极跟随输出晶体管（Q_{14} 或 Q_{20}）的增益近似为 1。同样，当 $R_L=\infty$ 时，Q_{23} 的射极上的电阻非常大，这意味着 Q_{23} 的增益接近于 1，输入电阻非常大，因而我们可以得到以下结论：$G_{vo3}=1$。

接下来，我们求解运算放大器的输出电阻 R_{out}。参见图 9.30，根据输出电阻的定义，输出级的输入激励源接地，但源内阻（即第二级的输出电阻 R_{o2}）必须保留。假设输出电压 v_O 是负的，则 Q_{20} 导通，Q_{14} 截止，可以忽略。精确的输出电阻值和哪个晶体管（Q_{14} 或 Q_{20}）导通以及流过它的负载电流有关，但是现在我们只希望得到 R_{out} 的估算值。

如图 9.30 所示，从 Q_{23} 的射极视入的电阻为

$$R_{o23}=\frac{R_{o2}}{\beta_{23}+1}+r_{e23} \tag{9.89}$$

将 $R_{o2}=81$ kΩ，$\beta_{23}=50$ 和 $r_{e23}=25/0.18=139$ Ω代入上式，得到 $R_{o23}=1.73$ kΩ。r_{o13A} 和 Q_{18}–Q_{19} 网络的等效电阻串联后再与该电阻相并联。由于单独的 r_{o13A}（0.28 MΩ）已经远大于 R_{o23}，因此 Q_{20} 的基极到地之间的等效电阻只由 R_{o23} 决定，所以 R_{out} 为

$$R_{out} \simeq \frac{R_{o23}}{\beta_{20}+1} + r_{e20} \tag{9.90}$$

因为$\beta_{20}=50$，因此R_{out}的第一项是34 Ω，第二项完全取决于负载电流。如果输出电流是5 mA，r_{e20}就等于5 Ω，这时$R_{out}=39$ Ω。对该值我们必须再加上R_7(27 Ω)（见图9.13），因为它是短路保护电路中的电阻。741电路的输出电阻的典型值是75 Ω。

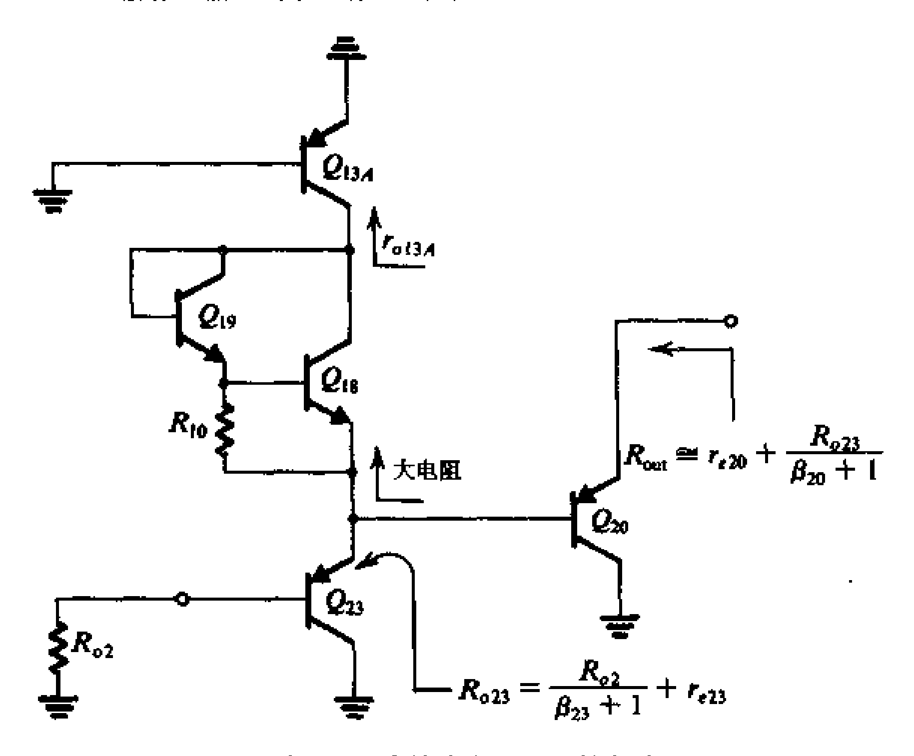
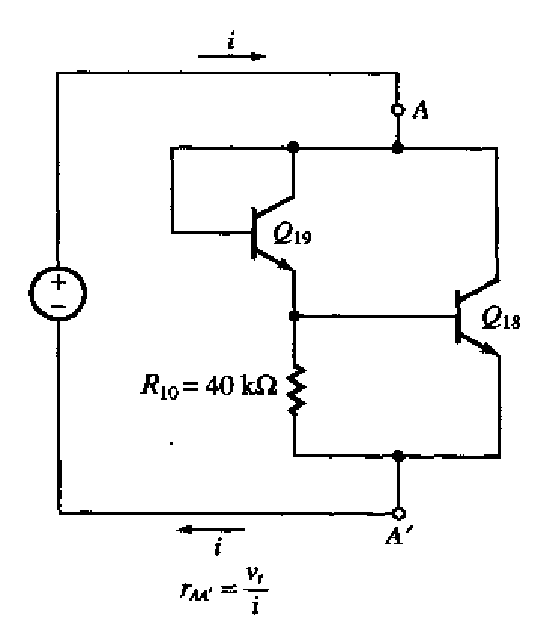


图9.30 求输出电阻R_{out}的电路

练习9.26 利用晶体管Q_{18}和Q_{19}的简单模型(r_π，g_m)求图E9.26中AA'之间的小信号等效电阻。（注意：参见表9.1，有$I_{C18}=165\ \mu A$，$I_{C19}\simeq 16\ \mu A$。）

答案：163 Ω



图E9.26

练习 9.27　图 E9.27 所示是当 v_O 为正值且 Q_{14} 导通时求解运算放大器输出电阻的电路。利用练习 9.26 得到的 Q_{18}–Q_{19} 网络的等效电阻，并且忽略 Q_{13A} 的输出电阻，求 Q_{14} 提供 5 mA 电流时运算放大器的输出电阻 R_{out}。

答案：14.4 Ω

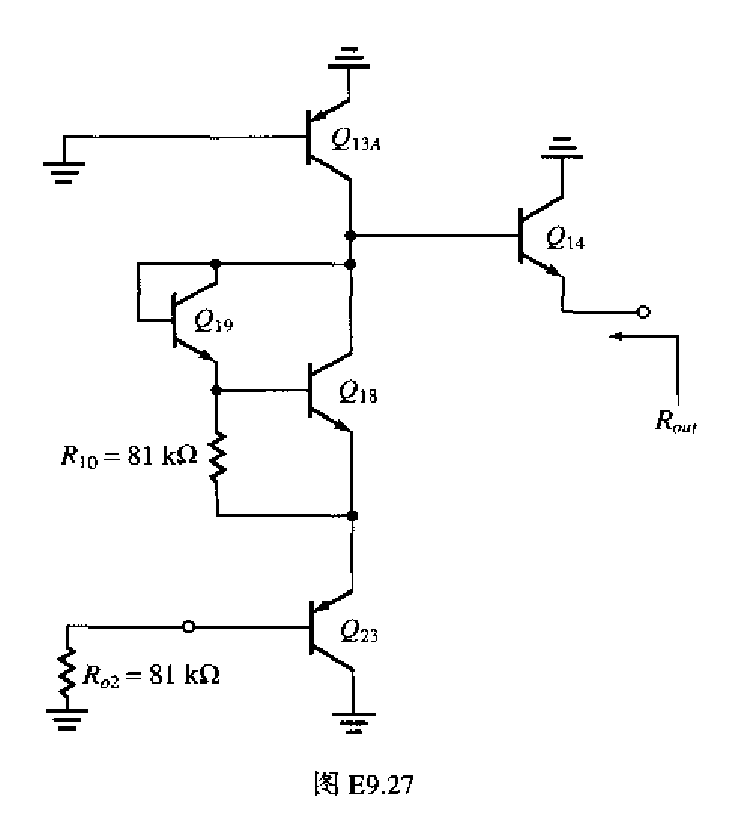


图 E9.27

输出短路保护　一旦运算放大器的输出端和直流电源中的一个短接，其中的一个晶体管将流过一个很大的电流。这个大电流足可以烧毁芯片（见第 14 章）。为预防可能出现的情况，741 电路设计了短路电流保护电路，该电路的作用是在万一出现输出短路时限制流过输出晶体管的电流。

参见图 9.13，电阻 R_6 和晶体管 Q_{15} 限制流过 Q_{14} 的短路电流，具体地说，当 Q_{14} 的射极电流超过 20 mA 时，电阻 R_6 上的压降就会超过 540 mV，该电压驱使 Q_{15} 导通，一旦 Q_{15} 导通，它的集电极将分流掉 Q_{13A} 输出的部分电流，从而减少流入 Q_{14} 的基极的电流。这一机理使得运算放大器可以输出的最大电流（从运算放大器输出端向外提供电流）限制在 20 mA 以内。

限制运算放大器吸收的最大电流（即流过 Q_{20} 的电流）的机理与上面相同。相关电路由 R_7，Q_{21}，Q_{24} 和 Q_{22} 组成，根据给定的器件，往芯片内部流入的最大电流限制为 20 mA。

9.6　741 运算放大器的增益、频率响应和摆率

本节将计算 741 运算放大器的总电压增益，然后还要讨论其频率响应和摆率。

9.6.1　小信号增益

小信号增益比较容易求解，利用前面对运算放大器三级电路讨论的结果，将三级等效电路级联，便可求得总电压增益。三级级联电路如图 9.31 所示，负载电阻 $R_L = 2\,\text{k}\Omega$，这也是测量 741 运算放大器性能指标时采用的值。总电压增益可表示为

$$\frac{v_o}{v_i} = \frac{v_{i2}}{v_i}\frac{v_{o2}}{v_{i2}}\frac{v_o}{v_{o2}} \tag{9.91}$$

$$= -G_{m1}(R_{o1} // R_{i2})(-G_{m2}R_{o2})G_{vo3}\frac{R_L}{R_L + R_{out}} \tag{9.92}$$

代入前面已求得的值，计算开路总电压增益：

$$A_0 \equiv \frac{v_o}{v_i} = -476.1\times(-526.5)\times 0.97 = 243\,147\ \text{V/V}$$
$$\equiv 107.7\ \text{dB} \tag{9.93}$$

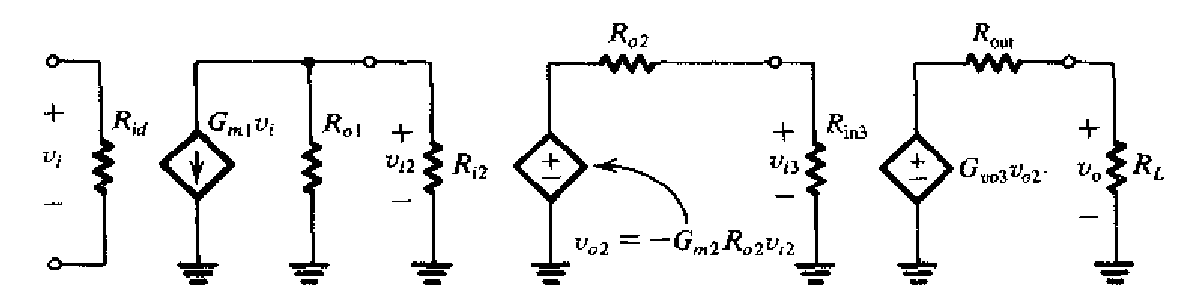


图 9.31　由各级级联而成的小信号等效电路，用于求解总电压增益

9.6.2　频率响应

741 是具有内补偿的运算放大器。它采用的是米勒补偿技术，通过 8.11.3 节的介绍，我们知道米勒补偿是引入一个低频主极点。具体地说，是将 30 pF 的电容 C_C 接在第二级负反馈回路上。以下是关于主极点的近似估算过程。

根据米勒定理（参见 6.4.4 节），C_C 电容所产生的 Q_{16} 的基极对地的等效电容为（见图 9.13）

$$C_{in} = C_C(1+|A_2|) \tag{9.94}$$

其中，A_2 是第二级电压增益。利用 9.5.3 节计算得到的值 $A_2 = -515$ 可求得 $C_{in} = 15\,480$ pF。该电容量相当大，所以 Q_{16} 的基极和地之间的其他所有等效电容均可忽略。而该节点到地之间的等效电阻为

$$R_t = (R_{o1} // R_{i2})$$
$$= (6.7\text{M}\Omega // 4\text{M}\Omega) = 2.5\ \text{M}\Omega \tag{9.95}$$

因此主极点频率 f_P 由下式给出：

$$f_P = \frac{1}{2\pi C_{in}R_t} = 4.1\ \text{Hz} \tag{9.96}$$

需要指出的是采用式（8.87）近似估算得到的结果与用上述方法得到的结果相同。

如同 8.11.3 节讨论的那样，米勒补偿还有另外一个好处：极点分离，即电路的其他极点被移动到很远的地方，这已通过计算机辅助分析［参见 Gray 等，（2000）］给予了证明。

假设所有非主极点的频率均很高，根据计算得到的值画出的波特图如图 9.32 所示，其中 $f_{3dB} = f_P$。单位增益带宽 f_t 由下式得到：

$$f_t = A_0 f_{3dB} \tag{9.97}$$

即

$$f_t = 243\,147 \times 4.1 \simeq 1\ \text{MHz} \tag{9.98}$$

虽然上述波特图隐含地指出在频率 f_t 上的相移是−90°，即相位裕量等于 90°，但实际电路的相位

裕量大约只有 80°，相差的部分（大约为 10°）与非主极点有关。对任何反馈系数β，现在的相位裕量足可以保证闭环放大器稳定工作。741 电路的内补偿实现起来很方便，但是所花费的代价是开环增益的大幅下降，因而反馈放大器增益也下降。换言之，如果要设计一个闭环增益为 1000 的放大器，那么需要设计者对 741 电路的频率补偿进行很好的设计（当然，假设采用的运算放大器还没有进行内部补偿）。

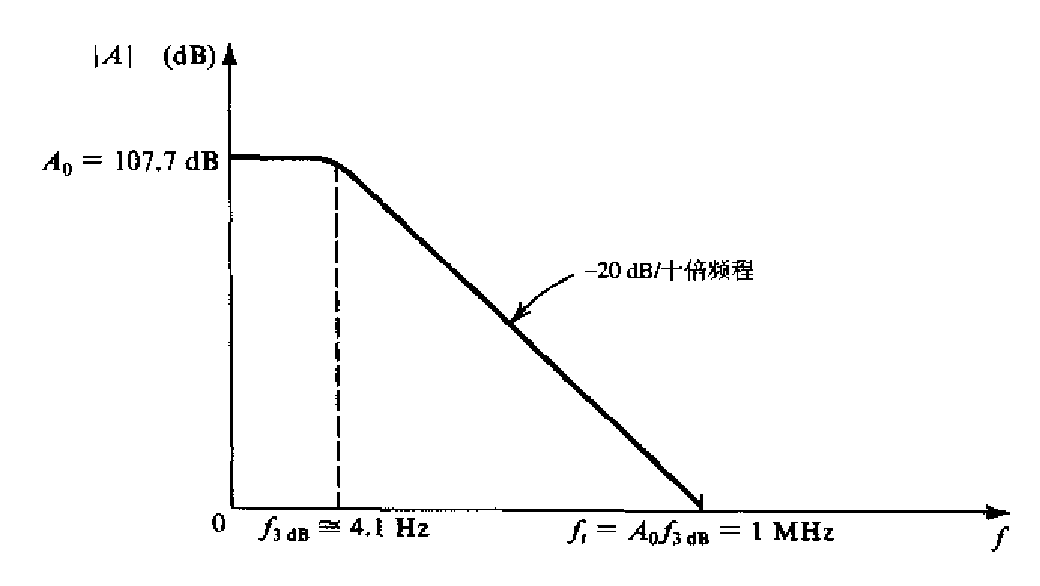


图 9.32　741 幅频波特图（忽略非主极点）

9.6.3 简化模型

图 9.33 所示的是 741 电路的简化模型，具有高增益的第二级和反馈电容 C_C构成理想积分器模型。假设第二级增益为无穷大，那么输入端可以认为是虚地，因此第一级的输出电阻和第二级的输入电阻均可忽略。输出级假设为理想的单位增益跟随器，除了输出级，该模型与 9.1.4 节介绍的两级 CMOS 放大器（见图 9.3）的模型相同。

分析图 9.33，可得

$$A(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{G_{m1}}{sC_C} \tag{9.99}$$

即

$$A(j\omega) = \frac{G_{m1}}{j\omega C_C} \tag{9.100}$$

当$\omega=\omega_t$时增益幅度等于 1，则

$$\omega_t = \frac{G_{m1}}{C_C} \tag{9.101}$$

将 G_{m1}= 1/5.26 mA/V，C_C = 30 pF 代入上式，得到

$$f_t = \frac{\omega_t}{2\pi} \simeq 1\,\text{MHz} \tag{9.102}$$

其值与我们先前计算得到的结果一致。然而需要指出：该模型只在频率 $f \gg f_{3dB}$时才适用，这时的增益下降速度是−20 dB/十倍频程，与积分器相同。

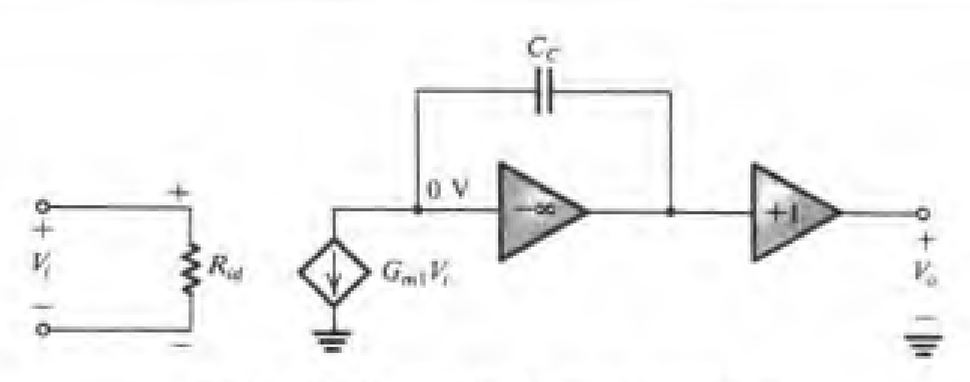


图 9.33　基于第二级积分器模型的 741 简化电路

9.6.4　摆率

我们曾在第 2 章讨论过运算放大器摆率的问题。这里我们将针对 741 电路说明输出摆动的原因。

考虑图 9.34，这是一个单位增益跟随器，输入是幅度为 10 V 的阶跃电压。由于放大器的动态特性，输出电压的变化不可能在零时间内完成，因此在加上输入电压后的瞬间，整个阶跃电压几乎是以差模信号的形式加在两输入端之间。如此大的输入电压使得输入级过驱动，导致小信号模型不再适用。实际情况是输入级一半电路导通，一半电路截止。具体而言，由图 9.13 可知正的差模输入电压驱动使得 Q_1 和 Q_3 导通，从而传输整个偏置电流 $2I$，而 Q_2 和 Q_4 截止。电流源 Q_5、Q_6 和 Q_7 正常工作，同时 Q_6 输出 $2I$ 的集电极电流。

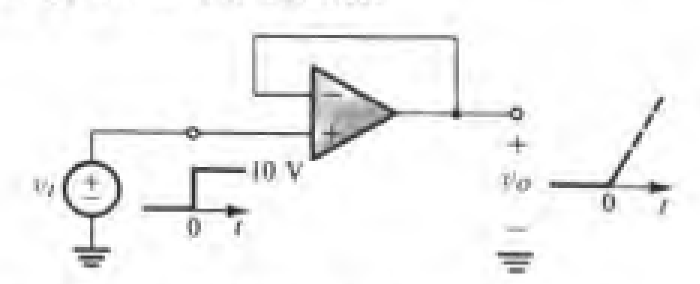


图 9.34　具有较大幅度阶跃输入的单位增益跟随器。输出电压不能立即改变，致使运算放大器输入端呈现较大的差分输入电压

根据以上观察并建立第二级理想积分器模型，得到图 9.35 所示的电路。可知输出电压是斜率为 $2I/C_C$ 的时间线性函数：

$$v_O(t) = \frac{2I}{C_C}t \tag{9.103}$$

由此得到摆率 SR 为

$$SR = \frac{2I}{C_C} \tag{9.104}$$

对 741 电路，$I = 9.5\ \mu\text{A}$，$C_C = 30\ \text{pF}$，计算得到 $SR = 0.63\ \text{V}/\mu\text{s}$。

需要指出的是，这是用于分析输出摆动过程的一个相当简化的模型，详细的分析请参阅 Gray 等人的著述（2000）。

练习 9.28　利用上面计算得到的摆率求出 741 电路的全功率带宽 f_M。假设输出最大值为±10 V。

答案：10 kHz

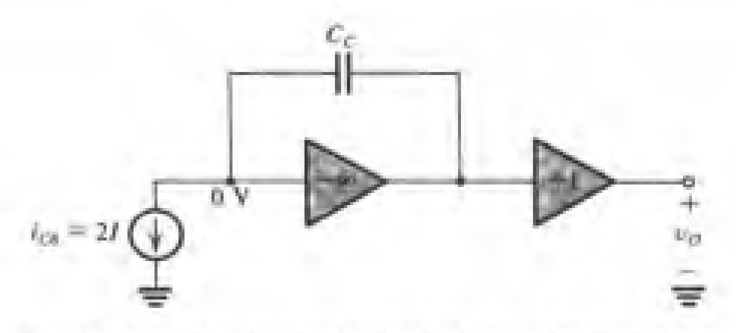


图 9.35 输入较大的正差分电压时的 741 运算放大器模型

9.6.5 f_t 和 *SR* 的关系

f_t 和单位增益带宽之间存在着一种简单的关系。要推导出该关系，只需将式（9.101）和式（9.104）结合起来，并利用

$$G_{m1} = 2\frac{1}{4r_e}$$

其中，r_e 代表从 Q_1 到 Q_4 的每一个晶体管的射极电阻：

$$r_e = \frac{V_T}{I}$$

和

$$G_{m1} = \frac{I}{2V_T} \tag{9.105}$$

代入式（9.101），得到

$$\omega_t = \frac{I}{2C_C V_T} \tag{9.106}$$

将 I/C_C 用式（9.104）代入，则

$$\omega_t = \frac{SR}{4V_T} \tag{9.107}$$

它的另一个表达形式是

$$SR = 4V_T\omega_t \tag{9.108}$$

检验一下 741 电路：

$$SR = 4\times25\times10^{-3}\times2\pi\times10^6 = 0.63\ \mathrm{V}/\mu s$$

结果和我们前面得到的一致。观察发现，只要将 $4V_T$ 用 V_{OV} 代入，式（9.108）和适用于两级 CMOS 运算放大器电路的式（9.41）就具有相同的形式。V_{OV} 的典型值一般是 $4V_T$ 的 2~3 倍，当两级 CMOS 运算放大器和 741 运算放大器具有相同的 f_t 时，前者的摆率将达到 741 的 2~3 倍。

具有与 741 电路相似结构的（包括两级 CMOS 电路）运算放大器的 *SR* 和 ω_t 之间的通用表达式是

$$SR = \omega_t / a$$

其中，a 是常数，定义为第一级的互导增益 G_{m1} 对输入差分级总偏置电流的比值。对 741 电路而

言，$G_{m1}=a(2I)$；而对图 9.1 所示的两级 CMOS 运算放大器，$G_{m1}=aI$。[①] 对给定的ω_t，a 越小，SR 的值越大，即总偏置电流保持不变且 G_{m1} 下降。这是提高摆率的一种技术，被称为 G_m-降低法（参见练习 9.30）。

练习 9.29　考虑图 9.33 所示的运算放大器积分器模型，求使得直流增益保持为适当值的与电容 C_C 并接的电阻值。

答案：1279 MΩ

练习 D9.30　如果 Q_3 和 Q_4 的发射极分别接有电阻 R_E，证明摆率的表达式为 $SR=4(V_T+IR_E/2)\omega_t$。当 I 和ω_t 维持不变时，求使 741 的摆率加倍的 R_E 的值，此时电容 C_C 的值是多少？直流增益和 3 dB 频率又各是多少？

答案：5.26 kΩ；15 pF；101.7 dB（下降 6 dB）；8.2 Hz

9.7 数据转换器——导论

现在我们开始介绍另外一类很重要的模拟集成电路——数据转换器。

9.7.1 信号的数字化处理

大多数物理信号（比如那些来自于换能器输出的信号）都是以模拟的形式存在的。而且以模拟的形式处理某些信号更为方便。比如在仪表系统中，在传感器的输出端使用高输入阻抗、高增益、高共模抑制比的差分放大器是很常见的。通常后面再接一个用于消除干扰的滤波器。也有些需要更进一步的信号处理，包括简单的信号强度测量，对该信号和其他相关信号进行代数运算以得到感兴趣的特殊的系统参数值，这种情况常出现在具备复杂控制功能的系统之中。另外一个信号处理的例子是把信号发送到一个远端的接收机。

在前面几章，我们已经介绍了许多以模拟形式实现的上述信号处理的功能电路。但是还有另外一种很吸引人的信号处理方法：就是在经过最初的模拟信号处理之后把模拟信号转换成数字信号，然后用经济的、精确的和方便的数字集成电路进行数字信号处理。这样的信号处理能够以最简单的方式提供便于阅读的信号强度的测量结果（比如数字万用表）。在更加复杂的应用中，数字信号处理器能够提供数学和逻辑运算以实现数字滤波算法。由此得到的数字滤波器能够完成许多与模拟滤波器相同的功能，比如消除噪声和干扰。另外，还有一个属于信号处理的例子可以从数字通信系统中找到，即信号以一个二进制脉冲序列的形式被传送，这种方式的一个明显优点就是噪声对脉冲信号幅度的损坏在很大程度上不产生任何影响。

一旦进行了数字信号处理，我们可能需要以数字的形式显示结果，比如打印成一张数字列表。我们也有可能需要模拟信号输出，比如在电信系统中的输出通常是语音。显然，如果需要这样的模拟输出，我们还需要把数字信号再转换回模拟形式。

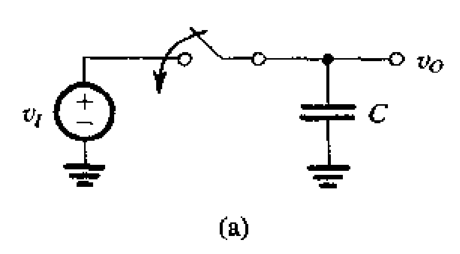
这里我们不是要介绍数字信号处理，而是要介绍模拟和数字之间的接口电路。具体而言，我们将介绍把模拟信号转换成数字形式（“模数转换器”或简写成“A/D 转换器”）和把数字信号转换成模拟形式（“数模转换器”或简写成“D/A 转换器”）的基本技术和基本电路。数字电路的内容将在第 10 章和第 11 章讲解。

9.7.2 模拟信号采样

数字信号处理的原理基于对模拟信号的采样。图 9.36 形象地说明了对模拟信号进行采样的全

① 不同之处的说明：CMOS 电路差分输入级的总偏置电流用 I 表示，741 电路用 $2I$ 表示。

过程。开关在周期脉冲（时钟）控制下周期性地闭合和断开。开关闭合时间 τ 相对较短，获得的样本被存储（保持）到电容上。图 9.36 所示的电路被称为采样–保持电路（S/H）。正如所述，采样–保持电路由一个 MOSFET 传输门（见 10.5 节）、一个存储电容和一个缓冲放大器（图中没有显示）组成。



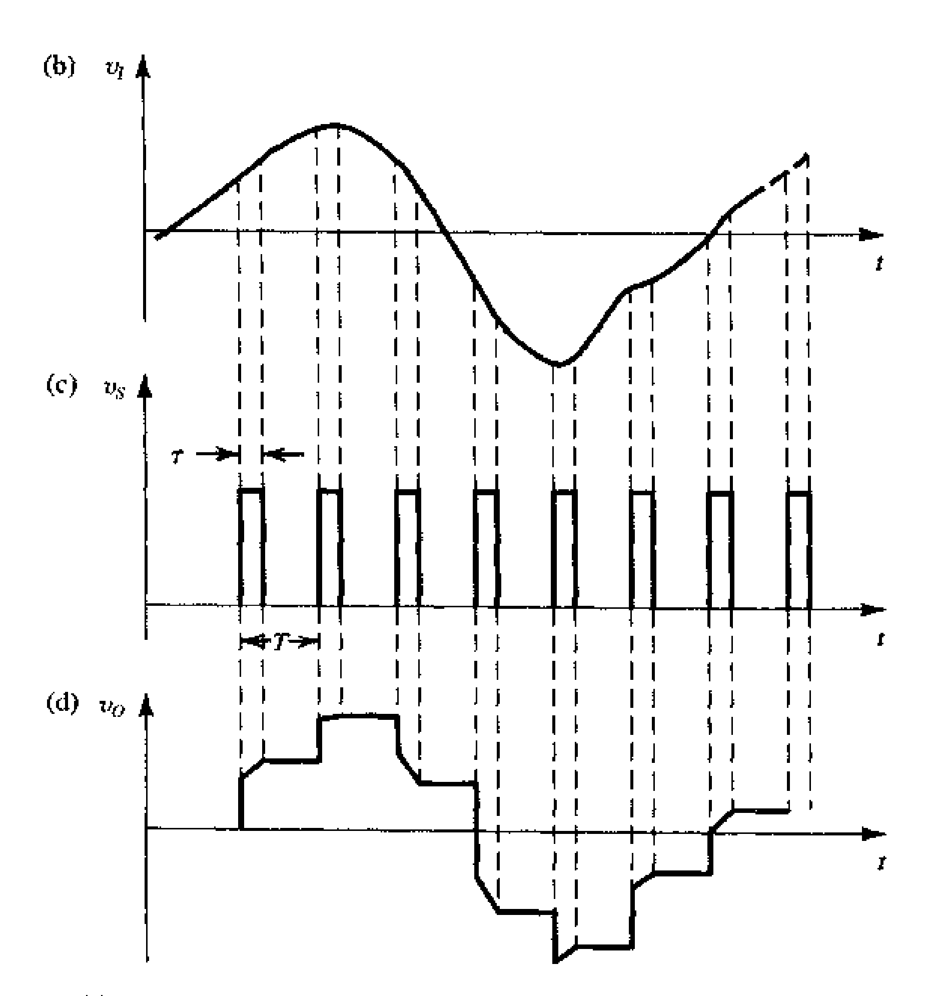


图 9.36　对模拟信号周期采样的过程：（a）采样–保持（S/H）电路。开关在每个时钟周期（T）内闭合很短一段时间（τ 秒）；（b）输入信号波形；（c）采样信号（开关的控制信号）；（d）输出信号（A/D 转换器的输入信号）

在两次采样之间，即在保持阶段，电容上的电压代表我们所需要的电压采样值。然后，每一个采样得到的电压被送到 A/D 转换器的输入端进行变换，输出正比于信号采样值的 N 位二进制数。

我们之所以可以只处理有限的模拟信号样本而忽略两次采样之间的模拟信号的细节是因为有香农采样定理［见 Lathi（1965）］的保证。

9.7.3　信号量化

考虑一个幅度为 0 V 到 10 V 的模拟信号，假设我们想把这个信号转化为数字形式并希望输出

是 4 位的数字信号。我们知道 4 位的数字信号可以表示 16 个不同的值 0~15。这样我们的转换分辨率就是 10 V / 15 = $\frac{2}{3}$ V。所以一个模拟输入 0 就是 0000，$\frac{2}{3}$ V 就是 0001，6 V 就是 1001，10 V 是 1111。

所有这些采样值都是基本增量 $\frac{2}{3}$ V 的倍数。如果一个数值刚好落入相邻的两个增量之间，就会出现问题。比如输入模拟电平是 6.2 V，它落在 18/3 和 20/3 之间，但由于它靠近 18/3，因此我们把它当成 6 V，并且编码是 1001。这个处理过程称之为量化。很显然，处理的结果存在着固有误差，该误差称之为量化误差。使用更多的比特位表示（编译成数码，简称编码）一个模拟信号可以减少量化误差，但需要的电路会更复杂。

9.7.4　作为功能模块的 A/D 和 D/A 转换器

图 9.37 所示的功能模块代表 A/D 和 D/A 转换器。正如所述，A/D 转换器（也称为 ADC）接受模拟信号采样电压 v_A，并生成 N 位的数字字（digital word）。反过来，D/A 转换器（也称为 DAC）接受一个 N 位的数字字，并生成模拟信号采样电压。D/A 转换器的输出往往通过一个采样保持电路，在其输出端产生一个阶梯波形的电压信号，如图 9.38 所示。然后，阶梯波形被一个低通滤波器进行平滑处理，得到图 9.38 所示的彩色波形。这个过程重建了模拟信号。最后，我们注意到 A/D 转换器的量化误差等于最低有效位（b_N）的±1/2。

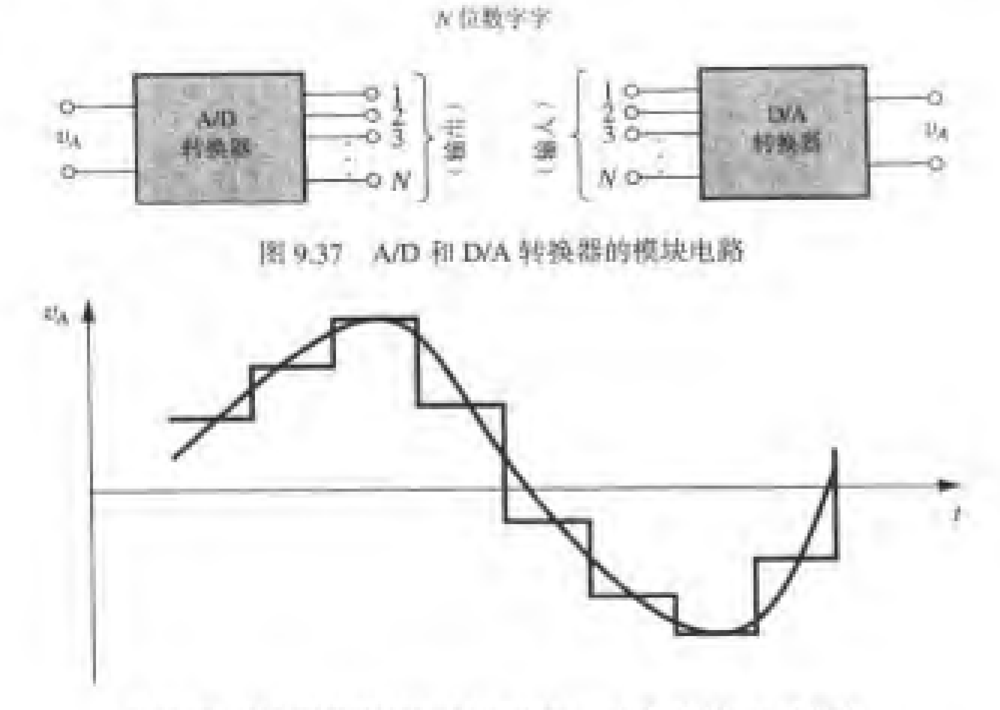


图 9.37　A/D 和 D/A 转换器的模块电路

图 9.38　D/A 转换器的输出通常通过一个采样保持电路得到一个阶梯波形，这个波形被一个低通滤波器平滑后得到彩色曲线。图中没有显示由于滤波器引起的时间延迟

练习 9.31　一个范围在 0 V 到+10 V 的模拟信号需要被转换成 8 位的数字信号，转换分辨率用伏特（V）表示时是多少？哪个数字表示 6 V 的输入电压？如何表示 6.2 V 的输入电压？6.2 V 电压的量化误差绝对值和相对于输入电压的百分比分别是多少？相对于满幅度的百分比误差是多少？相对于满幅度的最大量化误差的百分比是多少？

答案：0.0392 V；10011001；10011110；−0.0064 V；−0.1%；−0.064%；0.196%

9.8　D/A 转换器电路

9.8.1　采用二进制权电阻的基本电路

图 9.39 所示是一个 N 位 D/A 转换器的简单电路。该电路由一个参考电压源 V_{REF}、N 个二进制权电阻 R、$2R$、$4R$、$8R$、…、$2^{N-1}R$、N 个单刀双掷开关 S_1、S_2、…、S_N 以及一个反馈电阻是 $R_f = R/2$ 的运算放大器组成。

这些开关由 N 位数字输入字 D 来控制：

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \cdots + \frac{b_N}{2^N} \tag{9.109}$$

其中，b_1 和 b_2 等是位系数，取值为 0 或 1。注意，b_N 是最低有效位（LSB），而 b_1 是最高有效位（MSB）。在图 9.39 所示的电路中，b_1 控制开关 S_1，b_2 连到开关 S_2，依次类推。当 b_i 是 0 时，开关 S_i 在位置 1；当 b_i 是 1 时，开关 S_i 在位置 2。

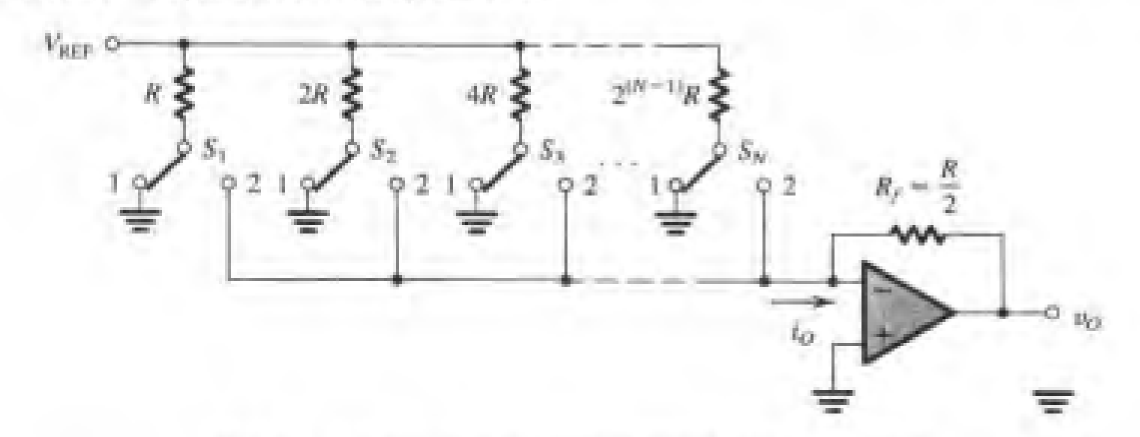


图 9.39　一个用二进制权电阻阶梯网络的 N 位 D/A 转换器

由于所有开关的位置 1 都连着地线，而位置 2 是虚地，所以流过每个电阻的电流保持恒定。各个开关只是简单地控制电流的流向：到地线（对应的位是 0），或到虚地（对应的位是 1）。流到虚地的电流相加后，总电流流过反馈电阻 R_f。因此总的电流 i_O 是

$$\begin{aligned} i_O &= \frac{V_{REF}}{R} b_1 + \frac{V_{REF}}{2R} b_2 + \cdots + \frac{V_{REF}}{2^{N-1}R} b_N \\ &= \frac{2V_{REF}}{R}\left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \cdots + \frac{b_N}{2^N}\right) \end{aligned}$$

因此，

$$i_O = \frac{2V_{REF}}{R} D \tag{9.110}$$

这样，输出电压 v_O 则为

$$v_O = -i_O R_f = -V_{REF} D \tag{9.111}$$

正如预期的那样，它直接正比于二进制数 D。

必须注意到 DAC 的精度紧紧依赖于：（1）V_{REF} 的精度；（2）二进制权电阻的精度；（3）开关是否理想。对于第三点，我们需要强调这些开关处理的是模拟信号，因此它们是否理想必须引起注意。失调电压和有限的导通电阻对数字开关来说不是关键的，但这些参数对模拟开关却非常

重要。我们将在第 10 章讨论用 MOSFET 实现模拟开关的内容。我们很快也会讲到实际实现的 DAC 电路中二进制权电流是由电流源产生的。这种情况下模拟开关是用差分电路实现的。

二进制权电阻网络的缺点是对于位数较大（$N>4$）的电路，其最小和最大电阻的阻值相差很大，这意味着电阻精度很难保证。一种更方便的解决方案是使用 R-2R 梯形电阻网络。

9.8.2 *R*-2*R* 梯形电路

图 9.40 所示是用 R-2R 梯形网络实现的 DAC。由于电阻阻值的分布范围很小，因此这种网络通常比前面讨论的二进制权电阻方案更优越，尤其是当 $N>4$ 时。R-2R 网络的工作原理很直观。首先，从右往左看，在每个梯形节点，比如 X 点，其右边的电阻等于 2R。因此离开每个节点流向右边的电流等于流到地的电流，而从左边流入该节点的电流是它的两倍，于是得到

$$I_1 = 2I_2 = 4I_3 = \cdots = 2^{N-1} I_N \tag{9.112}$$

因此，在二进制权电阻网络中，由开关控制的电流是二进制加权的，输出电流 i_O 是

$$i_O = \frac{V_{\text{REF}}}{R} D \tag{9.113}$$

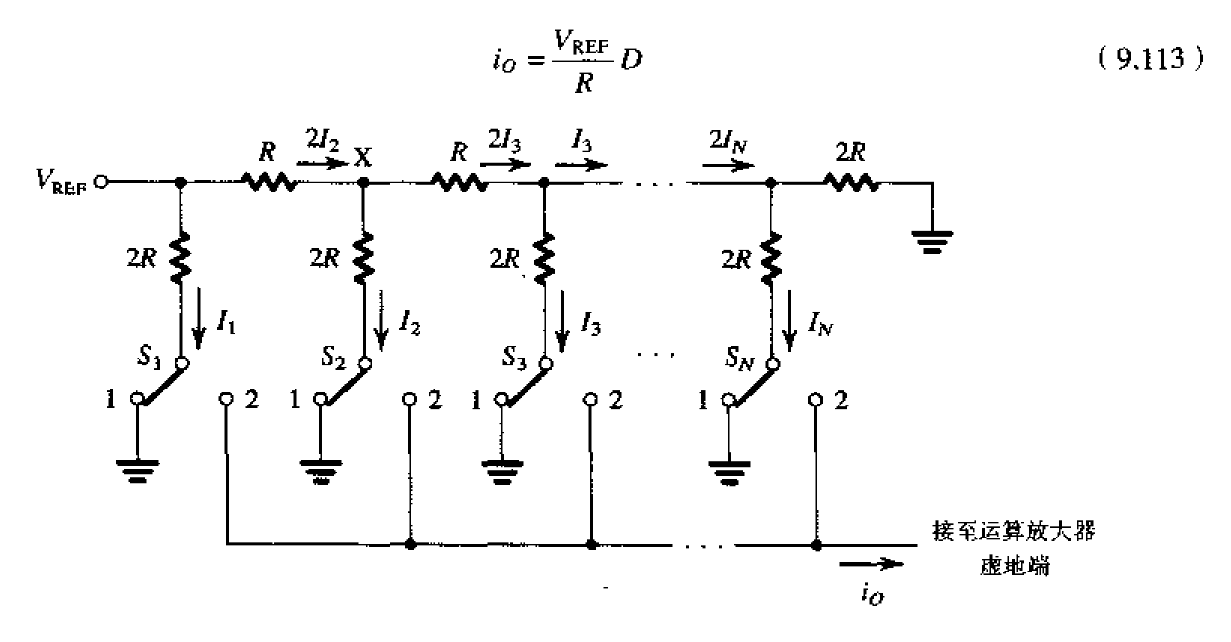


图 9.40 采用 R-2R 梯形网络实现的 DAC 的基本电路

9.8.3 实际的电路实现

图 9.41 所示是一个实际的 R-2R 梯形网络 DAC 实现电路。这个电路用 BJT 实现二进制加权的恒定电流，它在地和运算放大器加法器（没有显示）的虚地之间切换。我们首先要证明电流 I_1 到 I_N 是真正的二进制加权的，其中 I_1 对应 DAC 的 MSB，I_N 对应 LSB。

从最右端的晶体管 Q_N 和 Q_t 开始，我们注意到如果晶体管匹配，它们的发射极电流就相等，记为（I_N/α）。加入晶体管 Q_t 是为了给 R-2R 网络提供合适的终端。BJT 的基极和节点 N 之间的电压是

$$V_N = V_{BE_N} + \left(\frac{I_N}{\alpha}\right)(2R)$$

其中，V_{BE_N} 是 Q_N 的发射结电压。由于流经与节点 N 相连的电阻 R 的电流是$(2I_N/\alpha)$，因此节点 B 和节点$(N-1)$之间的电压是

$$V_{N-1}=V_N+\left(\frac{2I_N}{\alpha}\right)R=V_{BE_N}+\frac{4I_N}{\alpha}R$$

暂且假设$V_{BE_{N-1}}=V_{BE_N}$，则Q_{N-1}的发射极电阻 2R 上的电压是$(4I_N/\alpha)R$。因此，Q_{N-1}的发射极电流是$(2I_N/\alpha)$，集电极电流是$(2I_N)$，即两倍于Q_N的电流。如果这两个晶体管的结面积之比和它们的电流比相同，它们就有相同的V_{BE}。实际电路就是这样实现的。

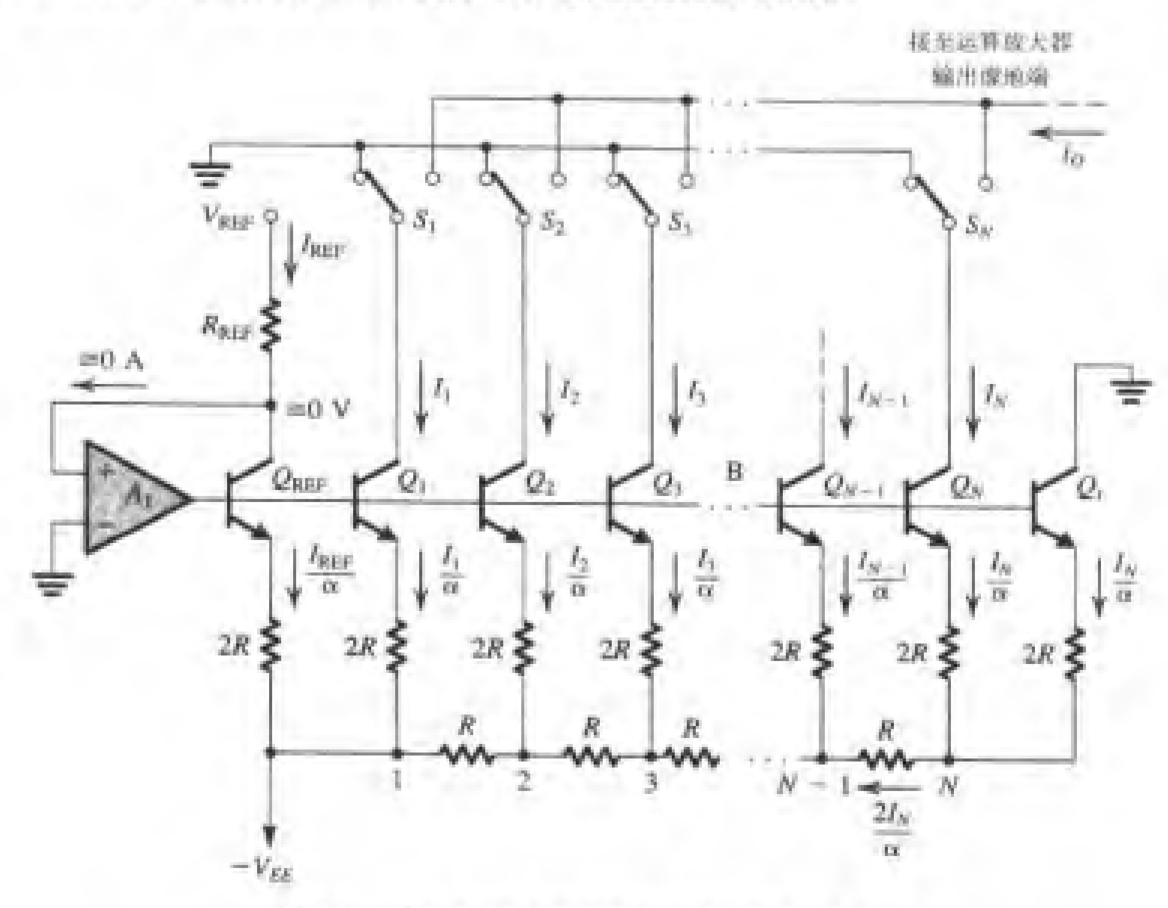


图 9.41 采用 R-2R 梯形网络实现的实际 DAC 电路

我们继续介绍上面的分析方法。在假设Q_1到Q_N的发射结面积与二进制权重成比例时，电流具有如下的关系：

$$I_1=2I_2=4I_3=\cdots=2^{N-1}I_N \tag{9.114}$$

接下来考虑运算放大器A_1。它和参考晶体管Q_{REF}一起构成负反馈回路（一定要弄明白这的确是负反馈电路）。Q_{REF}集电极上的虚地迫使它导通集电极电流$I_{REF}=V_{REF}/R_{REF}$，该电流与Q_{REF}是否理想无关。现在，如果Q_{REF}和Q_1匹配，它们的集电极电流就相等：

$$I_1=I_{REF}$$

因此二进制权电流直接和参考电流有关，与V_{BE}和α的具体值无关。另外，还可以看到运算放大器A_1提供所有 BJT 的偏置电流。

9.8.4 电流开关

图 9.41 所示电路中的每一个单刀双掷开关S_m都能够用图 9.42 所示的电路实现。这里，I_m代表流经第 m 位晶体管集电极的电流。这个电路是一个差分对，参考晶体管Q_{mr}的基极接合适的直流电压V_{BIAS}。代表 m 位的数字信号b_m加到另一个晶体管Q_{ms}的基极。如果代表b_m的电压比V_{BIAS}

大几百毫伏(mV),则 Q_{ms}导通,而 Q_{mr}截止。位电流 I_m流经 Q_{ms}并向上流到输出求和线。另一方面,当 b_m为低时,Q_{ms}截止,I_m流经 Q_{mr}到地。

图 9.42 所示的电流开关比较简单,可工作在高速电路中。但因为部分 I_m的电流流入 Q_{ms}的基极,不出现在输出求和线上,从而影响了性能。更加精致的电流开关电路可参考 Grebene(1984)。在 BiCMOS 工艺中,差分对晶体管 Q_{ms}和 Q_{mr}可以用 MOSFET 取代,从而消除基极电流问题。

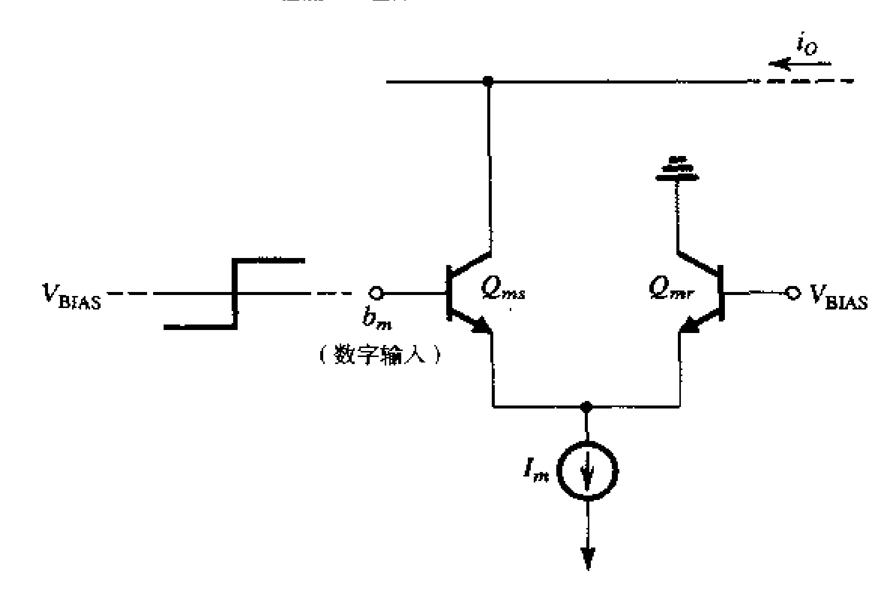


图 9.42 实现图 9.41 中的开关 S_m的电路. 在 BiCMOS 工艺中, Q_{ms}和 Q_{mr}用 MOSFET 实现, 避免了 BJT 基极电流带来的不精确性

练习 9.32 用二进制加权电阻网络实现 12 位 D/A 转换器,需要的电阻值的最大比例是多少?

答案: 2048

练习 9.33 如果将某运算放大器的输入偏置电流用做 10 位 DAC 中的输出加法器,若该电流不超过 $\frac{1}{4}$LSB,且偏置电流最大为 0.5 μA,则流过电阻 R_f的最大电流是多少?

答案: 2.046 mA

9.9 A/D 转换器电路

现在有许多复杂度和速度不同的 A/D 转换技术。我们讨论 4 种不同的方法:其中两个方法很简单但速度较慢,一个方法比较复杂(指电路数量)但速度极快,最后一个方法特别适用于 MOS 的实现。

9.9.1 反馈类型的转换器

图 9.43 所示的是用比较器、加减计数器和 D/A 转换器构成的简单 A/D 转换器。比较器电路提供一个二值输出:当差分输入是正的时候输出为正,当差分输入是负的时候输出为负。我们将在第 13 章讨论比较器电路。加减计数器就是一个简单的计数器,根据“加/减”控制端的二进制电平进行递增或递减计数。因为图 9.43 所示的 A/D 转换器在它的反馈环路中使用了一个 DAC,因此通常被称为反馈型 A/D 转换器。它的工作原理如下:当计数器是 0 的时候,D/A 转换器输出电压 v_O等于 0,并且比较器输出是高电平,控制计数器对时钟脉冲递增计数,当计数值增加时,DAC 的输出也上升。这个过程一直持续到 DAC 的输出达到模拟输入值时,这时比较器输出跳变且计数器停止计数。此时计数器的输出对应模拟输入电压。

图 9.43 所示的转换器从 0 开始计数的话速度是很慢的，但这个转换器跟踪输入信号的增量变化却很快。

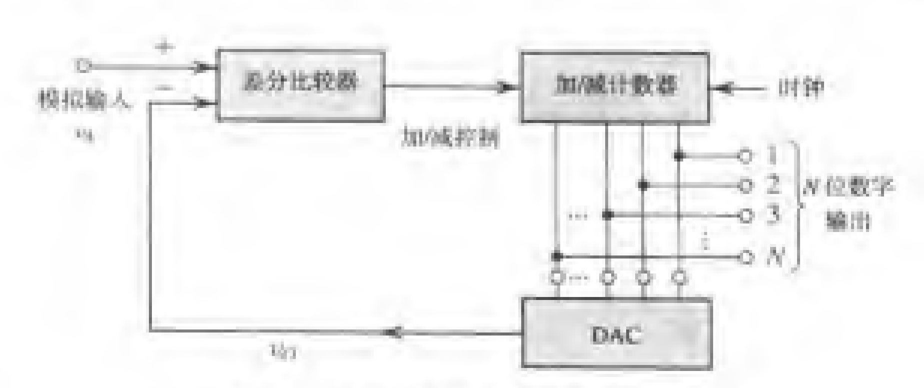


图 9.43　一个简单的反馈型 A/D 转换器

9.9.2　双斜 A/D 转换器

一个非常通用的高精度（12~14 位）（但很慢）的 A/D 转换器的实现方法如图 9.44 所示。为了说明它的工作原理，参考图 9.44 并假设模拟输入信号 v_A 是负电压。在一个转换周期开始前，开关 S_2 闭合，电容 C 放电，则电压 $v_1 = 0$。转换周期在 S_2 断开时开始，此时 S_1 闭合，积分器的输入通过 S_1 连接模拟输入信号。由于 v_A 是负电压，则流过电阻 R 的电流 $I = v_A/R$ 是流出积分器的，因此 v_1 以斜率（$I/C = v_A/RC$）线性上升，如图 9.44（b）所示。与此同时，计数器被激活，并完成对固定频率的时钟脉冲的计数。这个转换阶段持续固定的一段时间 T_1，当计数器计到一个固定的值 n_{REF} 后结束。通常，对于 N 位的转换器，$n_{REF} = 2^N$。我们把积分器输出的峰值电压记为 V_{PEAK}，根据图 9.44（b）可写出

$$\frac{V_{PEAK}}{T_1} = \frac{v_A}{RC} \tag{9.115}$$

在这个阶段结束的时候，计数器复位置 0。

转换的第二个阶段开始于 $t = T_1$ 时，此时积分器输入端通过开关 S_1 切换到正的参考电压 V_{REF}。电流 V_{REF}/R 反方向流入积分器。这时 v_1 以斜率（V_{REF}/RC）线性递减。与此同时，计数器被激活，并完成对固定频率的时钟脉冲的计数。当 v_1 到达 0 V 时，比较器通知控制电路停止计数器的计数。我们把第二阶段的时间记为 T_2，可以参考图 9.44（b）写出

$$\frac{V_{PEAK}}{T_2} = \frac{V_{REF}}{RC} \tag{9.116}$$

结合式（9.115）和式（9.116），得到

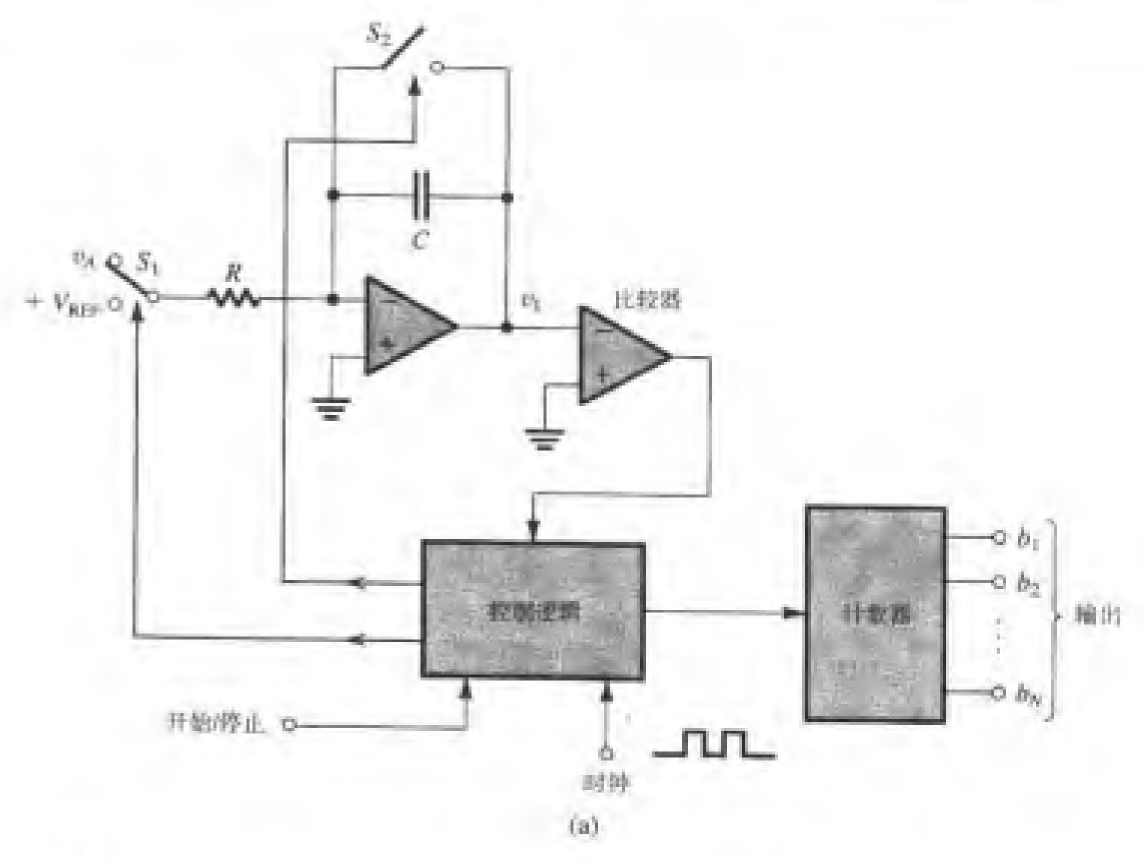
$$T_2 = T_1\left(\frac{v_A}{V_{REF}}\right) \tag{9.117}$$

由于计数器在 T_1 结束时读到的 n_{REF} 正比于 T_1，并且在 T_2 结束时读到的 n 正比于 T_2，因此可以得到

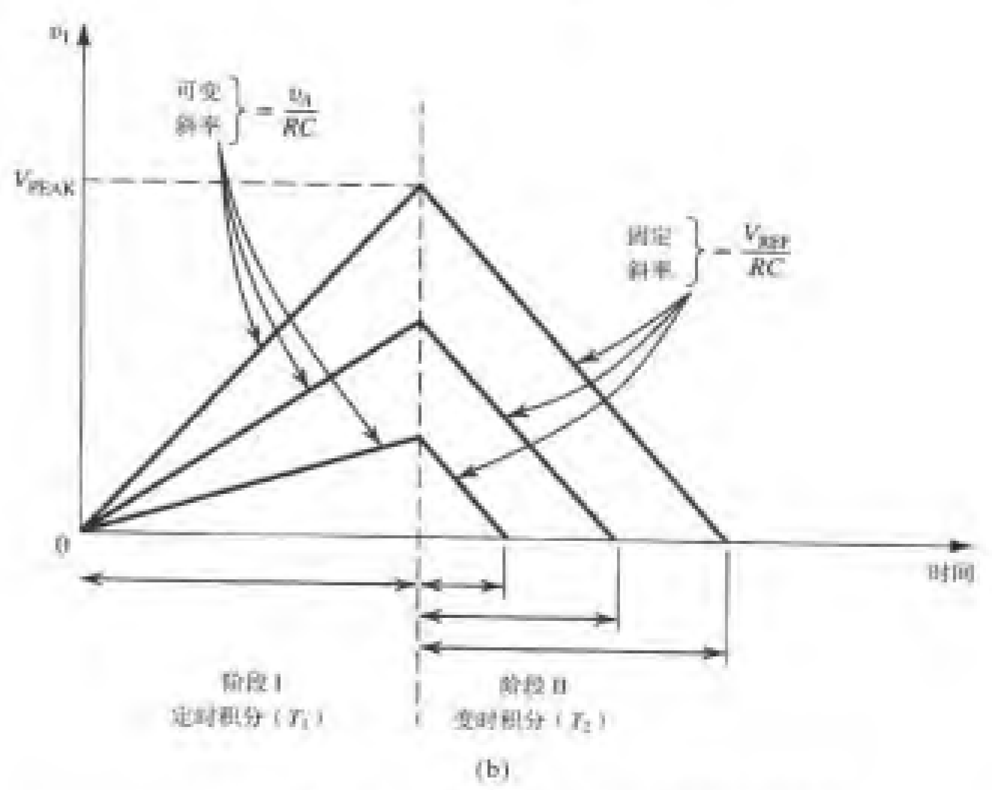
$$n = n_{REF}\left(\frac{v_A}{V_{REF}}\right) \tag{9.118}$$

因此在转换结束时计数器的内容 n[①] 与 v_A 的数字结果相对应。

① n 不是 v_A 的连续函数，正如式（9.118）所示，n 的取值对应 v_A 的 2^N 个量化值中的一个。



(a)



(b)

图 9.44 双斜 A/D 转换方法，注意 v_A 是负的

由于双斜转换器的性能与 R 和 C 的值无关，因此它的精读很高。市场上有许多双斜方法实现的商用电路，有一些使用了 CMOS 技术。

可以看到，在电荷重分配阶段，上极板的电压增量逐步减小直至为零。在这个阶段，位开关的连接状态给出了输出的数字结果。连接到地的开关表示相应的位取 0 值，而连接到 V_{REF} 的开关表示相应的位值为 1。图 9.46（c）所示的一个特定的开关连接状态对应于 $D = 01101$。我们注意到在转换结束时，所有电荷被存储在对应 1 位的电容里，对应 0 位的电容全部被放电了。

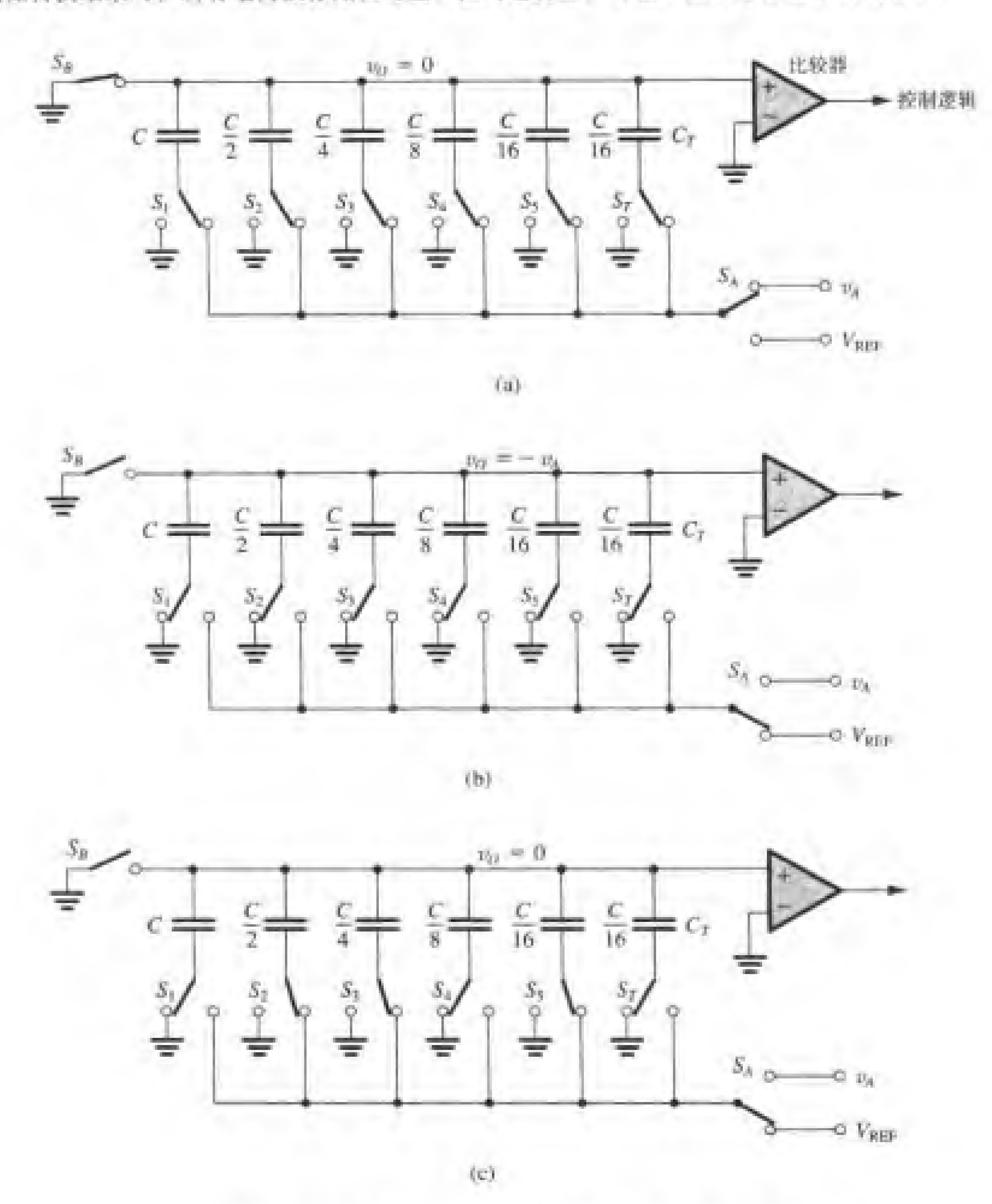


图 9.46 适合 CMOS 实现的电荷重分配 A/D 转换器：（a）采样阶段；（b）保持阶段；（c）电荷重分配阶段

这种方法实现的 A/D 转换器的精度与电容下极板到地之间的杂散电容无关，这是因为下极板被连接到地或者 V_{REF}，因此在杂散电容里的电荷不会流入电容阵列。同样，上极板的初始电压和最终电压都是 0，电路对上极板和地之间的杂散电容同样不敏感[1]。对杂散电容的不敏感性使得电荷重分配技术有足够的精度来实现多达 10 位的 A/D 转换器。

练习 9.34 考虑图 9.46 所示的 5 位电荷重分配转换器，$V_{REF}=4$ V，当 S_5 被切换时上极板的电压增量是多少？这个转换器的满量程电压是多少？如果 $v_A=2.5$ V，转换结束时有哪些开关被连到 V_{REF}？

答案： $\frac{1}{8}$ V；$\frac{31}{8}$ V；S_1 和 S_3

练习 9.35 用最低有效位（LSB）和满量程模拟输入电压 V_{FS} 来表示一个 N 位 A/D 转换器的最大量化误差。

答案： $\pm\frac{1}{2}$ LSB；$V_{FS}/2(2^N-1)$

9.10 SPICE 仿真实例

我们以两级 CMOS 运算放大器的 SPICE 仿真为例来作为本章的结束。

例题 9.4 两级 CMOS 运算放大器

在此例题中，我们利用 PSpice 来辅助设计两级 CMOS 运算放大器的频率补偿，电路原理图如图 9.47 所示。使用 PSpice 确定运算放大器频率响应和摆率。假设 MOSFET 采用 0.5 μm 的 n 阱 CMOS 工艺，器件模型采用 SPICE level-1，见表 4.8。为消除背栅效应，提高 M_1 和 M_2 之间的匹配性，PMOS 输入晶体管的源极与 n 阱相连。

图 9.47 所示运算放大器电路设计时的参考电流 $I_{REF}=90\ \mu$A，电源电压 $V_{DD}=3.3$ V，负载电容 $C_L=1$ pF。单位尺寸晶体管的 $W/L=1.25\ \mu\text{m}/0.6\ \mu\text{m}$，适用于 NMOS 和 PMOS 器件，过驱动电压 $V_{OV}=0.3$ V。相关的倍乘系数如图 9.47 所示。

在 PSpice 中，设定运算放大器的共模输入电压 $V_{CM}=V_{DD}/2=1.65$ V。进行偏置点仿真可确定直流工作点。利用仿真输出文件提供的 MOSFET 的小信号参数值并分别代入式（9.7）、式（9.14）、式（9.24）和式（9.25），可得

$$G_{m1}=0.333\ \text{mA/V}$$

$$G_{m2}=0.650\ \text{mA/V}$$

$$C_1=26.5\ \text{fF}$$

$$C_2=1.04\ \text{pF}$$

再利用式（9.27）可得第二个非主极点频率为

$$f_{P2}\approx\frac{G_{m2}}{2\pi C_2}=97.2\ \text{MHz}$$

利用式（9.37）确定传输零点，欲将其设置到无限远处，可选择以下电阻值为

$$R=\frac{1}{G_{m2}}=1.53\ \text{k}\Omega$$

---

① 更精确地说，最后的电压可以在零和等效于 LSB 的模拟量之间变化，因此，对于上极板电容的不敏感性是不完整的

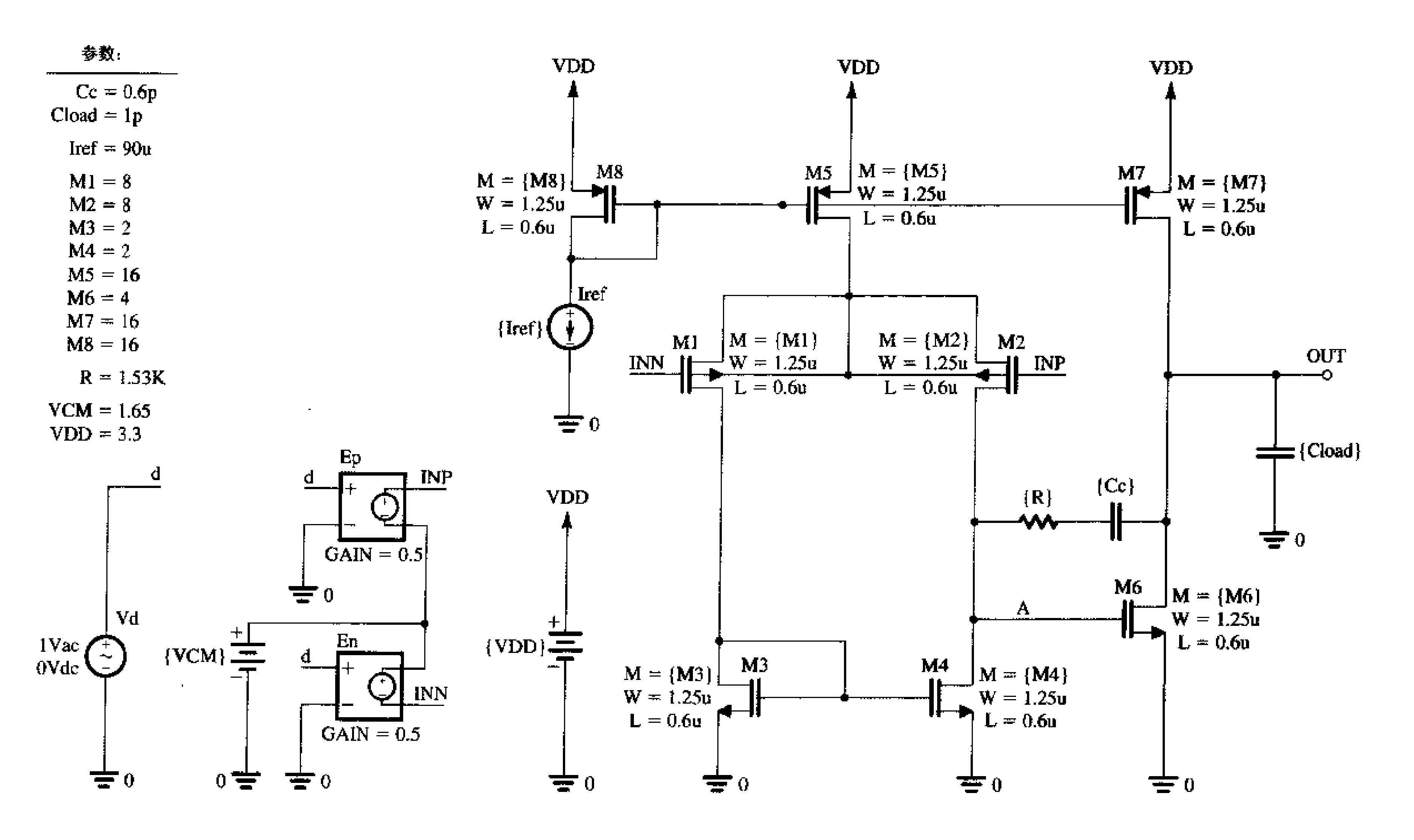


图 9.47 例题 9.4 所示的两级 CMOS 运算放大器的电路原理图

现在利用式（9.36）可求得运算放大器的相位裕量为

$$PM = 90° - \tan^{-1}\left(\frac{f_t}{f_{P2}}\right) \tag{9.119}$$

其中单位增益频率f_t由式（9.30）给出，即

$$f_t \approx \frac{G_{m1}}{2\pi C_C} \tag{9.120}$$

利用式（9.119）和式（9.120）可求得补偿电容分别为 C_C=0.78 pF 和 C_C=2 pF 时得到的相位裕量为 PM=55°和 PM=75°。

接下来进行 PSpice 交流仿真，计算运算放大器的频响并验证前面的设计参数 我们发现，当电阻 R=1.53 kΩ时，C_C=0.6 pF 和 C_C =1.8 pF 分别满足 PM=55°和 PM=75°的要求。我们注意到这些仿真结果和手工计算的值相当接近。图 9.48 和图 9.49 给出了补偿后运算放大器的频率响应图。为便于比较，图中还画出了补偿以前（C_C= 0 时）的频响特性曲线。观察发现，当通过增加 C_C值来提高相位裕量时[正如式(9.120)所预计的那样]，单位增益频率f_t从 70.2 MHz 降至 26.4 MHz。

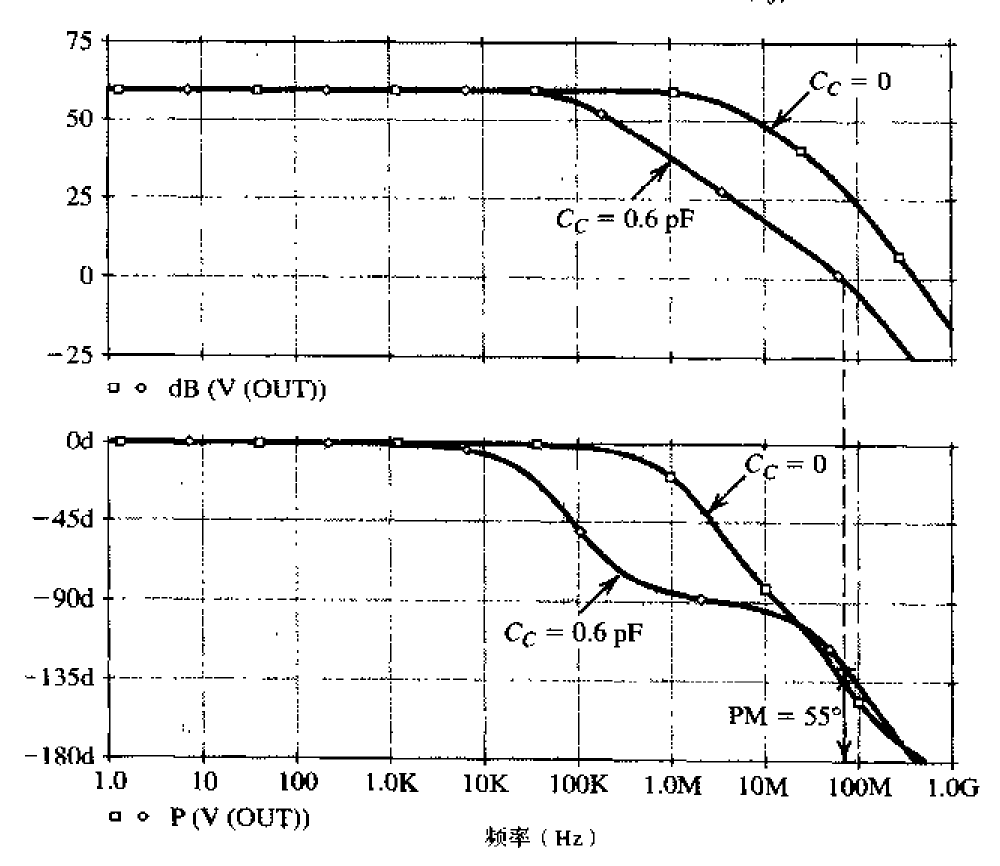


图 9.48　图 9.47 所示电路的幅频和相频响应：R = 1.53 kΩ，C_C = 0（补偿前）和 C_C = 0.6 pF（PM = 55°）

不增加补偿电容 C_C 而只是提高串联电阻 R 的值同样可以提高相位裕量 PM：对给定的电容 C_C，增加电阻值 R 并使其大于 $1/G_{m2}$，那么传输零点就会落在负实轴上［见式（9.37）］，它所引入的相移将起到增加相位裕量的作用，这时相位裕量 PM 的提高不会影响到 f_t。为证明这一点，我们令 C_C=0.6 pF，在 R=1.53 kΩ和 R=3.2 kΩ的情况下用 PSpice 进行仿真，频响结果见图 9.50。可见，f_t几乎和 R 无关，但增加 R 之后，相位裕量从 PM=55°提高到 PM=75°。

增加相位裕量还是有必要的，因为它可以降低运算放大器阶跃响应的过冲。为证明这一点，我们用 PSpice 来仿真相位裕量 PM=55°和 PM=75°时运算放大器的阶跃响应。为此，将运算放大

器接成单位增益组态，输入一个小的脉冲信号（10 mV），其上升和下降时间均很短（1 ps），以此来模仿阶跃输入，完成瞬时分析的仿真并画出输出电压波形，如图 9.51 所示。我们发现，阶跃响应的过冲从 15%下降到 1.4%，而相位裕量却从 PM=55°提高到 PM=75°。

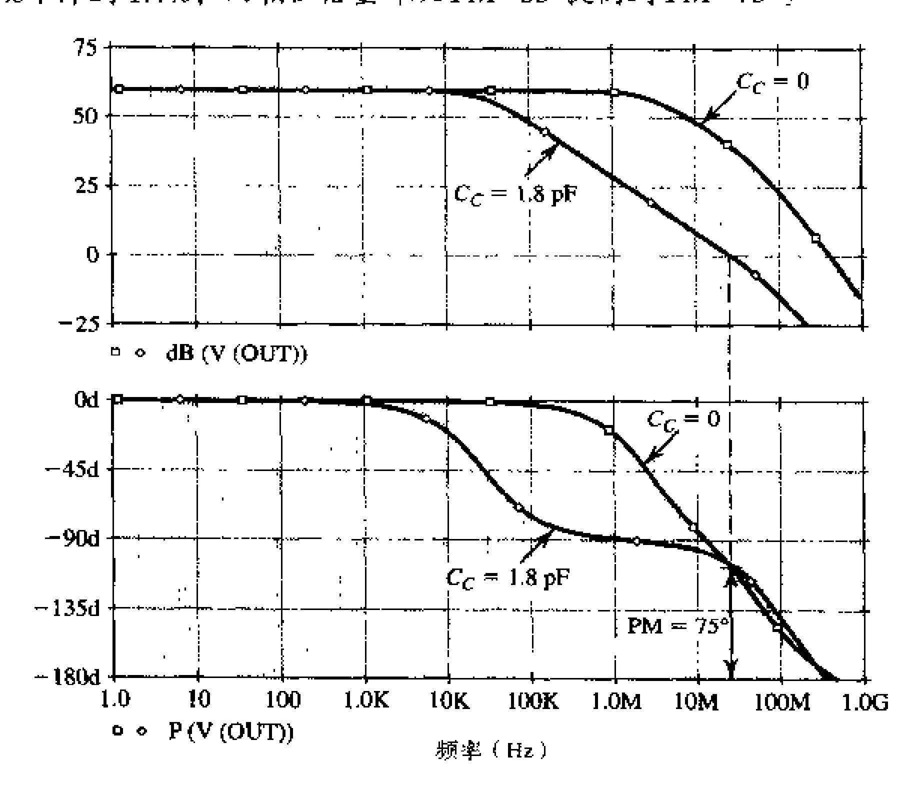


图 9.49　图 9.47 所示电路的幅频和相频响应：$R = 1.53\ \text{k}\Omega$，$C_C = 0$（补偿前）和 $C_C = 1.8\ \text{pF}$（PM = 75°）

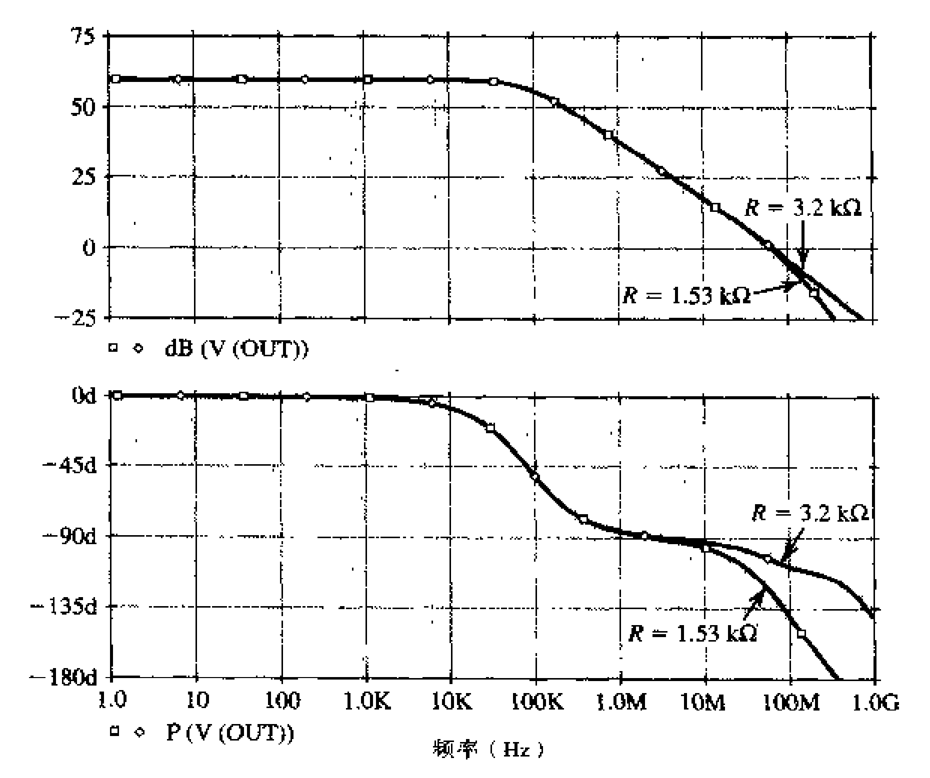


图 9.50　图 9.47 所示电路的幅频和相频响应：$C_C = 0.6\ \text{pF}$，$R = 1.53\ \text{k}\Omega$（PM = 55°）和 $R = 3.2\ \text{k}\Omega$（PM = 75°）

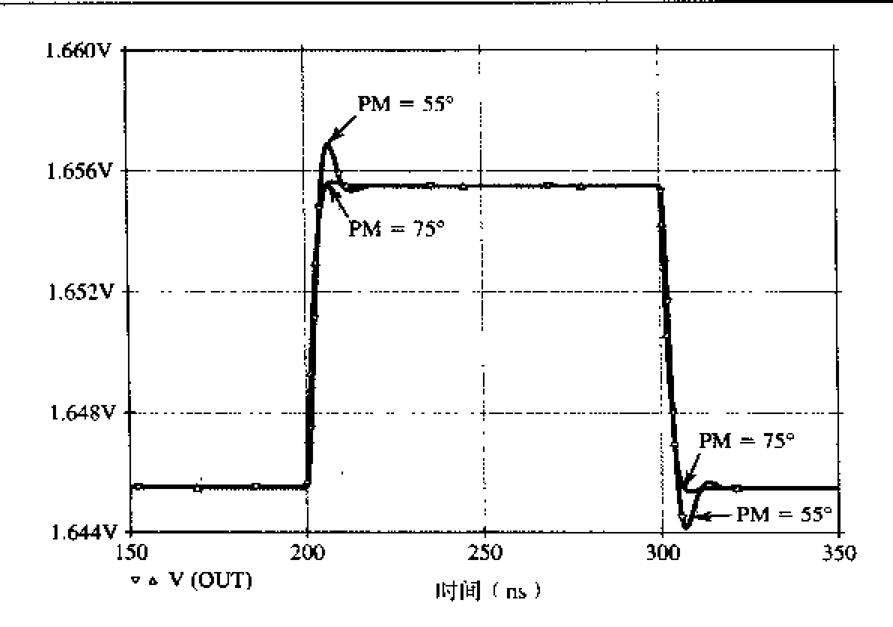


图 9.51　图 9.47 所示运算放大器电路对阶跃小信号（阶跃输入为 10 mV）的响应，运算放大器接成单位增益组态：PM = 55°（C_C = 0.6 pF，R = 1.53 kΩ）和 PM = 75°（C_C = 0.6 pF，R = 3.2 kΩ）

我们通过运算放大器摆率 SR 的计算作为本例题的结束。根据式（9.40），运算放大器的摆率在 C_C=0.6 pF 时求得：

$$SR = 2\pi f_t V_{OV} = \frac{G_{m1}}{C_C} V_{OV} = 166.5 \ \ \text{V}/\mu\text{s}$$

接下来，我们利用 PSpice 确定 SR（参见例题 2.9）。我们仍然将运算放大器接成单位增益组态并进行瞬态分析的仿真，只是现在输入端接的是较大的脉冲信号（3.3 V），这样才能得到输出电压摆幅的极限，图 9.52 给出的是输出电压波形。由波形上升和下降时的斜率可知运算放大器的摆率在反向和正向工作时分别为 SR= 160 V/μs 和 SR = 60 V/μs。摆率在两个方向是不相等的，这与两级运算放大器电路采用简单模型时（见 9.1.5 节）描述的结果有偏差。原因也许是由于 M_4 进入到变阻区并且其输出电流（来源于 C_C）减少造成的　当然，读者可以用 PSpice 对此进行更深入的探讨。

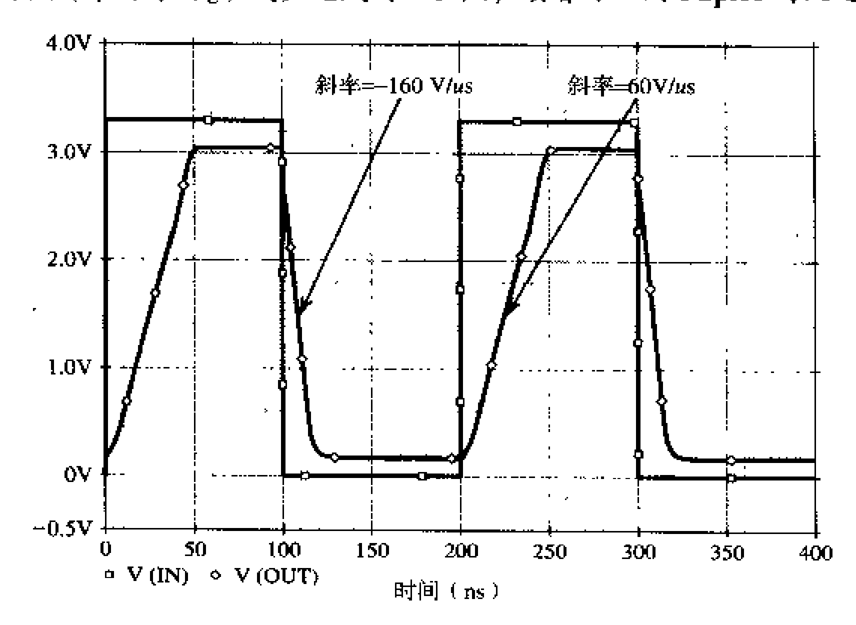


图 9.52　图 9.47 所示运算放大器电路对阶跃大信号（阶跃输入为 3.3 V）的响应，运算放大成器接单位增益组态。输出电压波形的上升沿和下降沿的斜率即为运算放大器的摆率　■

小结

- 大多数 CMOS 运算放大器都被设计为 VLSI 电路的一部分，它们只需要驱动小的容性负载，所以大多数 CMOS 运算放大器都没有低输出电阻这一级。
- 有两种设计 CMOS 运算放大器电路的基本方法：两级结构和折叠 cascode 单级结构。
- 在两级 CMOS 运算放大器电路中可实现近似相等的两级增益。
- 开启电压的偏差ΔV_t及输入级较低的互导可导致 CMOS 运算放大器输入级的失调电压比双极型电路大。
- 两级 CMOS 运算放大器采用米勒补偿时，需要一个串联电阻以使传输零点置于 $s=\infty$ 或者负实轴上。
- 对于同等的 f_t 值，CMOS 运算放大器的摆率要比对应的双极型电路高。
- 采用折叠 cascode 结构可以把 CMOS 放大器电压增益幅度提高两个数量级，使实现单级运算放大器成为可能。
- 折叠 cascode 运算放大器的主极点取决于输出节点的总电容 C_L。增加 C_L 可以提高相位裕量，其代价是带宽的下降。
- 将两对互补的差分对并联连接，可以将共模输入范围扩展到整个电源电压值，提供输入端的轨对轨工作。
- 折叠cascode运算放大器输出电压摆幅的扩展可以采用宽摆幅电流源取代级联电流源来实现。
- 741 运算放大器内部电路的设计包含了许多模拟集成电路设计技巧。
- 741 电路由输入差分级、高增益、单端输出的第二级和 AB 类输出级组成。这是现代 BJT 运算放大器的典型结构，称为两级拓扑结构（不含输出级）。它和 9.1 节所述的两级 CMOS 运算放大器结构相同。
- 为获得低失调电压和电流及高 CMRR，741 电路的输入级需要设计成非常对称的结构。共模反馈环既提高了 CMRR，也稳定了直流工作点。
- 为获得高输出电阻和低输入偏置电流，741 电路输入级的工作电流非常低。
- 741 电路的输出短路保护机理是开启晶体管以减少大量的驱动输出晶体管的基极电流。
- 741 电路采用米勒频率补偿，从而采用较小的补偿电容便能极大地降低主极点频率。
- 两级运算放大器可以被建成互导放大器级联理想积分器的模型，其中 C_C 电容是积分电容。
- 两级运算放大器的摆率取决于第一级的偏置电流和频率补偿电容。
- A/D 和 D/A 转换器包含一组重要的模拟集成电路。
- DAC 转换器包含：（a）产生参考电流的电路；（b）对参考电流进行二进制权重分配的电路；（c）在输入数字字的情况下，直接将合适的二进制权重电流组合切换至输出求和线；（d）将总电流转换成电压的运算放大器电路。（b）中的电路可以采用二进制权电阻网络或 *R*-2*R* 梯形网络实现。
- 两种简单但速度较慢的 ADC 实现方法是反馈型转换器（见图 9.43）和双斜转换器（见图 9.44）。
- 速度最快的 ADC 实现方法是并行或快速转换器（见图 9.45）。
- 电荷重分配方法（见图 9.46）采用开关电容技术，特别适合于采用 CMOS 工艺实现 ADC。

习题

9.1 节：两级 CMOS 运算放大器

9.1　图 9.1 所示两级 CMOS 运算放大器的典型设计电路采用±2.5 V 的电源供电。所有晶体管的

过驱动电压幅度为 0.3 V。工艺参数为 $V_{tn} = |V_{tp}| = 0.7$ V。求共模输入范围和输出电压的允许范围。

9.2　图 9.1 所示 CMOS 运算放大器的工艺参数为：$V'_{An} = 25$ V/μm、$|V'_{Ap}| = 20$ V/μm。假设所有器件的沟道长度均为 0.8 μm，过驱动电压幅度为 0.25 V。求 A_1，A_2 和 A_v。当第二级的偏置电流为 0.4 mA 时，求运算放大器的输出电阻。如果用该运算放大器构成单位增益电压跟随器，你所期望的输出电阻是多少？

D9.3　图 9.1 所示 CMOS 运算放大器的工艺参数是：所有器件的 $|V'_A| = 10$ V/μm，晶体管的 $L = 1\mu$m，过驱动电压均相同，为获得 2500 V/V 的开环直流增益，求过驱动电压的幅度。

9.4　该习题同习题 7.90。

考虑图 9.1 所示的电路，器件参数见下表。

晶体管	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	Q_8
W/L（μm/μm）	30/0.5	30/0.5	10/0.5	10/0.5	60/0.5	W/0.5	60/0.5	60/0.5

设 $I_{REF} = 225$ μA，所有晶体管的 $|V_t| = 0.75$ V，$\mu_n C_{ox} = 180$ μA/V^2，$\mu_p C_{ox} = 60$ μA/V^2，$|V_A| = 9$ V，$V_{DD} = V_{SS} = 1.5$ V。求使运算放大器的系统失调电压为零的 Q_6 的沟道宽度 W。然后估算所有晶体管的 I_D，$|V_{OV}|$，$|V_{GS}|$，g_m 和 r_o，将结果用表格表示。再求 A_1、A_2、开环直流电压增益、输入共模范围和输出电压范围。忽略 V_A 对偏置电流的影响。

D9.5　有一个按照图 9.1 和图 9.2 所示电路实现的 CMOS 放大器，它的 $G_{m1} = 0.3$ mA/V，$G_{m2} = 0.6$ mA/V，$r_{o2} = r_{o4} = 222$ kΩ，$r_{o6} = r_{o7} = 111$ kΩ，$C_2 = 1$ pF。

（a）求第二个极点的频率 f_{P2}；

（b）求与 C_C 串联的电阻 R 的值，要求传输零点位于 $s = \infty$。

（c）如果（b）中的 R 与电容 C_C 串联，求 C_C 的值，要求此时的相位裕量是 80°，f_t 尽可能高，f_t 的值是多少？相应的主极点频率又是多少？

（d）如果 f_t 加倍，电容 C_C 的值变为多少？第二个极点引入的相移是多少？如果附加相移减少为 10°，即相位裕量为 80°（同前），R 又将变为何值？

D9.6　有一个两级 CMOS 运算放大器电路，如图 9.1 所示，输出节点到地之间有一个 1 pF 的电容。问 g_{m6} 等于多少时运算放大器的单位增益带宽 $f_t = 100$ MHz 且相应的相位裕量为 75°？假设电阻 R 与补偿电容 C_C 串联，R 取何值可以使传输零点位于无穷远处？如果第一级工作在 $|V_{OV}| = 0.2$ V，求摆率。如果第一级的偏置电流是 $I = 200$ μA，C_C 电容量是多少？

D9.7　某 CMOS 运算放大器具有图 9.1 所示的结构，但补偿电容 C_C 与电阻 R 串联，要求 $G_{m1} = 1$ mA/V 和 $G_{m2} = 2$ mA/V：

（a）求使 $f_t = 100$ MHz 的 C_C 的值；

（b）设 $R = 500$ Ω，若要求相位裕量至少为 60°，那么 C_2 允许的最大值是多少？

9.8　根据图 9.1 设计的两级 CMOS 运算放大器电路，摆率是 60 V/μs，单位增益带宽是 50 MHz

（a）估算输入级的过驱动电压。

（b）如果输入级的偏置电流 $I = 100$ μA，C_C 是多少？

（c）如果工艺参数 $\mu_p C_{ox} = 50$ μA/V^2，Q_1 和 Q_2 合适的宽长比 W/L 为多少？

D9.9　画出具有图 9.1 所示结构的两级 CMOS 放大器电路，输入级（譬如 Q_1 和 Q_2）采用 NMOS 管实现。

9.2 节：折叠 cascode CMOS 运算放大器

D9.10 设图 9.8 所示电路的直流电源为±1.65 V，电源功耗限制在 1 mW，求 I_B 和 I 的值。为防止电流源在输出摆动时截止，选择比 I 大 20%的 I_B。

D9.11 折叠 cascode 运算放大器采用±1.65 V 的电源供电。求 V_{BIAS1}、V_{BIAS2} 和 V_{BIAS3} 的值以使得 V_{ICM} 和 v_O 的允许范围最大。假设所有晶体管工作在相同的过驱动电压 0.2 V 上，$|V_t|=0.5$ V，确定 V_{ICM} 和 v_O 的最大范围。

D9.12 折叠 cascode 运算放大器电路如图 9.8 和图 9.9 所示，偏置电流 $I=125\ \mu A$，$I_B=150\ \mu A$，所有晶体管工作时的过驱动电压均为 0.2 V，求所有晶体管的沟道宽长比 W/L。假设工艺参数为：$k_n'=250\ \mu A/V^2$，$k_p'=90\ \mu A/V^2$。

D9.13 考虑接有 10 pF 的负载电容的折叠 cascode 运算放大器。如果要求输出摆率至少为 10 V/μs，求偏置电流 I 的值。如果输入级晶体管工作时的过驱动电压为 0.2 V，单位增益带宽是多少？如果两个非主极点的频率相同，均为 25 MHz，得到的相位裕量是多少？假如要求相位裕量为 75°，f_t 必须降到多少？C_L 需要增加多少？此时新的 SR 又等于多少？

9.14 考虑设计图 9.9 所示结构的 cascode 运算放大器电路，偏置电流 $I=125\ \mu A$，$I_B=150\ \mu A$。假设所有晶体管均工作在$|V_{OV}|=0.2$ V，$|V_A|=10$ V。求 G_m、R_o 和 A_v。如果运算放大器反馈连接如图 P9.14 所示，求闭环放大器的电压增益和输出电阻。

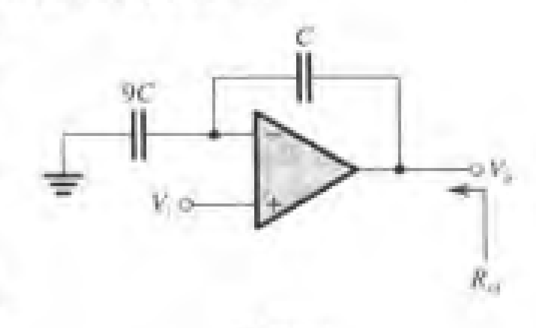


图 P9.14

9.15 对图 9.11 所示的电路，设晶体管过驱动电压相等，幅度均为 0.2 V，$|V_t|=0.5$ V，$V_{DD}=V_{SS}=1.65$ V。求：

（a）NMOS 输入级的工作范围。

（b）PMOS 输入级的工作范围。

（c）两者均工作（重叠范围）时的范围。

（d）共模输入范围。

9.16 设计图 9.12（b）所示的宽摆幅镜像电流源，器件的 $W/L=25$，$V_t=0.5$ V。如果 $I_{REF}=100\ \mu A$，预计所有节点的电压是多少？输出端电压允许的最小值是多少？如果 $V_A=10$ V，电流源的输出电阻是多少？

D9.17 设计图 9.9 所示结构的 cascode 运算放大器电路，当负载电容 $C_L=10$ pF 时能够提供 80 dB 的电压增益和 10 MHz 的单位增益带宽。设 $I=I_B$，所有晶体管的过驱动电压相等，沟道长度 $L=1\mu m$，$|V_A|=20$ V，求过驱动电压和偏置电流的值。若 $k_n'=2.5k_p'=200\ \mu A/V^2$，求所采用的 11 个晶体管的沟道宽度 W。

D9.18 画出以 p 沟道作为输入差分对的图 9.9 所示电路的互补电路。

D9.19 对图 9.8 所示的折叠 cascode 电路，设 Q_3 和 Q_4 的源极节点到地的总电容均为 C_P，则第一级和第二级之间将产生一个极点，证明该极点频率为 $f_P=g_{m3}/2\pi C_P$。如果这是惟一的一个非主极点，则要得到 75°的相位裕量，C_P 电容的最大值是多少？假设所有晶体管工作在相同的偏置电流和过驱动电压上。

9.3 节：741 运算放大器电路

9.20 在图 9.13 所示的 741 运算放大器电路中，Q_1、Q_2、Q_5 和 Q_6 的集电极偏置电流都是 9.5 μA；Q_{16} 的集电极偏置电流是 16.2 μA；Q_{17} 的集电极偏置电流是 550 μA。以上这些晶体管都是标准 npn 晶体管，$I_S=10^{-14}$A，$\beta=200$，$V_A=125$ V。求以上每一个晶体管的 V_{BE}、g_m、r_e、r_π 和 r_o 并将结果用表格表示。（注意：这些参数值在文中分析 741 电路时要用到。）

D9.21　电流源偏置电路如图 E9.10 所示，其结果在相关练习中已得到证明。求 I_1 的值。已知晶体管参数为：$I_{S3}=3\times10^{-14}$ A，$I_{S4}=6\times10^{-14}$ A，$I_{S1}=I_{S2}=10^{-14}$ A，偏置电流 $I_3=154\,\mu$A。

9.22　图 9.13 中的晶体管 Q_{13} 含有两个并联连接的发射结，其中，$I_{SA}=0.25\times10^{-14}$ A，$I_{SB}=0.75\times10^{-14}$ A，$\beta=50$，$V_A=50$ V。如果总射极电流是 0.73 mA，求 A 和 B 的相应参数 V_{BE}，g_m，r_e，r_π和 r_o。

9.23　在图9.13所示的电路中，Q_1和Q_2的发射结击穿电压是7 V，Q_3和 Q_4 的发射结击穿电压是 50 V，输入差分电压为何值时输入级晶体管将击穿？

D*9.24　图 P9.24 所示是图 E9.10 所示电路的 CMOS 形式。求用 k_1，k_2，k_3和 k_4 表示的 I_3 和 I_1 的关系式，假设所有晶体管的开启电压均相等。注意，k 表示 $\frac{1}{2}\mu C_{ox}W/L$。当 $k_1=k_2$，$k_3=k_4=16k_1$ 时，求使 Q_3 和 Q_4 的偏置电流为 1.6 mA 的 I_1 的值。

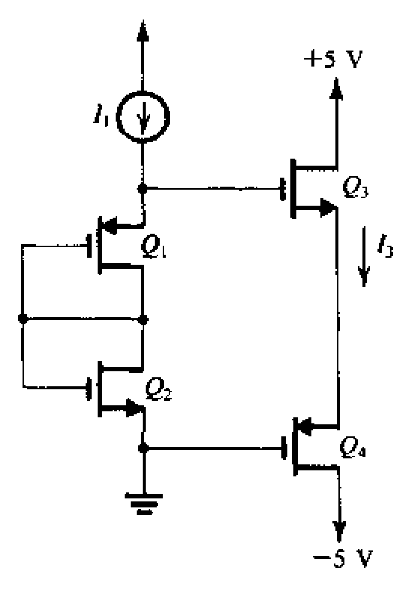


图 P9.24

9.4 节：741 运算放大器的直流分析

D9.25　741 电路的电源电压为±5 V，估算输入参考电流 I_{REF} 的值。考虑两个 BJT 管，其 $I_S=10^{-14}$ A，求电流的精确值。按照原先的设计，电源电压是±15 V，如果在±5 V 的设计中电流值要求不变，电阻 R_5 的值应为多少？

*9.26　741 电路的共模反馈环由 Q_1，Q_2，Q_3，Q_4，Q_8，Q_9 和 Q_{10} 组成。我们希望得到环路增益。一种简便的方法是在 Q_1 和 Q_2 的公共集电极端点与连接成二极管的晶体管 Q_8 之间将闭环断开，I_t 给 Q_8 提供测试电流，求返回到 Q_1 和 Q_2 集电极端口的电流 I_r，这样就可以确定环路增益了。假设 Q_9 和 Q_{10} 是理想电流源，Q_3 和 Q_4 的$\beta=50$，求共模反馈深度的值，用分贝（dB）表示。

D9.27　设计图 9.15 所示的 Widlar 电流源。要求 $I_{REF}=0.5$ mA 时产生 $I_{C10}=20\,\mu$A 的电流。如果晶体管的 $I_S=10^{-14}$ A，求 V_{BE10} 和 V_{BE11}，假设晶体管的β 值很大。

9.28　考虑图9.16所示电路的741输入级的直流分析。β_P 为何值时 Q_1 和 Q_2 的电流与理想值($I_{C10}/2$)相差 10%？

D9.29　考虑图 9.16 所示的 741 电路输入级在饱和时的直流分析。此时，$I_{S9}=2I_{S8}$。假设 $I_{C10}=19\,\mu$A 且β_P 的值很高，I 值将变为多少？重新设计 Widlar 电流源以重新使 $I_{C1}=I_{C2}=9.5\,\mu$A。

9.30　镜像电流源电路如图 9.17 所示，偏置电流和器件参数采用正文中给出的 741 电路值。如果 R_2 短接，Q_6 的电流成为何值？

D9.31　重新设计图 9.17 所示的电路，假设基极电流不可忽略，Q_5，Q_6 和 Q_7 的集电极电流相等，求此时的 R_3 和 3 个电流值。已知 $I_{C3}=9.4\,\mu$A，$\beta_N=200$。

9.32　741 的输入电路如图 9.13 所示，Q_8 的射极电流为 19 μA，若 Q_1 的$\beta=150$，Q_2 的$\beta=200$，求偏置电流 I_B 和运算放大器的失调电流 I_{OS}。

9.33　作为一种特别的应用，要求 741 运算放大器的输入偏置电流和失调电流分别为 40 nA 和 4 nA。假设选用的其余电路模块参数正常，求β_N 的最小值，其可变的范围是多少？

9.34　由于制造问题导致 741 运算放大器作为输入级负载的偏置电流源的电流传输比为 0.9 A/A 设输入晶体管 Q_1–Q_4 匹配，β 很大，偏置电流为 9.5 μA，求输入失调电压。

D9.35 考虑设计 741 的第二级电路。电阻 R_9 应该取何值才能够使 I_{C16} 降到 9.5 μA？

D9.36 考虑图 9.18 所示的 741 输出级电路，调整 R_{10} 的值，使得 $I_{C19} = I_{C18}$。求此时电阻 R_{10} 的值，I_{C14} 和 I_{C20} 的值现在等于多少？

D*9.37 图 P9.37 所示的是另一种 V_{BE} 电压倍增电路，用于提供输出晶体管的电压偏置。设计该电路，使得端口电压是 1.118 V（与 741 电路相同）。基于流过电阻 R_1 上的一半电流来设计，假设 $I_S = 10^{-14}$ A，$\beta = 200$。求 V_{BE} 电压倍增器两端之间的增量电阻。

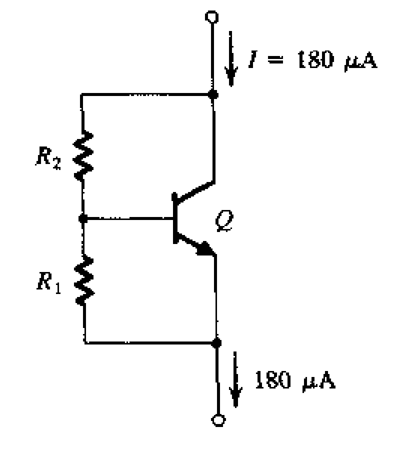


图 P9.37

9.38 考虑图 9.13 所示的电路，当运算放大器工作在线性模式且不接负载时电源所提供的总电流是多少？进而估计电路的总静态功耗。（提示：利用表 9.1 中的参数。）

9.5 节：741 运算放大器的小信号分析

9.39 741 运算放大器输入级的模型如图 9.19 所示。在 *npn* 晶体管和 *pnp* 晶体管之间，每一边分别接上连接成二极管的 *npn* 晶体管 Q_{1a} 和 Q_{2a}。证明：增加的这两个晶体管的偏置电流与 Q_1–Q_4 的相同，即为 9.5 μA。R_{id} 变为多少？G_{m1} 和 R_{o4} 又将成为何值？第一级的输出电阻 R_{o1} 变为何值？新的开路电压增益 $G_{m1}R_{o1}$ 等于多少？将这些值与原来的值进行比较。

D9.40 采用何种相对简单的改动可以增加第一级负载电流源的输出电阻？比如变成两倍。

9.41 将 $R_1 = R_2$ 用 2 kΩ代入，重复练习 9.14。

9.42 在例题 9.3 中，我们分析了由于 R_1 和 R_2 的不对称造成的运算放大器输入端的失调电压。相反，R_1 和 R_2 可以故意设计得不对称（见图 P9.42 所示的电路），以此来补偿运算放大器的输入失调电压。

(a) 证明：输入失调电压 V_{OS} 可以通过调节电阻 R_1 和 R_2 的不对称性$\Delta R/R$ 来获得补偿（譬如减小到零）：

$$\frac{\Delta R}{R} = \frac{V_{OS}}{2V_T}\frac{1 + r_e / R}{1 - V_{OS} / 2V_T}$$

其中，r_e 表示 Q_1 和 Q_2 的射极电阻，R 表示 R_1 和 R_2 的平均值。[提示：利用式（9.75）。]

(b) 求$\Delta R/R$ 的值，使 5 mV 的失调电压减少到零。

(c) 采用此方法能减少的最大失调电压是多少（电阻 R_2 完全短路）？

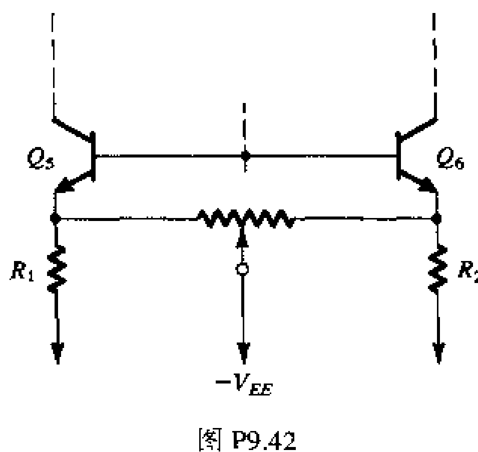


图 P9.42

9.43 由于制造过程的不完美，图 9.13 中 Q_4 的β 只有 25，而 Q_3 的β 仍然是 50。求由此造成的输入失调电压。（提示：采用例题 9.3 的分析过程。）

9.44 考虑图 9.13 修改后的电路，即电阻 R 与 Q_8 和 Q_9 的各个发射极相串联。此时从 Q_9 的集电极视入的电阻 R_{o9} 为何值？R 取何值时可使它等于 R_{o10}？从节点 Y 向左边视入的电阻 R_o 等于多少？

*9.45 参见图 E9.15，设 $R_1 = R_2$。假设 Q_3 和 Q_4 的β 不对称，Q_3 是β_P，Q_4 是 $k\beta_P$。求电流 i_o 和 G_{mcm}。当 $R_o = 2.43$ MΩ，$\beta_P = 20$，$0.5 \leqslant k \leqslant 2$，$G_{m1}$（差模）$= 1/5.26$ kΩ，求最坏情况下的 CMRR ≡

G_{m1}/G_{mcm}（用 dB 表示） 假设其余参数均为理想情况。

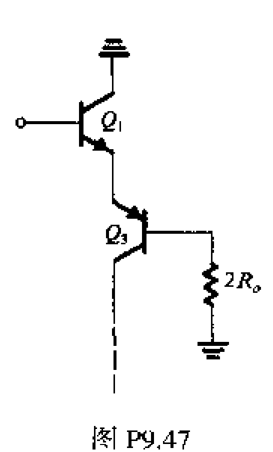


图 P9.47

*9.46　电阻 R_1 或 R_2 以及 R_1 和 R_2 短路时（参见图 9.20）对 741 运算放大器的差模电压增益有何影响？为简单起见，假设 $\beta=\infty$

*9.47　图 P9.47 所示的是 741 输入级的共模半电路，R_o 表示从图 9.13 所示节点 Y 向左视入的电阻，其值大约为 2.4 MΩ。晶体管 Q_1 和 Q_3 的偏置电流是 9.5 μA。求共模半电路的输入电阻，晶体管的 $\beta_N=200$，$\beta_P=50$，npn 晶体管的 $V_A=125$ V，pnp 晶体管的 $V_A=50$ V。求 741 的共模输入电阻。注意，应考虑共模反馈环对共模输入电阻的增加作用。环路增益近似为 β_P，求共模输入电阻 R_{icm} 的值

9.48　若 741 第二级电路设计时有这样的变动：$R_8=50\ \Omega$，求相应的 R_{i2} 和 G_{m2}。

9.49　分析 741 电路，发现 R_{o13B} 的阻值越低对 R_{o2} 的影响越大。考虑在 Q_{12}，Q_{13A} 及 Q_{13B} 的发射极放置适当的电阻后产生的影响。Q_{13B} 发射极电阻的阻值为多少时可使 R_{o13B} 等于 R_{o17}，从而使 R_{o2} 只有原来的一半？其余两个晶体管的发射极电阻又该取何值？

9.50　741 运算放大器的电源电压是±5 V，$|V_{BE}|=0.6$ V，$|V_{CEsat}|=0.2$ V，求输出电压的极限。

D9.51　考虑 741 运算放大器输出级电路的另一种结构，该结构不采用 Q_{23}，即将它的基极与发射极相连。重新考虑负载电阻 $R_L=2$ kΩ时反射到 Q_{17} 集电极的电阻，A_2 的值成为多少？

9.52　考虑 Q_{13A}，Q_{15} 和 R_6 组成的正向短路电流保护电路，求电阻 R_6 中流过的电流为多少时可使 Q_{15} 的集电极电流等于 Q_{13A} 的电流（180 μA）减去 Q_{14} 的基极电流。（需要完成两次迭代过程。）

D9.53　考虑 R_7，Q_{21}，Q_{24}，R_{11} 和 Q_{22} 组成的反向短路电流保护电路，流过电阻 R_7 的电流为多少时可使 Q_{22} 的电流等于从输入级获得的最大电流（譬如 Q_8 的电流）？若使电流限制在 10 mA，应进行怎样的简单改动？

9.6 节：741 运算放大器的增益、频率响应和摆率

9.54　式（9.93）是计算 741 运算放大器负载 $R_L=2$ kΩ时总电压增益的公式，与负载有关的因子是 0.97。计算开路电压增益和输出电阻。当负载为 200 Ω时，电压增益是多少？最大输出电压是多少？

9.55　741 运算放大器的相位裕量是 80°，假设附加相移只由第二个极点产生，则它的频率是多少？

9.56　741 运算放大器的相位裕量是 80°，如果运算放大器的第二个和第三个极点相同，它们的频率应该是多少？

D*9.57　修改后的 741 电路的第二个极点频率是 5 MHz，如果要求闭环增益是 100，相位裕量是 85°，主极点频率应为多少？假设主极点仍由电容 C_C 控制，C_C 的值是多少？

9.58　内补偿运算放大器采用米勒补偿，$f_t=5$ MHz，直流电压增益为 10^6，反向放大器的增益是 −1000。如果空间允许的最大电容为 50 pF，则米勒放大器的输入端电阻为多大时才能实现补偿？

9.59　考虑图 9.33 所示运算放大器模型中的积分器，设 $G_{m1}=10$ mA/V，$C_C=50$ pF，与 C_C 并联的电阻是 $10^8\ \Omega$，画出开环增益的幅频波特图。如果 G_{m1} 与输入级偏置电流的关系可以用式（9.105）表示，求运算放大器的摆率。

9.60　设运算放大器的摆率是 10 V/μs，若输出电压幅度为±10 V，求全功率带宽。如果采用和 741 结构相同的电路，则单位增益带宽是多少？

D*9.61　图 P9.61 所示的电路适合运算放大器应用，设所有晶体管的$\beta=100$，$V_{BE}=0.7$ V，$r_o=\infty$。

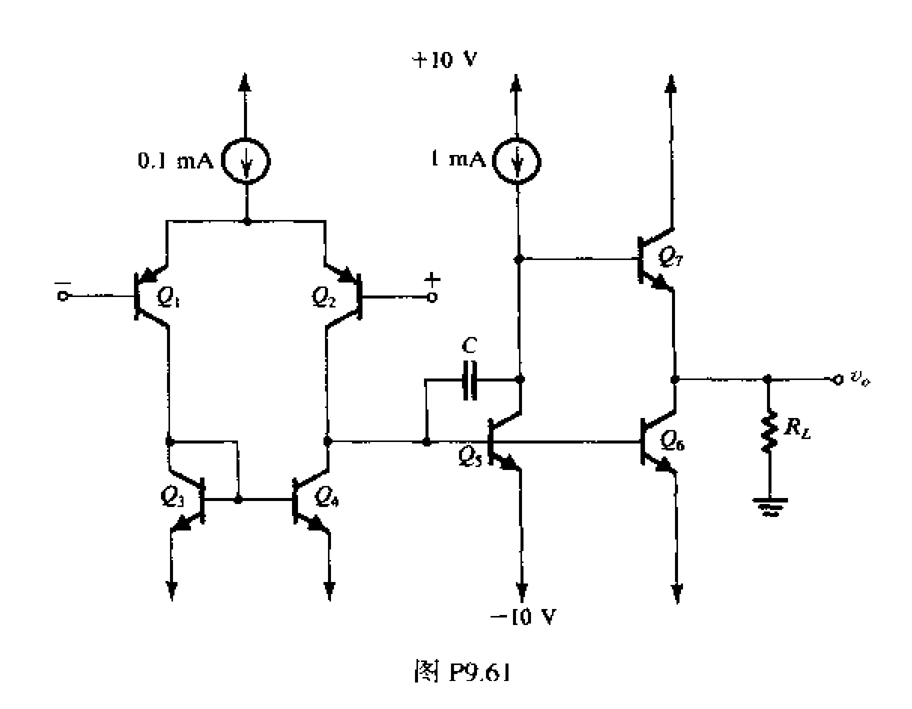


图 P9.61

（a）当输入端接地，输出端保持 0 V 时（由负反馈实现），求所有晶体管的发射极电流。

（b）求负载电阻为 10 kΩ时的电压增益。

（c）负载电阻同（b），求使 3 dB 频率为 1 kHz 的电容 C 的值。

9.7 节：数据转换器——导论

9.62　一个 0 V 到+10 V 的模拟信号需要被数字化，量化误差小于满量程的 1%。问需要多少位的数字？转换的分辨率是多少？如果范围被扩展到±10 V，要求和原来一样，需要多少位的数字？如果扩展到 0 V 到+15 V，需要多少位来保证相同的分辨率？相应的分辨率和量化误差是多少？

*9.63　考虑图 9.38 所示的电路，在采样–保持（S/H）电路输出的阶梯波形的基础上画出经过简单低通 RC 电路滤波后的波形，电路的时间常数是：（a）采样时间间隔的 1/3；（b）等于采样时间间隔。

9.8 节：D/A 转换器电路

*9.64　考虑 N = 2，4，8 时的图 9.39 所示的 DAC 电路，为了使输出误差小于$\pm\frac{1}{2}$LSB，电阻的容差应该是多少，用±x%表示。

9.65　图 P9.65 中晶体管的发射结面积之间的比例关系如图所示，根据 I 求出 I_1~I_4。

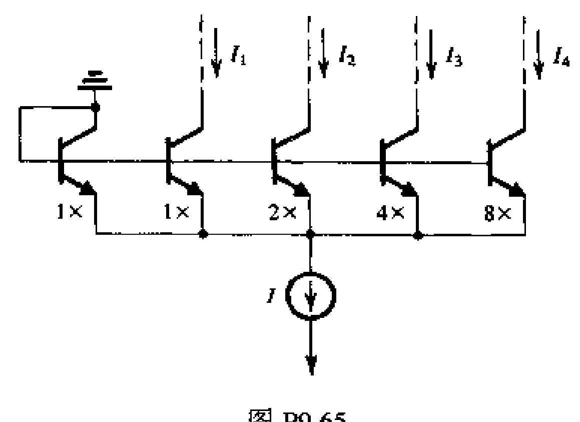


图 P9.65

D9.66 当 N 很大时，图 9.41 所示的 DAC 遇到的一个问题是所需要的晶体管的发射结面积覆盖了很大的范围。考虑另一种结构，即只考虑图 9.41 中 4 位的情况，把终端晶体管 Q_t 的集电极电流送到图 P9.65 所示的电路（取代电流源 I），这样生成的电流增加了 4 位。用这种方式可以在面积之比覆盖达 8 倍的电路中实现一个 8 位的 DAC。用最小的结面积表示的总发射极面积是多少？将结果和普通的 8 位 DAC 比较。给出这样实现的转换器的完整电路。

D*9.67 图 9.41 所示的电路可以实现模拟信号和数字信号的乘法运算，模拟信号输入 V_{REF} 端，这样的 DAC 叫做乘法 DAC 或者 MDAC。输入一个 $0.1\sin\omega t$ 的正弦波，用图 9.41 所示的电路和另外一个运算放大器可得到输出 $v_O = 10D\sin\omega t$，这里，D 是式（9.109）给出的数字字，其中 $N = 4$。这个电路能够生成多少个离散的正弦波幅度？最小是多少？最大又是多少？输入数字是多少时对应峰峰值为 10 V 的输出？

9.68 在图 9.41 中，从 V_{REF} 视入的输入电阻是多少？

9.9 节：A/D 转换器电路

9.69 图 9.44 所示的是双斜 ADC，使用 1 MHz 的时钟，$V_{REF} = 10$ V，它的模拟输入范围是 0 V 到−10 V，固定时间 T_1 是使计数器达到 2^N 的时间。转换一个满量程的输入需要多少时间？如果积分器输出达到 10 V，积分器时间常数是多少？如果由于老化电阻阻值增加了 2%，电容容量减少了 1%，V_{PEAK} 将变成多少？转换精度会改变吗？

D9.70 图 9.45 所示的 4 位快速型 ADC 的设计需要多少比较器？当输入范围是 0 V 至 10 V 时，需要多少参考电压？证明如何从一个 10 V 的参考电源得到这些参考电压和 1 kΩ的电阻？如果比较工作能够在 50 ns 内完成，相关的逻辑工作时间是 35 ns，则最高的转换速度是多少？指出当输入为以下数据时预计可获得的比较器的输出和逻辑输出：（a）0 V；（b）+5.1 V；（c）+10 V

附录A　VLSI制造技术

引言

本附录的目的是使读者熟悉VLSI（超大规模集成电路）的制造技术，特别是VLSI的标准硅工艺过程，此处还提供了CMOS和BiCMOS工艺制造的晶体管的性能参数。特别是对集成电路设计和分立元件电路设计的不同之处给予了讨论。为了充分有效地使用好集成器件，设计者应该注意克服器件参数方面的限制（比如容差很差），而且应该学会利用集成器件的优点（比如匹配性很好）。充分理解器件的性能特点是设计一个好的VLSI芯片和专业集成芯片（ASIC）必备的要求。而且对器件的深刻理解在选用集成芯片完成系统设计时也是很有帮助的。

本附录只考虑硅工艺技术。虽然砷化镓（GaAs）也可用于实现VLSI芯片，但是硅（Si）用得更为普遍，而且其性价比具有很大的折中范围。近年来在SiGe和应变硅技术上的发展进一步巩固了基于硅的集成工艺技术在微电子工业未来几年中的发展地位。

硅是一种非常丰富的资源，通常以沙石的形式呈现。采用已经完整建立起来的提纯和晶体生长技术可得到制作精良的硅。硅还具有制造电特性优良的有源器件所需的物理特性。此外，硅很容易被氧化，形成极好的绝缘体——SiO_2（玻璃）。该氧化物对制作电容和MOSFET很有用。它还可以作为扩散阻挡物，阻止不需要的杂质扩散到高纯度的硅材料附近。硅氧化物的掩蔽特性使得硅的电特性在预定义区域比较容易改变，从而可以把有源和无源器件制造在同一块材料（或衬底）上，利用金属层（类似于印刷线路板上采用的）实现元件内部的连接可产生所谓的单片集成芯片，这种芯片实质上是一个单片材料。

A.1　IC制造步骤

IC制造的基本步骤将在下面几个子小节中叙述，其中有一些步骤在不同的组合和不同的处理条件下，在整个制造过程中会重复实施许多次

A.1.1　晶圆准备

制造现代集成电路的原材料是纯度非常高的硅。它被制成单晶体的硅棒，其形状是直径为10 cm到30 cm的固态圆柱体（见图A.1），呈铁灰色，长为1 m到2 m。该硅棒然后被切割（像一条面包）成厚度为400μm到600μm（1μm为1×10^{-6}m）的晶圆。晶圆的表面要进行抛光处理，采用化学和机械抛光（CMP）技术将表面抛光成镜面。半导体制造商一般都会向供货商购买制作好的硅晶圆，很少从制作硅棒开始。

晶圆的电特性及机械特性与晶面的方向及杂质的浓度和类型有关。在晶体生长过程中必须对这些可变参数进行严格控制，受控的杂质可以被加到纯硅中，这个处理过程也叫掺杂。这样做的结果可以改变硅的电特性，比如电阻率。另外也可以控制导电的载流子的性质，这些载流子既可以是空穴（在p型硅中），也可以是自由电子（在n型硅中），它们可以导电。如果加入了大量的杂质原子，这时的硅就称为重掺杂（比如浓度大于10^{18}原子/cm^3）。当要标定半导体器件的相对掺杂浓度时，我们可以加上"+"号或"−"号，重掺杂（低电阻率）的n型硅晶圆通常用n+表示，

而轻掺杂的区域则用 $n-$表示，控制硅中的杂质类型和浓度的能力是形成二极管、晶体管和电阻的灵活集成形式的重要环节。

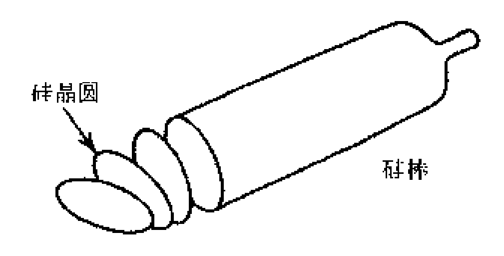


图 A.1 硅棒和晶圆片

A.1.2 氧化

氧化是指硅和氧气进行的化学反应，得到的是二氧化硅（SiO_2）。为加速反应过程，必须使用特殊的极其干净的高温炉（比如1000℃~1200℃）。为了避免杂质（即使量很小也会严重影响硅的电特性）进入，必须保持在非常干净的环境中完成氧化反应。这个要求适用于集成芯片制造的每一个步骤。特别是制造场地都安装了空气循环过滤装置，所有相关人员都必须穿上特殊的防尘服。

参与反应的氧气可以是高浓度的气体形式（这个过程也称为“干氧化”），也可以是蒸气的形式（“湿氧化”）。通常，“湿氧化”具有较快的反应速度，但是“干氧化”的电特性更好。任何一种情况下得到的热生长氧化层的绝缘电特性都极好。SiO_2的电介质强度是10^7 V/cm，介电常数是3.9，它可以成为非常好的电容器。如前所述，二氧化硅可以作为很好的掩膜以抵御杂质的入侵，因此杂质只能扩散到硅片上没有覆盖氧化物的特定区域中去。掩膜特性是大量生产VLSI器件的必备要求之一。

二氧化硅是一种很薄的透明薄膜，硅表面的反射率很高。当有一束白光照射到已经氧化了的晶圆表面时，会产生某一种特定颜色的反射光。反射光的波长取决于氧化层的厚度，事实上，人们是根据晶圆表面反射光的颜色来确定氧化层厚度的。同样的原理还被应用在精密的光学测量仪器上以测量薄膜的厚度。在晶圆处理过程中会有不同区域具有不同氧化层厚度的情况，由于相应的反射光也十分明显，所以人们用眼睛就能很快分辨出晶圆厚度的变化。

A.1.3 扩散

扩散是指原子从高浓度区域通过半导体晶体移动到低浓度区域的过程。该过程与一滴墨水滴到一杯水中的扩散过程相同，只是在固体里的扩散过程相当慢。在制造过程中，可通过把杂质原子（杂质）扩散到硅材料中的方法来改变材料的电阻率。硅中杂质扩散的速度与温度有密切的关系。通常，扩散是在高温下（1000℃~1200℃）进行的，这样可以得到所需的杂质分布曲线。当晶圆的温度降到室温时，杂质就基本被“冻结”在所处的位置上。扩散过程在高温炉中完成，这与氧化过程很相似。杂质扩散到硅中的深度和扩散时的温度以及扩散时间的长短有关。

最常用的杂质材料是硼、磷和砷。硼是 p 型杂质，而磷和砷都是 n 型杂质。这些杂质都可以有效地被很薄的二氧化硅层掩蔽。如果在 n 型衬底中再扩散硼，就可以产生 pn 结（二极管）了。如果杂质浓度相当高，扩散层同样也可以作为导体来使用。

A.1.4 离子注入

离子注入是另外一种把杂质原子加到半导体晶体中的方法。离子注入器可产生所需的离子，并在电场的作用下对离子进行加速，使这些离子去碰撞半导体的表面，因此这些离子就会嵌入到晶体的晶格结构中。离子穿透晶体的深度与离子束的能量有关，该能量受电场加速器电压的控制。

注入的离子数量可以通过改变波束电流（离子的流动）来控制。由于电压和电流的控制可以做得非常精确，因此离子注入方法得到的杂质浓度分布要比扩散方法得到的精确得多。此外，离子注入技术可以在室温下实现，对器件的杂质分布要求比较精确的时候，一般采用离子注入技术。

A.1.5 化学气相沉积

化学气相沉积（CVD，chemical-vapor deposition）是硅和气体或者蒸气进行化学反应并在衬底上产生固态物质的过程。CVD 可以用于在硅衬底上沉积多种物质，例如 SiO_2，Si_3N_4 和多晶硅。比如允许硅烷和氧气在硅衬底上进行反应，最终的产品（二氧化硅）就会以固态薄膜的形式沉积在晶圆硅的表面。采用 CVD 方法得到的氧化层的电特性不如热生长氧化方法得到的好，但是作为电绝缘材料还是绰绰有余的。CVD 方法的好处在于氧化物沉积的速度很快，而且可以在低温下实现（低于 500℃）。

如果单独使用硅烷气体，那么晶圆表面沉积的就是一层硅。如果反应时的温度足够高（超过 1000℃），则沉积层是晶体层（假设有暴露的晶体硅）。这层物质也叫外延层，相应的沉积过程也称为外延生长，不用 CVD 表示。在温度较低或者衬底表面不是单晶硅的情况下，原子是不会沿着相同的晶格方向排列的，这层物质就叫多晶硅，因为它由许多很小的晶体硅组成，且各个晶体硅的晶格方向是任意的。

A.1.6 金属化

金属化的目的是在各个不同的元件之间实现内部连接，形成所需要的集成电路。金属化包括整个硅表面最初的金属沉积，内部连接是有选择地进行刻蚀后完成的。金属层正常情况下是通过溅射的过程沉积下来的。一片纯度很高（例如 99.99%）的铝片被放置在氩离子枪下，氩离子枪被置于真空箱中。晶圆也同样被放置在箱内的靶子上，氩离子不与金属发生作用，因为氩气是惰性气体，但是它的离子会轰击靶子并逐个敲击出金属原子，这些金属原子会充满整个真空箱，其中也包括晶圆的表面。金属膜的厚度可以通过溅射时间的长短加以控制，通常的溅射时间是 1 分钟到 2 分钟。

A.1.7 光刻

不同集成元件的几何表面被定义为照相版图。首先用旋转涂抹技术在晶圆表面覆盖上一层感光层（也叫光致抗蚀剂或光阻），然后放上带有图形的感光板（比如，带有铬图案的石英板），在紫外线的照射下，感光板会有选择地根据图形曝光光阻材料，被曝光的光阻材料会变软（对正光阻而言），然后利用化学显影剂把已曝光的这层材料去掉，结果掩膜图形就出现在晶圆上。利用这种技术可以非常精确地划定表面的几何形状。光刻技术需要用到 VLSI 制造工艺中一些最昂贵的设备。现在，我们已经接近了光刻工艺的物理极限。利用深紫外线和电子束技术确定的图形能够达到 50 nm，但是要得到更小的几何尺寸，一定要采用另外的技术。

带图形的光阻层还可以有效地作为掩膜来屏蔽化学刻蚀和离子刻蚀过程中带来的杂质，采用刻蚀技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅和金属层。刻蚀程序完成后，光阻层会被去除，从而留下永久的图形，这些图形在硅芯片的表面形成光掩膜图像。

光刻过程极具挑战性，许多掩膜层（在先进的 VLSI 制造工艺过程中一般会超过 20 层）必须很精确地一层一层放置，它的精确度要比相应的掩膜图形的最小尺寸还要高，这个要求使光刻设备中机械和光学之间具有更紧密的约束关系。

A.1.8 封装

已经完成的晶圆上一般都含有几百个甚至更多的电路或者芯片，每个芯片含有的晶体管数量

从10个到10^8个不等。芯片的形状是矩形，典型尺寸是1 mm × 10 mm。电路首先要经过电测试（电路仍然在晶圆上），采用的方法是自动探针测试，性能不好的电路会被检测出来，然后电路被一个一个地分开（切割），好的电路（也称为裸片）被装配在一个封装块中，这样的IC封装例子见图A.2。性能很好的导线通常被用于连接封装的管脚和裸片上的金属层。最后在真空或者惰性气体中用塑料和环氧树脂把封装块封起来。



图A.2 （a）双列8管脚塑料封装IC芯片（DIP）；（b）16管脚表面贴片封装芯片（SOC），显示的比例要比（a）的大

A.2 VLSI工艺

早期的集成工艺制造以双极型技术为主，但是到了20世纪70年代后期，金属-氧化物-半导体（MOS）技术在VLSI制造过程中逐渐被人们所重视。原因是它的集成度很高，功耗很小。从20世纪80年代早期开始，互补MOS（CMOS）技术迅速发展起来，并几乎完全成为VLSI的主宰。而双极型技术则成为具有特殊功能的芯片，成为一种在数字的高速模拟和射频电路中使用的技术。在20世纪80年代后期，CMOS工艺继续流行并且与双极型晶体管融和在一起，产生了高性能的双极型CMOS（Bi-CMOS）制造工艺，它结合了两种技术的优点。但是BiCMOS工艺过程很复杂，代价也很大，因为该技术每实现一步，往往至少需要15层到20层掩膜，而标准CMOS工艺只需要10层到12层掩膜。

CMOS工艺和BiCMOS工艺的持续发展提供了很好的版图解决方案。但是工艺技术和半导体特性的最基本限制还是提出了这样的需求：需要对其他材料进行研究。现在已经出现了硅锗（SiGe）和应变硅技术，它可与现存的基于硅的CMOS工艺兼容，同时还能提高性能。

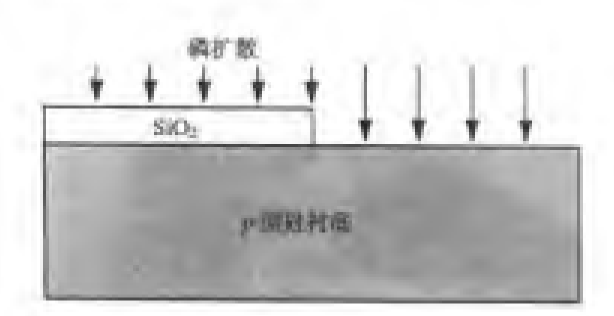
在接下来的几个子小节中，我们依次介绍现代IC制造技术的三个方面的内容：典型的CMOS工艺流程、集成元件的性能以及包含双极型晶体管的BiCMOS工艺。

A.2.1 *n*阱CMOS工艺

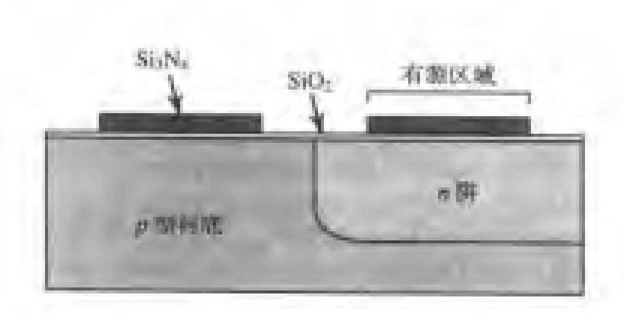
根据所选定的起始材料（衬底），CMOS工艺过程可以被定义为*n*阱、*p*阱和双阱，其中双阱既是最复杂也是最优的和最灵活的。除此以外，许多先进的CMOS工艺还采用了沟道绝缘和绝缘层覆硅（SOI）技术，从而可以减小寄生电容（为达到高速的目的），提高封装密度。

为简单起见，我们选择*n*阱CMOS工艺进行讨论。做这种选择的另外一个好处是它可以很容易地转到BiCMOS工艺上。图A.3给出了该工艺的典型流程，该流程最少需要7个掩膜层。但是，实际上大多数CMOS工艺流程还需要另外再增加几层，比如用于避免锁定的*n*和*p*保护层，与电容有关的第二多晶硅层，以及用于内部高密度连接的多层金属层。加上这些工艺流程，整个掩膜层将增加到15层到20层。

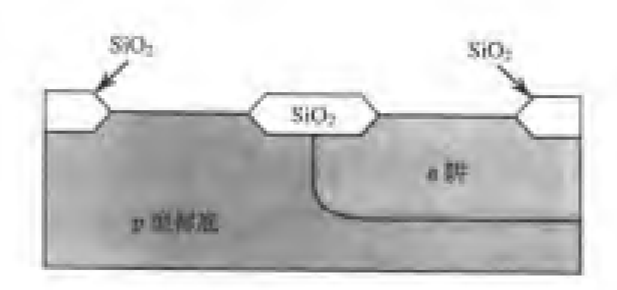
(a) 定义 n 阱扩散（掩膜#1）



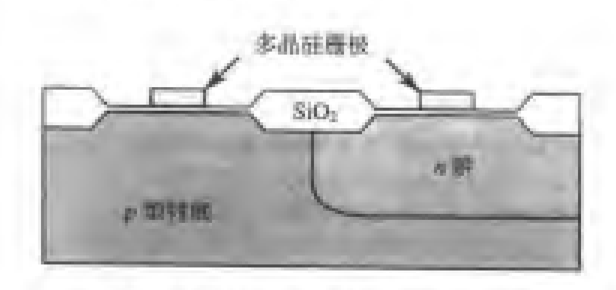
(b) 定义有源区域（掩膜#2）



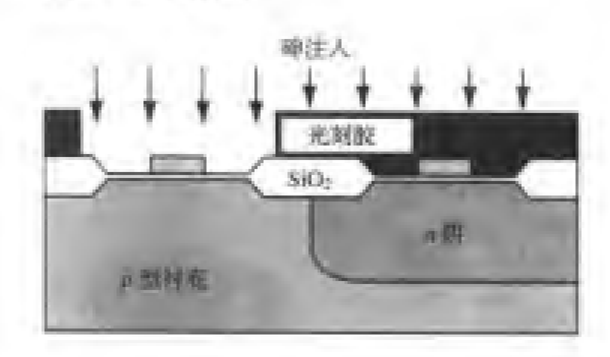
(c) LOCOS 氧化



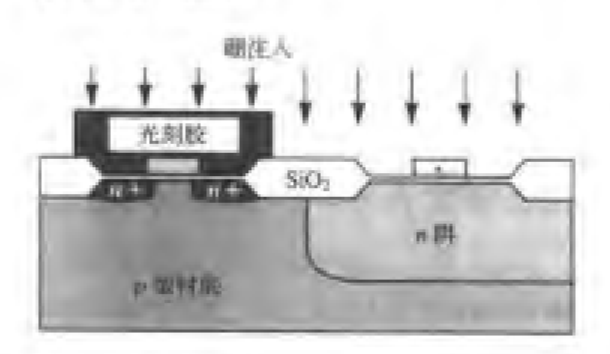
(d) 多晶硅栅极（掩膜#3）



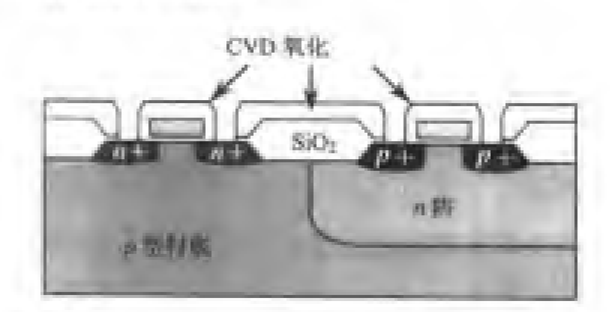
(e) n+扩散（掩膜#4）



(f) p+扩散（掩膜#5）



(g) 接触孔（掩膜#6）



(h) 金属化（掩膜#7）

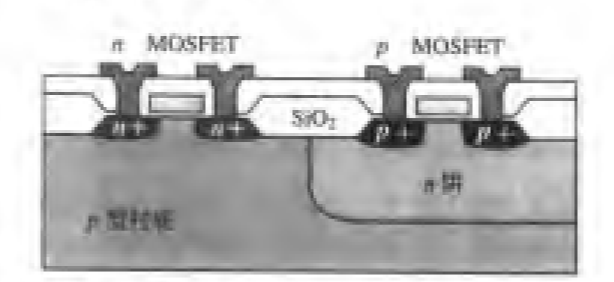


图 A.3 典型的 n 阱 CMOS 工艺流程：（a）定义 n 阱扩散（掩膜#1）；（b）定义有源区域（掩膜#2）；（c）LOCOS 氧化；（d）多晶硅栅极（掩膜#3）；（e）n+扩散（掩膜#4）；（f）p+扩散（掩膜#5）；（g）接触孔（掩膜#6）；（h）金属化（掩膜#7）

n 阱工艺的起始材料是 p 型衬底，首先进行的是 n 阱扩散［见图 A.3（a）］，这是放置 p 型 MOSFET 所必需的。厚的二氧化硅层被刻蚀掉后会露出进行 n 阱扩散的区域，没有露出的地方能够防止 n 型杂质磷的进入。通常，进行深度扩散需要用磷来完成，因为磷的扩散系数很大，扩散进入衬底的速度要比砷快。

第二步是确定有源区（放置晶体管的区域），采用的技术是本地氧化（LOCOS）。一层氮化硅（Si_3N_4）被沉积在表面，它和先前的 n 阱区域有对应的位置图形关系［见图 A.3（b）］，覆盖上氮化硅的区域不会被氧化。经过一段长时间的氧化过程后，一层很厚的氧化层就会出现在晶体管之间［见图 A.3（c）］，这层厚氧化层用于实现晶体管之间的隔离，同时保证在二氧化硅层上面形成内部连接层，从而避免了在硅表面产生导电沟道。

下一步是形成多晶硅栅极［见图 A.3（d）］，这是 CMOS 工艺中非常关键的一步。有源区的薄二氧化硅层首先被浸蚀掉，然后再生长一层薄的高质量的栅极氧化物。现在的 0.13μm 和 0.18μm 工艺中，二氧化硅层的厚度只有 20 Å 和 50 Å（1 Å = 10^{-8} cm）。接下来再确定区域沉积多晶硅层，通常情况下掺入砷（n 型）。这一步必须要进行光刻，因为最好的解决方案要求产生的 MOS 管的沟道长度应尽可能短。

多晶硅栅极是自对准结构，比过去的金属栅极结构要好。掺入浓度很高的砷可形成 n 型-MOS 管的 n+源区和漏区。多晶硅层对掺入的杂质还起到了阻碍作用，可以保护沟道区域。光阻材料［见图 A.3（e）］覆盖在需要形成 p 型 MOSFET 的区域，厚氧化层阻止了杂质的扩散，防止在有源区域外形成 n+区。在 p 型 MOSFET［图 A.3（f）］的 p+硼扩散形成源区和漏区的过程中，左边的光阻对 n+ MOSFET 起保护作用。两种情况下扩散形成的源区和漏区被沟道隔开，沟道长度由多晶硅栅极掩膜单独确定，因而成为自对准结构。

在开过孔前，需要用 CVD 方法在整个晶圆上产生一层厚的氧化层，因此需要先放置光掩膜以确定过孔的位置［见图 A.3（g）］，然后进行干（或湿）氧化蚀刻。接下来用蒸气或溅射方法在晶圆上形成一层薄薄的铝层，最后放置掩膜并蚀刻以形成内部连接［见图 A.3（h）］。

封装和连线之前的钝化流程没有在此描述。一般来说，还应在晶圆上覆盖一层厚 CVD 氧化物或玻璃，它们起保护层的作用。

A.2.2 集成元件

除了明显的 n 沟道和 p 沟道 MOSFET 以外，还有另外一些元件可以通过对掩膜层的操作得到，这些元件包括 pn 结二极管、MOS 电容和电阻。

A.2.3 MOSFET

n 沟道 MOSFET 的性能比 p 沟道 MOSFET 要好（见图 A.4）。n 沟道器件的表面电子迁移率是对应器件的空穴迁移率的 2~4 倍。当器件尺寸（W 和 L）相同时，n 沟道器件可提供更大的驱动电流（或者更小的导通电阻）和更高的跨导。

在设计集成电路时，MOSFET 通常是用开启电压和器件尺寸来确定特性的，n 沟道和 p 沟道器件的开启电压对特定工艺而言其幅度基本相同，但是跨导可以通过调整器件的几何尺寸（W 和 L）加以改变。这个特性不适合双极型晶体管，可见集成 MOSFET 电路的设计具有更大的灵活性。

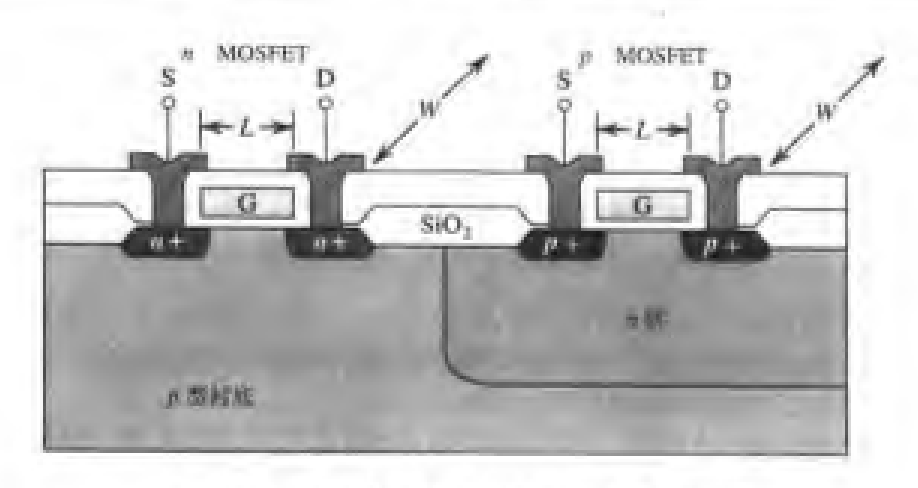


图 A.4 n 沟道和 p 沟道 MOSFET 的横截面图

A.2.4 电阻

集成电阻的阻值不是很精确。它们可以来源于多种扩散区域，如图 A.5 所示。不同扩散区域具有不同的电阻率。n 阱通常用来形成中等阻值的电阻，而高掺杂的 n+区和 p+区则用来形成低阻值的电阻。确切的电阻值可以通过改变扩散区域的宽度和长度得到。电阻阻值的容差通常很差（为 20%到 50%），但是两个阻值近似的电阻匹配起来的效果却很好（5%），因此电路设计者在设计电路的时候应该尽量选用匹配的电阻，避免采用具有确定电阻值的电阻。

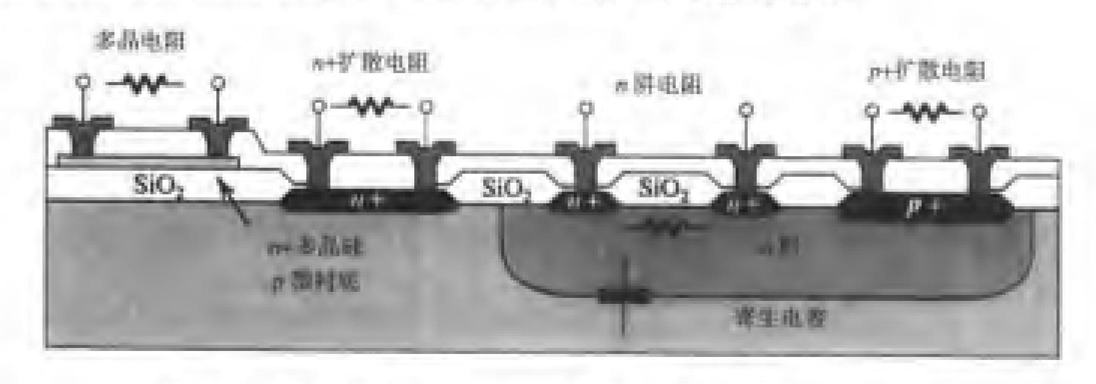


图 A.5 利用典型 n 阱 CMOS 工艺得到的各种集成电阻的剖面图

所有的扩散电阻都被其反偏 pn 结相互隔离了，但是这些电阻都有一个很严重的缺点，即它们都伴有寄生结电容，从而严重影响了它们在高频时的应用。反偏 pn 结还呈现出 JFET 的效应，即当施加的电压发生变化时，电阻阻值也会发生变化（大电压系数是不希望出现的）。由于载流子的迁移率与温度有关，因此扩散电阻都具有一定的温度系数。

更有用的电阻采用在厚氧化物层上覆盖多晶硅层实现。薄多晶硅层提供了比较好的表面区域匹配，因而具有更精确的电阻比值。此外，多晶电阻和衬底是分开的，所以它的寄生电容和电压参数都相当小。

A.2.5 电容

利用 CMOS 工艺可以制造两种结构的电容：MOS 电容和多晶电容（也称 MIM——金属-绝缘体-金属电容）。它们的横截面结构如图 A.6 所示。中间的结构表示 MOS 栅极电容，它是 MOS 管最基本的栅源电容，其值取决于栅极的面积。氧化层的厚度等于 MOS 管中的栅极氧化

层的厚度，该电容表现出较大的电压依赖性。为了消除这种依赖性，可在电容的下极板再增加一层 n+杂质，如图中最右边的结构。两种电容都与衬底有物理接触，因此下极板都呈现出较大的 pn 结寄生电容。

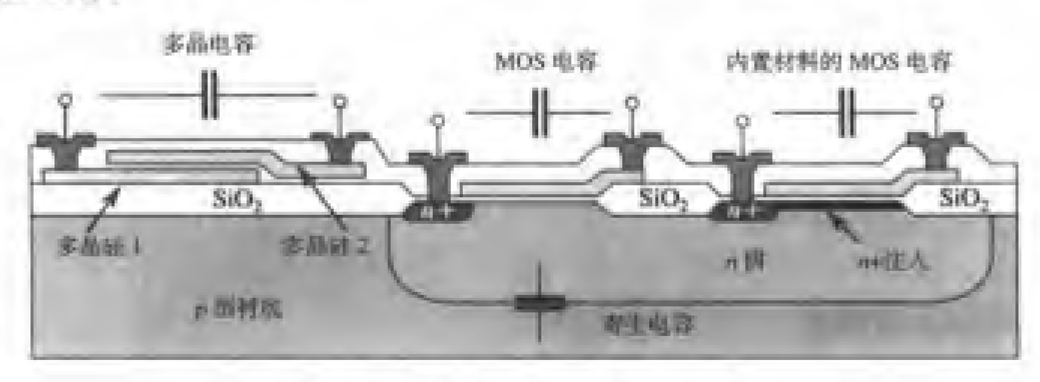


图 A.6 利用 n 阱工艺得到的多晶和 CMOS 电容

多晶电容接近于理想电容的特性，但是需要在 CMOS 工艺中包括第二次多晶硅层的流程。由于电容放置在厚场氧化层的上面，因此寄生效应很小。

第三种（也是很少使用的）电容是结电容。任何反偏 pn 结的耗尽区如同位于 p 区和 n 区之间的电介质，电容量由几何尺寸和掺杂浓度确定，电压系数很大。这类电容通常作为调谐电路中的变容二极管（容量可变的电容），但是只能在反偏电压下工作。

MOS 电容和多晶电容的电容量可以控制在 1%以内。实际使用的电容的电容量在 0.5 pF 到几十 pF 之间。相同尺寸的匹配电容的电容量的偏差在 0.1%以内。这个特性对精密的模拟 CMOS 电路设计非常有用。

A.2.6 pn 结二极管

当 p 型和 n 型扩散区域紧邻在一起时就产生了 pn 结二极管。n 阱二极管是一种有用的结构，参见图 A.7。在 n 阱中制造的二极管的击穿电压非常大，是输入钳位电路用于防止静电放电的必备器件。作为片内温度传感器的二极管也很有用，它可以检测正向压降的变化。

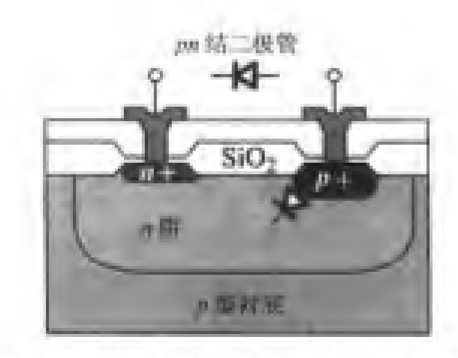


图 A.7 利用 n 阱工艺得到的 pn 结二极管

A.2.7 BiCMOS 工艺

在 n 阱 CMOS 工艺流程中增加一次 p 型基区扩散（见图 A.8）就可以在 n 阱中集成纵向 npn 双极型晶体管。晶体管的特性取决于基区宽度和发射区面积。基区宽度由 n+和基区 p 扩散的深度差决定，发射区的面积由发射区 n+扩散形成的结面积决定。n 阱作为 npn 晶体管的集电极。npn 晶体管的典型β值在 50 到 100 之间，截止频率高于 10 GHz。

一般情况下，晶体管中有一层用于降低集电极串联电阻的 n+掩埋层，因为 n 阱的电阻率非常高，引入 p 型外延层将增加工艺的复杂度（多一道掩膜流程）。双极型晶体管的其他一些变化包括采用多发射极的结构和基极自对准来减小寄生效应。

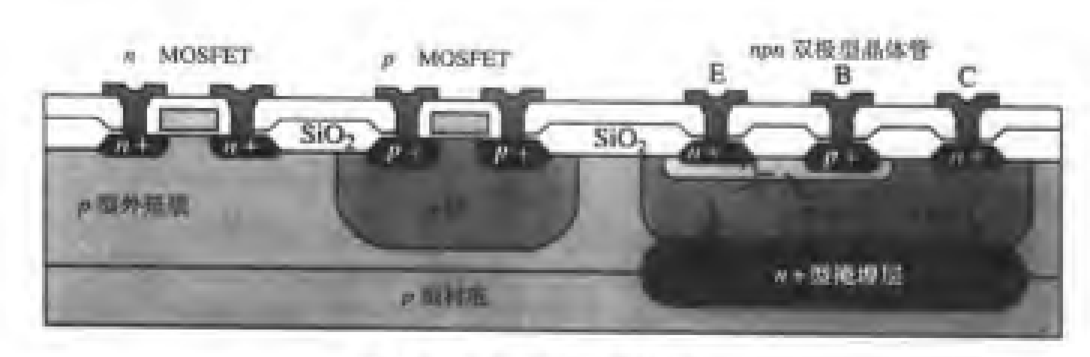


图 A.8 BiCMOS 工艺的剖面图

A.2.8 横向 *pnp* 晶体管

大多数 BiCMOS 工艺都不能获得性能较好的 *pnp* 晶体管，这给电路设计在某种程度上带来了很大困难。但是，对要求不高的电路，寄生横向 *pnp* 晶体管还是可以用的（见图 A.9）。

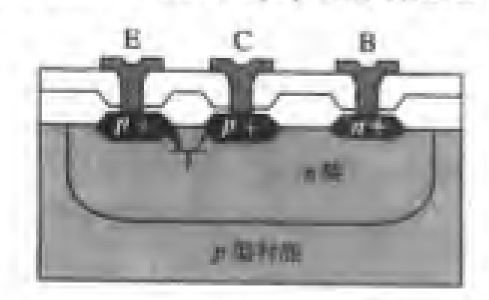


图 A.9 横向 *pnp* 晶体管

这时的 *n* 阱就成为 *n* 型基区，其 *p*+扩散可得到发射区和集电区。基区宽度由两个分开的 *p*+扩散区确定。由于无法对集电结进行掺杂浓度分布曲线的最优化处理，所以得到的晶体管性能比较差，β 的典型值在 10 左右，截止频率也很低，原因在于基区宽度受到最小光刻尺寸的限制。

A.2.9 基区 *p* 电阻和夹层电阻

在 BiCMOS 工艺中再增加一次基区 *p* 扩散流程便可得到另外两种结构的电阻。基区 *p* 扩散用于形成简单的基区 *p* 电阻，如图 A.10 所示。由于基区的掺杂浓度相对比较低，结的深度值也适中，所以得到的阻值也属中等（几千欧）。如果要得到阻值很大的电阻，需采用基区夹层电阻。它的结构是：*p* 型基区被 *n*+扩散物占据了一部分，从而压缩了原来的导电通道。这样得到的电阻阻值一般在 10 kΩ到 100 kΩ之间。同我们前面讨论过扩散电阻一样，这种电阻的容差特性和温度特性都比较差，但是匹配性较好。

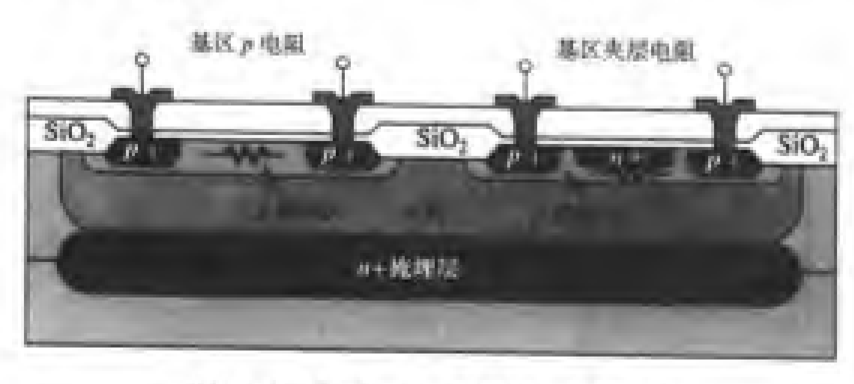


图 A.10 基区 *p* 电阻和基区 *p* 夹层电阻

形宽度和有源区的宽度确定。p 沟道的 MOSFET 被包围在 n 阱中。对复杂电路会使用多个 n 阱来放置不同组的 p 沟道 MOSFET。n 沟道 MOSFET 包含在 $n+$扩散掩膜层的里面，$n+$扩散形成源区和漏区，而 p 沟道 MOSFET 被包含在 $p+$扩散掩膜层内。放置过孔的区域要求与金属层相连接。最后，由"金属 1"层完成内部连接。

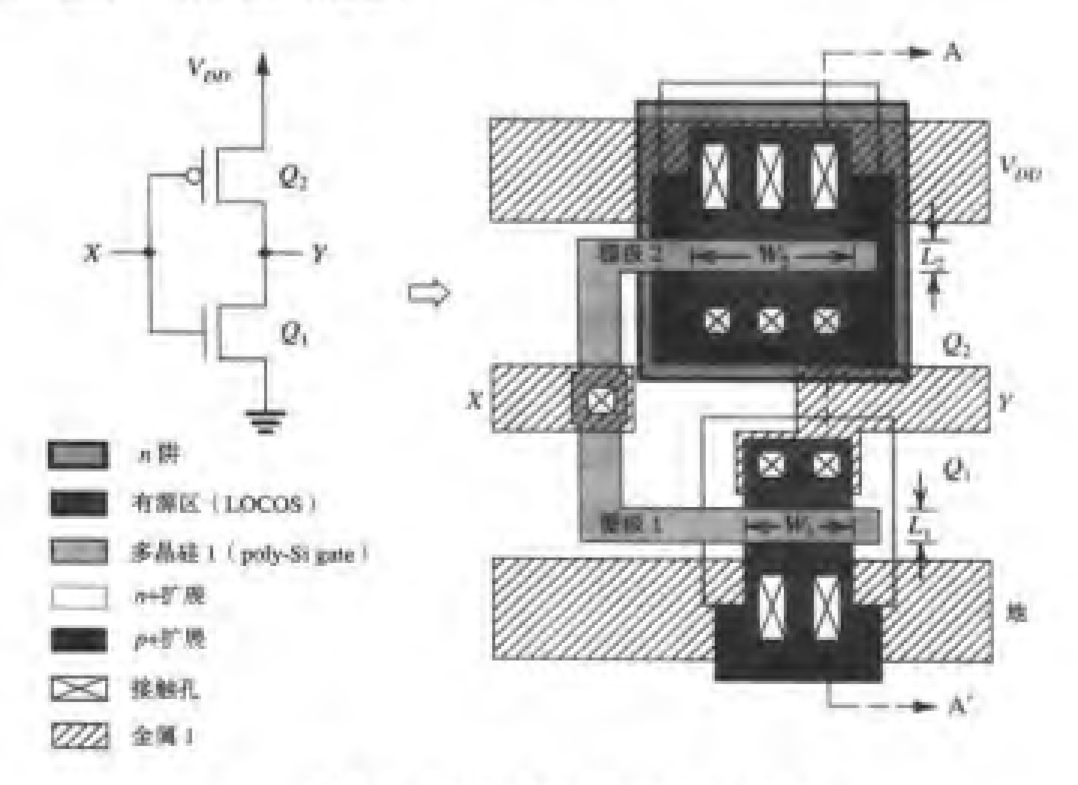


图 A.12 CMOS 反相器的电路图和版图

CMOS 反相器的相关横截面如图 A.13 所示，这是沿着 AA′平面看的图形。两个晶体管的多晶硅栅极连在一起，成为输入端 X；两个晶体管的漏极通过"金属 1"层连在一起，成为输出端 Y。n 沟道和 p 沟道 MOSFET 的源极分别接地（GND）和直流电源 V_{DD}。注意，相邻的 $n+$和 $p+$扩散区域采用邻接触方法，这样可以把 n 沟道和 p 沟道 MOSFET 的衬底电位设定在合适的电平上。

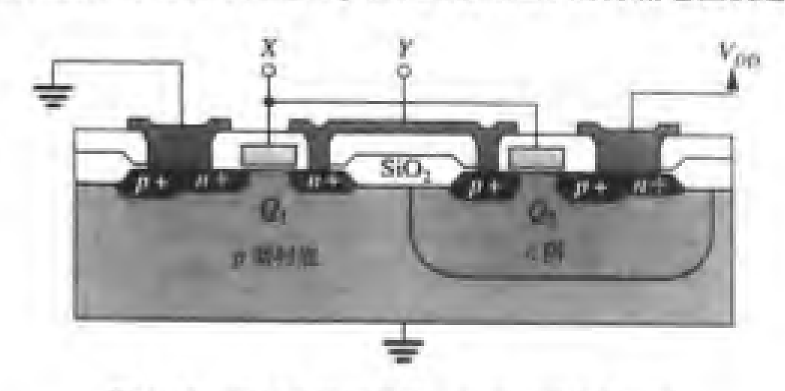


图 A.13 CMOS 反相器沿 AA′平面看的剖面图

当版图完成以后，电路必须采用合适的 CAD 工具进行验证，包括电路提取、设计规则检查和电路仿真。一旦验证通过，设计就被移交给掩膜制作设备完成下一步的制版工作。它是在玻璃或者石英照相底片上由图形生成器（PG 机器）一层接一层地画出几何图形，并使用不同的照相底片。当这些底片显影后，颜色较深的清楚的几何图形就出现在版图上了。图 A.14 给出的是 CMOS 反相器例子的一组照相底片。根据几何图形是作为窗口打开还是作为图形保留，决定是用"正"

还是用"负"图像（也就是图中"亮"和"黑"的区域）来表示底片。注意，这些掩埋层在处理时要顺序进行，每一步都必须在严格的容差范围内进行校准以形成晶体管和内部连接。当然，掩膜层数越多，校准的难度就越大。处理多掩膜层要求有更好的光刻设备，这样芯片占用的空间才会越小。然而每增加一层掩膜，就会反映在 IC 芯片的价格上，最终导致价格的增加。

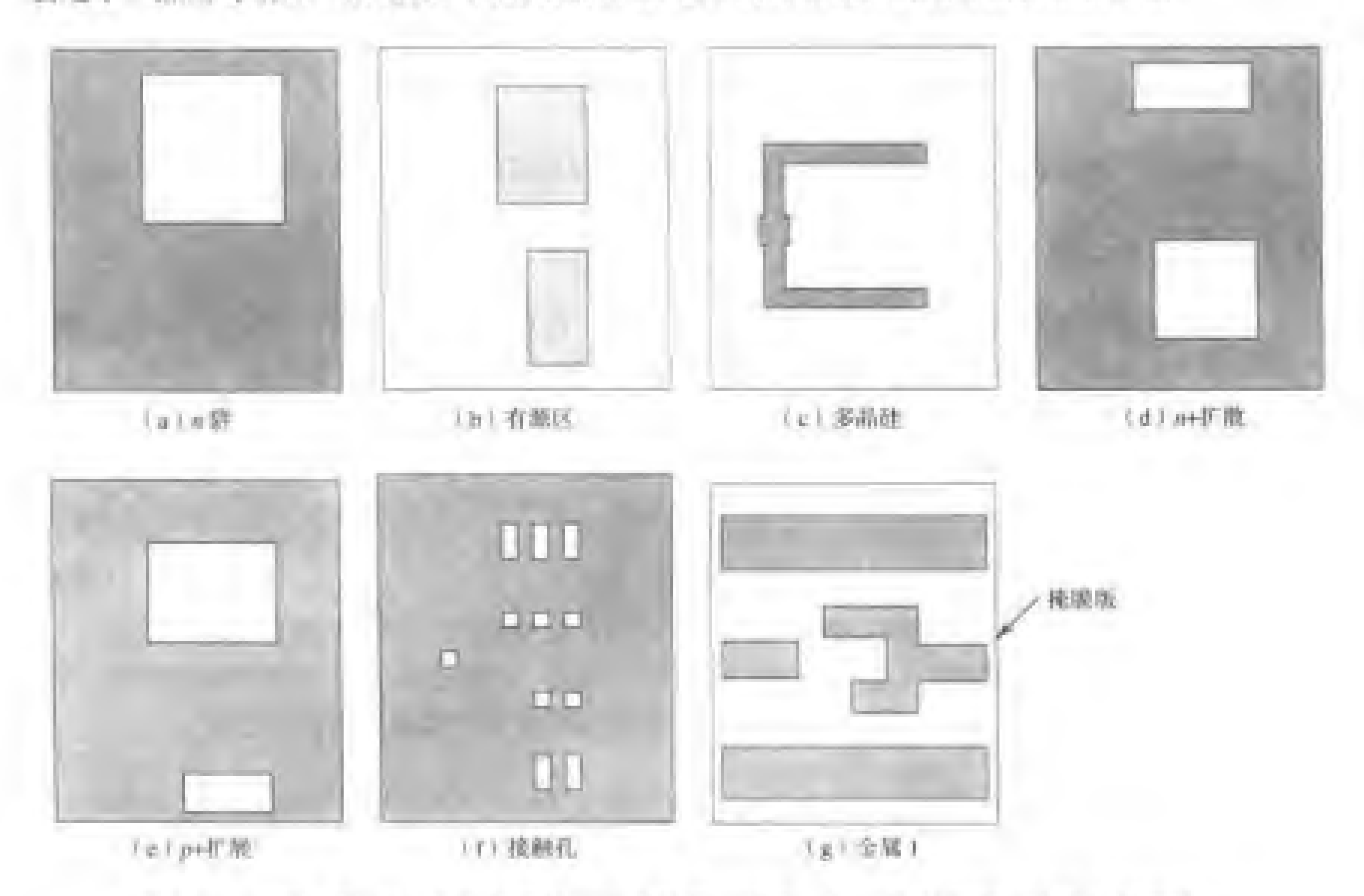


图 A.14　n 阱工艺 CMOS 反相器的一组光掩膜。注意，每一次都需要一个单独的底片：（a）、（d）、（e）和（f）的黑区域是掩膜；（b）、（c）和（g）的亮区域是掩膜

小结

■ 本附录简要介绍了 VLSI 集成工艺流程的相关内容，包括元件的特性、工艺流程及版图。这些并不代表先进的 VLSI 工艺。感兴趣的读者可以查阅有关这一主题的书籍以了解更详细的内容。

附录 B　二端口网络参数

引言

本书的许多地方都用到了几种可能的表征线性二端口网络的参数。本附录是有关该主题的总结。

B.1　线性二端口网络的描述

二端口网络（见图 B.1）有四个端口变量：V_1、I_1、V_2 和 I_2。如果二端口网络是线性的，我们可以用两个变量作为激励，另外两个变量作为响应。比如：将端口 1 的电压变量 V_1 和端口 2 的电压变量 V_2 作为激励，另外两个电流 I_1 和 I_2 则表示该网络的响应。这里，V_1 和 V_2 是自变量，I_1 和 I_2 是因变量，网络的工作特性可以用以下两个方程描述：

$$I_1 = y_{11}V_1 + y_{12}V_2 \tag{B.1}$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \tag{B.2}$$

这里的四个参数 y_{11}、y_{12}、y_{21} 和 y_{22} 都是导纳，它们的值完全描述了线性二端口网络的特性。

根据四个端口变量中的两个自变量的性质，即可得到一组描述网络特性的网络端口特性方程（以及相应的一组不同的网络参数）。下面我们将给出在电路里经常用到的四组参数。

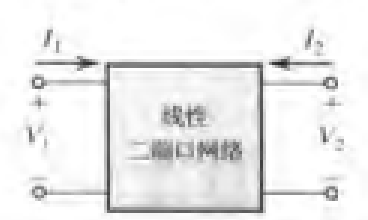


图 B.1　线性二端口网络的四个端口变量的参考方向

B.1.1　*y* 参数

短路导纳参数（或 *y* 参数）是把端口电压 V_1 和 V_2 作为网络激励信号而得到的，如图 B.2（a）所示。式（B.1）和式（B.2）是相应的描述方程。四个导纳参数是根据它们在式（B.1）和式（B.2）中的作用来定义的。

具体而言，从式（B.1）中我们知道参数 y_{11} 定义为

$$y_{11} = \left.\frac{I_1}{V_1}\right|_{V_2=0} \tag{B.3}$$

即 y_{11} 是端口 2 短路时端口 1 的输入导纳。图 B.2（b）给出了定义的图解，同时也给出了测量输入短路导纳 y_{11} 的方法。

从式（B.1）我们可以得到 y_{12} 的定义如下：

$$y_{12}=\left.\frac{I_1}{V_2}\right|_{V_1=0} \tag{B.4}$$

即 y_{12} 表示从端口 2 到端口 1 的传输特性。由于在放大器中，端口 1 通常代表输入端，端口 2 通常代表输出端，因此参数 y_{12} 表示的是网络的内部反馈，图 B.2（c）给出了 y_{12} 的定义和测量的图解。

从式（B.2）我们可以得到 y_{21} 的定义如下：

$$y_{21}=\left.\frac{I_2}{V_1}\right|_{V_2=0} \tag{B.5}$$

即 y_{21} 表示从端口 1 到端口 2 的传输特性，如果端口 1 是放大器的输入端、端口 2 是放大器的输出端，那么参数 y_{21} 其实提供了正向增益或者传输能力的测量方法，图 B.2（d）所示就是参数 y_{21} 的定义和测量的图解。

根据式（B.2），我们最后可以定义参数 y_{22}：

$$y_{22}=\left.\frac{I_2}{V_2}\right|_{V_1=0} \tag{B.6}$$

即 y_{22} 表示端口 1 短路时从端口 2 视入的导纳，对放大器而言，y_{22} 是输出短路导纳。图 B.2（e）给出了 y_{22} 的定义和测量的图解。

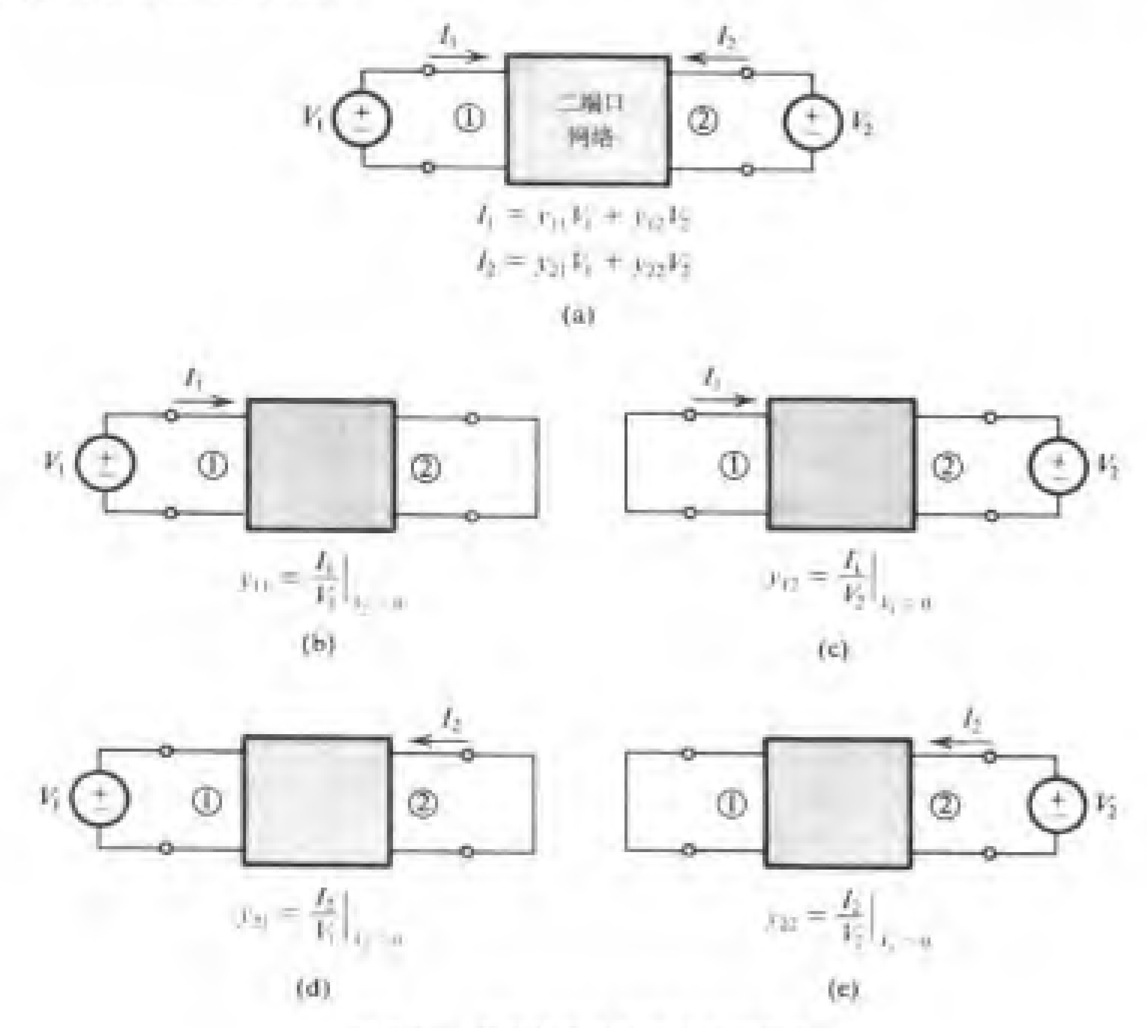


图 B.2　y 参数的定义和测量电原理图

B.1.2　z 参数

如果二端口网络的激励信号是电流 I_1 和 I_2，那么就可以用开路阻抗参数（或 z 参数）来描述网络特性，如图 B.3（a）所示，网络端口的特性方程为

$$V_1 = z_{11}I_1 + z_{12}I_2 \tag{B.7}$$

$$V_2 = z_{21}I_1 + z_{22}I_2 \tag{B.8}$$

根据 z 参数和 y 参数之间的对偶性质，我们不对 z 参数给出详细的讨论，有关四个 z 参数的定义和测量的图解参见图 B.3。

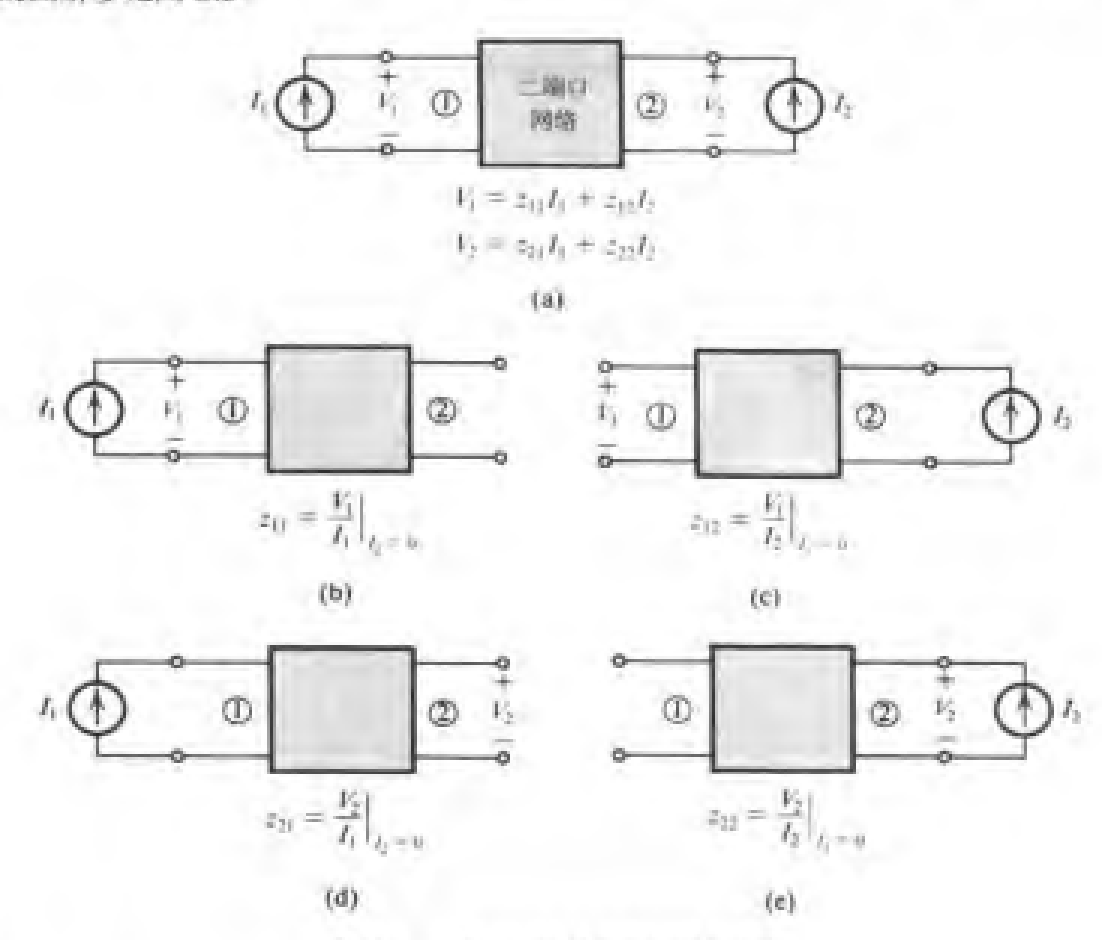


图 B.3　z 参数的定义和测量电原理图

B.1.3　h 参数

如果二端口网络的激励信号是电流 I_1 和电压 V_2，那么就可以用混合参数（或者 h 参数）来描述网络特性，如图 B.4（a）所示（注意用混合参数命名的原因）。网络端口特性方程为

$$V_1 = h_{11}I_1 + h_{12}V_2 \tag{B.9}$$

$$I_2 = h_{21}I_1 + h_{22}V_2 \tag{B.10}$$

从中可以得到 h 参数的定义如下：

$$h_{11} = \left.\frac{V_1}{I_1}\right|_{V_2=0} \qquad h_{21} = \left.\frac{I_2}{I_1}\right|_{V_2=0}$$

$$h_{12} = \left.\frac{V_1}{V_2}\right|_{I_1=0} \qquad h_{22} = \left.\frac{I_2}{V_2}\right|_{I_1=0}$$

即 h_{11} 是端口 2 短路时端口 1 的输入阻抗。参数 h_{12} 表示输入端口开路时的网络反向或者反馈电压传输系数。正向传输系数 h_{21} 表示输出端短路时的网络电流增益。所以 h_{21} 也称为短路电流增益。最后，h_{22} 表示输入端开路时的输出导纳。

图 B.4 所示的是 h 参数的定义和测量时的原理图。

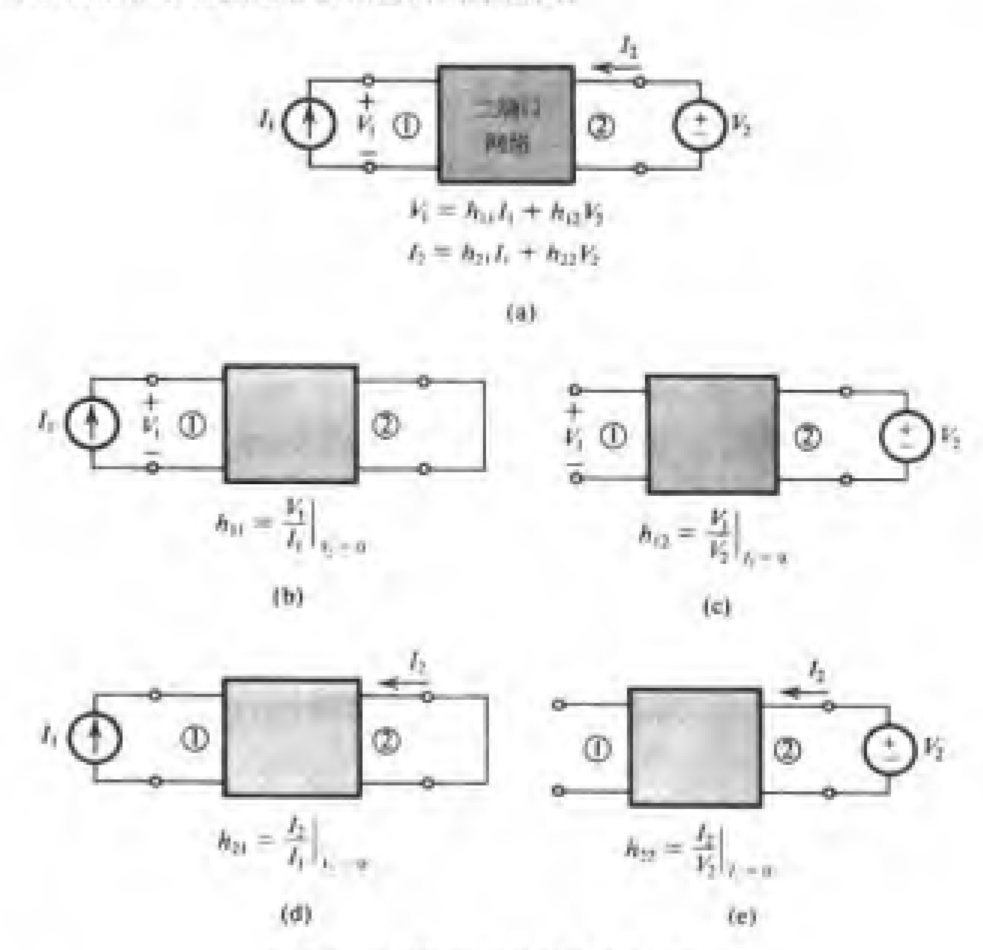


图 B.4 h 参数的定义和测量电原理图

B.1.4 g 参数

如果二端口网络的激励信号是电压 V_1 和电流 I_2，那么可以用反向混合参数（或 g 参数）来描述网络的特性，如图 B.5（a）所示。网络端口特性方程为

$$I_1 = g_{11}V_1 + g_{12}I_2 \tag{B.11}$$

$$V_2 = g_{21}V_1 + g_{22}I_2 \tag{B.12}$$

参数的定义和测量方法如图 B.5 所示。

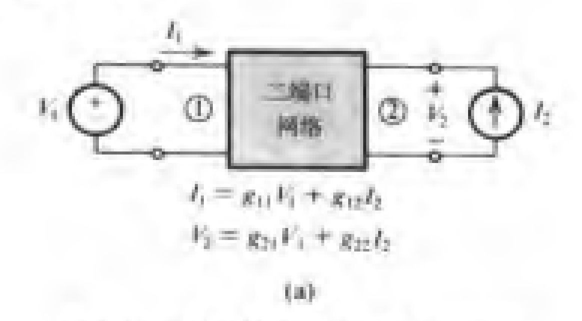


图 B.5 g 参数的定义和测量电原理图

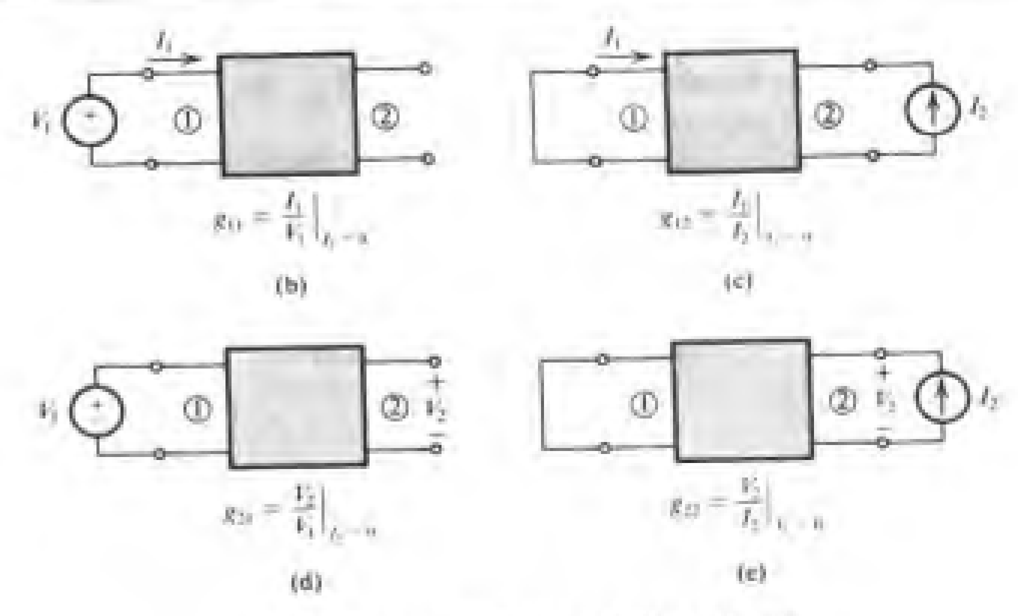


图 B.5（续） g 参数的定义和测量电原理图

B.1.5 等效电路表示

一个二端口网络根据所采用的网络端口特性方程可以用它的等效电路来表示。图 B.6 所示的是和前面讨论过的四组参数相对应的等效电路。每一个等效电路都是描述网络特性的两个方程的直接图解表示并对应于各自特定的参数。

最后需要指出的是此外还有另外的用于描述线性二端口网络的参数，但本书不会用到这些参数，所以也不在这里讨论。

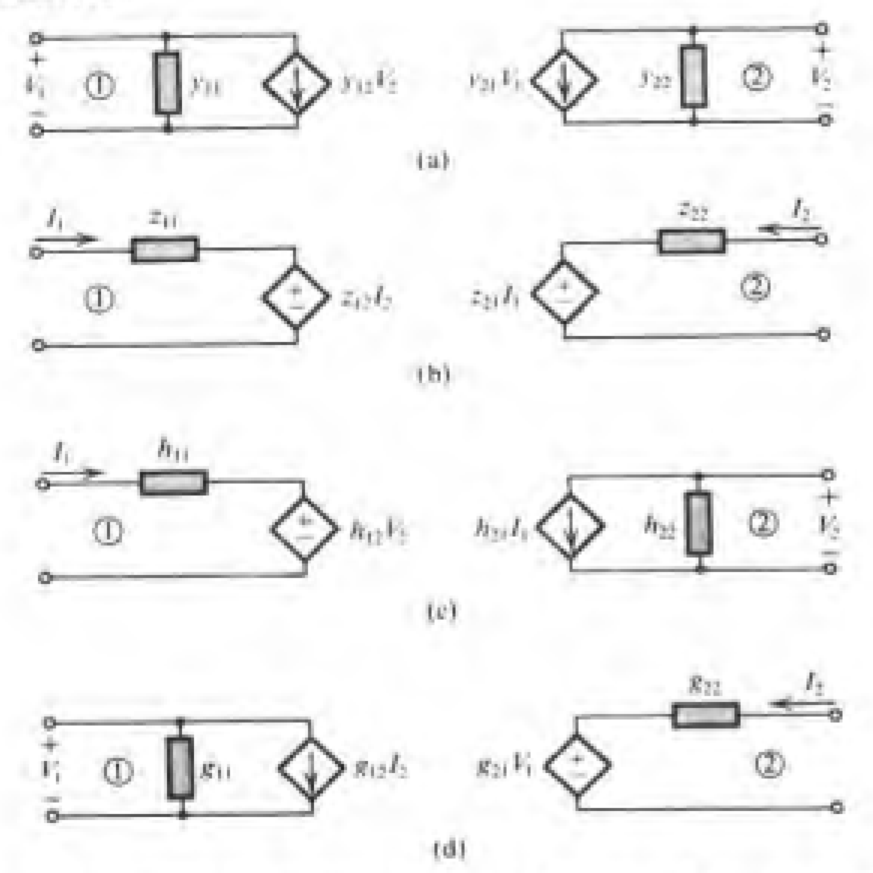


图 B.6 二端口网络对应于四组参数的等效电路：（a）y 参数；（b）z 参数；（c）h 参数；（d）g 参数

练习 B.1　图 EB.1 所示的是晶体管的小信号等效电路模型，计算 h 参数的值。

答案： $h_{11} \simeq 2.6\ \text{k}\Omega$;　$h_{12} \simeq 2.5\times10^{-4}$;　$h_{21} \simeq 100$;　$h_{22} \simeq 2\times10^{-5}\ \Omega$

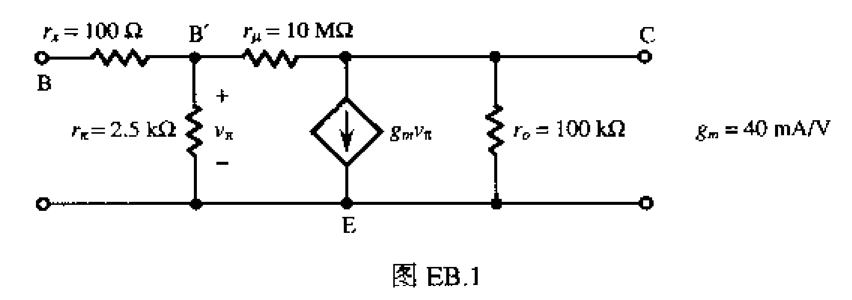


图 EB.1

习题

B.1　（a）放大器采用的是图 B.6（c）所示的 h 参数等效电路模型，电压源 V_s 是激励源，信源内阻为 R_s，负载电阻为 R_L。证明电压增益具有如下的表达式：

$$\frac{V_2}{V_s} = \frac{-h_{21}}{(h_{11}+R_s)(h_{22}+1/R_L)-h_{12}h_{21}}$$

（b）利用（a）推导得到的表达式，求练习 B.1 的晶体管电压增益，其中电阻 $R_s = 1\ \text{k}\Omega$，$R_L = 10\ \text{k}\Omega$。

B.2　测量得到一个二端口网络的端口特性如下：当输出端短路的时候，测得输入电流是 0.01 mA，输出电流是 1.0 mA，输入电压是 26 mV；当输入端开路，输出端加有 10 V 电压的时候，测得的输出电流是 0.2 mA，输入端的电压是 2.5 mV。求网络的 h 参数值。

B.3　图 PB.3 所示的是晶体管的高频小信号等效电路（为简单起见，忽略电阻 r_x）。求 y 参数。

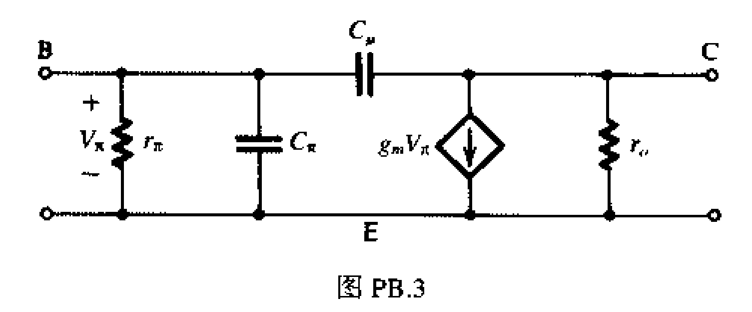


图 PB.3

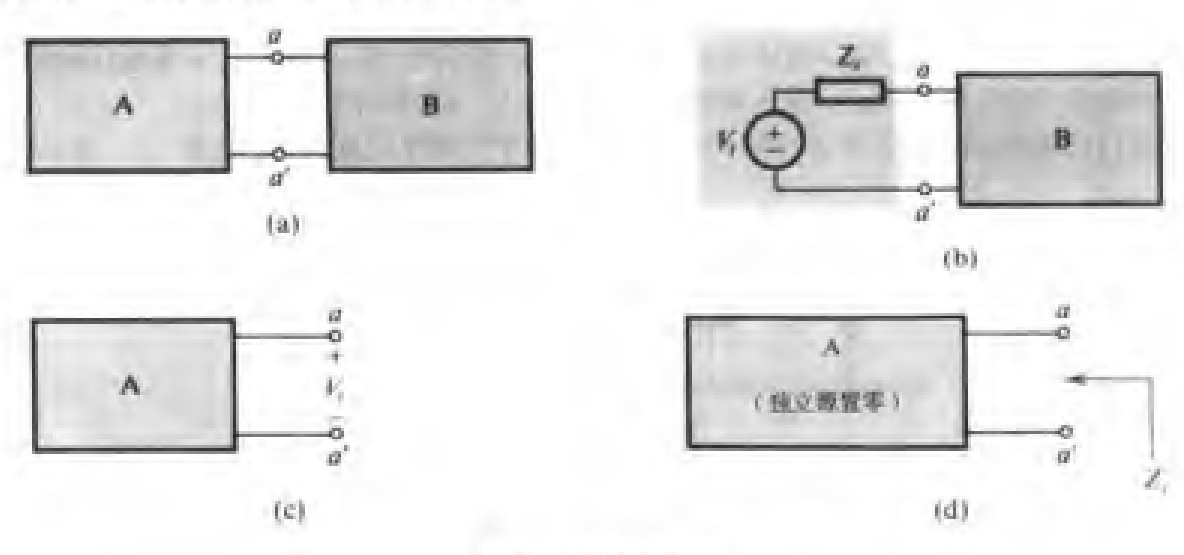
附录C　一些有用的网络定理

引言

本附录将回顾三个有用的网络定理，它们在简化电子电路的分析过程中非常有用。这三个定理是戴维南定理、诺顿定理和源吸收定理。

C.1　戴维南定理

戴维南定理用来把网络的一部分表示成一个电压源 V_t 和一个阻抗 Z_t 相串联的形式，如图C.1所示。图C.1（a）所示的是把一个网络分成A和B两个部分。在图C.1（b）中，网络的A部分已经进行了戴维南等效：电压源 V_t 和串联阻抗 Z_t。图C.1（c）给出的是如何确定 V_t 的图解：即将网络A部分的两个端点开路，测量（或计算）两端点之间的电压。为了确定 Z_t，我们把网络A的所有外电路的激励源（即独立源）置零，即电压源短路，电流源开路，阻抗 Z_t 就是从网络A输入端视入的输入阻抗，如图C.1（d）所示。



图C.1　戴维南定理

C.2　诺顿定理

诺顿定理和戴维南定理具有对偶性。它采用电流源 I_n 和并联阻抗 Z_n 产生等效网络，如图C.2所示。图C.2（a）所示的是把网络分成A和B两部分。图C.2（b）中对A部分进行了诺顿等效：电流源 I_n 和并联阻抗 Z_n。电流源 I_n 可以按照图C.2（c）所示的方法测量（或计算）得到，即将网络（网络A）的输出端短路，得到的电流就是网络的短路输出电流——等于 I_n。确定阻抗 Z_n 的方法是首先把网络的所有外电路的激励源置零：即独立电压源短路，独立电流源开路，然后求网络A的输入阻抗，Z_n 就等于输入阻抗。可见，诺顿并联阻抗 Z_n 等于戴维南串联阻抗 Z_t。所以，$I_n = V_t/Z$，其中 $Z = Z_n = Z_t$。

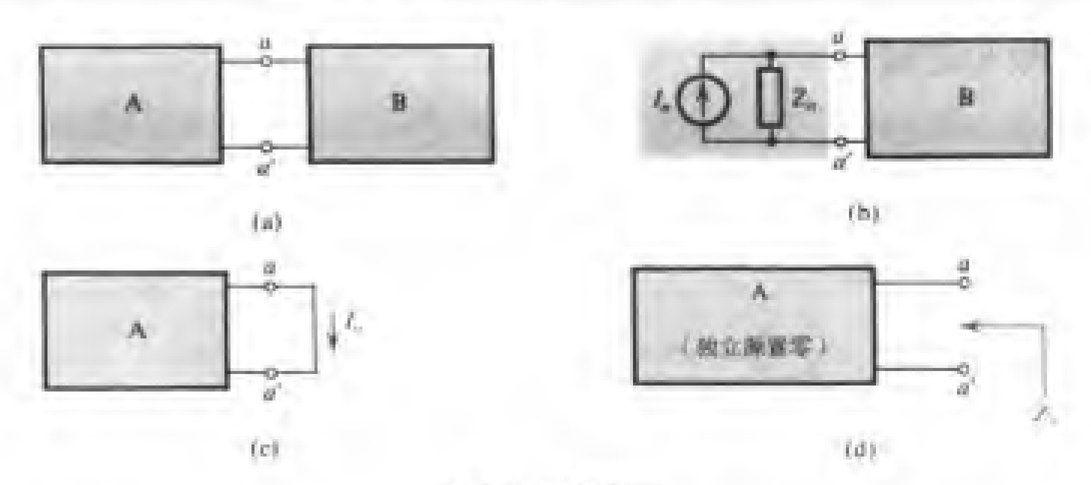


图 C.2 诺顿定理

例题 C.1 图 C.3（a）所示的是双极型晶体管电路。晶体管的三个电极分别用 E（发射极）、B（基极）和 C（集电极）表示。如图所示，晶体管的基极通过电阻 R_1 和 R_2 组成的分压回路与直流电源 V^+ 相连，集电极通过电阻 R_3 与电源 V^+ 相连，通过电阻 R_4 与地相连。为了简化电路分析，我们希望采用戴维南等效简化电路。

解：在基极一侧对电阻 R_1、R_2 和电源 V^+ 进行戴维南等效，得到直流电压源 V_{BB}：

$$V_{BB} = V^+ \frac{R_2}{R_1 + R_2}$$

及电阻 R_B：

$$R_B = R_1 // R_2$$

其中，//表示电阻之间的并联关系。在集电极一侧，对电阻 R_3、R_4 和电源 V^+ 进行戴维南等效，得到直流电源 V_{CC}：

$$V_{CC} = V^+ \frac{R_4}{R_3 + R_4}$$

及电阻 R_C：

$$R_C = R_3 // R_4$$

等效后的电路如图 C.3（b）所示。

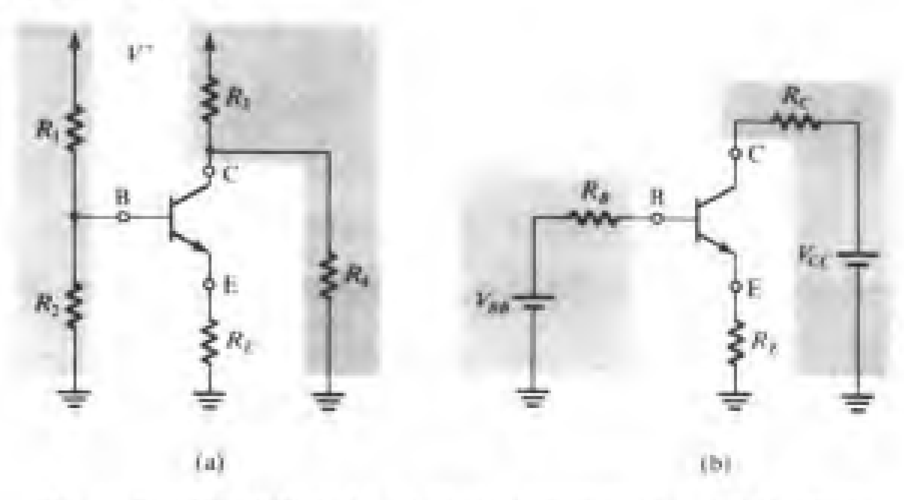


图 C.3 用戴维南等效简化（a）电路可得到电路（b）（参见例题 C.1） ■

C.3 源吸收定理

考虑图 C.4 所示的情况。在网络分析过程中，我们发现如果位于两个节点之间的受控电流源 I_x 的电压差正好就是受控电流源的控制变量 V_x，比如 $I_x = g_m V_x$，其中 g_m 是跨导，那么我们可以用一个阻抗 $Z_x = V_x/I_x = 1/g_m$ 来代替受控电流源，如图 C.4 所示。原因是该阻抗上流过的电流等于被取代的受控电流源的电流。



图 C.4 源吸收定理

例题 C.2 图 C.5（a）所示是晶体管的小信号等效电路模型。求从发射极 E 视入的电阻 R_{in}（即发射极和地之间的电阻），基极和集电极均接地。

解：从图 C.5（a）中看到，电压 v_π 等于 $-v_e$。因此从 E 和地之间视入的电阻 r_π 就与电流源相并联，该电流源从节点 E 获得 $g_m v_e$ 的电流，所以电流源是可以被一个电阻取代的，电阻的阻值等于 $1/g_m$。输入电阻 R_{in} 为：

$$R_{in} = r_\pi // (1/g_m)$$

如图 C.5（b）给出的图解。

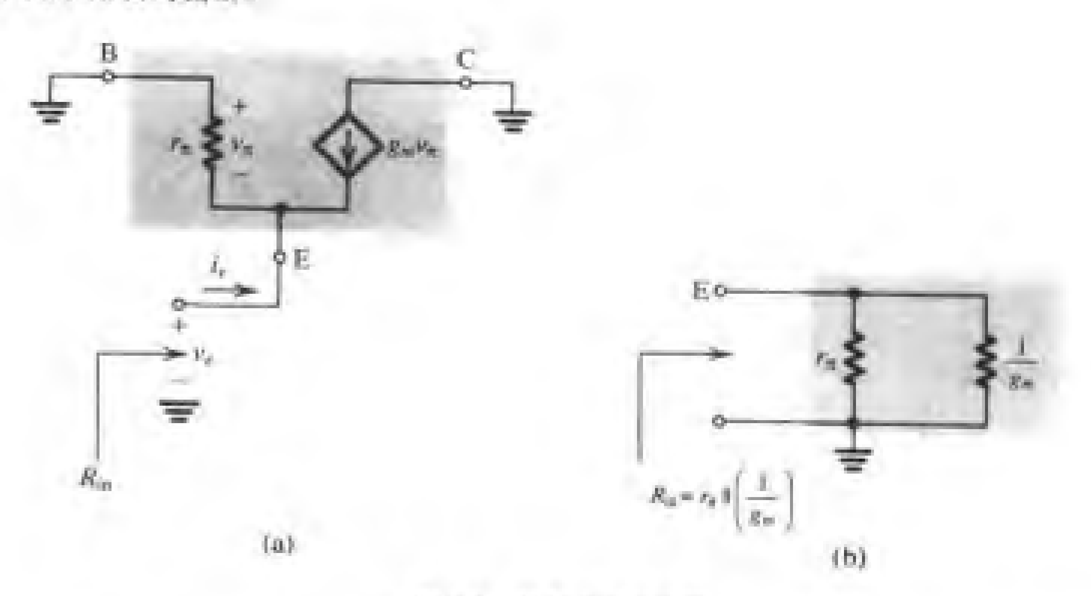


图 C.5 例题 C.2 的电路

■

练习 C.1 测得一个信号源有 10 V 的开路电压，能够提供 1 mA 的短路电流，计算戴维南和诺顿等效后的源参数。

答案：$V_t = 10\text{ V}$；$Z_t = Z_n = 10\text{ k}\Omega$；$I_n = 1\text{ mA}$

练习 C.2 在图 EC.2 所示的电路中，二极管的管压降 $V_D \approx 0.7\text{ V}$，采用戴维南定理简化该电路并计算二极管电流 I_D。

答案：1 mA

练习 C.3 含有二端器件 M 的电路如图 EC.3 所示，电流 $I_M=1\text{ mA}$ 和电压 V_M 无关，利用戴维南定理简化电路并计算电压 V_M。

答案：5 V

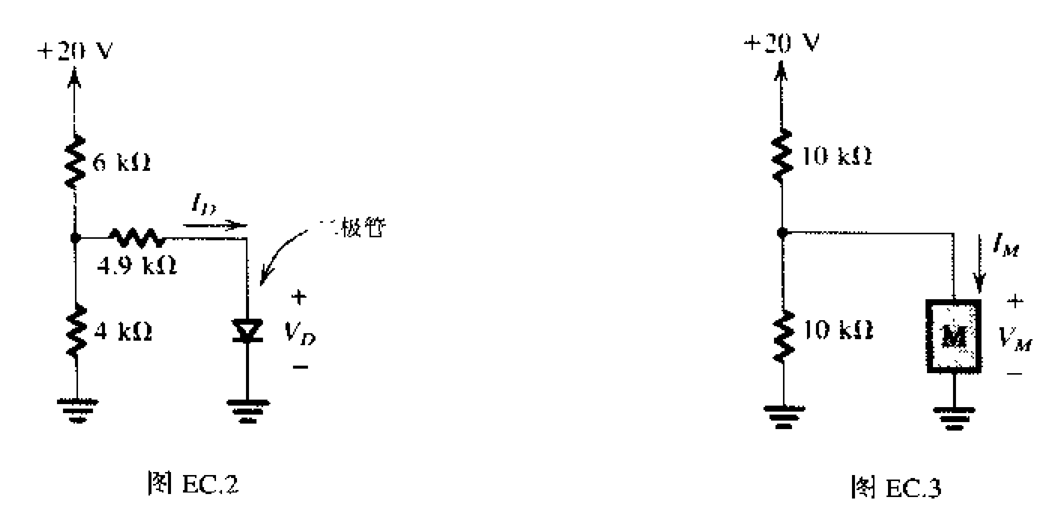


图 EC.2　　　　图 EC.3

习题

C.1 考虑 V_t 和 Z_t 表示的戴维南等效。求开路电压 V_{oc} 和短路电流（比如端点短接时流过的电流）I_{sc}，用 V_{oc} 和 I_{sc} 表示 Z_t。

C.2 对 I_n 和 Z_n 表示的诺顿等效重复习题 C.1。

C.3 分压回路由接+10 V 电源的 9 kΩ电阻和接地的 1 kΩ电阻组成。求该电路的戴维南等效形式。当负载电阻是 1 kΩ的时候，用两种方法计算输出电压：直接计算和戴维南等效计算。

C.4 求图 PC.4 所示电路的输出电压和输出电阻，建议连续使用戴维南等效。

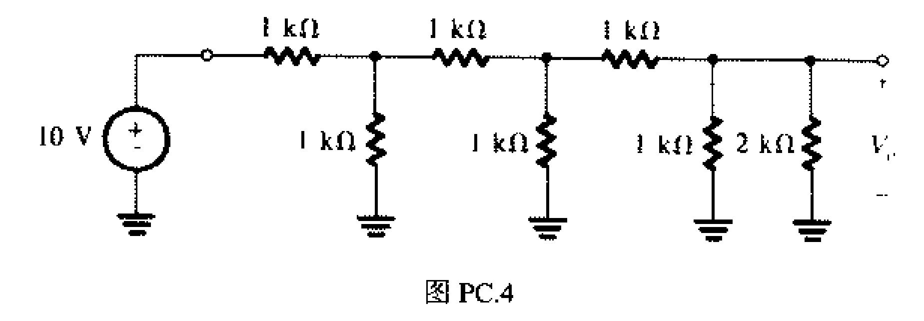


图 PC.4

C.5 重复例题 C.2 的内容。电路在节点 B 和地之间接入了电阻 R_B（不同于图 C.5 中基极 B 直接接地）。

C.6 图 PC.6（a）所示是 p 沟道结型场效应管（JFET）的电路符号。它有三个电极，当栅极 G 和源极 S 短接后，就得到了如图 PC.6（b）所示的二端器件，它的 i~v 特性关系由下式表示：

$$i=I_{\rm DSS}\left[2\frac{v}{V_P}-\left(\frac{v}{V_P}\right)^2\right]\quad 若\ v\leqslant V_P$$

$$i=I_{\rm DSS}\qquad 若\ v\geqslant V_P$$

其中，$I_{\rm DSS}$ 和 V_P 对本题而言是正的。现在考虑图 PC.6（c）所示的电路，设 $V_P=2\text{ V}$，$I_{\rm DSS}=2\text{ mA}$。当 $V^+=10\text{ V}$ 的时候，证明 JFET 工作在恒流模式下并求两端的电压。如果要维持该工作模式，问电压 V^+的最小值是多少？当 $V^+=2\text{ V}$ 时，求 I 和 V 的值。

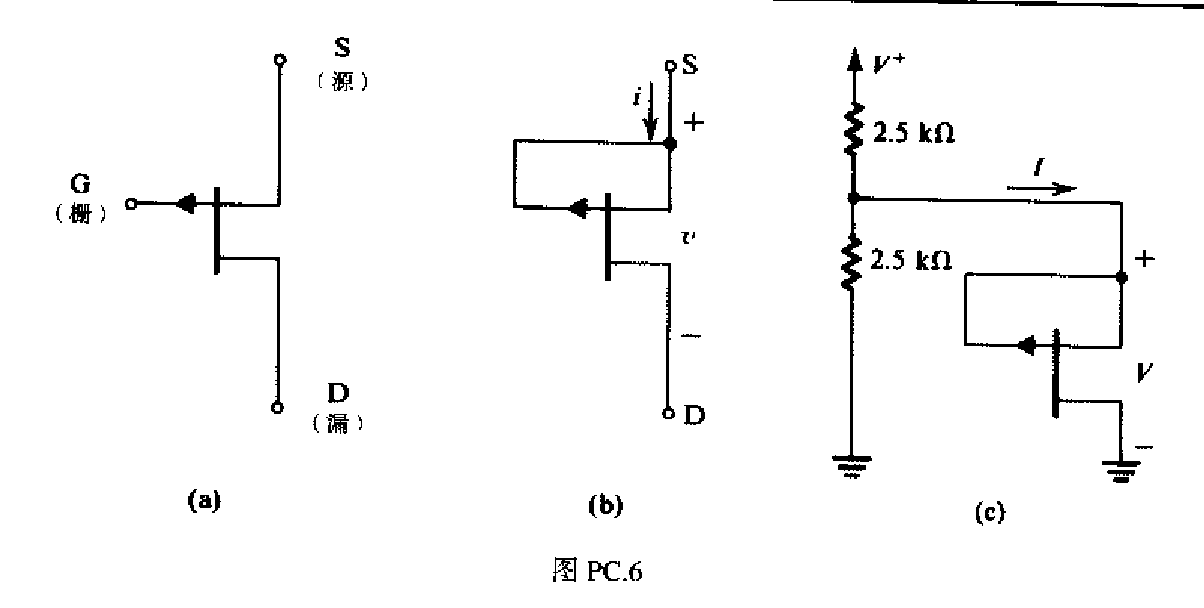


图 PC.6

附录 D　单时间常数电路

引言

单时间常数（STC）电路是指那些含有一个或者能够减少到只有一个电抗元件（电感和电容）和一个电阻的电路。STC 电路若是由电感 L 和电阻 R 构成的，那么时间常数 $\tau = L/R$；若是由电容 C 和电阻 R 构成的，时间常数 $\tau = CR$。

虽然 STC 电路相当简单，但是它们在线性电路和数字电路的分析和设计中都起着很重要的作用。比如，放大器电路的分析最终都会简化到对一个或多个 STC 电路的分析，为此我们在本附录中将复习 STC 电路在正弦信号输入和其他一些输入信号（比如阶跃和脉冲信号）作用下的频率响应的计算过程。后一种输入信号在放大器电路中应用不多，但是在开关电路（包括数字电路）中却非常重要。

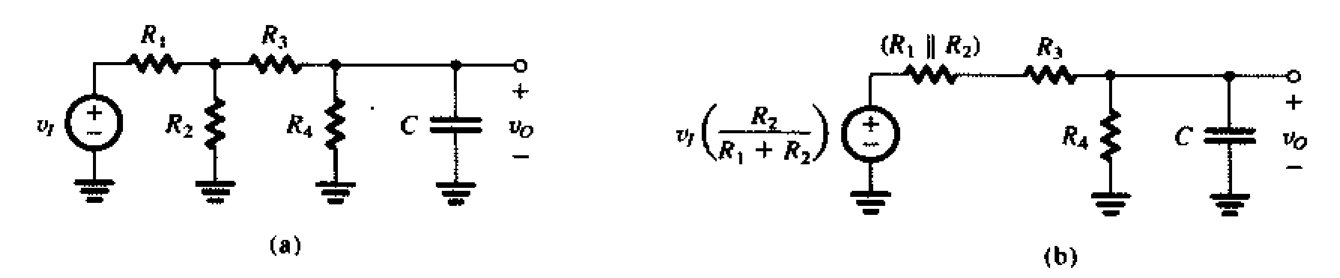
D.1　计算时间常数

分析 STC 电路的第一步是计算时间常数 τ。

例题 D.1　将图 D.1（a）所示电路简化为 STC 电路并计算时间常数。

解：电路的简化过程如图 D.1 所示，需要重复使用戴维南定理。从最后的电路图［即图 D.1（c）］中，我们可以得到时间常数为

$$\tau = C\{R_4 // [R_3 + (R_1 // R_2)]\}$$



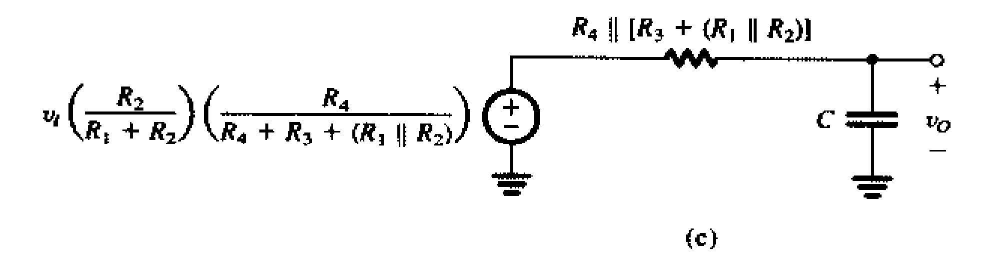


图 D.1　连续使用戴维南定理将（a）所示的电路简化为（c）所示的 STC 电路　■

D.1.1　时间常数 τ 的快速计算法

很多情况下，我们需要能够快速地得到 STC 电路的时间常数 τ。一种简单的方法是首先令激

励源等于零，即电压激励源短路，电流激励源开路，然后当电路只有一个电抗元件和一些电阻的时候，求从电抗（电感或电容）的两个端点之间视入的等效电阻 R_{eq}，则时间常数就等于 L/R_{eq} 或者 CR_{eq}。作为例子，我们求图 D.1（a）所示电路从电容 C 两端视入的等效电阻，它等于电阻 R_4 并联两个电阻的串联等效值，这两个串联电阻是 R_3 与电阻 R_1 和 R_2 并联的等效值。即

$$R_{eq} = R_4 // [R_3 + (R_2 // R_1)]$$

所以时间常数为 CR_{eq}。

有些情况下电路只存在一个电阻，但是有多个电感或电容。这时应把上述方法颠倒一下，从而简单地计算时间常数。即求从电阻两端视入的等效电感或者电容，时间常数等于 $C_{eq}R$ 或者 L_{eq}/R。例题 D.2 就是这样的一个例子。

例题 D.2 求图 D.2 所示电路的时间常数。

解： 令外加激励源等于零，即把电压源短路，则从电阻 R 两端视入的等效电容为 $C_1 + C_2$，因此时间常数 τ 为

$$\tau = (C_1 + C_2)R$$

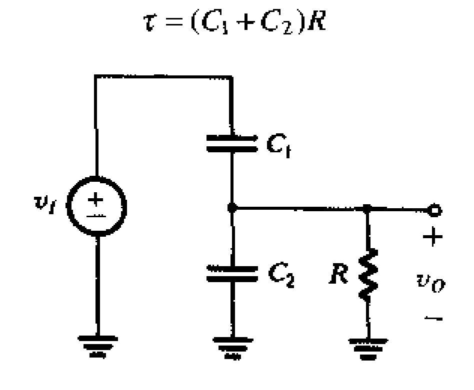


图 D.2 例题 D.2 的电路 ■

最后一种情况是电路含有一个以上的电阻和一个以上的电容（或者一个以上的电感），这时我们需要做一些工作来简化电路，见例题 D.3。

例题 D.3 证明可以采用 STC 电路时间常数的分析方法求图 D.3（a）所示电路的响应。

解： 解题的步骤如图 D.3 所示。图 D.3（b）告诉我们电路被两个相同的电压源激励。读者需要自己证明图 D.3（a）所示电路和图 D.3（b）所示电路是等效的，图 D.3（b）所示电路用到的方法非常有用。

对 XX' 左边与右边的电路应用戴维南定理，得到图 D.3（c）所示的电路。由于这是一个线性电路，因此满足叠加性原理。具体而言，输出电压 v_O 等于两个电压 v_{O1} 和 v_{O2} 的和。第一个分量 v_{O1} 是当右边的源等于零时只由左边的源激励产生的输出。从图 D.3（d）可以计算输出电压 v_{O1}。它是 STC 电路，时间常数为

$$\tau = (C_1 + C_2)(R_1 // R_2)$$

同样，我们可以求出左边激励等于零时在右边激励作用下的第二个分量 v_{O2}，具体计算可以从图 D.3（e）所示的电路求得，这是时间常数仍然为 τ 的 STC 电路。

最后需要指出的是，因为是 STC 电路，因此也可以在图 D.3（a）所示的电路中令独立源 v_I 为零，从而很快求得时间常数。

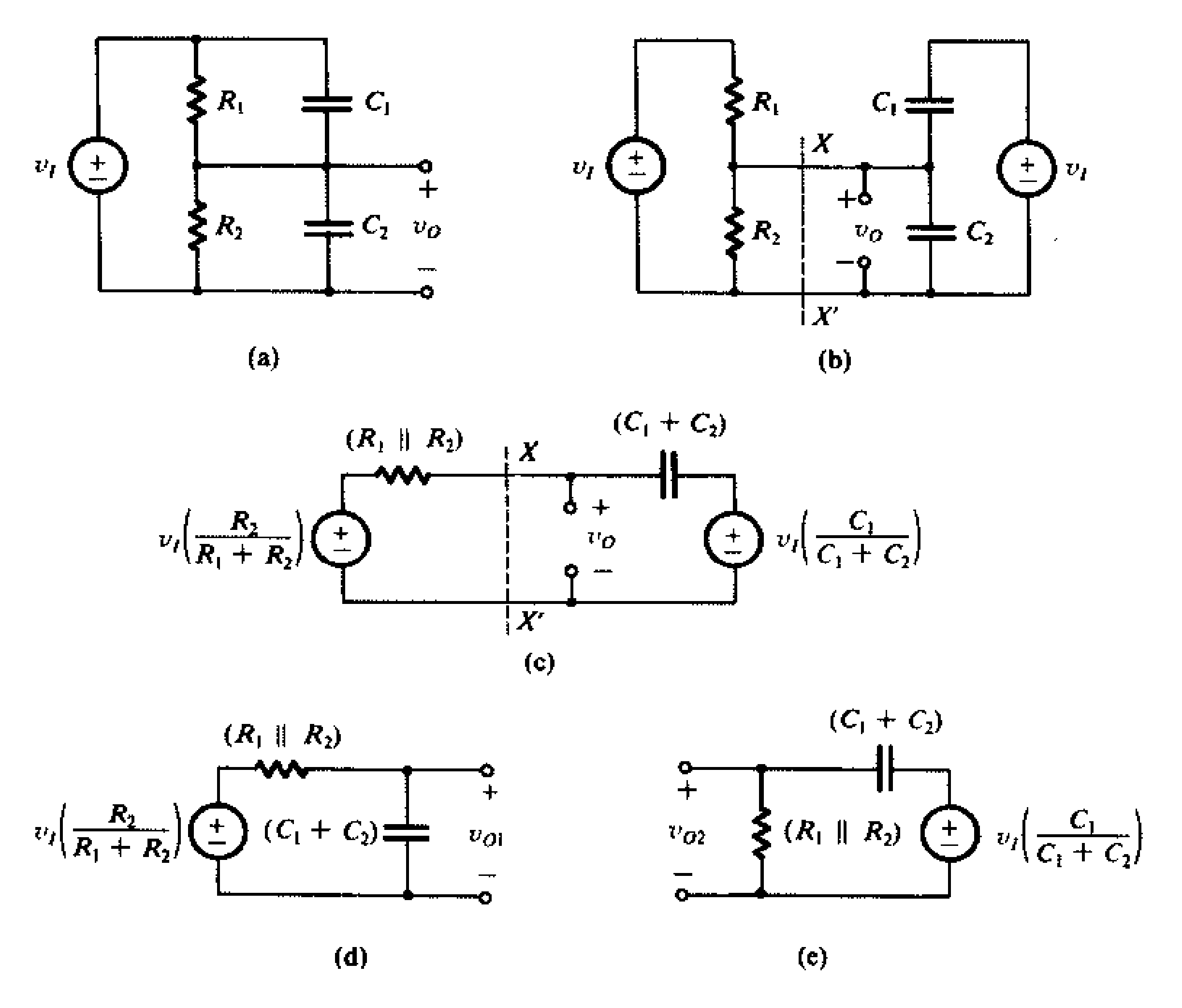


图 D.3 采用叠加原理求解电路（a）的频率响应，即将电路（d）和（e）的频率响应相加 ■

D.2 STC 电路的分类

STC 电路可以分成两类：低通（LP）和高通（HP），这两种类型的电路呈现出截然不同的信号响应。有一些方法可以识别 STC 电路是低通还是高通。最简单的是采用频域响应。具体而言，低通电路能够通过直流信号（频率等于零），对高频信号衰减，则存在$\omega=\infty$的传输零点，这样可以在$\omega=0$或者$\omega=\infty$处测量电路的类型。在$\omega=0$时，电容被开路（$1/j\omega C=\infty$），电感被短路（$j\omega L=0$），如果输出等于零，那么电路是高通类型的，当输出无限时，电路是低通类型的。反过来，也可以在$\omega=\infty$的地方测试电路，即电容短路（$1/j\omega C=0$），电感开路（$j\omega L=\infty$）。如果电路的输出是无限的，则电路属于 HP 类型；如果输出等于零，则电路属于 LP 类型。表 D.1 给出了上述结论的总结。

表 D.1 确定 STC 电路类型的规则

测试点	替换	电路为 LP 类型的条件	电路为 HP 类型的条件
$\omega=0$	C 开路	输出为无限	输出为零
	L 短路		
$\omega=\infty$	C 短路	输出为零	输出为无限
	L 开路		

图 D.4 是一个低通 STC 电路的例子，图 D.5 是一个高通 STC 电路的例子。每一个电路都标明了输入和输出变量。注意，所给的电路可以成为其他类型的电路，这取决于输入和输出变量。读者可以根据表 D.1 的规则，证明图 D.4 和图 D.5 的电路分类是正确的。

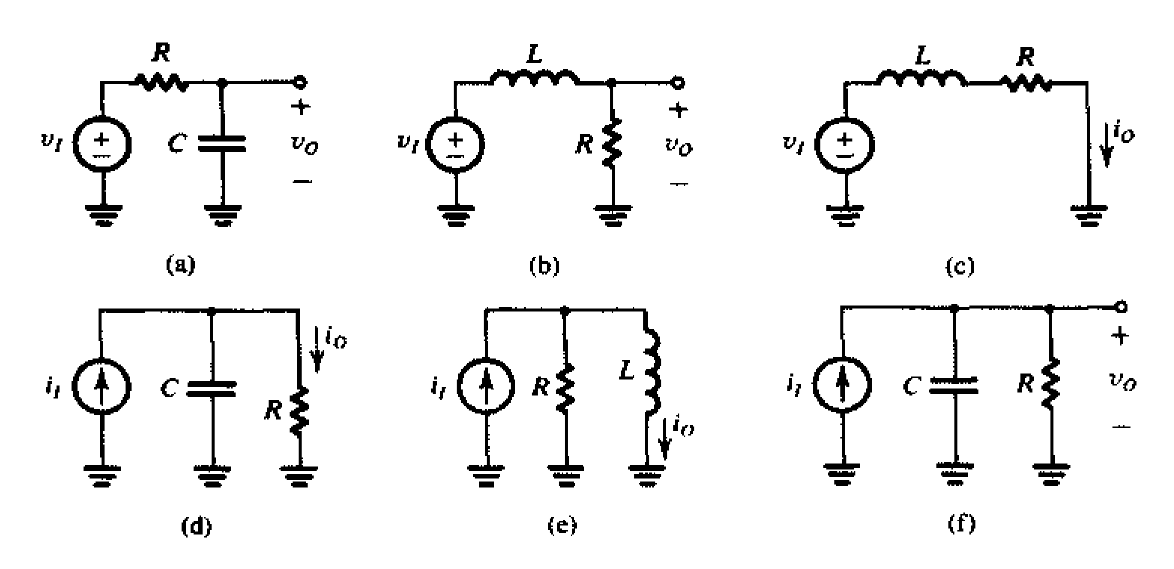


图 D.4 低通类型的 STC 电路

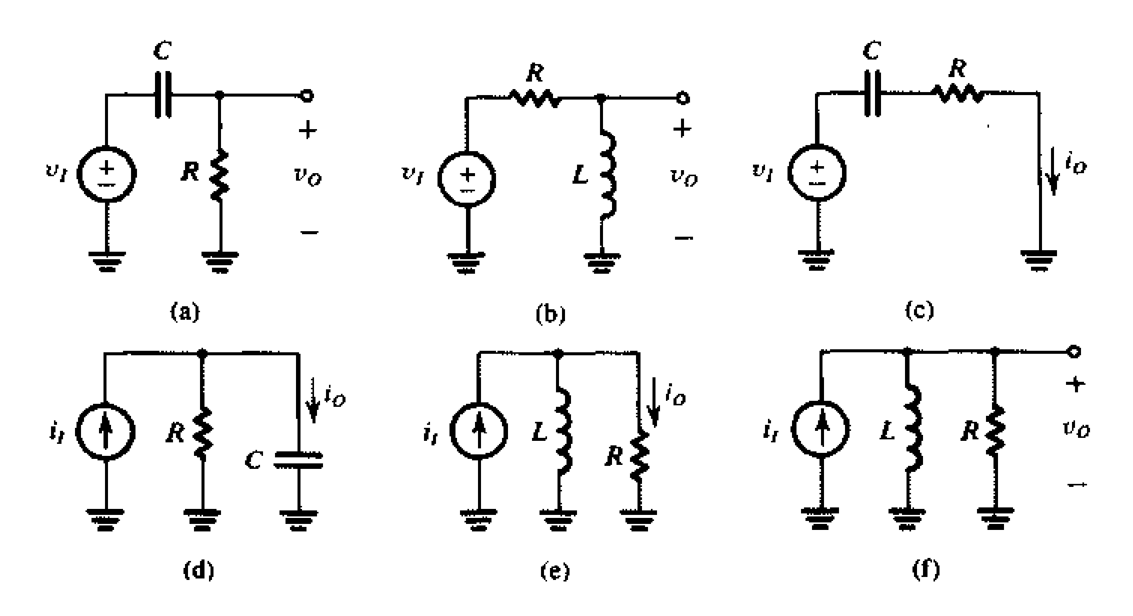


图 D.5 高通类型的 STC 电路

练习 D.1 求图 ED.1 所示电路的时间常数。

答案：(a)$\dfrac{(L_1 /\!/ L_2)}{R}$；(b)$\dfrac{(L_1 /\!/ L_2)}{(R_1 /\!/ R_2)}$

练习 D.2 对以下电路进行 STC 高通和低通电路的分类：图 D.4（a）所示的输出电流 i_O 从电容 C 流到地；图 D.4（b）所示的输出电流 i_O 从电阻 R 流到地；图 D.4（d）所示的输出电流 i_O 从电容 C 流到地；图 D.4（e）所示的输出电流 i_O 从电阻 R 流到地；图 D.5（b）所示的输出电流 i_O 从电感 L 流到地；图 D.5（d）所示的输出电压 v_O 取在电容 C 上。

答案：HP；LP；HP；HP；LP；LP

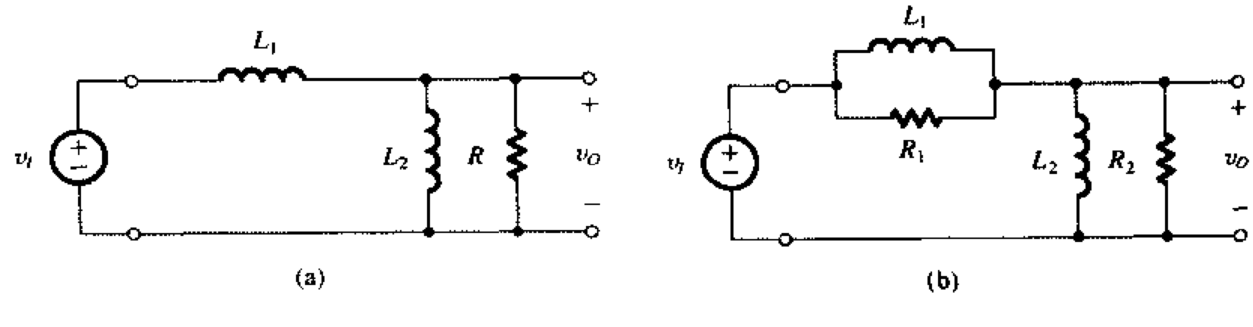


图 ED.1

D.3 STC 电路的频率响应

D.3.1 低通电路

STC 低通电路的传输函数 $T(s)$通常可以写成如下的形式：

$$T(s)=\frac{K}{1+(s/\omega_0)} \tag{D.1}$$

对物理频率，$s=j\omega$，上式变为

$$T(j\omega)=\frac{K}{1+j(\omega/\omega_0)} \tag{D.2}$$

其中，K 是传输函数在$\omega=0$（直流）的幅度，ω_0 定义为

$$\omega_0=1/\tau$$

其中的τ 就是时间常数。幅频响应可以写成

$$|T(j\omega)|=\frac{K}{\sqrt{1+(\omega/\omega_0)^2}} \tag{D.3}$$

相频响应为

$$\phi(\omega)=-\tan^{-1}(\omega/\omega_0) \tag{D.4}$$

图 D.6 画出了 STC 低通电路的幅频和相频特性曲线。图 D.6（a）所示的幅频响应曲线是根据式（D.3）得到的。幅度对直流增益 K 归一化并用分贝（dB）表示，即图中所示的曲线是 $20\log|T(j\omega)/K|$，频率轴以对数为坐标 此外，频率变量对 ω_0 归一化。如图所示，幅频特性曲线几乎由两条直线近似。低频部分的逼近是幅度为 0 dB 的水平线，为得到高频时渐近线的斜率，可以在式（D.3）中令 $\omega/\omega_0>>1$，得到

$$|T(j\omega)|\simeq K\frac{\omega_0}{\omega}$$

上式表明ω 增加一倍，幅度减小一半。在对数频率坐标上，ω 加倍的点代表频率间距相等的点，两点之间的距离称为二倍频程。幅度减半对应的分贝数正好是−6 dB，所以高频渐近线的斜率为−6 dB/二倍频程，它也等同于−20 dB/十倍频程，其中“十倍频程”指的是频率增加十倍。

幅频响应的两条直线渐近线的交点所对应的频率ω_0 称为“角频率”或者“截止频率”。实际的幅频响应与渐进的幅频响应在截止频率点上的误差最大，等于 3 dB。为了证明这一点，我们将 $\omega=\omega_0$ 代入式（D.3），得到

$$|T(j\omega_0)| = K/\sqrt{2}$$

即在$\omega=\omega_0$上的增益值和直流增益值相比下降的因子是$\sqrt{2}$，用分贝表示是下降 3 dB。角频率ω_0也称为 3 dB 频率。

与幅频响应相似，图 D.6（b）给出的相频特性曲线同样可以用直线来逼近原来的曲线。注意，在角频率上，相移值等于-45°，当$\omega >> \omega_0$时，相移接近于-90°，在$0.1\omega_0$和$10\omega_0$之间的相频特性曲线可以用斜率为-45°/十倍频程的直线来近似表示，但是实际响应与近似响应之间存在误差，误差的最大值为 5.7°。

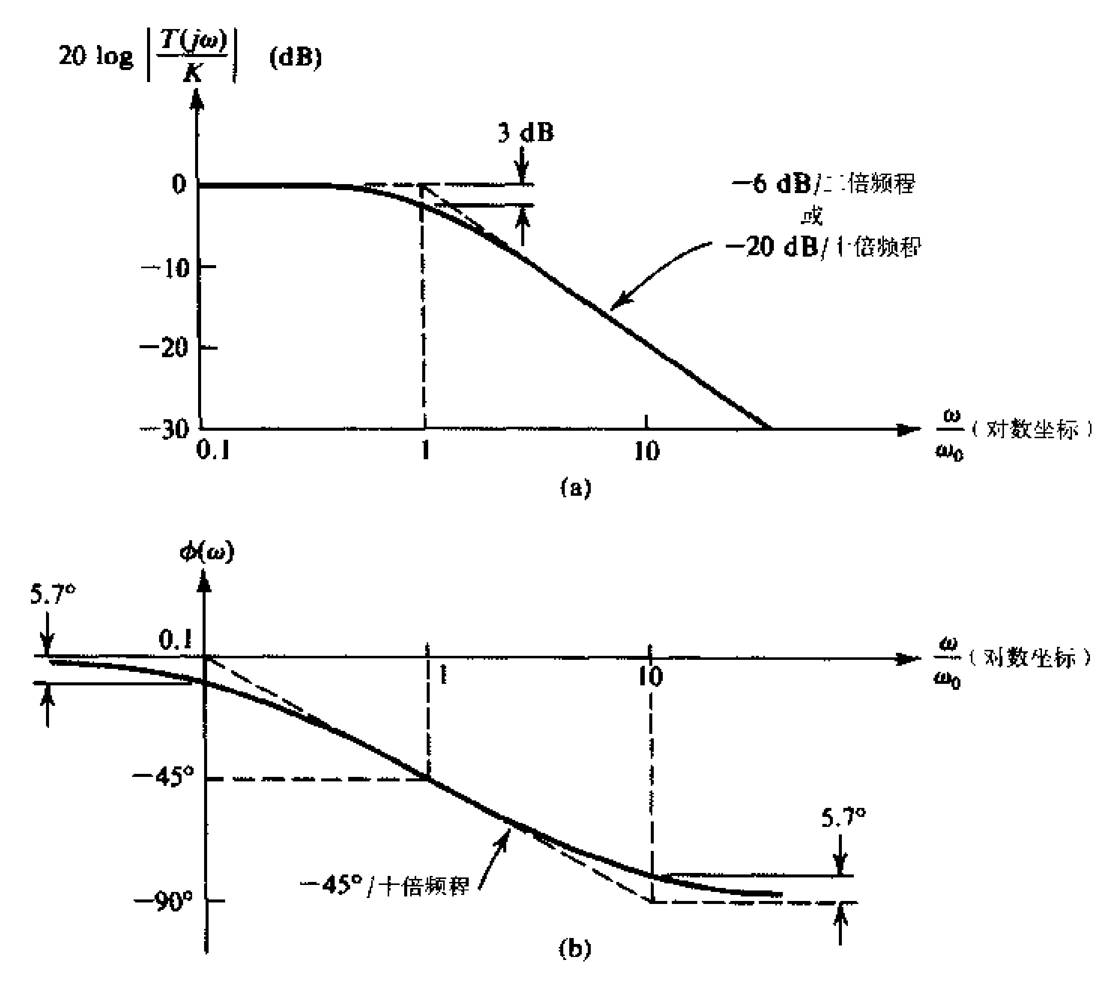


图 D.6 低通 STC 电路的幅频响应（a）与相频响应（b）

例题 D.4 考虑图 D.7（a）所示的电路，理想电压放大器的增益$\mu=-100$，在反馈回路上有一个小电容（10 pF），放大器由电压源激励，源内阻为 100 kΩ。证明该电路的频率响应V_o/V_s等同于 STC 电路，并画出幅频响应曲线。

解：直接分析图 D.7（a）所示的电路，得到传输函数为

$$\frac{V_o}{V_s} = \frac{\mu}{1+sRC_f(-\mu+1)}$$

可见它等同于 STC 低通电路，其中直流增益为$\mu=-100$（或者等于 40 dB），时间常数（$\tau = RC_f(-\mu+1) = 100\times10^3\times10\times10^{-12}\times101 \approx 10^{-4}$s），相应的截止频率$\omega_0 = 1/\tau = 10^4$ rad/s，幅频特性曲线如图 D.7（b）所示。

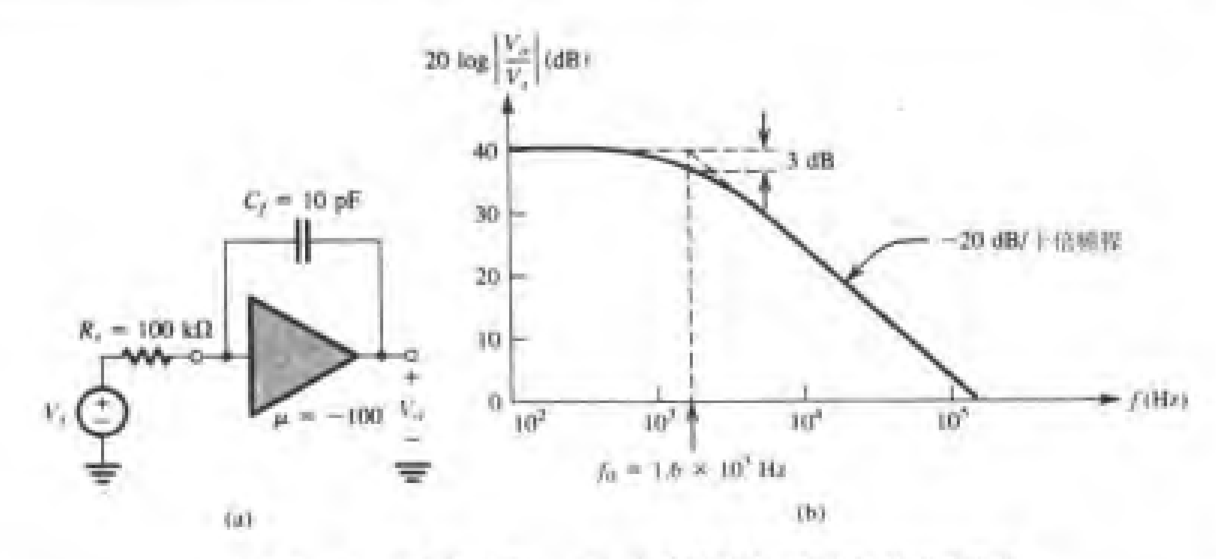


图 D.7 （a）放大器电路；（b）电路的传输函数的幅频响应曲线 ■

D.3.2 高通电路

STC 高通电路的传输函数通常可以表示成以下的形式：

$$T(s)=\frac{K_s}{s+\omega_0} \quad (D.5)$$

对物理频率 $s=j\omega$，上式可写为

$$T(j\omega)=\frac{K}{1-j\omega_0/\omega} \quad (D.6)$$

其中，K 表示 s 或者频率 ω 趋于无限时的增益值，ω_0 等于时间常数 τ 的倒数：

$$\omega_0=1/\tau$$

幅频响应

$$|T(j\omega)|=\frac{K}{\sqrt{1+(\omega_0/\omega)^2}} \quad (D.7)$$

和相频响应

$$\phi(\omega)=\tan^{-1}(\omega_0/\omega) \quad (D.8)$$

均画在图 D.8 中。与低通情况一样，幅频和相频特性都可以用直线渐近线来近似。由于与低通情况相似，所以不在此做更深入的解释。

练习 D.3 求图 ED.3 所示的 STC 低通电路的直流传输增益、角频率 f_0 和 $f=2$ MHz 的传输增益。
答案：−6 dB；3.18 kHz；−22 dB

练习 D.4 求图 D.2 所示电路的传输函数 $T(s)$，这是哪种类型的 STC 网络？

答案：$T(s)=\frac{C_1}{C_1+C_2}\frac{s}{s+[1/(C_1+C_2)R]}$；HP

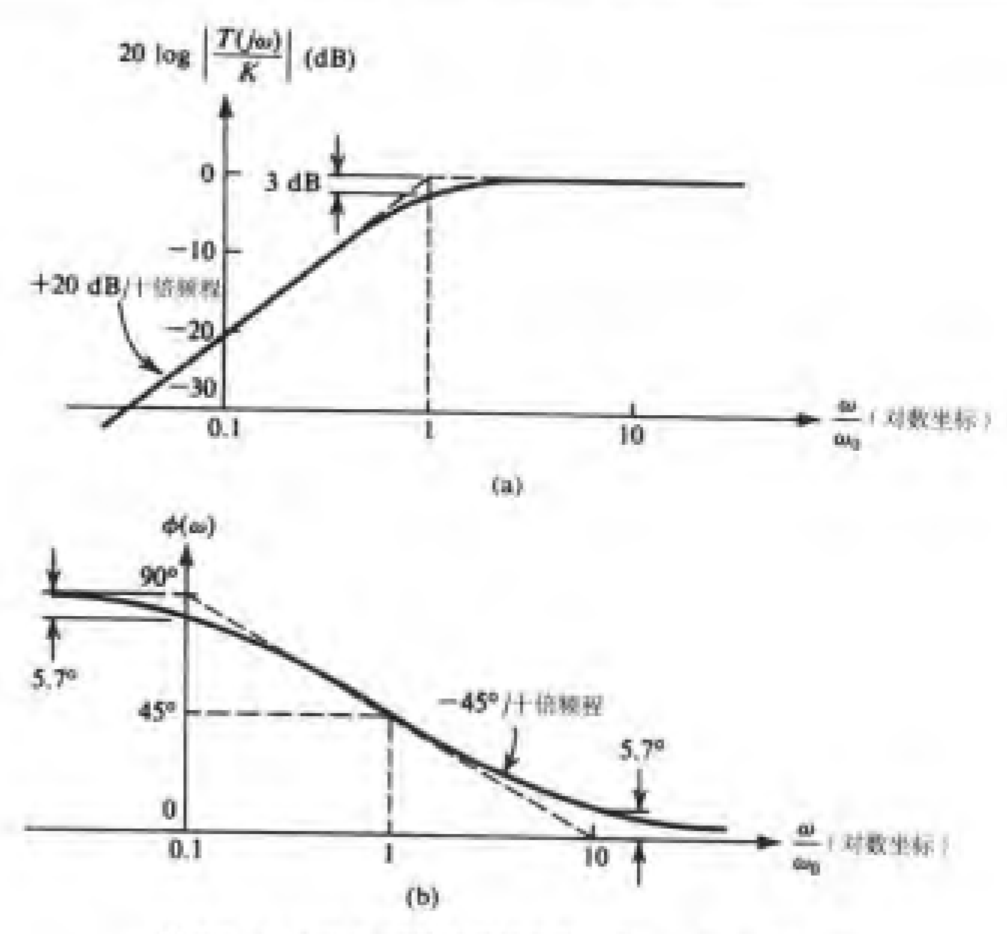


图 D.8 （a）高通 STC 电路的幅频响应；（b）相频响应

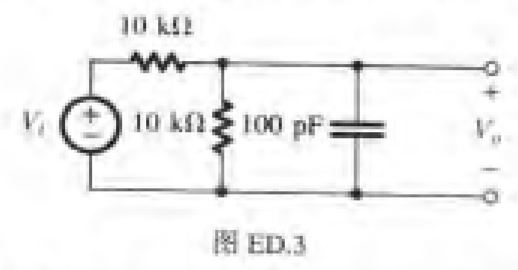


图 ED.3

练习 D.5 条件同练习 D.4，如果 $R = 10\ \text{k}\Omega$，求电容的值，使得电路的高频传输增益为 0.5 V/V，角频率 $\omega_0 = 10$ rad/s。

答案：$C_1 = C_2 = 5\ \mu\text{F}$

练习 D.6 图 ED.6 所示是一个电容耦合的放大器，假设电压放大器是理想的，求高频增益、3 dB 频率 f_0 和 $f = 1$ Hz 时的增益。

答案：40 dB；15.9 Hz；16 dB

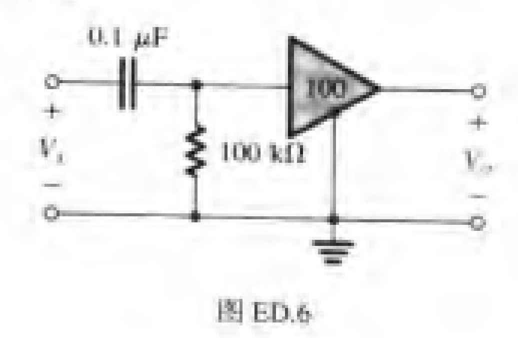


图 ED.6

D.4 STC 电路的阶跃响应

本节将讨论 STC 电路在图 D.9 所示的阶跃函数信号作用下的响应。对阶跃响应的了解有助于快速估算其他开关信号波形的响应，比如脉冲和方波信号。

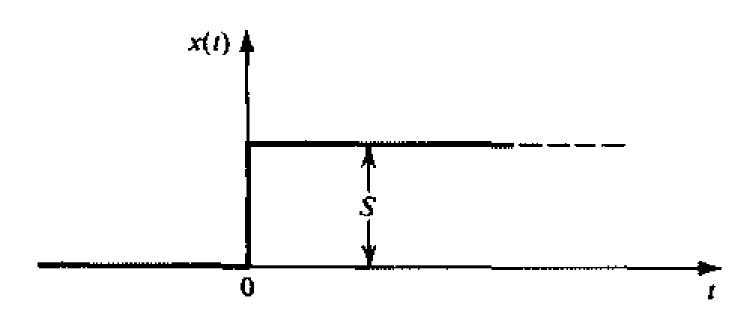


图 D.9 高度为 S 的阶跃函数

D.4.1 低通电路

低通 STC 电路（直流增益 K 等于 1）对一个高度为 S 的阶跃信号响应的输出波形如图 D.10 所示。注意，输入信号从 0 上升到 S 是在 $t=0$ 时完成的，但输出并没有立即响应瞬时的输入变化，而是按指数规律上升到最终的输入直流电压值 S。从长远来看，当 $t>>\tau$ 时，输出达到直流值 S，证明低通电路能够传输直流信号。

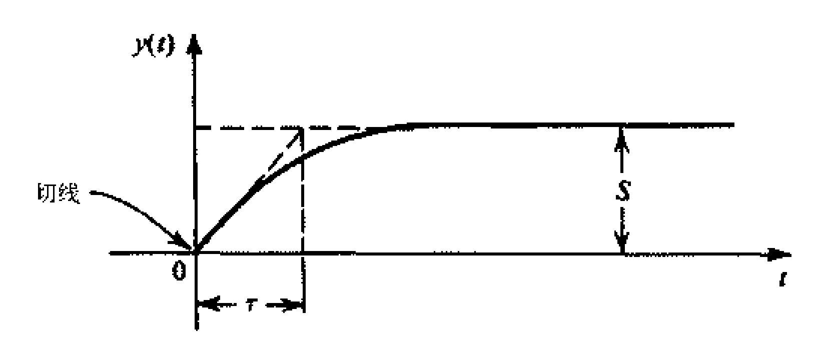


图 D.10 低通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

输出信号波形可以从下面的表达式得到：

$$y(t)=Y_{\infty}-(Y_{\infty}-Y_{0+})e^{-t/\tau} \quad (D.9)$$

其中，Y_{∞} 表示输出最终能够达到的值或者输出的上限值，Y_{0+} 表示输出在 $t=0$ 时的值。上述等式表明在任何时刻 t，输出信号等于最终值 Y_{∞} 和初始值 $Y_{\infty}-Y_{0+}$ 按照指数规律收缩之后的差。在这个具体例子中，$Y_{\infty}=S$，$Y_{0+}=0$，所以，

$$y(t)=S(1-e^{-t/\tau}) \quad (D.10)$$

读者可以注意 $t=0$ 时 $y(t)$ 的斜率，这在图 D.10 中有相应的表示。

D.4.2 高通电路

STC 高通电路（高频增益 $K=1$）对高度为 S 的阶跃信号的响应如图 D.11 所示。高通电路准确传输输入信号的瞬变部分（阶跃的上升沿），但抑止直流部分。因此在 $t=0$ 时，输出跟随输入：

$$Y_{0+}=S$$

然后衰减到零：

$$Y_{\infty}=0$$

将 Y_{0+} 和 Y_{∞} 代入式（D.9），得到输出 $y(t)$：

$$y(t)=Se^{-t/\tau} \tag{D.11}$$

注意 $t=0$ 时 $y(t)$的斜率，这在图 D.11 中有所表示。

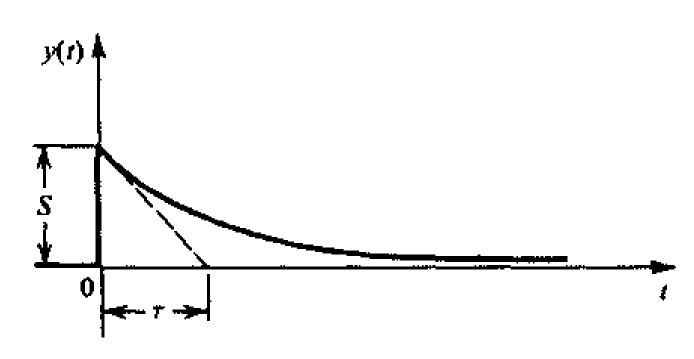


图 D.11 高通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

例题 D.5 本例是例题 D.3 的继续。当输入是高度为 10 V 的阶跃信号时，求输出也是一个完整的阶跃信号的条件。

解：继续对例题 D.3 进行分析（如图 D.3 所示），我们有

$$v_{O1}=k_r[10(1-e^{-t/\tau})]$$

其中，

$$k_r\equiv\frac{R_2}{R_1+R_2}$$

以及

$$v_{O2}=k_c(10e^{-t/\tau})$$

这里，

$$k_c\equiv\frac{C_1}{C_1+C_2}$$

和

$$\tau=(C_1+C_2)(R_1 // R_2)$$

所以，

$$\begin{aligned}v_O&=v_{O1}+v_{O2}\\&=10k_r+10e^{-t/\tau}(k_c-k_r)\end{aligned}$$

上式表明，输出若要成为一个完整的阶跃信号，必须设定以下参数：

$$k_c=k_r$$

即电阻上的分压比必须设置成等于电容上的分压比。

该例题说明了一种很重要的技术，称为“补偿衰减”。这种技术主要应用在示波器探头的设计中。有关示波器探头的问题曾在习题 D.3 中进行了讨论。■

练习 D.7 求图 D.4（f）所示电路的 v_O。设 i_I 是 3 mA 的阶跃信号，电阻 $R = 1\ \text{k}\Omega$，电容 $C = 100$ pF。

答案： $3(1-e^{-10^7 t})$

练习 D.8 求图 D.5（f）所示电路的电压 $v_O(t)$。设电流 i_I 是 2 mA 的阶跃信号，电阻 $R = 2\ \text{k}\Omega$，电容 $L = 10\ \mu\text{H}$。

答案： $4e^{-2\times10^8 t}$

练习 D.9 图 ED.6 所示放大器电路的激励源能够提供 20 mV 的阶跃电压，如果信号源的内阻是 100 kΩ，求时间常数 τ 和 $v_O(t)$

答案： $\tau = 2\times10^{-2}\text{s}$；$v_O(t) = 1\times e^{-50t}$

练习 D.10 设图 D.2 所示电路中的电容 $C_1 = C_2 = 0.5\ \mu\text{F}$，$R = 1\ \text{M}\Omega$，当输入电压 $v_I(t)$是 10 V 的阶跃信号时，求输出电压 $v_O(t)$。

答案： $5e^{-t}$

练习 D.11 证明图 D.11 所示的指数曲线下的面积等于高度为 S、宽度为 τ 的矩形面积。

D.5 STC 电路的脉冲响应

图 D.12 所示的是一个高度为 P、宽度为 T 的脉冲信号。我们希望找到 STC 电路对该信号的输出响应。注意，脉冲信号可以看成是两个阶跃信号的叠加：一个起始于 $t = 0$，是高度为 P 的正阶跃；另一个是起始于 $t = T$ 的高度为 P 的负阶跃。这样线性电路的输出响应就是电路对这两个阶跃的输出响应进行叠加的结果。

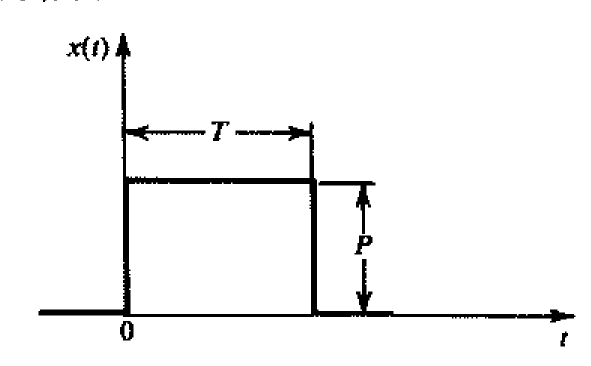


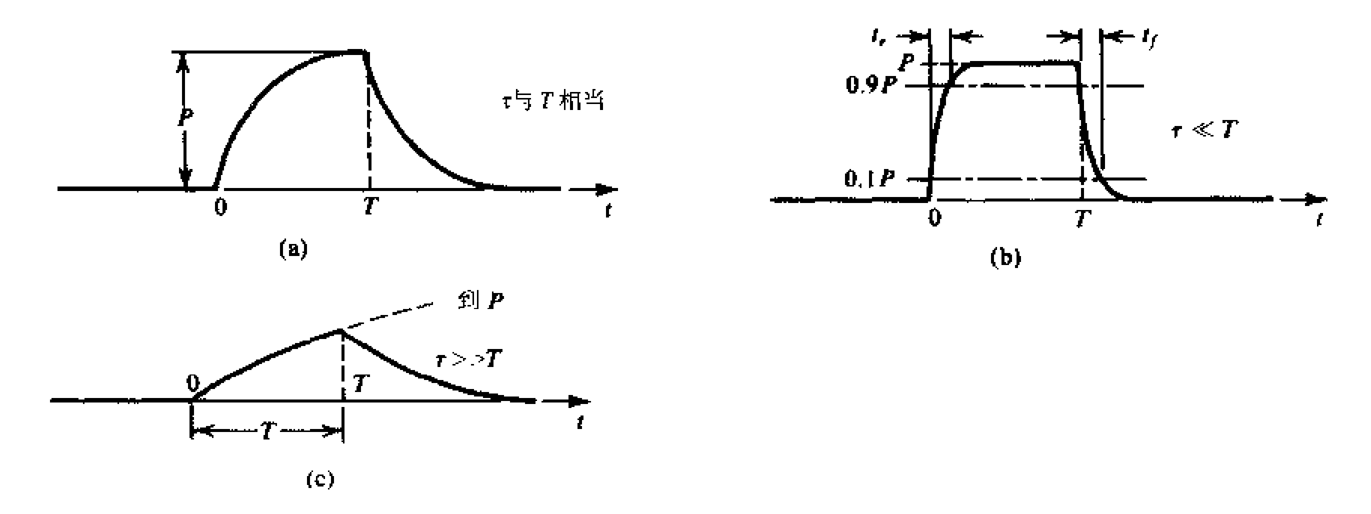
图 D.12 高度为 P、宽度为 T 的脉冲信号

D.5.1 低通电路

图 D.13（a）所示是 STC 低通电路（直流增益为单位 1）对图 D.12 所示的脉冲信号的输出响应波形。在这个例子中，我们假设时间常数 τ 和脉宽 T 相当。正如我们在前面所叙述的，LP 电路对阶跃信号的响应不可能在脉冲的上升沿立即达到脉冲的高度 P，相反，输出是指数增加的，直至达到最终的值 P。然而，指数增长会在 $t = T$ 时被停止，即在脉冲的下降沿，对应输入进入负阶跃段。然后，输出将按指数规律衰减，直至达到最终的输入值——零。最后我们注意到，输出波形下的面积等于输入脉冲波形下的面积，原因是低通电路如实地传输了直流信号。

当脉冲信号从电子系统的一部分连接到另一部分的时候，低通效应就会显现。这种情况下的低通电路通常由产生信号的这部分系统的输出电阻（戴维南等效电阻）和信号激励的这部分系统的输入电容组成，产生的低通滤波器将对电路造成脉冲信号的失真，如图 D.13（a）所示。设计

得很好的电路通过把时间常数τ设置为远远低于脉宽T可以把失真减到很小，得到如图D.13（b）所示的圆脉冲边沿。当然，边沿仍然是呈指数变化的。



图D.13　低通STC电路的三种脉冲响应

由寄生（不想要的）低通电路产生的脉冲信号的失真一般用它的上升时间和下降时间来表示。上升时间通常定义为幅度从最终值的10%上升到90%的时间。同样，下降时间是指从最大值的90%下降到10%所需要的时间。图D.13（b）给出了这个定义的图解。利用输出波形上升和下降的指数表达式很容易可以求出下式：

$$t_r = t_f \simeq 2.2\tau \tag{D.12}$$

用$f_0 = \omega_0 / 2\pi = 1/2\pi\tau$表示，则有

$$t_r = t_f \simeq \frac{0.35}{f_0} \tag{D.13}$$

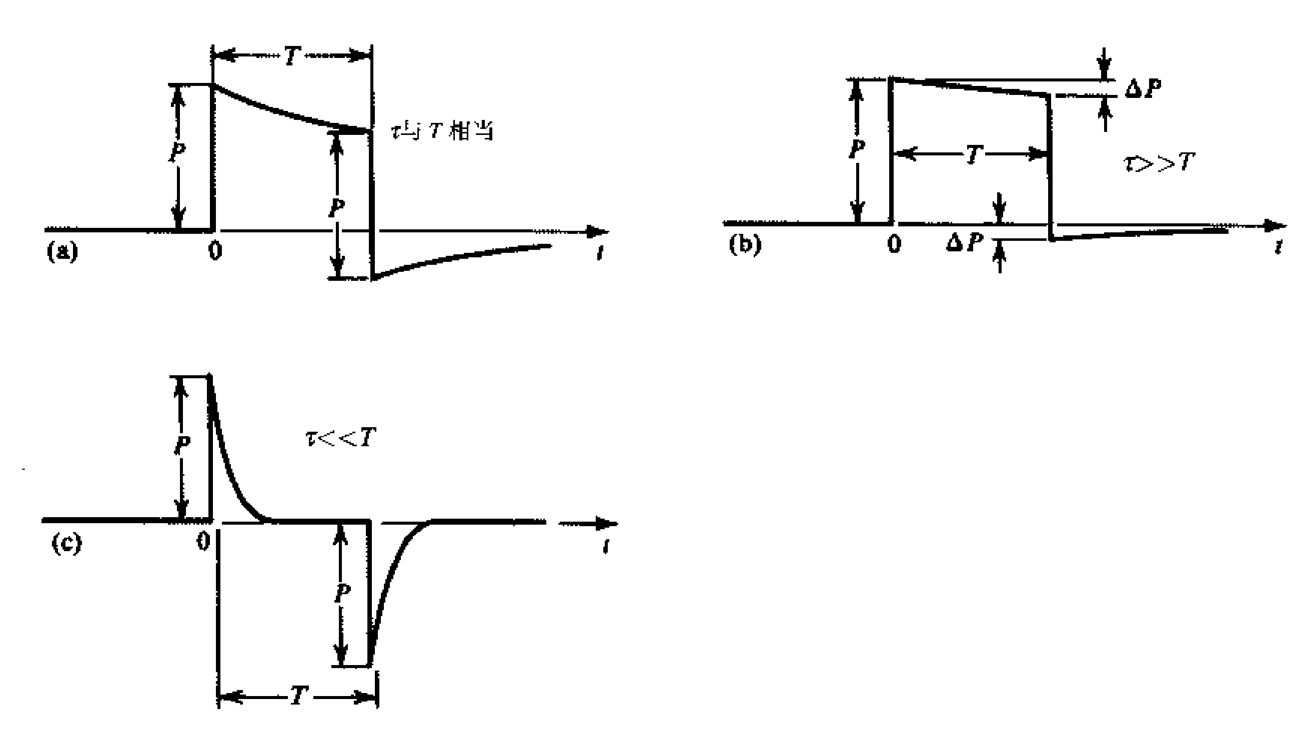
现在我们看到总是存在于系统中的寄生低通电路的效应是减慢了系统的运行，因为为了将失真保持在可以接受的范围内，人们必须采用比较长的脉宽信号（对已经给定时间常数的低通系统来说）。

另一种极端情况是时间常数τ远大于脉宽T，如图D.13（c）所示。我们看到输出波形按指数向P上升，但是因为$\tau >> T$，因此在$t = T$时，输出达到的幅度值远小于P，而此刻已经开始按指数向零值下降了，结果输出波形和输入波形的相似程度很小。我们也注意到，由于在$\tau >> T$，因此从$t = 0$到$t = T$这段时间内的指数曲线几乎是线性的。由于线性曲线的斜率与脉冲高度成正比，所以输出波形近似等于输入脉冲对时间的积分。即低通网络在时间常数相当大的时候，其功能如同一个积分器。

D.5.2　高通电路

图D.14（a）所示是STC高通电路（高频增益为单位1）对图D.12所示脉冲信号的输出响应波形，假设τ和T在数值上是相当的。如图所示，输入阶跃信号上升沿的传输在高通电路的输出端被忠实地再现，然而因为高通电路对直流信号是抑制的，所以输出信号波形马上开始以指数规律向零衰减，但是衰减过程在$t = T$时被终止。因为输入信号转为负的阶跃，高通电路要忠实地再现此信号，结果在$t = T$时输出呈现下冲，然后开始以指数规律向零衰减。我们注意到这样一个事实，输出信号波形在零轴以上的面积等于零轴以下的面积，所以总平均面积等于零。这与高通电路能够阻隔直流信号的结论一致。

在许多应用中，STC高通电路的作用是把脉冲信号从系统的这部分耦合到系统的那部分。这一类应用要求脉冲波形的失真尽可能小，具体实现时是通过选择时间常数τ，使其远大于脉宽T。如果条件满足，脉冲幅度在脉冲持续时间T内的损失会很小，如图D.14（b）所示，但是输出信号波形仍然存在负信号输出，而且负波形部分的面积等于正波形部分的面积。



图D.14 高通STC电路的三种脉冲响应

考虑图D.14（b）所示的波形，由于τ远大于T，呈指数衰减的曲线在$t=0$到$t=T$这一段近似为直线，它的斜率等于指数曲线在$t=0$处的斜率，即等于P/τ。我们可以利用这个斜率来确定幅度的损失ΔP：

$$\Delta P \simeq \frac{P}{\tau}T \tag{D.14}$$

高通电路对脉冲响应的失真效应通常用脉幅（即脉冲幅度）损失的百分比或者每单位的脉幅损失来表示，其数值也称为输出脉冲的下垂百分比：

$$\text{下垂百分比} \equiv \frac{\Delta P}{P}\times 100 \tag{D.15}$$

即

$$\text{下垂百分比} \simeq \frac{T}{\tau}\times 100 \tag{D.16}$$

注意，在$t=T$时下冲信号的幅度等于ΔP。

另一种极端情况是$\tau << T$，如图D.14（c）所示，指数衰减相当快，以至于在脉冲上升沿后很短的时间内输出就几乎成为零。而在脉冲的下降沿输出是负的，幅度近似等于脉幅P，然后迅速按指数规律衰减至零，如图D.14（c）所示。输出波形几乎不能重现输入脉冲的形式。输出含有两个尖峰信号：上升沿处的一个尖峰和下降沿处的一个尖峰。注意，输出信号的持续时间几乎等于输入脉冲的导数时间。这表明对$\tau << T$的情况，高通电路近似于一个微分器。但这不是一个

理想的积分器，因为理想积分器产生的是两个冲击信号，不过时间常数非常短的 STC 高通电路仍然被用来在输入波形转换的时候产生尖脉冲或者尖峰信号。

练习 D.12 1μs 的脉冲信号通过一个截止频率为 10 MHz 的低通 RC 电路，求上升时间。

答案：35 ns

练习 D.13 考虑图 D.13（c）所示的 STC 低通电路的脉冲响应。设τ=100T，求 $t=T$ 时的输出电压。再求输出波形在 $t=0$ 和 $t=T$ 时上升段的斜率差（用 $t=0$ 时斜率的百分比表示）。

答案：0.01P；1%

练习 D.14 放大器的输出级通过耦合电容 C 与另一级的输入端相连，如果第一级的输出电阻是 10 kΩ，第二级的输入电阻是 40 kΩ，求最小的电容值 C，使得 10μs 的脉冲信号作用后产生的下垂低于 1%。

答案：0.02μF

练习 D.15 STC 高通电路的时间常数是 100μs，激励是高度为 1 V、脉宽为 100μs 的脉冲，计算输出信号波形中下冲的值。

答案：0.632 V

习题

D.1 考虑图 D.3(a)所示的电路，它的等效电路如图 D.3(d)和(e)所示，输出电压 $v_O = v_{O1} + v_{O2}$ 是低通和高通电路输出电压的和。每个电路的时间常数都为 $\tau = (C_1 + C_2)(R_1 /\!/ R_2)$。如果要使低通电路在频率等于零和高通电路在频率等于无限时对电路的贡献一致，求电路应该满足的条件。证明该条件可以表示成 $C_1R_1 = C_2R_2$。如果条件满足且 $R_1 = R_2$，画出 $|V_o/V_i|$ 与频率的关系曲线。

D.2 利用电压分压规则求图 D.3(a)所示电路的传输函数 $V_o(s)/V_i(s)$。证明当电路满足 $C_1R_1 = C_2R_2$ 的条件时，传输函数与频率无关。满足这个条件的电路也称为补偿衰减器。求用 R_1 和 R_2 表示的传输函数。

D**D.3 图 D.3（a）所示的电路也称为补偿衰减器（见习题 D.1 和 D.2），它可以应用于示波器探头中，目的是减小进入示波器输入放大器的电压，而且电压的衰减与频率无关。探头本身包含 R_1 和 C_1，R_2 和 C_2 是用来模拟示波器输入电路的。对示波器而言，一般其输入电阻是 1 MΩ，输入电容是 30 pF，设计一个有补偿的“10：1 的探针”，即探针对信号的衰减倍数是 10。当探针和示波器连接时，求探针的输入阻抗，即在图 D.3（a）所示电路中从 v_I 端口视入的输入阻抗。证明该输入阻抗的值是示波器本身阻抗的 10 倍。这是 10：1 探针的最大好处。

D.4 在图 D.4 和图 D.5 所示的电路中，令 L = 10 mH，C = 0.01μF，R = 1 kΩ，求相角等于 45° 时的频率。

*D.5 电压放大器的开路电压增益 A_{vo} = −100 V/V，R_o = 0，R_i = 10 kΩ，输入电容 C_i（与电阻 R_i 并联）的值是 10 pF。放大器有一个反馈电容（连接输入和输出）C_f = 1 pF，放大器的电压激励源 V_s 的内阻 R_s = 10 kΩ。求放大器的输出函数 $V_o(s)/V_s(s)$，并画出幅频波特图（dB~对数频率）。

D.6 某电路如图 PD.6 所示，假设电压放大器是理想的。推导传输函数 $V_o(s)/V_i(s)$，STC 电路是哪种类型的？当电容 C = 0.01 μF，R = 100 kΩ时，求角频率。

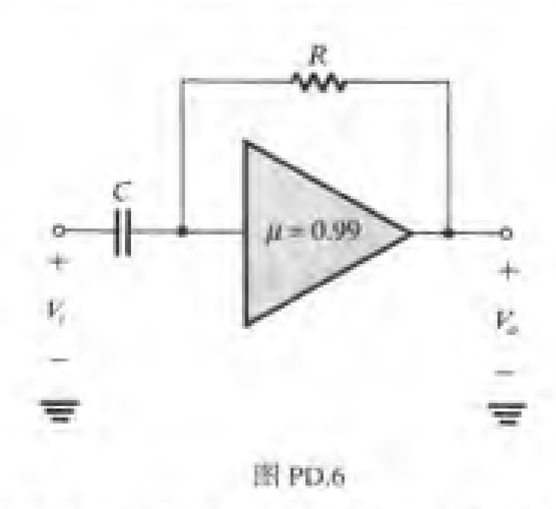


图 PD.6

D.7 某电路如图 D.4(b)和图 D.5(b)所示，当输入电压是 10 V 的阶跃信号时，求输出电压 $v_O(t)$。设 $R = 1\ \text{k}\Omega$，$L = 1\ \text{mH}$。

D.8 考虑 STC 低通电路对 10 V 阶跃输入信号的指数响应，求输出电压达到 5 V、9 V、9.9 V 和 9.99 V 时的时间，用时间常数 τ 表示。

D.9 示波器的高频响应可以用 STC 低通电路的频率响应来表示，低通电路的角频率为 100 MHz。如果示波器用于显示理想的阶跃信号波形，预计观察到的上升时间（10%到 90%）是多少？

D.10 示波器对阶跃信号的响应类似于低通 STC 电路，上升时间为 t_s 秒。如果输入信号显示的上升时间为 t_w，那么根据经验公式 $t_d = \sqrt{t_s^2 + t_w^2}$ 可以求得看到的波形的上升时间为 t_d 秒。如果 $t_s = 35\ \text{ns}$，求示波器的 3 dB 带宽是多少？在波形上升到 100 ns、35 ns 和 10 ns 时观察到的上升时间分别是多少？如果波形显示的上升时间是 49.5 ns，那么实际上升时间是多少？

D.11 脉冲信号的幅度是 10 V，脉宽是 10 ms，该脉冲通过一个系统，该系统具有 STC 高通电路的特性，角频率为 10 Hz，预计下冲是多少？

D.12 将一个时间常数是 τ 的 RC 积分器用做短脉冲检测器。当 $T >> \tau$ 的长脉冲作为输入激励的时候，输出信号的正、负幅度相等，当脉宽为多少时可以使得正、负幅度之间存在 10%的偏差？

D.13 STC 高通电路的时间常数是 1 ms，激励信号是脉幅为 10 V，脉宽为 1 ms 的脉冲信号，计算输出波形下冲的幅度值。如果希望输出下冲的幅度不超过 1 V，需要的时间常数是多少？

DD.14 电容 C 被用做放大器的输出和下一级输入之间的耦合器件，如果第一级的输出电阻是 2 kΩ，第二级的输入电阻是 3 kΩ，求使得 1 ms 的脉冲信号呈现出低于 1%的下垂的电容 C 的值。相应的 3 dB 带宽是多少？

DD.15 某 RC 积分器被用于将电压变化为 V 的阶跃信号转换成单脉冲并用于数字逻辑应用中。积分器驱动两种明显的信号，高于 $V/2$ 的是高电平，低于 $V/2$ 的是低电平，求电路的时间常数，要求在把阶跃输入转换成脉冲输出时其高电平能持续 10μs。

DD.16 考虑图 D.7(a)所示的电路，设 $\mu = -100$，$C_f = 100\ \text{pF}$，放大器是理想的。求使得增益 $|V_o/V_i|$ 的 3 dB 带宽是 1 kHz 的电阻 R 的值。

附录E　s域分析——极点、零点和波特图

在分析放大器频率响应时，有许多工作都会涉及到求放大器的电压增益，该增益又都是复频率 s 的函数。在做 s 域分析时，电容 C 被导纳 sC 或阻抗 $1/sC$ 取代，电感 L 被阻抗 sL 取代 因此，采用通常的电路分析技术即可以推导出传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

练习 E.1　求图 EE.1 所示 STC 网络的电压传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

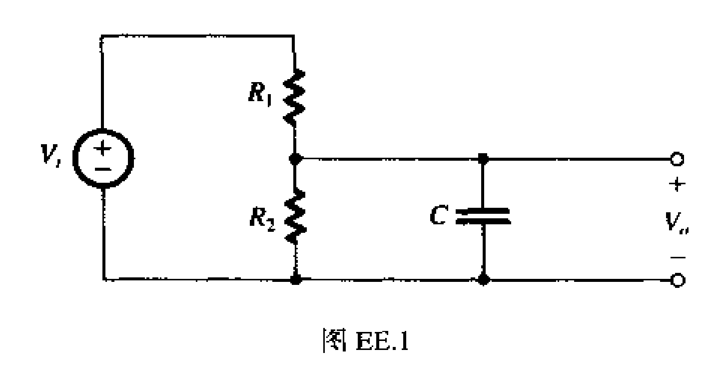


图 EE.1

答案：$T(s) = \dfrac{1/CR_1}{s + 1/C(R_1 // R_2)}$

一旦得到传输函数 $T(s)$，在 s 被物理频率 $j\omega$ 代替后，就可以进行估算。得到的传输函数 $T(j\omega)$ 通常是复数，该复数的幅度表示放大器的幅频（传输）响应，幅角表示放大器的相频响应。

很多情况下并不需要代入 $s = j\omega$来求解幅频响应 $T(j\omega)$ 。事实上，传递函数 $T(s)$的形式本身包含许多有用的电路性能。本书讨论的电路的传递函数 $T(s)$一般可以表示成如下的形式：

$$T(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \cdots + a_0}{s^n + b_{n-1} s^{n-1} + \cdots + b_0} \tag{E.1}$$

其中，系数 a 和 b 都是实数，分子多项式的次数 m 小于等于分母多项式的次数 n，后者也称为网络的阶数。另外，对一个稳定的电路（即不会自己产生信号的电路），所有分母多项式的系数必须保证分母多项式的根的实部都是负的。关于放大器的稳定性问题可参见第 8 章。

E.1　极点与零点

$T(s)$的另外一个表达式是

$$T(s) = a_m \frac{(s - Z_1)(s - Z_2)\cdots(s - Z_m)}{(s - P_1)(s - P_2)\cdots(s - P_n)} \tag{E.2}$$

其中，a_m是乘积系数（分子多项式 s^m的系数），Z_1，Z_2，…，Z_m是分子多项式的根，P_1、P_2、…，P_n是分母多项式的根。Z_1、Z_2，…，Z_m称为传输函数的零点或传输零点，P_1，P_2，…，P_n称为传输函数的极点，或称网络的自然模式。传输函数可以由它的零点、极点和乘积系数完全确定。

极点和零点可以是实数，也可以是复数。但是因为系数 a 和 b 都是实数，所以如果存在复数

极点（或零点）的话，必定是共轭复数对。比如，$5+j3$ 是零点，那么 $5-j3$ 也必定是零点。零点是纯虚数（$\pm j\omega_Z$）的传输函数［$T(j\omega)$］，在 $\omega=\omega_Z$ 时正好等于零。这是因为分子多项式含有因子 $(s+j\omega_Z)(s-j\omega_Z)=(s^2+\omega_Z^2)$，对物理频率而言，该因子成为 $(-\omega^2+\omega_Z^2)$，因此当 $\omega=\omega_Z$ 时，传输函数恰好等于零。如果一个电路在某些特定的干扰频率上具有传输零点，且又被放置在电视机的输入端，那么这无疑是个"陷阱"。实数零点不会产生无效传输。最后应该注意的是：当 s 的值远大于所有零点和极点值的时候，式（E.1）的传输函数将变为 $T(s)=a_m/s^{n-m}$，即传输函数有（$n-m$）个位于 $s=\infty$ 的零点。

E.2　一阶函数

本书所遇到的传输函数大多数都具有实数极点和零点，因而可以写成由若干个一阶因子相乘的一般形式：

$$T(s)=\frac{a_1s+a_0}{s+\omega_0} \tag{E.3}$$

其中，$-\omega_0$ 表示实数极点的位置，ω_0 的值也称为极点频率，它等于单时间常数网络（STC）（参见附录 D）的时间常数的倒数。系数 a_0 和 a_1 确定 STC 网络的类型。特别是我们在第 1 章讲过的两种 STC 网络——低通和高通网络。对低通一阶网络，我们有：

$$T(s)=\frac{a_0}{s+\omega_0} \tag{E.4}$$

这里，直流增益是 a_0/ω_0，ω_0 是角频率（或称为 3 dB 频率）。我们注意到在 $s=\infty$ 处，传输函数有一个零点。另外对一阶高通网络，传输函数有一个直流的零点，其传输函数为

$$T(s)=\frac{a_1s}{s+\omega_0} \tag{E.5}$$

关于这一点，我们希望读者能够复习一下附录 D 中有关 STC 网络及其频率响应和对脉冲信号的响应的内容。我们应该特别关注一下这两种特定 STC 网络的幅频和相频响应曲线图，这些曲线图可以用来合成高阶传输函数的幅频和相频曲线图，下面就将对此给出详细解释。

E.3　波特图

有一种简单的方法可以用来获得给定极点和零点的传输函数的近似幅频和相频曲线。该方法对实数零点和极点的情况尤其适用。由于这个方法是由 H. Bode 提出的，所以相应的曲线也就称为波特图。

式（E.2）描述的传输函数包含形式为 $s+a$ 的因子的乘积。若该因子出现在分子中，则与一个零点相对应；若该因子出现在分母中，则与一个极点相对应。它告诉我们，如果将传输函数的幅频响应用分贝（dB）表示的话，实际上就是将形式为 $20\log_{10}\sqrt{a^2+\omega^2}$ 的各项因子进行加法运算，而相频响应则是将形式为 $\tan^{-1}(\omega/a)$ 的各因子相加。无论是幅频响应还是相频响应，与极点相关的因子前面都有符号。为简单起见，我们可以提取一个常数 a，得到的幅频响应的形式为 $20\log\sqrt{1+(\omega/a)^2}$。在纵坐标为分贝（dB）、横坐标为对数坐标的坐标系中，上式得到的曲线和近似直线如图 E.1 所示。这里，低频渐近线是位于 0 dB 的水平直线，高频渐近线是斜率为 6 dB/二倍频程（也等于 20 dB/十倍频程）的直线。两条渐近线相交所对应的频率为 $\omega=|a|$，称为角频率。如图中所示，实际的幅度值和近似值之间有误差，最大的误差是 3 dB，出现在角频率点上。

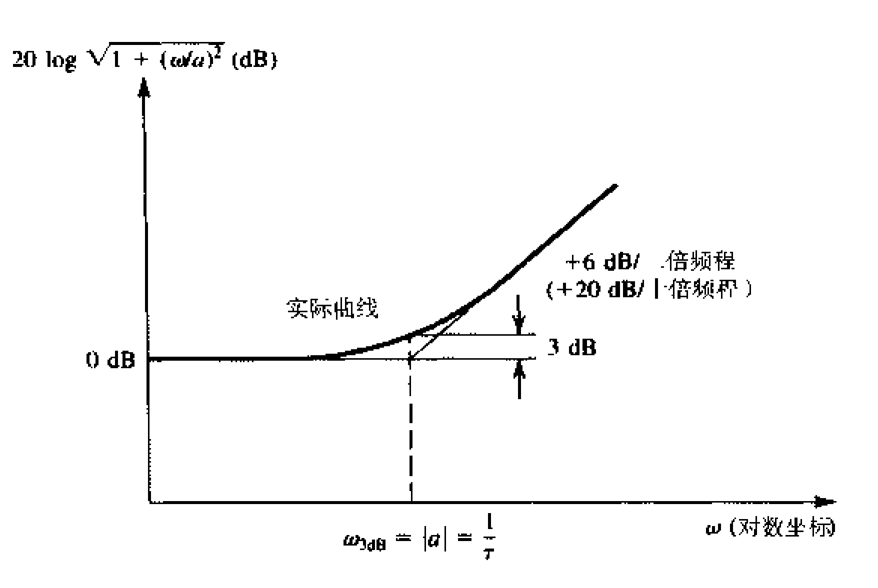


图 E.1 典型幅度因子的波特图. 图中所示曲线适用于零点的情况. 如果是极点，则需将高频渐近曲线画成斜率为–6 dB/二倍频程的直线

当 $a=0$ 时，也就是零点或者极点在 $s=0$ 处，这时的曲线就是一条斜率为 6 dB/二倍频程并且与 0 dB 的水平线相交于 $\omega=1$ 的直线。

总之，为了得到传输函数的幅频波特图，应首先画出每一个一阶极点和零点因子的幅频波特图. 对零点因子，其高频渐近线的斜率为+20 dB/十倍频程；对极点因子，其高频渐近线的斜率为–20 dB/十倍频程，然后将各渐近线叠加起来，完整曲线在垂直方向上的平移取决于传输函数常数因子的分贝（dB）数.

例题 E.1 放大器的电压传输函数为

$$T(s)=\frac{10s}{(1+s/10^2)(1+s/10^5)}$$

求极点和零点，画出幅频特性波特图，并求出频率 $\omega=10\ \mathrm{rad/s}$，$10^3\ \mathrm{rad/s}$，$10^6\ \mathrm{rad/s}$ 时的近似幅度值

解： 各零点位置：一个位于 $s=0$，一个位于 $s=\infty$. 各极点位置：一个位于 $s=-10^2\mathrm{rad/s}$，一个位于 $s=-10^5\mathrm{rad/s}$。

图 E.2 给出的是输出函数的不同因子的渐近波特图，曲线 1 是一条直线，斜率为+20 dB/十倍频程，经过 $\omega=1\ \mathrm{rad/s}$ 的频率点，这是对应于分子为 s 这一项（即 $s=0$ 的零点）的渐近波特图. 极点 $s=-10^2\mathrm{rad/s}$ 对应曲线 2，它包含两条渐近线，交于 $\omega=10^2\mathrm{rad/s}$. 同样，极点 $s=-10^5\mathrm{rad/s}$ 对应于曲线 3，其中交点位于 $\omega=10^5\mathrm{rad/s}$. 最后，曲线 4 表示常数因子 10 对应的分贝（dB）数.

把这四条曲线相加就得到了放大器增益的渐近波特图（曲线 5）. 我们注意到两个极点离得相当远，所以增益在 10^2~10^5 rad/s 的范围内非常接近于 10^3（60 dB），在两个角频率上（10^2 rad/s 和 10^5 rad/s），增益比 60 dB 将近低 3 dB. 在三个特殊频率点上，从波特图上得到的近似值和从传输函数得到的精确值如下表所示：

ω	近似增益值	精确增益值
10	40 dB	39.96 dB
10^3	60 dB	59.96 dB
10^6	40 dB	39.96 dB

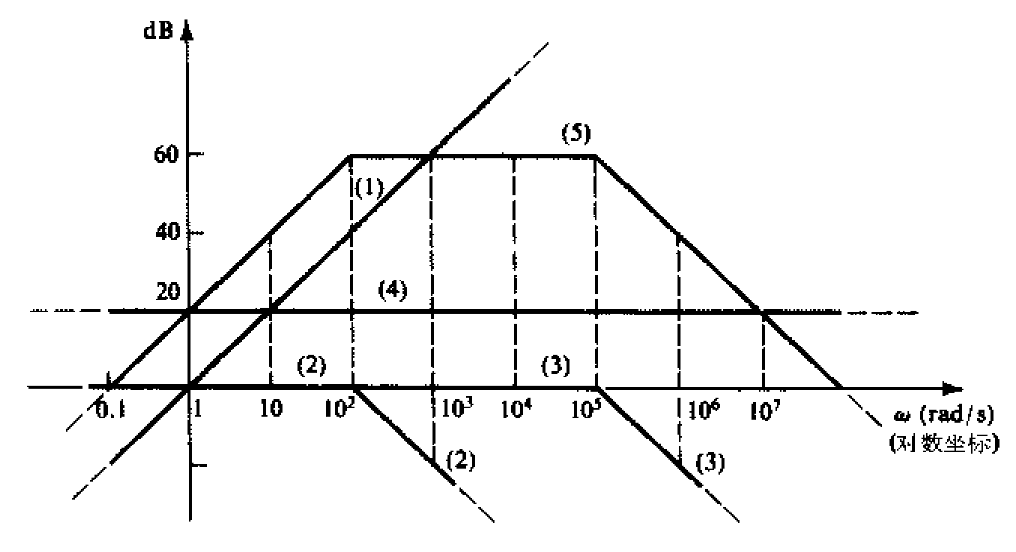


图 E.2　例题 E.1 的波特图　■

接下来讨论相频波特图。图 E.3 给出的是相频特性形式为 $\tan^{-1}(\omega/a)$ 的相频曲线，假设 a 是负数。图中也给出了反正切函数曲线的直线逼近。渐近线包括三条直线：第一条是位于 $\phi=0$ 的水平线，它终止于 $\omega=0.1|a|$；第二条是斜率为$-45°$/十倍频程的直线，它从 $\omega=0.1|a|$ 开始，终止于 $\omega=10|a|$；第三条是斜率等于 0、数值为$-90°$ 的水平线。完整的相频响应曲线需将所有极点和零点因子的相频曲线叠加起来。

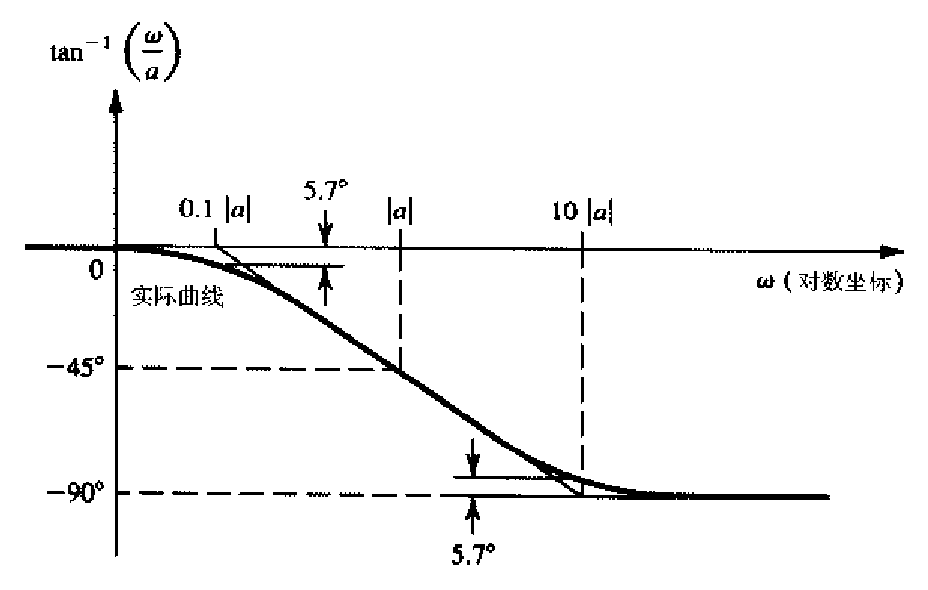


图 E.3　典型相位因子 $\tan^{-1}(\omega/a)$ 的波特图，其中 a 是负数

例题 E.2　求例题 E.1 的放大器的相频特性波特图。

解： 位于 $s=0$ 的零点会产生一条相角等于$+90°$ 的水平线，如图 E.4 中的曲线 1。

极点 $s=-10^2\,\text{rad/s}$ 给出的相位函数是

$$\phi_1=-\tan^{-1}\frac{\omega}{10^2}$$

（前面的负号表示这是一项极点因子。）对应的相频曲线如图 E.4 所示的曲线 2，极点 $s=-10^5\,\text{rad/s}$ 给出的相位函数是

$$\phi_2 = -\tan^{-1}\frac{\omega}{10^5}$$

它的渐近曲线如图 E.4 所示的曲线 3。整个相频特性响应（曲线 4）是将上述三条渐近曲线直接叠加后得到的。我们看到在 100 rad/s 的频率点上相角超前 45°，而在 10^5 rad/s 的频率点上，相角滞后 45°。

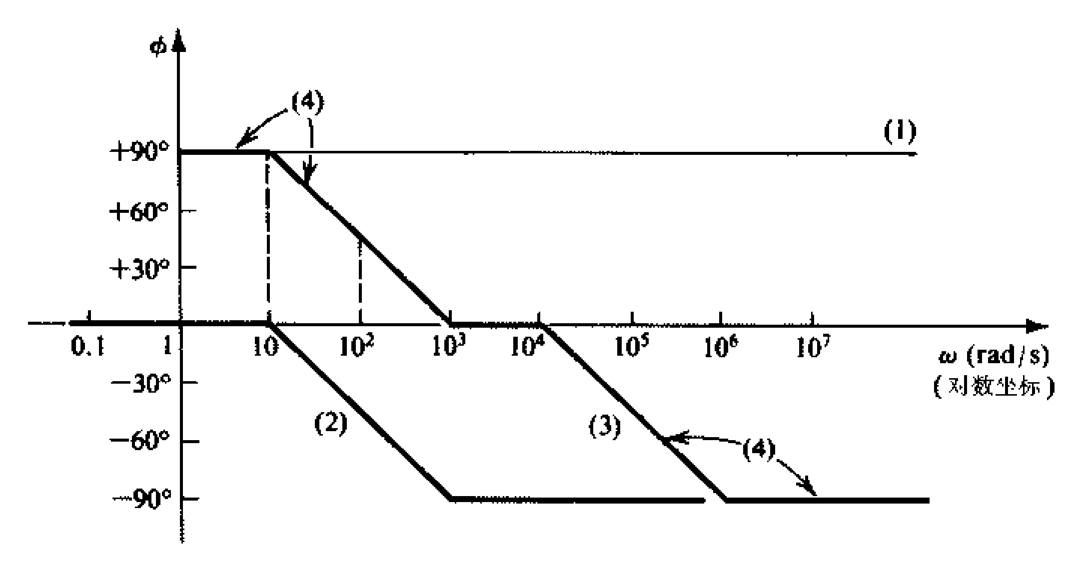


图 E.4　例题 E.2 的相频波特图　■

E.4　重要说明

要画出波特图，最方便的方法是先把传输函数写成形如（$1 + s/a$）的乘积项的形式，然后直接应用图 E.1 和图 E.2 以及两个例题的相关内容。

习题

E.1　求图 PE.1 所示电路的传输函数 $T(s) = V_o(s)/V_i(s)$。这是 STC 网络吗？如果是，是什么类型的？当 $C_1 = C_2 = 0.5\mu F$，$R = 100\ k\Omega$的时候，求零点和极点，并画出幅频和相频波特图。

D*E.2　（a）求图 PE.2 所示的 STC 网络的电压传输函数 $T(s) = V_o(s)/V_i(s)$。

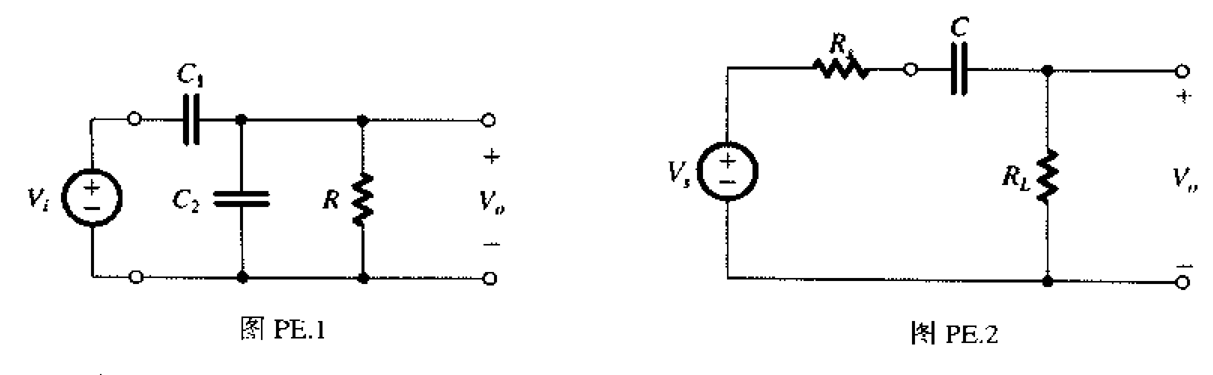


图 PE.1　　图 PE.2

（b）在该电路中，电容 C 用于将信号源内阻为 R_s 的电压源 V_s 耦合到负载 R_L 上。如果 R_s = 10 kΩ，设计电路参数 R_L 和 C 的值（只保留 1 位有效位）以满足以下要求：

（i）负载电阻尽可能地小。

（ii）高频时输出信号至少要达到输入信号的 70%。

（iii）10 Hz 时输出信号至少要达到输入信号的 10%

E.3　有两个由 RC 电路组成的 STC 网络，每一个都有一个 100 rad/s 的极点频率，最大增益均为单位 1，将它们和一个单位增益的缓冲器级联起来并保证两个 STC 网络相互独立。根据可能的组合（低通和高通），求：（i）相应的传输函数；（ii）10 rad/s 处的电压增益；（iii）100 rad/s 处的电压增益；（iv）1000 rad/s 处的电压增益。

E.4　设计式（E.5）的传输函数中的参数 a_1 和 ω_0，使得高频时的电压增益为 10 V/V、10 Hz 时的电压增益为 1 V/V。

E.5　放大器具有低通 STC 电路的频率响应。直流时的幅度增益为 20 dB、100 kHz 时的增益为 0 dB，求角频率、增益为 19 dB 时的频率及相角为–6° 时的频率。

E.6　传输函数的极点为（–5），（$-7+j10$）和（–20），零点为（$-1-j20$）。因为该传输函数代表的是实际电路，因此一定还有其他的零点和极点，求出这些零点和极点。

E.7　放大器的电压传输函数为 $T(s)=10^6 s/(s+10)(s+10^3)$。将其转换为便于画出波特图的形式［即将其改写成（$1+s/a$）的若干因子的乘积形式］。画出幅频波特图，并利用该波特图近似估算下列频率点上的增益值：1 rad/s，10 rad/s，10^2 rad/s，10^3 rad/s，10^4 rad/s 和 10^5 rad/s。在 10 rad/s 和 10^3 rad/s 上的实际值是多少？

E.8　画出习题 E.7 的放大器的相频波特图。估算下列频率点上的相角值：1 rad/s，10 rad/s，10^2 rad/s，10^3 rad/s，10^4 rad/s 和 10^5 rad/s。为了进行比较，计算频率 1 rad/s，10 rad/s，100 rad/s 上的实际相角值。

E.9　一个传输函数的零点和极点如下：一个零点位于 $s=0$，另一个零点位于 $s=\infty$；一个极点位于 $s=-100$，另一个极点位于 $s=-10^6$。在频率 $\omega=10^4\,\text{rad/s}$ 处，传输函数的幅度是 100。求传输函数 $T(s)$并画出幅频波特图。

E.10　画出以下传输函数的幅频和相频波特图：

$$T(s)=\frac{10^4(1+s/10^5)}{(1+s/10^3)(1+s/10^4)}$$

根据所画的图形，求频率 $\omega=10^6\,\text{rad/s}$ 的近似幅度值和相角。如果从传输函数的表达式中求解，精确值应该是多少？

E.11　放大器的电压传输函数为 $T(s)=10s^2/(1+s/10)(1+s/100)(1+s/10^6)$。求零点和极点，画出用分贝（dB）表示的增益与对数频率的曲线，估算以下频率点上的增益值：10^0 rad/s，10^3 rad/s，10^5 rad/s 和 10^7 rad/s。

E.12　直接耦合差分放大器的差模增益为 100 V/V，极点频率是 10^6 rad/s 和 10^8 rad/s，共模增益是 10^{-3} V/V，一个零点频率是 10^4 rad/s，一个极点频率是 10^8 rad/s。画出差模增益、共模增益以及 CMRR 的幅频波特图。频率为 10^7 rad/s 时的 CMRR 是多少？（提示：幅度的除法对应于对数之间的减法。）

附录F 参 考 文 献

电子电路的通用教材

E.F. Angelo Jr., *Electronics: BJTs, FETs, and Microcircuits*, New York: McGraw-Hill, 1969.

S.B. Burns and P.R. Bond, *Principles of Electronic Circuits*, St. Paul: West, 1987.

M.S. Ghausi, *Electronic Devices and Circuits: Discrete and Integrated*, New York, Holt, Rinehart and Winston, 1985.

P.E. Gray and C.L. Searle, *Electronic Principles*, New York Wiley, 1969.

A.R. Hambley, *Electronics, 2nd ed.*, Upper Saddle River, NJ: Prentice-Hall, 1999

W.H. Hayt and G.W. Neudeck, *Electronic Circuit Analysis and Design, 2nd ed.*, Boston: Houghton Mifflin Co., 1984.

C.A. Holt, *Electronic Circuits*, New York: Wiley, 1978.

M.N. Horenstein, *Microelectronic Circuits and Devices, 2nd ed.*, Englewood Cliffs, NJ: Prentice-Hall, 1995.

R.T. Howe and C.G. Sodini, *Microelectronics—An Integrated Approach*. Englewood Cliffs, NJ. Prentice-Hall, 1997

R.C. Jaeger and T.N. Blalock, *Microelectronic Circuit Design, 2nd ed.*, New York: McGraw-Hill, 2004.

N.R. Malik, *Electronic Circuits: Analysis, Simulation, and Design*, Englewood Cliffs, NJ: Prentice-Hall, 1995.

J. Millman and A. Grabel, *Microelectronics, 2nd ed.*, New York: McGraw-Hill, 1987.

D.A. Neamen, *Electronic Circuit Analysis and Design, 2nd ed.*, New York: McGraw-Hill, 2001

M.H. Rashid, *Microelectronic Circuits: Analysis and Design*, Boston PWS, 1999

D.L. Schilling and C. Belove, *Electronic Circuits, 2nd ed.*, New York: McGraw-Hill, 1979.

R.A. Spencer and M.S. Ghausi, *Introduction to Electronic Circuit Design*, Upper Saddle River, NJ: Pearson Education Inc. (Prentice-Hall), 2003.

电路与系统分析

L.S. Bobrow, *Elementary Linear Circuit Analysis, 2nd ed.*, New York: Holt, Rinehart and Winston, 1987.

A.M. Davis, *Linear Circuit Analysis*, Boston, MA: PWS Publishing Company, 1998.

S.S. Haykin, *Active Network Theory*, Reading, MA: Addison-Wesley, 1970.

W.H. Hayt, G.E. Kemmerly, and S.M. Durbin, *Engineering Circuit Analysis, 6th ed.*, New York: McGraw-Hill, 2003.

D. Irwin, *Basic Engineering Circuit Analysis, 7th ed.*, New York: Wiley, 2001.

B.P. Lathi, *Linear Systems and Signals*, New York: Oxford University Press, 1992

J.W. Nilsson and S. Riedel, *Electronic Circuits, 6th ed.*, Revised Printing, Upper Saddle River, NJ: Prentice-Hall, 2001.

器件与 IC 制造

R.S.C. Cobbold, *Theory and Applications of Field Effect Transistors*, New York: Wiley, 1969.

I. Getreu, *Modeling the Bipolar Transistor*, Beaverton, OR: Tektronix, Inc., 1976.

R.S. Muller and T.I. Kamins, *Device Electronics for Integrated Circuits, 3rd ed.*, New York Wiley, 2003

J.D. Plummer, M.D. Deal, and P.B. Griffin, *Silicon VLSI Technology*, Upper Saddle River, NJ: Prentice-Hall, 2000.

D.L. Pulfrey and N.G. Tarr, *Introduction to Micro-electronic Devices*, Englewood Cliffs, NJ: Prentice-Hall, 1989.

C.L. Searle, A.R. Boothroyd, E.J. Angelo, Jr., P.E. Gray, and D.O. Pederson, *Elementary Circuit Properties of Transistors*, Vol. 3 of the SEEC Series, New York: Wiley, 1964

B.G. Streetman and S. Banerjee, *Solid-State Electronic Devices, 5th ed.*, Upper Saddle River, NJ: Prentice-Hall, 2000

Y. Tsividis, *Operation and Modeling of the MOS Transistor, 2nd ed.*, New York: Oxford University Press, 1999

差分放大器

G.B. Clayton, *Experimenting with Operational Amplifiers*, London: Macmillan, 1975

G.B. Clayton, *Operational Amplifiers, 2nd ed*, London: Newnes-Butterworths, 1979.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits, 3rd ed.*, New York McGraw-Hill, 2001.

J.G. Graeme, G.E. Tobey, and L.P. Huelsman, *Operational Amplifiers: Design and Applications*, New York: McGraw-Hill, 1971.

W. Jung, *IC Op Amp Cookbook*, Indianapolis: Howard Sams, 1974.

E.J. Kennedy, *Operational Amplifier Circuits: Theory and Applications*, New York: Holt, Rinehart and Winston, 1988.

J.K. Roberge, *Operational Amplifiers: Theory and Practice*, New York: Wiley, 1975.

J.L. Smith, *Modern Operational Circuit Design*, New York Wiley-Interscience, 1971.

J.V. Wait, L.P. Huelsman, and G.A. Korn, *Introduction to Operational Amplifiers Theory and Applications*, New York: McGraw-Hill, 1975.

模拟电路

P.E. Allen and D.R. Holberg, *CMOS Analog Circuit Design, 2nd ed.*, New York: Oxford University Press, 2002.

K. Bult, *Transistor-Level Analog IC Design*. Notes for a short course organized by Mead, Ecole Polytechnique Féderal De Lausanne, 2002.

R.L. Geiger, P.E. Allen, and N.R. Strader, *VLSI Design Techniques for Analog and Digital Circuits*, New York: McGraw-Hill, 1990.

P.R. Gray, P.J. Hurst, S.H. Lewis, and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits, 4th ed.*, New York: Wiley, 2001.

A.B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design*, New York: Wiley, 1984.

R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley, 1986.

IEEE Journal of Solid-State Circuits, a monthly publication of the IEEE.

D.A. Johns and K. Martin, *Analog Integrated Circuit Design*, New York: Wiley, 1997.

K. Laker and W. Sansen, *Design for Analog Integrated Circuits and Systems*, New York: McGraw-Hill, 1999.

H.S. Lee, "Analog Design," Chapter 8 in *BiCMOS Technology and Applications*, A.R. Alvarez, editor, Boston Kluwer Academic Publishers, 1989.

B. Razavi, *Design of Analog CMOS Integrated Circuits*, New York McGraw-Hill, 2001.

J.K. Roberge, *Operational Amplifiers. Theory and Practice*, New York: Wiley, 1975.

S. Rosenstark, *Feedback Amplifier Principles*, New York Macmillan, 1986.

A.S. Sedra and G.W. Roberts, "Current Conveyor Theory and Practice," Chapter 3 in *Analogue IC Design: The Current-Mode Approach*, C. Toumazou, F.J. Lidgey, and D.G. Haigh, editors, London: Peter Peregrinus, 1990.

R. Severns, editor, *MOSPOWER Applications Handbook*, Santa Clara, CA: Siliconix, 1984.

Texas Instruments, Inc., *Power Transistor and TTL Integrated-Circuit Applications*, New York: McGraw-Hill, 1977.

S. Soclof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1985.

National Semiconductor Corporation, Audio/Radio Handbook, Santa Clara, CA: National Semiconductor Corporation, 1980.

J.M. Steininger, "Understanding wideband MOS transistors," *IEEE Circuits and Devices*, Vol. 6, No. 3, pp. 26–31, May 1990.

数字电路

A.R. Alverez, editor, *BiCMOS Technology and Applications, 2nd ed.*, Boston, Kluwer, 1993.

S.H.K Embabi, A. Bellaour, M.I. Elmasry, *Digital BiCMOS Integrated Circuit Design*, Boston: Kluwer, 1993.

M.I. Elmasry, editor, *Digital MOS Integrated Circuits*, New York: IEEE Press, 1981. Also, *Digital MOS Integrated Circuits II*, 1992.

D.A. Hodges and H.G. Jackson, *Analysis and Design of Digital Integrated Circuits, 2nd ed.*, New York: McGraw-Hill, 1988.

IEEE Journal of Solid-State Circuits, a monthly publication of the IEEE.

S.M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits, 3rd ed.*, New York: McGraw-Hill, 2003.

R. Littauer, *Pulse Electronics*, New York: McGraw-Hill, 1965.

K. Martin, *Digital Integrated Circuit Design*, New York: Oxford University Press, 2000.

J. Millman and H. Taub, *Pulse, Digital, and Switching Waveforms*, New York: McGraw-Hill, 1965.

Motorola, *MECL Device Data*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1989.

Motorola, *MECL System Design Handbook*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1988.

J.M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1996. Note: Also a 2nd ed., with A. Chandrakasan and B. Nikolic, appeared in 2003.

L. Strauss, *Wave Generation and Shaping, 2nd ed.*, New York: McGraw-Hill, 1970.

H. Taub and D. Schilling, *Digital Integrated Electronics*, New York: McGraw-Hill, 1977.

N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Reading, MA: Addison-Wesley, 1985 and 1993.

滤波器与调谐放大器

P.E. Allen and E. Sanchez-Sinencio, *Switched-Capacitor Circuits*, New York: Van Nostrand Reinhold, 1984.

K.K. Clarke and D.T. Hess, *Communication Circuits: Analysis and Design*, Ch. 6, Reading, MA: Addison Wesley, 1971.

G. Daryanani, *Principles of Active Network Synthesis and Design*, New York: Wiley, 1976.

R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley-Interscience, 1986.

C. Ouslis and A. Sedra, "Designing custom filters," *IEEE Circuits and Devices*, May 1995, pp. 29–37.

S.K. Mitra and C.F. Kurth, editors, *Miniaturized and Integrated Filters*, New York: Wiley-Interscience, 1989.

R. Schaumann, M.S. Ghausi, and K.R. Laker, *Design of Analog Filters*, Englewood Cliffs, NJ: Prentice-Hall, 1990.

R. Schaumann, M. Soderstand, and K. Laker, editors, *Modern Active Filter Design*, New York: IEEE Press, 1981.

R. Schaumann and M.E. Van Valkenburg, *Design of Analog Filters*, New York: Oxford University Press, 2001.

A.S. Sedra, "Switched-capacitor filter synthesis," in *MOS VLSI Circuits for Telecommunications*, Y. Tsividis and P. Antognetti, editors, Englewood Cliffs, NJ: Prentice-Hall, 1985.

A.S. Sedra and P.O. Brackett, *Filter Theory and Design: Active and Passive*, Portland, OR: Matrix, 1978.

M.E. Van Valkenburg, *Analog Filter Design*, New York: Holt, Rinehart and Winston, 1981.

A.I. Zverev, *Handbook of Filter Synthesis*, New York: Wiley, 1967.

SPICE

M.E. Herniter, *Schematic Capture with Cadence PSpice, 2nd ed.*, NJ: Prentice-Hall, 2003.

G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE, 2nd ed.*, New York: McGraw-Hill, 1993.

G.W. Roberts and A.S. Sedra, *SPICE*, New York: Oxford University Press, 1992 and 1997.

J.A. Svoboda, *PSpice for Linear Circuits*, New York: Wiley, 2002.

P.W. Tuinenga, *SPICE: A Guide To Circuit Simulation & Analysis Using PSpice, 2nd ed.*, NJ: Prentice-Hall, 1992.

附录 G　标准电阻值与单位前缀

分立元件电阻得到的是标准值。表 G.1 给出的是与标准值有 5%容差和 1%容差的倍增因子，即千欧级的 5%电阻，因此可以找到电阻值是 1.0，1.1，1.2，1.3，1.5，…的电阻。在同样的范围中，1%容差的千欧级电阻值是 1.00，1.02，1.05，1.07，1.10，…。

表 G.1　标准电阻值

5%电阻值 (kΩ)	1%电阻值(kΩ)			
	100~174	178~309	316~549	562~976
10	100	178	316	562
11	102	182	324	576
12	105	187	332	590
13	107	191	340	604
15	110	196	348	619
16	113	200	357	634
18	115	205	365	649
20	118	210	374	665
22	121	215	383	681
24	124	221	392	698
27	127	226	402	715
30	130	232	412	732
33	133	237	422	750
36	137	243	432	768
39	140	249	442	787
43	143	255	453	806
47	147	261	464	825
51	150	267	475	845
56	154	274	487	866
62	158	280	499	887
68	162	287	511	909
75	165	294	523	931
82	169	301	536	953
91	174	309	549	976

表G.2给出的是本书和所有现代英文著作中使用的国际单位的前缀

表G.2 国际单位的前缀

名称	符号	因子
毫微微	f	$\times 10^{15}$
微微	p	$\times 10^{-12}$
毫微	n	$\times 10^{-9}$
微	μ	$\times 10^{6}$
毫	m	$\times 10^{-3}$
千	k	$\times 10^{3}$
兆	M	$\times 10^{6}$
吉	G	$\times 10^{9}$
太	T	$\times 10^{12}$
拍	P	$\times 10^{15}$

附录H 部分习题答案

第1章

1.1 (a) 10 mA; (b) 10 kΩ; (c) 100 V; (d) 0.1 A 1.2 (a) 0.9W, 1 W; (c) 0.09 W, 1/8 W; (f) 0.121 W, 1/8 W 更可取的是 1/4 W 1.4 17; 5.7, 6.7, 8.0, 8.6, 10, 13.3, 14.3, 17.1, 20, 23.3, 28, 30, 40, 46.7, 50, 60, 70 (单位为 kΩ) 1.7 2.94 V, 2.22 kΩ; 2.75 V~3.14 V, 2.11 kΩ~2.33 kΩ 1.9 10.2 V; 用一个 10kΩ的电阻与一个 157kΩ的电阻进行分流; 加上一个 200 Ω的串联电阻; 用一个 4.7kΩ的电阻与一个 157 kΩ的电阻并联，用一个 10kΩ的电阻与一个 90 kΩ的电阻并联 1.11 用一个 1 kΩ的电阻与一个 250 Ω的电阻并联 1.13 用R_L与一个1.1 kΩ的电阻并联; 分流器 1.15 0.77 V, 6.15 kΩ; 0.1 mA 1.17 1.88 μA; 5.64 V 1.19 (a) 10^{-7}s, 10^7 Hz, 6.28×10^7 Hz; (f) 10^3 rad/s, 1.59×10^2 Hz, 6.28×10^{-3} s 1.21 (a) (1−j1.59) kΩ; (c) (71.72−j45.04) kΩ 1.22 (b) 0.1 V, 10 μA, 10 kΩ 1.24 10 kΩ 1.28 (a) 165 V; (b) 24 V 1.30 0.5 V; 1 V; 0 V; 1 V; 1000 Hz; 10^{-3} s 1.32 4 kHz; 4 Hz 1.34 0, 101, 1000, 11001, 111001 1.36 (c) 11; 4.9 mV; 2.4 mV 1.38 7.056×10^5 b/s 1.40 11 V/V 或 20.8 dB; 22 A/A 或 26.8 dB; 242 W/W 或 23.8 dB; 120 mW; 95.8 mW; 20.2% 1.42 9 mV; 57.5 mV; 0.573 V 1.45 (a) 8.26 V/V 或 18.3 dB; (b) 2.5 V/V 或 8 dB; (c) 0.083 V/V 或−21.6 dB 1.48 0.83 V; −1.6 dB; 79.2 dB; 38.8 dB 1.53 (a) 300 V/V; (b) 90 kΩ, 3×10^4 A/A, 9×10^6 W/W; (c) 667 Ω; (d) 555.7 V/V; (e) 100 kΩ, 100 Ω, 363 V/V 1.59 一个电压放大器; R_i=100 kΩ, R_o=100 s, A_{vo} = 121 V/V 1.66 $s/(s+1/CR)$ 1.69 0.64μF 1.72 $0.51/CR$ 1.73 13.3 pF; 0.26 pF 1.76 20 dB; 37 dB; 40 dB; 37 dB; 20 dB; 0 dB; −20 dB; 9900 Hz 1.77 $1/(sC_1R_1+1)$; 16 kHz; $-G_m s(R_2//R_3)/(s+1/(C_2(R_2+R_3)))$; 53 Hz; 16 kHz 1.81 1.6 V, 1.3 V 1.82 (a) 1.5 V, 1 V; (b) 2.06 V; (c) −3.5 V 1.84 (a) 0.4 V, 0.4 V; (b) 8 mW; (c) 1.12 mW; (d) 52.8 ns 1.85 (a) 0.545 V, 5 V, 3 V, 0.455 V; (b) 6; (c) 10.9 mW, 2.88 mW 1.88 25 mW, 5 mA

第2章

2.2 1001 V/V 2.5 $A = G_mR_m$=100 000 V/V 2.8 (a) −10 V/V, 10 kΩ; (b) −10 V/V, 10 kΩ; (c) −10 V/V, 10 kΩ; (d) −10 V/V, 10 kΩ 2.11 (a) −1 V/V; (b) −10 V/V; (c) −0.1 V/V; (d) −100 V/V; (e) −10 V/V 2.12 R_1 = 20 kΩ, R_2 = 100 kΩ 2.14 R_1 = 500 kΩ, R_2 = 10 MΩ; 500 kΩ 2.16 2x%; −110.5 ~ 90.5 2.18 0 V, 5 V; −4.9 V ~ −5.1 V 2.20 (a) R_1 = 1 kΩ, R_2 = 100 kΩ; (b) −90.8 V/V; (c) 8.9 kΩ 2.21 ±10 mV 2.23 $R_{in} = R_1+R_2/(1+A)$ 2.26 909 V/V 2.27 $A = (1+R_2/R_1)(k-1)/(1-x/100)$; 2×10^4 V/V 2.29 100 Ω; 100 kΩ; ≈ 100 Ω 2.31 (a) R, R, R, R; (b) I, 2I, 4I, 8I; (c) −IR, −2IR, −4IR, −8IR 2.33 (a) 0.53 kΩ; (b) −0.4 ~ +0.4 mA; (c) 0 Ω, 20 mA 2.36 $v_O = v_1 - v_2/2$; −1.5 V 2.37 R_{v_1} = 20 kΩ; R_{v_2} = 120 kΩ; R_f = 40 kΩ 2.43 12.8 kΩ 2.46 R = 100 kΩ; 不影响 2.50 $v_O = 10(v_2-v_1)$; $v_O = 4\sin(2\pi\times1000t)$ 2.51 $v_O/v_I = 1/x$; +1 ~ +∞; 在电位计和地之间串接 0.5 kΩ的电阻 2.53 (a) 0.099 V; 0.099 mA; 0.099 mA; (b) 10 V; 10 mA; 0 mA 2.54 $v_o/v_i = 1/(1+1/A)$; 0.999, −0.1%; 0.990, −1.0%; 0.909, −9.1% 2.56 8.33 V/V; 用 R_{sh} = 36 kΩ的电阻与 R_1 并联; 9.09 V/V; 11.1 V/V 2.59 −10.714 ~ +10.714 V; 1.07 V 2.62 $v_O = v_2 - v_1$; R; 2R; 2R; R 2.64 $R_1 = R_3$ 2.66 68 dB 2.68 (a) 1, 0; (b) −5 V ~ +5 V; (c) 1, 0, −30 ~ +30 V 2.73 (a) −0.14 ~ +0.14 V; −14 ~ +14 V 2.76 R_1 = 100 kΩ的电位计增加 0.5 kΩ的固定电阻; R_2 = 50 kΩ; R_3 = 200 kΩ; R_4 = 100 kΩ 2.77 (a) 3.0 V (峰-峰), 3.0 V (峰-峰) 反相, 6.0 V (峰-峰); (b) 6 V/V;

(c) 56 V (峰–峰), 19.8 V (rms) 2.80 86 dB; 500 Hz; 10 MHz 2.83 47.6 kHz; 19.9 V/V; 1.99 V/V 2.86 40 V/V 2.89 (a) $(\sqrt{2}-1)^{1/2}f_1$; (b) 10 kHz; (c) 64.4 kHz, 约大 6 倍 2.91 (a) $f_t/(1+K)$, $Kf_t/(1+K)$; (b) f_t/K, f_t; 同相，最好是低增益 2.92 对每一种情况，$f_{3dB}=f_t/3$ 2.99 (a) 31.8 kHz; (b) 0.795 V; (c) 0 ~ 200 kHz; (d) 1 V 的峰值 2.103 1.4 mV 2.105 42.5 ~ 57.5 mV; 在同相输入端串接一个 5 kΩ 的电阻: +10 mV; 在反相输入端串接一个 5 kΩ的电阻 2.107 4.54 mV 2.110 (a) 100 mV; (b) 0.2 V; (c) 10 kΩ 10 mV; (d) 110 mV 2.114 100 kHz; 1.59 μs 2.118 100 个脉冲 2.119 $V_o(s)/V_i(s) = -(R_2/R_1)/(1+sR_2C)$; R_1 = 1 kΩ; R_2 = 10 kΩ; C = 3.98 nF; 39.8 kHz 2.121 1.59 kHz; 10 V(峰–峰)

第 3 章

3.1 反偏二极管没有电流流过; 正偏二极管有电流流过; (a) 0 A; 1.5 V; (b) 1.5 A; 0 V 3.2 (a) –3 V; 0.6 mA; (b) +3 V; 0 mA; (c) +3 V; 0.6 mA; (d) –3 V; 0 mA 3.5 100 mA; 35 mA; 100 mA; 33.3 mA 3.8 50 kΩ 3.9 (a) 0 V; 0.5 mA; (b) 1.67 V; 0 A 3.10 (a) 4.5 V; 0.225 mA; (b) 2 V; 0 A 3.13 3 V; 1.5 V; 30 mA; 15 mA 3.15 29.67 V; 3.75 Ω; 0.75 A; 26.83 V; 30 V; 3Ω; 20.5%; 136 mA; 1 A; 27 V 3.16 红灯亮; 都不亮; 绿灯亮 3.18 345 mV; 1.2 × $10^6 I_S$ 3.20 3.46 × 10^{-15} A; 7.46 mA; 273.2 mA; 3.35 mA; 91.65 μA; 57.6 mV 3.23 3.81 mA; –22.8 mV 3.26 57.1 Ω 3.27 (a) 678 mV; (b) 647 mV; (c) 814 mV; (d) 656 mV; (e) 662 mV 3.29 60℃; 8.7 W; 6.9℃/W 3.33 0.6638 V; 0.3362 mA 3.36 R = 947 Ω 3.37 0.687 V; 12.8 Ω; +28.1 mV; –29.5 mV; +34.2 mV 3.39 0.73 V; 1.7 mA; 0.7V; 2 mA 3.41 0.8 V 3.45 0.86 mA; 0 V; 0 A; 3.6 V 3.46 (a) 0.53 mA; 2.3 V; (b) 0 A; +3 V; (c) 0.53 mA; 2.3 V; (d) 0 A; –3 V 3.48 (a) 0.36 mA; 0 V; (b) 0 A; –1.9 V 3.52 (a) +49% ~ –33%; (b) +22% ~ –18%; –2.6 ~ +2.4 mV (n = 1); –5.3 ~ +4.8 mV (n = 2) 3.56 (a) 0 V/V; (b) 0.001 V/V; (c) 0.01 V/V; (d) 0.1 V/V; (e) 0.5 V/V; (f) 0.6 V/V; (g) 0.9 V/V; (h) 0.99 V/V; (i) 1 V/V; 2.5 mV (峰值) 3.58 157 μA; –84.3° ~ –5.7° 3.62 15 mA 的电流源; –10 mV/mA, 输出的总变化为–50 mV 3.65 –30 Ω; –120 Ω 3.67 8.96 V; 9.01 V; 9.46 V 3.70 8.83 V; 19.13 mA; 300 Ω; 9.14 V; ±0.01 V; +0.12 V; 578 Ω; 8.83 V; 90 mV/V; –27.3 mA/mA 3.76 16.27 V; 48.7%; 0.13; 5.06 V; 5.06 mA 3.77 16.27 V; 97.4%; 10.12 V; 10.12 mA 3.78 15.57 V; 94.7%; 9.4 V; 9.4 mA 3.81 56 V 3.83 (a) 166.7 μF; 15.4 V; 7.1%; 231 mA; 448 mA; (b) 1667 μF; 16.19 V; 2.2%; 735 mA; 1455 mA 3.85 (a) 83.3 μF; 14.79 V; 14.2%; 119 mA; 222 mA; (b) 833 μF; 15.49 V; 4.5%; 360 mA; 704 mA 3.87 (a) 23.6 V; (b) 444.4 μF; (c) 32.7 V; 49 V; (d) 0.73 A; (e) 1.35 A 3.98 0.51 V; 0.7 V; 1.7 V; 10.8 V; 0 V; –0.51 V; –0.7 V; –1.7 V; –10.8 V; 非常剧烈; +1 3.104 14.14 V 3.106 2.75 × 10^5/cm^3; 1.55 × 10^9/cm^3; 8.76 × 10^9/cm^3; 1.55 × 10^{12}/cm^3; 4.79 × 10^{12}/cm^3 3.113 34 cm^2/s; 12 cm^2/s; 28 cm^2/s; 10 cm^2/s; 18 cm^2/s; 6 cm^2/s; 9 cm^2/s; 4 cm^2/s 3.114 1.27 V; 0.57 μm; 0.28 μm; 45.6×10^{-15} C; 18.2 fF 3.116 16×10^{-15} C 3.121 0.72 fA; 0.684 V; 2×10^{-11} C; 800 pF

第 4 章

4.3 W_p/W_n = 2.5 4.4 238 Ω; 238 mV; 50 4.5 2.38 μm 4.7 (a) 4.15 mA; (b) 0.8 mA; 0.92 mA; 9.9 mA 4.11 3.5 V; 500 Ω; 100 Ω 4.12 3 V; 2 V; 5 V; 4 V 4.14 4 μm 4.16 0.7 V 4.17 100 Ω ~ 10 kΩ (a) 200 Ω ~ 20 kΩ; (b) 50 Ω ~ 5 kΩ; (c) 100 Ω ~ 10 kΩ 4.19 20 kΩ; 36 V; 0.028 V^{-1} 4.20 500 kΩ; 50 kΩ; 2%; 2% 4.22 82.13 μA; 2.7%; 用 L = 6 μm 的电感 4.26 240 μA; 524 μA; 539 μA; 588 μA 4.27 –3 V; +3 V; –4 V; +4 V; –1 V; –50 V; –0.02 V^{-1}; 1.39 mA/V^2 4.29 1 V ~ 1.69 V; 1 V ~ 3.7 V 4.31 (b) –0.3%/℃ 4.34 R_D = 5 kΩ; R_S = 3 kΩ 4.35 (a) 9.75 kΩ; (b) 20 μm; 4 kΩ 4.36 4.8 μm; 30.4 kΩ 4.37 8 μm; 2 μm; 12.5 kΩ 4.39 0.4 mA; 7.6 V 4.44 (a) 2.51 V; –2.79 V; (b) 7.56 V; 5 V; 2.44 V 4.46 (a) 7.5 μA; 1.5 V; (b) 4.8 μA; 1.4 V; (c) 1.5 V; 7.5 μA 4.48 (a) 1 V; 1 V; –1.32 V; (b) 0.2 V; 1.8 V; –1.35 V 4.51 0.8 V; 25 4.57 3.4 V; 110 μA ~ 838 μA; 8.2 kΩ; 40 μA ~ 0.15 mA 4.58 1 mA; 13% 4.59 1.59 V; 2.37 V; 2.37 mA

4.60 R_D=11kΩ; R_S=7kΩ 4.63 (a) −3V; +5V; 8V; (b) −3.3V; +5V; +8.3V 4.65 36 kΩ; 0.21mA; 2V 4.69 (a) 2mA; 2.8V; (b) 2mA/V; (c) −7.2V/V; (d) 50kΩ; −6.7V/V 4.73 20μm; 1.7V 4.75 −8.3V/V; 2.5V; −10.8V/V 4.76 NMOS: 0.42mA/V, 160kΩ, 0.08mA/V, 0.5V; PMOS: 0.245mA/V, 240kΩ, 0.05mA/V, 0.8V 4.79 −11.2V/V 4.81 200Ω; 3.57V/V; 100Ω; 4.76V/V 4.85 0.99V/V; 200Ω; 0.83V/V 4.91 5.1GHz 4.93 2.7GHz; 5.4GHz 4.96 (a) −15.24V/V; 33.1kHz 4.99 −10V/V, 18.6μF 4.103 −16V/V; C_{C1}=20nF, C_S=10μF; C_{C2} = 0.5μF; 47.7Hz 4.106 1.36V; 1.5V; 1.64V 4.110 10μm 4.114 (b) −125V/V; 80kΩ 4.115 0.59mA, 5mA; 9mA; 9mA 4.116 300μA; 416μA; 424μA; 480μA; 600μA; 832μA; 848μA; 960μA; 300μA; 416μA; 424μA; 480μA 4.118 +0.586V

第5章

5.1 正向放大; 饱和; 正向放大; 饱和; 反向放大; 正向放大; 截止; 截止 5.2 (a) 7.7 × 10^{-17}A, 368; (b) 3.8 × 10^{-17}A, 122; (c) 1.5 × 10^{-17}A, 24.2; 1.008mA; 0.7V; 0.96pC 5.4 53.3; 0.982 5.6 0.5; 0.667; 0.909; 0.952; 0.991, 0.995; 0.999; 0.9995 5.8 0.907mA; 0.587V 5.10 3 ~ 15mA; 3.05 ~ 15.05mA; 135mW 5.12 −0.718V; 4.06V; 0.03mA 5.13 (a) 0.691V, 1mA, 1.01mA; (b) −10.09mA, 9.08mA, −1.01mA 5.16 −2V; 0.82mA; −0.57V 5.18 0.91mA; 9.09mA; 0.803V; 9.99mA 5.20 (a) 1mA; (b) −2V; (c) 1mA; 1V; (d) 0.965mA; 0.35V 5.22 4.3V; 2.1mA 5.24 (a) −0.7V, 0V, 0.756V, 1.05mA, 0.034mA, 1.02mA; (b) 0.7V, 0V, −0.77V, 2.3mA, 0.074mA, 2.23mA; (c) 3.7V, 3V, 2.62V, 4.82mA, 0.155mA, 4.66mA; (d) 2.3V, 3V, 4.22V, 4.89mA, 0.158mA, 4.73mA 5.26 −2.2V; 0.779; 3.53; 3.7V; 0V; −0.7V; +0.7V 5.29 1/3; 1/2 5.30 0.74V; 0.54V 5.32 3.35μA 5.38 33.3kΩ; 100V; 3.3kΩ 5.40 1.72mA; 6V; 34V; 20kΩ 5.42 150; 125; 1.474mA 5.45 40.2mV 5.52 3Ω; 110mV; 68.2; 0.11 5.54 −360V/V; 0.7V, 2mV 5.57 −100V/V 5.60 3mA; −120V/V; −0.66V; −0.6V; 0.54V; 0.6V 5.63 3V; 2.5mA; 25μA; 3.2V 5.65 1.8kΩ; 2 5.67 (a) 1.8mA, 1.5mA, 3.3mA; (b) 1.8mA, 0.3mA; 2.5mA 5.69 (a) 1.3V, 3.7V; (b) 0.3V, 4.7V; (c)0V, +5V 5.72 −0.7V; +4.7V; −0.5V(−1V; +5V); +2.6V(1.9V, 2.6V) 5.74 0.3V; 15μA; 0.8mA; 0.785mA; −1.075V; 52.3; 0.98 5.79 (a) −0.7V, 1.8V; (b) 1.872V, 1.955mA; (c) −0.7V, 0V, 1.872V; (d) 1.9V, −0.209V; (e) 1.224V, 1.924V, −0.246V 5.82 1.08kΩ; 晶体管饱和 5.112 1.25V; 20mA/V; 150V/V 5.118 135; 41.8Ω; 23mA/V; 1.09kΩ; −0.76V/V 5.123 9.3kΩ; 28.6kΩ; 143V/V 5.124 1mA; 0.996V/V; 0.63V/V 5.146 0.7V/V **5.147** (a) 1.73mA, 68.5mA/V, 14.5Ω 1.46kΩ; (b) 148.2kΩ, 0.93V/V; (c) 18.21kΩ, 0.64V/V 5.150 1.25GHz, 5.8GHz, 2.47ps, 0.95pF 5.153 0.54pF; 20mA/V; 7.5kΩ; 33.3MΩ 5.168 19 5.169 2.15mA; 4.62mW; 24mW; 14.3mW 5.170 R_B=11kΩ; R_C = 2.2kΩ

第6章

6.4 12; 34 6.5 2.875 6.6 25.8; 1mA; 0.25mA 6.8 0.5mA; 4mA/V 6.10 0.4mA/V; 250kΩ; 100V/V; 6.3μm 6.13 16.7GHz; 23.9GHz; 因为重叠电容可忽略 6.14 15V/V; 164.2MHz; 2.5GHz, 0.155mA; 四倍后达到 0.62mA; 3.75V/V; 656.8MHz 6.17 5.3MHz; 391MHz 6.21 20kΩ; 0.2V; 200kΩ; 5μA 6.24 80μA; 0.3V; 0.8V; 3.2μA 6.27 4:25, 50, 200, 400μA; 3: 16.7, 40, 133μA; 1.53V 6.29 (a) 10μA ~ 10mA; 0.576 ~ 0.748V 6.32 0.2mA; 10% 6.35 (a) 2mA, −0.7V, 5V, 0.7V, −0.7V, −5.7V; (b) 0.2mA, −0.7V, 5V, 0.7V, 0.7V, −0.7V 6.37 0.5mA 6.40 (a) 2.07; (b) 7.02 6.41 (a) 10^5rad/s (b) 1.01×10^5rad/s; 10^7rad/s 6.42 5.67×10^6rad/s 6.44 2.5MHz; 0.56MHz 6.46 (a) $-g_mR_L/(1+g_mR_s)$; (b) $R_{gs} = (R_{sig} + R_s)/(1 + g_mR_s)$, $R_{gd} = R_L + R_{sig} + (g_mR_L/(1 + g_mR_s))R_{sig}$; (c) 若 R_s= 0: A_0 = −20V/V, ω_H = 453.5krad/s, GBW = 9.07Mrad/s; 若 R_s = 100Ω: A_0 = −14.3V/V, ω_H = 624.3krad/s, GBW = 8.93Mrad/s; 若 R_s = 250Ω: A_0 = −10V/V, ω_H = 865.7krad/s, GBW = 8.66Mrad/s 6.48 40.6V/V; 243.8ns; 3100ns;

30 ns; 47.2 kHz　6.53 (a) −1000 V/V, C_i=1.001 nF, C_o=1.001 pF; (b)−10 V/V, C_i=110 pF, C_o=11 pF; (c) −1 V/V, C_i=20 pF, C_o=20 pF; (d) 1 V/V, C_i=0 pF, C_o=0 pF; (e) 10 V/V, C_i=−90 pF, C_o= 4 pF　6.59 0.905 V; 1.4 V　6.65 (a) 0.5 mA; (b) 100 kΩ, 100 kΩ, 50 kΩ; (c) 2.5 kΩ, 20 mA/V; (d) 2.5 kΩ, 50 kΩ, −1000 V/V　6.68 7.96 GHz; 611.5 kHz; 45.06 MHz; 611 kHz; 602.9 kHz; 45.7 MHz　6.71 −80.7 V/V; 6.37 GHz; 1.87 MHz; 86.8 MHz; 1.87 MHz　6.74 −100 V/V; 7.23 MHz; 723 MHz　6.78 80 fF　6.83 932.6 Ω; 1.73 V　6.86 17.1 V/V; 557 MHz; 3.79 MHz; 3.79 MHz　6.90 50 kΩ　6.93 0.97 A/A; 2.63 MΩ　6.98 $v_y/v_x = r_{o1}/\{r_{o2}+[1+(g_{m2}+g_{mb2})r_{o2}]r_{o1}\} \simeq 1/g_{m2}r_{o2}$　6.102 25 kΩ; 4 mA/V, 100 MΩ; -2×10^5 V/V; −50 V/V　6.108 110 kΩ; −100 V/V; −31.25 V/V; 0.91 mA/V; 0.45 V/V　6.116 (a) 2 mA; (b) 8 mA/V, 1.6 mA/V, 10 kΩ; (c) 0.82 V/V, 103 Ω; (d) 0.75 V/V　6.120 0.964 V/V; 544 MHz　6.122 (a) 2.51 MΩ, −3943 V/V; (b) 107.8 kHz, C_L起主要作用，$C_{\mu2}$次之; f_H 增加了 7 倍, A_M 保持不变　6.124 10.3 MΩ; 14.8 Ω; 1 V/V; 0.985 V/V　6.128 80 μA; 8 MΩ; 0.9 V　6.132 $1/(1+(n+1)/\beta^2)$; 9　6.133 0.5 kΩ　6.135 4.1 V　6.137 2 μA; 0.2%　6.141 (a) 5.76 kΩ; (b) 33 MΩ, 0.15 μA　6.143 11 MΩ　6.144 (a) 58.5 kΩ; (b) 200 MΩ

第 7 章

7.8 1.19 V; 1.06 mA/V; 0.27 V; 800 μA　7.10 −1.5 V; +0.5 V; 两种情况相同; 0.05 V; −0.05 V; 0.536 V　7.19 −2.68 V; 3.52 V; 3.52 V　7.20 −2.683 V; +3.515 V　7.22 −0.4 V　7.24 (a) $V_{CC}-(I/2)R_C$; (b) $-(I/2)R_C$, $+(I/2)R_C$; (c) 4 V; (d) 0.4 mA, 10 kΩ　7.27 (a) $20/R_C$ V/V; (b) $V_{CC}-0.0275A$,　7.28 2.4 mA; 3.6 mA; 10.1 mV　7.29 I_{C1} = 3.6 mA, I_{C2} = 2.4 mA; 10.1 mV　7.30 (a) 4.14 V; (b) 3.15 V; (c) 3.525 V; (d) 3.755 V　7.32 1 mA; 10 kΩ　7.34 (a) 0.4 mA, 10 mV; (b) 1.40 mA, 0.60 mA; (c) −2.0 V, +2.0 V; (d) 40 V/V　7.37 40 V/V; 50 kΩ　7.38 30 V/V; ≃ 25 kΩ　7.41 26.7 V/V; 17.8 kΩ; 0.033 V/V; 15 kΩ　7.42 (a) 100 V/V; (b) 200 V/V; (c) 40.2 kΩ; (d) 0.1 V/V; (e) 0　7.44 1.8 mA; 360 V/V; 1.8 sin ωt V　7.45 R_E ≃ 25 Ω; R_C=10 kΩ; $R_o \geqslant$ 50 kΩ; R_{in} = 5 MΩ; ±12 V 就可以, ±15 V 更好　7.46 2%失配, 例如±1%的电阻　7.47 0.004 V/V　7.54 −125 μV　7.55 $V_{OS} = V_T((V_{CE}/V_{A1})-(V_{CE}/V_{A2}))$　7.57 (a) 0.25; (b) 0.225　7.60 $I/3$; $2I/3$; $R_C I/3$; 16.7 mV; 17.3 mV; 0.495 μA; 0.5 μA; 0.33 μA　7.98 R_5; 降至 7.37 kΩ; 4104 V/V; R_4 降至 1.12 kΩ　7.99 R_5 = 7.37 kΩ; 4104 V/V; R_4 =1.11 kΩ　7.100 173.1×10^3 V/V　7.101 (a) 1 mA; (b) 2.37 kΩ, 128 Ω;　(c) 2.81×10^4 V/V

第 8 章

8.1 9.99×10^{-3}; 90.99; −9%　8.3 (b) 1110; (c) 20 dB; (d) 10 V, 9 mV, 1 mV; (e) −2.44%　8.12 $A_{Mf}=A_M/(1+A_M\beta)$; $W_{Lf}=W_L/(1+A_M\beta)$; $1+A_M\beta$　8.14 100 kHz; 10 Hz　8.20 0.08; 12.34; 10.1　8.29 $10^4+10^7/(1+jf/100)$; $10^{-3}+1/(1+jf/100)$; 1 MΩ; 14.1 kΩ; 10 Ω; 700 Ω　8.30 (a) $h_{11}=R_1R_2/(R_1+R_2)$ Ω, $h_{12}=R_2/(R_1+R_2)$ V/V, $h_{21}=-R_2/(R_1+R_2)$ A/A, $h_{22}=1/(R_1+R_2)$ ℧; (b) h_{11} = 10 Ω, h_{12} = 0.01 V/V, h_{21} = −0.01 A/V, h_{22} = 0.99×10^{-3} ℧　8.31 10 V/V; 9.9 Ω　8.34 0.0 V; 0.7 V; 31.3 V/V; 0.1 V/V; 7.6 V/V; ∞; 163 Ω　8.35 (b) ≃ 1+ (R_F/R_E); (c) 1.2 kΩ; (d) 1.75 kΩ, 628.1 Ω; (e) 23.8 V/V; (f) 154 kΩ, 0.53 Ω　8.37 7.52 mA/V; 110.8 kΩ; 433.4 kΩ　8.41 −4.7 V/V; 75 kΩ　8.47 (a)并联−串联; (b) 串联−串联; (c) 并联−并联　8.48 −5.66 V/V; 142 kΩ; 5.63 kΩ; 142.9 kΩ; −5.61 V/V; 5.96 kΩ　8.49 −9.83 kΩ;　29.7 Ω; −7.6 A/A　8.50 9.09 A/A; 90.9 Ω; 110 kΩ　8.53 3.13; 163 Ω　8.61 10^4 rad/s; β = 0.002; 500 V/V　8.63 K<0.008　8.65 9.9 V/V; 1.01 MHz; 10 MHz; 101　8.66 (a) 5.5×10^4 Hz, $\beta = 2.025\times10^{-3}$; (b) 330.6 V/V; (c) 165.3 V/V, 1/2; (d) 1.33　8.68 $\omega_0 = 1/CR$; $Q = 1/(2.1-K)$; 0.1; 0.686; K = 2.1　8.69 $K \geqslant 2$; 17.3 MHz　8.70 1 MHz; 90°　8.72 56.87°; 54.07°; 59.24°; 52.93°　8.74 159.2 μs; 39.3°; 20 dB　8.76 200 Hz　8.77 10^3 Hz; 2000　8.78 $1/10RC$; $1/RC$; $1/100RC_f$; $9.1/RC$　8.79 10 Hz; 15.9 nF　8.80 58.8 pF; 38.8 MHz

第9章

9.21 36.3μA 9.22 0.625 V; 对于 A, 7.3 mA/V, 134.3 Ω 6.85 kΩ 274 kΩ; 对于 B, 21.9 mA/V, 44.7 Ω, 2.28 kΩ, 91.3 kΩ 9.27 616 mV; 535 mV; 4.02 kΩ 9.29 4.75μA; 1.94 kΩ 9.31 56.5 kΩ; 9.353μA 9.33 226 ~ 250; +5% 9.36 6.37 kΩ; 270μA 9.38 1.68 mA; 50.4 mW 9.40 将 R_1', R_2' 增至 4.63 kΩ 9.43 0.96 mV 9.45 33.9 dB 9.48 3.10 MΩ ; 9.38 mA/V 9.50 4.2V~-3.6 V 9.52 21 mA 9.54 108 dB; 61.9 Ω; 105.6 dB; $|V_o|<4$ V 9.56 11.4 MHz 9.58 637 kΩ 9.60 159 kHz; 15.9 MHz 9.62 6 位; 0.156 V; 7 位; 7 位; 0.117 V; 0.059 V 9.65 $I/16$; $I/8$; $I/4$; $I/2$ 9.67 采用输入接 $R/2$、反馈接 $50R$ 的运放驱动 V_{ref}; 正弦波幅度为 15, 从峰值 0.625 V 到峰值 9.375 V; 输出为 10 V(峰-峰)对应数字输入(1000) 9.69 8.19 ms; 4.096 ms; 9.9 V; 没有，保持不变!

附录 B

B.2 $h_{11}=2.6\text{k}\Omega$; $h_{12}=2.5\times10^{-4}$; $h_{21}=100$; $h_{22}=2\times10^{-5}$ ℧

B.3 $y_{11}=1/r_\pi+s(C_\pi+C_\mu)$; $y_{12}=-sC_\mu$; $y_{21}=-sC_\mu+g_m$; $y_{22}=1/r_o+sC_\mu$

附录 C

C.1 $Z_t=V_{oc}/I_{sc}$ C.3 1 V, 0.90 kΩ; 0.526 V C.5 $R_{in}=(r_\pi+R_B)/(1+g_m r_\pi)$

附录 D

D.2 $V_o(s)/V_i(s)=R_2/(R_1+R_2)$ D.4 10^5 rad/s D.6 HP; 10 rad/s D.7 $v_O(t)=10(1-e^{-t/10^{-6}})$; $v_o(t)=10e^{-10^6 t}$

D.9 3.5 ns D.11 −4.67 V D.13 −6.32 V; 9.5 ms D.15 14.4 μs

附录 E

E.1 $V_o(s)/V_i(s)=RC_1s/(1+sR(C_1+C_2))$; STC. $C_{eq}=C_1//C_2$; 高通; 零点在 0 Hz; 极点在 1.59 Hz
E.5 10 kHz; 5.1 kHz; 1.05 kHz E.10 0 dB, −90°; +0.04 dB, −95.0°

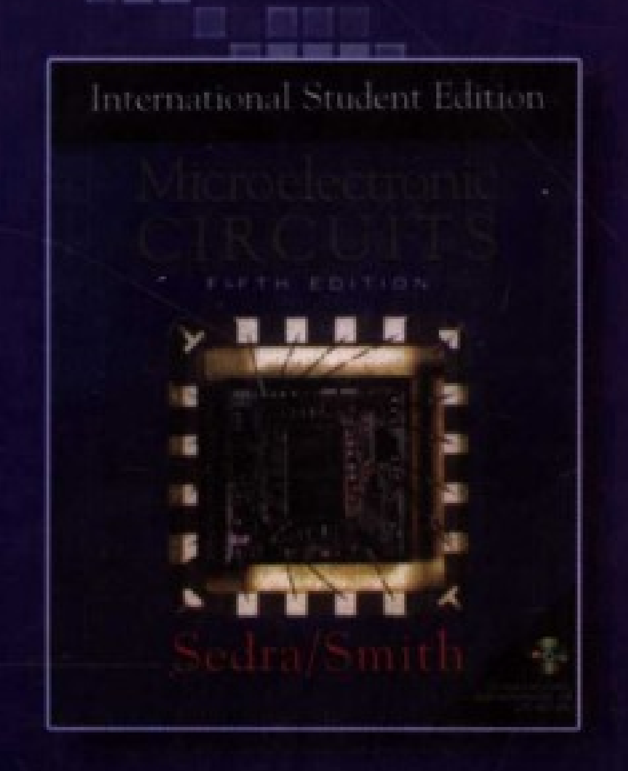
国外电子与通信教材系列

下册

微电子路

（第五版）

Microelectronic Circuits, Fifth Edition



［加］ Adel S. Sedra
Kenneth C. Smith 著
周玲玲 蒋乐天 应忍冬 等译
徐国治 审校



電子工業出版社
Publishing House of Electronics Industry
http://www.phei.com.cn

国外电子与通信教材系列

微电子电路

（第五版）

（下册）

Microelectronic Circuits

Fifth Edition

［加］ Adel S. Sedra
Kenneth C. Smith 著

周玲玲 蒋乐天 应忍冬 等译
徐国治 审校

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内容简介

本书是电子和计算机工程专业的一本权威的经典教材。全书分为上下两册。上册主要内容包括：运算放大器，二极管，场效应晶体管，双极型晶体管，单级集成电路放大器，差分和多级放大器，反馈放大器，运算放大器和数据变换电路；下册主要内容包括：数字CMOS逻辑电路，寄存器和高级数字电路，滤波和调谐放大器，信号发生器和波形整形电路，输出级和功率放大器。

本书既可作为电子与计算机工程专业的教材，也适合作为其他相关领域工程师的自学参考书。

图书在版编目（CIP）数据

微电子电路. 下册（第五版）/（加）塞德雷（Sedra, A. S.），（加）史密斯（Smith, K. C.）著；周玲玲等译.
北京：电子工业出版社，2006.7
（国外电子与通信教材系列）
书名原文：Microelectronic Circuits, Fifth Edition
ISBN 7-121-02671-6

Ⅰ.微…　Ⅱ.①塞…　②史…　③周…　Ⅲ.超大规模集成电路－教材　Ⅳ.TN47

中国版本图书馆CIP数据核字（2006）第051679号

责任编辑：周宏敏
印　　刷：北京市天竺颖华印刷厂
出版发行：电子工业出版社
　　　　　北京市海淀区万寿路173信箱　邮编：100036
经　　销：各地新华书店
开　　本：787 × 1092　1/16　　印张：22.5　　字数：650千字
印　　次：2006年7月第1次印刷
定　　价：36.00元

序

2001年7月间，电子工业出版社的领导同志邀请各高校十几位通信领域方面的老师，商量引进国外教材问题。与会同志对出版社提出的计划十分赞同，大家认为，这对我国通信事业、特别是对高等院校通信学科的教学工作会很有好处。

教材建设是高校教学建设的主要内容之一。编写、出版一本好的教材，意味着开设了一门好的课程，甚至可能预示着一个崭新学科的诞生。20世纪40年代MIT林肯实验室出版的一套28本雷达丛书，对近代电子学科、特别是对雷达技术的推动作用，就是一个很好的例子。

我国领导部门对教材建设一直非常重视。20世纪80年代，在原教委教材编审委员会的领导下，汇集了高等院校几百位富有教学经验的专家，编写、出版了一大批教材；很多院校还根据学校的特点和需要，陆续编写了大量的讲义和参考书。这些教材对高校的教学工作发挥了极好的作用。近年来，随着教学改革不断深入和科学技术的飞速进步，有的教材内容已比较陈旧、落后，难以适应教学的要求，特别是在电子学和通信技术发展神速、可以讲是日新月异的今天，如何适应这种情况，更是一个必须认真考虑的问题。解决这个问题，除了依靠高校的老师和专家撰写新的符合要求的教科书外，引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，是会有好处的。

一年多来，电子工业出版社为此做了很多工作。他们成立了一个“国外电子与通信教材系列”项目组，选派了富有经验的业务骨干负责有关工作，收集了230余种通信教材和参考书的详细资料，调来了100余种原版教材样书，依靠由20余位专家组成的出版委员会，从中精选了40多种，内容丰富，覆盖了电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等方面，既可作为通信专业本科生和研究生的教学用书，也可作为有关专业人员的参考材料。此外，这批教材，有的翻译为中文，还有部分教材直接影印出版，以供教师用英语直接授课。希望这些教材的引进和出版对高校通信教学和教材改革能起一定作用。

在这里，我还要感谢参加工作的各位教授、专家、老师与参加翻译、编辑和出版的同志们。各位专家认真负责、严谨细致、不辞辛劳、不怕琐碎和精益求精的态度，充分体现了中国教育工作者和出版工作者的良好美德。

随着我国经济建设的发展和科学技术的不断进步，对高校教学工作会不断提出新的要求和希望。我想，无论如何，要做好引进国外教材的工作，一定要联系我国的实际。教材和学术专著不同，既要注意科学性、学术性，也要重视可读性，要深入浅出，便于读者自学；引进的教材要适应高校教学改革的需要，针对目前一些教材内容较为陈旧的问题，有目的地引进一些先进的和正在发展中的交叉学科的参考书；要与国内出版的教材相配套，安排好出版英文原版教材和翻译教材的比例。我们努力使这套教材能尽量满足上述要求，希望它们能放在学生们的课桌上，发挥一定的作用。

最后，预祝“国外电子与通信教材系列”项目取得成功，为我国电子与通信教学和通信产业的发展培土施肥。也恳切希望读者能对这些书籍的不足之处、特别是翻译中存在的问题，提出意见和建议，以便再版时更正。

吴佑寿

中国工程院院士、清华大学教授

“国外电子与通信教材系列”出版委员会主任

出版说明

进入21世纪以来，我国信息产业在生产和科研方面都大大加快了发展速度，并已成为国民经济发展的支柱产业之一。但是，与世界上其他信息产业发达的国家相比，我国在技术开发、教育培训等方面都还存在着较大的差距。特别是在加入WTO后的今天，我国信息产业面临着国外竞争对手的严峻挑战。

作为我国信息产业的专业科技出版社，我们始终关注着全球电子信息技术的发展方向，始终把引进国外优秀电子与通信信息技术教材和专业书籍放在我们工作的重要位置上。在2000年至2001年间，我社先后从世界著名出版公司引进出版了40余种教材，形成了一套“国外计算机科学教材系列”，在全国高校以及科研部门中受到了欢迎和好评，得到了计算机领域的广大教师与科研工作者的充分肯定。

引进和出版一些国外优秀电子与通信教材，尤其是有选择地引进一批英文原版教材，将有助于我国信息产业培养具有国际竞争能力的技术人才，也将有助于我国国内在电子与通信教学工作中掌握和跟踪国际发展水平。根据国内信息产业的现状、教育部《关于“十五”期间普通高等教育教材建设与改革的意见》的指示精神以及高等院校老师们反映的各种意见，我们决定引进“国外电子与通信教材系列”，并随后开展了大量准备工作。此次引进的国外电子与通信教材均来自国际著名出版商，其中影印教材约占一半。教材内容涉及的学科方向包括电路理论与应用、信号与系统、数字信号处理、微电子、通信系统、电磁场与微波等，其中既有本科专业课程教材，也有研究生课程教材，以适应不同院系、不同专业、不同层次的师生对教材的需求，广大师生可自由选择和自由组合使用。我们还将与国外出版商一起，陆续推出一些教材的教学支持资料，为授课教师提供帮助。

此外，“国外电子与通信教材系列”的引进和出版工作得到了教育部高等教育司的大力支持和帮助，其中的部分引进教材已通过“教育部高等学校电子信息科学与工程类专业教学指导委员会”的审核，并得到教育部高等教育司的批准，纳入了“教育部高等教育司推荐——国外优秀信息科学与技术系列教学用书”。

为做好该系列教材的翻译工作，我们聘请了清华大学、北京大学、北京邮电大学、南京邮电大学、东南大学、西安交通大学、天津大学、西安电子科技大学、电子科技大学、中山大学、哈尔滨工业大学、西南交通大学等著名高校的教授和骨干教师参与教材的翻译和审校工作。许多教授在国内电子与通信专业领域享有较高的声望，具有丰富的教学经验，他们的渊博学识从根本上保证了教材的翻译质量和专业学术方面的严格与准确。我们在此对他们的辛勤工作与贡献表示衷心的感谢。此外，对于编辑的选择，我们达到了专业对口；对于从英文原书中发现的错误，我们通过与作者联络、从网上下载勘误表等方式，逐一进行了修订；同时，我们对审校、排版、印制质量进行了严格把关。

今后，我们将进一步加强同各高校教师的密切关系，努力引进更多的国外优秀教材和教学参考书，为我国电子与通信教材达到世界先进水平而努力。由于我们对国内外电子与通信教育的发展仍存在一些认识上的不足，在选题、翻译、出版等方面的工作中还有许多需要改进的地方，恳请广大师生和读者提出批评及建议。

电子工业出版社

教材出版委员会

译 者 序

《微电子电路》一书是电子、通信、电气和计算机工程专业电子电路核心课程的教材，同时对于那些想通过自学提高集成电路设计知识的工程师和其他技术人员也非常有用。

本书在详细阐述晶体管器件基本性能的基础上，侧重于模拟和数字电路的分析和设计。本书作者非常注重将新技术引入教材中，无论是晶体管器件和晶体管电路，还是 MOS 晶体管及其电路，它们都被作为首要内容加以阐述，这是因为 MOS 器件及 CMOS 工艺已经成为现代集成电路设计的主流。本书既重视基本电路的性能分析、工程估算，更重视电路的设计，每一章都有关于电路设计的例子，正如作者在前言中所述："本书的目的是使读者具有分析和设计电子电路的能力，包括模拟电路和数字电路、分立元件电路和集成电路。"

本书语言浅显，通俗易懂，对基本概念的阐述思路清晰，即使一些比较深奥的概念，作者也能娓娓道来，在表述基本概念的同时，还结合实际电路的设计，使得读者对基本概念的理解不仅仅停留在理论层面上，还具有了感性的认识。由于现代电路设计已经离不开计算机的帮助，作为电路设计工程师，掌握电路分析和设计用的计算机辅助工具已成必然，本书在这方面同样做得很出色，在每一章的最后都安排了 PSpice 仿真实例作为结束，体现了作者长期以来在电路分析和设计方面的经验积累。

本书的另一个特点是例题和习题非常丰富，通过例题可以加深对基本概念的理解，而大量的练习和习题对读者检验基本概念的掌握程度、加深基本概念的理解、牢记基本概念的要点都有积极的帮助作用。作者在教材编写方面具有丰富的经验，所挑选的例题以及大多数习题和练习都基于实际电路和实际电路设计中的应用，对读者而言，在解题的同时，也学会了如何解决实际的电路设计问题。

本书的前言、第 1 章至第 5 章主要由蒋乐天翻译；第 6 章和第 11 章由华颖翻译；第 7 章由俞子丰翻译；第 8 章由张骋元翻译；第 9 章、第 12 章、第 13 章、第 14 章和附录由周玲玲翻译，第 10 章和 1.7 节、4.10 节、5.10 节、9.7 节、9.8 节、9.9 节由应忍冬翻译；周玲玲对全书做了统一校订，最后由徐国治教授审阅了全书。

由于译者水平有限，书中难免有不妥和错误之处，敬请读者给予批评和指正。



前　　言

《微电子电路》(第五版)是电气工程和计算机工程专业电子电路的核心课程教材，同时对于那些想通过自学掌握更多知识的工程师和其他技术人员也非常有用。

同前四版一样，本书的目的是使读者掌握分析和设计电子电路(包括模拟电路和数字电路，分立元件电路和集成电路)的能力。在涉及集成电路的应用时，重点放在晶体管电路的设计上。这是因为我们认为即使大多数读者不从事 IC 设计，但掌握一些 IC 芯片的知识将有助于合理和创造性地应用这些芯片。此外，由于 VLSI 技术和设计方法学的进步，越来越多的工程师可以接触到 IC 设计本身。

预修课程

学习本书内容的预修课程是电路分析。作为回顾，本书的附录中介绍了一些线性电路知识。具体而言，附录 B 是有关二端口网络参数的；附录 C 是关于一些有用的网络定理的；附录 D 总结了单时间常数电路；附录 E 讲解了 s 域分析。学习本书不需要具备很深入的电子物理知识，所有要讲述的器件的物理知识在书中均有介绍，附录 A 还对 IC 制造工艺做了简单描述。

本版新增内容

尽管保留了前四版的教学方法，然而第五版在组织和内容上还是做了一些修改。

1. 各章的组织结构如下：重要的必须涉及的内容放在前面，比较专业的内容放在后面。这可以使采用本书的教和学有相当的灵活性。
2. 对第 4 章和第 5 章进行了重写和更新，而且这两章内容相互之间完全独立。把有关 MOSFET 的一章放在前面完全是因为 MOSFET 现在在很多领域都是最重要的电子器件。但是如果需要，也可以将有关 BJT 的一章放在前面。此外，这两章的内容具有相同的结构，因此第二种器件的教和学会更加简单和快捷。
3. 为了使第一门课程更完整，第 4 章和第 5 章都包含了放大器和数字逻辑电路的内容。而且也包括了基本的共源(共发射极)放大器的频率响应内容。这对于有可能不选修第二门电子学课程的学生来说非常重要。
4. 增加了一章新内容，即集成电路(IC)放大器(第 6 章)。在这一章中，首先对 MOSFET 和 BJT 进行了全面的比较，给出了利用现代亚微米制造工艺得到的器件的典型参数值，并在例题、练习和章后习题中使用了这些参数。由于各种放大器组态都包含它的频率响应，这使得放大器频率响应的学习更加有趣，在某种程度上也更加简单。
5. 第 7 章(差分放大器和多级放大器)的内容也是重写的，该章最先给出的是 MOSFET 差分对，并对例题、练习和习题进行了扩展和更新，采用了反映现代亚微米技术的器件的参数值。
6. 第五版的重点是 MOSFET 电路。

7. 为了给更多的新内容留出篇幅，第五版去掉了一些已经不太流行的内容（如 JFET 和 TTL）和非常专业化的内容（如砷化镓器件和电路）。但是，这些内容可以在本书附带的光盘和网站上得到。
8. 为有助于读者学习和参考，第五版增加了许多总结性的表格。
9. 更新了练习、例题和章后习题，并且增加了数量和种类。
10. 重写了关于 SPICE 的内容，而且 SPICE 实例现在使用原理图输入。为了能够进一步进行仿真实验，在光盘和网站上提供了所有 SPICE 实例的相关文件。

光盘和网站

第五版（上册）附光盘一张，其中包含许多有用的补充材料，希望能够丰富读者学习的经历。具体内容包括：（1）OrCAD PSpice 9.2 学生版；（2）书中所有 SPICE 例题的输入文件；（3）链接本书网站，可以访问本书中每个插图的 PowerPoint 幻灯片，学生可以打印出来并带到课堂上以便于记笔记；（4）书中未包含的一些很专业的主题，包括：JFET、GaAs 器件和电路以及 TTL 电路。

本书有一个对应的网站（www.sedrasmith.org），其内容更新较快以求能够反映该领域的最新发展。主要包括所有 PSpice 实例的 SPICE 模型和文件，与感兴趣的业界和学术界网站的链接，以及与作者交流的信息中心。此外还包含一个与牛津大学出版社高等教育组的链接，从而使教师们可以得到完整的文本材料。

强调设计

我们认为教好电路设计的最好方法是指出在选择电路结构和为特定结构选择元件值时应该有各种折中或者权衡的考虑。第五版通过增加更多的设计实例、练习和章后习题来着重强调设计内容。那些关于“基于设计”的练习和章后习题前面都用 D 来表示。此外，本书采用了最有用的设计辅助工具 SPICE。

练习、习题和附加的有解答的习题

第五版共有 450 余个练习。每个练习的下面都给出了答案，学生可以根据这些练习检查是否理解了所学的内容。求解这些练习可以使读者了解对所学内容的掌握和理解程度。此外，第五版还给出了 1370 多道习题，其中大约三分之一是本版新增的习题。这些习题是针对各章的关键问题的，其难易程度用加星号的方法来表示：难题用一个星号（*）标注，更难的习题用两个星号标注（**），很难（和/或耗时）的习题用三个星号标注（***）。但是我们必须承认这样的分类并不准确，因为我们的分类无疑在某种程度上取决于我们的思维（或情绪）。附录 H 中大约包含一半习题的答案。所有练习和习题的完整解答在教师手册中提供，采用本书的教师可以从出版商那里获得教师手册。

与前面四个版本一样，第五版中包含了许多例题。这些例题以及大多数习题和练习都基于实际电路和实际电路设计中碰到的应用。第五版仍然在许多例子的插图中使用数字来标注解答步骤，希望此举能够增加课堂教学的互动性。

使用早期版本的学生曾多次提出需要一本习题解答。为了满足这个要求，第五版提供了一本有解答的关于习题的书（可参见后面关于辅导书的介绍）。

第五版内容概要

第 1 章简单介绍电子学的基本概念。其中介绍了信号、信号频谱以及信号的模拟形式和数字形式。放大器作为模块电路构件来介绍，并且分析了不同类型的放大器及其模型。本章根据电压传输特性定义了数字电路的基本单元——数字逻辑反相器，讨论了利用电压和电流开关得到的反相器的不同实现方法。此外，本章还给出了本书采用的术语和符号的含义。

接下来的四章主要讲解电子器件和基本电路。第 2 章讨论运算放大器及其端口特性、简单应用和限制条件。我们比较早地把运算放大器作为模块电路来讨论是因为它比较容易处理，学生可以用运算放大器做实验，通过完成一些重要的应用获得一种成就感。我们发现这种方法会极大地激发学生的兴趣。但是，我们也要指出，本章的部分内容或者全部内容都可以暂时跳过，留待后面再学习（例如，与第 7 章、第 8 章和/或第 9 章相结合），这样做不会影响内容的连读性。

第 3 章介绍最基本的电子器件——*pn* 结二极管。内容包括二极管端口特性、各种层次的模型和基本电路应用。为了理解二极管的工作原理（同样也是 MOSFET 和 BJT 的工作原理），第五版对半导体和 *pn* 结做了简明而重点突出的介绍。这部分内容放在本章的结尾处（见 3.7 节），在电子物理学中已经学过相关内容的读者可以部分或全部地跳过该内容。

第 4 章和第 5 章分别讨论两类主要的电子器件——MOS 场效应管（MOSFET）和双极型晶体管（BJT）。这两章具有相同的结构并且互相独立，先学习哪一章都可以。这两章都以器件结构和器件的工作原理开始，然后引出端口特性的描述。通过大量的晶体管直流电路的例子使读者能够比较深入地熟悉作为电路元件的晶体管的运行特性。接下来介绍基本共源（共发射极）电路的大信号工作性能，分析器件作为线性放大器的工作区以及作为开关的工作区。不同区域需要对晶体管进行相应偏置来得到，因此引出了偏置方法的内容。此处的偏置方法主要针对分立元件电路，关于 IC 偏置方法的介绍见第 6 章。接下来，介绍小信号工作原理以及小信号模型的推导和分立元件放大器的基本组态。由于晶体管内部电容对高频性能的影响，从而引出了晶体管的高频等效电路模型，该模型可用来确定共源（共发射极）放大器的高频响应，同时也介绍了由耦合电容和旁路电容引起的低频响应。此后介绍了基本数字逻辑反相器电路。这两章都以 SPICE 中使用的晶体管模型和使用 PSpice 的电路仿真实例作为结束。应该指出，第 4 章和第 5 章是电子学第一门课程的基本内容。

第 6 章到第 10 章介绍模拟和数字集成电路。第 6 章首先对 MOSFET 和 BJT 的特性进行了全面描述和比较，并在比较时利用了现代制造工艺技术得到的器件的典型参数值。接下来有条理地介绍了 IC 放大器设计中采用的偏置方法（见 6.3 节）、放大器高频响应的背景知识（见 6.4 节）和单级 IC 放大器的不同组态。对于每一种情况，首先给出 MOS 电路。一些晶体管对组态（如 Cascode 电路和达林顿电路）通常也被作为单级电路来对待。每一节都包含特定放大器组态的高频响应的内容。我们相信将高频响应的学习嵌入到每一节中比传统的将所有频率响应的内容放到后面要好。同其他各章一样，我们把更专业的内容放在本章后半部分讲解，其中包括高性能的镜像电流源和电流源的概念，这样使读者在第一遍阅读时可以跳过其中一些内容。本章为模拟 IC 设计的深层次的学习奠定了很好的基础。

第 7 章介绍 IC 放大器，其中重点强调两个主要的放大器——差分放大器和多级放大器。这一章也首先讲解 MOSFET 差分对。频率响应则是在需要的地方讨论，包括在多级放大器的两个例子中。

第 8 章介绍重要的反馈内容。给出了负反馈的实际电路应用，此外还详细讨论了反馈放大器

的稳定性问题及频率补偿的内容。

第 9 章集成了前面三章介绍的模拟 IC 设计内容，并将它应用于两个主要的模拟 IC 功能块的分析和设计中，这两个模块是运算放大器和数据转换电路。本章既分析了 CMOS 运算放大器，也分析了双极型运算放大器。其中数据转换电路的内容为第 10 章数字 CMOS 逻辑电路的学习架设了桥梁。

第 10 章的内容建立在 4.10 节介绍的 CMOS 逻辑电路的基础之上，讲解了包括静态和动态 CMOS 逻辑电路的一些精选内容，这些内容使第二部分的模拟和数字 IC 的学习更加完整。

第 11 章介绍数字电路。具体而言，讲解存储器以及相关电路，如锁存器、触发器以及单稳态、双稳态和多谐振荡器。此外，还讲解了两个比较专业但却很重要的数字电路技术：射极耦合逻辑（ECL）和 BiCMOS。第 10 章和第 11 章与前面介绍的关于数字电路的内容可以为读者学习后续数字 IC 设计和 VLSI 电路课程提供很好的准备。

接下来的两章（即第 12 章和第 13 章）是基于应用和系统的内容。第 12 章主要讲解模拟滤波器的设计和调谐放大器。第 13 章介绍正弦波振荡器、波形发生器以及其他非线性信号处理电路。

本书最后一章（即第 14 章）讲解不同类型的放大器输出级电路。这一章将介绍与散热有关的设计并给出了许多 IC 功率放大器的实例。

8 个附录中包含了许多有用的背景知识和补充材料。我们希望读者能够特别关注附录 A，因为该附录概括了包括 IC 版图设计在内的 IC 制造工艺的重要内容。

课程组织

本书的内容可以用于两个学期课程的教学（每个学期 40 ~ 50 课时）。本书的组织为课程设计提供了很大的灵活性。下面我们给出了两门课程安排的建议。

第一门课程

第一门课程显然要包括第 1 章到第 5 章的内容。但是，如果时间有限，可以将下面的内容部分或全部推迟到第二门课程中讲解：1.6 节，1.7 节，2.6 节，2.7 节，2.8 节，3.6 节，3.8 节，4.8 节，4.9 节，4.10 节，4.11 节，5.8 节，5.9 节和 5.10 节；此外，也可以在这门课程中去掉第 2 章。可以把精力主要集中在 MOSFET 的内容（第 4 章）上，然后只介绍部分（或较快地介绍）BJT 的内容（第 5 章）；还可以介绍第 5 章的全部内容和第 4 章的一部分内容，但是我们不推荐这样做。另外一种选择是略去 1.7 节、4.10 节和 5.10 节，整个课程全部作为模拟电路来介绍；同样，第一门课程也可以基于数字内容讲解，其中包括以下内容：1.1 节，1.2 节，1.3 节，1.4 节，1.7 节，1.8 节，3.1 节，3.2 节，3.3 节，3.4 节，3.7 节，4.1 节，4.2 节，4.3 节，4.4 节，4.10 节，4.12 节，5.1 节，5.2 节，5.3 节，5.4 节，5.10 节，5.11 节，第 10 章的全部和第 11 章中精选出来的内容。此外，如果时间允许，介绍一下第 2 章中关于运算放大器的内容也非常有用。

第二门课程

第二门课程最好从第 6 章开始，其中，6.2 节可以作为 MOSFET 和 BJT 特性的回顾。理想情况下，第二门课程应包括第 6 章到第 10 章（当然，假设第一门课程包括第 1 章到第 5 章）。如果时间较短，那么第 10 章可以推迟到后续的关于数字电路的课程中讲解或者去掉第 6 章到第 9 章中的某些节。一种选择是不重点介绍双极型电路，因此可以略去第 6 章、第 7 章和第 9 章中双极型的部分内容或全部内容。另一种选择是减少反馈的内容（见第 8 章）。此外，第二门课程中也可以略去数据转换电路的内容。对于第 9 章，可能只需要包含 CMOS 运算放大器的内容。还有一

种可能是将第 6 章到第 10 章的部分内容用第 11 章到第 14 章中的精选内容来代替。例如，如果第二门课程全部都是讲模拟内容的，那么就可以用第 13 章到第 14 章中的一些内容来替换第 10 章。

辅导材料

本书还提供了一套完整的辅导材料对课程学习提供支持。

教师用辅助材料

教师手册（"*Instructor's Manual with Transparency Masters*"）给出了每章所有练习及习题的解答，此外还包含 200 张幻灯片，这些幻灯片是课上经常使用的图片的副本。

一套透明幻灯片，包含本书最重要的 200 张图片。

一张 PowerPoint 光盘，其中包含了本书中所有插图的幻灯片以及对应的说明。

学生和教师用辅助材料

每本书附带的光盘包含所有含有 SPICE 输入文件的正文内容、一个学生版的 OrCAD PSpice 9.2 Lite 版、一个链接到本书插图和补充内容网站的网址。

由 Kenneth C. Smith（KC）编著的 *Laboratory Explorations for Microelectronic Circuits, 5th edition* 包含本书中一些重要内容的实验和指导。

由 Kenneth C. Smith（KC）编写的 *KC's Problems and Solutions for Microelectronic Circuits,5th edition* 包含数百道附加习题以及完整解答，可以满足学生进一步练习之需。

由 McGill 大学的 Gordon Roberts 和 Adel Sedra 编著的 *SPICE, 2nd edition* 提供了 SPICE 的详细内容以及在本书电路分析和设计中的应用。

致谢

本书第五版中所做的许多修改是在得到使用第四版的教师的反馈信息后进行的。我们非常感谢那些花时间写信给我们的人。此外，以下的评阅人对第四版提出了许多意见和修改建议，这些都已经体现在修订当中，在此向他们表达最真诚的谢意。他们是：Maurice Aburdene（Bucknell 大学），Patrick L. Chapman（伊利诺大学 Urbana-Champaign 分校），Artice Davis（圣何塞州立大学），Paul M. Furth（新墨西哥州立大学），Roobik Gharabagi（圣路易斯大学），Reza Hashemian（北伊利诺大学），Ward J. Helms（华盛顿大学）Hsiung Hsu（俄亥俄州立大学），Marian Kazimierczuk（Wright 州立大学），Roger King（Toledo 大学），Robert J. Krueger（Wisconsin-Milwaukee 大学），Un-Ku Moon（Oregon 州立大学），John A. Ringo（华盛顿州立大学），Zvi S. Roth（佛罗里达 Atlantic 大学），Mulukutla Sarma（东北大学），John Scalzo（路易斯安纳州立大学），Ali Sheikholeslami（多伦多大学），Pierre Schmidt（佛罗里达国际大学），Charles Sullivan（达特默思学院），Gregory M. Wierzba（密西根州立大学），以及 Alex Zaslavsky（布朗大学）。

我们也要感谢许多同事和朋友，他们提出了很多有用的建议，他们是：Anthony Chan-Carusone（多伦多大学），Roman Genov（多伦多大学），David Johns（多伦多大学），Ken Martin（多伦多大学），Wai-Tung Ng（多伦多大学），Khoman Phang（多伦多大学），Gordon Roberts（McGill 大学），Ali Sheikholeslami（多伦多大学）。

此外还要感谢前四版的评阅人，他们是：Michael Bartz（Memphis 大学）；Roy H. Cornely（新泽西理工学院），Dale L. Critchlow（佛蒙特大学），Steven de Haas（加利福尼亚州立大学萨克拉门

托分校），Eby G. Friedman（Rochester 大学），Rhett T. George（Jr., Duke 大学），Richard Hornsey（York 大学），Robert Irvine（加利福尼亚州立大学 Pamona 分校），John Khoury（哥伦比亚大学），Steve Jantzi（Broadcom 公司），Jacob B. Khurgin（Johns Hopkins 大学），Joy Laskar（乔治亚理工大学），David Luke（New Brunswick 大学），Bahram Nabet（Drexel 大学），Dipankar Nagchoudhuri（印度理工学院），David Nairn［模拟器件公司（AD 公司）］，Joseph H. Nevin（辛辛那提大学），Rabin Raut（Concordia 大学），Richard Schreier［模拟器件公司（AD 公司）］，Dipankar Sengupta（皇家墨尔本理工学院），Michael L. Simpson（Tennessee 大学），Karl A. Spuhl（华盛顿大学），Daniel van der Weide（Delaware 大学）。

许多人都对本版做出了很大贡献。多伦多大学的 Anas Hamoui 在本版的组织和内容的成形上发挥了重要作用，此外他还编写了 SPICE 几节。多伦多大学的 Olivier Trescases 进行了 SPICE 仿真工作。AD 公司的 Richard Schreier 帮我们确定了封面照片[1]。多伦多大学的 Wai-Tung Ng 重写了附录 A。McGill 大学的 Gordon Roberts 允许我们使用 Roberts 和 Sedra 编写的 SPICE 书中的一些例子。Mandana Amiri, Karen Kozma, Shahriar Mirabbasi, Roberto Rosales, Jim Somers 和 John Wilson 在准备教师和学生用辅助材料方面都给予了很大帮助。Jennifer Rodrigues 输入了所有的修订内容。Laura Fujino 帮助我们准备了索引内容从而使我们能够把精力集中于正文的写作。对所有这些朋友和同事，我们在此一并表示感谢。

我们还要感谢 Cadence Design Systems 公司，感谢他们允许牛津大学出版社随本书附带 OrCad 系列 9.2 Lite 版软件。感谢 AD 公司的 John Geen 提供了封面照片以及感谢 Tom McElwee（TWM 研究中心）。

牛津大学出版社的许多工作人员对第五版和各种辅导书的出版做出了很多贡献。我们特别要感谢 Barbara Wasserman，Liza Murphy，Mary Beth Jarrad，Mac Hawkins，Barbara Brown，Cathleen Bennett，Celeste Alexander，Chris Critelli，Eve Siegel，Mary Hopkins，Jeanne Ambrosio，Trent Haywood，Jennifer Slomack，Ned Escobar，Jim Brooks，Debbie Agee，Sylvia Parrish，Lee Rozakis，Kathleen Kelly，Sheridan Orr 和 Kerry Cahill。

我们特别要向牛津大学出版社的 Chris Rogers 表达我们的感谢。我们也要感谢市场和销售主任 Scott Burns 提出的许多创造性想法。我们还从以前的编辑和朋友 Peter Gordon 处得到了许多支持和意见。Peter 离开后，该项目就由我们现在的编辑 Danielle Christensen 主持。编辑部、设计和生产部主任 Elyse Dubin 为确保本书能够在设计和生产的不同阶段得到最大可能的关注发挥了关键作用。

能够使该书及时出版以及达到如此好的质量的究竟是谁呢？她就是我们的主编 Karen Shapiro，我们在这里对她深表谢意。我们同样要感谢我们的家人，感谢他们的支持和理解。

Adel S. Sedra
Kenneth C. Smith

① 指的是英文原书的封面照片。——编者注

目　　录

第 10 章　数字 CMOS 逻辑电路

引言

本章讨论 CMOS 逻辑电路。CMOS 是最流行的数字系统的实现技术。其体积小、易于制造以及 MOSFET 功耗小的特点使得它能够被制成集成度极高的逻辑和存储芯片。我们将在第 11 章中讨论。

这一章的开始是概述，目的是给出本章和下一章将介绍的内容的发展前景。然后基于第 4 章介绍的 CMOS 反相器全面讨论它的分析与设计。该内容将被应用到数字逻辑电路的设计中，另外，我们还将介绍两类经常用在特殊应用场合的电路（即伪 NMOS 逻辑电路和传输晶体管逻辑电路）。

为了进一步减少功率损耗和提高性能（工作速度），人们采用了动态 MOS 技术。相关内容将在 10.6 节介绍，本章最后以 SPICE 的仿真实例结束。

概括地讲，本章给出了 CMOS 数字集成电路设计的全面和深入的介绍，这也许是最重要的电子电路领域（从产量和社会影响方面来讲）。为了从本章的内容中获得最大收益，要求读者要非常熟悉 CMOS 晶体管。因此，建议复习一下第 4 章的内容，特别需要认真阅读 4.10 节。

10.1　数字电路设计：概述

本节以 1.7 节给出的数字电路为基础并对该主题做一个概括性的介绍。我们讨论当前正被使用的不同的逻辑电路系列和技术，考虑用来描述工作特性和逻辑电路性能的参数，最后提一下数字系统设计的不同风格。

10.1.1　数字 IC 技术和逻辑电路系列

图 10.1 所示的是现在使用的主要 IC 技术和逻辑电路系列。我们需要对逻辑电路系列的概念做些解释。同一系列的各电路采用相同的工艺，具有相似的电路结构并且呈现相同的基本特性。每一个逻辑系列都有一些优点和缺点。在传统的设计风格中，人们会选择一个特定的逻辑系列（比如 TTL，CMOS 或 ECL）并试图在系统中尽可能多地使用相同系列的电路模块（封装）。采用这种方法时，不同电路模块之间的互连相对直接。从另一方面看，如果使用不同系列的电路模块，则设计者必须设计合适的接口电路。使用哪种逻辑系列是根据逻辑灵活性、工作速度、可提供的功能复杂度、噪声容限、工作温度范围、功率损耗和价格来选择的。我们将在本章和下一章讨论其中一些因素。首先，我们简单地评述图 10.1 所列出的 4 种工艺技术。

CMOS　尽管它是 4 种工艺中的一种，但图中所示并不代表逻辑电路市场份额的分配：CMOS 是数字逻辑设计中占主导地位的集成电路工艺。如前所述，CMOS 已经取代了早期 VLSI 电路设计使用的 NMOS 工艺（20 世纪 70 年代）。其原因有许多，最主要的是 CMOS 电路的功耗极低。CMOS 也已经取代了双极型工艺从而成为数字系统设计的当然选择，它所能达到的集成度（集成电路封装密度）以及一些应用是双极型工艺所无法实现的。此外，CMOS 还在继续发展，而双极型数字电路工艺已经没有多少创新了。下面列出了在数字系统中 CMOS 取代双极型工艺的几个原因。

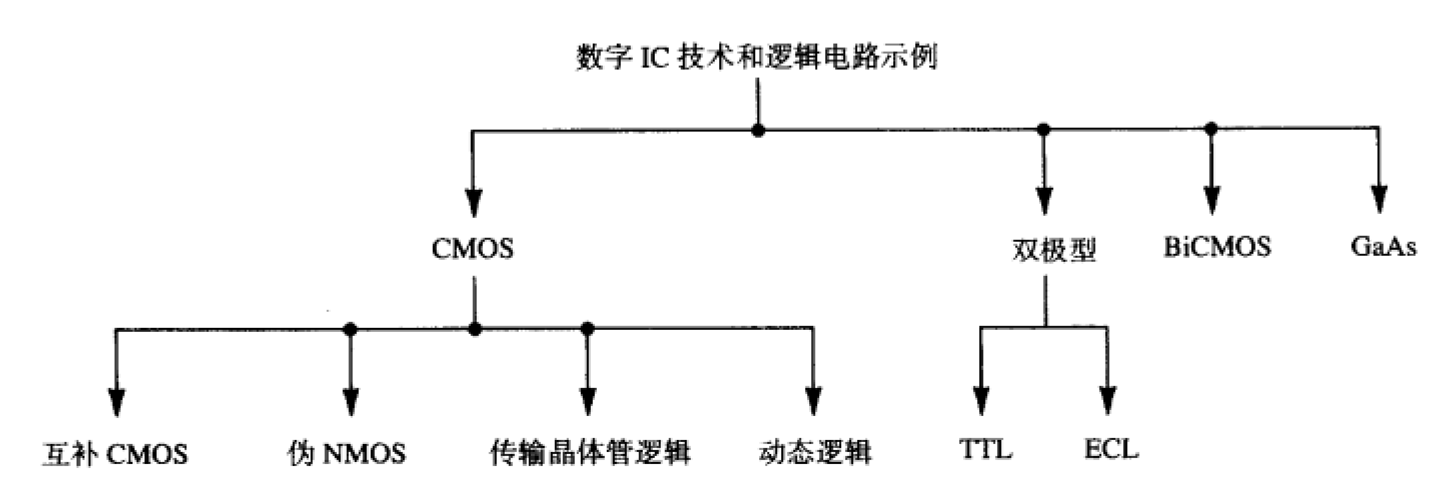


图 10.1　数字 IC 技术和逻辑电路系列

1. CMOS 逻辑电路比双极型逻辑电路消耗的能量少得多，因此与双极型工艺相比，能够在一个芯片里集成更多的 CMOS 电路。我们将在后面几节给出更多关于功率损耗的讨论。
2. MOS 晶体管的高输入阻抗使得设计者能够在逻辑和存储电路里利用存储电荷的方法存放临时信息。在双极型电路中不能使用这种技术。
3. MOS 晶体管的特征尺寸（比如最小沟道长度）近年来有很大的减小，根据最近的报道，有些设计可使用沟道长度小到 0.06 μm 的晶体管。这就允许采用非常紧凑的电路封装，这意味着具有非常高的集成度。

在各种形式的 CMOS 工艺中，基于 4.10 节介绍的 CMOS 反相器的电路实现采用得最广泛。无论在小规模集成电路（SSI，每个芯片 1~10 个门）还是在中规模集成电路（MSI，每个芯片 10~100 个门）中，都可以在印刷板上装配成的数字系统中找到它们。更有意义的是，CMOS 还被用于 VLSI 逻辑（每个芯片上有百万个门）和存储器电路的设计中。在有些应用中，互补 CMOS 电路作为其他一到两种 MOS 逻辑电路形式的补充，它们是“伪 NMOS”逻辑（这样叫是因为它的结构和 NMOS 类似）和传输晶体管逻辑，这两种电路都会在本章讨论。

第四种类型的 CMOS 逻辑电路使用动态技术得到更高的电路工作速度，同时保持功耗非常低。动态 CMOS 工艺代表了一个正在变得越来越重要的领域。最后，我们将在第 11 章详细讨论将 CMOS 技术应用于存储芯片的设计。

双极型　有两类基于双极型晶体管的逻辑系列现在还有一些应用：TTL 和 ECL。晶体管-晶体管逻辑（TTL 或 T^2L）是一个被广泛使用了很多年的逻辑电路系列。它的衰落是从 VLSI 时代的到来开始的。但 TTL 电路的制造商曾经通过引入低功耗和高速版本的电路来竞争。那些新的电路版本通过避免 BJT 进入饱和并避免饱和晶体管的缓慢关闭过程来得到高的工作速度。这些非饱和版本的 TTL 电路使用 3.8 节讨论的肖特基二极管并被称为肖特基 TTL 或类似的名字。尽管做了这些努力，TTL 还是没能成为现在主要的逻辑电路系列，本书将不予以介绍。

现在使用的另一种类型的双极型逻辑电路系列是发射极耦合逻辑（ECL）。它是基于 1.7 节讨论的用电流开关实现的反相器。基本的 ECL 单元是第 7 章介绍的 BJT 差分对。由于 ECL 基本上是电流驱动逻辑，因此也被称为“电流模式逻辑”（CML），它不存在晶体管饱和，因此可以实现非常高的工作速度。事实上，在市场上可得到的所有逻辑电路系列中，ECL 是最快的。ECL 还被用于设计高速 VLSI 电路，但设计者需要接受高的功率损耗和大的硅片面积。因此，ECL 被认为是一个重要的特殊技术，我们将在第 11 章对其进行简单的讨论。

BiCMOS　BiCMOS 组合了 BJT 的高速度（因为它们固有的高跨导）和 CMOS 的低功耗及其他优点。与 CMOS 一样，BiCMOS 可以在同一个芯片上实现模拟和数字电路（参考第 6 章讨论的模拟 BiCMOS 电路）。现在，BiCMOS 电路在一些特殊应用方面具有很大优势，比如，在存储器

芯片中 BiCMOS 作为高速容性电流驱动器的高性能满足了更复杂的工艺要求。第 11 章将简要地讨论 BiCMOS。

Gallium Arsenide (GaAs)　GaAs 的载流子迁移率非常高，因此具备非常高的工作速度。这一点已在一些使用 GaAs 的数字电路里体现出来。但需要指出的是，GaAs 还只是一种“新兴技术”，它体现出很大潜力，但还没有商品化。正因如此，它也不在本书的讨论之列。但是本书附带的光盘和相应网站上提供了很多的 GaAs 器件和电路，其中包括数字电路。

10.1.2　逻辑电路特性

下面几个参数常被用来描述一个逻辑电路系列的工作性能。

噪声容限　逻辑电路系列的静态工作特性是用其基本反相器的电压转移特性曲线（VTC）描述的。图 10.2 显示了一个电压转移特性曲线和它的 4 个参数：V_{OH}，V_{OL}，V_{IH} 和 V_{IL}。注意，V_{IH} 和 V_{IL} 定义为 VTC 上斜率等于−1 的点。同样要指出的是：门限电压 V_M 或我们常叫的 V_{th} 是 $v_O = v_I$ 的点。回顾一下我们在 1.7 节讨论过的一般形式的 VTC、4.10 节 CMOS 反相器的实际的 V_{TC} 和 5.10 节 BJT 的 VTC。

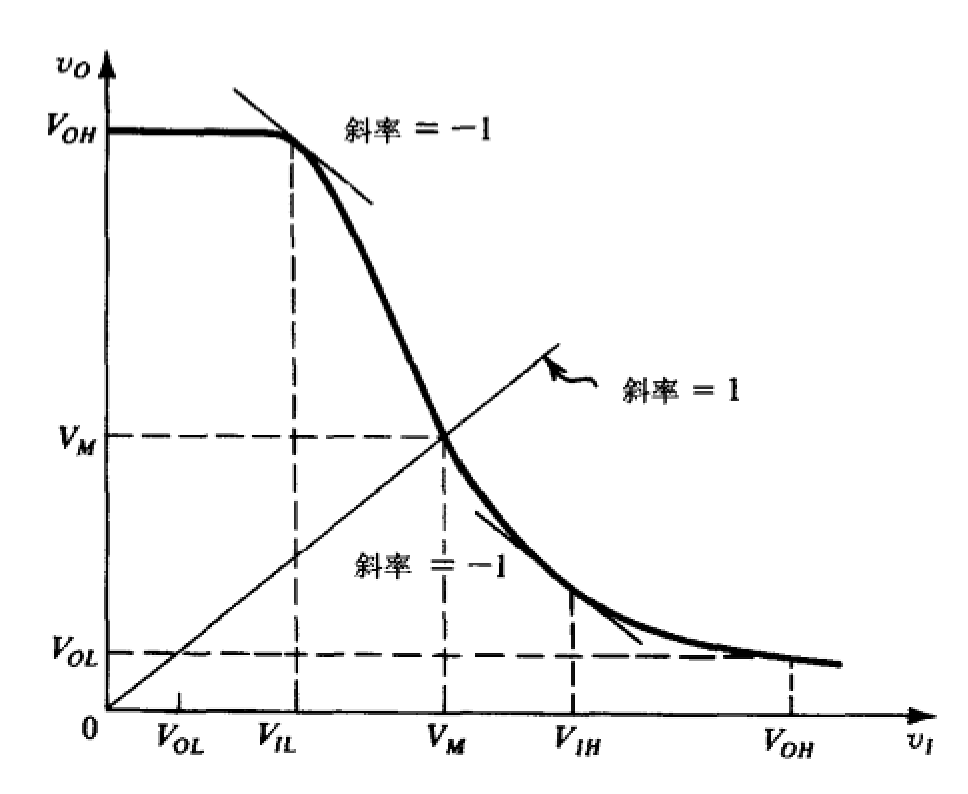


图 10.2　逻辑反相器的典型电压传输特性曲线（VTC），其中显示了关键点的定义

逻辑电路系列的稳定性由它抑制噪声的能力决定，并进而由噪声容限 NM_H 和 NM_L 决定：

$$NM_H \equiv V_{OH} - V_{IH} \tag{10.1}$$

$$NM_L \equiv V_{IL} - V_{OL} \tag{10.2}$$

一个理想的反相器有 $NM_H = NM_L = V_{DD}/2$。V_{DD} 是电源电压。此外，对于理想反相器，其门限电压 $V_M = V_{DD}/2$。

传播延迟　逻辑电路系列的动态特性是用其基本反相器的传播延迟来描述的。图 10.3 显示了从低到高的传播延迟（t_{PLH}）和从高到低的传播延迟（t_{PHL}）。反相器传播延迟（t_P）定义为这两个量的平均值：

$$t_P \equiv \frac{1}{2}(t_{PLH} + t_{PHL}) \tag{10.3}$$

显然，传播延迟越短，逻辑电路系列的工作速度就越快。

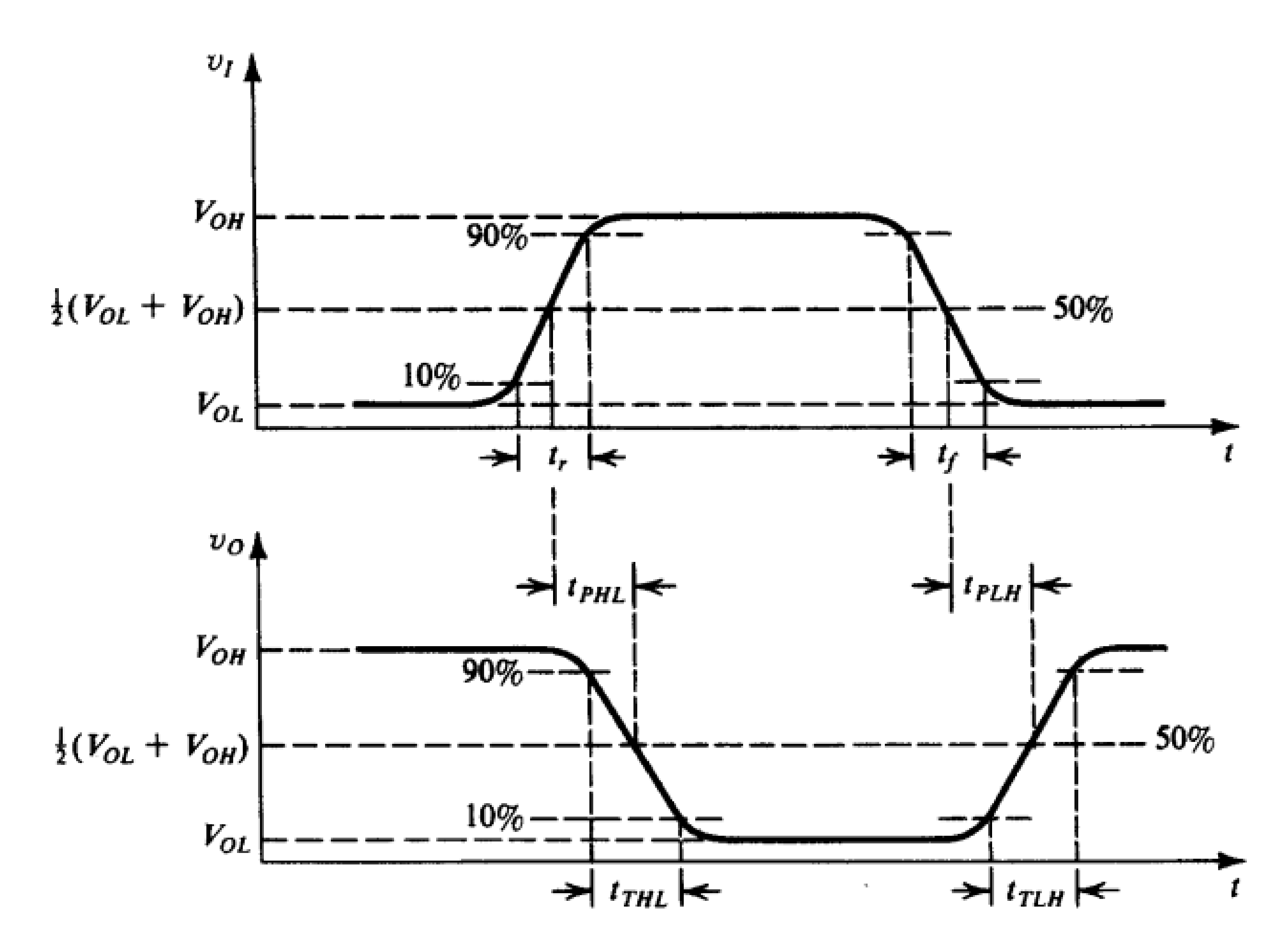


图 10.3 逻辑反相器传播延迟和开关时间的定义

功率损耗 功率损耗是逻辑电路设计的一个重要内容。减少每个门的功耗是为了把更多的门放到一个芯片里，这是基于空间和经济的考虑。总体来说，由于现代数字系统使用大量的门和存储单元，因此要把总的功耗控制在合理的限度内，每个门和存储器的功率损耗必须尽可能低，对手持式、电池驱动的设备［比如手机和个人数字助理（PDA）］更是如此。

在逻辑门中有两类功耗：静态功耗和动态功耗。静态功耗是指在没有开关动作时门电路消耗的功率。这是因为处在两个状态之一或同时处于两个状态（输出为高或为低）时，门电路存在着到电源和地之间的通路。动态功耗只在门电路开关时发生：若一个由电源 V_{DD} 供电的反相器驱动一个负载电容 C，则动态功耗 P_D 为

$$P_D = fCV_{DD}^2 \tag{10.4}$$

其中，f 是反相器开关的频率。这个公式的推导（见 4.10 节）是基于低电平和高电平输出分别是 0 和 V_{DD} 的假设。

延迟-功率积 人们常会对高速度（低 t_P）和低功耗的组合感兴趣。遗憾的是：这两者的要求经常是矛盾的。通常设计一个门的时候，如果希望减少功耗，则采取降低电源电压或电流或两者同时降低的方法，因此门的驱动能力将减少，从而导致对负载或者寄生电容的充放电时间加长，传播延迟增加。现在可以只用一个参数来比较逻辑电路技术（或系列）的性能，这个参数就是延迟-功率积，其定义为

$$DP = P_D t_p \tag{10.5}$$

其中，P_D 是门的功率损耗。注意，DP 的单位是焦耳（J）。一个逻辑电路系列的 DP 越小，其效率就越高。

硅片面积 设计 VLSI 的一个目的就是尽量减少每个门在硅片上的面积，从而就能在每块芯片上制造更多的门，因此从系统设计的角度看就有了体积和成本的优势。我们可以通过三种不同

的方式减少面积：通过先进的加工工艺尽量减少器件尺寸；通过先进的电路设计技术；通过认真的芯片布局。我们的兴趣主要在电路设计上，我们经常会提到电路设计和它的芯片面积的关系。一个普遍的准则是：电路越简单，尺寸就越小。下面很快会讲到，在电路设计时必须决定器件的尺寸。选择更小的器件的明显优势就是占用更小的硅片面积，同时减少寄生电容并提高速度。但小器件的电流驱动能力较小，这又往往会增加延迟。因此在所有的工程设计问题中，需要以一定的方式进行折中考虑，从而决定优化整个设计中的哪个部分才是最关键的。

扇入和扇出　扇入是一个门的输入管脚数目,因此对于一个 4 输入的 NOR 门来说扇入就是 4。扇出就是一个门在保证输出信号符合规范的条件下可以驱动的最大数目的同类的门。作为一个例子，我们在 4.10 节讲到，增加 BJT 反相器的扇出会降低 V_{OH} 并因此减少 NM_H。在这种情况下，为了使 NM_H 高于一定的最小值，扇出数必须限制在一个可预测的最大值上。

10.1.3　数字系统的设计风格

通常的数字系统设计方法是利用各种不同复杂度（集成度）的标准封装的集成块来组成系统的。许多系统采用诸如 TTL 小规模和中规模封装的集成块组成系统。VLSI 的优势是给设计者提供更强大的元件，比如微处理器和存储器芯片，这使得采用其他的设计风格成为可能。用一片或者两片用户定制的 VLSI 实现部分或整个电路的设计风格就是其中之一。但是用户定制集成块的设计方法只有在产量很大（超过 100 000）的时候才是可行的。

有一个介于两者中间的方法，就是使用门阵列的半定制设计方法。这种集成块有 100 000 个或更多的没有互联在一起的逻辑门。它们通过用户指定的互连图在最后的金属化步骤中完成（在集成电路制造厂完成）互连，这样就可以实现用户的特殊功能要求。现在可以获得的这类门阵列是“现场可编程门阵列”（FPGA），顾名思义，它可以直接由用户编程。FPGA 提供给数字系统设计师一个非常方便的在 VLSI 里实现复杂的逻辑功能的方法，它不增加成本，也不会产生定制和设计 IC 带来的设计周期问题［参考 Brown 和 Rose（1996）］。

10.1.4　设计抽象与计算机辅助设计

无论采用单片 IC 还是现成的元件，设计非常复杂的数字系统都有可能使用不同层次的设计抽象和各种计算机辅助工具。为了理解设计抽象的概念，我们考虑一个采用现成的逻辑门封装来设计数字系统的过程。设计者通过参考数据手册（或书籍）决定门的输入和输出特性、扇入和扇出限制等。在门的互连中，设计者需要遵守数据手册上的制造规定。设计者不需要直接考虑每个门里面的电路。实际上，电路已经被抽象成一种功能模块来使用，这极大地简化了系统设计。数字集成电路设计者依照类似的过程进行设计。电路模块被设计好且其特性被规范化之后被保存在库里作为标准单元，这些单元可以被集成电路设计人员用来装配大的子系统（比如加法器和乘法器），这些子系统再被作为功能模块存储起来，以便在更大的系统（比如整个微处理器）设计中使用。

在每一个设计抽象层上都需要借助仿真和其他计算机程序使设计过程尽可能地自动化。电路仿真使用 SPICE，而其他软件工具被用于设计过程的不同阶段。尽管数字系统设计和设计自动化不是本书讨论的内容，但是读者需要注意数字系统设计中计算机辅助设计和设计抽象所扮演的重要角色。它们使设计 100 000 000 个晶体管的数字集成电路成为可能。遗憾的是，模拟集成电路设计没有达到这样的设计抽象和设计自动化。每一个模拟集成电路在很大程度上是一个手工制品，因此模拟集成块的复杂度和集成度远低于数字集成电路。

不管在数字集成电路设计中采用哪种设计风格和方法，最根本的是要熟悉各种数字集成电路系列和设计技术。本章和下一章将介绍这样一种背景。

10.2　CMOS 反相器设计与性能分析

我们曾在 4.10 节介绍了 CMOS 反相器，建议读者在继续下面的学习前复习一下这部分内容。本节将更全面地分析反相器，探讨它的性能以及设计时的折中考虑。这些内容是学习后面几节内容的基础。

10.2.1　电路结构

图 10.4（a）所示的反相器由一对互补 MOSFET 组成，它们由输入电压 v_I 控制状态切换。尽管没有在图中画出，然而需要注意每一个器件的源极都和衬底相连，因此消除了衬底效应。通常，门限电压 V_{tn} 和 V_{tp} 在幅度上是一致的，即 $V_{tn}=|V_{tp}|=V_t$，范围是 0.2 V 到 1 V，现代小尺寸工艺（沟道长度是 0.5 μm 到 0.1 μm 或更小）制成的晶体管可达到这个范围的低端。

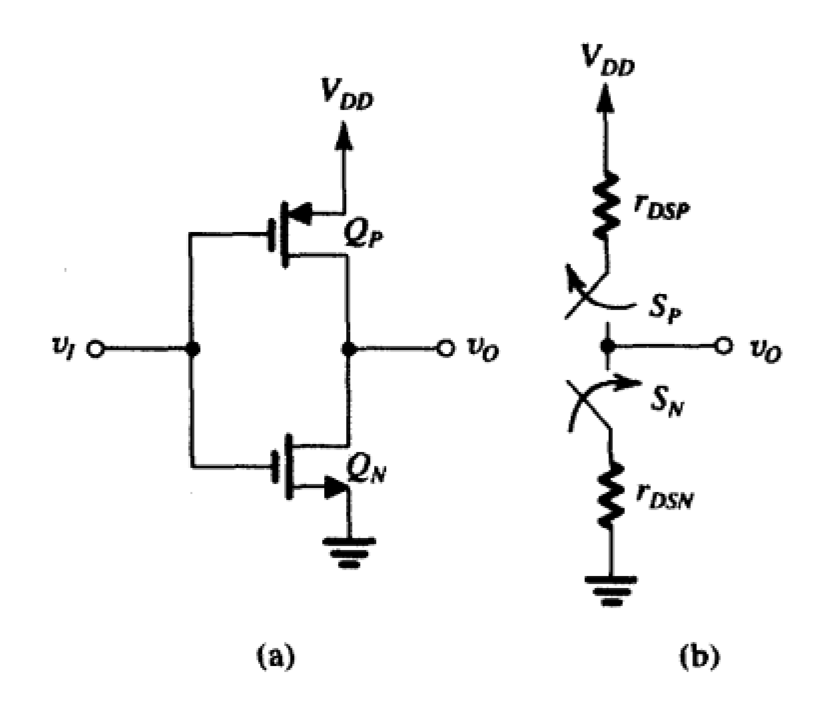


图 10.4　（a）CMOS 反相器；（b）用互补方式工作的一对开关表示的反相器

反相器的工作原理可以用一对工作在互补情况下的开关表示，如图 10.4（b）所示。开关是用一个有限的导通电阻来模拟的，电阻值是晶体管在 $|v_{DS}|=0$ 附近的源漏之间的电阻：

$$r_{DSN}=1\Big/\left[k_n'\left(\frac{W}{L}\right)_n(V_{DD}-V_t)\right] \tag{10.6}$$

$$r_{DSP}=1\Big/\left[k_p'\left(\frac{W}{L}\right)_p(V_{DD}-V_t)\right] \tag{10.7}$$

10.2.2　静态工作

当 $v_I=0$ 时，$v_O=V_{OH}=V_{DD}$，输出节点通过上拉晶体管 Q_P 的 r_{DSP} 连接到 V_{DD}。同样，当 $v_I=V_{DD}$ 时，$v_O=V_{OL}=0$，输出节点通过下拉晶体管 Q_N 的电阻 r_{DSN} 连接到地。因此静态时，V_{DD} 和地之间没有直通的路径，静态电流和静态功耗都等于 0（漏电流一般可以忽略，尤其是对大特征尺寸的器件）。

反相器的电压传输特性曲线如图 10.5 所示。从中可以看到输出电压等于 0 或 V_{DD}，因此输出摆幅达到最大可能值。事实上，V_{OL} 和 V_{OH} 与器件尺寸无关的特性使得 CMOS 与其他 MOS 逻辑有很大的不同。

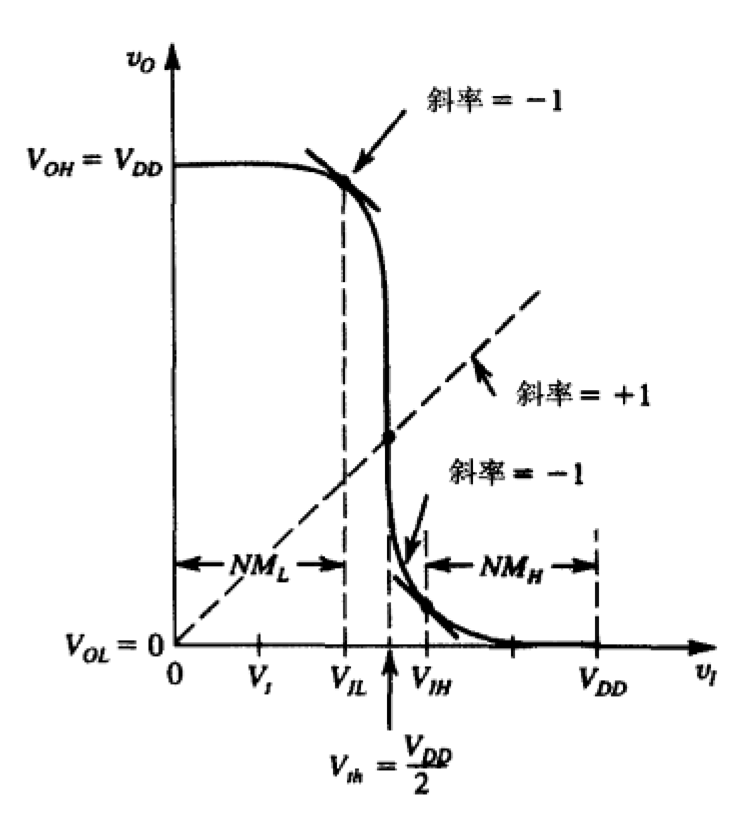


图 10.5 Q_N 和 Q_P 匹配时 CMOS 反相器的电压转移特性曲线（VTC）

通过恰当地改变晶体管尺寸，CMOS 反相器可以被制成在逻辑摆幅（0 和 V_{DD}）的中点（即在 $V_{DD}/2$）进行开关动作。可以证明开关门限 V_{th}（或 V_M）为

$$V_{th} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n / k_p} V_{tn}}{1 + \sqrt{k_n / k_p}} \tag{10.8}$$

其中，$k_n = k'_n(W/L)$，$k_p = k'_p(W/L)_p$，从中我们可以看到对于典型的情况 $V_{tn} = |V_{tp}|$，若 $V_{th} = V_{DD}/2$，则 $k_n = k_p$，即

$$k'_n(W / L)_n = k'_p(W / L)_p \tag{10.9}$$

因此，当器件被设计成有相同的跨导工艺参数时就可得到一个对称的传输特性曲线，我们把这个条件称为匹配。由于μ_n是μ_p的两倍到四倍，因此通过令$(W/L)_p$是$(W/L)_n$的两倍到四倍（即μ_n/μ_p倍）可使晶体管匹配：

$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p}\left(\frac{W}{L}\right)_n \tag{10.10}$$

通常，两个器件有相同的沟道长度 L，它是给定的工艺所允许的最小尺寸。NMOS 晶体管的最小宽度通常是 L 的 1.5 倍到 2 倍，而 PMOS 晶体管的最小宽度是 L 的 2 倍到 3 倍。比如，对于 0.25 μm 工艺，有$\mu_n/\mu_p = 3$，$L = 0.25$ μm，则$(W/L)_n = 0.375$ μm/0.25 μm，$(W/L)_p$ =1.125 μm/0.25 μm。我们很快会讲到，如果反相器需要驱动相对较大的电容负载，则要求晶体管比较宽。但是为了节省芯片面积，大多数反相器都具有最小尺寸。我们把这种最小尺寸反相器的 NMOS 晶体管的$(W/L)_n$记做 n，把 PMOS 晶体管的$(W/L)_p$记做 p。由于反相器的面积可以用$W_nL_n + W_pL_p = (W_n + W_p)L$表示，所以最小尺寸反相器的面积是$(n + p)L^2$，我们用$(n + p)$作为表示面积的近似指数。比如在前面的例子中，$n = 1.5$，$p = 4.5$，于是面积指数就是 $n + p = 6$。

除了把门的门限放在逻辑摆幅的中心之外，Q_N 和 Q_P 跨导工艺参数的匹配能够保证反相器在两个方向（上拉和下拉）都具有相同的电流驱动能力。此外与它明显相关的是，它使得 $r_{DSN} = r_{DSP}$，因此一个由匹配晶体管组成的反相器具有相同的传播延迟 t_{PLH} 和 t_{PHL}。

当反相器的门限等于 $V_{DD}/2$ 时，噪声容限 NM_H 和 NM_L 相同，并且它们的值是最大的（见 4.10 节）：

$$NM_H = NM_L = \frac{3}{8}\left(V_{DD} + \frac{2}{3}V_t\right) \tag{10.11}$$

典型情况是 $V_t = 0.1 \sim 0.2\ V_{DD}$，则噪声容限大约是 $0.4V_{DD}$，这个值接近于电源电压的一半，也就是 CMOS 反相器从抗噪声角度看接近于理想情况。另外，反相器的直流输入电流实际上等于 0，噪声容限不依赖于门的扇出数。

尽管我们强调 Q_N 和 Q_P 匹配所带来的好处，但也存在着一些情况使人们不采用匹配时的尺寸比例。比如，人们可能为了减少芯片面积而放弃匹配带来的优点，采用 $(W/L)_p = (W/L)_n$。还有一些情况下人们故意把 V_{th} 设置成特定的数值而不是 $V_{DD}/2$，使它们不匹配。注意，如果 $k_n > k_p$，则 V_{th} 接近于 0；而如果 $k_p > k_n$，则 V_{th} 接近于 V_{DD}。

关于反相器的 VTC 还有一点要说明：转换区的斜率虽然很大，但还是有限值，该值为 $-(g_{mN} + g_{mP})(r_{oN} // r_{oP})$。

10.2.3 动态工作

反相器的延迟通常是在它驱动另一个相同的反相器的条件下确定的，参见图 10.6。我们希望通过分析该电路来确定由 Q_1 和 Q_2 组成的反相器的传播延迟。它由一个低阻抗信号源 v_I 驱动，负载是由 Q_3 和 Q_4 组成的反相器。图中显示了连接在反相器（Q_1 和 Q_2）输出节点的晶体管各内部电容。显然，用纸和笔对此电路进行分析太复杂以至于得不到对设计有用的信息，因此需要一个简化的电路。具体而言，我们希望把所有连接在反相器输出节点的电容只用一个连接在输出节点和地之间的电容 C 表示。这样就能够使用 4.10 节介绍的瞬态分析的结果。我们注意到在 t_{PLH} 和 t_{PHL} 期间，第一个反相器的输出分别从 0 变到 $V_{DD}/2$ 和从 $V_{DD}/2$ 变回到 0。而第二个反相器在我们分析的这段时间内保持同一个状态。这对我们估计第二个反相器的输入等效电容非常重要。现在我们讨论图 10.6 中的每一个电容对总的等效负载电容 C 的贡献：

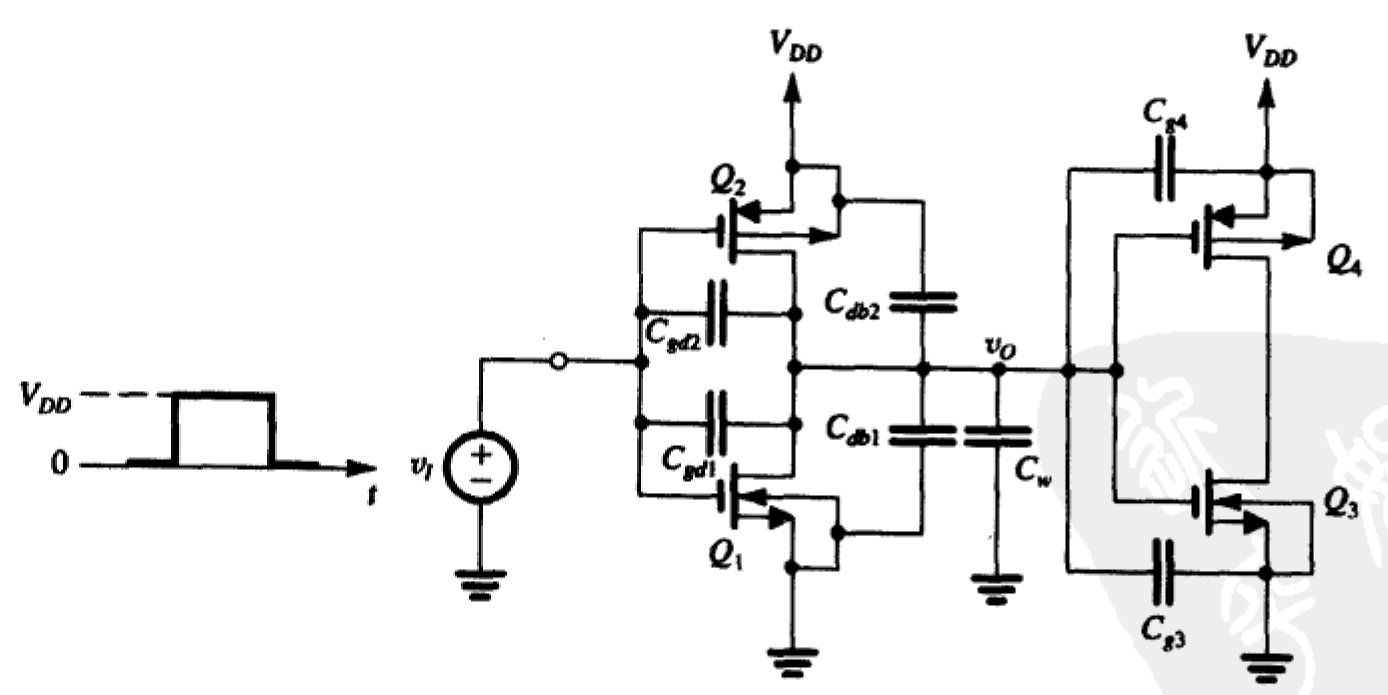


图 10.6 用于分析由 Q_1 和 Q_2 组成的反相器传播延迟的电路，它驱动一个由 Q_3 和 Q_4 组成的相同反相器

1. Q_1 的栅漏重叠电容 C_{gd1} 可以用输出节点和地之间的等效电容 $2C_{gd1}$ 表示。系数 2 是米勒效应的结果（参见 6.4.4 节）。具体而言，在 v_I 变高和 v_O 变低相同数量的时候，电容 C_{gd1} 两

端的电压是该变化量的两倍，因此输出节点实际看到的是两倍的 C_{gd1}。对 Q_2 的栅漏重叠电容 C_{gd2} 也一样，需要用输出和地之间的 $2C_{gd2}$ 表示。

2. 每个漏-衬底电容 C_{db1} 和 C_{db2} 都有一端接的是固定电压。为了便于分析，C_{db1} 和 C_{db2} 可以用连接在输出端和地之间的等量电容取代。但要注意的是，4.8 节给出的计算 C_{db1} 和 C_{db2} 的公式是小信号关系式，这里的分析显然是大信号的情况。好在求解 C_{db1} 和 C_{db2} 的等效大信号关系式的方法已被找到［参考 Hodges 和 Jackson(1988)和 Rabaey(2002)］。
3. 由于第二个反相器不在开关状态，因此我们假设 Q_3 和 Q_4 的输入电容近似为常数，等于总的栅极电容 $(WLC_{ox}+C_{gsov}+C_{gdov})$，即负载反相器的输入电容为

$$C_{g3}+C_{g4}=(WL)_3C_{ox}+(WL)_4C_{ox}+C_{gsov3}+C_{gdov3}+C_{gsov4}+C_{gdov4}$$

4. 最后一个电容 C 的分量是导线电容 C_w，它可以简单地被加到电容 C 中。

因此，总的电容 C 是

$$C=2C_{gd1}+2C_{gd2}+C_{db1}+C_{db2}+C_{g3}+C_{g4}+C_w \tag{10.12}$$

求得反相器输出节点和地之间的等效电容的近似值之后，我们可以用图 10.7 来分别确定 t_{PHL} 和 t_{PLH}。由于两个电路相似，因此只需要求解一个电路并把结果直接用到另一个电路即可。考虑图 10.7（a）所示的电路，v_I变高，Q_N对 C 放电，电压从起始电压 V_{DD}降到等于 0。分析过程有点复杂，因为初始的 Q_N处于饱和模式，当 v_O跌落到低于 $V_{DD}-V_t$时，晶体管将工作在变阻区。实际上在 4.10 节已有过这样的分析，并且得到 t_{PHL}的近似表达式为

$$t_{PHL}=\frac{1.6C}{k_n'\left(\dfrac{W}{L}\right)_n V_{DD}} \tag{10.13}$$

其中，我们假设 $V_t \simeq 0.2\,V_{DD}$，这是一种典型情况。

另外，还有一种近似的但更简单的分析图 10.7（a）所示电路的方法。它以计算在时间间隔 $t=0$ 到 $t=t_{PHL}$之间的平均放电电流 i_{DN}为基础。具体而言，在 $t=0$ 时 Q_N饱和，$i_{DN}(0)$由下式给出：

$$i_{DN}(0)=\frac{1}{2}k_n'\left(\frac{W}{L}\right)_n(V_{DD}-V_t)^2 \tag{10.14}$$

在 $t=t_{PHL}$时，Q_N处于变阻区，i_{DN}（t_{PHL}）为

$$i_{DN}(t_{PHL})=k_n'\left(\frac{W}{L}\right)_n\left[(V_{DD}-V_t)\frac{V_{DD}}{2}-\frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right] \tag{10.15}$$

平均放电电流为

$$i_{DN}\big|_{平均}=\frac{1}{2}[i_{DN}(0)+i_{DN}(t_{PHL})] \tag{10.16}$$

放电间隔 t_{PHL}由下式计算得到：

$$t_{PHL}=\frac{C\Delta V}{i_{DN}\big|_{平均}}=\frac{CV_{DD}/2}{i_{DN}\big|_{平均}} \tag{10.17}$$

利用式（10.14）到式（10.17），并把 $V_t \simeq 0.2\,V_{DD}$代入，得到

$$t_{PHL}\simeq\frac{1.7C}{k_n'\left(\dfrac{W}{L}\right)_n V_{DD}} \tag{10.18}$$

它的数值非常接近由更精确的表达式［即式（10.13）］得到的值。用哪个公式不是很重要，因为我们已经做了很多近似。实际上，我们使用这些公式不是为了得到一个精确的 t_{PHL} 值，而是希望从中知道哪些因素影响了反相器的延迟。这也是电路设计人员希望从手工分析中得到的结论。传播延迟的精确值可以通过计算机仿真获得（参见 10.7 节）。

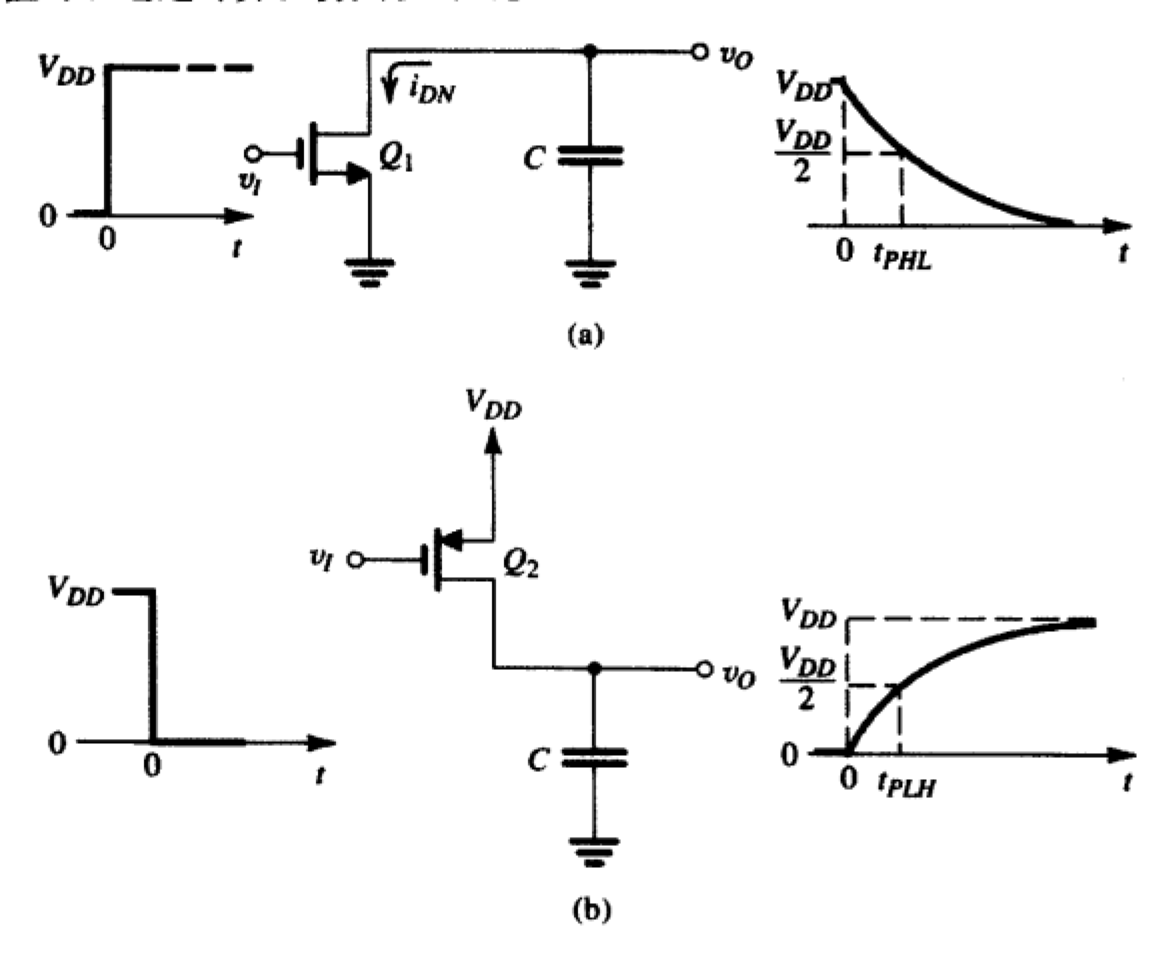


图 10.7　确定反相器传播延迟的等效电路：（a）t_{PHL}；（b）t_{PLH}

与式（10.17）类似，我们可以解出求解从低到高的反相器延迟 t_{PLH} 的表达式：

$$t_{PLH} \simeq \frac{1.7C}{k_p'\left(\frac{W}{L}\right)_p V_{DD}} \tag{10.19}$$

最后，传播延迟 t_P 可以通过求 t_{PHL} 和 t_{PLH} 的平均值得到：

$$t_P = \frac{1}{2}(t_{PHL} + t_{PLH})$$

仔细分析式（10.18）和式（10.19），我们可以得到一些有用的观察结果：

1. 正如预期的那样，通过选择比值（W/L）使 k_n 和 k_p 相等，即 Q_N 和 Q_P 匹配，可使 t_P 的两个分量相等。
2. 由于 t_P 正比于 C，因此设计者需要尽量设法减少 C。这可以通过采用沟道长度最小的器件和减少导线电容及其他寄生电容来达到。对芯片进行仔细的布局可以显著减少这些电容和 C_{db} 的数值。
3. 使用大跨导工艺参数 k' 的制造技术可以得到更短的传播延迟。但要记住的是：该工艺的 C_{ox} 会增加，因此电容 C 会同时增加。
4. 使用大比值的（W/L）可以减少 t_P。但要小心，因为增加器件尺寸也就增加了 C 的值，从而得不到期望的降低 t_P 的目的。但在主导电容 C 的因数不直接和驱动管的尺寸相关的时候（比如导线和扇出器件），通过增加 W/L 来减少 t_P 是一个有效的策略。

5. 大电源电压 V_{DD} 产生一个较低的 t_P。但 V_{DD} 是由工艺决定的，并不由设计者控制。此外，现代制造工艺减小了器件尺寸，同时也需要更低的 V_{DD}（参见表 6.1）。低电压是因为要求动态功耗保持在一个可接受的水平，尤其对于集成度非常高的芯片更是如此，我们将在后面详细讨论这方面的内容。

这些观察结果清楚地说明了在设计 CMOS 数字集成电路时性能指标之间的矛盾和设计时的折中考虑（事实上是任何工程设计都会涉及的问题）。

10.2.4 动态功耗

可忽略的静态功耗是 VLSI 电路选择 CMOS 作为其主要工艺的一个重要原因。但是当每块芯片上门的数量稳步增加时，动态功耗就会变成一个严重的问题。CMOS 反相器的动态功耗由式（10.4）给出，我们在这里重复如下：

$$P_D = f\,CV_{DD}^2 \tag{10.20}$$

其中，f 是门的开关频率。可见，减少电容 C 是减少动态功耗的一个有效方法。更加有效的一个策略是降低电源电压。我们注意到新的 CMOS 工艺使用低达 1 V 的 V_{DD} 电压值。每一片这样的芯片都封装进了更多的电路（多达 1 亿个晶体管），并且工作在更高的频率（现在可得到的微处理器时钟频率高于 1 GHz）。这样的高集成度芯片的动态功耗可能超过 100 W。

例题 10.1　考虑 0.25 μm 工艺制造的 CMOS 反相器，$C_{ox} = 6\ \text{fF}/\mu\text{m}^2$，$\mu_n C_{ox} = 115\ \mu\text{A}/\text{V}^2$，$\mu_p C_{ox} = 30\ \mu\text{A}/\text{V}^2$，$V_{tn} = -V_{tp} = 0.4$ V，$V_{DD} = 2.5$ V。Q_N 的 W/L 比值是 0.375 μm/0.25 μm，Q_P 的 W/L 比值是 1.125 μm/0.25 μm。栅源和栅漏重叠电容是每单位栅极宽度 0.3 fF/μm。此外漏-衬底电容 $C_{dbn} = 1$ fF 和 $C_{dbp} = 1$ fF，导线电容 $C_w = 0.2$ fF。求 t_{PHL}，t_{PLH} 和 t_P。

解：我们首先用式（10.12）确定等效电容 C 的值：

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

其中，

$$\begin{aligned}
C_{gd1} &= 0.3 \times W_n = 0.3 \times 0.375 = 0.1125\ \text{fF} \\
C_{gd2} &= 0.3 \times W_p = 0.3 \times 1.125 = 0.3375\ \text{fF} \\
C_{db1} &= 1\ \text{fF} \\
C_{db2} &= 1\ \text{fF} \\
C_{g3} &= 0.375 \times 0.25 \times 6 + 2 \times 0.3 \times 0.375 = 0.7875\ \text{fF} \\
C_{g4} &= 1.125 \times 0.25 \times 6 + 2 \times 0.3 \times 1.125 = 2.3625\ \text{fF} \\
C_w &= 0.2\ \text{fF}
\end{aligned}$$

因此，

$$C = 2 \times 0.1125 + 2 \times 0.3375 + 1 + 1 + 0.7875 + 2.3625 + 0.2 = 6.25\ \text{fF}$$

接下来，尽管我们可以用式（10.18）来确定 t_{PHL}，然而我们决定采用另一种方法。考虑电容 C 通过 Q_N 放电，并利用式（10.14）到式（10.16）确定平均放电电流。

$$\begin{aligned}
i_{DN}(0) &= \frac{1}{2} k_n' \left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \\
&= \frac{1}{2} \times 115 \left(\frac{0.375}{0.25}\right) (2.5 - 0.4)^2 = 380\ \mu\text{A}
\end{aligned}$$

$$i_{DN}(t_{PHL}) = k_n'\left(\frac{W}{L}\right)_n\left[(V_{DD}-V_t)\frac{V_{DD}}{2}-\frac{1}{2}\left(\frac{V_{DD}}{2}\right)^2\right]$$
$$=115\times\frac{0.375}{0.25}\left[(2.5-0.4)\frac{2.5}{2}-\frac{1}{2}\left(\frac{2.5}{2}\right)^2\right]$$
$$=318\ \mu\text{A}$$

因此，

$$i_{DN}\big|_{平均}=\frac{380+318}{2}=349\ \mu\text{A}$$

并且

$$t_{PHL}=\frac{C(V_{DD}/2)}{i_{DN}\,|_{平均}}=\frac{6.25\times10^{-15}\times1.25}{349\times10^{-6}}=23.3\text{ ps}$$

由于 $W_p/W_n=3$ 而 $\mu_n/\mu_p=3.83$，可见反相器没有完全匹配，因此希望 t_{PLH} 比 t_{PHL} 大 3.83/3 = 1.3 倍，所以，

$$t_{PLH}=1.3\times23.3=30\text{ ps}$$

因此可求得 t_P 为

$$t_P=\frac{1}{2}(t_{PHL}+t_{PLH})$$
$$=\frac{1}{2}(23.3+30)=26.5\text{ ps}$$

■

练习 10.1 考虑例题 10.1 所描述的反相器，当负载电容增加 0.1 pF 的时候，传播延迟变成多少？

答案：437 ps

练习 10.2 为了减小例题 10.1 的反相器的面积，$(W/L)_p$ 被制造成等于 $(W/L)_n$，问面积能够减少的百分比是多少？求新的 C，t_{PHL}，t_{PLH} 和 t_p 的值，假设 C_{dbp} 变化不大。

答案：50%；4.225 fF；15.8 ps；20.5 ps；18.1 ps

练习 10.3 对于例题 10.1 的反相器，求时钟频率为 500 MHz 时的动态功耗。

答案：19.5 μW

10.3 CMOS 逻辑门电路

本节介绍反相器的设计，并考虑如何用 CMOS 实现组合逻辑功能。组合逻辑电路在任何时刻的输出都是那个时刻输入信号值的函数，因此这些电路没有记忆也没有反馈。组合逻辑电路在各种场合都得到大量的应用，事实上每个数字电路都包括了大量的组合逻辑电路。

10.3.1 基本结构

CMOS 组合电路实际上是 CMOS 反相器的延伸或扩展。反相器由 NMOS 下拉晶体管和 PMOS 上拉晶体管组成，在输入电压作用下工作在互补状态。CMOS 逻辑门由两个网络组成，即由 NMOS 晶体管组成的下拉网络（PDN）和由 PMOS 晶体管组成的上拉网络（PUN）（见图 10.8）。这两个网络在输入变量的作用下工作在互补状态。因此，对于图 10.8 所示的三输入逻辑门，当输入组合需要使输出为低电平的时候（$Y=0$），PDN 会导通并把输出节点拉到地，导致输出电压 $v_Y=0$。同时 PUN 关闭，在 V_{DD} 和地之间没有直流通路。另一方面，在所有要求高电平输出的输入组合下

（$Y = 1$），PUN 会导通，从而把输出节点上拉到 V_{DD}，使输出电压 $v_Y = V_{DD}$。同时 PDN 关闭，因此在 V_{DD} 和地之间仍然没有直流通路。

现在，由于 PDN 由 NMOS 晶体管组成，而 NMOS 晶体管在它的栅极为高电平时导通，因此 PDN 在输入为高的时候起作用。另一方面，由于 PUN 由 PMOS 晶体管组成，PMOS 晶体管在栅极输入为低的时候导通，因此 PUN 在输入为低的时候起作用。

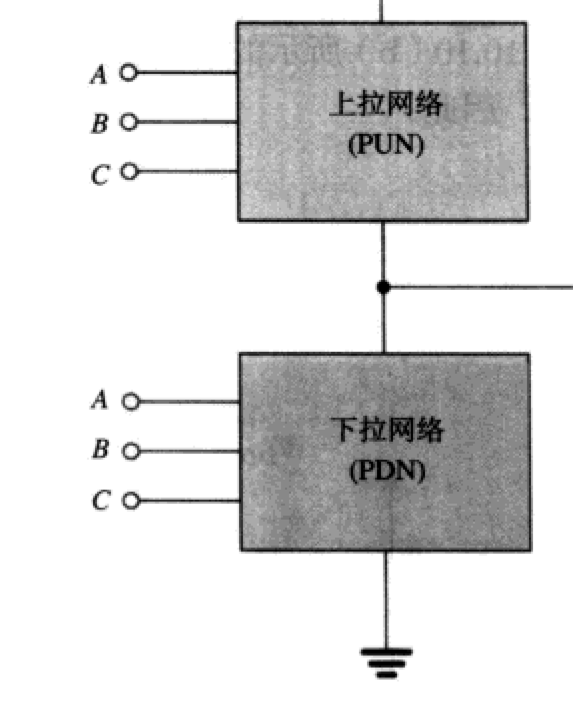


图 10.8　三输入 CMOS 逻辑门的表示形式。PMOS 晶体管组成 PUN，NMOS 晶体管组成 PDN

PDN 和 PUN 各自采用多个器件并联连接能够实现 OR（或）功能，串联连接可实现 AND（与）功能。这里，“或”和“与”的标记是指电流流通或导通。图 10.9 所示的是 PDN 的例子。对于图 10.9（a）所示的电路，我们看到 Q_A 在 A 是高电平时（$v_A = V_{DD}$）导通，并且把输出节点下拉到地（$v_Y = 0\ \text{V}$，$Y = 0$）。同样，Q_B 在 B 为高电平时导通并把 Y 拉低，因此 Y 在 A 或 B 为高电平时变低，可以表示为

$$\overline{Y} = A + B$$

或等效为

$$Y = \overline{A + B}$$

图 10.9（b）所示的 PDN 在 A 和 B 同时为高的时候导通，因此在 A 为高并且 B 也为高的时候 Y 才为低，

$$\overline{Y} = AB$$

或者等效为

$$Y = \overline{AB}$$

作为最后一个例子，图 10.9（c）所示的 PDN 在 A 为高或者 B 与 C 同时为高的时候导通，使得 Y 变为 0。因此，

$$\overline{Y} = A + BC$$

或者等效为

$$Y = \overline{A + BC}$$

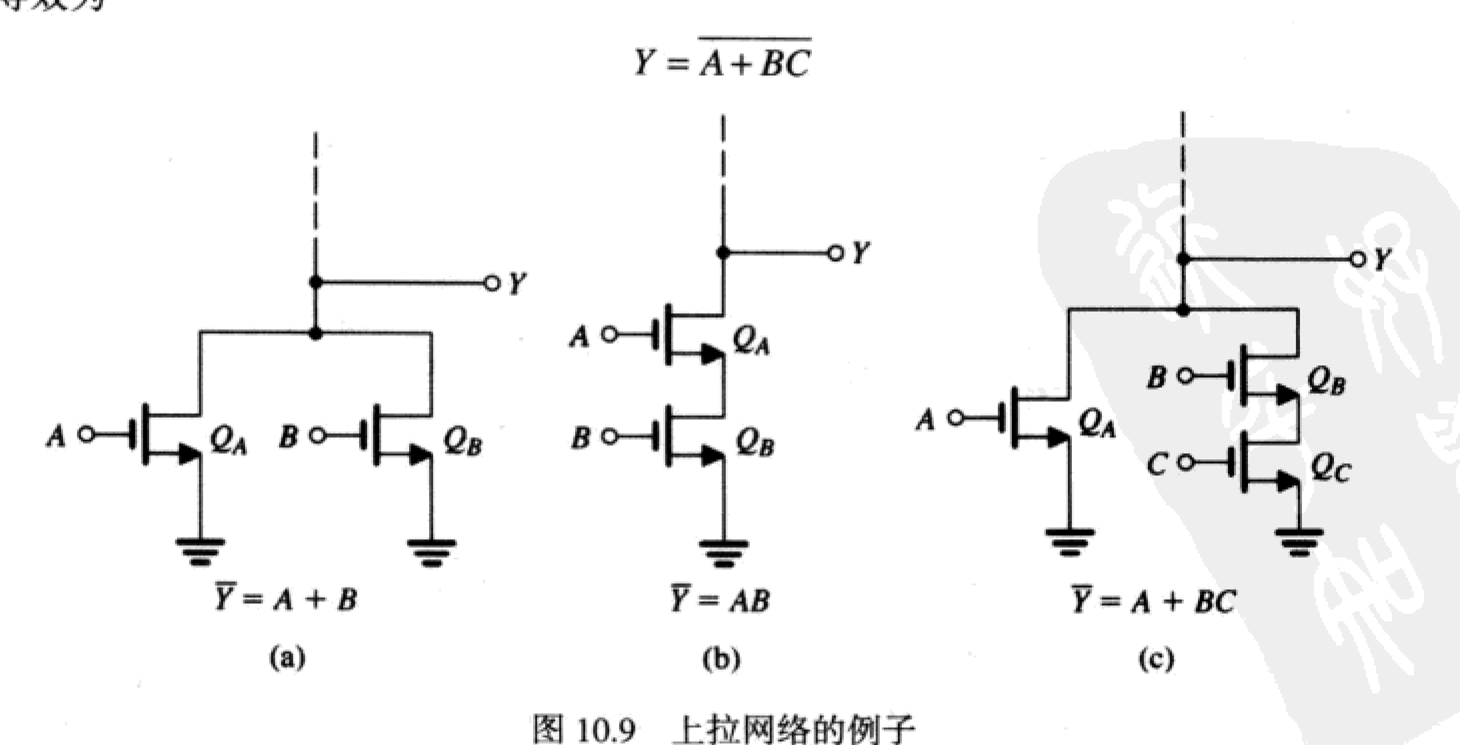


图 10.9　上拉网络的例子

接下来考虑图 10.10 所示的 PUN 的例子。图 10.10（a）所示的 PUN 在 A 为低或 B 为低的时候导通，并把 Y 拉到 $V_{DD}(Y=1)$，因此，

$$Y=\bar{A}+\bar{B}$$

图 10.10（b）所示的 PUN 只有在 A 和 B 同时为低的时候才导通，并输出高电平（$v_Y=V_{DD}$，$Y=1$），因此，

$$Y=\bar{A}\bar{B}$$

最后，图 10.10（c）所示的 PUN 在 A 为低或者 B 与 C 同时为低时导通，并使 Y 变高（逻辑 1），因此，

$$Y=\bar{A}+\bar{B}\bar{C}$$

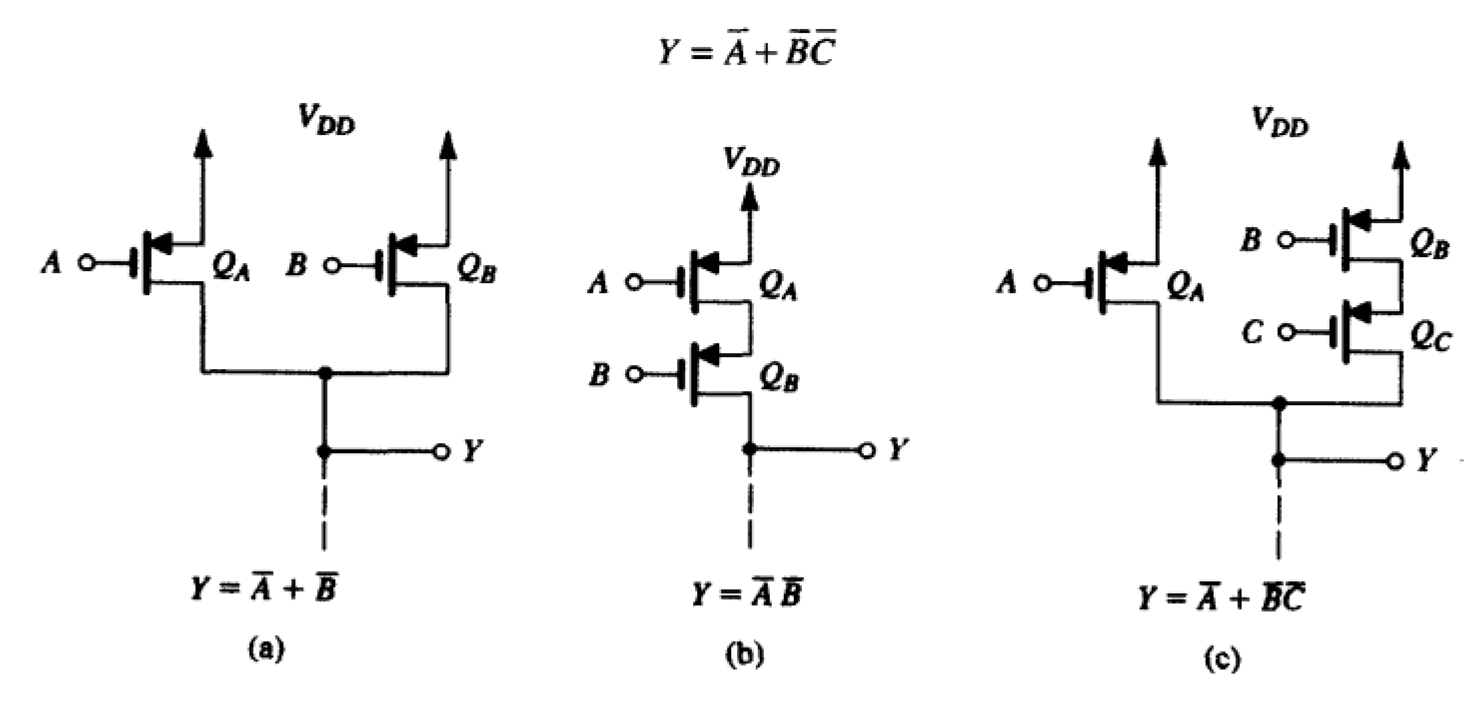


图 10.10　下拉网络的例子

在介绍了 PUN 和 PDN 的结构及工作原理之后，我们现在考虑完整的 CMOS 门。但在此之前，我们希望先引入另一种电路符号，它对数字电路设计者来说几乎是 MOS 晶体管的通用符号。图 10.11 给出了常用的符号（左边）及对应的“数字”符号（右边）。我们注意到 PMOS 晶体管在栅极有一个圆圈，表示栅极电压在低电平时器件才能起作用（即导通）。因此用逻辑电路的术语说，PMOS 晶体管的栅极输入是低电平有效的。除了暗示 PMOS 的特性以外，数字符号省略了标识源极和漏极的任何说明，这对我们在这一阶段的学习不会带来任何困难，只是要记住对 NMOS 晶体管，漏端位于高电压的一端（电流从漏极流向源极）；对 PMOS 晶体管，源极位于高电压的一端（电流由源极流向漏极）。为了与文献一致，我们下面将使用这些改变过的符号来表示逻辑电路中的 MOS 晶体管，只是在某些有助于帮助理解电路工作原理的情况下才使用通常的符号。

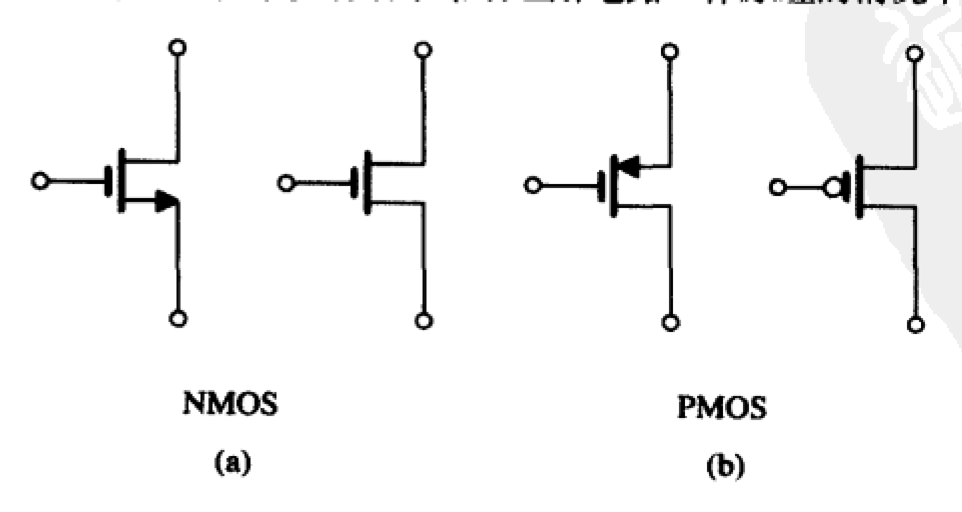


图 10.11　MOSFET 常用的符号及另一种符号

10.3.2　二输入或非门

我们首先考虑实现二输入或非门的 CMOS 逻辑门：

$$Y=\overline{A+B}=\overline{A}\overline{B} \tag{10.21}$$

我们看到当 A 或 B 为高电平时 Y 为低(PDN 导通), 因此 PDN 是以 A 和 B 作为输入的两个 NMOS 晶体管并联构成的网络[如图 10.9（a）所示的电路]。对于 PUN，我们注意到式（10.21）的第二种形式，Y 只有在 A 和 B 都为低的时候才为高，因此 PUN 是由以 A 和 B 作为输入的两个 PMOS 晶体管串联构成的网络 [如图 10.10（b）的电路]。把 PDN 和 PUN 放在一起，可得到图 10.12 所示的 CMOS 或非门。我们注意到扩展输入端的数量是很直接的：每增加一个输入端，会相应地增加一个 NMOS 晶体管和 Q_{NA} 与 Q_{NB} 并联，同时增加一个 PMOS 管和 Q_{PA} 与 Q_{PB} 串联。

10.3.3　二输入与非门

二输入端与非门的功能用布尔表达式表示为

$$Y=\overline{AB}=\overline{A}+\overline{B} \tag{10.22}$$

为了设计 PDN，我们考虑需要 Y 变低的输入组合：只有一种这样的组合，就是 A 和 B 同时为高。因此用两个 NMOS 晶体管串联可简单地构成 PDN [如图 10.9（b）所示的电路]。为了设计 PUN，我们考虑使 Y 变成高电平的输入组合。从式（10.22）的第二个表达式看到，A 或 B 为低的时候可以满足要求。因此 PUN 由输入端分别是 A 和 B 的两个并联的 PMOS 构成 [如图 10.10（a）所示的电路]。把 PDN 和 PUN 组合在一起可得到图 10.13 所示的 CMOS 与非门电路。我们注意到扩展输入端的数量是很直接的：每增加一个端人，会相应地增加一个 NMOS 晶体管和 Q_{NA} 与 Q_{NB} 串联，同时增加一个 PMOS 晶体管和 Q_{PA} 与 Q_{PB} 并联。

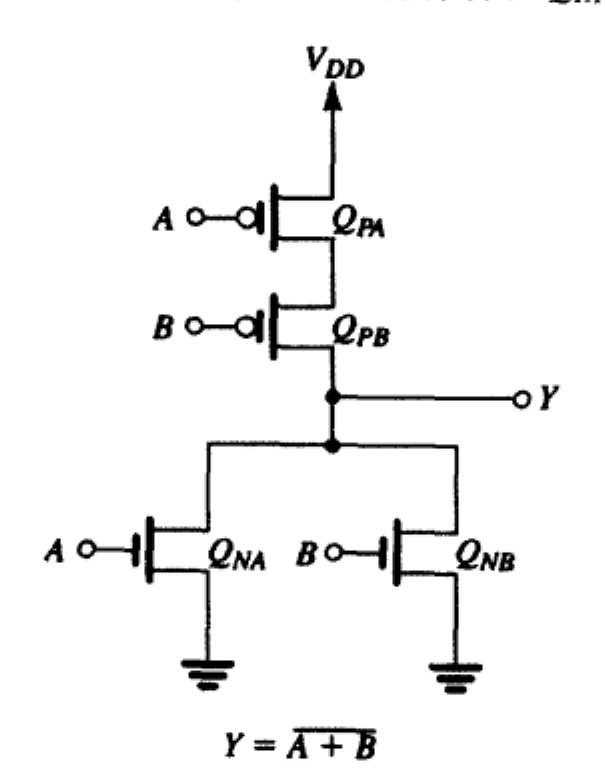


图 10.12　二输入 CMOS 或非门

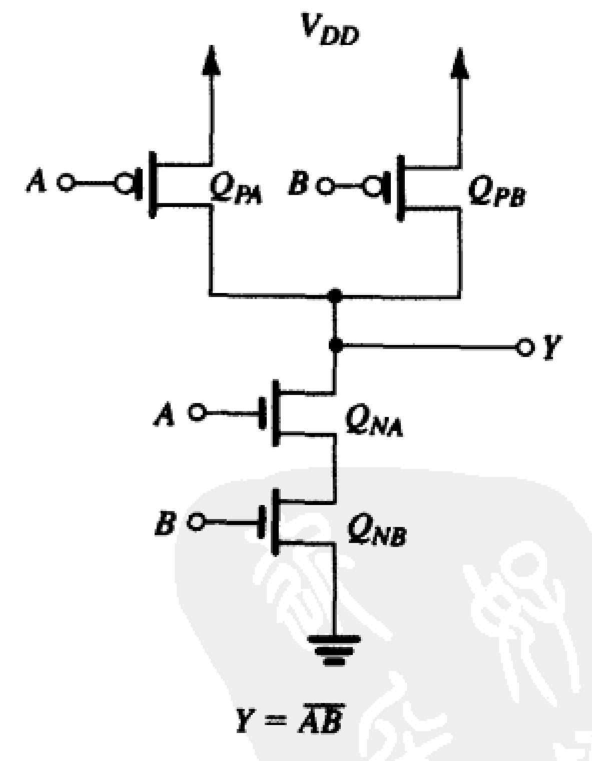


图 10.13　二输入 CMOS 与非门

10.3.4　复杂门

我们考虑一个更复杂的逻辑函数：

$$Y=\overline{A(B+CD)} \tag{10.23}$$

由于$\overline{Y} = A(B+CD)$，可见在A为高且B也为高或者C与D同时为高的情况下Y为低，从这里就能直接得到 PDN。为了得到 PUN，我们需要把 Y 表示成反变量的形式，我们通过反复应用 DeMorgan 定律得到

$$\begin{aligned} Y &= \overline{A(B+CD)} \\ &= \overline{A} + \overline{B+CD} \\ &= \overline{A} + \overline{B}\,\overline{CD} \\ &= \overline{A} + \overline{B}(\overline{C}+\overline{D}) \end{aligned} \tag{10.24}$$

因此，当A为低或B为低和C或D为低时Y为高。图 10.14 所示的是对应的完整 CMOS 电路。

10.3.5 从 PDN 得到 PUN（或从 PUN 得到 PDN）

根据到现在为止考虑的 CMOS 门电路（见图 10.14），我们看到 PDN 和 PUN 是两个对偶的网络：当一个网络存在串联分支时候，另一个网络必定存在并联分支。因此我们可以从一个网络得到另一个网络，这个过程比根据布尔表达式分开设计要简单。比如，对图 10.14 所示的电路，我们发现获得 PDN 相对简单，因为我们已经有了用输入原变量表示的$\overline{Y}$。在另一方面，为了获得 PUN，我们不得不改变给出的布尔表达式以得到用反变量表示的Y，因为这种形式对设计 PUN 来说很方便。现在我们可以用对偶特性直接从 PDN 得到 PUN。读者可以参考图 10.14 弄清楚这样做是可能的。

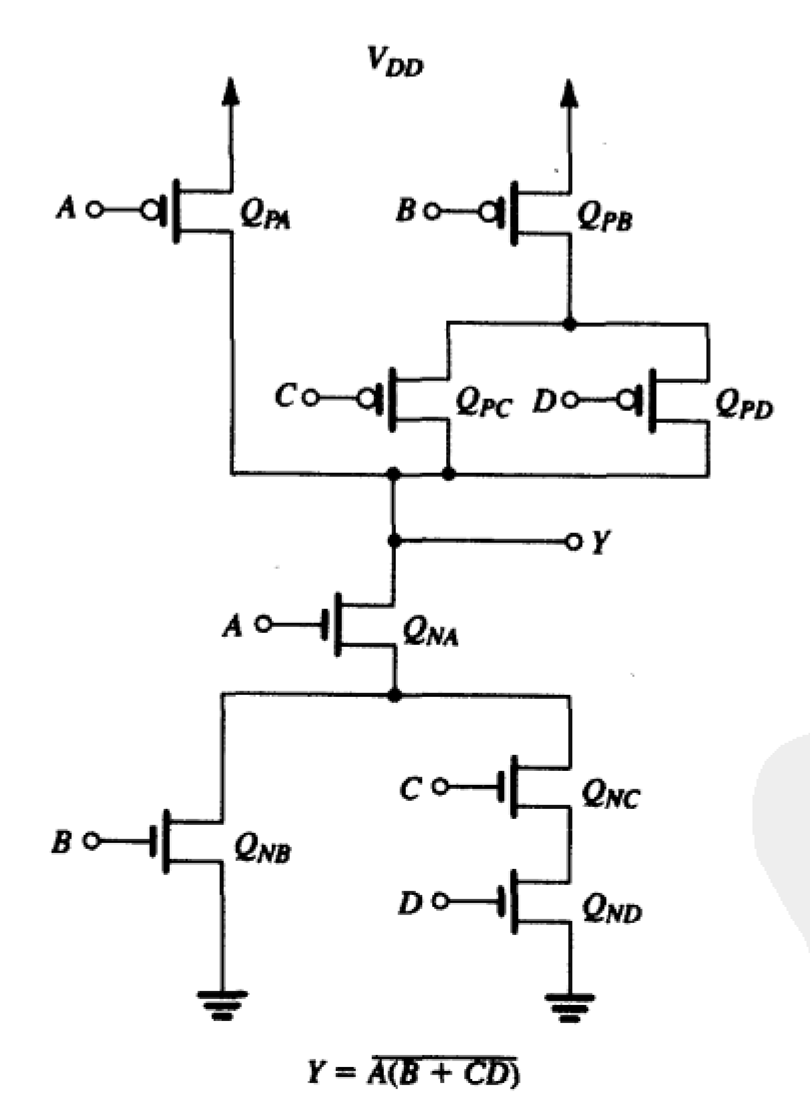


图 10.14 用 CMOS 实现复杂的逻辑门

但要注意的是，有些时候用对偶的方法从两个网络的一个获得另一个也不是很容易的。在这种情况下我们不得不采用更复杂的过程，但这不在本书的讨论范围内[参考 Kang 和 Leblebici（1999）]。

10.3.6　异或函数

一个经常在逻辑设计中用到的函数是异或函数（XOR）：

$$Y = A\bar{B} + \bar{A}B \tag{10.25}$$

我们看到由于给定的是 Y（而不是 $\bar{Y}$），所以对设计 PUN 来说更容易。但遗憾的是，Y 不完全是反变量的函数（我们希望是反变量）。因此，我们还需要一个反相器。从式（10.25）直接得到的 PUN 如图 10.15（a）所示。注意，Q_1 和 Q_2 分支实现了第一项 $(A\bar{B})$，而 Q_3 和 Q_4 分支实现了另一项 $(\bar{A}B)$。同样要注意的是，我们需要额外的两个反相器来实现 $\bar{A}$ 和 $\bar{B}$。

为了设计 PDN，我们可以通过从图 10.15（a）所示的 PUN 得到对偶网络来设计。但我们用另一种方式推导 $\bar{Y}$ 的表达式，并用它设计 PDN。第一种方法留做练习。我们将使用直接设计的方法。把 DeMorgan 定律应用于式（10.25）可得到 $\bar{Y}$：

$$\bar{Y} = AB + \bar{A}\bar{B} \tag{10.26}$$

对应的 PDN 如图 10.15（b）所示，除了两个额外的反相器之外，这就是用 CMOS 实现异或逻辑函数的电路。我们注意到异或门需要用 12 个晶体管实现，是一个相当复杂的网络，我们将在 10.5 节介绍利用另一种 CMOS 逻辑实现的简单 XOR 电路。

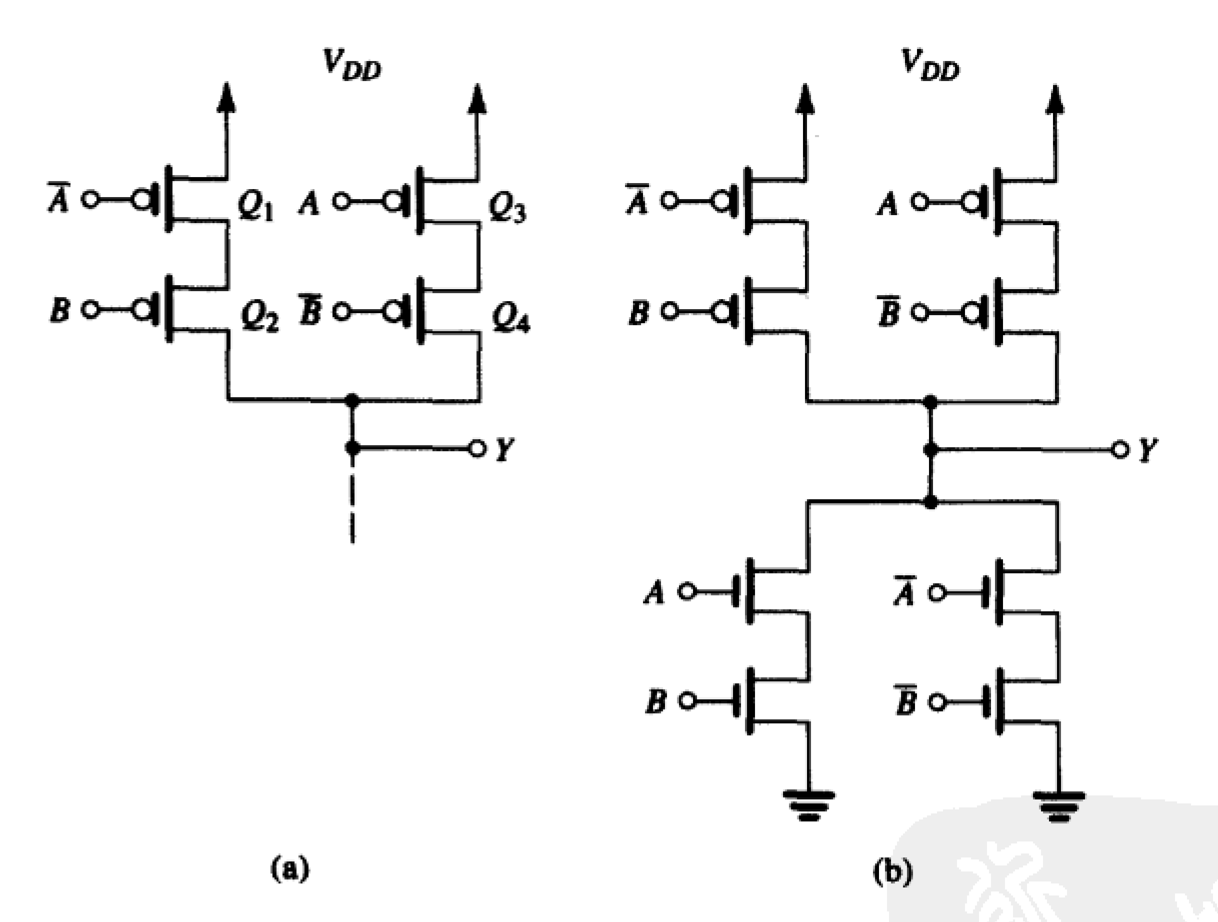


图 10.15　实现异或函数（XOR）：（a）直接由式（10.25）设计的 PUN；（b）用（a）和直接根据式（10.26）得到的 PDN 实现的完整的 XOR 电路。注意，它需要两个反相器（图中没有显示）来生成反变量。我们还注意到在这个 XOR 电路中 PDN 和 PUN 不是对偶网络，但用对偶网络实现是可能的（参见习题 10.27）

从图 10.15（b）所示的电路还能看到另一个有趣的现象——PDN 和 PUN 并不是对偶网络。实际上对偶并不是必要的条件。因此尽管总能把一个 PDN（或 PUN）的对偶作为 PUN（或 PDN），但网络未必一定要对偶。

10.3.7 设计方法总结

1. PDN 通常可以从原变量表示的 $\bar{Y}$ 的表达式直接设计得到。如果在表达式中出现了反变量，则需要用一个额外的非门来实现它。
2. PUN 通常可以从反变量表示的 Y 的表达式直接设计得到，然后把反变量加到 PMOS 晶体管的栅极。如果表达式中出现原变量，同样需要增加额外的反相器。
3. PDN 可以利用对偶的性质从 PUN 得到（反之亦然）。

10.3.8 确定晶体管尺寸

一旦生成了晶体管门电路，剩下的惟一的重要步骤就是确定所有器件的 W/L 比值。被选定比值的门电路通常要求在两个方向提供的电流驱动能力与基本反相器一样。读者可以回忆一下 10.2 节的内容，对于基本反相器的设计，我们有 $(W/L)_n = n$ 和$(W/L)_p = p$，其中 n 通常为 1.5 到 2。对于匹配的设计，$p = (\mu_n/\mu_p)\,n$。因此我们希望对所有逻辑门中的晶体管选择的 W/L 要使 PDN 能够提供的电容放电电流至少与 $W/L = n$ 的 NMOS 晶体管可提供的相同，并且 PUN 能够提供的充电电流至少与 $W/L = p$ 的 PMOS 晶体管可提供的相同。这样可以保证最坏情况下的门的延迟等于基本反相器的延迟[①]。

在下面的叙述中会强调“最坏情况”的概念。它是指在确定器件尺寸时首先找到使得输出电流最小的输入组合，然后选择使该最小电流等于基本反相器的电流的器件尺寸。在讨论具体例子之前，我们需要提一下如何决定由许多 MOS 器件组成的电路的电流驱动能力问题。换句话说，我们需要找到 MOS 晶体管网络的等效 W/L 比值。为此我们考虑 MOSFET 的并联和串联连接，找到等效的 W/L 比值。

推导等效 W/L 比值基于 MOSFET 的导通电阻与 W/L 成反比这个事实。因此，如果串联在一起的 MOSFET 的 W/L 比值为 $(W/L)_1$，$(W/L)_2$，…，则等效串联电阻是导通电阻的和：

$$
\begin{aligned}
R_{\text{series}} &= r_{DS1} + r_{DS2} + \cdots \\
&= \frac{\text{常数}}{(W/L)_1} + \frac{\text{常数}}{(W/L)_2} + \cdots \\
&= \text{常数}\left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \cdots\right] \\
&= \frac{\text{常数}}{(W/L)_{\text{eq}}}
\end{aligned}
$$

串联晶体管的$(W/L)_{\text{eq}}$的表达式如下：

$$
(W/L)_{\text{eq}} = \frac{1}{\dfrac{1}{(W/L)_1} + \dfrac{1}{(W/L)_2} + \cdots} \tag{10.27}
$$

同样，我们可以求得各并联晶体管的 W/L 比值分别为$(W/L)_1$，$(W/L)_2$……时，等效的 $(W/L)_{\text{eq}}$ 是

$$
(W/L)_{\text{eq}} = (W/L)_1 + (W/L)_2 + \cdots \tag{10.28}
$$

作为一个例子，考虑两个 W/L 比值各自等于 4 的相同的 MOS 晶体管，串联时等效的 W/L 是 2，并联时等效的 W/L 是 8。

作为确定合适尺寸的例子，参见图 10.16 所示的四输入或非门。这里 PDN 的最坏情况（最低

① 该表述假设总的逻辑门的有效电容 C 和反相器一样。实际应用中，C 的值比一个门的情况要大，尤其是当扇入增加时。

电流）是在仅有一个 NMOS 晶体管导通时产生的。因此我们选择每一个 NMOS 晶体管的 *W/L* 的值等于基本反相器的 NMOS 晶体管的值，即 *n*。但对于 PUN，最坏情况（实际上是仅有的一种情况）是当所有的输入为低，并且四个串联 PMOS 均导通。由于等效的 *W/L* 是每个 PMOS 晶体管的 1/4，因此可以选择 PMOS 晶体管的 *W/L* 是基本反相器的 Q_P 的 4 倍，也就是 4*p*。

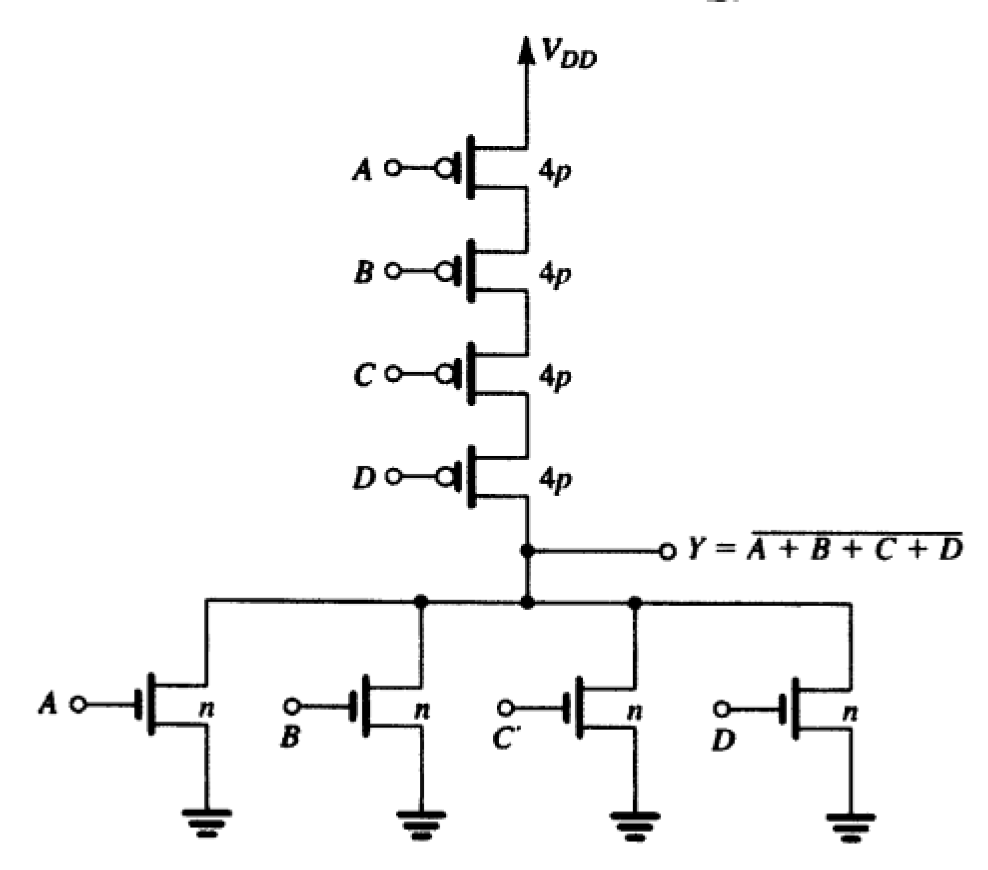


图 10.16　确定四输入或非门的合适的晶体管尺寸。注意，*n* 和 *p* 分别代表基本反相器的 Q_N 和 Q_P 的 *W/L* 比值

图 10.17 所示是另一个确定四输入与非门合适尺寸的例子，比较图 10.16 和图 10.17 所示的与非门和或非门，因为 *p* 通常是 *n* 的 2~3 倍，所以或非门往往比与非门需要更大的面积。因为这个原因，实现 CMOS 组合逻辑时往往采用与非门。

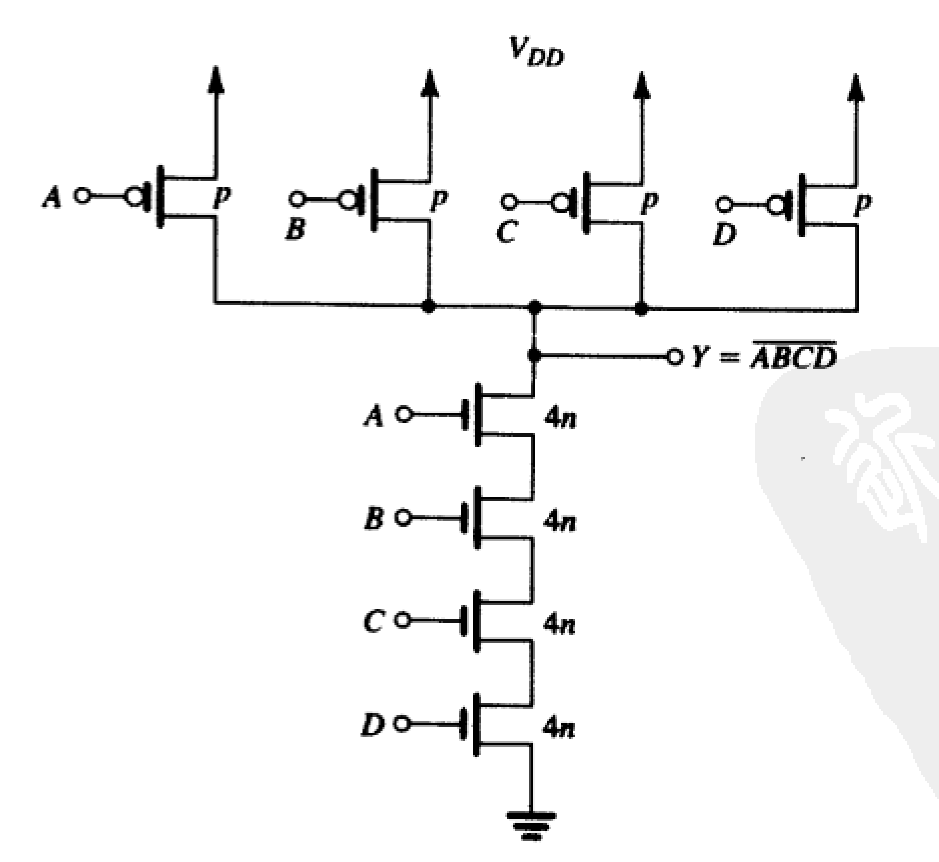


图 10.17　确定四输入与非门的合适的晶体管尺寸。注意，*n* 和 *p* 分别代表基本反相器的 Q_N 和 Q_P 的 *W/L* 比值

例题 10.2 确定如图 10.18 所示晶体管的 W/L 值。假设基本反相器的 $n=1.5$，$p=5$，沟道长度是 0.25 μm。

解：参考图 10.18，并先考虑 PDN。我们注意到最坏情况发生在 Q_{NB} 导通并且 Q_{NC} 或 Q_{ND} 导通的时候。即在最坏的情况下有两个晶体管串联。因此我们选择 Q_{NB}，Q_{NC} 和 Q_{ND} 的宽度是基本反相器的 n 沟道器件的两倍，所以，

$$Q_{NB}: W/L = 2n = 3 = 0.75/0.25$$
$$Q_{NC}: W/L = 2n = 3 = 0.75/0.25$$
$$Q_{ND}: W/L = 2n = 3 = 0.75/0.25$$

对于晶体管 Q_{NA}，选择 W/L 等于基本反相器的 n 沟道器件的值：

$$Q_{NA}: W/L = n = 1.5 = 0.375/0.25$$

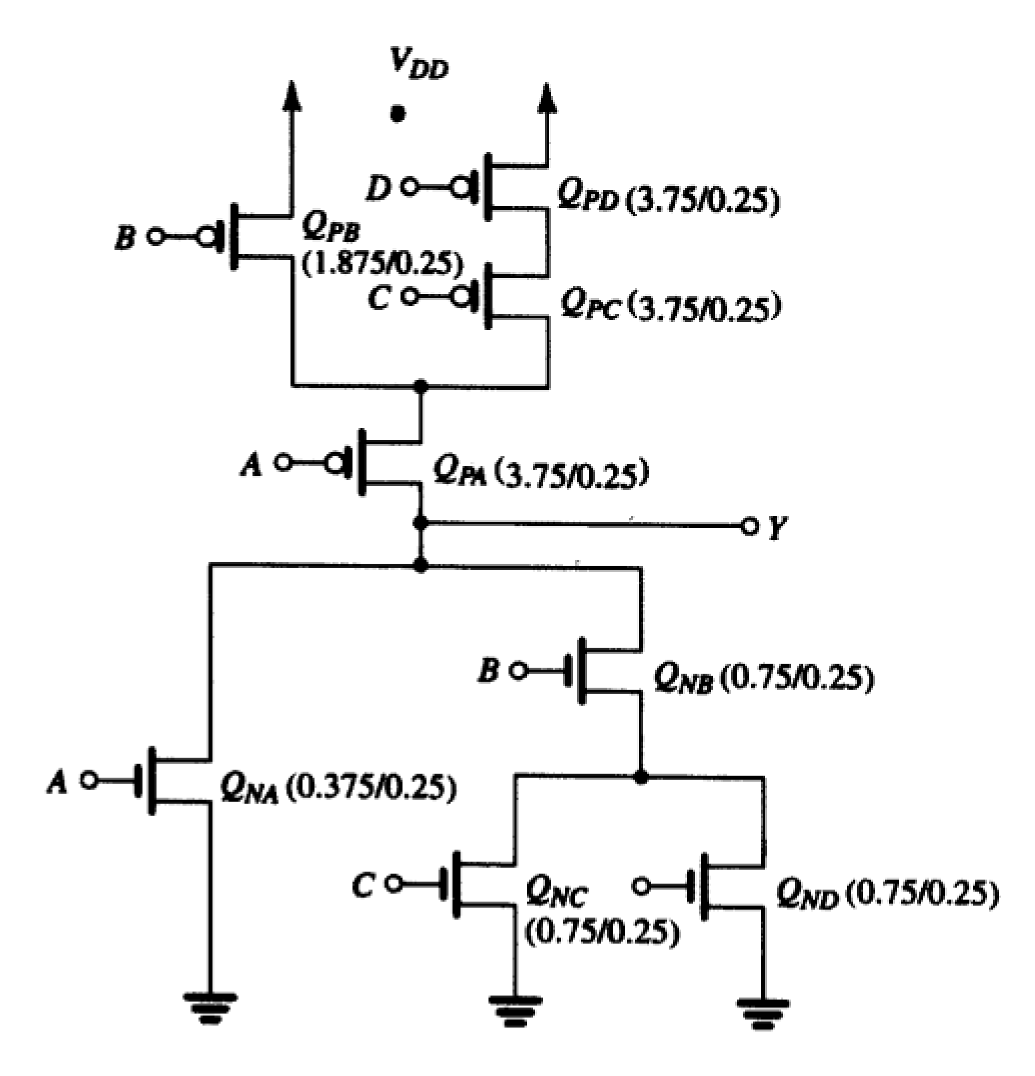


图 10.18 例题 10.2 的电路

接下来考虑 PUN，这里我们发现在最坏情况下有三个晶体管串联，它们是 Q_{PA}，Q_{PC} 和 Q_{PD}，因此它们中每一个晶体管的 W/L 比值应该是基本反相器的 Q_P 的 3 倍，即 $3p$：

$$Q_{PA}: W/L = 3p = 15 = 3.75/0.25$$
$$Q_{PC}: W/L = 3p = 15 = 3.75/0.25$$
$$Q_{PD}: W/L = 3p = 15 = 3.75/0.25$$

最后可以选择 Q_{PB} 的 W/L 以使等效的 Q_{PB} 和 Q_{PA} 串联时的 W/L 等于 p。结果得到 Q_{PB} 的比值为 $1.5p$：

$$Q_{PB}: W/L = 1.5p = 7.5 = 1.875/0.25$$

图 10.18 所示为给出了晶体管尺寸的电路。 ■

10.3.9 扇入与扇出对传播延迟的影响

CMOS 门每增加一个输入就需要增加两个晶体管：一个 NMOS 晶体管，一个 PMOS 晶体管。这和其他形式的 MOS 逻辑电路不同，采用其他形式时每增加一个输入只需要增加一个晶体管。CMOS 电路增加的晶体管不但增加了芯片面积，而且还增加了每个门的总等效电容，而且反过来又增加了传播延迟。前面提到的按比例缩放方法可以弥补一些（不是所有）t_P的增加。具体而言，当增加器件尺寸时，我们可以保持电流驱动能力，但是电容 C 会增加，原因是由于输入数目的增加和器件尺寸的增加所致。扇入增加时 t_P 就会增加，实际应用时扇入是有限制的，比如与非门的扇入数限制为 4。如果需要更多的输入，比较聪明的逻辑设计师应该对给定的逻辑表达式进行改写，使之能够用输入少于 4 的逻辑门实现。这通常意味着级联级数的增加，因而会增加延迟。但是它引起的延迟增加量比增加扇入引起的延迟增加量要小（参见习题 10.36）。

增加扇出会直接增加负载电容，因此将增加传播延迟。

虽然 CMOS 有很多优点，但会面临扇入和扇出增加时电路复杂度增加以及由此带来的芯片面积和传播延迟的增加问题。我们将在下面两节介绍 CMOS 逻辑的一些简单形式，以期降低复杂度，当然这是以牺牲前面提到的那些优点为代价的。

练习 10.4 某工艺采用的参数为：$L = 0.5\ \mu\text{m}$，$n = 1.5$，$p = 6$。确定以下两种情况下的晶体管的尺寸：（a）四输入或非门；（b）四输入与非门。求两个门的相对面积之比。

答案：（a）NMOS 晶体管：$W/L = 0.75/0.5$；PMOS 晶体管：12/0.5

（b）NMOS 晶体管：$W/L = 3/0.5$；PMOS 晶体管：3/0.5

或非门面积/与非门面积 =2.125

练习 10.5 考虑练习 10.4 中已经确定了晶体管尺寸的与非门，求以下两种情况下最大电流对最小电流之比：（a）对负载电容充电；（b）对负载电容放电。

答案：（a）4；（b）1

10.4 伪 NMOS 逻辑电路

正如 10.3 节所述，尽管 CMOS 有很多优点，但是也面临着逻辑门复杂度增加带来的芯片面积、电容和延迟增加的问题。因为这个原因，数字集成电路设计者们开始寻找 CMOS 逻辑电路的其他形式，以期作为 10.2 节和 10.3 节介绍的互补电路的补充。它们不是要取代互补 CMOS，而是要用于具有特殊目的的特别应用。本节和下一节将介绍这样两种 CMOS 逻辑电路形式。

10.4.1 伪 NMOS 反相器

图 10.19（a）所示的是修改后的 CMOS 反相器，其中输入电压只与晶体管 Q_N 连接，晶体管 Q_P 的栅极接地，Q_P 的作用其实就是 Q_N 的有源负载。我们曾经仔细讨论过电路的工作原理，它与互补 CMOS 相比具有的优势很明显：每一个输入只需要与一个晶体管的栅极相连，或者说，每增加一个栅极输入只需增加一个晶体管（NMOS）。这样，因互补 CMOS 逻辑门中增加扇入带来的面积和延迟的不足就可以减弱。这是深入探讨该修改电路的动机。

图 10.19（a）所示的反相器电路可以转变成其他形式的 NMOS 逻辑电路，它由驱动管(Q_N)和负载管（本例为 Q_P）组成，因此称为伪 NMOS。为了便于比较，我们有必要重提 NMOS 逻辑的两种较早的形式。最早的形式是在 20 世纪 70 年代中期非常流行的采用增强型 MOSFET 作为负载的基本反相器结构，如图 10.19（b）所示。增强型负载 NMOS 逻辑电路的缺点是输出逻辑摆幅

相对较小，噪声容限低，静态功耗大。因为这些原因，这种逻辑电路技术现在已经销声匿迹了，它在 20 世纪 70 年代末和 80 年代初就被耗尽型负载 NMOS 电路取代，其中耗尽型 NMOS 晶体管栅极和源极短接作为负载元件。耗尽型负载基本反相器的结构如图 10.19（c）所示。

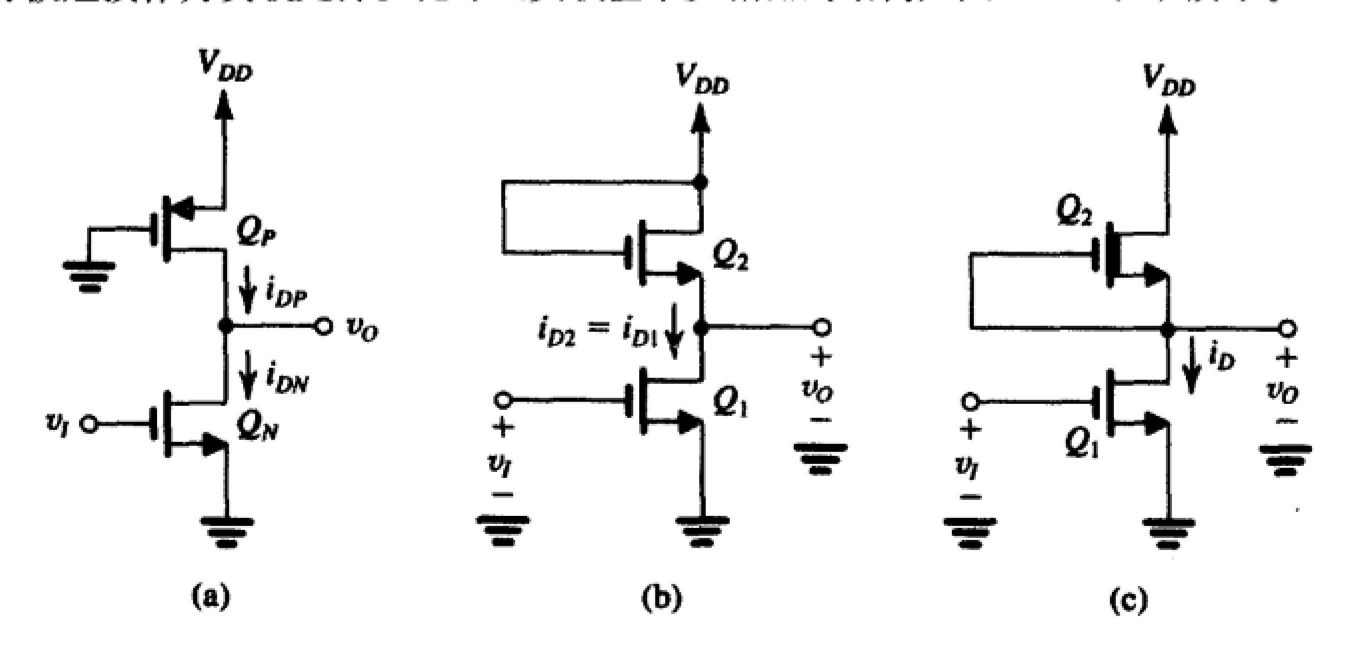


图 10.19 （a）伪 NMOS 逻辑反相器；（b）增加型负载 NMOS 反相器；（c）耗尽型负载 NMOS 反相器

最初我们期望当 $V_{GS} = 0$ 时耗尽型 NMOS 晶体管能够作为一个恒流源工作，成为一个极好的负载元件。[①]但是很快发现，耗尽型晶体管的衬底效应使得它的 i~v 特性曲线严重偏离了恒流源的特性要求。诚然，耗尽型负载 NMOS 电路的性能比起它的同伴来要优越，但是在制造耗尽型晶体管的时候需要额外增加一道工艺（称为沟道的离子植入）。尽管耗尽型负载 NMOS 已经被 CMOS 取代，人们还是能够在一些特殊的应用场合见到耗尽型负载电路。本书我们不讨论耗尽型负载 NMOS 逻辑的内容（感兴趣的读者可以参考本书的第三版）。

我们要介绍的伪 NMOS 反相器和耗尽型负载 NMOS 有很多相似之处，但其特性改善了很多，具备和互补 CMOS 电路直接抗衡的优点。

10.4.2 静态特性

伪 NMOS 反相器的静态特性可以采用与互补 CMOS 相同的方法推导。为此，我们注意到 Q_N 和 Q_P 晶体管的漏极电流为

$$i_{DN} = \frac{1}{2}k_n(v_I - V_t)^2, \text{这里，} v_O \geqslant v_I - V_t \text{（饱和区）} \quad (10.29)$$

$$i_{DN} = k_n\left[(v_I - V_t)v_O - \frac{1}{2}v_O^2\right], \text{这里，} v_O \leqslant v_I - V_t \text{（变阻区）} \quad (10.30)$$

$$i_{DP} = \frac{1}{2}k_p(V_{DD} - V_t)^2, \text{这里，} v_O \leqslant V_t \text{（饱和区）} \quad (10.31)$$

$$i_{DP} = k_p\left[(V_{DD} - V_t)(V_{DD} - v_O) - \frac{1}{2}(V_{DD} - v_O)^2\right], \text{这里，} v_O \geqslant V_t \text{（变阻区）} \quad (10.32)$$

其中，假设 $V_{tn} = -V_{tp} = V_t$，并利用 $k_n = k'_n\,(W/L)_n$ 和 $k_p = k'_p\,(W/L)_p$ 进行了简化。

① 电流源负载提供的充电电流不像电阻性负载在 v_O 往 V_{DD} 增加时那样会消失，因此电流源负载的 t_{PLH} 要比电阻性负载的低（参见习题 10.38）。当然，电阻性负载已经不在我们的问题之列，因为它所占用的芯片面积太大了（相当于上千个晶体管的面积）。

为了得到反相器的 VTC 曲线，我们把式（10.31）和式（10.32）表示的负载曲线叠加在 Q_N 的 i_D~v_{DS} 特性曲线（图中标注为 i_{DN}~v_O 曲线）上，再根据 $v_{GS}=v_I$ 的不同取值，建立如图 10.20 所示的结构。为了简化起见，图中只给出了 v_I 取两个极值时的 Q_N 曲线，分别对应 $v_I=0$ 和 V_{DD} 的情况。我们从中可以看出以下两点：

1. 相比 $v_I=V_{DD}$ 时的 Q_N 曲线而言，负载曲线表现出的饱和电流［见式（10.31）］要小得多。这是因为设计伪 NMOS 反相器时 k_n 通常比 k_p 大 4~10 倍。我们很快会讲到，这种反相器属于有比型逻辑电路[①]，其比值 $r\equiv k_n/k_p$ 决定了 VTC 曲线的所有转折点（包括 V_{OL}，V_{IL} 和 V_{IH} 等），从而也就决定了噪声容限。选择相对较大的 r 值可以减小 V_{OL}，增大噪声容限。
2. Q_P 的工作特性似乎接近于恒流源，但事实上它仅仅在 $v_O\leqslant V_t$ 的小范围内工作在饱和区。当 v_O 取其他值时，Q_P 工作在变阻区。

考虑 v_I 的两种极限情况：当 $v_I=0$ 时，Q_N 截止，Q_P 工作在变阻区，但是其电流和漏源间电压均为零。此时的工作点如图 10.20 中的 A 点所示。并且 $v_O=V_{OH}=V_{DD}$，而静态电流为零，于是静态功耗也为零。当 $v_I=V_{DD}$ 时，反相器工作在图 10.20 中的 E 点。与互补 CMOS 不同的是，这里的 V_{OL} 不为零，这显然是一个缺点。另一个缺点是：在低电压输出状态门电路有电流(I_{stat})流过，因而会存在静态功耗（$P_D=I_{\text{stat}}\times V_{DD}$）。

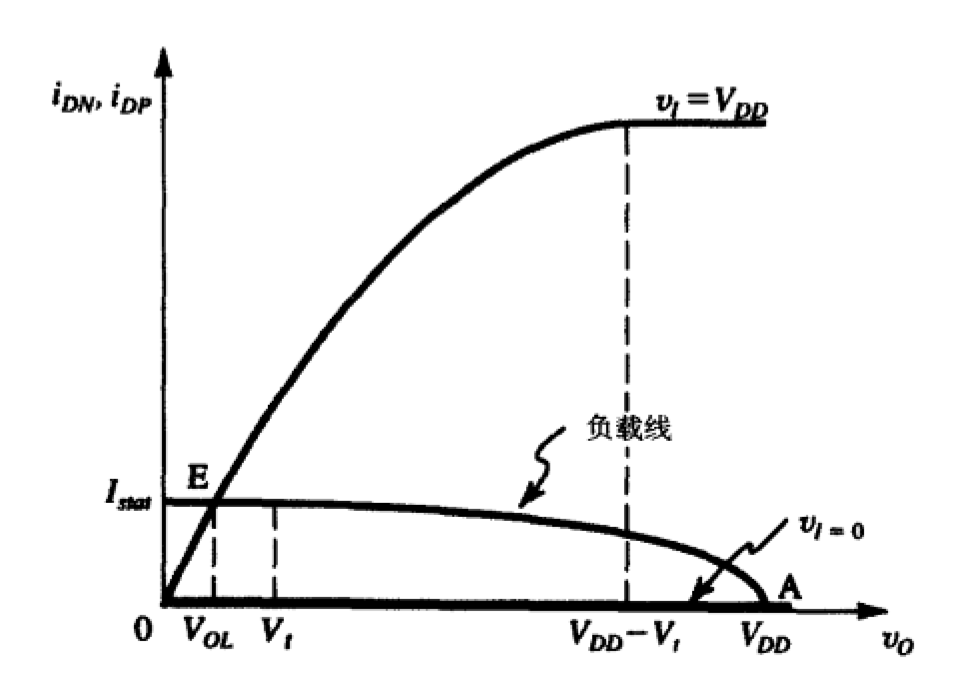


图 10.20 利用图解法确定图 10.19 所示反相器的 VTC 曲线

10.4.3 VTC 的推导

图 10.21 所示的是伪 NMOS 反相器的 VTC 曲线。如图所示，曲线可分为 4 个明显的区域（标注为 I 到 IV），分别对应于 Q_N 和 Q_P 可能的工作状态的不同组合。表 10.1 列出了这四个区域以及各个区域对应的晶体管工作状态和决定条件。利用这张表和式（10.29）到式（10.32）给出的器件工作特性方程，我们来推导 VTC 曲线不同区域对应的表达式，并求出用来表征反相器静态工作特性的重要参数。

① 对于 NMOS 反相器，V_{OL} 由器件的跨导工艺参数比 $(k'(W/L))_{\text{driver}}/(k'(W/L))_{\text{load}}$ 决定。因而这种电路被称为有比逻辑电路。而 CMOS 逻辑电路不具有这种关系，因而可以被称为无比逻辑电路。

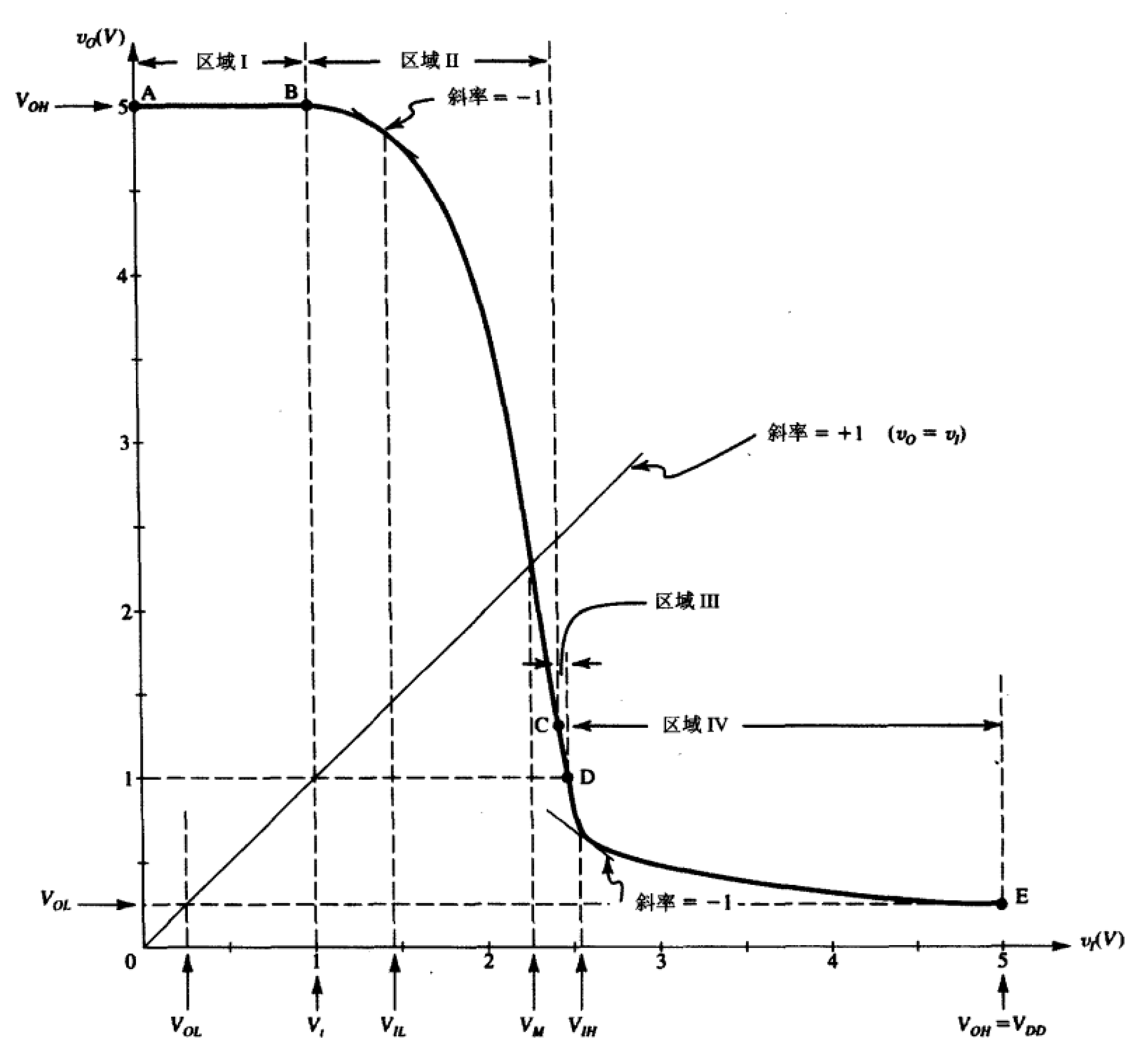


图 10.21 伪 NMOS 反相器的 VTC。图中曲线对应于 $V_{DD}=5$ V，$V_{tn}=-V_{tp}=1$ V，$r=9$ 的情况

■ 区域 I（AB 段）：

$$v_O = V_{OH} = V_{DD} \tag{10.33}$$

表 10.1 伪 NMOS 反相器的工作区域

区域	VTC 曲线段	Q_N	Q_P	条件
I	AB	截止区	变阻区	$v_I < V_t$
II	BC	饱和区	变阻区	$v_O \geqslant v_I - V_t$
III	CD	变阻区	变阻区	$V_t \leqslant v_O \leqslant v_I - V_t$
IV	DE	变阻区	饱和区	$v_O \leqslant V_t$

■ 区域 II（BC 段）：

令式（10.29）中的 i_{DN} 与式（10.32）中的 i_{DP} 相等，并将 $k_n = rk_p$ 代入并化简可得

$$v_O = V_t + \sqrt{(V_{DD}-V_t)^2 - r(v_I - V_t)^2} \tag{10.34}$$

将上式两边微分，并将$\partial v_O/\partial v_I = -1$ 和 $v_I = V_{IL}$ 代入可以求出 V_{IL}：

$$V_{IL}=V_t+\frac{V_{DD}-V_t}{\sqrt{r(r+1)}} \tag{10.35}$$

根据定义，门限电压 V_M（即 V_{th}）等于 $v_O=v_I$时 v_I的值：

$$V_M=V_t+\frac{V_{DD}-V_t}{\sqrt{r+1}} \tag{10.36}$$

最后，将 $v_O=v_I-V_t$代入式（10.34）可以得到区域Ⅱ的终点（即 C 点）。在该点上，Q_N离开饱和区，进入变阻区。

■ **区域 III（CD 段）**：
这段曲线较短，不是很重要。D 点处的 $v_O=V_t$。

■ **区域 IV（DE 段）**：
令式（10.30）中的 i_{DN}与式（10.31）中的 i_{DP}相等，并将 $k_n=rk_p$代入并化简可得

$$v_O=(v_I-V_t)-\sqrt{(v_I-V_t)^2-\frac{1}{r}(V_{DD}-V_t)^2} \tag{10.37}$$

将上式两边微分，并将$\partial v_O/\partial v_I=-1$ 和 $v_I=V_{IH}$代入可以求出 V_{IH}：

$$V_{IH}=V_t+\frac{2}{\sqrt{3r}}(V_{DD}-V_t) \tag{10.38}$$

将 $v_I=V_{DD}$代入式（10.37），可得 V_{OL}为

$$V_{OL}=(V_{DD}-V_t)\left[1-\sqrt{1-\frac{1}{r}}\right] \tag{10.39}$$

反相器处于低输出状态时的静态电流可以由式（10.31）得到：

$$I_{\text{satat}}=\frac{1}{2}k_p(V_{DD}-V_t)^2 \tag{10.40}$$

最后，我们利用式（10.35）和式（10.39）来确定 NM_L，利用式（10.33）和式（10.38）可确定 NM_H：

$$NM_L=V_t-(V_{DD}-V_t)\left[1-\sqrt{1-\frac{1}{r}}-\frac{1}{\sqrt{r(r+1)}}\right] \tag{10.41}$$

$$NM_H=(V_{DD}-V_t)\left(1-\frac{2}{\sqrt{3r}}\right) \tag{10.42}$$

可见，由于 V_{DD}和 V_t由制造工艺决定，比值 r 是惟一可用来调控 V_{OL}值和噪声容限的设计参数。

10.4.4 动态工作特性

反相器接负载电容 C 时，对反相器瞬态响应进行分析得到 t_{PLH}的过程与互补 CMOS 反相器完全相同。电流 i_{DP}对电容进行充电，我们可以用 $v_O=0$ 到 $v_O=V_{DD}/2$ 区间内 i_{DP}的平均值来估算 t_{PLH}，从而得到如下的近似表达式（这里假定 $V_t\simeq 0.2V_{DD}$）：

$$t_{PLH}=\frac{1.7C}{k_pV_{DD}} \tag{10.43}$$

电容放电的情况有所不同，电流 i_{DP}需要减去 i_{DN}才能得到放电电流。得到的近似表达式为

$$t_{PHL}\simeq\frac{1.7C}{k_n\left(1-\frac{0.46}{r}\right)V_{DD}} \tag{10.44}$$

当 r 较大时，该式可以简化为

$$t_{PHL} \simeq \frac{1.7C}{k_n V_{DD}} \tag{10.45}$$

尽管上述这些表达式与互补 CMOS 反相器相同，但是伪 NMOS 反相器有一个特殊的问题：k_p 比 k_n 小 r 倍，因此 t_{PLH} 要比 t_{PHL} 大 r 倍，所以电路的延迟性能是不对称的。但是，对于大扇入的情况，伪 NMOS 门电路需要的晶体管个数较少，因而电容 C 比对应的互补 CMOS 门电路要小。

10.4.5　设计

设计时需要选定比值 r 和一个晶体管的 W/L 值。另一个晶体管的 W/L 值可以通过 r 算出。我们感兴趣的设计参数有 V_{OL}，NM_L，NM_H，I_{stat}，P_D，t_{PLH} 和 t_{PHL}。设计时需要重点考虑以下因素：

1. 比值 r 决定了 VTC 曲线的所有转折点。r 值越大，V_{OL} 越小［见式（10.39）］，噪声容限也越大［见式（10.41）和式（10.42）］。但是，较大的 r 值会增加动态响应的不对称性，并且当 $(W/L)_p$ 给定时会增加门的宽度。因而选择 r 时，需要在噪声容限与硅片面积和 t_P 之间做出权衡。通常，在 4 到 10 的范围内选择 r。
2. r 选定后，可以选择 $(W/L)_p$ 和 $(W/L)_n$ 中的一个值，另一个也会随之确定。这里，我们要选择较小的 $(W/L)_n$，从而使得门电路面积与 C 的值都较小。同样，$(W/L)_p$ 较小可使得 I_{stat} 和 P_D 都较小。另一方面，我们可能希望 W/L 比值较大，以使 t_P 较小，从而提高响应速度。在一般（高速）应用条件下，通常选择合适的 $(W/L)_p$ 值，使得 I_{stat} 在 50 ~ 100 μA 之间。这样，当 V_{DD} = 5 V 时，P_D 就会在 0.25 mW 到 0.5 mW 的范围内。

10.4.6　门电路

除了负载器件外，伪 NMOS 门电路与互补 CMOS 门电路的 PDN 完全相同。图 10.22 所示为四输入的伪 NMOS 或非门和与非门电路。每个电路用了 5 个晶体管，而互补 CMOS 电路中用了 8 个晶体管。在伪 NMOS 电路中，或非门比与非门更受欢迎，因为前者没有用到晶体管的串联，因而可以使用最少数量的 NMOS 器件来实现。

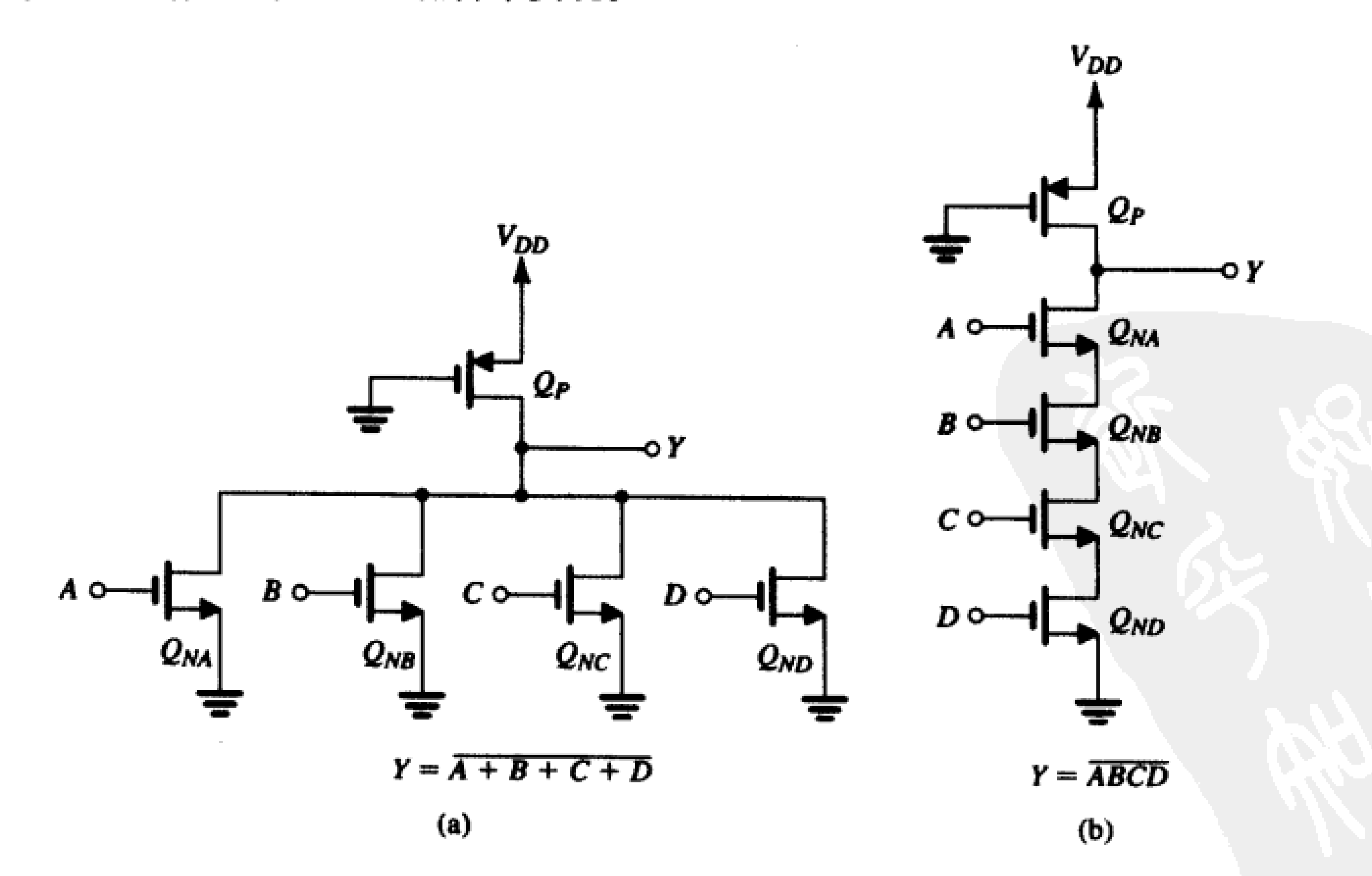


图 10.22　伪 NMOS 型或非门和与非门电路

10.4.7　最后的说明

伪 NMOS 电路特别适用于输出值的常态为高的应用环境中。在这种情况下，静态功耗相当低（因为门电路只在低输出状态时有静态功耗）。另外，输出转换很可能是从高电平到低电平的转换，其传输延迟可以做到尽可能小。这种电路的典型应用有存储器的地址译码器（见 11.5 节）和只读存储器的设计（见 11.6 节）。

例题 10.3　考虑一个利用例题 10.1 中 CMOS 工艺制作的伪 NMOS 反相器。其中，$\mu_n C_{ox}=115\ \mu A/V^2$，$\mu_p C_{ox}=30\ \mu A/V^2$，$V_{tn}=-V_{tp}=0.4$ V，$V_{DD}=2.5$ V。Q_N 的 W/L 比为 0.375 μm/0.25 μm，$r=9$。求：

（a）V_{OH}，V_{OL}，V_{IL}，V_{IH}，V_M，NM_H 和 NM_L；

（b）$(W/L)_p$；

（c）I_{stat} 和 P_D；

（d）t_{PLH}，t_{PHL} 和 t_P。假定反相器输出端的总电容为 7 fF。

解：

（a）$V_{OH}=V_{DD}=2.5$ V

从式（10.39）可求得 V_{OL} 为

$$V_{OL}=(2.5-0.4)\left[1-\sqrt{1-\frac{1}{9}}\right]=0.12\ \text{V}$$

从式（10.35）可得 V_{IL} 为

$$V_{IL}=0.4+\frac{2.5-0.4}{\sqrt{9(9+1)}}=0.62\ \text{V}$$

从式（10.38）可得 V_{IH} 为

$$V_{IH}=0.4+\frac{2}{\sqrt{3\times 9}}\times(2.5-0.4)=1.21\ \text{V}$$

从式（10.36）可得 V_M 为

$$V_M=0.4+\frac{2.5-0.4}{\sqrt{9+1}}=1.06\ \text{V}$$

可得噪声容限为

$$NM_H=V_{OH}-V_{IH}=2.5-1.21=1.29\ \text{V}$$
$$NM_L=V_{IL}-V_{OL}=0.62-0.12=0.50\ \text{V}$$

可见，噪声容限不等并且 NM_L 相当低。

（b）Q_P 的 W/L 比为

$$\frac{\mu_n C_{ox}(W/L)_n}{\mu_p C_{ox}(W/L)_p}=9$$

$$\frac{115\times\frac{0.375}{0.25}}{30(W/L)_p}=9$$

故

$$(W/L)_p = 0.64$$

（c）低输出状态时的直流电流可以通过式（10.40）确定，即

$$I_{\text{stat}} = \frac{1}{2} \times 30 \times 0.64(2.5 - 0.4)^2 = 42.3\ \mu\text{A}$$

可得静态功耗为

$$\begin{aligned} P_D &= I_{\text{stat}}\, V_{DD} \\ &= 42.3 \times 2.5 = 106\ \mu\text{W} \end{aligned}$$

（d）从低到高的输出传播延迟可以通过式（10.43）确定，即

$$t_{PLH} = \frac{1.7 \times 7 \times 10^{-15}}{30 \times 10^{-6} \times 0.64 \times 2.5} = 0.25\ \text{ns}$$

从高到低的输出传播延迟可以通过式（10.45）确定，即

$$t_{PHL} = \frac{1.7 \times 7 \times 10^{-15}}{115 \times 10^{-16} \times \frac{0.375}{0.25} \times 2.5} = 0.03\ \text{ns}$$

现在可得传播延迟为

$$t_P = \frac{1}{2}(0.25 + 0.03) = 0.14\ \text{ns}$$

尽管这里的传播延迟要比例题 10.1 中互补 CMOS 反相器的传播延迟大得多，但是这样的比较没有多大意义：伪 NMOS 电路通常出现在扇入较大的门电路中，而不是以单个反相器的形式出现。 ■

练习 D10.6 保持 r 不变，重新设计例题 10.3 中的反相器，使得其静态功耗降低到原来的一半。求新的 W/L 值。同时求出 t_{PLH}，t_{PHL} 和 t_P。假定 C 保持不变。噪声容限会变吗？

答案：$(W/L)_n = 1.5$；$(W/L)_p = 0.32$；0.5 ns；0.03 ns；0.27 ns；不变

练习 D10.7 用 $r = 4$ 重新设计例题 10.3 中的反相器。求 V_{OL} 和噪声容限。如果 $(W/L)_n = 0.375\ \mu\text{m}/0.25\ \mu\text{m}$，求 $(W/L)_p$，I_{stat}，P_D，t_{PLH}，t_{PHL} 和 t_P。假定 $C = 7$ fF。

答案：$V_{OL} = 0.28$ V；$NM_L = 0.59$ V；$NM_H = 0.89$ V；$(W/L)_p = 1.44$；$I_{\text{stat}} = 95.3\ \mu\text{A}$；$P_D = 0.24$ mW；$t_{PLH} = 0.11$ ns；$t_{PHL} = 0.03$ ns；$t_P = 0.07$ ns

10.5 传输晶体管逻辑电路

在输入和输出节点之间连接一些由开关组成的串联和并联网络，这些开关受输入逻辑变量的控制（见图 10.23），这是从概念上实现各种逻辑功能的简单方法。电路中的每个开关可以用单个 NMOS 晶体管实现［见图 10.24（a）］，也可以用一对互补 MOS 晶体管实现。后者被称为 CMOS 传输门结构［见图 10.24（b）］。这样组成的逻辑电路形式简单，特别适用于实现某些特殊逻辑功能，与互补 CMOS 逻辑电路结合可以有效地实现这些功能。

在这种形式的电路中，MOS 晶体管串接在输入与输出之间，用来控制信号的传输和阻断，因而被称为传输晶体管逻辑（PTL）。正如先前提到的那样，CMOS 传输门经常用做开关，因而这种逻辑电路又被称为传输门逻辑。这两种说法可以互换，与开关的实际实现方式无关。

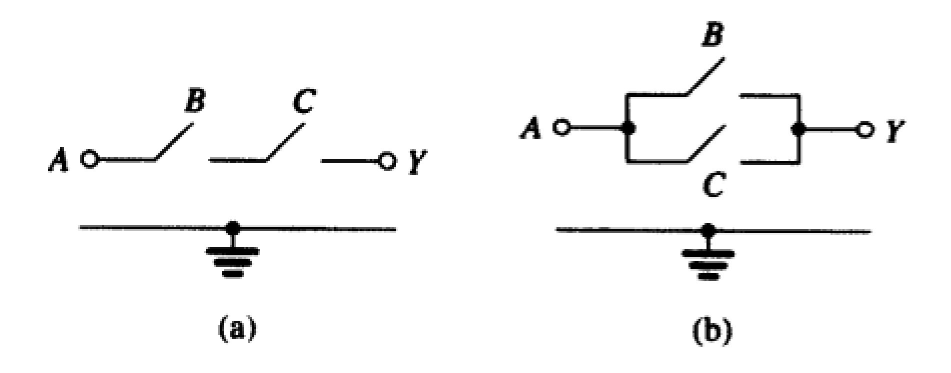


图 10.23　传输晶体管逻辑门模型：（a）由输入变量 B 和 C 控制的两个开关，它们串接在输入和输出节点之间。若输入端加上输入变量 A，则输出端（隐含一个对地的负载）实现的功能是 $Y=ABC$；（b）两个开关并联可实现逻辑 $Y=A(B+C)$

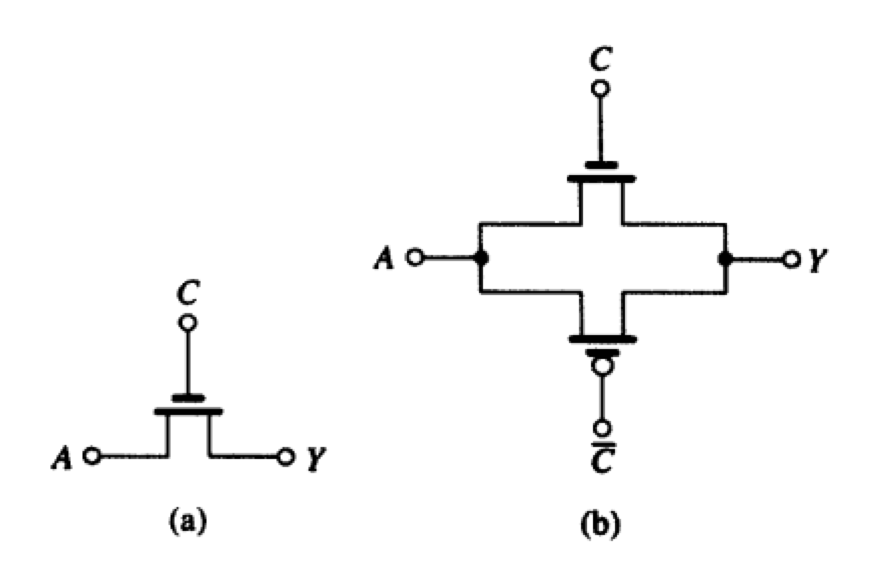


图 10.24　连接节点 A 和 Y 的压控开关的两种实现方式：（a）单个 NMOS 管；（b）CMOS 传输门

尽管模型简单，但是在设计传输晶体管逻辑电路时要比较小心。下面，我们来分析 PTL 电路设计的基本原则及其应用实例。

10.5.1　基本设计要求

设计 PTL 电路时有一条基本设计要求，就是要保证在任意时刻每个电路节点对 V_{DD} 或对地有一条低阻抗的通路。为了说明这一点，考虑图 10.25（a）中的情形：开关 S_1（通常是一个较大 PTL 网络的一部分，未画出）受变量 B 控制，与 CMOS 反相器输出 A 构成与逻辑。PTL 电路的输出 Y 与另一个反相器的输入相连。显然，若 B 为高，则 S_1 关闭且 $Y=A$。Y 节点要么通过 Q_2 与 V_{DD} 连接（若 A 为高），要么通过 Q_1 接地（若 A 为低）。但是，当 B 变低且 S_1 打开时，情况会怎么样呢？Y 节点会变成一个高阻节点。如果先前的 v_Y 为零，则会继续保持为零。但是，如果先前的 v_Y 为高电平 V_{DD}，寄生电容 C 上的电荷可继续维持这个电压，但是只能持续很短的时间：无法避免的漏电流会缓慢对 C 放电，v_Y 也会相应变低。无论如何，这种电路都不能再被视为静态组合逻辑电路了。

解决这个问题比较容易：当 B 变低时，为节点 Y 建立一条低阻通路，如图 10.25（b）所示。这里，另一个开关 S_2 受 $\overline{B}$ 控制，连接在 Y 和地之间。当 B 变低时，S_2 关闭，在 Y 和地之间建立一条低阻通路。

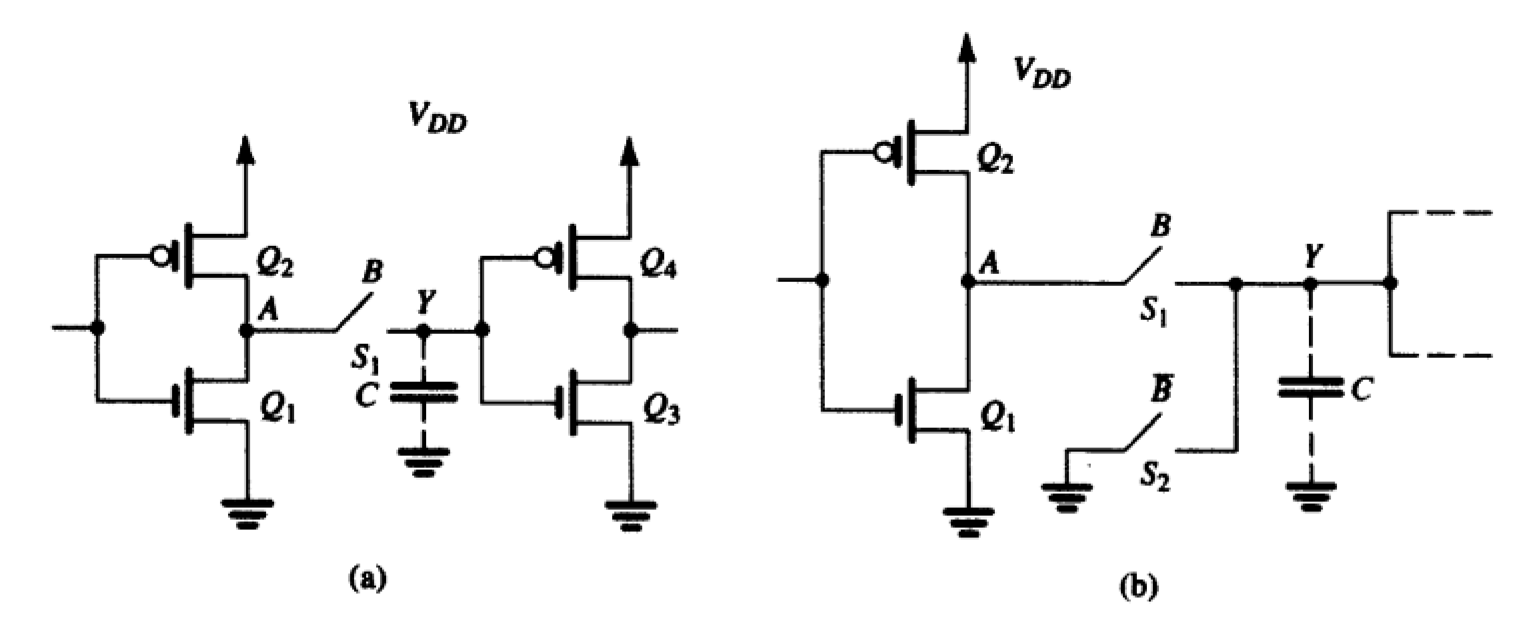


图 10.25 设计 PTL 电路时的一条基本设计要求：在任意时刻，每个电路节点对 V_{DD}或对地有一条阻抗较小的通路；图（a）中当 B 为低且 S_1 打开时不存在这样的通路；图（b）中由开关 S_2 提供这样的通路

10.5.2 作为开关工作的 NMOS 晶体管

用单个 NMOS 晶体管实现 PTL 电路中开关的电路比较简单，占用的面积和节点电容也较小。但是，在获得这些优点的同时，却牺牲了电路的静态及动态性能。为了说明这一点，考虑图 10.26 所示的电路，其中 NMOS 晶体管 Q 用做开关，连接在输入电压 v_I和输出节点之间。输出端与地之间的总电容用 C 表示。当加在 Q 栅极的控制电压为高电平 V_{DD}时，开关闭合，如图中所示。我们来分析 $t=0$ 时输入电压 v_I变成高电平 V_{DD}后电路的工作情况。假定初始状态的输出电压 v_O为零，电容 C 已被完全放电。

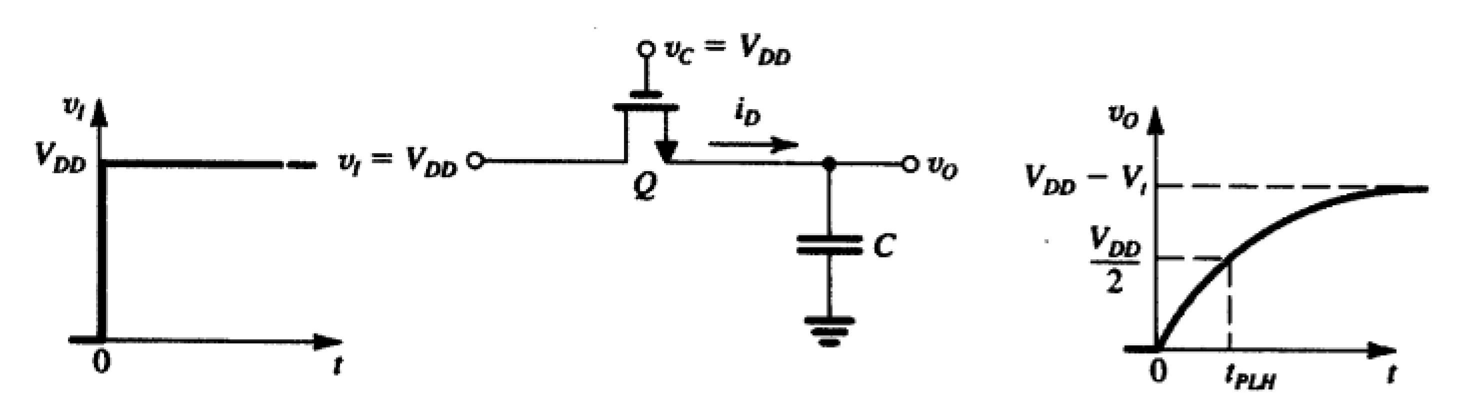


图 10.26 NMOS 晶体管用做 PTL 电路中开关时的工作情况。这里的分析对应于开关闭合（v_C为高电平）和输入由低变高（$v_I=V_{DD}$）的情况

v_I变成高电平后，晶体管工作在饱和区，输出电流 i_D对电容充电：

$$i_D=\frac{1}{2}k_n(V_{DD}-v_O-V_t)^2 \qquad (10.46)$$

这里，$k_n=k'_n(W/L)$，并且因为源极与衬底之间的电压为 v_O，V_t由衬底效应决定，因此［参见（式 4.33）］，

$$V_t=V_{t0}+\gamma(\sqrt{v_O+2\phi_f}-\sqrt{2\phi_f}) \qquad (10.47)$$

所以，开始时（即 $t=0$ 时），V_t=V_{t0}，电流 i_D较大。但是，当 C 充电之后，v_O升高，故 V_t变大［见式（10.47）］，而 i_D减小。i_D减小可以归结于 v_O 和 V_t的同时升高。因此，电容充电的过程会比

较慢。更严重的是，从式（10.46）可以看出，当 v_O 变为（$V_{DD}-V_t$）时 i_D 减小为零，因此输出的高电平电压(V_{OH})将不等于 V_{DD}，V_{OH} 会比 V_{DD} 低 V_t。更糟的是，V_t 的值会是 V_{t0} 的 1.5 ~ 2 倍！

除了降低了门电路的抗噪声能力以外，较低的 V_{OH}（通常称为弱高电平）会带来另一个缺点：考虑当输出端与一个互补 CMOS 反相器的输入端相连时的情形（如图 10.25 所示）。较低的 V_{OH} 会使负载反相器的 Q_P 导通，因此反相器具有一定的静态电流和静态功耗。

图 10.26 中 PTL 门的传播延迟 t_{PLH} 定义为从 v_O 到 $V_{DD}/2$ 的时间。利用与前面类似的处理方法可以求出这个值。我们稍后将用一个例子加以说明。

图 10.27 所示的是当 v_I 变为低电平（0 V）时的 NMOS 开关电路。假定初始状态为 $v_O = V_{DD}$。在 $t = 0+$ 时，晶体管导通且工作在饱和区：

$$i_D = \frac{1}{2}k_n(V_{DD} - V_t)^2 \tag{10.48}$$

我们注意到，由于源极电压现在为 0 V（源极和漏极的位置已经交换），衬底效应不存在，V_t 保持为 V_{t0}。当 C 放电时，v_O 减小，当减小到 $v_O = V_{DD} - V_t$ 时晶体管进入变阻区。但是，电容仍然继续放电，直到 C 彻底放电结束且 $v_O = 0$ 为止。因此，NMOS 晶体管的 $V_{OL} = 0$，是一个"强低电平"。同样，传播延迟 t_{PHL} 可以用通用方法求得，如下例中所示。

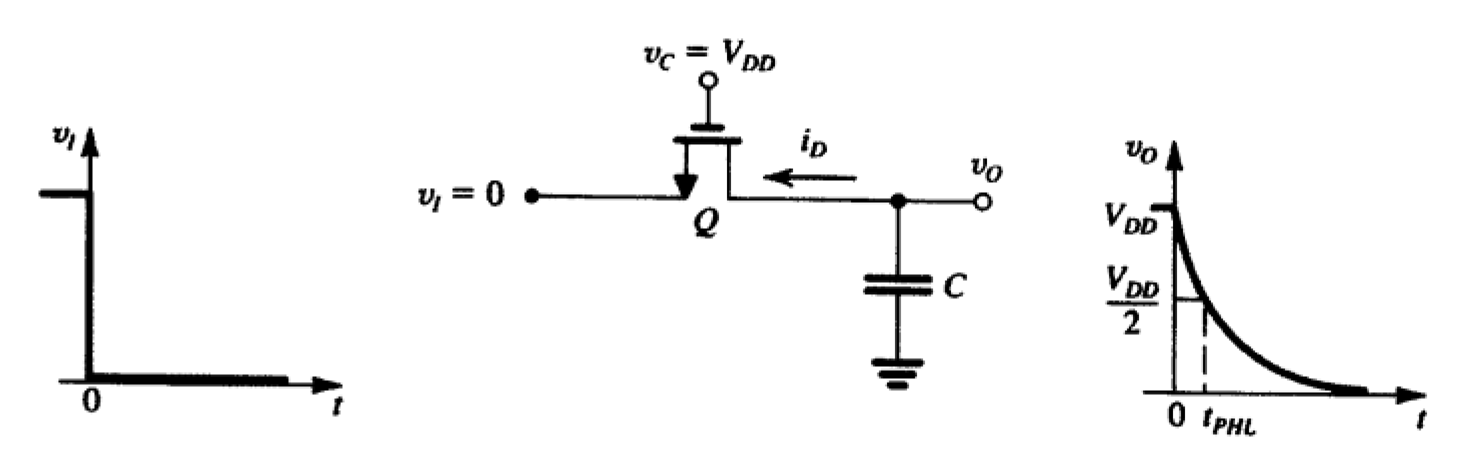


图 10.27　当输入由高变低（$v_I = 0$ V）时 NMOS 开关的工作情况。考虑到 NMOS 晶体管的漏极电压总是比源极高，因此与图 10.26 所示的电路相比，漏极和源极的位置发生了交换

例题 10.4　考虑图 10.26 和图 10.27 所示的 NMOS 晶体管开关。其中，$\mu_n C_{ox} = 50\ \mu A/V^2$，$\mu_p C_{ox} = 20\ \mu A/V^2$，$|V_{t0}| = 1$ V，$\gamma = 0.5\ V^{1/2}$，$2\phi_f = 0.6$ V，$V_{DD} = 5$ V。设晶体管的尺寸是这种工艺下最小的，即 4 μm/2 μm。假定输出端与地之间的总电容 $C = 50$ fF。

（a）在 v_I 为高电平（见图 10.26）的条件下，求 V_{OH}。

（b）如果输出端连接的是一个 CMOS 反相器，其$(W/L)_p = 2.5(W/L)_n = 10\ \mu m/2\ \mu m$，若反相器输入端电压为（a）的结果，求反相器的静态电流和功耗，同时求出反相器的输出电压。

（c）求 t_{PLH}。

（d）在 v_I 由高电平变为低电平的条件下（见图 10.27），求 t_{PHL}。

（e）求 t_P。

解：

（a）参见图 10.26，V_{OH} 是 Q 停止导通时的 v_O 值：

$$V_{DD} - V_{OH} - V_t = 0$$

故

$$V_{OH} = V_{DD} - V_t$$

其中，V_t是源极与衬底之间的反向电压等于V_{OH}时的开启电压。利用式（10.47）可得

$$V_t = V_{t0} + \gamma(\sqrt{V_{OH} + 2\phi_f} - \sqrt{2\phi_f})$$
$$= V_{t0} + \gamma(\sqrt{V_{DD} - V_t + 2\phi_f} - \sqrt{2\phi_f})$$

将$V_{t0}=1$，$\gamma=0.5$，$V_{DD}=5$和$2\phi_f=0.6$代入，可得到关于V_t的二次方程。方程的解为

$$V_t = 1.6\text{ V}$$

故

$$V_{OH} = 3.4\text{ V}$$

可以看到，信号幅度有了很大衰减。

（b）负载反相器的输入信号为3.4 V，因此，流过Q_P的电流为

$$i_{DP} = \frac{1}{2}\times 20\times\frac{10}{2}(5-3.4-1)^2 = 18\ \mu\text{A}$$

故反相器的静态功耗为

$$P_D = V_{DD}i_{DP} = 5\times 18 = 90\ \mu\text{W}$$

我们注意到Q_N工作在变阻区，由此可以求出反相器的输出电压。令流过Q_N和Q_P的电流（即18 μA）相等，可以求出输出电压为0.08 V。

（c）要计算t_{PLH}，需要求出$t=0$时（此时$v_O=0$，$V_t=V_{t0}=1$ V）和$t=t_{PLH}$时（此时$v_O=2.5$ V，V_t待求）的i_D：

$$i_D(0) = \frac{1}{2}\times 50\times\frac{4}{2}\times(5-1)^2 = 800\ \mu\text{A}$$
$$V_t(v_O = 2.5\text{ V时}) = 1 + 0.5(\sqrt{2.5+0.6} - \sqrt{0.6}) = 1.49\text{ V}$$
$$i_D(t_{PLH}) = \frac{1}{2}\times 50\times\frac{4}{2}(5-2.5-1.49)^2 = 50\ \mu\text{A}$$

现在可以求得平均放电电流为

$$i_D\big|_{平均} = \frac{800+50}{2} = 425\ \mu\text{A}$$

可求得t_{PLH}为

$$t_{PLH} = \frac{C(V_{DD}/2)}{i_D\big|_{平均}}$$
$$= \frac{50\times 10^{-15}\times 2.5}{425\times 10^{-6}} = 0.29\text{ ns}$$

（d）参见图10.27所示的电路。可以看到，V_t保持为$V_{t0}=1$ V。$t=0$时的漏极电流为

$$i_D(0) = \frac{1}{2}\times 50\times\frac{4}{2}(5-1)^2 = 800\ \mu\text{A}$$

在$t=t_{PHL}$时，Q工作在变阻区，故

$$i_D(t_{PHL}) = 50\times\frac{4}{2}\left[(5-1)\times 2.5 - \frac{1}{2}\times 2.5^2\right]$$
$$= 690\ \mu\text{A}$$

因此，平均放电电流为

$$i_D\big|_{平均} = \frac{1}{2}(800+690) = 740\ \mu A$$

可求得 t_{PHL} 为

$$t_{PHL} = \frac{50\times10^{-15}\times2.5}{740\times10^{-6}} = 0.17\ ns$$

（e）$t_P = \frac{1}{2}(t_{PLH}+t_{PHL}) = \frac{1}{2}(0.29+0.17) = 0.23\ ns$ ■

例题 10.4 清楚地说明了信号电平损失的问题以及对后级 CMOS 反相器产生的信号删除作用。一些经过巧妙设计的方法可以将输出电平恢复到 V_{DD}。我们简要讨论其中的两种方法：一种方法基于电路，另一种方法基于制造工艺。

基于电路的方法如图 10.28 所示，其中 Q_1 是受输入 B 控制的一个传输晶体管。PTL 网络的输出节点连接到一个由 Q_N 和 Q_P 组成的互补反相器的输入端。电路中还加入了一个 PMOS 晶体管 Q_R，其栅极受反相器输出电压 v_{O2} 的控制。可以看到，当 PTL 门的输出 v_{O1} 为低电平（地电平）时，v_{O2} 为高电平(V_{DD})，Q_R 将截止。反过来，当 v_{O1} 为高电平但不等于 V_{DD} 时，反相器的输出将为低电平（显然应当如此），Q_R 将导通，并提供一个电流将 C 充电至 V_{DD}。这一过程在 $v_{O1}=V_{DD}$ 时停止，即当输出电压恢复到应有电平后停止。Q_R 提供的"电平恢复"功能经常用在 MOS 数字电路设计中。需要注意的是，尽管对这一过程的描述比较简单，但是 Q_R 的接入与 CMOS 反相器形成了"正反馈"，因而工作情况比看上去要复杂得多，尤其是瞬态工作情况。对 Q_R 的 W/L 比的选择也是一个复杂的过程，尽管通常选择比 k_n 小得多的 k_r（比如 1/3 或 1/5）。直观上看这是合适的，因为这样的话 Q_R 在电路工作中不会起主要作用，它只是将 V_{OH} 恢复到 V_{DD} [见 Rabaey（1996）]。晶体管 Q_R 称为"弱 PMOS 晶体管"。

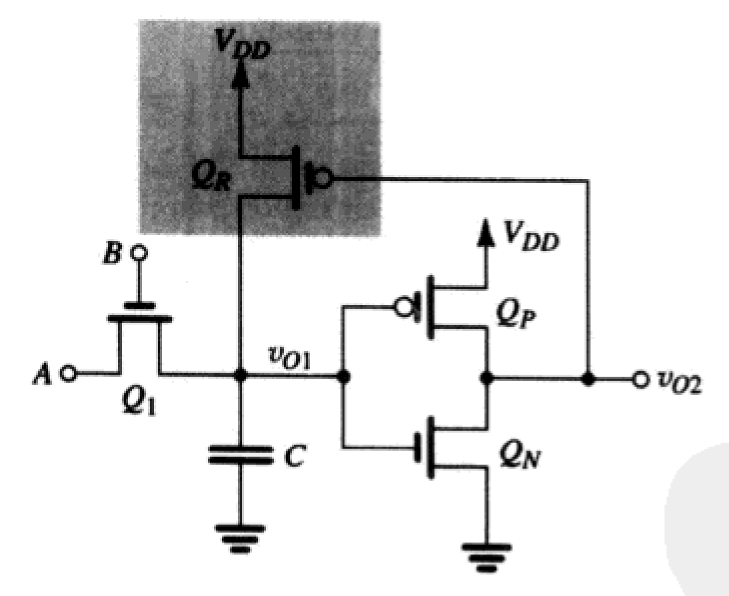


图 10.28　在 CMOS 反相器两端并接晶体管 Q_R 形成反馈环路，将 Q_1 输出的 V_{OH} 电平恢复到 V_{DD}

另一种对输出高电平信号(V_{OH})损失进行纠正的方法基于制造工艺。具体而言，由于 V_{OH} 的损失值等于 V_{tn}，我们可以为 NMOS 开关选择较低的 V_{tn} 以减少损失，也可以使用 $V_{tn}=0$ 的器件以彻底消除损失。制造这类零开启电压的器件时利用了离子植入工艺来控制 V_{tn} 的值。这类器件被称为自然器件。

10.5.3 作为开关的 CMOS 传输门

用 CMOS 传输门实现开关可以显著改善电路的静态和动态性能。传输门使用一对并联的互补

晶体管，它表现出良好的开关特性，可以提供双向电流，同时它还表现为一个在输入电压很宽的范围内基本保持不变的电阻。这些特点使得传输门不仅在数字应用中是一个良好的数字开关，而且在数据转换器（见第 9 章）和开关电容滤波器（见第 12 章）等应用中也可作为一个良好的模拟开关使用。

图 10.29（a）所示的是处于“开”状态的传输门开关，输入 v_I 在 $t=0$ 时升高为 V_{DD}。与前面一样，假设输出电压的初始值为零，则 Q_N 工作在饱和区，提供的充电电流为

$$i_{DN}=\frac{1}{2}k_n(V_{DD}-v_O-V_{tn})^2 \tag{10.49}$$

其中，与单个 NMOS 开关的情况类似，V_{tn} 取决于衬底效应：

$$V_{tn}=V_{t0}+\gamma(\sqrt{v_O+2\phi_f}-\sqrt{2\phi_f}) \tag{10.50}$$

Q_N 导通的电流将逐渐变小，直到 $v_O=V_{DD}-V_{tn}$ 时减少为零。但是需要注意，由于 $V_{SG}=V_{DD}$，因此 Q_P 开始时处于饱和区：

$$i_{DP}=\frac{1}{2}k_p(V_{DD}-|V_{tp}|)^2 \tag{10.51}$$

其中，由于 Q_P 的衬底与 V_{DD} 相连，$|V_{tp}|$ 保持 V_{t0} 不变，并假定这个值与 n 沟道器件相等。对电容充电的总电流为 i_{DN} 与 i_{DP} 之和。当 $v_O=|V_{tp}|$ 时，Q_P 进入变阻区，但是一直处于导通状态，直到 C 充电结束，$v_O=V_{OH}=V_{DD}$。因此，p 沟道器件为门提供了一个“强高电平”。t_{PLH} 可以通过常用的方法得到，我们能够预计由于 PMOS 器件提供了额外的电流，因此对于相同的 C，t_{PLH} 比单个 NMOS 开关要小。但是需要注意，增加的 PMOS 晶体管使得 C 的值也变大了。

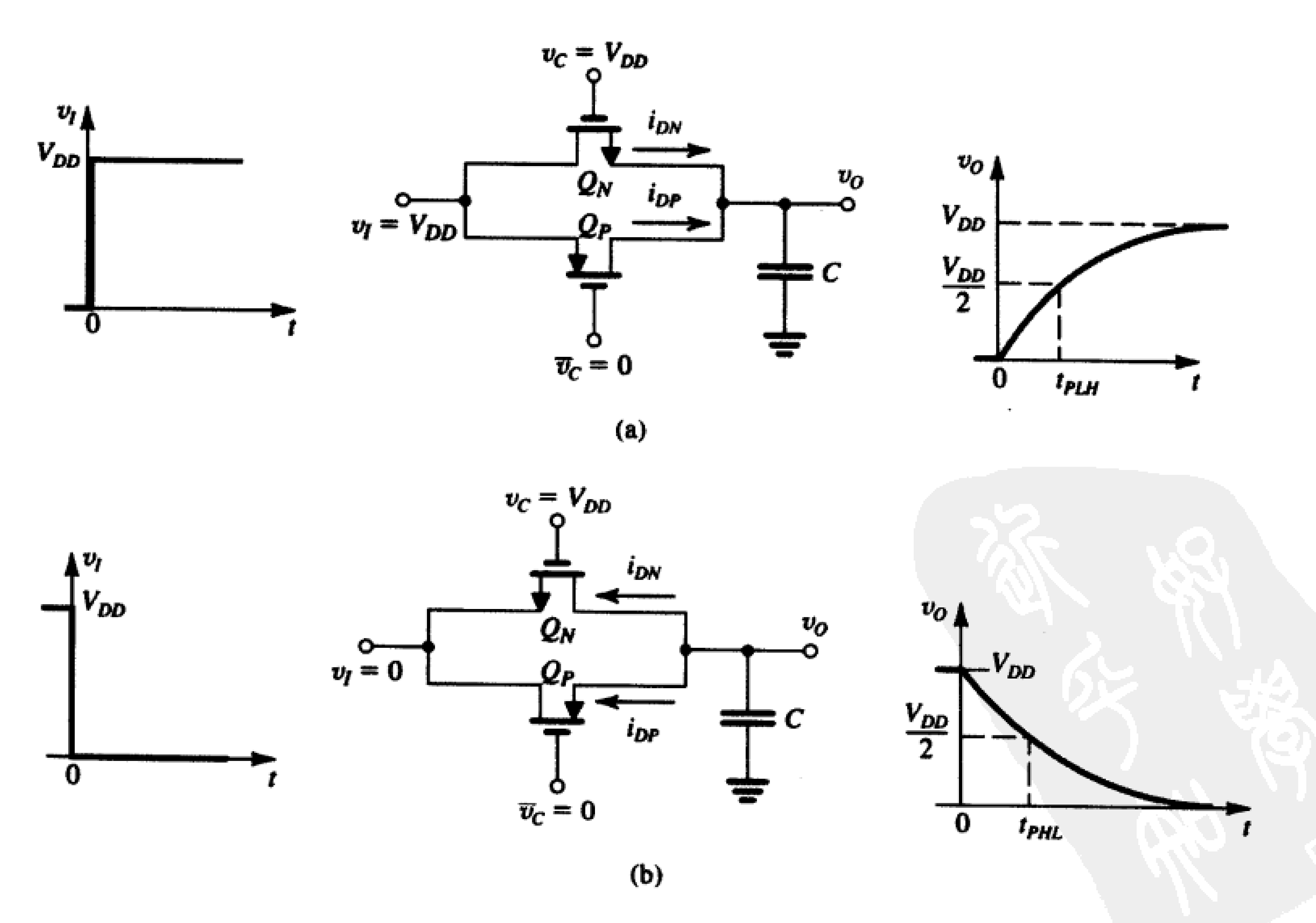


图 10.29 传输门用做 PTL 电路中开关时的工作情况：（a）v_I 为高电平；（b）v_I 为低电平

当 v_I 下降时，Q_N 与 Q_P 产生作用交换，如图 10.29（b）所示。对图 10.29（b）进行分析可以看出，当 v_O 下降到 $|V_{tp}|$ 后，Q_P 将停止导通。其中 $|V_{tp}|$ 为

$$|V_{tp}| = V_{t0} + \gamma[\sqrt{V_{DD} - v_O + 2\phi_f} - \sqrt{2\phi_f}] \quad (10.52)$$

但是 Q_N 会一直导通，直到 C 放电结束，$v_O = V_{OL} = 0\text{V}$，得到的是"强零电平"。

与单个 NMOS 开关相比，传输门的静态和动态性能都要好得多，然而付出的代价是电路复杂度、面积和电容的增加。

练习 10.8 图 10.29(a)和图 10.29(b)所示的传输门由 CMOS 工艺制造，相关参数为 $k'_n = 50\ \mu\text{A/V}^2$，$k'_p = 20\ \mu\text{A/V}^2$，$V_{tn} = |V_{tp}|$，$V_{t0} = 1\text{ V}$，$\gamma = 0.5\text{ V}^{1/2}$，$2\phi_f = 0.6\text{ V}$，$V_{DD} = 5\text{ V}$。设晶体管 Q_N 和 Q_P 的尺寸是这种工艺下最小的，即 $(W/L)_n = (W/L)_p = 4\ \mu\text{m}/2\ \mu\text{m}$。输出节点处的总电容为 70 fF。尽可能利用例题 10.4 的结果。

（a）对于图 10.29（a）中的情况，求 $i_{DN}(0)$，$i_{DP}(0)$，$i_{DN}(t_{PLH})$，$i_{DP}(t_{PLH})$ 和 t_{PLH}。

（b）对于图 10.29（b）中的情况，求 $i_{DN}(0)$，$i_{DP}(0)$，$i_{DN}(t_{PHL})$，$i_{DP}(t_{PHL})$ 和 t_{PHL}。当 v_O 多大时 Q_P 会关闭？

（c）求 t_P。

答案：（a）800 μA，320 μA，50 μA，275 μA，0.24 ns；（b）800 μA，320 μA，688 μA，20 μA，0.19 ns，1.6 V；（c）0.22 ns

10.5.4 传输晶体管逻辑电路举例

在本节的最后，我们给出一些 PTL 逻辑电路的例子。图 10.30 所示的是一个用 PTL 实现的二选一多路开关：根据 C 的不同逻辑值，输出 Y 将与 A 或 B 相连。这个电路实现的布尔函数是

$$Y = CA + \bar{C}B$$

第二个例子是一个高效实现异或（XOR）逻辑功能的电路。如图 10.31 所示，该电路使用了 4 个晶体管用做传输门，另外 4 个晶体管用于生成两个反相器需要的反变量 $\bar{A}$ 和 $\bar{B}$，因此总共使用了 8 个晶体管。而互补 CMOS 实现方案中需要使用 12 个晶体管。

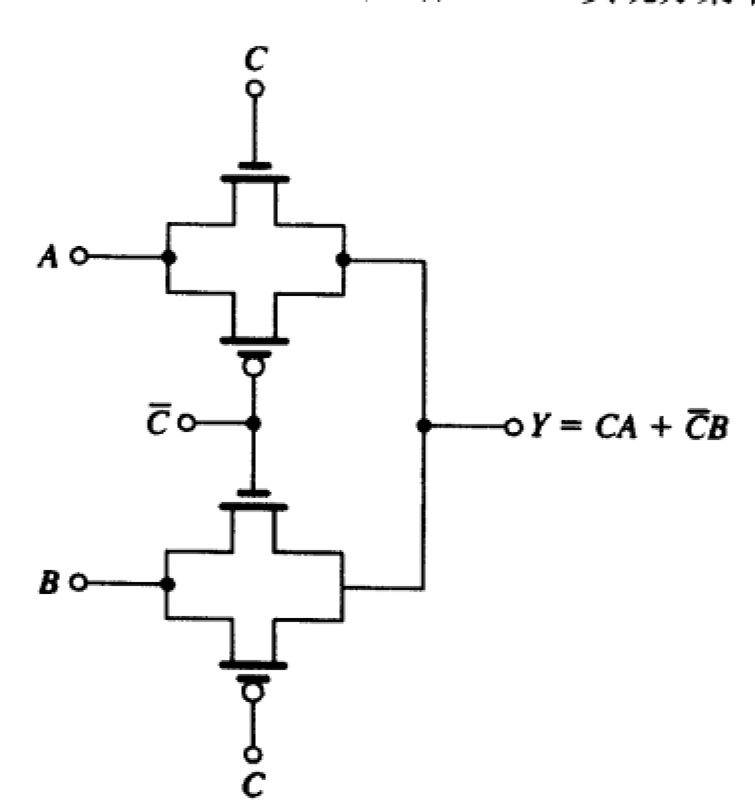


图 10.30 一个用传输晶体管逻辑实现的二选一多路开关

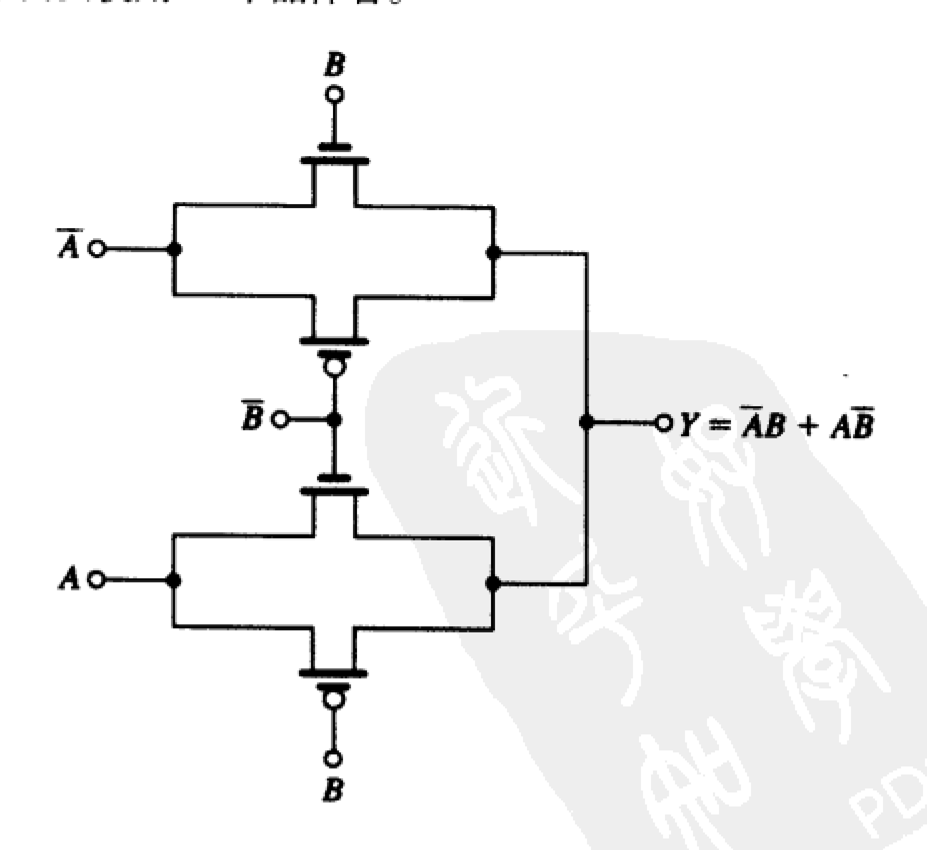


图 10.31 利用传输晶体管逻辑实现的 XOR 逻辑功能

最后一个 PTL 的例子是图 10.32 所示的电路，其中使用了开启电压较低或为零的 NMOS 开关。输入端使用了输入原变量及其反变量，而电路的输出也同时包含布尔函数值及其互补值。因而这种形式的电路被称为互补传输晶体管逻辑（CPL）。这种电路由两个相同的传输晶体管网络组成，且对应的晶体管门由相同的信号（B 和 $\overline{B}$）控制。而 PTL 的输入是互补的：A 和 B 输入第一个网络，$\overline{A}$ 和 $\overline{B}$ 输入第二个网络。图中所示的电路实现了与和与非逻辑功能。

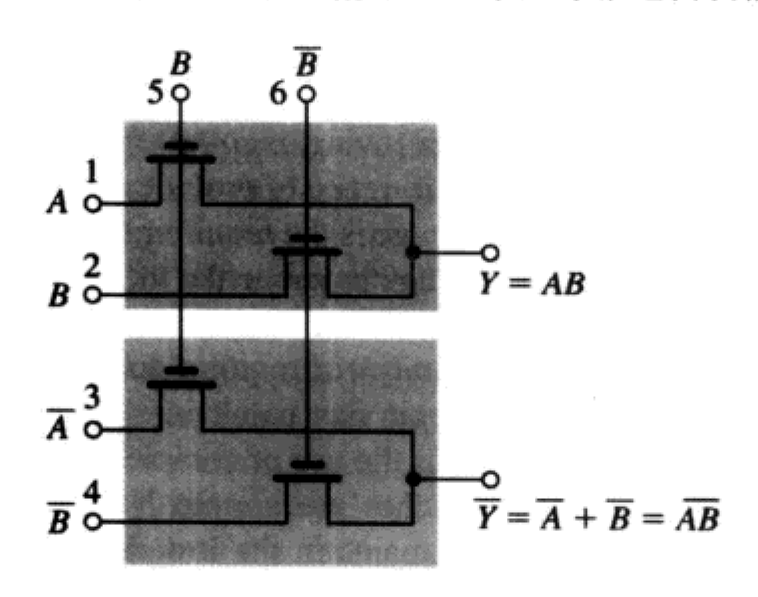


图 10.32 一个同时使用输入原变量及其反变量的传输晶体管逻辑门。这种类型的电路因此被称为互补传输晶体管逻辑或 CPL。电路的输出同时提供输出函数及其互补值

练习 10.9 考虑图 10.32 所示的电路，输入信号发生如下一些变动。求出每种情况下的 Y 和/$\overline{Y}$。

（a）5 端和 6 端的信号交换（$\overline{B}$ 连到 5 端，B 连到 6 端）。其余不变。

（b）5 端和 6 端的信号交换同（a），2 端和 4 端的信号分别改为 $\overline{A}$ 和 A。其余不变。

答案：（a）$Y=A+B$，$\overline{Y}=\overline{A}\overline{B}=\overline{A+B}$（即或-或非）；（b）$Y=A\overline{B}+\overline{A}B$，$\overline{Y}=\overline{A}\overline{B}+AB$（即异或-同或）。

10.5.5 最后的说明

尽管使用零开启电压值的器件可以解决使用 NMOS 开关时的信号电平损失问题，然而这种电路很容易受到噪声及其他因素的影响，比如亚阈区导通状态下的漏电流等。

10.6 动态逻辑电路

之前我们介绍的逻辑电路都属于静态类型。在静态逻辑电路中，每个节点任何时刻都有一条通向 V_{DD} 或地的低阻通路。同样，任何时刻每个节点的电压都是确定的，不存在浮动的节点。静态电路不需要时钟（即周期性定时信号）就可以工作，尽管可能出于其他原因采用了时钟。与此相反，我们将要讨论的动态逻辑电路的工作却需要依靠特定电路节点处寄生电容上存储的信号电压。由于电荷会随着时间的增长而发生泄漏，这类电路需要进行周期性的刷新，因此需要一个满足某种最低频率要求的时钟。

在介绍动态逻辑电路技术之前，我们先对已讲过的各种逻辑电路类型做一个总结。互补 CMOS 电路所有方面的性能几乎都很优异：它易于设计，逻辑摆幅最大，抗噪声能力强，无静态功耗，通过适当设计可以提供相等的低电平到高电平与高电平到低电平的传播延迟。但它最大的缺点是增加一个门的输入时需要增加两个晶体管，因此对于高扇入门而言会增大芯片面积和总电容，从而增加传播延迟和动态功耗。伪 NMOS 电路减少了需要的晶体管个数，但却以牺牲静态功耗为代价。传输晶体管逻辑能够得到简单而且面积小的电路，但是通常只用于某些特殊应用中，

特别当开关是单个 NMOS 管时，需要使用互补反相器恢复信号电平。本节将要介绍的动态逻辑电路技术与伪 NMOS 电路一样使用较少的器件个数，同时将静态功耗减少为零。稍后将会讲到，这是以增加电路的复杂性和牺牲抗干扰性能为代价的。

10.6.1 基本原理

图 10.33（a）所示的是基本动态逻辑门。电路中包括一个实现逻辑功能的下拉网络（PDN），它与互补 CMOS 门或伪 NMOS 门的 PDN 完全相同。但是，电路中还有两个串联的开关，它们受时钟信号ϕ的控制周期性地工作，时钟信号ϕ的波形如图 10.33（b）所示。当ϕ为低电平时，Q_p开启，此时电路处于建立或预充电阶段。当ϕ为高电平时，Q_p关闭，Q_e开启，电路进入赋值阶段。还要注意的是，C_L表示输出节点与地之间的总电容。

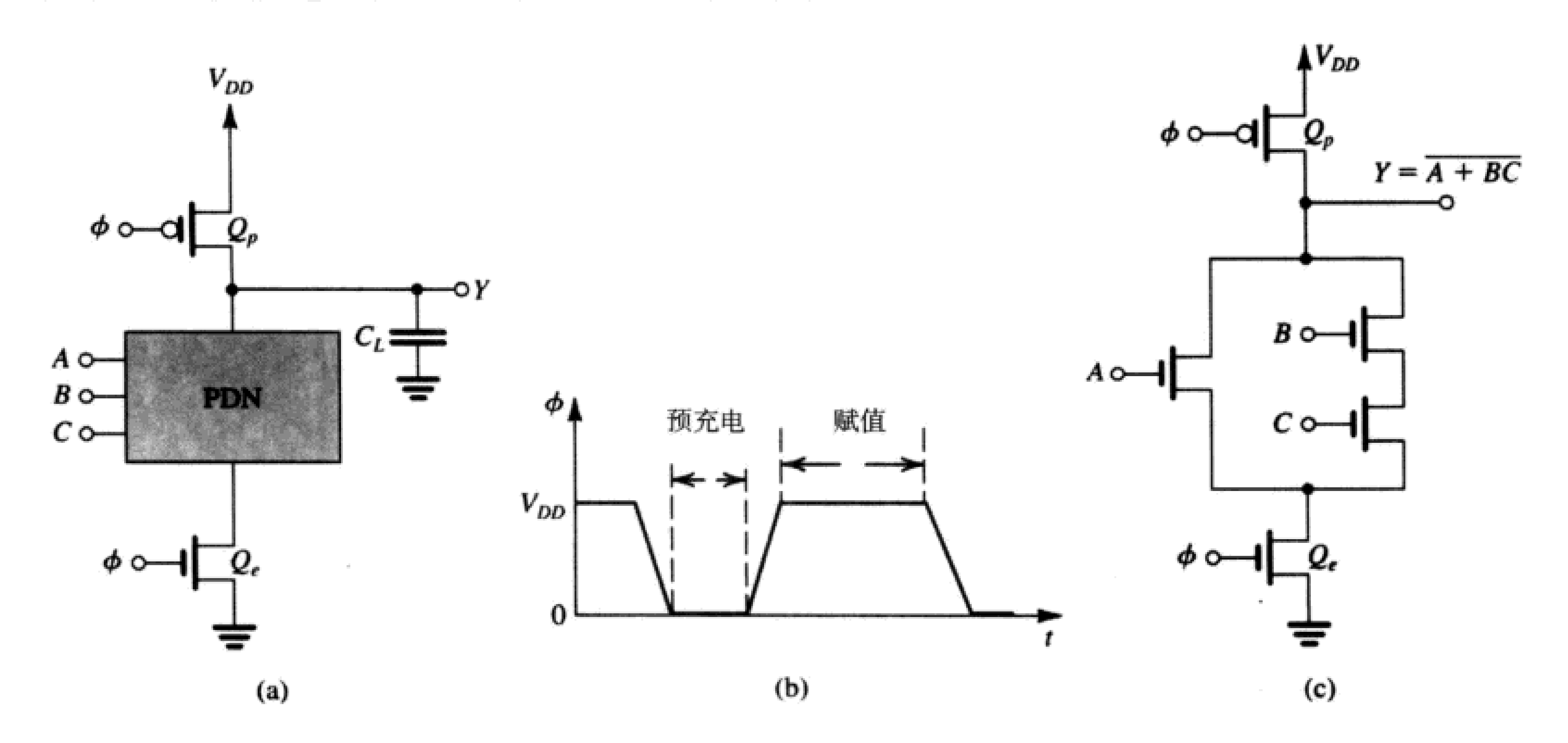


图 10.33　（a）动态 MOS 逻辑电路的基本结构；（b）动态逻辑电路工作时需要的时钟的波形；（c）一个实际电路的例子

在预充电阶段，Q_p导通，对C_L充电，因此在预充电结束时，Y点的电压等于V_{DD}。同样，在预充电时，允许输入A，B和C改变为合适的值。注意，由于Q_e关闭，因此不存在通往地的通路。

在赋值阶段，Q_p关闭，Q_e开启。此时如果输入组合对应于高输出电平，则 PDN 不导通（与互补 CMOS 门中的情况一样），输出保持在高电平 V_{DD}，因此 $V_{OH}=V_{DD}$。这里没有低电平到高电平的传播延迟，因此 $t_{PLH}=0$。反之，如果输入组合对应的输出为低电平，PDN 中某些 NMOS 晶体管就会导通，通过晶体管Q_e在输出节点和地之间形成一条通路。从而C_L通过 PDN 放电，输出节点电压会下降到 $V_{OL}=0$ V。高电平到低电平的传播延迟 t_{PHL}可以利用与互补 CMOS 电路采用的相同方法求得，但要注意一个例外，本电路对地的通路中包括一个串联的晶体管Q_e。尽管延迟会稍有增加，但由于不存在 PUN，因此输出节点处的电容减少了，从而弥补了延迟的增加。

作为例子，图 10.33（c）给出了实现函数$Y=\overline{A+BC}$的电路。PDN 中确定晶体管尺寸的过程通常遵循静态 CMOS 设计时采用的原则。对于Q_p，应选择足够大的 W/L 比，以保证在预充电阶段 C_L 能够完全充电。但是 Q_p 的尺寸应较小，因为不能使电容 C_L 增加太多。本电路属于无比（ratioless）MOS 逻辑，输出电平与晶体管的 W/L 的比值无关。

考虑一个用动态逻辑形式实现的四输入与非门，该与非门由 CMOS 工艺制造，参数为 $\mu_nC_{ox}=50\ \mu A/V^2$，$\mu_pC_{ox}=20\ \mu A/V^2$，$V_{tn}=|V_{tp}|=1$ V，$V_{DD}=5$ V。为了使得C_L较小，NMOS 晶体管的尺

寸应取这种工艺下的最小值，即 $W/L = 4\ \mu m/2\ \mu m$（包括 Q_e）。PMOS 预充电晶体管 Q_p 的 $W/L = 6\ \mu m/2\ \mu m$。总的电容 C_L 为 30 fF。

练习 10.10 考虑 Q_p 栅极降为 0 V 时的预充电过程。假设在 $t=0$ 时 C_L 已被完全放电。我们希望求出输出电压的上升时间，该时间定义为 v_Y 从最终值 5 V 的 10%上升到 90%时所需的时间。求出 $v_Y = 0.5$ V 和 $v_Y = 4.5$ V 时的电流，并计算 t_r 的近似值，其中 $t_r = C_L(4.5-0.5)/I_{av}$，$I_{av}$ 是两个电流值的平均值。

答案：480 μA；112 μA；0.4 ns

练习 10.11 接下来考虑高电平到低电平的传播延迟 t_{PHL} 的计算。求串联的 5 个 NMOS 晶体管的等效 W/L 值。求出 $v_Y = 5$ V 和 $v_Y = 2.5$ V 时的放电电流。最后，利用这两个电流值的平均值估算 t_{PHL}。

答案：$(W/L)_{eq} = 0.4$；160 μA；138 μA；0.5 ns

10.6.2 非理想效应

下面我们对动态逻辑电路的几种非理想效应做一个简要的讨论。

噪声容限 因为在赋值阶段，当 $v_I = V_{tn}$ 时，NMOS 晶体管开始导通：

$$V_{IL} \simeq V_{IH} \simeq V_{tn}$$

因此噪声容限为

$$NM_L = V_{tn}$$
$$NM_H = V_{DD} - V_{tn}$$

可见噪声容限并不相等，NM_L 要小得多。尽管 NM_H 较高，但我们很快会讲到，其他一些非理想因素会减小它的值。这里要注意的是，由于输出节点是一个高阻节点，因此容易受到噪声和其他干扰的影响。

由于泄漏效应造成的输出电压衰减 如果没有经过 PDN 通向地的通路，那么输出电压将理想地保持在高电平 V_{DD}。然而这是基于 C_L 上电荷不变做出的假设。实际上，存在着使得 C_L 缓慢放电、v_Y 下降的漏电流。泄漏的主要原因是晶体管的漏极与输出端相连，其与衬底之间的反偏结存在反向电流。该电流介于 10^{-12} A 到 10^{-15} A 之间，且随着温度的升高迅速上升（温度每升高 10°C，电流大约增大 1 倍）。因此，如果时钟工作在一个较低的频率，输出节点没有得到周期性的“刷新”，则电路不会正常工作。我们将在第 11 章介绍动态存储器单元时得到相同的结论。

电荷共享 这是导致 C_L 上电荷损失、v_Y 明显低于 V_{DD} 的另一个原因，通常也是更主要的原因。为了说明这一点，参见图 10.34（a）。图中画出了 PDN 最上方的两个晶体管 Q_1 和 Q_2，以及预充电晶体管 Q_p。这里，C_1 是 Q_1 和 Q_2 公共节点与地之间的电容。赋值阶段开始时，在 Q_p 关闭和 C_L 充电至 V_{DD} 之后［见图 10.34（a）］，我们假定 C_1 初始时不带电荷，输入信号使得 Q_1 的栅极为高电平，而 Q_2 的栅极为低电平。容易看出 Q_1 将开启，其漏极电流 i_{D1} 会按图中所示进行流动并对 C_L 放电，对 C_1 充电。尽管最终 i_{D1} 会下降为零，C_L 也会有一些电荷的损失，这些电荷会传递给 C_1。这种现象称为电荷共享。

这里，我们不准备继续讨论电荷共享问题。需要指出的是，人们通常会采用一些技术减小它的影响。一种方法是增加一个 p 沟道器件，使得始终有一个较小的电流来补充 C_L 上损失的电荷，如图 10.34（b）所示。这种电路结构使我们想起了伪 NMOS 电路。事实上，增加这个晶体管将使门电路损耗一些静态功率。然而有利的是：增加的晶体管将降低输出节点的阻抗，使门电路不易受噪声的影响，而且解决了泄漏和电荷共享问题。另一种解决电荷共享问题的方法是对内部节点进行预充电，也就是对电容 C_1 进行预充电。这种方法付出的代价是增加了电路的复杂度和节点电容值。

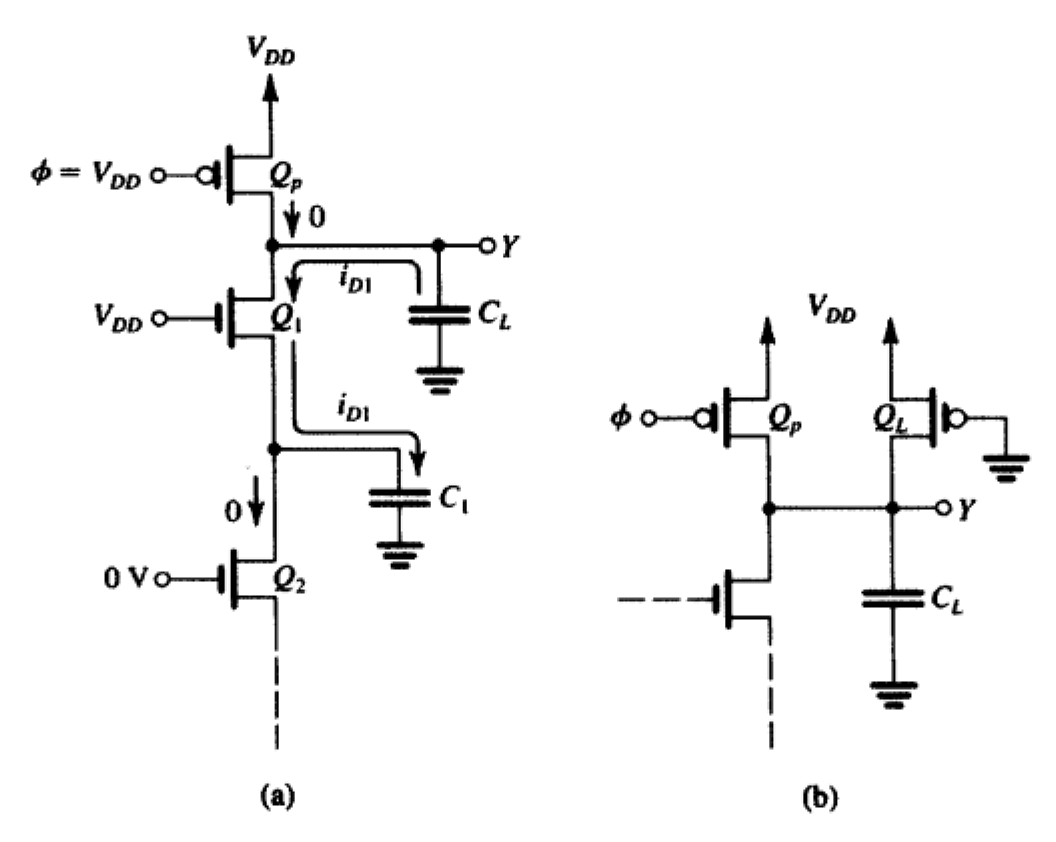


图 10.34 （a）电荷共享；（b）增加一个始终导通的晶体管 Q_L 来解决电荷共享问题，付出的代价是增加静态功耗

级联动态逻辑门 级联动态逻辑门会产生一个严重的问题。考虑图 10.35 所示的情况，图中两个单输入动态门级联连接。在预充电阶段，C_{L1} 和 C_{L2} 会分别通过 Q_{p1} 和 Q_{p2} 进行充电。因此在预充电阶段的最后，$v_{Y1} = V_{DD}$，$v_{Y2} = V_{DD}$。现在来看当输入 A 为高电平时赋值阶段的工作情况。显然，正确的结果应是 Y_1 为低电平（$v_{Y1} = 0$ V），Y_2 为高电平（$v_{Y2} = V_{DD}$）。但是，实际情况有所不同。当赋值阶段开始时，Q_1 开启，C_{L1} 开始放电。但是，与此同时，Q_2 开启，C_{L2} 同样开始放电。直到 v_{Y1} 比 V_{tn} 小时 Q_2 才会关闭。遗憾的是，届时 C_{L2} 已经损失了相当多的电荷，v_{Y2} 会小于期望值 V_{DD}。（这里特别需要注意的是，在动态逻辑电路中，电荷一旦损失就永远也得不到复原。）这个问题相当严重，以至于简单的级联实际上是不可行的。然而与以往一样，聪明的设计人员提出了很多方法来解决这一问题，从而使得动态逻辑电路的级联成为可能。在练习 10.12 之后，我们会讨论其中的一种方法。

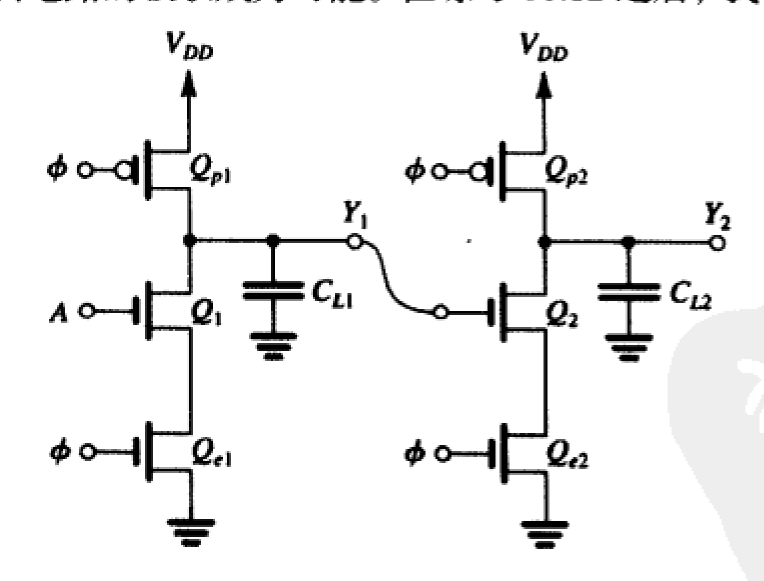


图 10.35 两个单输入动态门级联。当输入 A 为高电平时，在赋值阶段，C_{L2} 会部分放电，输出 Y_2 会降到 V_{DD} 以下，使得逻辑功能异常

练习 10.12 为了进一步分析前面提到的级联问题，我们来求图 10.35 所示电路输出电压 v_{Y2} 的衰减量。考虑赋值阶段开始时的电路：$t = 0$ 时，$v_{Y1} = v_{Y2} = V_{DD}$，$v_\phi = v_A = V_{DD}$。晶体管 Q_{p1} 和 Q_{p2} 关闭，可以从等效电路中除去。另外，为了进行近似分析，可以将 Q_1 和 Q_{e1} 的串联组合用一个等效 W/L 值的器件代替，Q_2 和 Q_{e2} 的组合也是如此，从而得到图 E10.12 所示的近似等效电路。

我们感兴趣的是，v_{Y1} 从 V_{DD} 开始下降到 V_t 时（此时 Q_{eq2} 关闭且 C_{L2} 放电结束）的时间段 Δt 内电路的工作情况。假设制造工艺参数的值同例题 10.4。对于图 10.35 所示电路中的所有 NMOS 晶体管，$W/L = 4\ \mu m/2\ \mu m$，$C_{L1} = C_{L2} = 40$ fF。

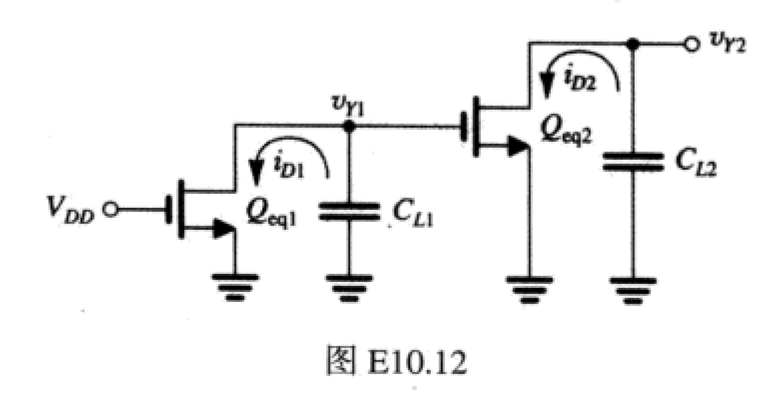


图 E10.12

（a）求$(W/L)_{eq1}$和$(W/L)_{eq2}$。

（b）求 $v_{Y1} = V_{DD}$ 和 $v_{Y1} = V_t$ 时 i_{D1} 的值，并由此确定 i_{D1} 的平均值。

（c）利用（b）中求出的 i_{D1} 的平均值估算Δt。

（d）求Δt 内 i_{D2} 的平均值。为了简化起见，将栅极电压 v_{Y1} 取为变化过程的中间值（即 $v_{Y1} = 3$ V）时 i_{D2} 的值作为平均值。（提示：Q_{eq2} 始终处于饱和区。）

（e）利用（c）中求得的Δt 和（d）中求得的 i_{D2} 的平均值，估算Δt 内 v_{Y2} 的衰减量，进而求出 v_{Y2} 的终值。

答案：（a）1，1；（b）400 μA 和 175 μA，平均值为 288 μA；（c）0.56 ns；（d）100 μA；（e）$\Delta v_{Y2} = 1.4$ V，故 v_{Y2} 降低为 3.6 V。

10.6.3 多米诺 CMOS 逻辑

多米诺 CMOS 逻辑是一种能够级联的动态逻辑电路。图 10.36 给出了多米诺 CMOS 逻辑门的结构。我们注意到，它就是一个图 10.33（a）所示的基本动态逻辑门，只是在输出端连接了一个静态 CMOS 反相器。这个门的工作情况比较简单。当预充电时，X 升高到 V_{DD}，门的输出 Y 为 0 V。在赋值阶段，根据输入变量的相互组合，X 可能保持高电平，输出 Y 因此保持低电平（$t_{PHL} = 0$），或者 X 降为 0 V，输出 Y 升高为 V_{DD}（t_{PLH} 为有限值）。因此，在赋值阶段，输出要么保持低电平，要么经过一次由低变高的转换。

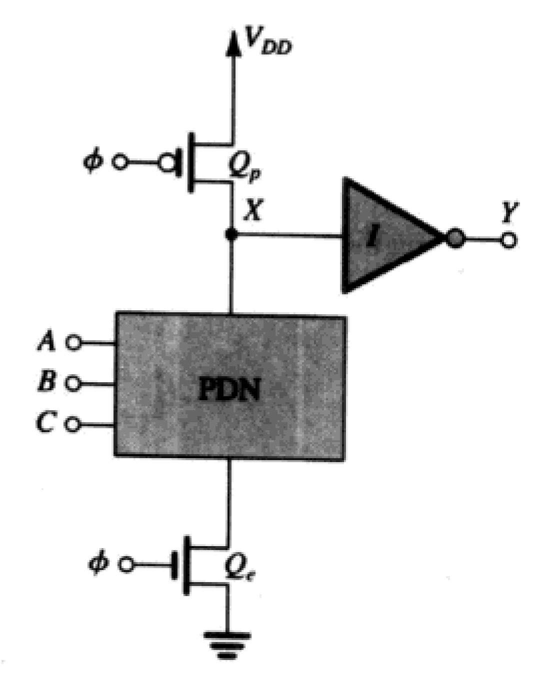


图 10.36 多米诺 CMOS 逻辑门。电路由一个动态 MOS 逻辑门和与其输出端相连的一个静态 CMOS 反相器组成。在赋值阶段，Y 可能保持低电平（0 V），也可能完成一次从 0 到 1 的转换（最终变为 V_{DD}）

为了说明多米诺 CMOS 门能够级联的原因，参见图 10.37（a）所示的情况。图中画出了相互级联的两个多米诺门。为简单起见，我们只画出了单输入门。在预充电结束时，X_1 处的电压为 V_{DD}，Y_1 为 0 V，X_2 为 V_{DD}，Y_2 为 0 V。与前面一样，假设赋值阶段开始时 A 为高电平因此随着 ϕ 的升高，电容 C_{L1} 开始放电，将 X_1 拉低。同时，Q_2 栅极的低输入电压使得 Q_2 保持关闭，C_{L2} 也保持完全充电状态。当 v_{X1} 下降到低于反相器 I_1 的门限电压时，Y_1 会升高，将 Q_2 开启，从而开始对 C_{L2} 放电，将 X_2 拉低。最后，Y_2 升高到 V_{DD}。

由以上叙述可以看出，由于在赋值阶段开始时多米诺门的输出为低电平，因此级联的下一级门不会过早出现电容放电现象。如图 10.37（b）所示，输出 Y_1 在时钟上升沿后的 t_{PLH} 内会经历从 0 到 1 的转换。随后，输出 Y_2 在另一个 t_{PLH} 内也会经历从 0 到 1 的转换。这种由于门的级联产生的上升沿的传播现象与多米诺骨牌一个接一个倒下的情形类似，这也就是多米诺 CMOS 逻辑电路这个名称的由来。例如，多米诺 CMOS 逻辑在存储器芯片的地址译码器中得到应用。

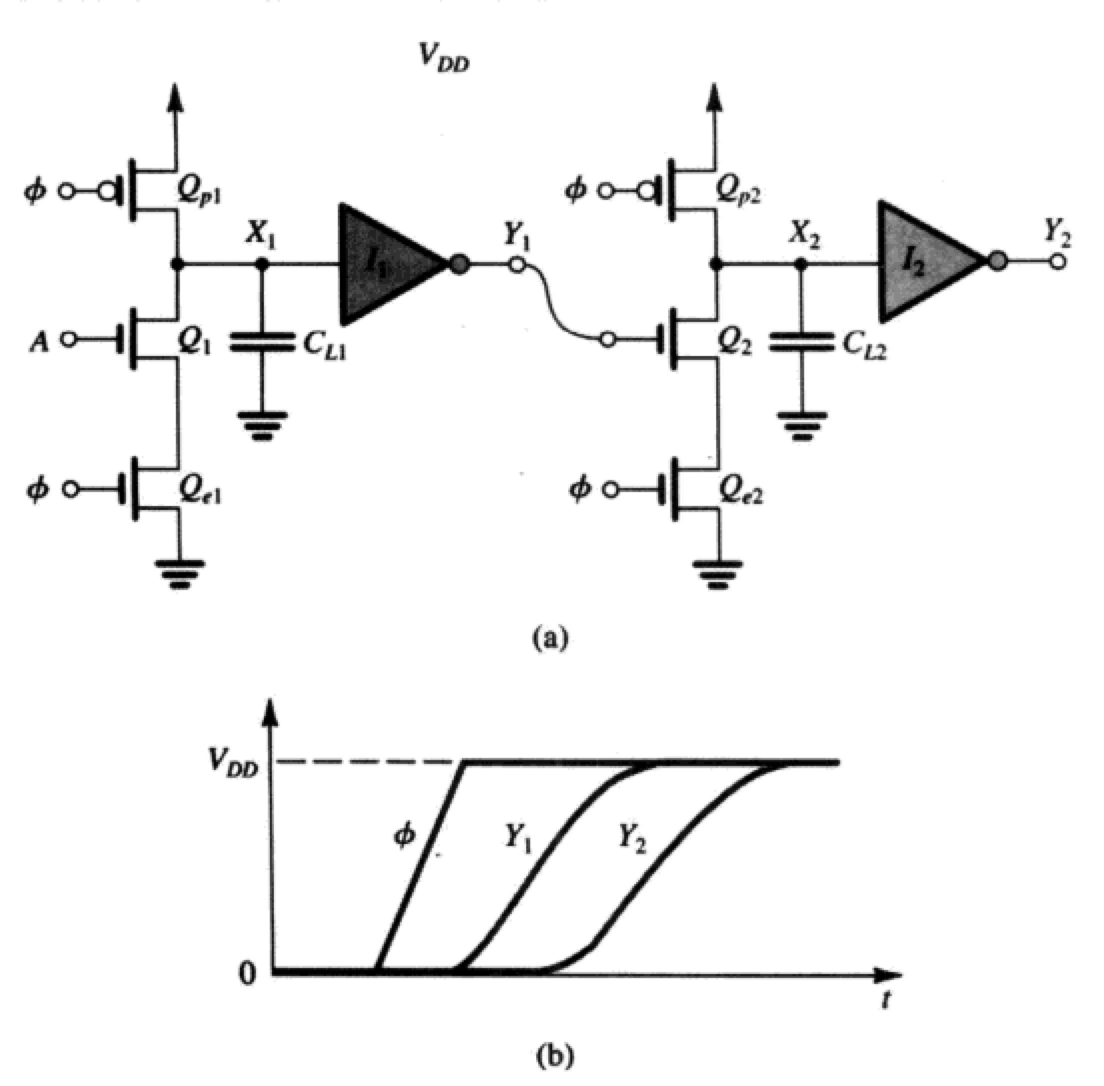


图 10.37　（a）两个单输入多米诺 CMOS 逻辑级联；（b）赋值阶段的波形

10.6.4　最后的说明

动态逻辑电路对电路设计人员提出了许多挑战。尽管能够显著减小芯片面积，提供高速操作能力和零（或很小的）静态功耗，然而这些电路却容易受到非理想因素的影响。本节对其中一些因素进行了讨论。需要记住的是，动态功耗在动态逻辑中是一个重要的问题。另一个需要考虑的问题是在预充电时间内电路的输出尚未准备好，这段时间称为“寂静时间”（dead time）。

10.7　SPICE 仿真实例

最后，我们用一个例子来说明 SPICE 在分析 CMOS 数字电路时的作用。为了说明 SPICE 的重要性，我们在本章中进行了很多简化问题的假设，从而使手工运算成为可能，并且使结果简单

到可以说明设计思想的程度。在分析逻辑电路的动态工作情况时尤为如此。利用 SPICE 进行计算机辅助分析不仅可以避免进行近似处理，从而提供较为准确的结果，而且还使我们能够采用更为精确的 MOSFET 模型。这些模型显然过于复杂，以至于不适于进行手工分析。

例题 10.5 CMOS 反相器的工作

在本例中，我们使用 PSpice 对 CMOS 反相器进行模拟，其 Capture 电路原理图由图 10.38 给出。我们假设使用的 MOSFET 由 0.5 μm CMOS 工艺制造，并选用 NMOS0P5 和 PMOS0P5 器件，其第一层模型参数由表 4.8 列出。除了沟道长度 L 和沟道宽度 W 外，我们还使用了乘法因子 m 来表示 MOSFET 的尺寸。MOSFET 参数 m 的默认值为 1，在 SPICE 中用于表示并联的单位尺寸 MOSFET 的个数（参见图 6.65）。在该模拟过程中，我们使用的单位尺寸晶体管的 $L = 0.5\ \mu$m，$W = 1.25\ \mu$m。我们将对以下两种情况的反相器进行模拟：（a）令 $m_p/m_n = 1$，即 NMOS 与 PMOS 晶体管的宽度相等；（b）令 $m_p/m_n = \mu_n/\mu_p = 4$，即 PMOS 晶体管的宽度是 NMOS 晶体管的 4 倍（为了对与 n 沟道器件相比 p 沟道器件具有的较低的迁移率进行补偿）。其中，m_n 和 m_p 分别是反相器中 NMOS 晶体管和 PMOS 晶体管的乘法因子。

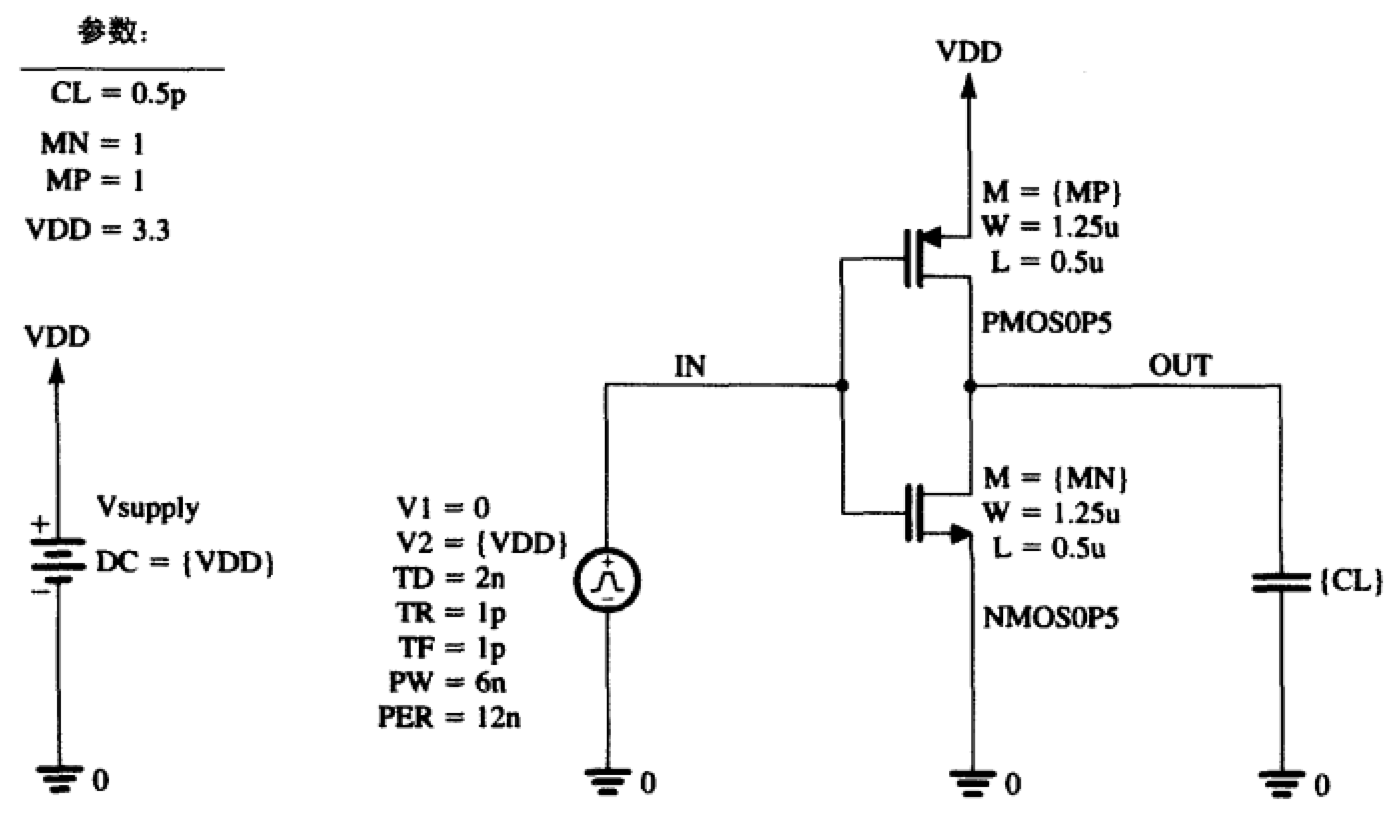


图 10.38 例题 10.5 中 CMOS 反相器的 Capture 电路原理图

为了在输入电压 V_{in} 取不同值时求出反相器的电压传输特性（VTC）和供电电流，我们在输入端加上一个直流电压源，并令 V_{in} 从 0 变化到 V_{DD} 以对其进行直流分析。得到的 VTC 由图 10.39 给出。可以看到，转换区域内的 VTC 的斜率（NMOS 和 PMOS 晶体管都处于饱和区）不是无穷大，这与用简单理论（见 4.10 节的图 4.55）得出的结论不同。更准确地说，λ 不等于零，使得反相器的增益为有限值。利用 Probe 的求导功能可以找到 VTC 曲线上的两个点，在这两点处反相器的增益为 1（即 VTC 的斜率为−1 V/V），由此可确定 V_{IL} 和 V_{IH}。根据图 10.39 中给出的结果，对于 $m_p/m_n = 4$ 的反相器，噪声容限为 $NM_L = NM_H = 1.34$ V；而对于 $m_p/m_n = 1$ 的反相器，$NM_L = 0.975$ V，$NM_H = 1.74$ V。这些结果与利用近似公式［即式（10.8）］得到的结果吻合。另外还可以看到，若 $m_p/m_n = \mu_n/\mu_p = 4$，NMOS 和 PMOS 器件匹配得更好，因此两个噪声容限相等。

CMOS 反相器的门限电压 V_{th} 定义为输出电压 v_{OUT} 等于输入电压 v_{IN} 时的输入电压 v_{IN}，即

$$V_{th} = v_{IN}\big|_{v_{out}=v_{IN}} \tag{10.53}$$

由此，如图 10.40 所示，V_{th} 对应于 VTC 与直线 $v_{OUT} = v_{IN}$（在 Probe 中绘出 v_{IN} 与 v_{OUT} 关系即可得

到该直线，如图 10.40 所示）的交点。可以看到，$m_p/m_n = 4$ 的反相器的 $V_{th} = V_{DD}/2$。另外，当 m_p/m_n 减小时，V_{th} 也减小（参见练习 4.44）。图 10.40 还给出了反相器供电电流与 v_{IN} 的关系曲线。可以看到，供电电流曲线峰值的位置随着门限电压的变化而移动。

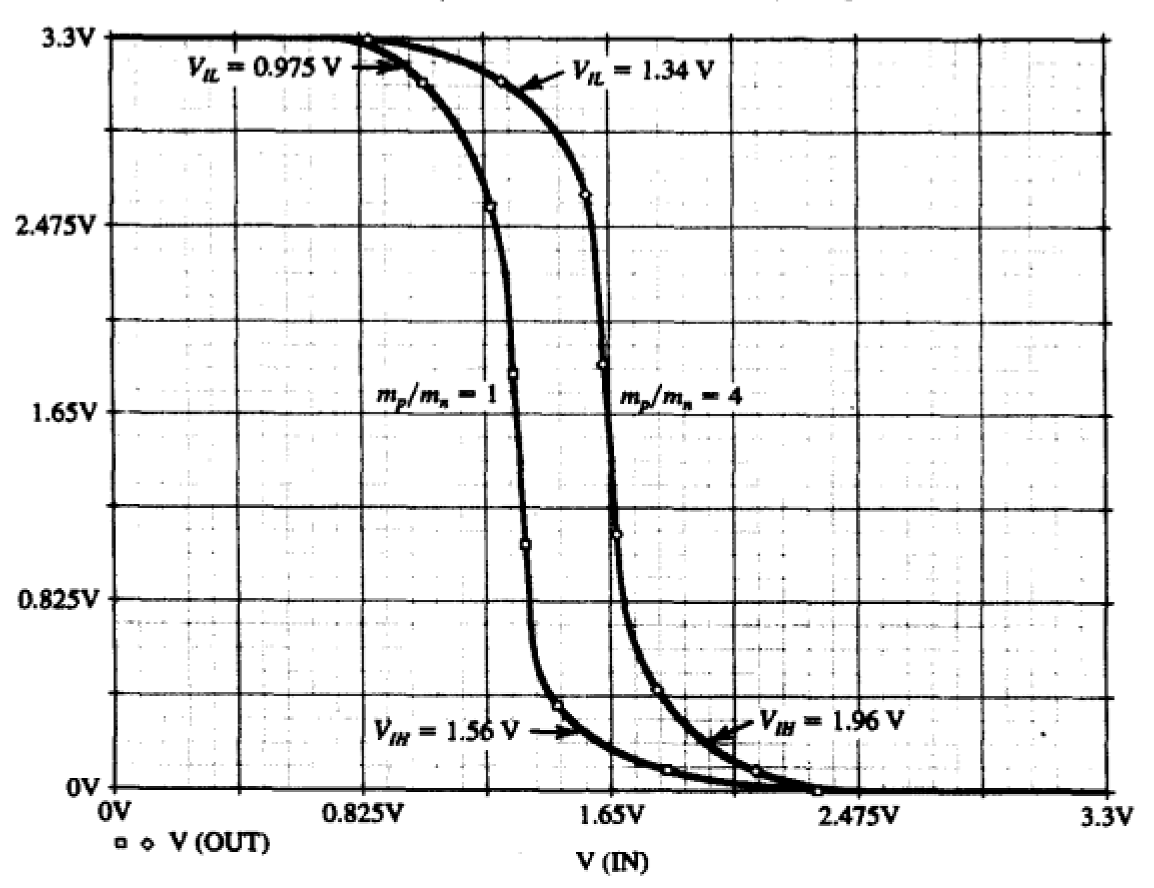


图 10.39　$m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的输入-输出电压传输特性（VTC）

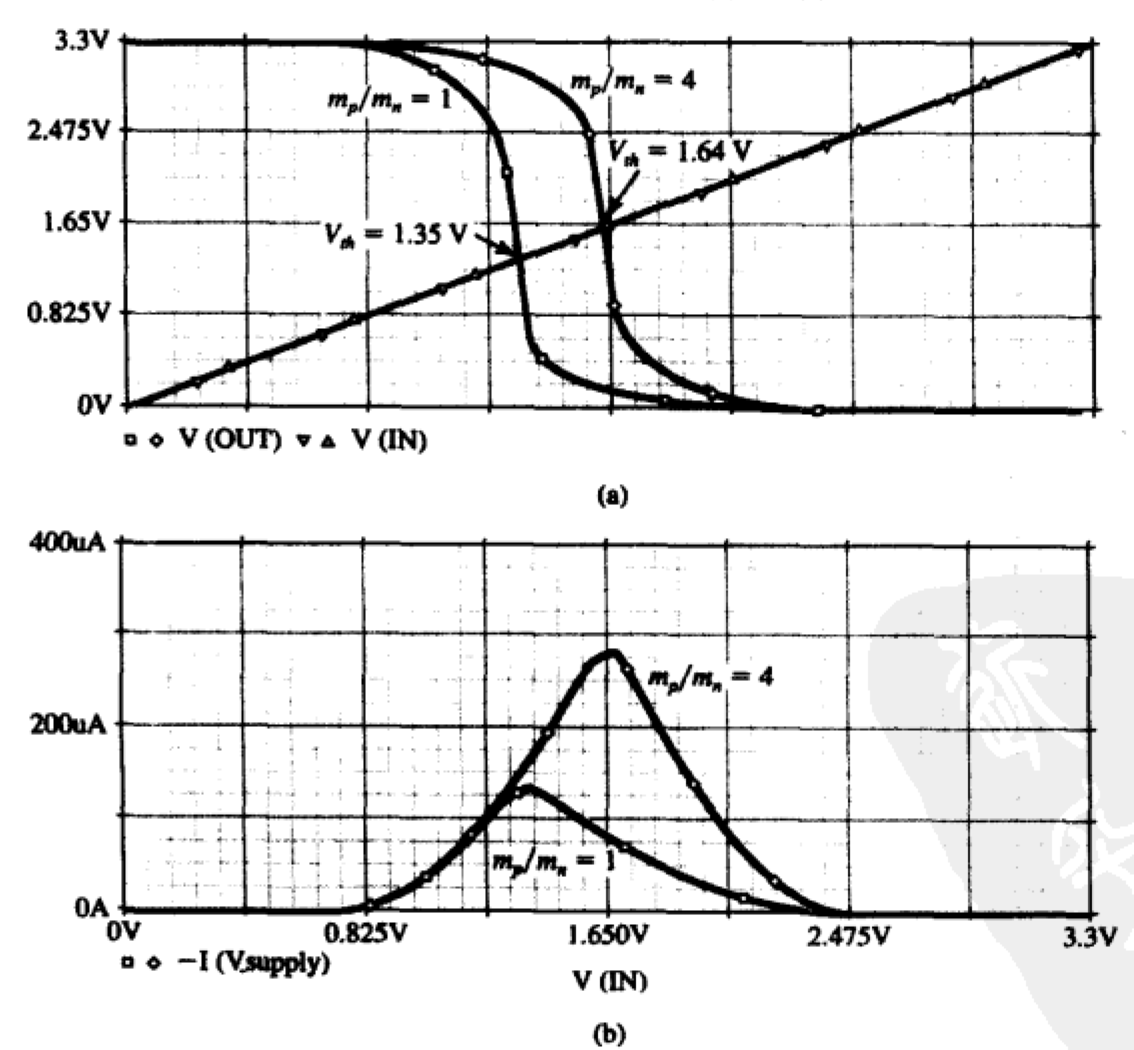


图 10.40　$m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的关系曲线：（a）输出电压与输入电压的关系曲线；（b）供电电流与输入电压的关系曲线

为了利用 PSpice 分析反相器的动态特性，我们在输入端（见图 10.38）加上一个脉冲信号以进行瞬态分析，并绘出输入与输出波形，如图 10.41 所示。脉冲源的上升和下降时间都选得很短。注意，当 m_p/m_n 从 1 增加到 4 时，t_{PLH} 减小（从 1.13 ns 减小为 0.29 ns），这是因为对 C_L 进行充电的电流增大了。而这时 t_{PHL} 的增幅很小（从 0.33 ns 增加到 0.34 ns）。在 $m_p/m_n=4$ 的情况下，两个传播延迟 t_{PLH} 与 t_{PHL} 不等，因为此时 NMOS 和 PMOS 晶体管仍然不是完全匹配的（即 $V_{tn} \neq |V_{tp}|$）。

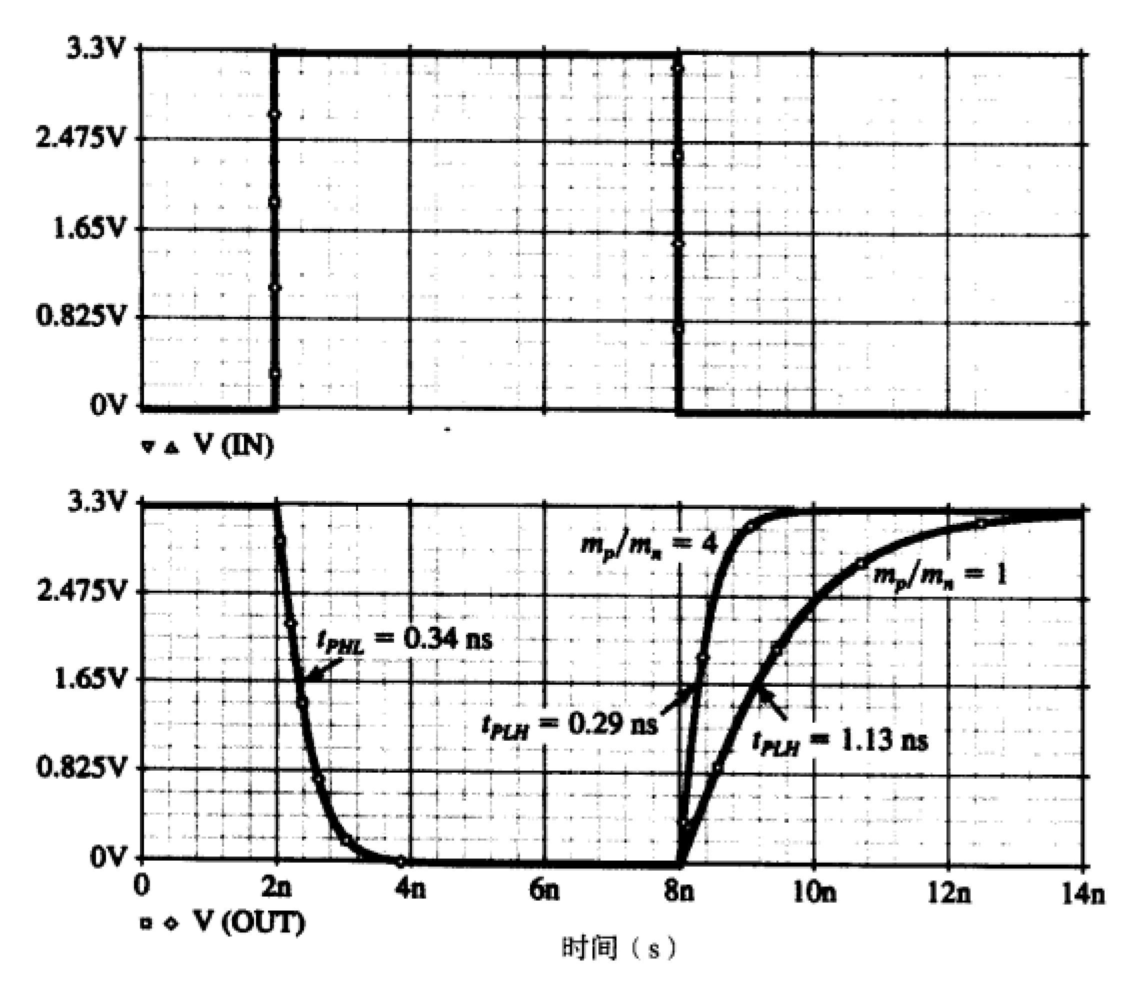


图 10.41 $m_p/m_n = 1$ 和 $m_p/m_n = 4$ 时例题 10.5 中 CMOS 反相器的瞬态响应 ■

小结

- 尽管 CMOS 只是目前采用的四种数字 IC 技术之一（其他三种是双极型、BiCMOS 和 GaAs），然而却是最流行的技术。这是因为它的静态功耗为零而且具有出色的静态和动态特性。此外，CMOS 工艺技术的进步使得制造沟道长度小到 0.06 μm 的 MOS 晶体管成为可能。MOS 晶体管的高输入阻抗使得可以在电容上存储电荷，这种技术是实现存储器的一种方法，而且被成功地应用于动态逻辑电路和动态存储器中。
- CMOS 反相器通常设计成使用最短沟道长度的 NMOS 晶体管和 PMOS 晶体管。NMOS 晶体管的宽度通常是 L 的 1.5~2 倍，PMOS 晶体管的宽度还要扩大μ_n/μ_p 倍。这种（匹配）条件保证倒相器在 $V_{DD}/2$ 时发生状态切换，使两个方向的电流驱动能力相等，进而得到对称的传播延迟。
- 计算逻辑门传播延迟的一个简便方法是：确定对负载电容 C 进行充电（或放电）的平均电流 I_{av}。这样，t_{PLH}（或 t_{PHL}）可以通过 $C(V_{DD}/2)/I_{av}$ 确定。
- 互补 CMOS 逻辑门由一个 NMOS 下拉网络（PDN）和一个 PMOS 上拉网络（PUN）组成。输入组合对应的输出为低电平时 PDN 导通。由于 NMOS 在输入为高电平时导通，因此 PDN 最直接的组成方式是利用输入原变量来表示低电平输出（$\bar{Y}$）的表达式。与之相反，当输入组合对应的输出为高电平时，PUN 导通。由于 PMOS 在输入为低电平时导通，因此 PUN 最

直接的组成方式是利用输入反变量来表示高电平输出（Y）的表达式。

- CMOS 逻辑电路通常设计成双向电流驱动能力相等。此外，通常使上拉和下拉电流的最差值与基本（匹配）反相器相等。晶体管的尺寸基于这一原则确定，通常用串联和并联器件的等效 W/L 比来表示 [见式（10.27）和式（10.28）]。
- 对于每个输入变量，互补 CMOS 逻辑电路使用了两个晶体管：一个 NMOS 和一个 PMOS。因此增大了电路的复杂度、芯片面积、寄生电容以及扇入。
- 为了减少器件个数，在某些特殊应用场合下，通常使用另外两种形式的静态 CMOS [即伪 NMOS 和传输晶体管逻辑（PTL）] 作为互补 CMOS 的补充。
- 伪 NMOS 使用与互补 CMOS 逻辑相同的 PDN，但是将 PUN 替换为栅极接地的单个 PMOS 晶体管。与互补 CMOS 不同，伪 NMOS 是一种有比逻辑电路，其中，V_{OL} 由 k_p 与 k_n 之比 r 决定。通常选择介于 4 到 10 之间的 r，它的值决定了噪声容限的大小。
- 伪 NMOS 的缺点是当逻辑门的输出为低电平时导致静态功率的消耗。要消除静态功率，可以只在一段很短的时间内令负载管 PMOS 导通，并将输出节点的电压充至 V_{DD}。这段时间称为预充电时间。然后加上输入，根据输入组合，输出节点或者保持高电平，或者通过 PDN 进行放电。这就是动态逻辑电路的实质。
- 传输晶体管逻辑使用单个 NMOS 晶体管或 CMOS 传输门实现由输入逻辑变量控制的开关网络。由单个 NMOS 晶体管实现的开关尽管简单，但是 V_{OH} 会从 V_{DD} 下降为 $V_{DD} - V_t$。
- 多米诺逻辑是一类特殊的动态逻辑电路，允许动态逻辑门之间的级联。

习题

10.1 节：数字电路设计：概述

10.1 对于采用 3 V 供电的逻辑电路，给出一组 V_{th}，V_{IL}，V_{IH}，V_{OL}，V_{OH}，NM_L 和 NM_H 的理想值，并且画出 VTC。根据给出的理想值，计算转换区域内的电压增益是多少？

10.2 一类逻辑电路使用的工艺限制了低频小信号电压增益不能超过 50 V/V。如果采用 3.3 V 供电时，假设 V_{OL} 和 V_{OH} 为理想值，$V_{th} = 0.4\ V_{DD}$，那么 V_{IL} 与 V_{IH} 最佳的可能值是多少？噪声容限最佳的可能值是多少？如果实际的噪声容限只有这些值的 7/10，那么 V_{IL} 和 V_{IH} 各是多少？大信号电压增益 [定义为$(V_{OH}-V_{OL})/(V_{IL}-V_{IH})$] 又是多少？（提示：采用直线近似表示 VTC。）

*10.3 考虑一类专用于新型助听设备中数字信号处理的逻辑电路，其单个单元的供电电压可以低至 1.2 V。如果其中反相器的输出信号在 0 和 V_{DD} 之间，“单位增益”点至少相距 $1/3V_{DD}$，两个噪声容限都不超过对方的 30%，当采用最低电压电池供电时，V_{IL}，V_{IH}，V_{OL}，V_{OH}，NM_L 和 NM_H 的取值范围将为多少？

10.4 考虑一类逻辑电路标准反相器，当负载是类似电路时，传播延迟为 1.2 ns：

（a）如果负载电容的充电电流是放电电流的一半，t_{PLH} 和 t_{PHL} 将是多少？

（b）如果在反相器输出端再接上 1 pF 的外部负载电容，传播延迟增加了 70%，估计通常情况下反相器输入输出端的总电容是多少？

（c）如果没有接额外的 1 pF 负载电容，同时除去负载反相器，则传播延迟减小了 40%。试估计（b）中求得电容中的以下两个分量的值：由反相器输出和其他寄生电容产生的分量；由负载反相器的输入端产生的分量。

10.5 一类逻辑电路采用 3.3 V 供电。基本反相器在某状态时需要（从电源）吸收 40 μA 的电流，在另一种状态时需要的电流为 0 μA。当反相器以 100 MHz 的速率切换时，平均供电电流为

150 μA。试估算反相器输出端的等效电容。

10.6 一类逻辑门工作在 50 MHz，采用 5 V 电压供电，其静态功耗为零，而根据式（10.4）计算得出动态功耗为 10 mW。当这类逻辑门能够工作在 3.3 V 时，功耗可以降低多少？如果工作频率也降低相等的比例（即 3.3/5），可以额外节省多少功率？

D10.7 一类逻辑电路的静态功耗为零，通常工作在 $V_{DD}=5$ V。为了降低其动态功耗［由式（10.4）决定］，考虑使其工作在 3.3 V 下。然而却发现用来对负载电容进行充放电的电流也随之减小。如果电流（a）正比于 V_{DD}；（b）正比于 V_{DD}^2，试预计最高工作频率将分别下降多少？延迟-功率积分别变化了多少？

D*10.8 重新考虑习题 10.7 中的情况。这里，电流取决于$(V_{DD}-V_t)$，而不直接与 V_{DD} 相关。当把 V_{DD} 从 5 V 降低到 3.3 V 时，试求电流、传播延迟、工作频率、动态功率和延迟-功率积的改变量。假设电流正比于：（a）$(V_{DD}-V_t)$；（b）$(V_{DD}-V_t)^2$，且 V_t 等于（i）1 V 或（ii）0.5 V。

D*10.9 假设在硅数字 CMOS 工艺中将所有尺寸（包括氧化层厚度）都减小 10%。我们注意到 MOS 器件的电流满足以下关系：

$$i=\frac{1}{2}\mu C_{ox}\frac{W}{L}(V_{DD}-V_t)^2$$

其中 $C_{ox}=\varepsilon_{ox}/t_{ox}$。同时假设决定传播延迟的总有效电容平均地分为正比于面积、反比于氧化层厚度的 MOS 电容和正比于面积的反偏结电容。求以下参数变化的比例：芯片面积，电流，有效电容，传播延迟，最高工作频率，动态功耗，延迟-功率积以及性能（用单位面积每秒进行的操作数表示）。如果供电电压也降低 10%（但是 V_t 不变），又会产生什么变化？

10.10 考虑一个反相器，其 t_{PLH}，t_{PHL}，t_{TLH} 和 t_{THL} 分别为 20 ns，10 ns，30 ns 和 15 ns。反相器输出的上升沿和下降沿可以近似为斜线。两个这样的反相器一前一后相连，并且由一个上升和下降时间为零的理想输入驱动。对于以下两种情况：（a）升高的输入信号；（b）下降的输入信号，计算输出电压完成 90%变化时所需要的时间。反相器的传播延迟是多少？

10.11 一个实际逻辑门的 t_{PLH} 和 t_{PHL} 分别为 50 ns 和 70 ns。且当输出为低电平时损耗功率为 1 mW，高电平时为 0.5 mW。计算相应的延迟-功率积（假定信号的占空比为 50%，并忽略动态功耗）。

10.2 节：CMOS 反相器设计与性能分析

10.12 一个 CMOS 反相器采用 3.3 V 的电源供电，工艺参数为$|V_t|=0.8$ V，$k'_n=4k'_p=180\ \mu\text{A/V}^2$。当采用 $W/L=0.75\ \mu\text{m}/0.5\ \mu\text{m}$ 的最小尺寸晶体管时，求漏极与源极之间的电阻。当 W_p/W_n 比为多少时，沟道长度相同的 Q_N 和 Q_P 具有相等的电阻？

10.13 一个 CMOS 反相器采用习题 10.12 中给定的工艺制造，p 沟道器件的宽度是 n 沟道器件的 4 倍。如果电源 V_{DD} 中具有很高频率的噪声，且等效负载电阻为 1 pF，则对于这个噪声源来说，每个门的 3 dB 截止频率是多少？

10.14 一个 CMOS 反相器的 $k_n=10k_p=100\ \mu\text{A/V}^2$，$V_t=0.5$ V，如图 P10.14 所示与一个正弦信号源相连。信号源的戴维南等效电压峰值为 0.1 V，等效电阻为 100 kΩ。当 $v_I=1.5$ V 时，节点 A 的信号电压为多大？$v_I=-1.5$ V 时呢？

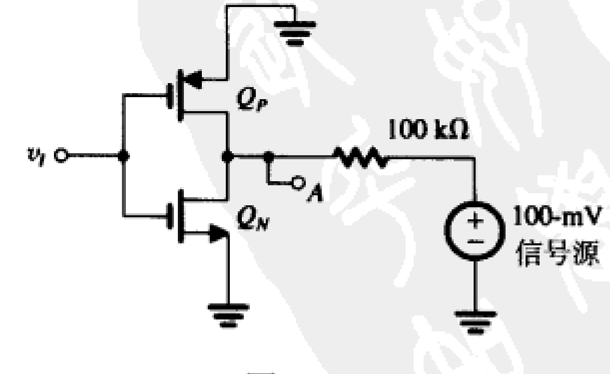


图 P10.14

10.15 对于一个特性由 V_{tn}，V_{tp}，k_n 和 k_p 描述的一般 CMOS 反相器，试推导式（10.8）表示的关于 V_{th} 的关系式。

10.16 利用式（10.8）分析 V_{th} 的变化，设 $r\equiv k_n/k_p$。特别是当 $V_{tn}=|V_{tp}|=0.5$ V，$V_{DD}=2.5$ V 时，

分别计算 $r = 0.5, 1, 1.5, 2$ 和 3 时的 V_{th}。注意，在 $r = 1$ 附近，V_{th} 与 r 没有很强的关联性。

D10.17 设计一个“匹配”反相器，面积为 15 μm^2，最小长度为 0.5 μm，且 $\mu_n/\mu_p = 3$。其最大输出电流比采用最小尺寸反相器的输出电流大多少？设最小尺寸的因子 $n = 1.5$。面积比为多少？输出电阻的比值又是多少？

10.18 一个 CMOS 反相器的 $k_n = k_p = 300\ \mu A/V^2$, $V_{tn} = |V_{tp}| = 0.8$ V, $V_{DD} = 3.3$ V 且 $\lambda_n = \lambda_p = 0.05\ V^{-1}$。试求 V_{OH}，V_{IH}，V_{OL}，V_{IL}，NM_H，NM_L，V_{th} 以及门限电压点 M 处的电压增益。[提示：小信号电压增益为 $-[(g_{mN} + g_{mP})(r_{oN}//r_{oP})]$。]

10.19 考虑一个匹配的 CMOS 反相器，$k'_n = 75\ \mu A/V^2$，$(W/L)_n = 8\ \mu m/0.8\ \mu m$，$\mu_n/\mu_p = 2.5$。电路的等效输出电容有两个主要部分：一部分正比于每个器件的宽度，比例因子为 2 fF/μm；另一部分为 50 fF。输出端总的等效电容是多少？当采用 3.3 V 供电时用式（10.13）计算 t_P。

10.20 用式（10.14）和式（10.17）推导 t_{PHL} 的表达式，将其中的 V_t 表示为 αV_{DD}。当 α 取值范围为 0.1 到 0.5 时，求出表达式分子中乘数的值（例如当 $\alpha = 0.2$ 时，乘数为 1.7）。

10.21 计算一个最小尺寸反相器的传播延迟。设 $k'_n = 3k'_p = 180\ \mu A/V^2$，$(W/L)_n = (W/L)_p = 0.75\ \mu m/0.5 \mu m$，$V_{DD} = 3.3$ V，且每个器件的电容约为 2 fF/μm 乘器件宽度再加上 1 fF。如果将其改为一个匹配反相器，t_P 会变为多少？

10.22 一块 CMOS 微处理器芯片相当于包含 100 万个门，并采用 5 V 电源供电。芯片工作在 120 MHz 时的功耗为 9 W，工作在 50 MHz 时为 4.7 W。问：由于与时钟不相关的原因（例如泄漏或其他静态电流等），芯片产生的功率损失是多大？如果任一时刻有 70%的门处于工作状态，那么在这样一个设计中，栅极电容的平均值是多少？

10.23 考虑一个匹配的 CMOS 反相器，工艺参数为 $C_{ox} = 3.7\ fF/\mu m^2$，$\mu_n C_{ox} = 180\ \mu A/V^2$，$\mu_p C_{ox} = 45\ \mu A/V^2$，$V_{tn} = -V_{tp} = 0.7$ V，且 $V_{DD} = 3.3$ V，$W_n = 0.75\ \mu m$，$L_n = L_p = 0.5\ \mu m$。栅极与漏极的重叠电容和等效漏极-衬底电容分别为每毫米门宽度 0.4 fF 和 1.0 fF。线电容 $C_w = 2$ fF。试求 t_{PLH}，t_{PHL} 和 t_P。需要额外加上多大的负载电容才能使传播延迟增加 50%？

10.24 再来考虑习题 10.23。设反相器的 $(W/L)_n = (W/L)_p = 0.75\ \mu m/0.5\ \mu m$。当电路工作在 250 MHz 的频率时，求 t_P 和动态功耗。

10.3 节：CMOS 逻辑门电路

D10.25 画出用 CMOS 实现逻辑关系 $Y = \overline{A + B(C + D)}$ 的电路。

D10.26 用 CMOS 逻辑门实现输出 $Y = \bar{A}BC + A\bar{B}C + AB\bar{C}$。问需要多少个晶体管？画出合适的 PUN 和 PDN。可先设计出每个独立项，然后再用二端网络的原理将它们连接起来。

D10.27 给出两种不同的实现异或函数 $Y = A\bar{B} + \bar{A}B$ 的方法，其中的 PDN 和 PUN 是对偶网络。

D10.28 画出一个 CMOS 逻辑电路以实现逻辑 $Y = AB + \bar{A}\bar{B}$。这被称为同或逻辑。

D10.29 画出一个 CMOS 逻辑电路以实现逻辑 $Y = ABC + \bar{A}\bar{B}\bar{C}$。

D10.30 设计一个 CMOS 逻辑电路以实现对三个输入进行偶校验。具体而言，当输入 A，B 和 C 中有偶数（0 或 2）个高电平时，输出 Y 为低电平。

（a）给出 $\bar{Y}$ 的布尔函数表达式。

（b）根据 $\bar{Y}$ 的表达式直接画出 PDN。注意，除了用做反相器的晶体管，还需要 12 个晶体管。

（c）观察 PDN 的电路，将晶体管的个数降到 10 个。

（d）找出与（c）中 PDN 对偶的 PUN，并完成整个电路。

D10.31 设计一个 CMOS 逻辑电路，实现对三个输入进行奇校验。具体而言，当输入中有奇数（1 或 3）个高电平时，输出为高电平。要求 PUN 和 PDN 各使用 10 个晶体管实现（反相器除外）。

D10.32 设计一个 CMOS 全加器电路。三个输入为 A，B 和 C，两个输出为 S 和 C_0，其中当输入中有一个或三个为 1 时，S 为 1；当输入中有多于两个为 1 时，C_0 为 1。

D10.33 考虑图 10.14 所示的 CMOS 门。用基本反相器的 n 和 p 将所有晶体管的 W/L 比表示出来，使得每个门最坏情况下的 t_{PHL} 和 t_{PLH} 等于基本反相器的相应值。

D10.34 确定图 10.15（b）所示的异或电路中使用的晶体管的合适尺寸。假设基本反相器的$(W/L)_n$ = 0.75 μm/0.5 μm，$(W/L)_p$ = 3.0 μm/0.5 μm。求包括所需的反相器在内的总面积。

10.35 考虑一个四输入 CMOS 与非门。瞬态响应取决于连接于输出节点和地之间的一个固定大小的电容。根据图 10.17 所示的尺寸求出 t_{PHL} 和 t_{PLH}。假定所有 n 沟道器件的 $W/L = n$，所有 p 沟道器件的 $W/L = p$，求出 t_{PHL} 和 t_{PLH}，并比较这两种情况得到的结果。

10.36 图 P10.36 给出了两种实现六输入或逻辑的电路。图 P10.36（b）虽然使用了额外的晶体管，然而实际上其总面积较小，传播延迟也较低，因为它采用了扇入较小的或非门。假设两个电路中晶体管的尺寸满足单个门的电流驱动能力与基本匹配反相器的电流驱动能力相同的条件，试求每个电路所需的晶体管个数和总面积。假设基本反相器的$(W/L)_n$ 比为 1.2 μm/0.8 μm，$(W/L)_p$ 比为 3.6 μm/0.8 μm。

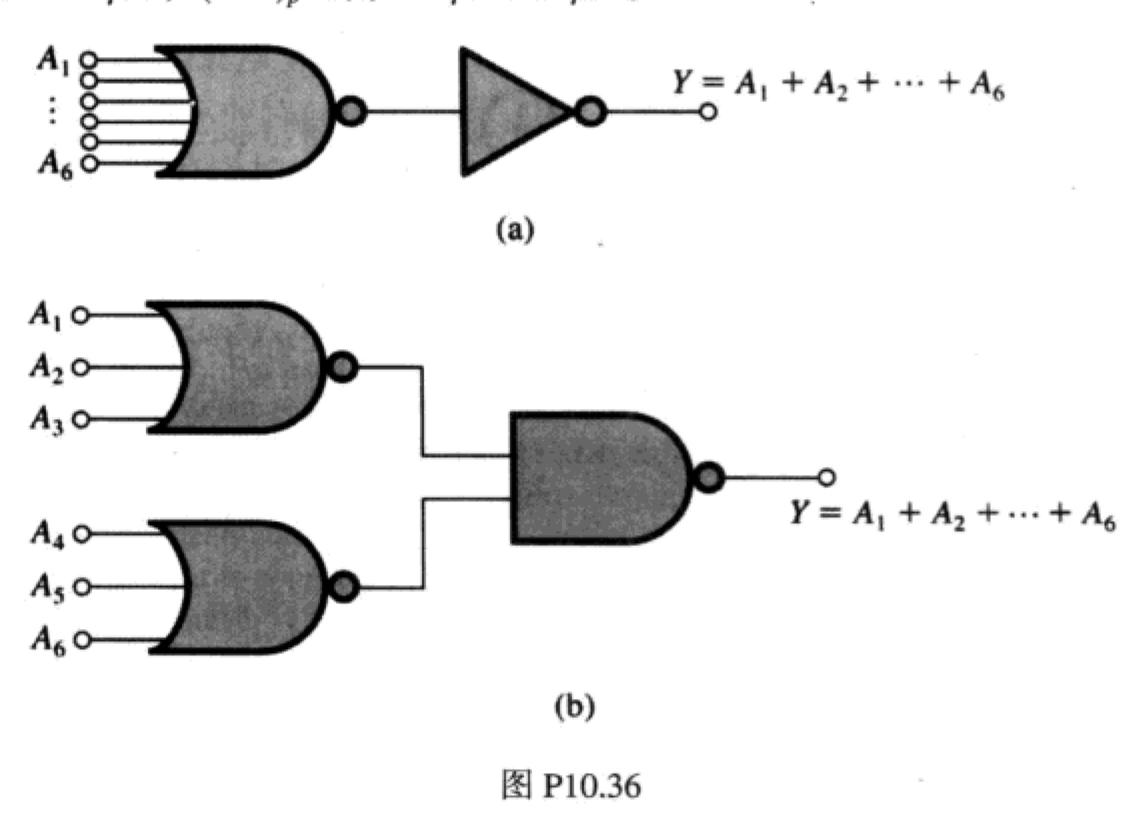


图 P10.36

*10.37 考虑图 10.12 所示的二输入 CMOS 或非门。假设晶体管的尺寸满足以下条件：每个方向的电流驱动能力等于基本匹配反相器的电流驱动能力。已知$|V_t| = 1$ V，$V_{DD} = 5$ V，分别求出以下两种情况下的电压门限：（a）输入端 A 接地；（b）两个输入端连接在一起。忽略 Q_{PB} 的衬底效应。

10.4 节：伪 NMOS 逻辑电路

10.38 本习题的目的是比较接上电阻性负载［见图 P10.38（a）］和电流源负载［见图 P10.38（b）］时 t_{PLH} 的值。为了进行公平的比较，设电流源 $I = V_{DD}/R_D$，该电流等于接电阻性负载时对电容充电的初始电流。求出两种情况下的 t_{PLH}，进而求出采用电流源负载时 t_{PLH} 降低的百分比。

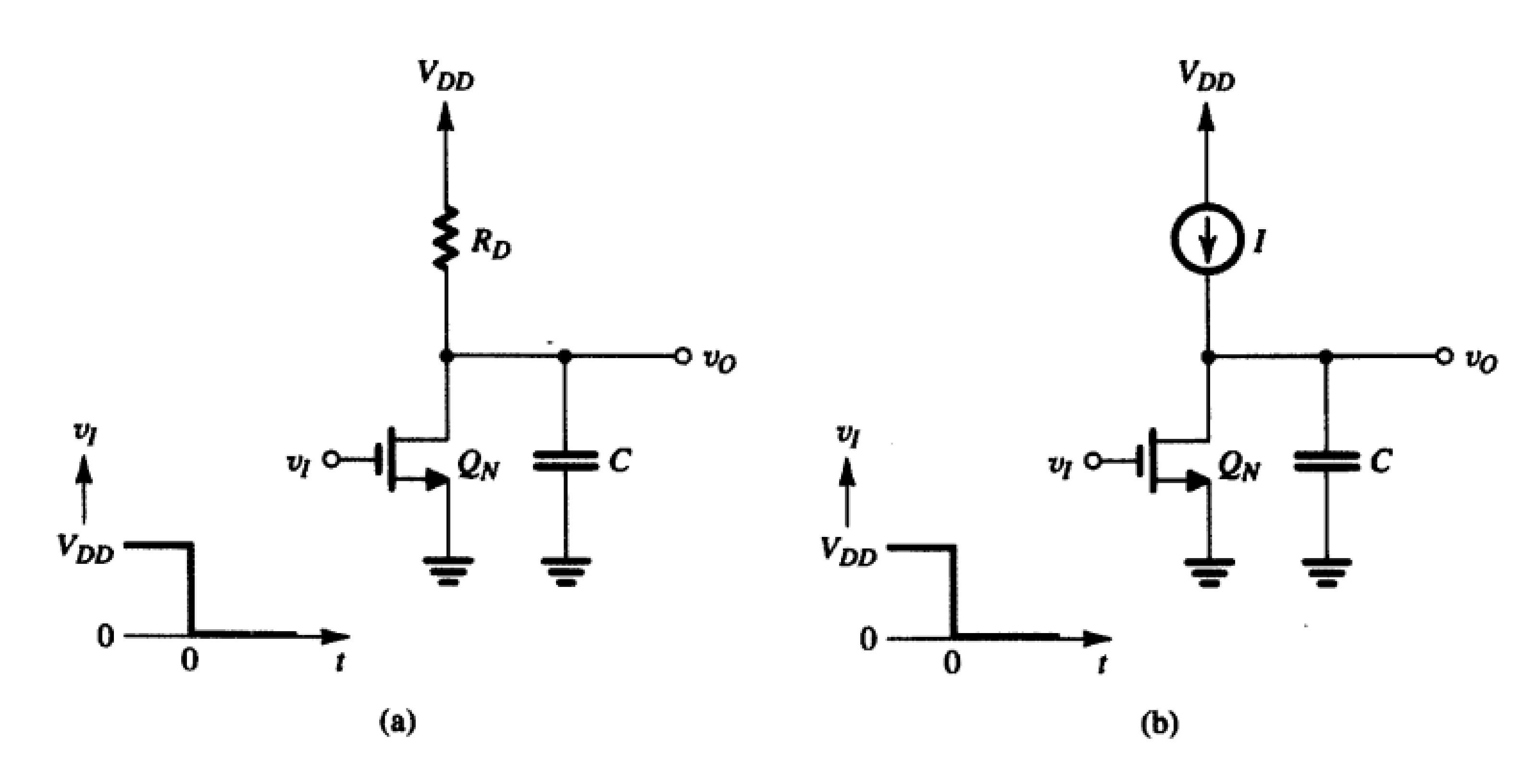


图 P10.38

D*10.39 设计一个伪 NMOS 反相器。系统参数为 $V_{DD}=5$ V，$|V_t|=0.8$ V，$k'_n=3k'_p=75\ \mu A/V^2$，$(W/L)_n=1.2\ \mu m/0.8\ \mu m$。要求 $v_O=V_{DD}/4$ 时电容输出的正反驱动电流相等。求$(W/L)_p$，V_{IL}，V_{IH}，V_M，V_{OH}，V_{OL}，NM_H和 NM_L的值。

10.40 一个伪 NMOS 反相器的 $r=2$，$(W/L)_n=1.2\ \mu m/0.8\ \mu m$，$V_{DD}=5$ V，$|V_t|=0.8$ V，$k'_n=3k'_p=75\ \mu A/V^2$。设器件每毫米宽度的电容分别为 $C_{gs}=1.5$ fF，$C_{gd}=0.5$ fF，$C_{db}=2$ fF。当反相器驱动另一个相同的反相器时，估算输入电容、输出电容及 t_{PLH}，t_{PHL}，t_P 的值。对于一个互补 CMOS 匹配反相器，试求相应的值。

*10.41 用式（10.41）求出使 NM_L取最大值时的 r。对应的 NM_L值是多少？

D10.42 设计一个伪 NMOS 反相器，要求 $V_{OL}=0.1$ V。已知 $V_{DD}=2.5$ V，$|V_t|=0.4$ V，$k'_n=4k'_p=120\ \mu A/V^2$，$(W/L)_n=0.375\ \mu m/0.25\ \mu m$。问$(W/L)_p$的值是多少？计算 NM_L和静态功耗。

10.43 当 r 为何值时，伪 NMOS 反相器的 NM_H变为 0？设 $r=1\sim16$，列出 r 与 NM_H的对应关系表。

10.44 对于一个伪 NMOS 反相器，当 r 取何值时 $NM_L=NM_H$？已知 $V_{DD}=5$ V，$|V_t|=0.8$ V。这时的容限是多少？

D*10.45 设计一个面积最小的伪 NMOS 反相器，要求高低噪声容限相等。使用 $V_{DD}=5$ V 的电源供电，$|V_t|=0.8$ V，$k'_n=3k'_p=75\ \mu A/V^2$，最小尺寸器件有$(W/L)=1.2\ \mu m/0.8\ \mu m$。设 $r=2.72$，证明 $NM_L\simeq NM_H$。求出$(W/L)_n$和$(W/L)_p$的值。这个门的功耗是多少？高低电平转换的传播延迟之比是多少？对于外接的负载电容 1 pF，忽略小得多的器件电容，求出 t_{PLH}，t_{PHL}和 t_P。当工作在什么频率下时静态和动态功率相等？就求出的 t_P 来看，这样的工作频率可能实现吗？在一个你认为可能的最高工作频率［比如 $1/(2t_{PLH}+2t_{PHL})$］下，求出动态功率与静态功率之比。

D10.46 画出用伪 NMOS 实现逻辑 $Y=\overline{A+B(C+D)}$ 的电路。

D10.47 画出用伪 NMOS 实现异或逻辑 $Y=A\overline{B}+\overline{A}B$ 的电路。

D10.48 考虑一个四输入伪 NMOS 或非门。其中，NMOS 器件的$(W/L)_n=(1.8\ \mu m/1.2\ \mu m)$。求$(W/L)_p$的值，从而使最差情况下的 $V_{OL}=0.2$ V。设 $V_{DD}=5$ V，$|V_t|=0.8$ V，$k'_n=3k'_p=75\ \mu A/V^2$。

10.5 节：传输晶体管逻辑电路

*10.49 一个设计者打算用传输晶体管逻辑来进行实验，他利用了两个不错的想法：

（a）将最小尺寸的单个 MOS 晶体管串成一串可以实现复杂的逻辑功能，但是

（b）输出端和供电端之间总是要存在一条通路

因此，他首先考虑了两个电路（如图 P10.49 所示）。对于每个电路，将 Y 表示成 A 和 B 的函数。每种情况的基本工作情况如何？Y 的逻辑电平如何？节点 X 又如何？这两个电路看起来熟悉吗？如果将每个电路中连接到 V_{DD} 的终端改接到一个 CMOS 反相器的输出端，反相器的输入端与信号 C 相连，则 Y 的逻辑将怎样变化？

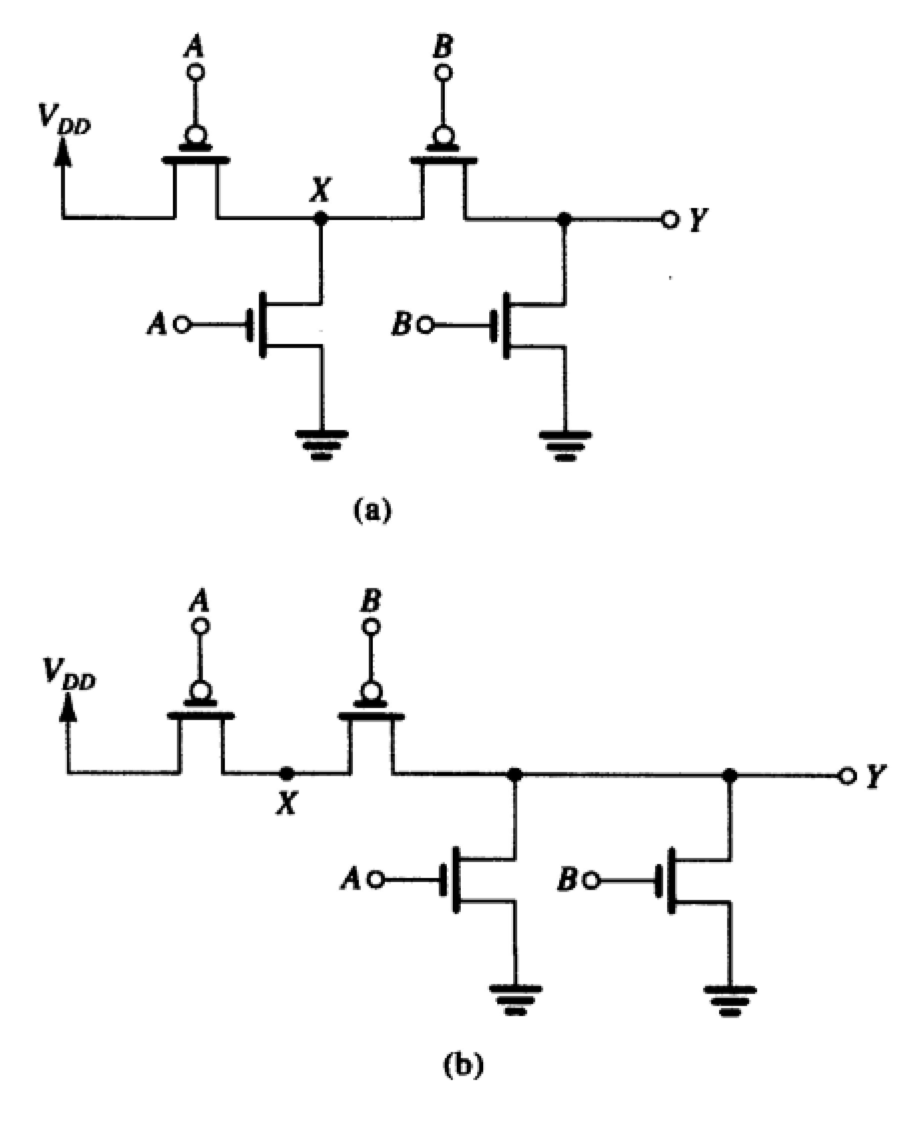


图 P10.49

10.50 考虑图 P10.49 所示的电路。如果用 PMOS 晶体管替换所有的 NMOS 晶体管，用 NMOS 晶体管替换所有的 PMOS 晶体管，V_{DD} 与接地端对调，输出 Y 的逻辑将怎样变化？

*10.51 图 P10.51 所示的电路是令人满意的传输晶体管电路吗？它有什么不足？如何用 A、B、C 和 D 表示 Y？如果两个 V_{DD} 端由一个输入为 E 的 CMOS 反相器驱动，整个电路的输出 Y 将如何变化？

*10.52 一个 NMOS 传输晶体管开关的 $W/L = 1.2\ \mu\text{m}/0.8\ \mu\text{m}$，采用 3.3 V 供电，$V_{t0} = 0.8$ V，$\gamma = 0.5\ \text{V}^{1/2}$，$2\phi_f = 0.6$ V，$\mu_n C_{ox} = 3\mu_p C_{ox} = 75\ \mu\text{A/V}^2$，驱动一个 100 pF 的负载电容。负载电容接在一个 $(W/L)_n = 1.2\ \mu\text{m}/0.8\ \mu\text{m}$ 的匹配静态反相器的输入端。若开关的栅极接在 V_{DD} 上，当输入为 V_{DD} 和 0 V 时分别计算开关的 V_{OL} 和 V_{OH}。对于这个 V_{OH}，反相器的静态电流是多少？估算从开关本身的输入端到输出端的 t_{PLH} 和 t_{PHL}。

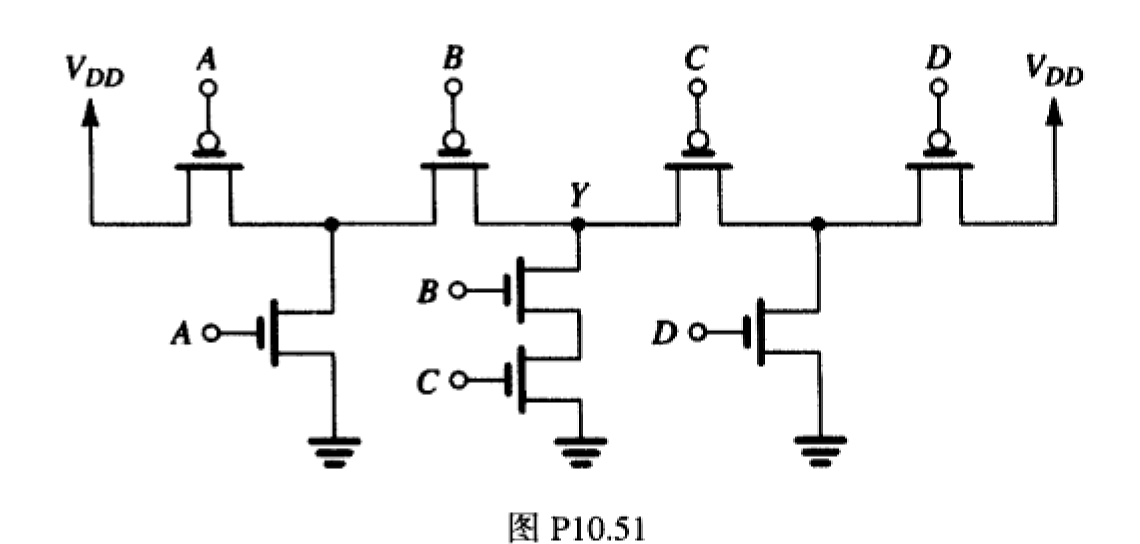


图 P10.51

D*10.53 本习题的目的是设计一个如图 10.28 所示的电平恢复电路，从而更深入地了解其工作原理。假设 $k'_n = 3k'_p = 75\ \mu A/V^2$，$V_{DD} = 3.3$ V，$|V_{t0}| = 0.8$ V，$\gamma = 0.5\ V^{1/2}$，$2\phi_f = 0.6$ V，$(W/L)_1 = (W/L)_n = 1.2\ \mu m/0.8\ \mu m$，$(W/L)_p = 3.6\ \mu m/0.8\ \mu m$、$C = 20$ fF。设 $v_B = V_{DD}$。

(a) 首先考虑 $v_A = V_{DD}$ 的情况。试求 v_{O1}，使得 v_{O2} 比 V_{DD} 低一个开启电压，即 2.5 V 时使 Q_R 开启。当 v_{O1} 取这个值时，求 Q_1 的 V_t。此时给电容充电的电流是多大？$v_{O1} = 0$ 时又是多大？对 C 充电的平均电流是多大？估计从输入端到 v_{O1} 的 t_{PLH}。

(b) 现在，为给 Q_R 确定一个合适的 W/L 比，考虑以下情况。当 v_A 降到 0 V 时 Q_1 导通，开始对 C 放电时 v_{O1} 会下降。同时，v_{O2} 保持低电平，Q_R 仍导通。流过 Q_R 的电流分流了流过 Q_1 的一部分电流，使得对 C 进行放电的电流减小了。求出反相器开始切换时 v_{O1} 的值。也就是 $V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t)$。然后计算 v_{O1} 取该值时流过 Q_1 的电流。选择 Q_R 的 W/L 以使流过它的电流是 Q_1 中电流的一半。你选择的 W/L 值是多少？若 t_{PHL} 表示 v_{O1} 从 V_{DD} 降到 V_{IH} 的时间，试估算 t_{PHL}。

D10.54 (a) 用图 10.31 中实现异或门的原理实现 $\overline{Y} = AB + \overline{A}\overline{B}$。也就是找到一种用两个传输门实现 $\overline{Y}$ 的方法。

(b) 现在将 (a) 中得到的电路与图 10.31 所示的电路相结合，得到实现逻辑 $Z = \overline{Y}C + Y\overline{C}$ 的电路，其中 C 是第三个输入端。画出用 12 个晶体管实现 Z 的完整电路。注意，Z 是一个三输入的异或门。

*D10.55 用图 10.32 给出的设计思想画出一个 CPL 电路，输出为 $Y = A\overline{B} + \overline{A}B$ 和 $\overline{Y} = AB + \overline{A}\overline{B}$。

D10.56 把图 10.32 中的 CPL 电路扩展到三个变量，实现 $Z = ABC$ 和 $\overline{Z} = \overline{ABC} = \overline{A} + \overline{B} + \overline{C}$。

10.6 节：动态逻辑电路

D10.57 基于图 10.33 所示的动态逻辑电路，画出非门、与非门和或非门（后两个为二输入）的完整电路，并实现 $\overline{Y} = AB + CD$ 的电路。

10.58 在本题和下面一道题中，我们将分析一个二输入与非门的动态特性。该与非门采用动态逻辑形式，并用 CMOS 工艺制造，$k'_n = 3k'_p = 75\ \mu A/V^2$，$V_{tn} = -V_{tp} = 0.8$ V，$V_{DD} = 3$ V。为了保证 C_L 较小，使用最小尺寸的 NMOS 器件，其 $W/L = 1.2\ \mu m/0.8\ \mu m$（包括 Q_e 在内）。PMOS 预充电晶体管 Q_p 的 W/L 则为 $2.4\ \mu m/0.8\ \mu m$。这样，电容 C_L 为 15 fF。考虑 Q_p 栅极为 0 V 时的预充电过程。假设在 $t = 0$ 时电容 C_L 已被彻底放电。我们希望计算输出电压的上升时间，该时间定义为 v_Y 由最终电压 3 V 的 10%上升到 90%的时间。求出 $v_Y = 0.3$ V 和 $v_Y = 2.7$ V 时的电流，然后计算 t_r 的近似值，$t_r = C_L(2.7 - 0.3)/I_{av}$，其中 I_{av} 是这两个电流的平均值。

10.59 对于习题 10.58 中讨论的门电路，计算高电平到低电平的传播延迟 t_{PHL}。为了得到 t_{PHL} 的近似值，把三个串联的 NMOS 晶体管替换成一个等效器件，并计算平均放电电流。

*10.60 在本题中，我们来计算一个动态逻辑门因电荷重新分布而造成的输出电压的损失量。参考图 10.34（a）所示电路，假设 $t=0-$ 时 $v_Y=V_{DD}$，$v_{C1}=0$。在 $t=0$ 时，ϕ 升高，Q_p 关闭，同时 Q_1 栅极的电压上升（到 V_{DD}）导致 Q_1 导通。晶体管 Q_1 将一直保持导通，直到其源极电压(v_{C1})达到 $V_{DD}-V_{tn}$ 或 $v_Y=v_{C1}$。在这两种情况下，可以用电荷守恒计算 v_Y 的终值。设 $V_{tn}=1$ V，$V_{DD}=5$ V，$C_L=30$ fF，且忽略 Q_1 的衬底效应，求出以下两种情况下输出端电压的下降量：（a）$C_1=5$ fF；（b）$C_1=10$ fF（这样 Q_1 在整个导通过程中始终处于饱和状态）。

10.61 动态逻辑门中的漏电流导致在赋值状态时电容 C_L 发生放电（即使 PDN 没有导通）。若 $C_L=30$ pF，$I_{\text{leakage}}=10^{-12}$A，如果输出电压的衰减不超过 0.5 V，求出允许的最长赋值时间。如果预充电时间远小于允许的最长赋值时间，计算所需的最低时钟频率。

10.62 对于练习 10.10 和练习 10.11 中分析的四输入动态逻辑与非门，估算允许的最高时钟频率。



第 11 章　存储器与高级数字电路

引言

第 10 章介绍的逻辑电路被称为组合电路。它们的输出仅取决于当前的输入值，因此这些电路并未包含存储器。然而，存储器是数字系统中非常重要的组成部分，其在电子计算机中的应用使程序与数据的存储成为可能。此外，临时保存组合电路的输出以备后来使用的功能对于数字系统的运行也是至关重要的。

包含存储器的逻辑电路被称为时序电路，也就是说，它们的输出不仅取决于当前的输入值，同时也取决于先前的输入值。而此类电路的运行需要一个定时器（时钟）的参与。

现在主要有两种为数字电路提供存储器的方法。一种方法是使用正反馈来提供一个具有两个稳定状态的电路。这类双稳态电路可以被用来存储 1 位的信息：其中一个稳定状态对应存储数据 0 的情况，另一个对应存储数据1。一个双稳态电路能够在其中任一状态保持任意长的时间，因此属于静态时序电路。另一种方法是利用电容上的电荷储存来实现存储器。当电容被充电时被视为存储数据1；当电容被放电时被视为存储数据 0。由于不可避免的漏电效应会使电容放电，因此这种形式的存储器需要周期性地对电容进行重新充电，该过程称为刷新。类似于动态逻辑电路，此类基于电荷存储的存储器被称为动态存储器，而其相应的时序电路称为动态时序电路。

本章除了介绍不同的存储器种类和电路之外，我们还将学习两个重要的数字电路技术：射极耦合逻辑（ECL）——这是运用双极型晶体管实现系统的超高速运行的；BiCMOS——其中充分利用了双极型晶体管与 CMOS 相结合的优势。

11.1　锁存器与触发器

本节将介绍锁存器这种基本的存储单元，并对其在静态电路和动态电路中的应用进行举例说明。

11.1.1　锁存器

图 11.1（a）所示为基本的存储单元——锁存器。它由两个交叉耦合的逻辑反相器 G_1 和 G_2 构成。这两个反相器构成正反馈回路。为了分析锁存器的工作原理，我们将反馈回路在其中一个反相器 G_1 的输入端断开，并在其上施加一个输入信号 v_W，如图 11.1（b）所示。假设 G_1 的输入阻抗很大，则断开反馈回路不会影响其环路电压传输特性，故我们可以通过图 11.1（b）所示的电路画出 v_Z 与 v_W 的关系曲线。该曲线即为两个级联的反相器的电压传输特性曲线，如图 11.1（c）所示。注意，该曲线包括三个部分，中间部分对应的是反相器的传输区。

图 11.1（c）同时包含了一条单位斜率的直线。该直线代表 $v_Z = v_W$ 的关系，它是通过把 Z 重新连接到 W 从而闭合反馈回路来实现的。可见，该直线与环路传输曲线相交于 A, B 和 C 三个点，因此这三个点中的任意一个都可以作为锁存器的工作点。现在，我们将证明 A 点和 C 点为稳定工作点，电路可在该状态工作任意长的时间；而 B 点为不稳定工作点，锁存器不能保持在 B 点。

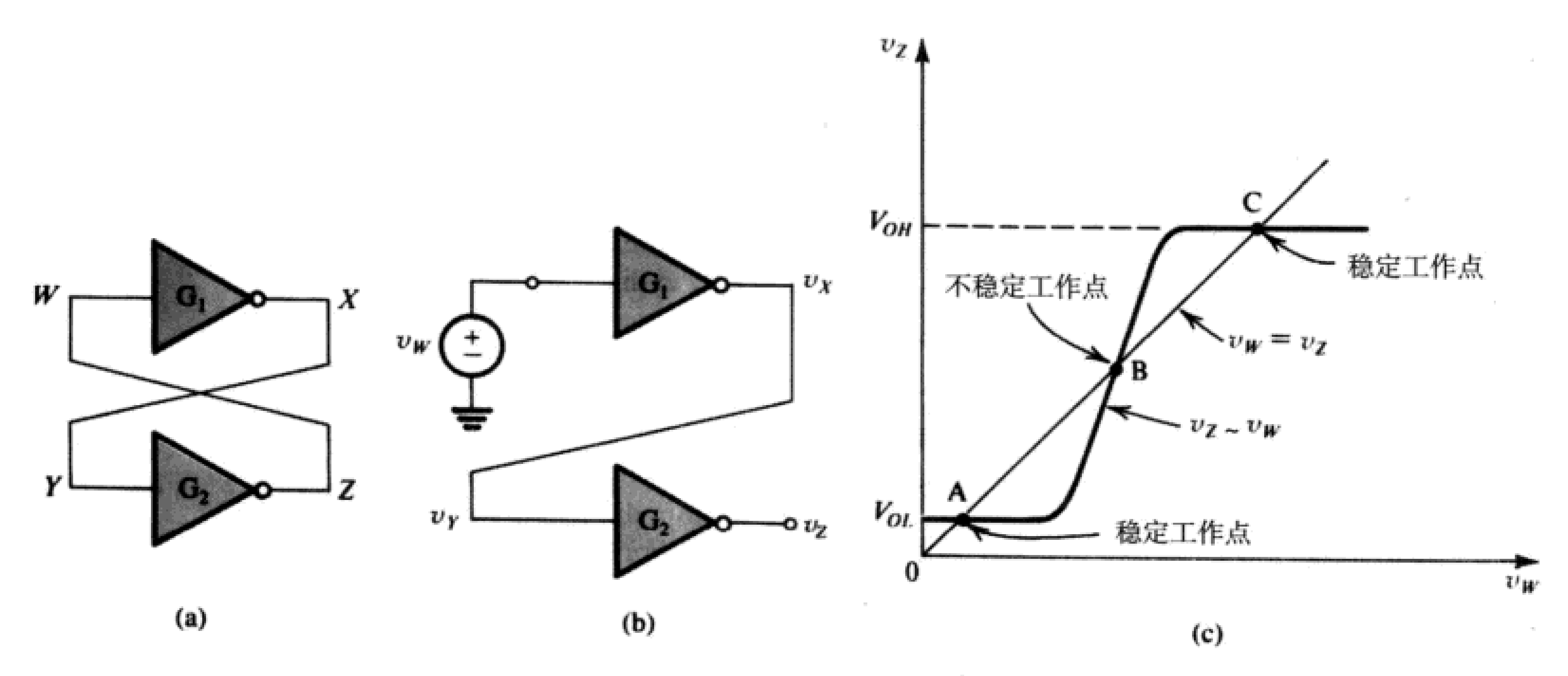


图 11.1　（a）锁存器的基本结构；（b）反馈回路断开的锁存器；（c）确定锁存器的工作点

我们可由图 11.1（a）所示的锁存器电路来说明 B 点的不稳定。假设该电路工作于 B 点，考虑到不可避免的干扰和噪声，若 v_W 增大一个微小增量 v_W，X 处的电压将增大较大的增量，其数值等于 v_w 与 B 点增量增益 G_1 的乘积。得到的信号 v_x 作用于 G_2，从而在 Z 处产生一个更大的信号。v_z 与初始增量 v_w 的比值等于工作于 B 点时的环路增益，即 v_Z 与 v_W 的关系曲线上 B 点处的斜率。该增益通常远大于 1。由于 v_z 又与 G_1 的输入端耦合，它将按环路增益被进一步放大。如此循环往复，最终将工作点从 B 点拉升至 C 点。由于 C 点的环路增益为零（或者接近于零），因此不存在正反馈。

在上面的讨论中，我们假设 W 点存在正的初始电压增量。若存在负的初始电压增量，我们将发现工作点会由 B 点降至 A 点。同样，由于 A 点的传输特性曲线的斜率为零（或者接近于零），因此不存在正反馈。事实上，正反馈只有在环路增益大于 1 的情况下才可能发生，而 B 点正属于这样的情况。

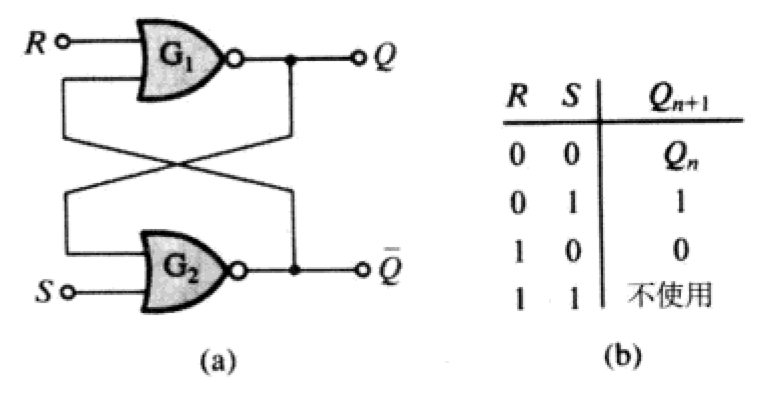
由上述讨论不难得出：锁存器有两个稳定工作点——A 点和 C 点。在 C 点，v_W 为高电平，v_X 为低电平，v_Y 为低电平，v_Z 为高电平。A 点则恰好相反。若将 X 和 Z 作为锁存器的输出，我们可以看到在其中一个稳定工作点（比如 A 点），v_X 为高电平（值为 V_{OH}），v_Z 为低电平（值为 V_{OL}）；在另一个稳定工作点（比如 C），v_X 为低电平（值为 V_{OL}），v_Z 为高电平（值为 V_{OH}）。因此锁存器是具有两个互补输出的双稳态电路。锁存器所处的稳定状态取决于将其引入该特定状态的外部激励，随后锁存器将在被激励形成的状态上保持任意长的时间以用来存储该外部激励。作为存储单元，锁存器能够存储 1 位的信息。例如，我们可以任意指定 v_X 为高电平、v_Z 为低电平的状态表示存储逻辑值1，另一个互补的状态应被指定为存储逻辑值 0。最后要说明：上述锁存器电路为静态电路。

至此，我们尚需设计一个合适的机制用来触发锁存器的状态改变。锁存器与触发电路一同形成了触发器。接下来我们将讨论相关内容。由运用运算放大器组成的模拟双稳态电路将在第 13 章中具体介绍。

11.1.2　SR 触发器

最简单的触发器为 SR（Set/Reset）触发器，如图11.2（a）所示。它由两个交叉耦合的或非门组成，因此包含了一个锁存器。两个或非门的第二输入端共同构成了触发器的触发输入。这两个输入分别被标示为 S（设置）和 R（复位）。输出分别表示为 Q 和 $\bar{Q}$ 以强调它们的互补性。当 Q

为高电平、$\bar{Q}$ 为低电平时触发器被认为是置位（即储存逻辑值 1），而触发器处于另一种状态（Q 为低电平，$\bar{Q}$ 为高电平）时被认为是复位（储存逻辑值 0）。



R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	不使用

图 11.2　（a）SR（Set/Reset）触发器；（b）SR 触发器真值表

在静止或存储状态（即我们不想改变触发器状态时），S 与 R 输入端的输入均应为低电平。考虑当触发器存储逻辑值 0 的情况。由于输出 Q 为低电平，或非门 G_2 的两个输入均为低电平，因而其输出为高电平。该高电平作用于 G_1 的输入端，导致其输出 Q 为低电平，从而满足了初始假设。若要将触发器置位，则必须将 S 提升至逻辑高电平（逻辑值 1）且同时保持 R 为逻辑低电平（逻辑值 0）。S 端口上的 1 将迫使 G_2 的输出 $\bar{Q}$ 成为 0。而 G_1 的两个输入端均为 0，故其输出 Q 成为 1。现在即使 S 返回 0，触发器也将保持在最新得到的置位状态。很明显，若我们将 S 再次置 1（将 R 保持为 0），则触发器状态不会发生改变。若要复位触发器，我们需要将 R 置 1 同时保持 S 为 0。我们很容易看到，这样的输入使触发器进入复位状态，并且在 R 返回 0 的情况下继续保持该状态。应该注意的是，触发信号的作用只在于启动锁存器正反馈回路的正反馈动作。

最后，我们需要讨论一下当 S 端和 R 端同时置 1 时的情况。两个或非门将使输出 Q 和 $\bar{Q}$ 成为 0（注意，在这种情况下这两个输出的互补标示不再成立）。然而，若 R 和 S 同时返回静止状态（$R = S = 0$），触发器的状态将无法确定。换句话说，触发器的最终状态无法被预测。因此，这种输入组合通常是不允许的（不使用）。但应注意，这种情况仅仅发生在 R 与 S 绝对同时返回到 0 的理想情况下。实际情况下，两者之中有一端将会先返回到 0，而最终状态将由保持高电平时间最长的输入端决定。

触发器的工作方式总结为如图 11.2（b）所示的真值表，其中，Q_n 表示输出 Q 在 t_n 时（即施加 R 和 S 信号之前）的输出值，Q_{n+1} 表示输出 Q 在 t_{n+1} 时（即施加输入信号之后）的输出值。

除了使用两个或非门之外，我们也可以交叉耦合两个与非门来构成 SR 触发器。在这种情况下，置位与复位功能均为低电平有效，并因此被称为 $\bar{S}$ 与 $\bar{R}$。

11.1.3　SR 触发器的 CMOS 实现

在图 11.2 所示的 SR 触发器中，仅需将其中的或非门替换为相应的 CMOS 电路，就可以直接实现 CMOS 的 SR 触发器。我们鼓励读者尝试绘制一下这个电路。尽管这样得到的 CMOS 电路的工作情况良好，但却有些复杂。我们在此考虑一个简化的电路，且该电路还可以实现附加的逻辑功能。具体来说就是图 11.3 所示的时钟同步的 SR 触发器。由于时钟信号与设置和复位的输入信号相“与”，因而触发器只能在时钟信号 ϕ 为高电平时设置或复位。注意，尽管在触发器核心部分的两个交叉耦合的反相器为互补的 CMOS 类型，然而置位和复位电路均由 NMOS 晶体管组成。不仅如此，由于 V_{DD} 和接地点之间无导通通路（转换时间除外），因此该电路不存在静态功率损耗。

如果不考虑附加的时钟同步信号，图 1.13 所示与图 11.2 所示的 SR 触发器在逻辑上具有完全相同的工作特性。为说明该问题，假设当前触发器处于复位状态（$Q = 0, \bar{Q} = 1, v_Q = 0, v_{\bar{Q}} = V_{DD}$），

并且我们要将其置位。为此，我们设法让 S 端出现高电平信号（V_{DD}）并使 R 端保持低电平 0 V。这样，当时钟ϕ上升为高电平时，Q_5 和 Q_6 就会导通，从而将 $v_{\bar{Q}}$ 的电压拉低。当 $v_{\bar{Q}}$ 降低至（Q_3，Q_4）反相器的门限电压时，反相器的状态就会改变（或至少开始改变），其输出 v_Q 将会上升。v_Q 的上升又反馈到 (Q_1，Q_2) 反相器的输入端，使得其输出 $v_{\bar{Q}}$ 进一步降低。根据锁存器的正反馈特性，会发生正反馈。

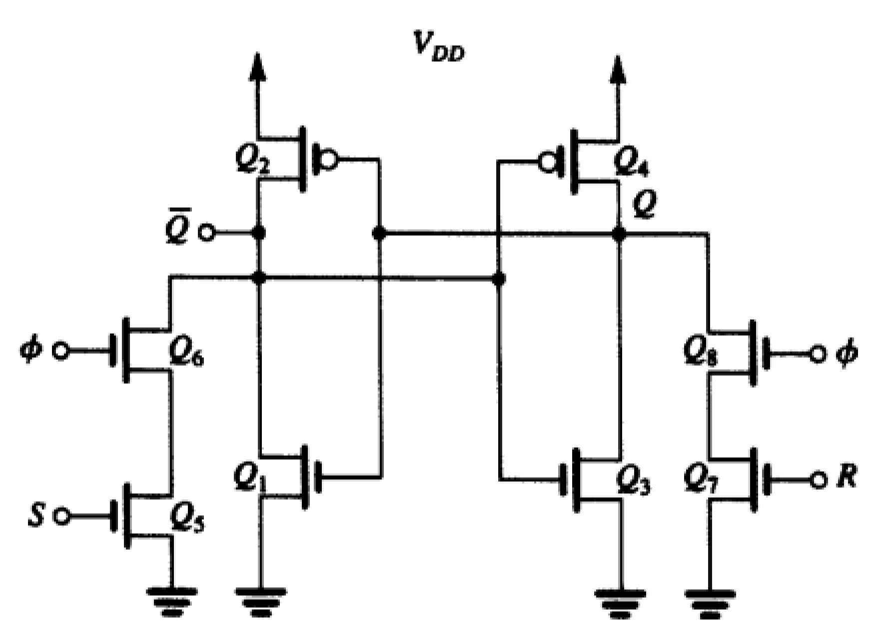


图 11.3　CMOS 实现的时钟同步的 SR 触发器。其时钟信号用ϕ表示

之前对于触发器状态转换的叙述基于以下两个假设：

1. 晶体管 Q_5 和 Q_6 能够提供足够的电流以将节点 $\bar{Q}$ 处的电压至少拉低到略低于 (Q_3，Q_4) 反相器的门限电压。这是启动正反馈的必要条件。没有该初始触发，触发器状态将无法进行状态转换。在例题 11.1 中，我们将具体分析满足这个要求的 Q_5 和 Q_6 所允许的最低 W/L 比值。
2. 置位信号应在高电平持续足够长的时间以使正反馈能够进入到状态转换过程。所需的置位信号的最短宽度可通过将 $v_{\bar{Q}}$ 从 V_{DD} 降低至 $V_{DD}/2$ 的时间加上 v_Q 响应后上升至 $V_{DD}/2$ 的时间估算得到。

最后，由电路的对称性可知，上述分析将同样适用于触发器的复位流程。

例题 11.1　如图 11.3 所示的 CMOS SR 触发器，其工艺参数为：$\mu_n C_{ox} = 2.5\ \mu_p C_{ox} = 50\ \mu A/V^2$，$V_{tn} = |V_{tp}| = 1$ V 和 $V_{DD} = 5$ V。反相器的$(W/L)_n = 4\mu m/2\mu m$，并且$(W/L)_p = 10\mu m/2\mu m$。组成置位-复位电路的 4 个 NMOS 晶体管具有相同的 W/L 比值。试确定保证触发器能够进行状态转换的最小 W/L 比。

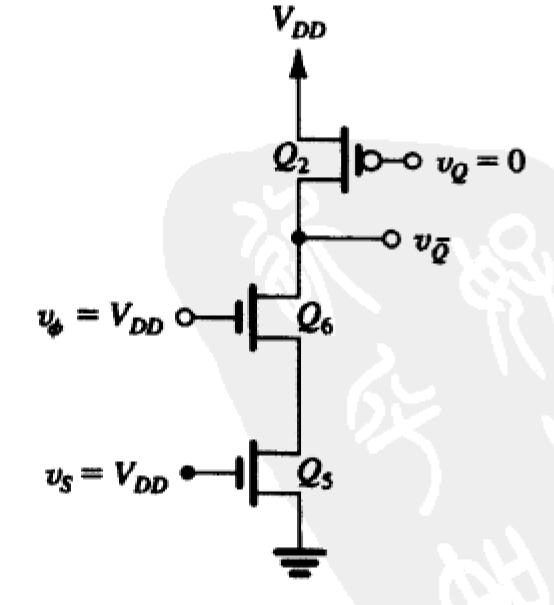


图 11.4　触发器电路（图 11.3 所示）的相关部分，用以确定触发器能够进行状态转换所要求的 Q_5 和 Q_6 的最小 (W/L) 值

解：图 11.4 所示为相关部分的电路结构。注意，由于正反馈尚未开始，我们假设 $v_Q = 0$，因此 Q_2 导通。该电路实际上等同于一个伪 NMOS 门，而我们需要为 Q_5 和 Q_6 选取合适的 W/L 使该反相器的 V_{OL} 低于 $V_{DD}/2$（当 Q_N 和 Q_P 匹配时 Q_3 和 Q_4 反相器的门限电压）。当 Q_5 和 Q_6 提供的电流与 Q_2 在 $v_{\bar{Q}} = V_{DD}/2$ 时提供的电流相等时，即可求得 Q_5 和 Q_6 所需的 W/L 的最

小值。为简单起见，我们将 Q_5 和 Q_6 的串联结构近似为一个单独的晶体管，其 W/L 为 Q_5 和 Q_6 的 W/L 数值的一半。考虑到 $v_{\bar{Q}}=V_{DD}/2$，该等效晶体管和 Q_2 都将工作于变阻区，因而可以得到

$$50\times\frac{1}{2}\times\left(\frac{W}{L}\right)_5\left[(5-1)\times\frac{5}{2}-\frac{1}{2}\times\left(\frac{5}{2}\right)^2\right]=20\times\frac{10}{2}\left[(5-1)\times\frac{5}{2}-\frac{1}{2}\times\left(\frac{5}{2}\right)^2\right]$$

从而可求得

$$\left(\frac{W}{L}\right)_5=4 \quad 和 \quad \left(\frac{W}{L}\right)_6=4$$

考虑到该数值为理论上的最小值，实际制造中会将该比值选定为 5 或者 6。■

练习 11.1　重复例题 11.1，在输入 S 和 ϕ 均为 $V_{DD}/2$ 的情况下，试确定 $(W/L)_5=(W/L)_6$ 的最小值以保证触发器能够进行状态转换。

答案：24.4

练习 11.2　我们希望确定设置脉冲所需的最小宽度。为实现该目标：(a) 首先考虑图 11.4 所示电路中 $v_{\bar{Q}}$ 从 V_{DD} 降低至 $V_{DD}/2$ 所需的时间。假设 $\bar{Q}$ 点与接地点之间的总电容为 50 fF。试通过求解从 V_{DD} 至 $V_{DD}/2$ 这段电压范围内电容放电的平均电流，确定高电平至低电平转换的传播延迟 t_{PHL}。注意，经由 Q_2 传导的电流将会削减电容的放电电流。假定 $(W/L)_5=(W/L)_6=8$，并沿用例题 11.1 中给出的技术参数。(b) 试确定图 11.3 所示电路中 v_Q 的 t_{PLH}，可参考下式：

$$t_{PLH}\simeq\frac{1.7C}{k'_p\left(\frac{W}{L}\right)_p V_{DD}}$$

假定节点 Q 的总电容为 50 fF。(c) 试确定设置脉冲所需的最小宽度。

答案：(a) 0.11 ns; (b) 0.17 ns; (c) 0.28 ns

11.1.4　时钟 SR 触发器的简单 CMOS 实现

一个更简单的时钟同步 SR 触发器的实现如图 11.5 所示。其中，传输晶体管逻辑被运用于实现置位-复位的功能。该电路在静态随机访问存储器（SRAM）芯片的设计中应用十分广泛，它被用做基本存储单元（参见 11.4.1 节）。

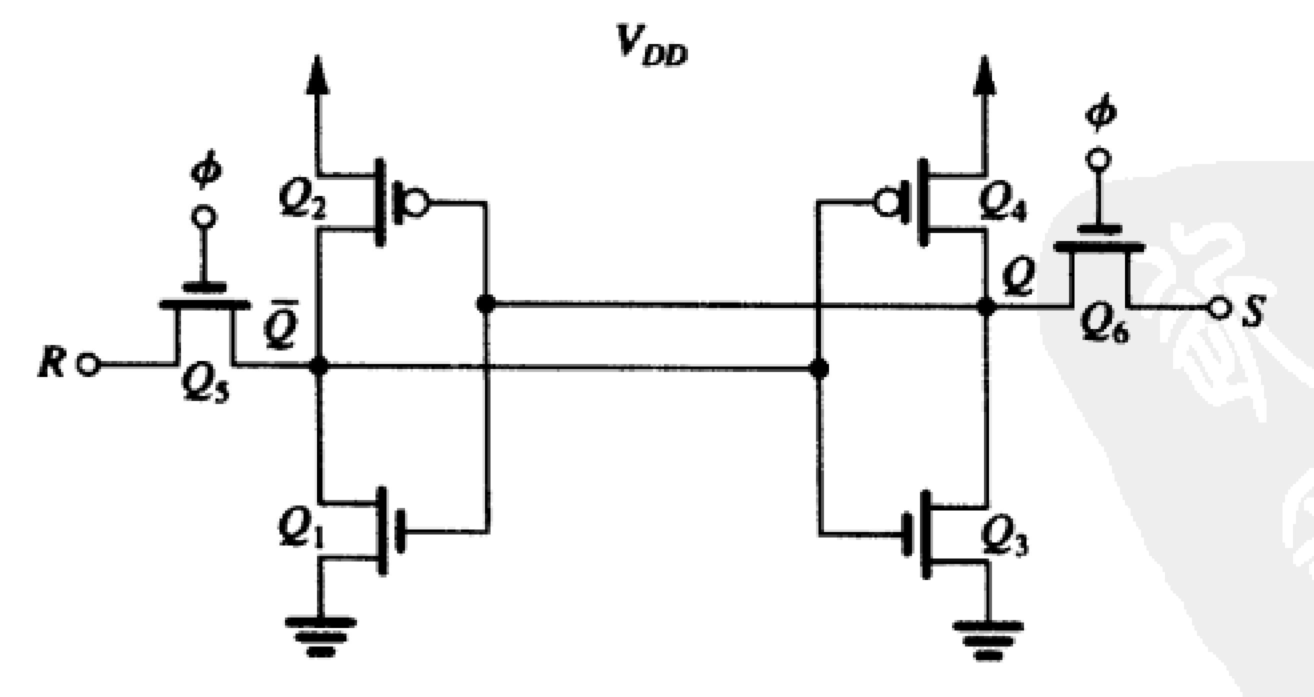


图 11.5　一个更简单的用 CMOS 实现的时钟同步 SR 触发器。该电路在静态随机访问存储器（SRAM）芯片的设计中被用做基本存储单元

11.1.5 D 触发器电路

通过不同逻辑门的组合可以得到许多不同类型的触发器。采用 CMOS 实现的电路则可直接通过将这些逻辑门用相应的 CMOS 电路替代而得到。然而，该方法却经常产生相当复杂的电路。在很多情况下，我们可以从电路设计的角度（而非逻辑设计的观点）得到一个更为简单的电路。为说明这一点，我们将讨论一个十分重要的触发器类型，即数据触发器（D 触发器）的 CMOS 实现。

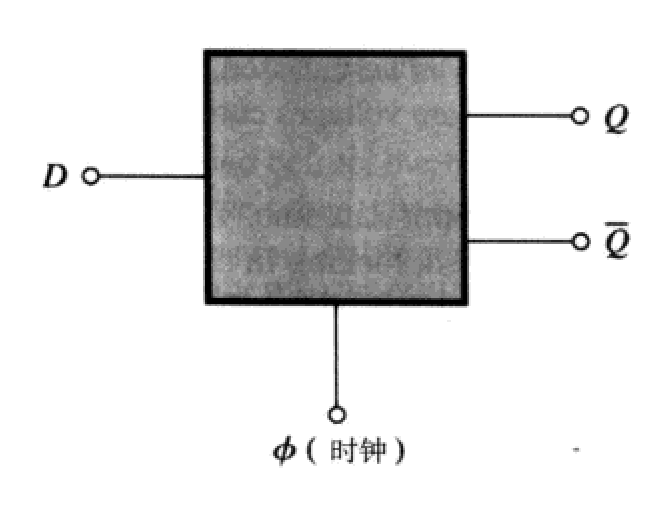


图 11.6 D 触发器的框图

D 触发器的结构如图 11.6 所示。它包括两个输入信号——数据输入 D 和时钟输入 ϕ。两个互补输出标示为 Q 和 $\overline{Q}$。当时钟输入为低电平时，触发器处于静止或存储状态，D 输入端的信号改变对触发器的状态没有影响。当时钟上升为高电平时，触发器获取时钟上升沿之前瞬间的 D 输入端的逻辑值。这种触发器被称为是边缘触发的。部分 D 触发器的实现包含直接置位和复位输入端，它们将忽略上述时钟同步操作。

图 11.7 所示为一个 D 触发器的简单实现。该电路包含两个以正反馈回路形式连接的反相器，这同图 11.1（a）所示的静态锁存器是类似的，但此处的环路仅在部分时间闭合。具体来说，环路在时钟输入为低电平时（$\phi = 0, \overline{\phi} = 1$）闭合。$D$ 输入端是通过一个在时钟输入为高电平时闭合的开关连接到触发器的。其工作原理十分明晰：当ϕ为高电平时，该环路断开，D 输入端直接连接到反相器 G_1 的输入端。G_1 输入端的电容充电至输入端电压 D，而 G_2 输入端的电容充电至 $\overline{D}$。随后，当时钟输入降至低电平时，输入端与触发器断开，而反馈回路闭合，故锁存器得到了ϕ信号下降前输入端 D 的状态值，从而使得输出 $Q = D$。

由前所述，我们注意到图 11.7 所示电路结合了静态双稳态电路的正反馈技术和动态电路的电荷存储技术。值得注意的是，该电路以及很多使用时钟信号的电路的正常工作都基于一定的条件，即ϕ和 $\overline{\phi}$ 在任何时候都不会同时出现高电平。这个条件是由两个时钟相位无交叠来保证的。

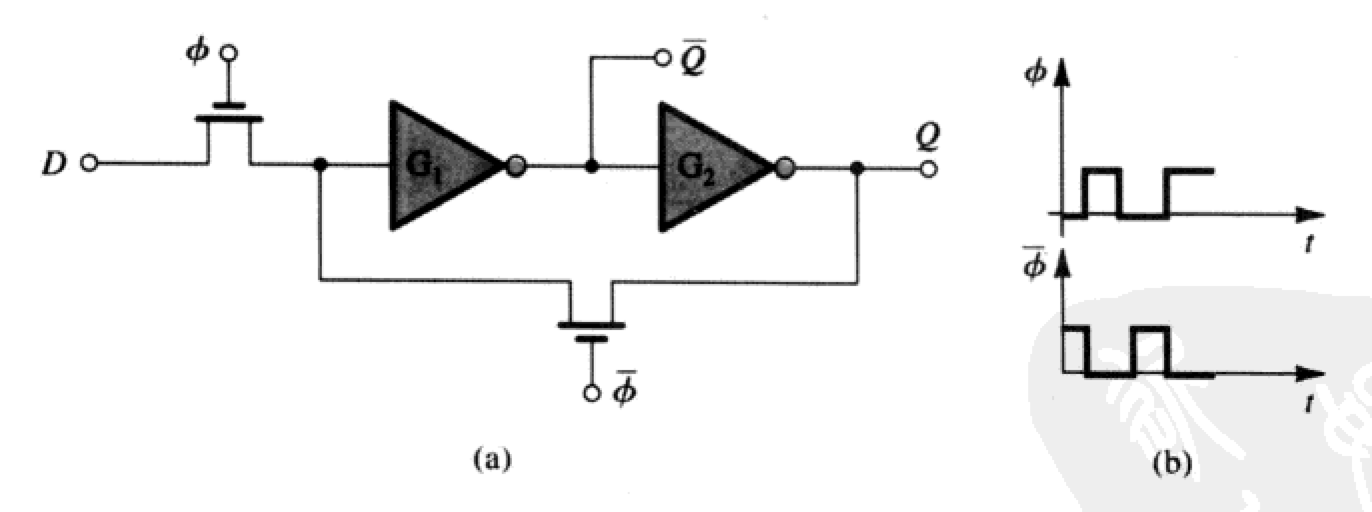


图 11.7 一个 D 触发器的简单实现：（a）所示电路运用了双相位无交叠的时钟输入；（b）输入信号的波形

然而，图 11.7 所示的 D 触发器的实现却存在一个不足，即当ϕ为高电平时，触发器的输出完全跟随输入端 D 的信号而变化。这在特定的逻辑设计情况下会造成一定的问题。事实上，我们可以通过如图 11.8（a）所示的主从触发器的形式来有效地解决这个问题。在讨论电路工作原理之前需要说明：尽管图中所示开关由单个 NMOS 晶体管实现，然而 CMOS 传输门也在很多实际应用中被采用。我们在此处只是选用单个的 MOS 晶体管作为串联开关电路的简化符号。

该主从触发器电路包含一对如图 11.7 所示类型的电路，采用交替的时钟相位进行工作。在此要强调的是这两个时钟的相位必须无交叠，我们将其分别命名为ϕ_1和ϕ_2，并在图 11.8（b）中明确表示了其无交叠的波形形状。电路的具体工作原理如下：

1. 当ϕ_1为高电平而ϕ_2为低电平时，输入端连接到反馈回路开路的主锁存器，与从锁存器断开。因此，输出 Q 保持先前储存在从锁存器里的逻辑值并且从锁存器的环路闭合。主锁存器的节点电容将被充电，其所得电压与 D 输入端的当前电压相对应。
2. 当ϕ_1降为低电平时，主锁存器与数据输入端断开。随后，当ϕ_2上升为高电平时，主锁存器的反馈回路闭合且锁定在 D 的值上。同时，其输出与反馈回路断开的从锁存器相连。从锁存器的节点电容被充电，因此当ϕ_1重新上升为高电平时，从锁存器锁定在新的 D 的逻辑值且输出 $Q=D$。

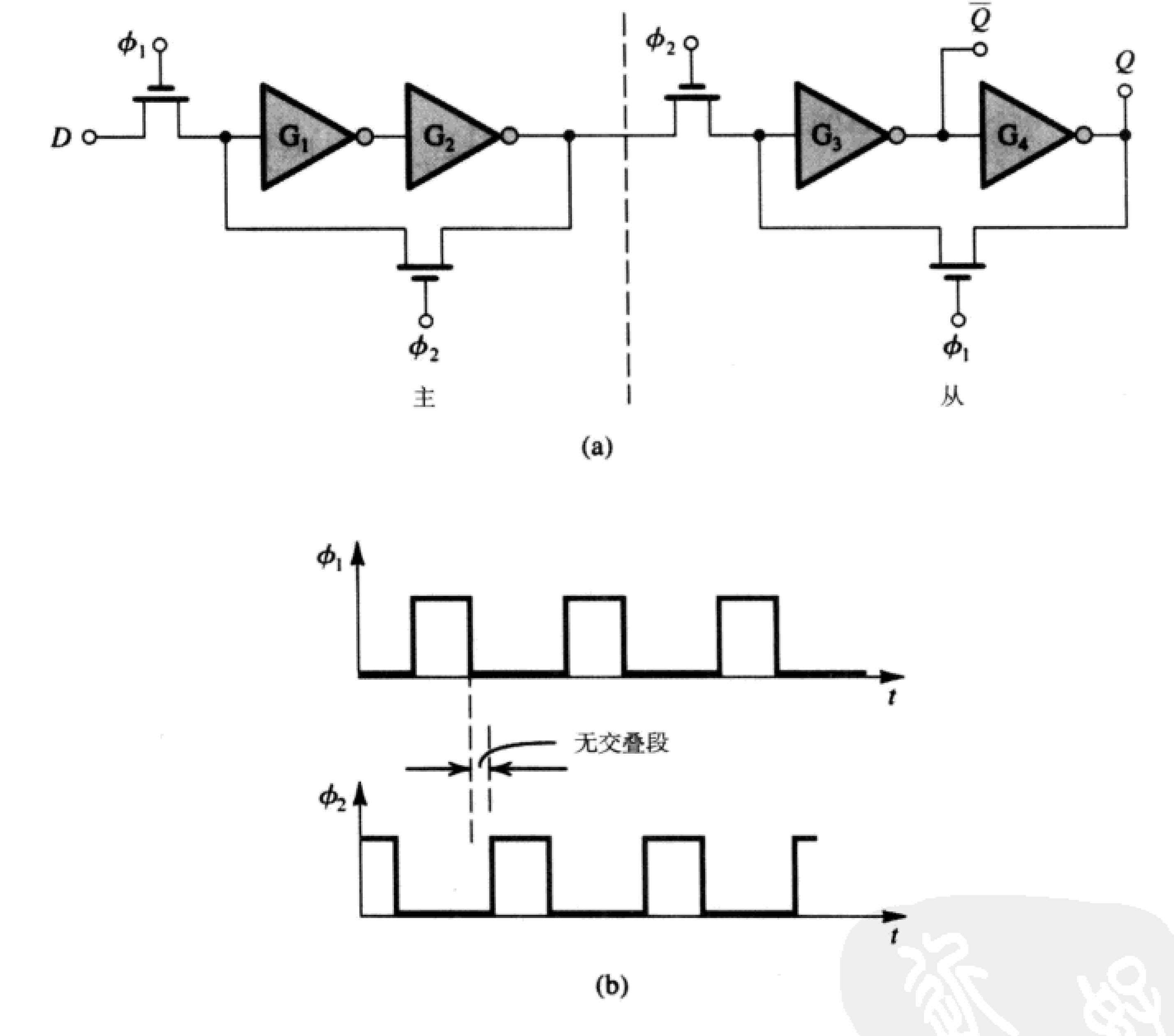


图 11.8　（a）主从式 D 触发器。其开关通常由 CMOS 传输门实现；（b）系统要求的双相位无交叠的时钟波形图

通过上述讨论，我们不难发现在时钟ϕ_2的上升沿，输出 Q 更新为前一时钟相位ϕ_1结束时 D 输入端上的逻辑值。该输出值将稳定保持一个时钟周期。最后要注意的是：在无交叠时间段，两个锁存器的反馈回路均被断开，我们仅仅依靠节点电容来储存绝大部分的电荷。因此无交叠时间段应被控制在很小的范围内（大约为时钟周期的十分之一或者更小，实际设计中一般在 1 ns 的数量级上）。

11.2 多谐振荡器电路

如前所述，由于触发器具有两个稳定的状态，因此称为双稳态多谐振荡器。事实上还存在另外两种类型的多谐振荡器：单稳态多谐振荡器和非稳态多谐振荡器。单稳态多谐振荡器具有一个稳定的状态，系统可以在任意长的时间内保持在该状态。同时，它还具有一个可被触发的准稳态。单稳态多谐振荡器可以在准稳态停留一个预设的时间长度 T，随后它将自动返回稳定状态。从这个意义上来说，单稳态多谐振荡器生成一个持续时间为 T 的输出脉冲。该输出脉冲的宽度 T 与触发脉冲的具体参数无关，图 11.9 示意性地给予了说明。单稳态多谐振荡器因此可以被用做脉冲展宽器，或者更精确地称为脉冲标准化器。单稳态多谐振荡器又被称为单击振荡器。

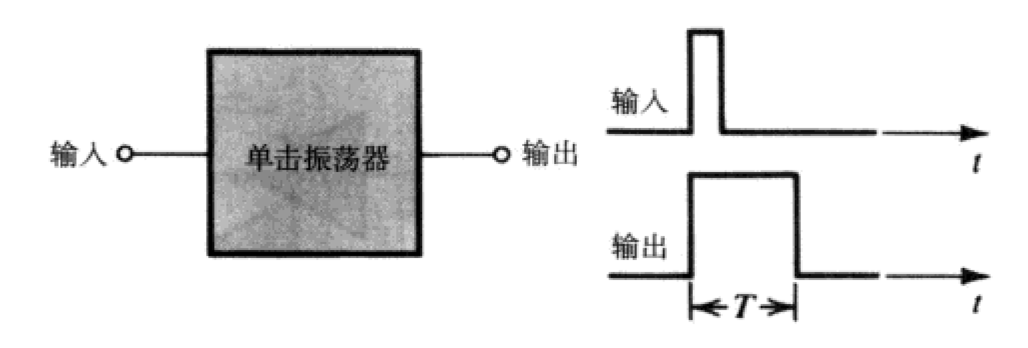


图 11.9 图示的单稳态多谐振荡器（单击振荡器）功能模块是由正脉冲触发的。除此以外，还存在由负脉冲触发的单击振荡器

非稳态多谐振荡器不存在稳定状态，但它却具有两个准稳态且能够在这两个状态分别停留预设的时间长度 T_1 和 T_2。所以，当非稳态多谐振荡器在一个准稳态停留 T_1 秒之后，它将转换到另一个准稳态并在该状态停留 T_2 秒，随后再次返回原先的状态，如此周而复始。因此非稳态多谐振荡器以周期 $T = T_1 + T_2$ 或频率 $f = 1/T$ 振荡，可用于生成周期性脉冲，例如时钟信号。

在第13章中，我们将介绍由运算放大器构成的单稳态和非稳态多谐振荡器。下面将重点讨论由逻辑门构成的单稳态和非稳态多谐振荡器。此外我们还将介绍另外一种使用非常普遍的振荡电路，即环形振荡器。

11.2.1 CMOS 单稳态电路

图 11.10 所示为一个简单且常用的单稳态多谐振荡器电路。它由两个双输入的 CMOS 或非门（G_1 和 G_2）、一个电容量为 C 的电容以及一个阻值为 R 的电阻组成。输入端 v_I 提供单稳态多谐振荡器的触发脉冲。

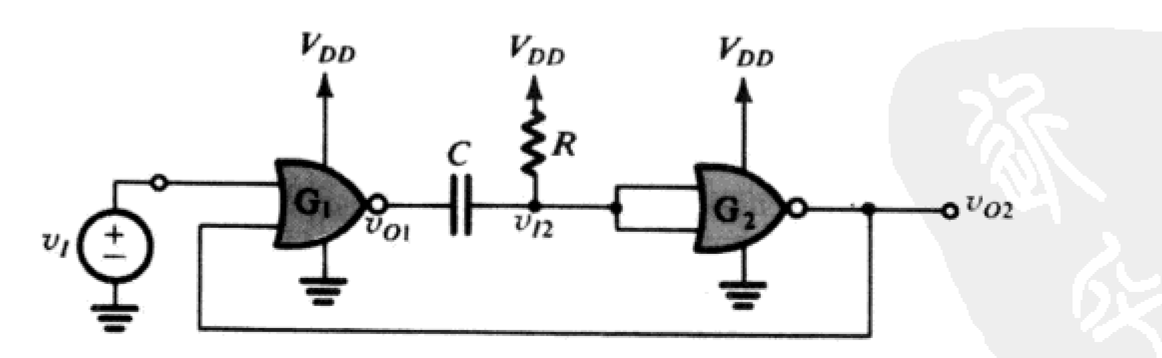


图 11.10 由 CMOS 或非门组成的单稳态电路。信号源 v_I 提供正向触发脉冲

商用的 CMOS 逻辑门在其输入端都连接着由二极管组成的特殊结构，如图 11.11（a）所示。设计这些二极管的主要目的在于防止输入信号电压高于电源电压 V_{DD}（高出一个二极管的压降）或输入信号低于接地端电压（低出一个二极管的压降）。这些钳位二极管对于单稳态电路的工作

具有重要的作用。具体而言，我们着重分析一下这些二极管对于反相器方式连接的或非门 G_2 的实际作用。在这种情况下，每对对应的二极管都是并联连接的，参见如图 11.11（b）所示的等效电路。当输入电压高于系统电源电压的限制时，二极管将为输入信号的电源提供一条低阻通道，而对于中间电压，二极管的输入电流等于零。

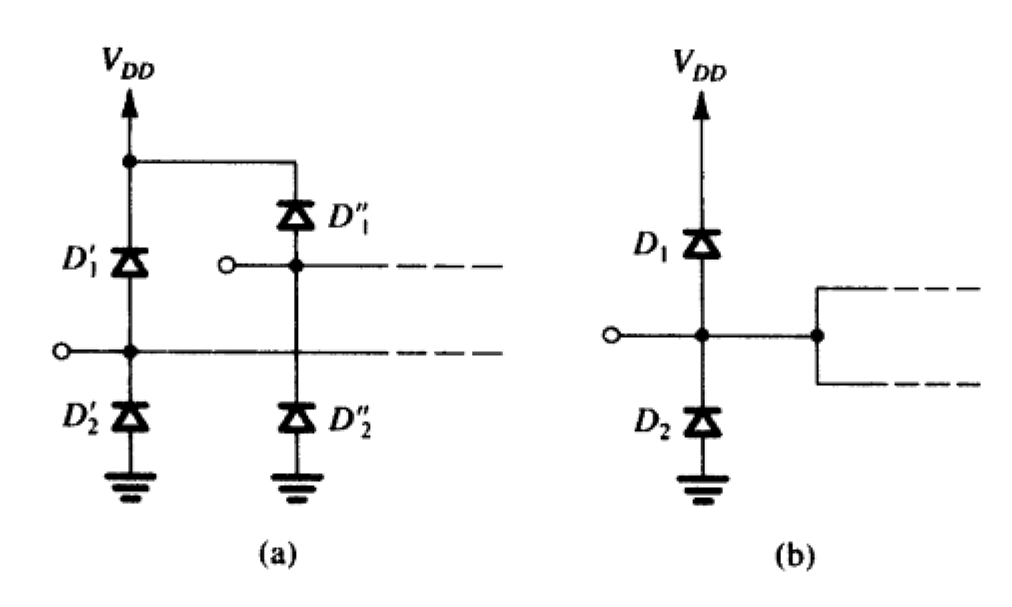


图 11.11 （a）双输入端 CMOS 逻辑门的每个输入端的二极管结构；（b）当两个输入端短接时的等效二极管电路。注意，添置二极管的目的在于保护逻辑门，使其免受由于静态电荷积累而造成的潜在的破坏性过电压

为简化起见，我们将使用逻辑门的近似等效输出电路，如图 11.12 所示。图 11.12（a）表明，当逻辑门输出为低电平时，其输出特性可以用一个接地的电阻 R_{on} 来表示，其阻值一般在几百欧姆左右。在该状态，电流可以从外部电路流入逻辑门的输出端口，此时逻辑门也被称为吸收电流。同样，图 11.12（b）所示的等效输出电路适用于逻辑门输出电压为高电平的情况。在该状态，电流可以从 V_{DD} 通过逻辑门的输出端口流到外电路中，此时逻辑门也被称为输出电流。

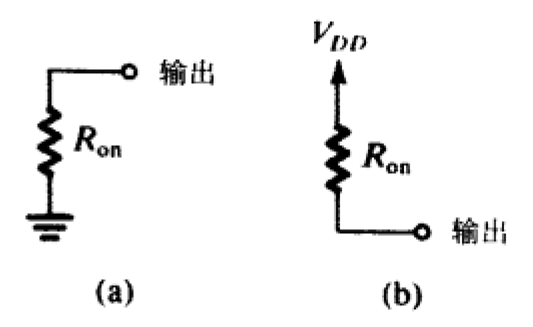


图 11.12 CMOS 逻辑门的输出等效电路：（a）输出为低电平的情况；（b）输出为高电平的情况

为了说明如图 11.10 所示的单稳态电路的工作原理，考虑如图 11.13 所示的时序图。图 11.13（a）中存在一个持续时间为 τ 的短暂触发脉冲。在下面的讨论中我们将忽略 G_1 和 G_2 的传输延迟。但在实际情况中，该延迟限定了脉冲宽度 τ 的最小值，$\tau>(t_{P1}+t_{P2})$。

首先考虑单稳态电路的稳定状态，即在触发脉冲到达之前的电路状态。G_1 的输出端为 V_{DD} 高电平，电容放电，G_2 的输入端为 V_{DD} 高电平。因此 G_2 的输出端为低电平，等于接地电压。该低电平反馈到 G_1 的输入端。由于 v_I 为低电平，因此 G_1 的输出为高电平，正如最初假设的那样。

接下来考虑施加触发脉冲时的情况。G_1 的输出电压将会降低。然而，G_1 将会吸收部分电流，同时由于其有限的输出电阻 R_{on}，使得 G_1 的输出将不会一直为 0 V。事实上，G_1 的输出电压将降低一定的数值 ΔV_1，我们稍后将计算该数值。

压降 ΔV_1 通过电容 C（在转换瞬时可被视为短路）与 G_2 的输入端相耦合，因此 G_2 的输入端电压（初始为 V_{DD}）也将降低同样的量，即 ΔV_1。此处，我们注意到在该瞬间存在由 V_{DD} 通过 R

和 C 进入 G_1 输出端口后至接地端的瞬时电流。因此可以得到由电阻 R 和 R_{on} 组成的分压网络（注意，电容 C 的瞬时电压为零），由此可以确定ΔV_1 的数值为

$$\Delta V_1 = V_{DD}\frac{R}{R+R_{on}} \tag{11.1}$$

反观 G_2，其输入端的压降造成其输出端的电压上升（至 V_{DD}）。该输出信号将在触发脉冲结束之后仍然保持 G_1 持续输出低电平。该电路现处于准稳定状态。

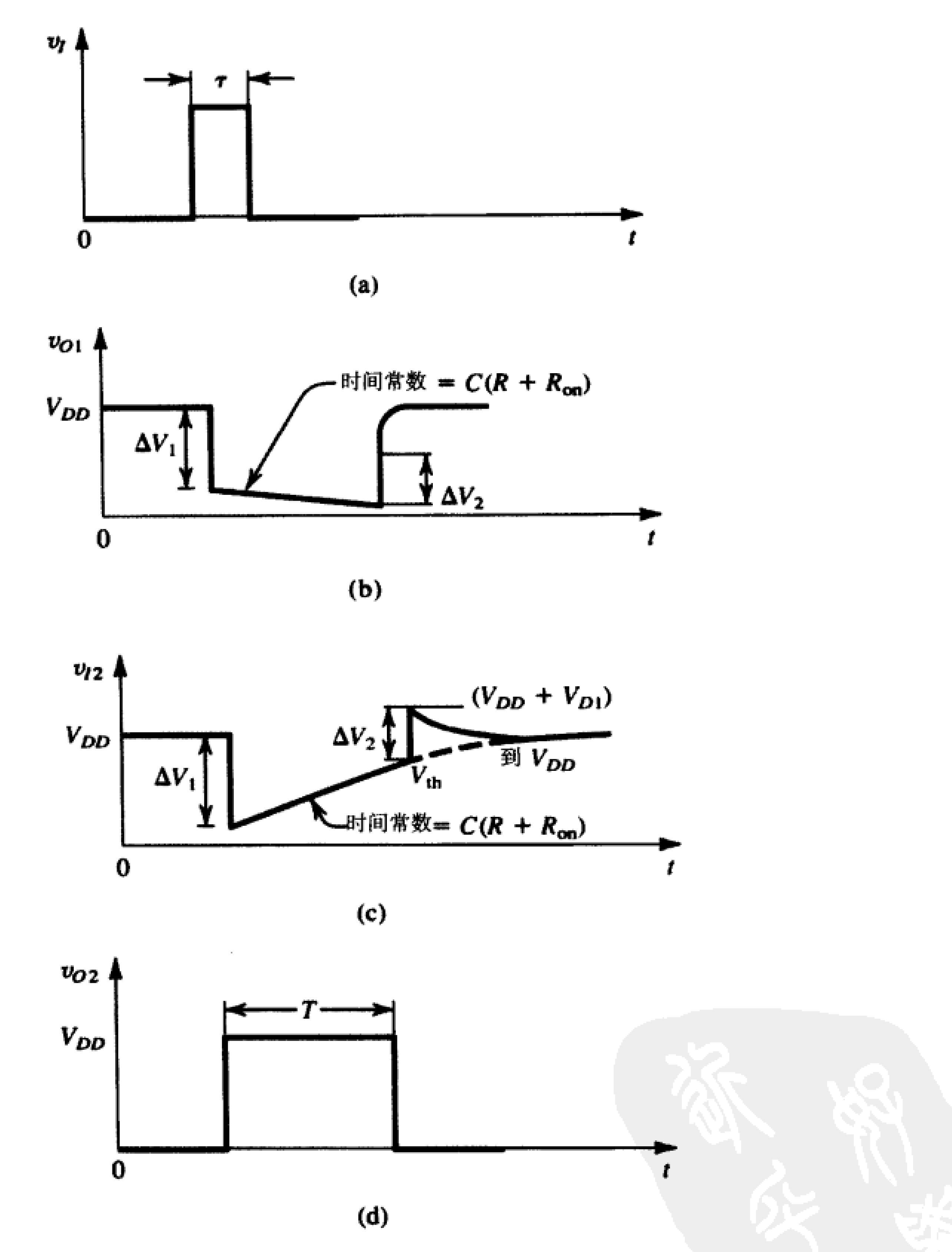


图 11.13　单稳态电路（图 11.10 所示）的时序图

接下来我们继续分析准稳定状态的工作原理。通过 R，C 和 R_{on} 的电流造成电容 C 充电，因而 v_{I2} 将以时间常数 $C(R+R_{on})$朝着 V_{DD} 呈指数级上升，如图 11.13（c）所示。v_{I2} 将会持续上升直至达到反相器 G_2 的门限电压 V_{th}。此时，G_2 将会翻转，其输出 v_{O2} 将会变为 0 V，反过来引起 G_1 的翻转。G_1 的输出端将试图上升至 V_{DD}，但是由于下面将要讲到的原因，其瞬时压升将被限制为

ΔV_2。v_{O1} 的上升始终通过电容 C 与 G_2 的输入端相耦合，因此 G_2 的输入端电压将会上升同样的幅值ΔV_2。注意，由于 G_2 输入端和 V_{DD} 之间的二极管 D_1 的存在，v_{I2} 的电压至多只能上升至 $V_{DD}+V_{D1}$，其中 V_{D1}（大约为 0.7 V）为 D_1 两端的压降。因此由图 11.13（c）可得

$$\Delta V_2 = V_{DD} + V_{D1} - V_{th} \qquad (11.2)$$

可见，正是由于 D_1 的存在限制了瞬时电压ΔV_2 上升的幅值。

因为现在 v_{I2} 略高于 V_{DD}（高出 V_{D1}），因此电流将会从 G_1 的输出端流出，途中流经电容 C 以及并联的 R 和 D_1。该电流将造成电容 C 持续放电，直到 v_{I2} 降至 V_{DD} 且 v_{O1} 上升至 V_{DD}。其放电电路如图 11.14 所示，由图可知二极管的存在使得该电容放电过程成为非线性过程。尽管脉冲结束时的瞬态响应并非我们关心的重点，但值得一提的是，单稳态电路只能在电容放电完成后才能被再次触发，否则输出将不再是标准脉冲，而生成标准脉冲恰恰是单极振荡器的主要功能。因此，电容放电所需的时间间隔又被称为恢复时间。

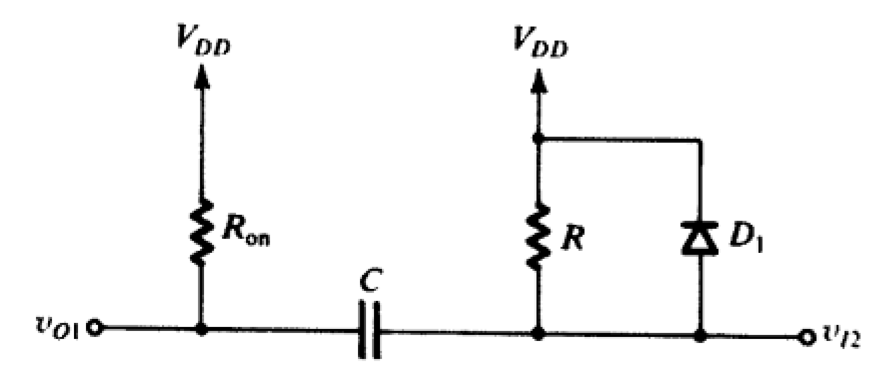


图 11.14 电容 C 放电时的实际工作电路（在单稳态脉冲周期 T 的末端）

参考图 11.13（c），我们可以得到 T 的表达式，并且 $v_{I2}(t)$表示为

$$v_{I2}(t) = V_{DD} - \Delta V_1 e^{-t/\tau_1}$$

其中，$\tau_1 = C(R+R_{on})$。将 $t=T$ 和 $v_{I2}(T)=V_{th}$ 代入，并将ΔV_1 表示为式（11.1）的形式，经整理得

$$T = C(R+R_{on})\ln\left(\frac{R}{R+R_{on}}\frac{V_{DD}}{V_{DD}-V_{th}}\right)$$

练习 11.3 当 $V_{th}=V_{DD}/2$ 且 $R_{on}<<R$ 时，试确定 T 的近似表达式。

答案：$T = 0.69CR$

练习 D11.4 若已知 R_{on} 小于 1 kΩ，用练习 11.3 的近似表达式设计一个单极振荡器以产生 10 μs 的脉冲。设计相应的 C 和 R 的数值。试确定由于在设计中忽略 R_{on} 而可能造成的最大脉冲宽度 T 的误差值。

答案：参考数值 C = 1 nF，R =14.5 kΩ；–3%

11.2.2 非稳态电路

图 11.15（a）所示为一个常见的非稳态电路，由两个反相器方式连接的或非门、一个电阻和一个电容组成。假设或非门为 CMOS 逻辑门，我们将具体讨论其工作原理。但在此之前，为简化起见，我们还需要做进一步近似，即忽略 CMOS 逻辑门的有限输出电阻并假定钳制二极管为理想二极管（即其导通时存在零压降）。

基于上述简化假设，可以得到图 11.15（b）所示的波形图。我们鼓励读者尝试逐步分析该电路的工作流程，并与实际输出的波形进行比对[①]。

① 实际电路通常采用大电阻与 G_1 的输入端串联，这样可以限制二极管的导通效应，从而允许 v_{I1} 上升至 V_{DD} 以上，而且还能下降到 0 V 以下。

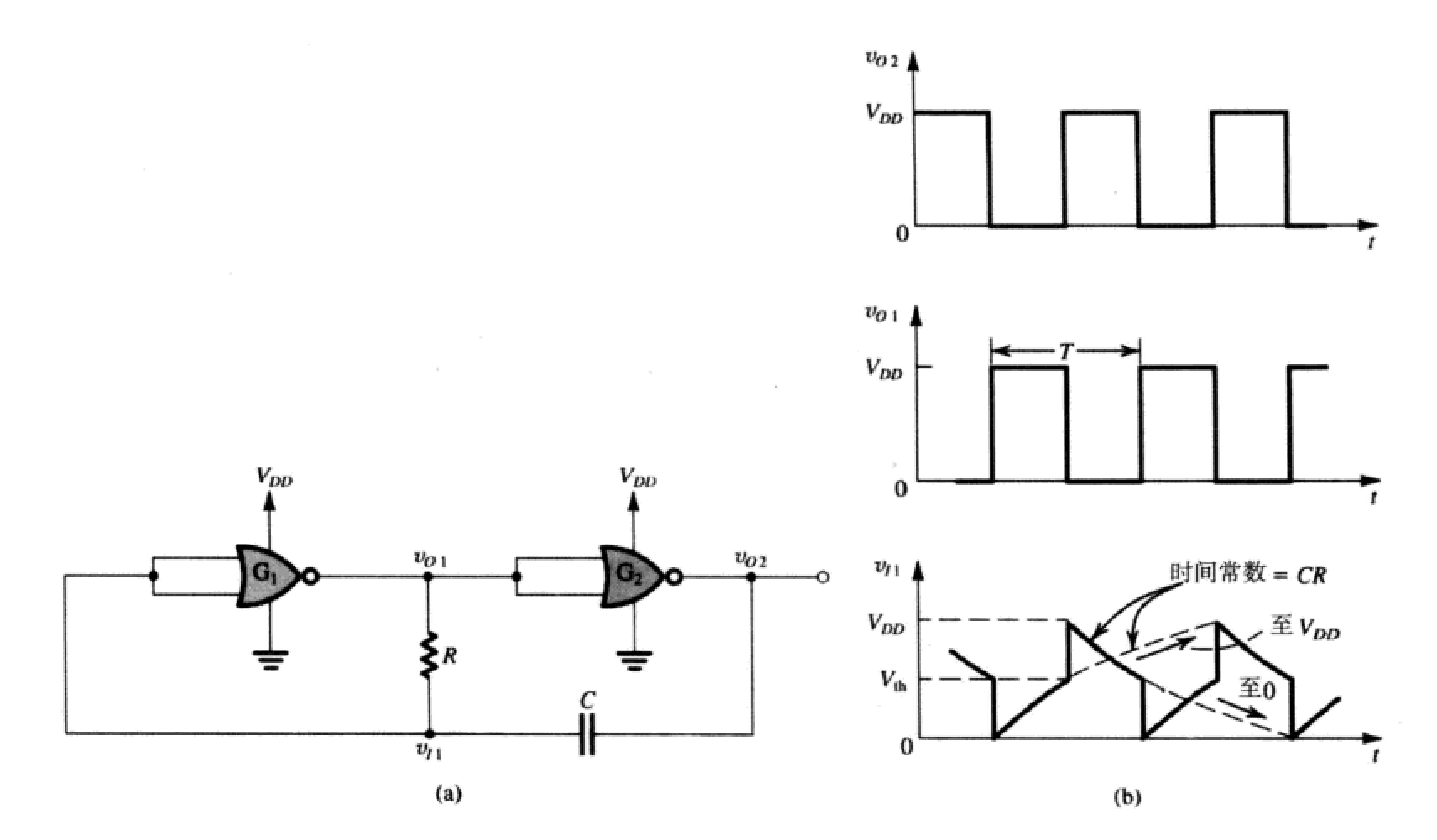


图 11.15 （a）一个用 CMOS 逻辑门组成的简单非稳态多谐振荡器电路；（b）该非稳态电路的波形图。假设逻辑门输入端的二极管为理想二极管，并因此将 v_{I1} 的电压限制在 0 V 至 V_{DD} 之间

练习 11.5 参考图 11.15（b）所示的波形图，试确定图 11.15（a）所示的非稳态多谐振荡器的工作周期 T。

答案： $T = CR\ln\left(\frac{V_{DD}}{V_{DD}-V_{th}}\frac{V_{DD}}{V_{th}}\right)$

11.2.3 环形振荡器

另一种在数字电路中常用的振荡器为环形振荡器。它是通过在一个环路中级联奇数个反相器构成的。虽然通常至少要使用 5 个反相器来构成环形振荡器，然而我们在此仅使用 3 个反相器来说明其工作原理，如图 11.16（a）所示。图 11.16（b）所示分别为 3 个反相器输出端的输出波形，这些波形是理想波形，因为其上升时间和下降时间为 0。尽管如此，它们仍足以说明电路的工作流程。

观察发现，节点 1 处的上升沿经过逻辑门 1，2，3 后延迟了 $3t_P$ 后反相返回。该下降沿继续传播，在另一个 $3t_P$ 的延迟时间后以初始极性（上升沿）返回。因此该电路将以周期 $6t_P$ 或频率 $1/6t_P$ 振荡。一般而言，由 N 个反相器组成的环形振荡器（N 必须为奇数）将以 $2Nt_P$ 的周期或 $1/2Nt_P$ 的频率持续振荡。

最后值得一提的是，环形振荡器提供了一个用来测量反相器传输延迟的比较简单的方法。

练习 11.6 假设反相器的传输延迟为 1 ns，试确定由 5 个反相器构成的环形振荡器的振荡频率。

答案： 100 MHz

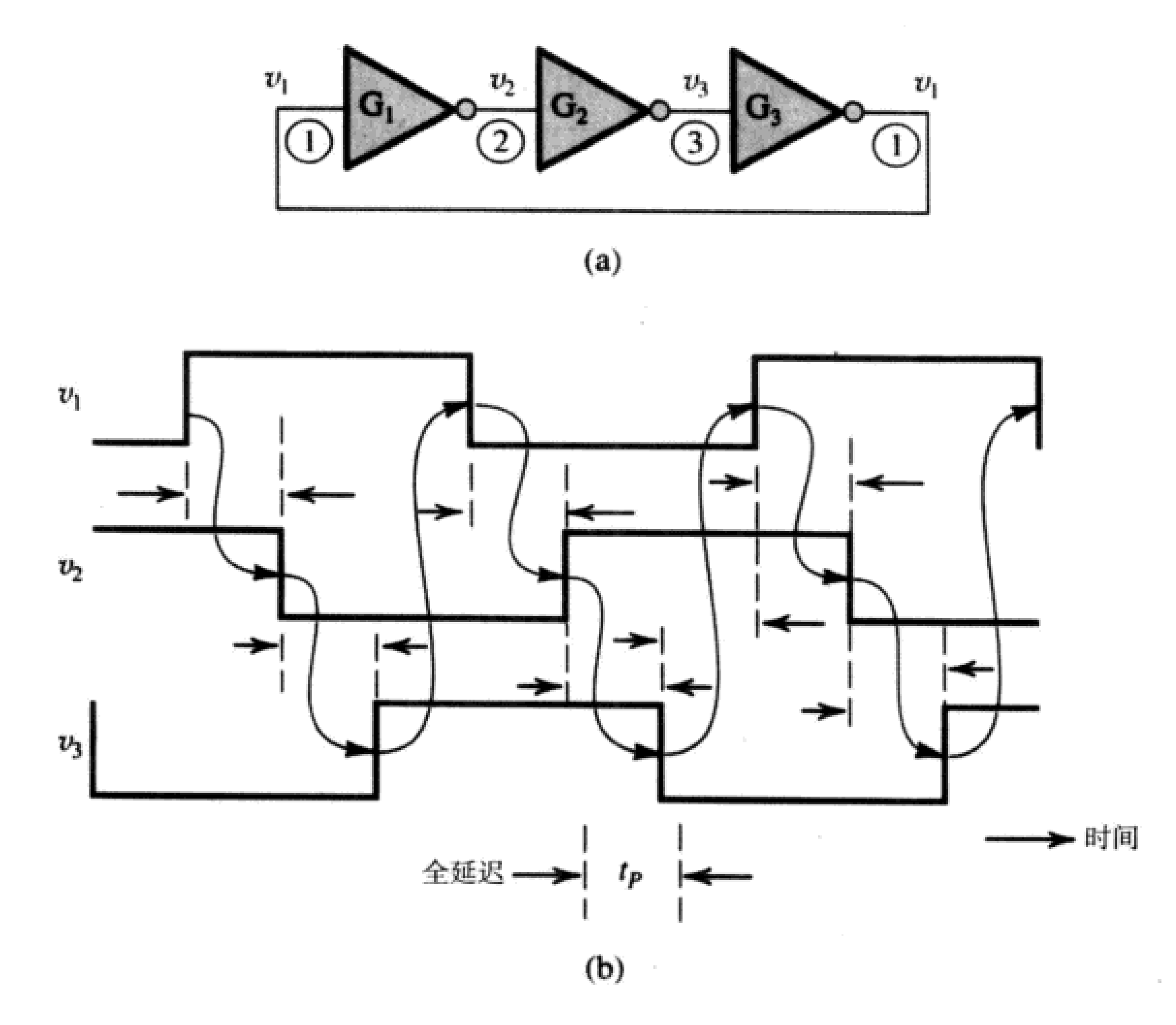


图 11.16　（a）由 3 个反相器级联形成的环形振荡器（通常至少由 5 个反相器构成）；（b）该振荡器的输出波形图。观察可得，该电路以 $1/6t_P$ 的频率振荡

11.3　半导体存储器的类型与结构

一个计算机系统，无论是大型机还是微型计算机，都需要存储器来存储数据和程序指令。不仅如此，在一个给定的计算机系统中，通常包含利用不同工艺技术制造的各种类型的存储器，而它们的访问时间也各不相同。广义上说，计算机存储器可以分为两种类型：主存储器和大容量存储器。主存储器通常是访问速度最快的存储器，一般情况下，大多数（通常是所有的）程序指令都在其中执行。主存储器通常是随机访问类型的。所谓随机访问存储器（RAM）就是指在该存储器中存储信息（写操作）和获取信息（读操作）所需的时间与所需信息在存储器内部的物理存储位置无关。

随机访问存储器应与串行或顺序访问存储器区分开来。在磁盘和磁带这类的串行存储器中，数据只能够按照其原先被存储的顺序进行访问。因此，在串行存储器中，访问特定信息所需的时间取决于信息在存储器中的位置，而其平均访问时间较之随机存储器的访问时间要长一些。在计算机系统中，串行存储器被用做数据的大容量存储。不经常使用的数据（例如计算机操作系统的大部分文件）通常存储于类似于磁盘的具有可移动表面的存储器。

存储器的另一个重要的分类方法是把它分成读写存储器和只读存储器。读写存储器允许数据以类似的速度被存储或读取。计算机系统需要可读写的随机访问存储器来存储数据和程序。

只读存储器（ROM）允许系统以与读写存储器相同的速度（甚至更快的速度）读取数据，但限制数据的写操作。ROM 可以用来存储微处理器操作系统的程序。它们还被用于处理表格查询的操作，例如确定数学函数的返回数值。电视游戏卡就是 ROM 的一个典型应用。需要注意的是，只读存储器通常是随机访问类型的。尽管如此，在数字电路的术语中，缩写 RAM 通常表示可读

写的随机访问存储器，而 ROM 表示只读存储器。

存储器电路的规则结构使它们很适合 VLSI 的设计思想。事实上，存储器芯片代表了封装密度和集成度的发展水平。自 1970 年 1 Kb 芯片的出现开始，存储器芯片密度大约每三年翻四倍。如今，256 Mb[①]的存储器芯片已经被投入商用，同时数 Gb 的芯片也正在研发实验室中进行测试。我们将在本节以及随后的两节中讨论一些 VLSI RAM 芯片中使用的基本电路，而只读存储器电路将在 11.6 节介绍。

11.3.1 存储器芯片构架

存储器芯片内的位可以是单位可寻址的（individually addressable），也可以是以 4~16 位成组的参与寻址。举例来说，单位可寻址的 64 Mb 的存储器芯片被称为以 64M 字 ×1b（或简写为 64M×1）构成的。这样的芯片需要用 26 位的地址线进行寻址（2^{26} = 67 108 864 = 64M）。除此以外，该 64M 存储芯片也可以组织成 16M 字 ×4 位（16M×4），这样就需要 24 位的地址线进行寻址。为简单起见，我们假设以后讨论的所有存储芯片均为单位可寻址的。

存储芯片的主体是由存储位信息的存储单元构成的。每个存储单元为可存储 1 位信息的电子电路。我们将在 11.4 节中具体讨论存储单元电路。通常在存储芯片上以正方形或者接近正方形的阵列方式排列存储单元较为理想，稍后我们将讨论其原因。图 11.17 具体说明了该结构。该存储单元阵列包含 2^M 行和 2^N 列，总存储容量为 2^{M+N}。举例来说，一个 1 Mb 的正方形阵列将包括 1024 行和 1024 列（$M = N = 10$）。在阵列中的每一个存储单元都将与 2^M 行中的某一行（通常称为字线）以及 2^N 列中的某一列（通常称为数据线或者位线）相连接。通过激励其相应的字线和位线，可选中特定的存储单元以进行读写操作。

通常对于 2^M 条字线中的特定字线的激励是通过行解码器实现的。所谓行解码器就是根据施加于解码器输入端的 M 位地址编码选择相应的字线（提升其电压）的组合逻辑电路。地址编码一般表示为 $A_0, A_1, \ldots, A_{M-1}$。当第 K 条字线被激励时，若该操作为读操作，则第 K 行的 2^N 个存储单元将在相应的位线上输出其所存储的数据。这就意味着，若第 L 列存储单元（如图 11.17 所示）存储的数据为 1（高电平），则第 L 条位线的电压将小幅上升，其上升幅度在 0.1 V 至 0.2 V 之间。选用较小的输出电压是考虑到存储单元的数目庞大且结构微小，该小额输出电压随后作用于连接位线的感应放大器。如图 11.17 所示，每条位线均有一个感应放大器与其相连，该感应放大器生成一个全摆幅的数字信号输出（在我们的例子里是从 0 至 V_{DD}）。该数字信号连同其他选定行里的存储单元相对应的输出信号被传送到列解码器。列解码器根据施加于解码器输入端的 N 位地址编码（该地址编码一般表示为 $A_M, A_{M+1}, \ldots, A_{M+N-1}$）选择相应列的输出信号，并使它出现在芯片的输入输出（I/O）数据线上。

写操作流程与上述读操作流程类似。首先将所要求存储的数据（1 或 0）放置于 I/O 数据线上。然后通过行地址与列地址的组合选中要存储数据的单元。所选中的列的感应放大器作为驱动电路将施加在数据线上的信号写入选中的存储单元。感应放大器和地址解码器的电路将在 11.5 节中讨论。

在结束关于存储器组织和存储芯片内部结构的讨论之前，我们还将述及一个新近在存储器组织结构方面的革新设计，其主要是用来满足迅速增长的芯片密度。为了理解这种革新的必要性，设想随着存储阵列中存储单元数目的增长，其相应的字线和位线的长度也相应增长。即使对于进

① 存储器存储二进制数的能力用单位 Kb 和 Mb 表示，即 1 Kb = 1024 b，1 Mb = 1024 × 1024 = 1 048 576 b。因此，一个 64 Mb 的芯片能够存储 67 108 864 b 的信息。

一步缩小晶体管体积的新一代存储芯片而言（目前，一般使用 0.1~0.3 μm 的 CMOS 工艺），上述情况依然存在。字线和位线的增长致使其总电阻与总电容相应增大，从而使其瞬时响应的速度减慢。这也就意味着随着线长的增长，字线电压的指数上升速度减慢，因此激活一个存储单元需要更长的时间。现在可以通过将存储芯片分隔成许多区块来解决这个问题。每个区块的结构与图 11.17 所示完全相同。行地址与列地址被传递到所有区块，但只选取其中某一个区块的输出数据。区块的选取可通过选用适当位数的地址位作为区块地址编码来完成。这样的系统结构可被视为三维结构，即：行、列、区块。

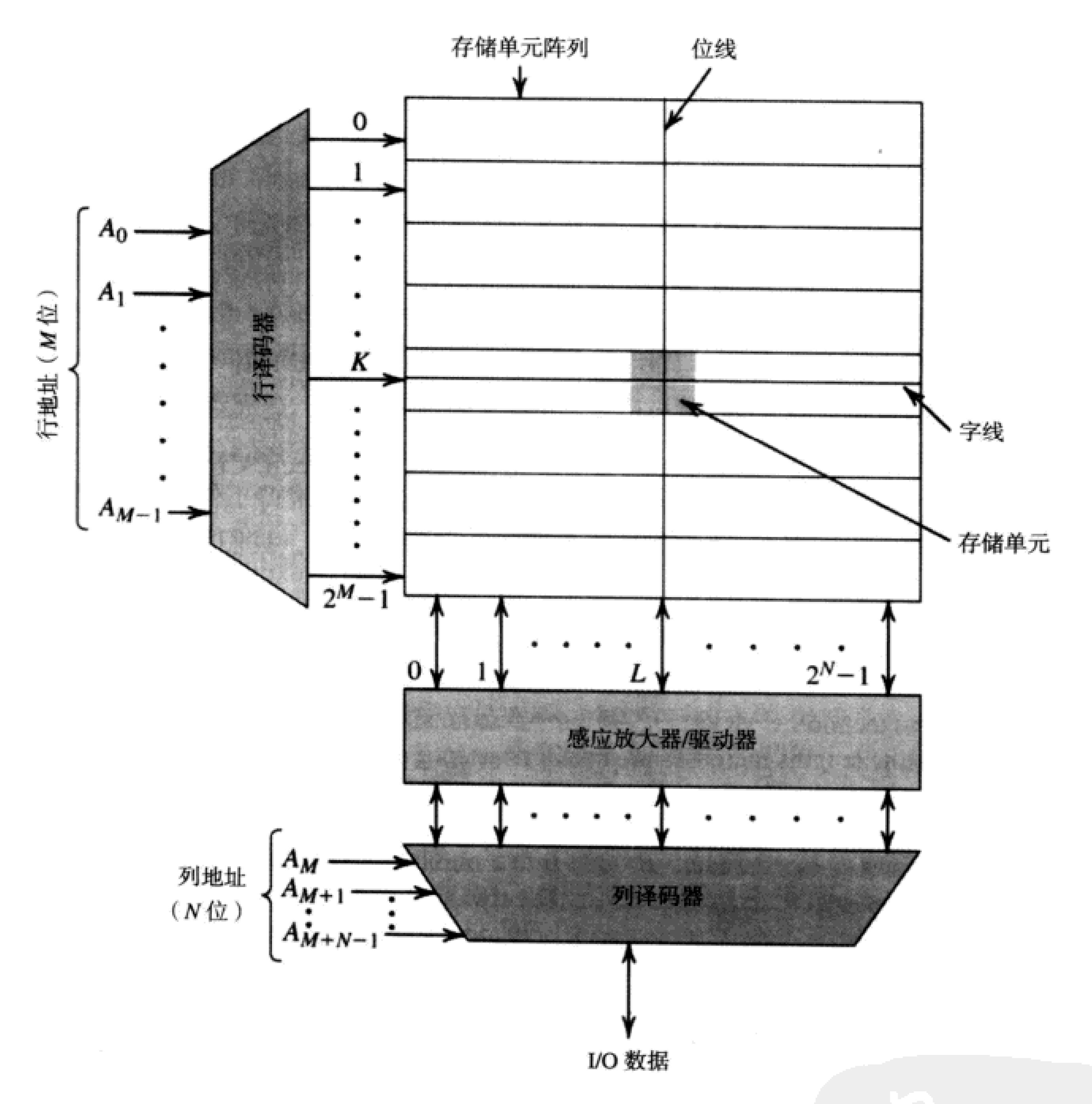


图 11.17　组织成 2^M 行 × 2^N 列的 2^{M+N} 位存储器芯片

11.3.2　存储器芯片时序

所谓存储器访问时间，是指从开始一个读操作到出现输出数据的时间间隔。所谓存储器访问周期，是指连续两次存储器操作之间的最短时间间隔。从严格意义上来说，存储器操作通常包括在同一存储位置的读操作和写操作。MOS 存储器的访问时间和访问周期通常在几纳秒（ns）到几百纳秒（ns）之间。

练习 11.7　容量为 4 Mb 的存储器芯片被分割成 32 个区块，每个区块包含 1024 行和 128 列。试分别给出行地址编码、列地址编码和区块地址编码所需的编码位数。

答案：10；7；5

练习 11.8 某特定 MOS 存储芯片的字线由多晶硅(参见附录 A)构成。每条字线的电阻约为 5 kΩ，与接地点之间的总电容为 2 pF。假设字线由输出电压为 V_{DD} 的低阻反相器激励，试确定字线电压上升至 $V_{DD}/2$ 时所需的时间（注意：字线可以看做分布网络，我们可以将其近似简化为一个由单个电阻和单个电容组成的集总电路）。

答案：6.9 ns

11.4 随机存储器（RAM）单元

如 11.3 节所述，存储器芯片主要由存储单元构成。这就意味着，若要求将大量位数据存储在单个存储芯片上，存储单元的体积需要尽可能地减小。同时，单个存储单元的功率耗费也应该尽可能地降低。由此，我们在 11.1 节介绍的许多触发器对于实现 RAM 芯片中的存储单元而言，显得过于复杂而不再适用了。

MOS RAM 基本分为两类：静态和动态。静态 RAM（简记为 SRAM）使用静态触发器作为基本的存储单元；而动态 RAM（简记为 DRAM）则将其二进制数据存储于电容上，从而进一步减少了存储单元的体积，但为此付出的代价是具有更为复杂的读写电路。具体来说，只要保持电源持续供电，静态 RAM 可以一直保持其所存储的数据；而动态 RAM 需要进行周期性刷新来重新生成存储于电容上的数据。这是因为存在着不可避免的泄漏电流，造成存储电容缓慢放电。由于动态存储芯片的存储单元体积较小，其存储密度通常可以达到静态存储芯片的 4 倍。事实上，动态 RAM 和静态 RAM 均为易失性存储器，即它们需要持续的电源维持工作。相反，大部分 ROM 都属于非易失性存储器，我们将在 11.6 节具体介绍。在下面几节里，我们将介绍基本 SRAM 和 DRAM 的存储单元。

11.4.1 静态存储器单元

图 11.18 所示为一个典型的 CMOS 工艺制作的静态存储单元。之前我们曾在 11.1 节述及该电路，该电路是一个由两个交叉耦合的反相器和两个存取晶体管（Q_5 和 Q_6）组成的触发器。当该字线被选中且其电压上升至 V_{DD} 时，存取晶体管导通，同时将触发器连接至列线（位线或 B 线）以及反相的$\overline{列线}$（$\overline{位}$ 线或 $\overline{B}$ 线）。注意，B 线和 $\overline{B}$ 线均被使用。存取晶体管作为传输门允许触发器和 B 线及 $\overline{B}$ 线之间的双向电流传输。

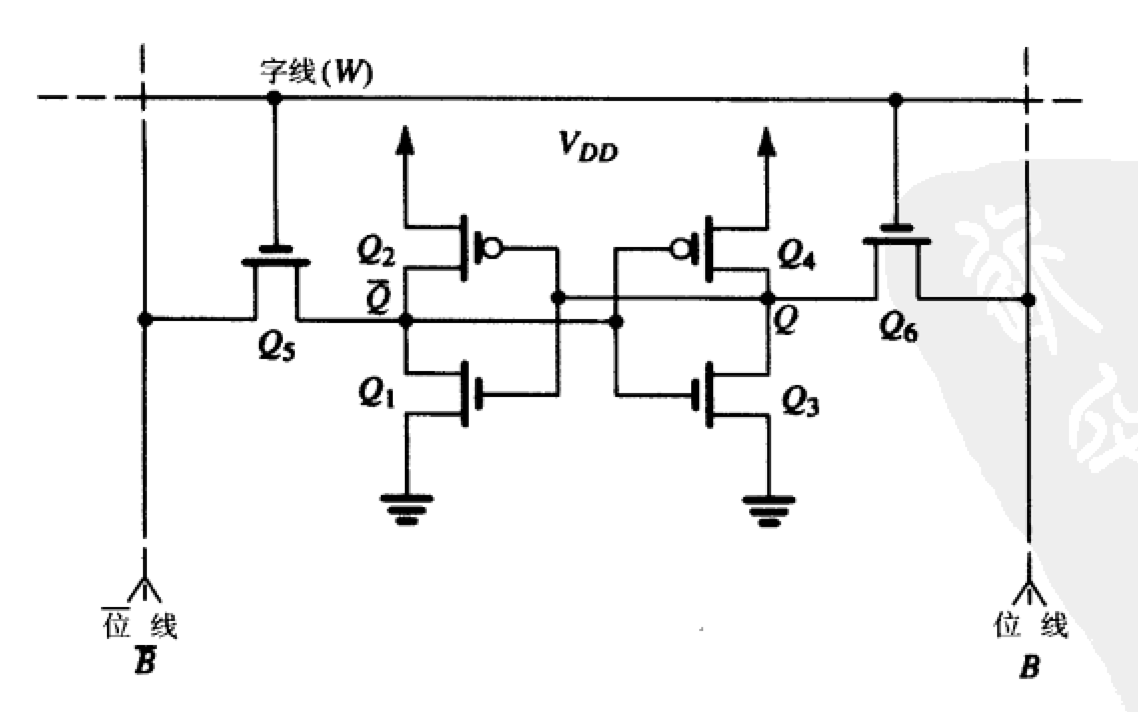


图 11.18 一个 CMOS 工艺制作的静态存储单元

读操作　首先考虑读操作，假设存储单元的存储数据为 1。此时，Q 为高电平 V_{DD}，而 $\overline{Q}$ 为低电平 0 V。在读操作开始之前，B 线和 $\overline{B}$ 线会被预充电至一个处于高、低电平之间的中间电压，一般为 $V_{DD}/2$（预充电实现电路将在 11.5 节和感应放大器一起介绍）。当该字线被选中并且 Q_5 和 Q_6 导通时，我们可以看到电流将从 V_{DD} 经过 Q_4 和 Q_6 到达 B 线，从而给 B 线上的电容 C_B 充电。而在电路的另一侧，电流将从被预充电的 $\overline{B}$ 线经 Q_5 和 Q_1 到达接地点，从而使电容 $C_{\overline{B}}$ 放电。在读操作中与之相关的部分电路在图 11.19 中给出。

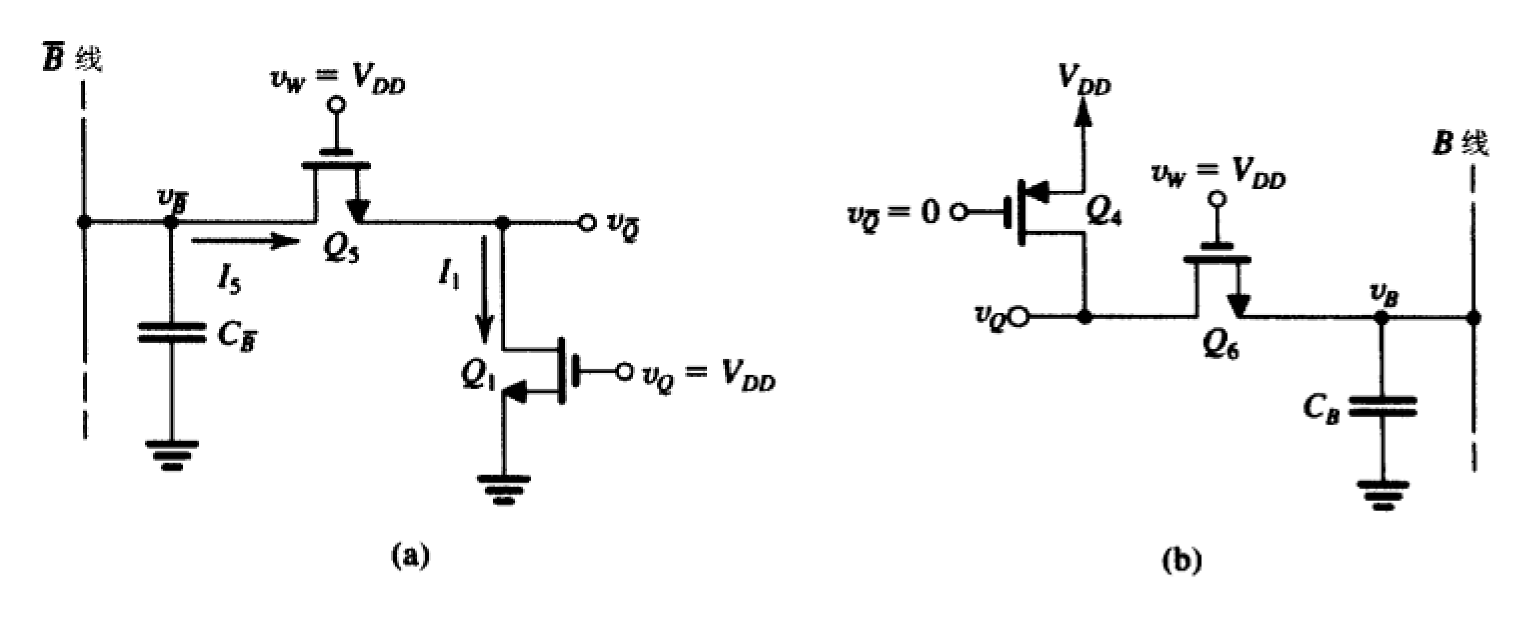


图 11.19　与读操作过程中相关的部分 SRAM 存储单元电路（假设存储单元的存储数据为 1）。注意，初始时 $v_Q = V_{DD}$，$v_{\overline{Q}} = 0$，且通常情况下 B 线和 $\overline{B}$ 线的电压会被预充电至 $V_{DD}/2$ 左右。然而，在例题 11.2 中，为简单起见，假设预充电电压为 V_{DD}

由上所述，我们可以发现当读取数据“1”时，电容 C_B 两端的电压将会升高，而电容 $C_{\overline{B}}$ 两端的电压将会降低，由此在 B 线和 $\overline{B}$ 线之间生成差分电压 $v_{B\overline{B}}$。通常，只需 0.2 V 左右的差分电压就足以使感应放大器检测出存储单元中存储的 1。这里需要注意的是，在设计存储单元的过程中要保证 v_Q 和 $v_{\overline{Q}}$ 足够小，以防触发器在数据读出的过程中发生状态翻转。因此，SRAM 的读操作是非破坏性的。在典型的设计中，每个反相器的 Q_N 和 Q_P 都是匹配的，因而反相器门限电压为 $V_{DD}/2$。而存取晶体管通常采用宽度为反相器 Q_N 宽度的 2～3 倍的晶体管。

例题 11.2　此例的主要目的在于分析如图 11.18 所示的 CMOS SRAM 存储单元的动态工作过程。假设该存储单元的制造工艺参数如下：$\mu_n C_{ox} = 50\ \mu A/V^2$，$\mu_p C_{ox} = 20\ \mu A/V^2$，$V_{tn0} = -V_{tp0} = 1$ V，$2\phi_f = 0.6$ V，$\gamma = 0.5\ V^{1/2}$ 并且 $V_{DD} = 5$ V。存储器单元晶体管 $(W/L)_n = 4/2$，$(W/L)_p = 10/2$，而存取晶体管 $(W/L) = 10/2$。同时假设该存储单元储存数据 1，而每条位线的电容为 1 pF，试确定生成 0.2 V 输出电压所需的时间。为简化分析，我们假设 B 线和 $\overline{B}$ 线被预充电至 V_{DD}。

解： 起初我们可能会认为该电路的动态分析相当复杂，因而需要做许多假设以便简化分析过程。当然，我们总是可以通过仿真模拟得到该电路的精确分析。然而，即使只是利用纸和笔进行一种近似的分析过程，也对我们理解该电路颇有益处。

如图 11.19 所示，初始时 $v_Q = V_{DD}$，$v_{\overline{Q}} = 0$，$v_B = v_{\overline{B}} = V_{DD}$。很容易得到图 11.19（b）所示的电路不会导通的结果，因此 v_B 保持为 V_{DD} 不变。然后再分析图 11.19（a）所示电路，我们注意到，由于在数据读出的过程中 $v_{\overline{B}}$ 只需变化了 0.2 V（例如从 5 V 下降到 4.8 V），所以晶体管 Q_5 将持续工作在饱和区，这样电容 $C_{\overline{B}}$ 将以恒定电流 I_5 放电。当晶体管 Q_1 导通时，其漏极电压 $v_{\overline{Q}}$ 会上升。然而，我们希望该上升不能超过反相器（Q_3, Q_4）的门限电压，由于两个反相器的 p 型和 n 型晶体管相互匹配，此处的门限电压为 $V_{DD}/2$。在一个短暂的时间间隔内，I_5 将对节点 $\overline{Q}$ 和接地点之

间的小寄生电容进行充电，直到达到电压 $v_{\bar{Q}}$，该电压足以使晶体管 Q_1 工作于变阻区且导通电流 I_1 等于 I_5。导通电流 I_1 可表示为

$$I_1 = \mu_n C_{ox}\left(\frac{W}{L}\right)_1\left[(V_{DD}-V_{t1})v_{\bar{Q}}-\frac{1}{2}v_{\bar{Q}}^2\right]$$

其中，我们假设 v_Q 将保持为 V_{DD}。由于 Q_1 的源极接地，$V_{t1}=1$ V，故

$$I_1 = 50\times\frac{4}{2}\left[(5-1)v_{\bar{Q}}-\frac{1}{2}v_{\bar{Q}}^2\right] \tag{11.3}$$

分析晶体管 Q_5 可得到

$$I_5=\frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_5(V_{DD}-v_{\bar{Q}}-V_{t5})^2$$

其中门限电压 V_{t5} 可由下式得到：

$$V_{t5}=1+0.5(\sqrt{v_{\bar{Q}}+0.6}-\sqrt{0.6}) \tag{11.4}$$

由于 $v_{\bar{Q}}$ 的值未知，因此需要通过迭代来求解。对于第一次迭代，我们假设 $V_{t5}=1$ V，则 I_5 可表示为

$$I_5=\frac{1}{2}\times 50\times\frac{10}{2}(5-v_{\bar{Q}}-1)^2 \tag{11.5}$$

现在令式（11.3）中的 I_1 等于式（11.5）中的 I_5 求解 $v_{\bar{Q}}$，得 $v_{\bar{Q}}=1.86$ V。然后用求得的 $v_{\bar{Q}}$ 代入式（11.4）进行二次迭代以确定 V_{t5}。得到 $V_{t5}=1.4$ V。该值随即被代入 I_5 的表达式，再次迭代，得到结果为 $v_{\bar{Q}}=1.6$ V。该数值与前次迭代结果很接近，因此无需进一步迭代。此时可以确定电流 I_5 的数值为 $I_5=0.5$ mA。我们注意到 $v_{\bar{Q}}$ 确实小于 $V_{DD}/2$，因而不会造成触发器的状态翻转（满足条件）。事实上，该反相器的 V_{IL} 为 2.125 V，因此对于 v_Q 保持 V_{DD} 恒定的假设成立，尽管事实上 v_Q 存在小幅波动，但是在此处做近似分析时我们就不再深入讨论了。

现在我们可以确定 $\bar{B}$ 线上出现 0.2 V 压降时所需要的时间间隔，其表达式为

$$\Delta t=\frac{C_{\bar{B}}\Delta V}{I_5}$$

故

$$\Delta t=\frac{1\times10^{-12}\times0.2}{0.5\times10^{-3}}=0.4\ \text{ns}$$

需要指出的是 Δt 仅仅是构成读操作延迟的一部分，另一个重要的组成部分是由于字线电压的有限上升时间造成的。事实上，对于 Δt 的计算也是理想化的，因为当 $C_{\bar{B}}$ 开始放电过程时字线电压尚未达到电压值 V_{DD}。

另一个更为近似（但也更快速）的求解方法是从图 11.19（a）观察得到 Q_1 和 Q_5 具有相同的栅极电压（V_{DD}）且为串行连接结构。我们可以将其近似看做一个单独的晶体管，其 W/L 值为

$$(W/L)_{eq}=\frac{1}{\dfrac{1}{(W/L)_1}+\dfrac{1}{(W/L)_5}}=\frac{1}{\dfrac{2}{4}+\dfrac{2}{10}}=\frac{10}{7}$$

等效晶体管将工作于饱和区，因此其电流 I 为

$$I=\frac{1}{2}\times 50\times\frac{10}{7}(5-1)^2=0.57\text{ mA}$$

该数值仅比先前得到的数值大了 14%。$v_{\bar{Q}}$ 的电压值可以通过将电流 I 的数值和晶体管 Q_1（工作于变阻区）的 r_{DS} 电阻近似值相乘求得：

$$r_{DS}=1/[50\times 10^{-6}\times\frac{4}{2}\times(5-1)]=2.5\text{ k}\Omega$$

故

$$v_{\bar{Q}}=0.57\times 2.5=1.4\text{ V}$$

该结果同样与先前求得的数值相当接近。■

写操作　接下来考虑写操作。假设存储单元初始时存储数据 1（$v_Q=V_{DD}$，$v_{\bar{Q}}=0$），而我们希望写入数据 0。为此，B 线电压降低至 0 V，而 $\bar{B}$ 线电压上升至 V_{DD}，同时提升字线电压至 V_{DD} 以选中该存储单元。图 11.20 所示为写操作相关部分的电路，在此期间，节点 $\bar{Q}$ 的电压被拉升至门限电压 $V_{DD}/2$［见图 11.20（a）］，而节点 Q 的电压则被拉低至 $V_{DD}/2$［见图 11.20（b）］。电容 C_Q 和 $C_{\bar{Q}}$ 分别是节点 Q 和 $\bar{Q}$ 的寄生电容。我们可以通过对两个电路的近似分析来确定状态翻转所需要的时间。注意，当 v_Q 或 $v_{\bar{Q}}$ 中任何一个达到 $V_{DD}/2$ 时，都将会出现再生反馈机制，从而导致触发器翻转。一旦发生这种情况，正反馈效应会起主导作用，图 11.20 所示的电路将不再适用。

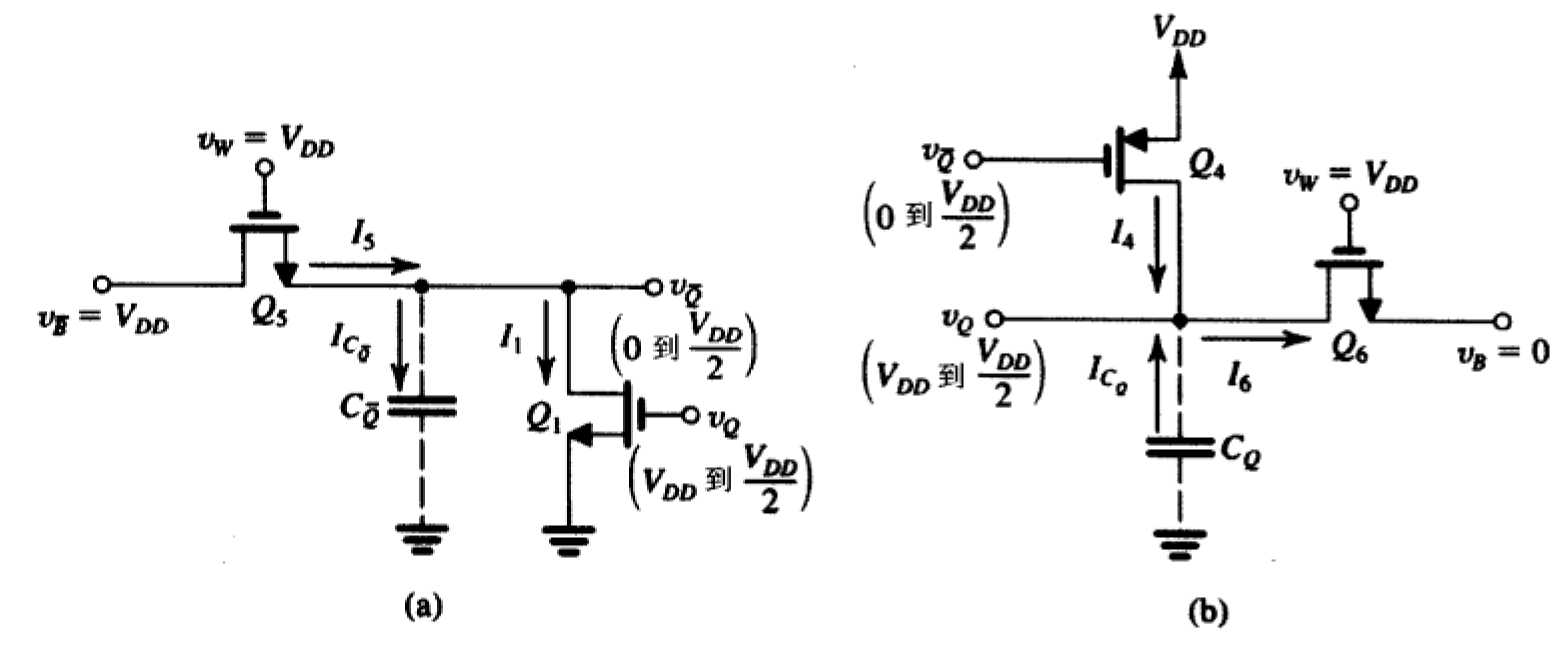


图 11.20　SRAM 读操作的相关部分电路。初始时，SRAM 存储数据 1 而数据 0 待写入。该等效电路在翻转过程发生前有效：（a）该电路将节点 $\bar{Q}$ 的电压拉升至 $V_{DD}/2$；（b）该电路将节点 Q 的电压拉低至 $V_{DD}/2$

这里我们将简要说明图 11.20 所示电路的工作原理，具体的分析留给读者在练习 11.9 以及习题 11.23 和习题 11.24 中完成。首先考虑图 11.20（a）所示电路，其中 Q_5 将工作于饱和区。初始时，其源极电压为零，因此 V_t 等于 V_{t0}。同时，Q_1 由于其漏极电压为零，因此处于关断状态。电流 I_5 初始时将流入 $C_{\bar{Q}}$，对其进行充电，从而使 $v_{\bar{Q}}$ 逐渐上升，导致 Q_1 导通。此时 Q_1 将工作于变阻区，其导通电流 I_1 将分流部分 I_5，因此减小了 $C_{\bar{Q}}$ 的充电电流。同时，随着 $v_{\bar{Q}}$ 逐步上升，由于衬底效应的存在，V_{t5} 将逐步增大而导致 I_5 减小。另一方面由于图 11.20（b）所示电路的作用，v_Q 将由 V_{DD} 下降至 $V_{DD}/2$，因而造成电流 I_1 的相应减小。尽管情况较为复杂，然而我们仍能比较容

易地得到充电电流 $I_{C_{\bar{Q}}}$ 在写操作过程[①]中（起始状态：$v_Q = V_{DD}$，$v_{\bar{Q}} = 0$；终止状态：$v_Q = V_{DD}/2$，$v_{\bar{Q}} = V_{DD}/2$）的近似平均值，因此我们可以用该电流值计算 $C_{\bar{Q}}$ 两端电压上升 $V_{DD}/2$ 时所需要的时间。

图 11.20（b）所示电路与上述电路工作原理基本相同，不同之处在于该电路中两个晶体管均不受到衬底效应的影响，因此该电路能够提供电容 C_Q，与图 11.20（a）所示电路给予 $C_{\bar{Q}}$ 的充电电流相比能够给 C_Q 提供更大的放电电流。其结果是 C_Q 的放电过程比 $C_{\bar{Q}}$ 的充电过程更快。换言之，v_Q 将早于 $v_{\bar{Q}}$ 达到电压值 $V_{DD}/2$。由此可得，该部分的写操作延迟时间的估算只需考虑图 11.20（b）所示电路的工作时间。

写操作的另一部分延迟主要是由触发器的翻转决定的，我们可以将其近似为单个反相器翻转的延迟时间。

练习 11.9 考虑如图 11.20(b)所示的电路，并假设其设备尺寸和制造工艺参数与例题 11.2 相同。试确定电容 C_Q，从而使其端电压从 V_{DD} 降至 $V_{DD}/2$ 所需的放电时间 Δt。

（a）在 Δt 的始端，试分别确定 I_4，I_6 和 I_{C_Q} 的值。

（b）在 Δt 的末端，试分别确定 I_4，I_6 和 I_{C_Q} 的值。

（c）试估算在 Δt 过程中 I_{C_Q} 的平均值。

（d）若 $C_Q = 50$ fF，试估算 Δt。

答案：（a）$I_4 = 0, I_6 = 2$ mA, $I_{C_Q} = 2$ mA；（b）$I_4 = 0.11$ mA, $I_6 = 1.72$ mA, $I_{C_Q} = 1.61$ mA；（c）$I_{C_Q}|_{av} = 1.8$ mA；（d）$\Delta t = 69.4$ ps

由练习 11.9 的结果可知，该部分的写操作延迟要远小于相应部分的读操作延迟。这是因为在读操作过程中仅需对较小的电容 C_Q 进行充电（或放电），而在读操作过程中需要对远大于 C_Q 的 B 线或者 $\bar{B}$ 线电容进行充电（或放电）。事实上，在写操作过程中，B 线和 $\bar{B}$ 线电容的充电（或放电）是由驱动电路迅速完成的，因此写操作的主要延迟时间取决于字线电压的有限上升时间所造成的延迟。

11.4.2 动态存储器单元

很多年以来，一直有不同的 DRAM 存储单元结构被提出，但惟独图 11.21 所示的特定存储单元结构被广泛采用并成为行业标准。该存储单元由一个 n 沟道 MOS 管（也称为存取晶体管）和一个存储电容 C_S 组成，因此该存储单元又被称为单一晶体管存储单元[②]。晶体管的栅极与字线相连，而其源极（或漏极）与位线相连。注意，DRAM 结构中仅需使用一条位线，而 SRAM 结构中需要同时使用位线和 $\overline{\text{位}}$线。

DRAM 存储单元将其位信息转化为电荷存储于电容 C_S 上。当单元存储数据 1 时，电容将被充电至电压($V_{DD} - V_t$)；当单元存储数据 0 时，电容将被放电至零电压[③]。由于泄漏电流的存在，电容电荷将会不断流失，因而该存储单元必须周期性地刷新。在刷新的过程中，存储单元的数据被读出并重新写入，从而使其电容电压恢复到适当的幅值。刷新操作必须每 5 ms 至 10 ms 执行一次。

① 上述情况基于 v_Q 和 $v_{\bar{Q}}$ 同时到达电压值 $V_{DD}/2$ 的假设。而我们稍后将讲到这并不完全符合事实。尽管如此，在近似估算写操作延迟时间的过程中，该假设仍具有一定的合理性。

② 该名称原本是用来区分该存储单元与早先使用的三个晶体管的存储单元的。

③ 之所以把数值“1”的电压值存储为 V_{DD} 减去门限电压 V_t 的原因在于：考虑写入数值“1”的操作。此时，字线电压为 V_{DD}，位线电压为 V_{DD}，晶体管导通，对 C_S 进行充电。而考虑衬底效应 V_t 要略大于 V_{t0}，因此晶体管将在 C_S 电压达到（$V_{DD} - V_t$）时关断。之前，我们已经在 10.5 节讨论传输逻辑时详细分析过此类情况。

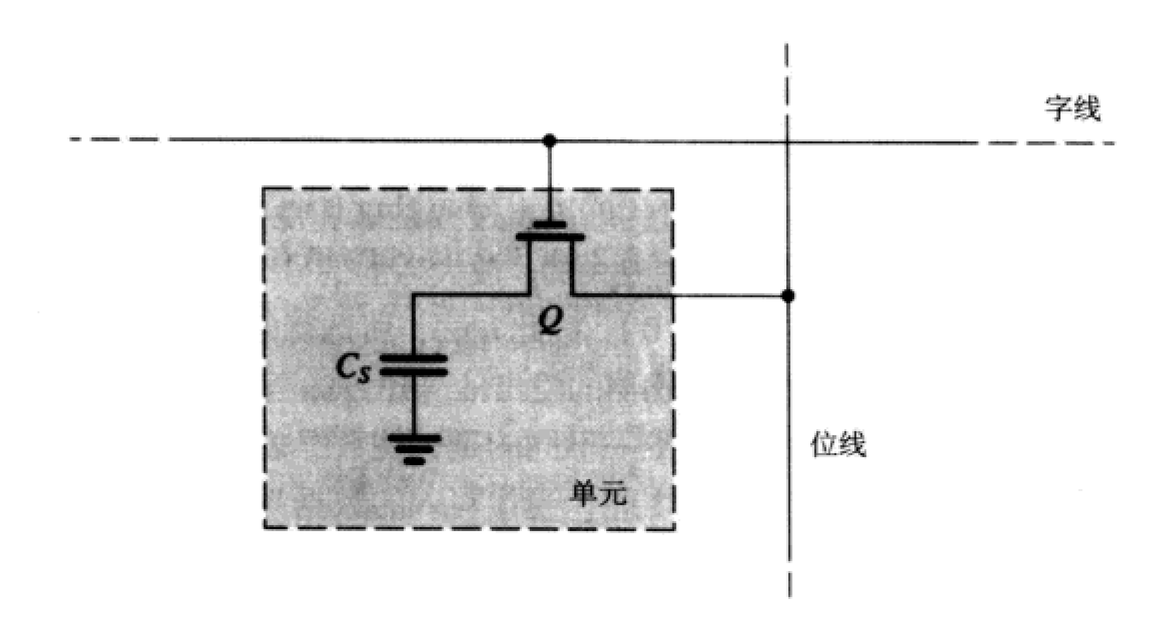


图 11.21　单一晶体管的动态 RAM 存储单元

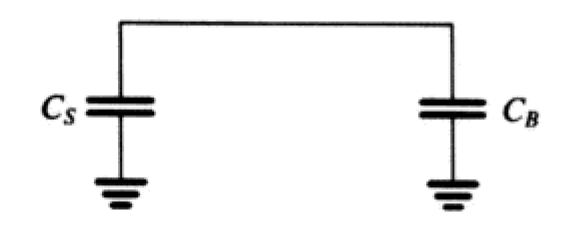


图 11.22　当被选中字线的电压上升时，晶体管导通，从而使存储电容 C_S 和位线电容 C_B 连通

现在让我们来具体讨论一下 DRAM 的工作原理。与静态 RAM 一样，行解码器通过提升字线电压来选中特定的行进行操作。这将使得选定行的所有存取晶体管导通，从而使得该行所有单元的存储电容与其相应的位线连通。此时，单元电容 C_S 与位线电容 C_B 并联，如图 11.22 所示。要注意的是，这里的 C_S 一般为 30 fF 至 50 fF，而 C_B 是其容量的 30~50 倍。现在，考虑读操作，位线被预充电至电压值 $V_{DD}/2$。为了考察在连通存储单元电容 C_S 后位线上电压的变化，假设存储单元电容的初始电压为 V_{CS}（当存储数据 1 时，$V_{CS} = V_{DD} - V_t$；当存储数据 0 时，$V_{CS} = 0$ V）。考虑到电荷守恒，得到

$$C_S V_{CS} + C_B \frac{V_{DD}}{2} = (C_B + C_S)\left(\frac{V_{DD}}{2} + \Delta V\right)$$

从中可以解得 ΔV 为

$$\Delta V = \frac{C_S}{C_B + C_S}\left(V_{CS} - \frac{V_{DD}}{2}\right) \tag{11.6}$$

由于 $C_B \gg C_S$，故

$$\Delta V \simeq \frac{C_S}{C_B}\left(V_{CS} - \frac{V_{DD}}{2}\right) \tag{11.7}$$

若该单元存储数据 1，$V_{CS} = V_{DD} - V_t$，则

$$\Delta V(1) \simeq \frac{C_S}{C_B}\left(\frac{V_{DD}}{2} - V_t\right) \tag{11.8}$$

若该单元存储数据 0，$V_{CS} = 0$，则

$$\Delta V(0) \simeq -\frac{C_S}{C_B}\left(\frac{V_{DD}}{2}\right) \tag{11.9}$$

由于 C_B 通常比 C_S 大很多，因此读出电压一般很小。举例来说，假设 $C_B = 30\,C_S$，$V_{DD} = 5$ V，$V_t = 1.5$ V，则得到 $\Delta V(0)$ 约为−83 mV 并且 $\Delta V(1)$ 约为 33 mV。上述计算基于最好情况的假设，因为

存储数据 1 时存储电容的电压很有可能达不到 $(V_{DD}-V_t)$。除此以外，在现代存储器芯片中采用的 V_{DD} 一般为 3.3 V 或者更低。但无论如何还是可以看到，存储单元存储数据 1 时将造成位线电压的小幅上升，而存储单元存储数据 0 时将造成位线电压的小幅下降。同时应注意，由于读出过程后 C_S 的端电压已经不再是 $(V_{DD}-V_t)$ 或 0 V，因此该读出过程是破坏性的。

位线电压的变化是由列感应放大器检测和放大的。放大后的信号又被施加在存储电容上，从而将其存储信号恢复到适当的数值（$V_{DD}-V_t$ 或 0）。按此方法，所选行的所有存储单元均被刷新。同时，经列地址解码器解码，被选中列的感应传感器的输出信号被传输至存储芯片的数据输出总线上。

写操作的工作原理与读操作基本相同。惟一不同的是，在数据输入总线上作用的待写入的数据是由列解码器施加到所选定的位线上的。因此，当代写入的数据为 1 时，B 线电压将被提升至 V_{DD}（即将 C_B 充电至 V_{DD}）。当特定存储单元的存取晶体管导通时，其存储电容 C_S 将被充电至 $V_{DD}-V_t$，从而将数据 1 被写入存储单元。与此同时，所选行的所有其他存储单元均被刷新。

尽管读操作和写操作都将使所选行的所有存储单元自动刷新，但特定的存储芯片规定，必须每隔 5 ms 至 10 ms 对存储器芯片里的所有存储单元进行周期性的刷新。该刷新操作是以一次一行的猝发模式实现的。在刷新的过程中，存储芯片将无法实现读写操作。然而，这并不是一个严重的问题。事实上，完全刷新整个存储芯片所需的时间一般仅为整个刷新周期时间的 2%。换而言之，在大于 98%的时间里，我们可以对该存储芯片进行正常的读写操作。

练习 11.10 考虑一块动态存储器芯片，$C_S=30$ fF，$C_B=1$ pF，$V_{DD}=5$ V，V_t（包括衬底效应）= 1.5 V，试求存储 1 和存储 0 时输出端的读出电压。注意，在读操作中，位线的预充电电压为 $V_{DD}/2$。

答案：30 mV；–75 mV

练习 11.11 一块 64 Mb 的 DRAM 芯片由 0.4 μm 的 CMOS 工艺制造，每个单元的面积为 2 μm^2。如果存储阵列是正方形的，试估算其尺寸。另外，如果外围电路（如读放大器、译码器等）占用了另外 30%的芯片面积，估算芯片的尺寸。

答案：11.6 mm × 11.6 mm；13.2 mm × 13.2 mm

11.5 读放大器与地址译码器

上面我们介绍了组成 SRAM 和 DRAM 中存储单元的常用电路，现在来看存储器芯片中其他一些重要的电路模块。这些电路通常被称为存储器外围电路。对集成电路设计人员来说，设计这些电路既是挑战也是机遇。增强外围电路的性能意味着可以得到密度更高、速度更快的存储器芯片，同时还可以减少功耗。

11.5.1 读放大器

除了存储单元之外，读放大器是存储器芯片中最为重要的部分。读放大器对 DRAM 的正常工作起着重要作用，而在 SRAM 中使用读放大器则可以提升速度和减小面积。

实际使用的读放大器有很多种，其中一些与第 7 章中介绍的有源负载 MOS 差分放大器类似。这里，我们来看一个使用正反馈的差分放大器。由于电路是差分的，因此可以直接在 SRAM 中使用，因为 SRAM 单元同时使用了 B 和 $\bar{B}$ 线。另一方面，11.4.2 节中讨论的单管 DRAM 电路只使用了一条位线，属于单端输出电路。但是，可以使用“虚设单元”工艺（稍后介绍）将 DRAM 电路模拟成一个差分信号源。因此，我们可以认为，需要放大输出的存储器单元在 B 和 $\bar{B}$ 线之间建立了一个差分输出电压。根据存储器类型和单元结构的不同，该电压介于 30 mV 和 500 mV 之间。这个电压施加到读放大器的输入端，然后读放大器在输出端生成一个全摆幅（0 到 V_{DD}）的信号

电压。我们将要讨论的放大器电路具有一个独特的性质：它的输入与输出端是相同的！

一个正反馈读放大器　图 11.23 所示是一块 RAM 芯片中的读放大器和一些列电路。注意，读放大器就是我们熟悉的锁存器，由两个交叉耦合的 CMOS 反相器组成：Q_1 和 Q_2 组成一个反相器，另一个则由 Q_3 和 Q_4 组成。Q_5 和 Q_6 用做开关，仅当需要进行数据读操作时才会将读放大器与地或 V_{DD} 相连。其他时刻 ϕ_s 为低电平，读放大器关闭。通常，每一列有一个读放大器，因此整个芯片就有许多个读放大器。这样做可以减少耗电，这是很重要的一个考虑因素。同时，可以看到 x 和 y 端同时是放大器的输入与输出端。如图所示，这些 I/O 端口与 B 和 $\bar{B}$ 线连接。放大器需要检测到出现在 B 和 $\bar{B}$ 之间的微弱信号并将其放大，最终能够在 B 和 $\bar{B}$ 之间提供一个全摆幅的信号。例如，当进行读操作时，单元内存储的是 1，一个微小的正电压会出现在 B 和 $\bar{B}$ 之间，即有 v_B 高于 $v_{\bar{B}}$。然后放大器使得 v_B 升高为 V_{DD}，$v_{\bar{B}}$ 降低到 0 V。这个 1 输出通过列地址译码器（图中未画出）直接传递到芯片的 I/O 管脚上，同时利用这个信号在 DRAM 单元中重新写入 1。这个复位操作是必须的，因为 DRAM 的读出操作具有破坏性。

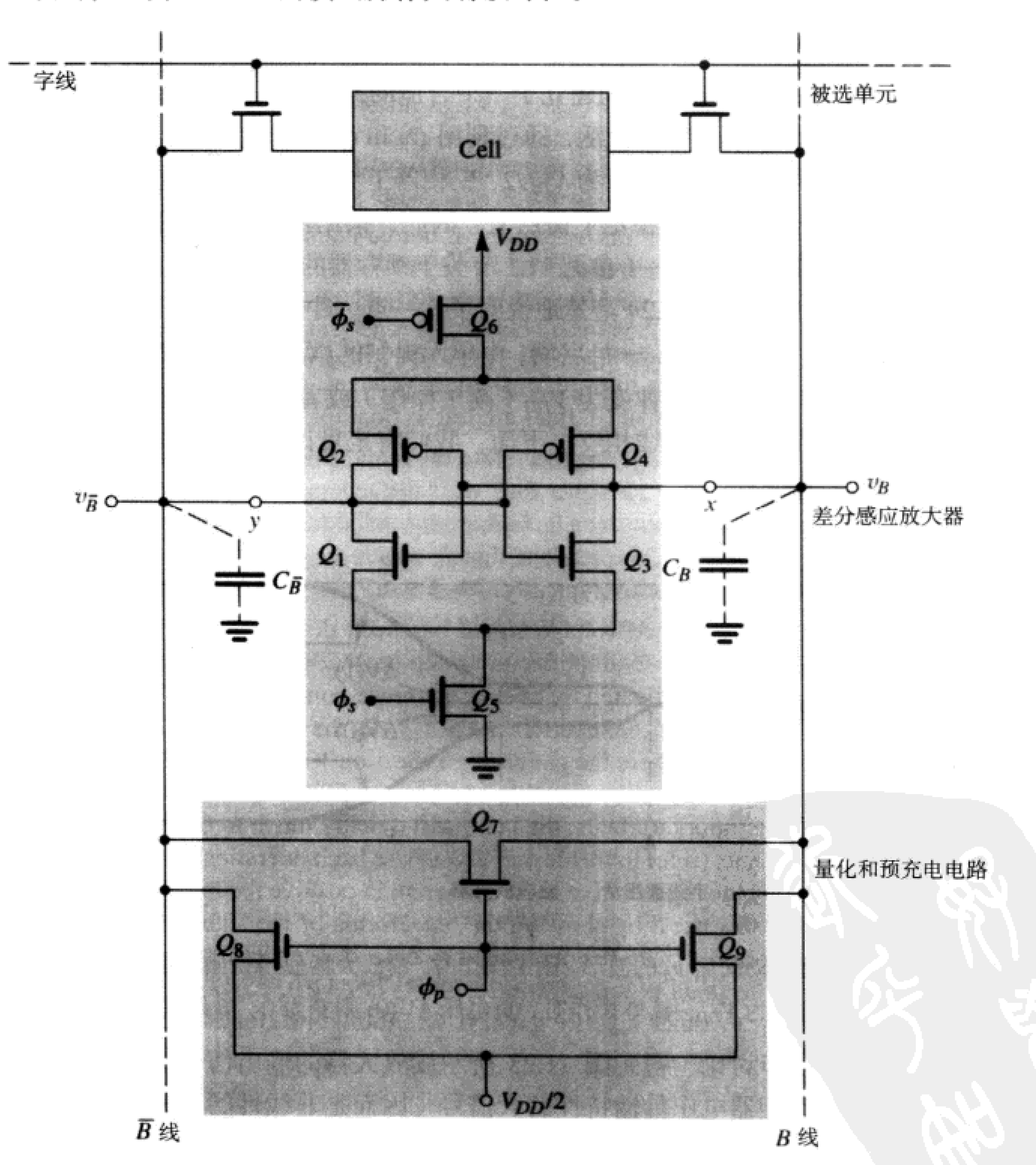


图 11.23　连接到某一列位线的差分读放大器。这种电路结构可以在 SRAM（同时使用 B 和 $\bar{B}$ 线）中直接使用。DRAM 则可以利用图 11.25 中的“虚设单元”结构转化为这种差分形式

图 11.23 同时给出了预充电和平衡电路。这个电路的工作方式很简单：当ϕ_p在读操作之前升高时，三个晶体管全部导通。Q_8和Q_9将$\overline{B}$线和B线预充电至$V_{DD}/2$，Q_7则通过使这两条线的初始电压相等来加速这一过程。这一平衡过程对读放大器的正常工作来说十分重要。B和$\overline{B}$在读操作之前的任何电压差别都可能导致读放大器对输入信号的错误识别。在图 11.23 中，我们仅仅画出了某一列中的一个单元。也就是说，仅仅给出了字线被选中的那个单元。这个单元可以是 SRAM，也可以是 DRAM 单元。这一列中的其他单元不与B线和$\overline{B}$线相连（因为它们的字线保持为低电平）。

现在我们来看一个读操作中发生的一系列事件：

1. 控制信号ϕ_p升高，激活预充电和平衡电路。这会导致B线和$\overline{B}$线的电压相等，均为$V_{DD}/2$。然后时钟ϕ_p变低，B线和$\overline{B}$线在一段很短的时间内浮空。
2. 字线电压升高，将某单元与B线和$\overline{B}$线相连。B线和$\overline{B}$线之间出现一个电压，当存储单元存储的是 1 时v_B高于$v_{\overline{B}}$，当存储的是 0 时v_B低于$v_{\overline{B}}$。为了简化单元的设计并加快高速操作，由存储单元提供的在B线和$\overline{B}$线之间的读出电压一般很小（典型值为 30 ~ 500 mV）。
3. 一旦存储单元在B线和$\overline{B}$线之间建立了一个合适的差分电压信号，读放大器开始工作。这一过程由读控制信号ϕ_s的升高激活，通过利用Q_5和Q_6将读放大器与地和V_{DD}相连来完成。由于开始时反相器的输入端电压为$V_{DD}/2$，反相器工作在传输区，增益较大（参见 10.2 节）。于是起始时锁存器工作在不稳定平衡点上。因此，根据输入端之间的信号，锁存器会很快转移到其两个稳定平衡点之一（参见 11.1 节关于锁存器的工作描述）。这一过程由再生实现，即存在正反馈的作用。图 11.24 清楚地说明了这一点。图中同时给出了读 1 和读 0 操作时位线上的信号波形。可以看到，一旦启动，由单元提供的微小初始电压差$\Delta V(1)$或者$\Delta V(0)$在读放大器作用下将按指数规律变为V_{DD}（读 1 操作）或者 0（读 0 操作）。$\overline{B}$线上的信号波形应与图 11.24 中给出的B线相反。下面，我们将定量讨论v_B和$v_{\overline{B}}$的指数变化过程。

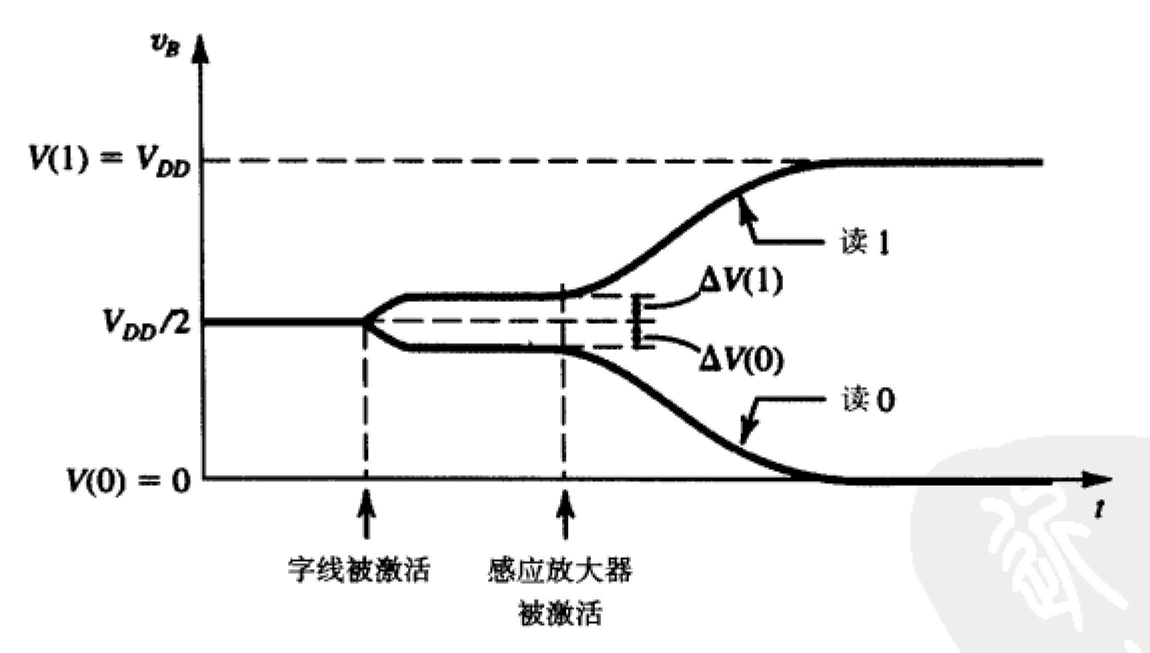


图 11.24 读放大器启动前后v_B的波形。读 1 操作时，读放大器使得初始微小正电压$\Delta V(1)$按指数规律变为V_{DD}。读 0 操作时，负电压$\Delta V(0)$则变为 0。$\overline{B}$线上的信号波形相反

读放大器工作的进一步讨论 得到图 11.23 所示读放大器的输出信号的精确表达式的过程极其复杂。其中需要利用反相器电压传输特性的大信号（因而是非线性的）模型，还要考虑正反馈的作用。这里我们不采用这种方法，而是利用半定量的方式来考察这一过程。

我们知道，当读放大器启动时，其两个反相器都工作在$V_{DD}/2$的传输区。因此，对于小信号来说，反相器模型可以用g_{mn}和g_{mp}表示。g_{mn}和g_{mp}分别是在输入偏置为$V_{DD}/2$时Q_N和Q_P的跨

导。也就是说，当某一反相器输入端的 $V_{DD}/2$ 电压叠加上一个小信号 v_i 时，反相器输出的电流信号即为 $(g_{mn} + g_{mp})v_i \equiv G_m v_i$。这一输出电流传递给 C_B 和 $C_{\overline{B}}$ 两个电容之一。电容两端形成的电压接着又被反馈给另一个反相器，其与 G_m 相乘形成流向另一个电容的电流，依次类推形成再生过程。环路的正反馈意味着环路中的信号以及 v_B 和 $v_{\overline{B}}$ 的增大或减小都按照指数规律变化（见图 11.24），时间常数为 (C_B / G_m)［或（$C_{\overline{B}}/G_m$），因为上面假定 $C_B = C_{\overline{B}}$］。

因此，对于读 1 操作可得

$$v_B = \frac{V_{DD}}{2} + \Delta V(1)e^{(G_m/C_B)t} \qquad v_B \leqslant V_{DD} \tag{11.10}$$

而对于读 0 操作可得

$$v_B = \frac{V_{DD}}{2} - \Delta V(0)e^{(G_m/C_B)t} \tag{11.11}$$

由于这两个表达式是在假定小信号工作情况下得到的，因此仅在接近 $V_{DD}/2$ 的范围内能够较为准确地描述 v_B 的指数增大（或减小）过程。但是，可以利用它们来合理估计位线上形成某一信号电平所需的时间。

例题 11.3　考虑读 1 操作时图 11.23 所示的读放大器电路。假定存储单元在 B 线上提供的电压增量 $\Delta V(1) = 0.1$ V。如果放大器中 NMOS 晶体管的 $(W/L)_n = 12\ \mu\text{m}/4\ \mu\text{m}$，PMOS 晶体管的 $(W/L)_p = (30\ \mu\text{m} / 4\ \mu\text{m})$。并假定制造工艺的其他参数同例题 11.2。求 v_B 达到 4.5 V 时所需的时间。设 $C_B = 1$ pF。

解： 首先，我们求出跨导 g_{mn} 和 g_{mp}：

$$\begin{aligned} g_{mn} &= \mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{GS} - V_t) \\ &= 50\times\frac{12}{4}(2.5-1) \\ &= 0.225\ \text{mA/V} \end{aligned}$$

$$\begin{aligned} g_{mp} &= \mu_p C_{ox}\left(\frac{W}{L}\right)_p (V_{GS} - |V_t|) \\ &= 20\times\frac{30}{4}(2.5-1) = 0.225\ \text{mA/V} \end{aligned}$$

因此，反相器的 G_m 为

$$G_m = g_{mn} + g_{mp} = 0.45\ \text{mA/V}$$

v_B 指数增长的时间常数 τ 为

$$\tau \equiv \frac{C}{G_m} = \frac{1\times10^{-12}}{0.45\times10^{-3}} = 2.22\ \text{ns}$$

v_B 达到 4.5 V 所需的时间 Δt 可由下式求得：

$$4.5 = 2.5 + 0.1\text{e}^{\Delta t/2.22}$$

即

$$\Delta t = 6.65\ \text{ns}$$

■

在动态 RAM 中模拟差分工作　前述的读放大器能够响应位线间的差分信号。因此，它能够抑制同时出现在位线上的干扰信号，比如因为与字线发生容性耦合产生的干扰。要使这种共模抑制能力有效，必须注意使放大器两侧都匹配，因此要谨慎设计每一侧的信号供给电路。DRAM 单

元实质上为单端输出，要使其表现出差分特性，所有的设计方案都必须考虑到这一点。下面我们讨论其中一个巧妙的方案。尽管这个方案的提出已有很多年（参见本书的第一版，1982 年出版）了，然而现在仍在使用。图 11.25 给出了这一方案。

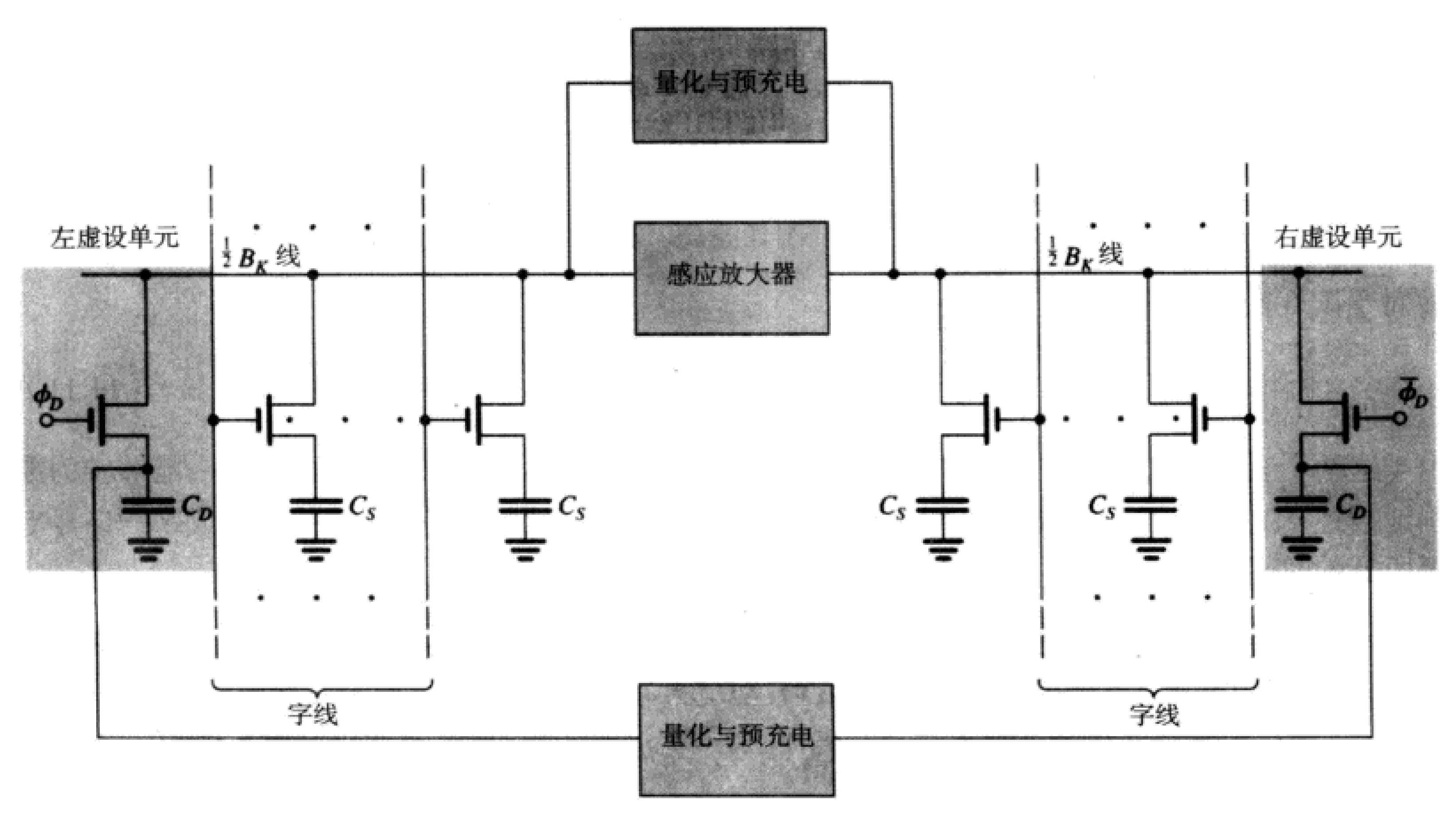


图 11.25 由单端 DRAM 得到具有差分工作性质的电路。注意，位于最左侧和最右侧的虚设单元

简单地说，每个位线都被拆分成完全相同的两半。一半连接到列中一半的单元，另一半则连接到一个被称为虚设单元的额外单元，它有存储电容 $C_D = C_S$。当左侧的字线被选中进行读操作时，右侧的虚设单元（由 $\bar{\phi}_D$ 控制）同时被选中，反之亦然。即当右侧的字线被选中时，左侧的虚设单元（由 ϕ_D 控制）同时也被选中。实际上，虚设单元的作用相当于一个差分 DRAM 单元的另一半。当左半部分的位线工作时，右半部分的位线作为其互补部分出现（即 $\bar{B}$ 线），反之亦然。

图 11.25 所示电路的工作情况如下所述：线的两半预充电至 $V_{DD}/2$ 且保持平衡。同时，两个虚设单元的电容也被充电到 $V_{DD}/2$。接下来，一条字线被选中，另一侧的虚设单元也被激活（ϕ_D 或 $\bar{\phi}_D$ 升高到 V_{DD}）。因此，连接到选中单元的那一半线上会产生一个电压增量（大约为 $V_{DD}/2$）$\Delta V(1)$ 或者 $\Delta V(0)$（对应于单元内存储的是 1 还是 0）。同时另一半线上的电压仍会保持在 C_D 上的电压（即 $V_{DD}/2$）。当读放大器启动时，$\Delta V(1)$ 或者 $\Delta V(0)$ 作为差分信号被其检测到并进行放大。同样，当再生过程结束时，放大器使得该线一半的电压为 V_{DD}，另一半的电压为 0。

练习 11.12 在保持反相器匹配的前提下，要求通过增大晶体管的 g_m 使例题 11.3 中的读放大电路的时间 Δt 下降到 4 ns。n 沟道和 p 沟道器件的 (W/L) 比值将为多大？

答案： $(W/L)_n = 5$；$(W/L)_p = 12.5$

练习 11.13 考虑例题 11.3 中的读放大器，如果单元提供的信号仅为一半大小（即 50 mV），则 Δt 将为多大？

答案： 8.19 ns，增加 23%

11.5.2 行地址译码器

11.3 节中指出，对应于 M 位的地址输入，行地址译码器需要选通 2^M 条字线中的某一条。例

如，考虑 $M=3$ 的情况。将三位地址位记做 A_0，A_1 和 A_2，8 条字线记做 W_0，W_1，…，W_7。通常，当 $A_0=0$，$A_1=0$ 和 $A_2=0$ 时，字线 W_0 为高电平。因此，我们可以将 W_0 表示为 A_0，A_1 和 A_2 的一个布尔函数：

$$W_0 = \overline{A}_0\overline{A}_1\overline{A}_2 = \overline{A_0 + A_1 + A_2}$$

因此，将一个三输入或非门的三个输入端分别与 A_0，A_1 和 A_2 相连，输出端与字线 0 相连，就可以实现对 W_0 的选通。当 $A_0=1$，$A_1=1$ 和 $A_2=0$ 时，字线 W_3 为高电平，故

$$W_3 = A_0A_1\overline{A}_2 = \overline{\overline{A}_0 + \overline{A}_1 + A_2}$$

因此，将一个三输入或非门的三个输入端分别与 $\overline{A}_0$，$\overline{A}_1$ 和 A_2 相连，输出端与字线 3 相连，就可以实现对 W_3 的选通。这样，地址译码器就可以用 8 个三输入或非门实现。每个或非门与各个地址位或其取反位的适当组合相连，对应于输出端连接的字线。

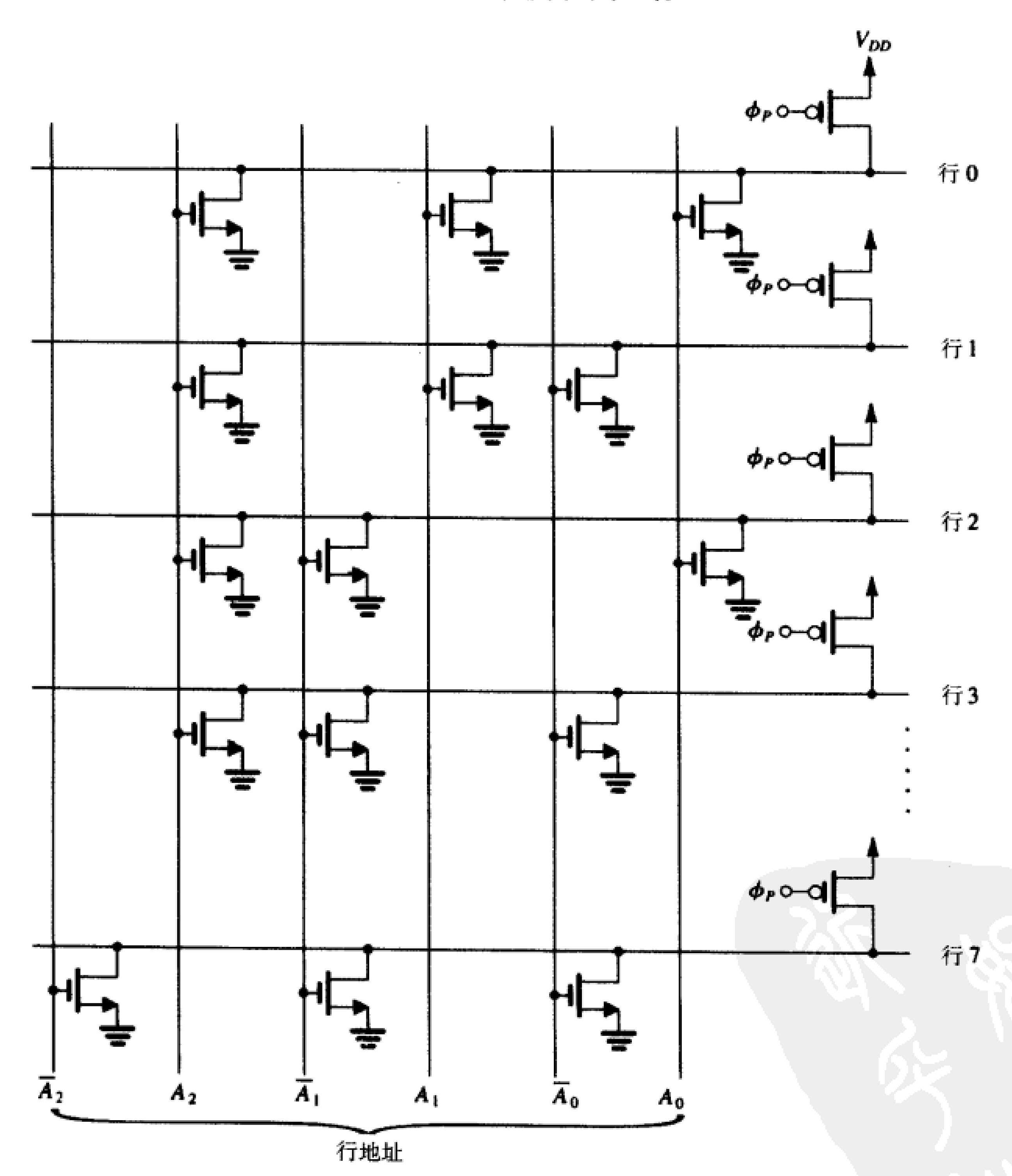


图 11.26　阵列形式的或非门地址译码器。8 条输出线（行线）由三位地址选通

图 11.26 给出了利用矩阵结构实现这些或非逻辑的一种简单方法。图中的电路属于动态电路（参见 10.6 节）。与每一行相连的是一个在进行译码操作之前由预充电控制信号 ϕ_P 激活的 p 沟道器

件。在预充电（ϕ_P 为低电平）时，所有的字线都被拉至高电平 V_{DD}。假定这时没有输入地址位输入且所有输入都为低电平，那么这个电路就没有必要同动态逻辑门一样包含一个检测晶体管了。接下来，当输入地址位及其取反位后，译码操作开始。注意，NMOS 晶体管如图排列，使得未选中的字线进行放电。对于任何输入组合，只有一条字线不会放电，其电压保持高电平 V_{DD}。例如，仅当 $A_0 = 0$，$A_1 = 0$ 和 $A_2 = 0$ 时，第 0 行为高电平。在所有的输入组合中，这是惟一能使与第 0 行相连的三个晶体管同时关断的组合。同样，由于第 3 行有与 $\bar{A}_0$，$\bar{A}_1$ 和 A_2 相连的晶体管，当 $A_0 = 1$，$A_1 = 1$ 和 $A_2 = 0$ 时，第 3 行将为高电平。依次类推。当译码结果稳定后，输出线与阵列的字线连接，这种连接通常通过时钟控制的传输门实现。这种译码器称做或非门译码器。可以看到，由于进行了预充电操作，因此译码电路并不消耗静态功率。

练习 11.14 一个 M 位地址的或非门行译码器需要多少个晶体管？

答案： $M 2^M$ NMOS + 2^M PMOS = $2^M (M+1)$

11.5.3 列地址译码器

根据 11.3 节所述，列译码器需要将 2^N 条位线中的一条与芯片的数据 I/O 线相连。同样，它是一个多路开关，可以用传输晶体管逻辑（参见 10.5 节）实现，如图 11.27 所示。这里，每条位线通过一个 NMOS 晶体管与数据 I/O 线连接。传输晶体管的栅极由 2^N 条线控制。与行地址译码类似，这些线中的某条由一个或非门译码器选通。

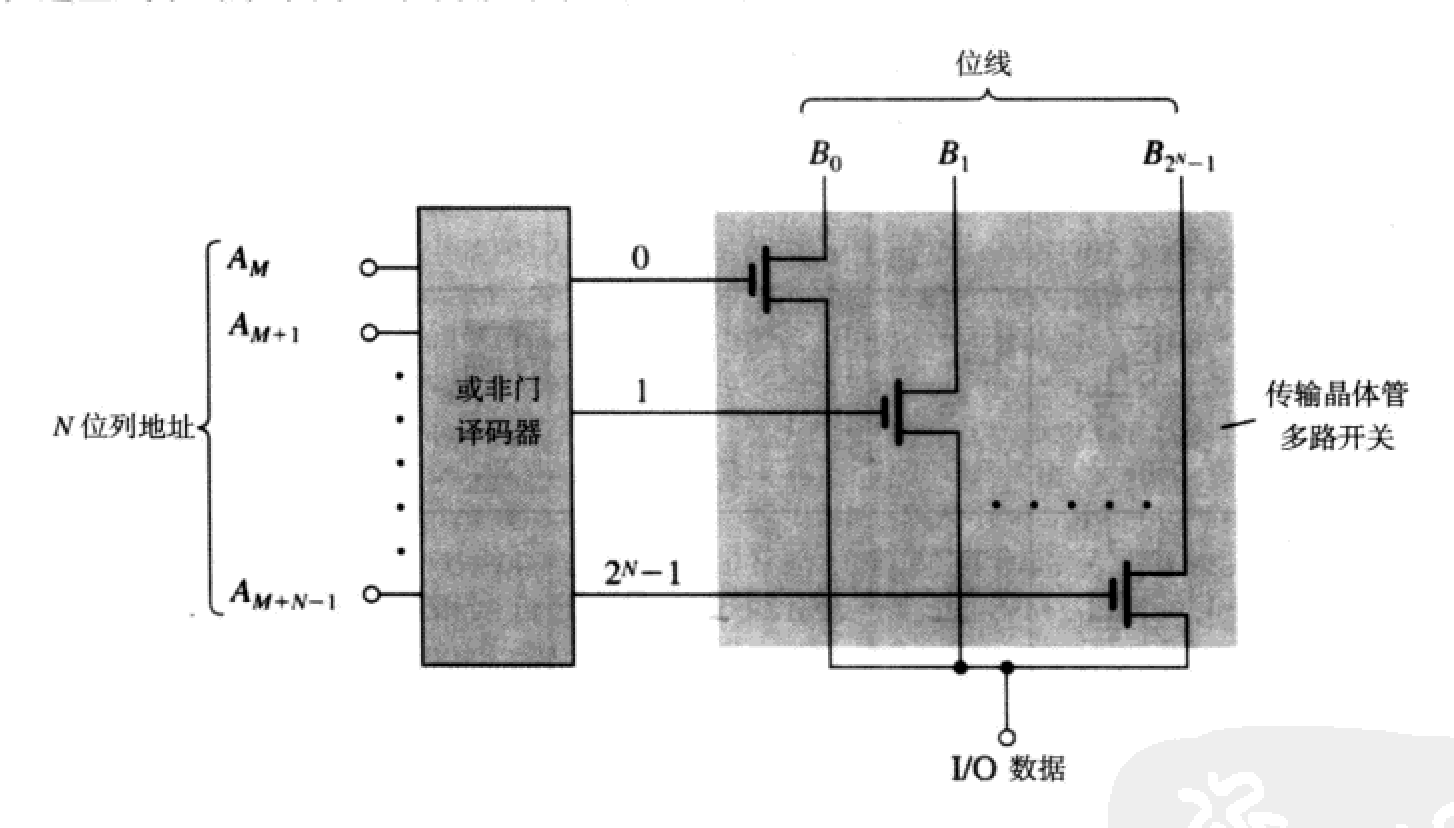


图 11.27 用一个或非门译码器和一个传输晶体管多路开关实现的列译码器

列译码器的另一种实现方案如图 11.28 所示。这种方案使用了较少数量的晶体管（但却以降低运行速度为代价）。这种电路被称为树状译码器，其传输晶体管的结构较为简单。但是，由于信号通路上可能存在比较多的晶体管，位线的阻抗因此增大，速度相应降低。

练习 11.15 一个 2^N 条位线的树状译码器需要多少个晶体管？

答案： $2(2^N - 1)$

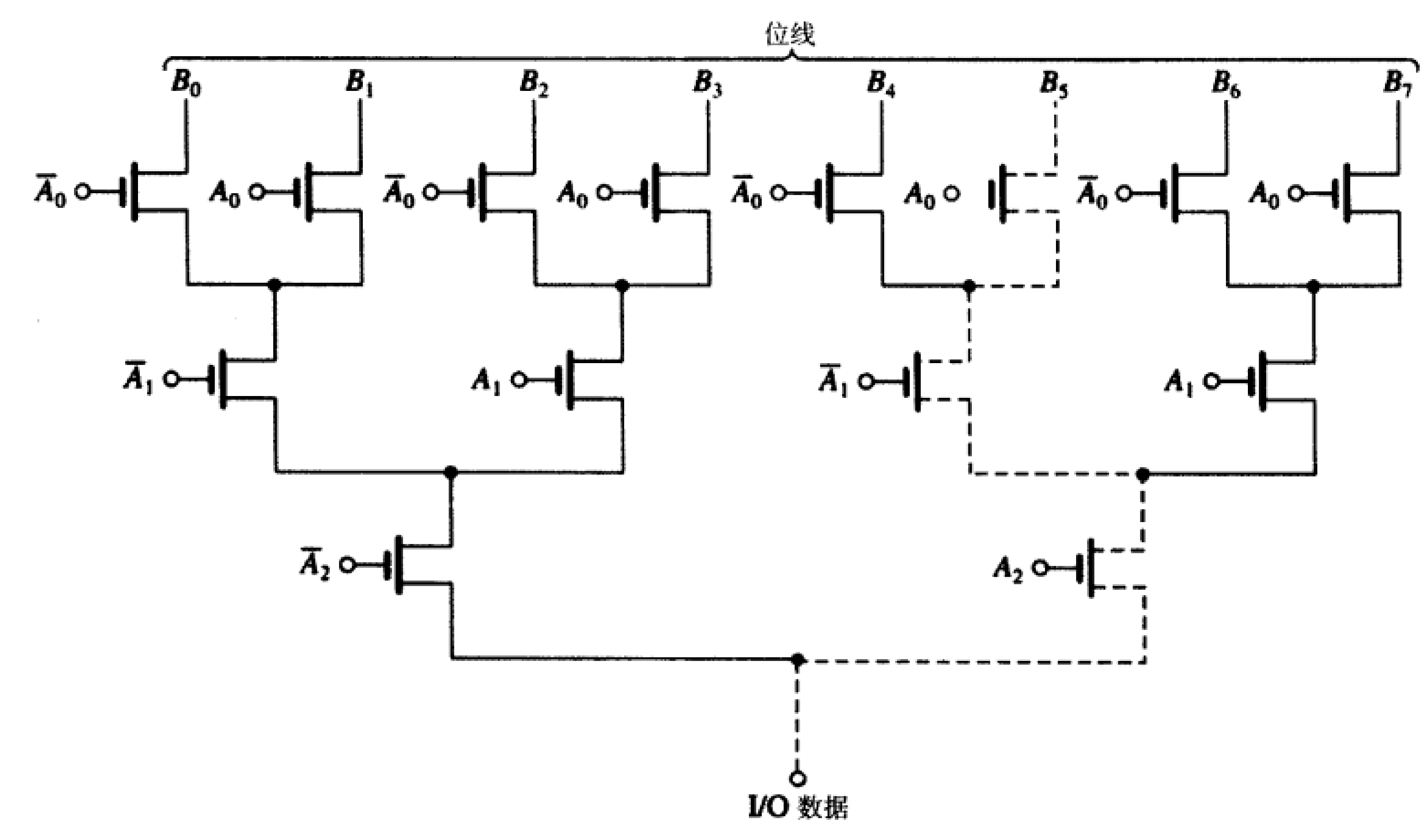


图 11.28　树状列译码器。图中虚线部分表示 $A_0 = 1$，$A_1 = 0$ 和 $A_2 = 1$ 时由导通晶体管组成的通路。这条通路将 B_5 与数据线相连

11.6　只读存储器（ROM）

11.3 节中提到，只读存储器（ROM）是一种存储固定数据的存储器。在很多数字系统应用环境中都用到了只读存储器。现在最为流行的一类应用是在微处理器系统中将 ROM 用于存放系统基本运行程序的指令。ROM 特别适用于这种应用环境，因为 ROM 具有非易失性。也就是说，切断系统电源后，ROM 中的内容不会丢失。

ROM 可以视为一个组合逻辑电路。其输入是 ROM 地址位的组合，输出是从对应地址得到的数据位的集合。这种观点使得 ROM 在编码转换中得到应用。也就是说，ROM 可以将某一系统（例如二进制）中的信号编码转换为另一个系统中的信号编码。例如安全通信系统中使用到了编码转换并将这一过程称为扰码。将数据编码传入 ROM，得到的对应数据位就是（假定情况下的）密文。其逆过程同样用到了 ROM，它位于接收端的末端。

本节将介绍多种类型的只读存储器。其中包括固定 ROM（简单起见，就称为 ROM）、可编程 ROM（PROM）以及可擦除可编程 ROM（EPROM）。

11.6.1　MOS 只读存储器（ROM）

图 11.29 给出的是一块简化了的 32 位（或 4 位 × 8 字）MOS 只读存储器（ROM）。如图所示，存储器由一个 n 沟道 MOSFET 阵列组成。每个 MOS 晶体管的栅极与字线连接，源极接地，漏极与位线相连。每根位线通过一个 PMOS 负载晶体管与电源相连，构成伪 NMOS 逻辑结构（参见 10.4 节）。一个 NMOS 晶体管存在于存储 0 的单元中，而存储 1 的单元中不含 MOSFET。这块 ROM 也可以认为存储了 8 个字，每个字含有 4 位。行译码器通过升高对应字线的电压来选中 8 个字中的某一个。于是，与该字线相连的单元内晶体管将会导通，从而将原为 V_{DD} 的位线（与选定行中的那些晶体管相连）的电压拉至接近于地电压（逻辑 0 电平）。与不含晶体管（这些单元存储的是 1）的单元（对应选通字）连接的位线会保持在电源电压（逻辑 1），原因是由于上拉 PMOS 负载晶体管的作用。这样，地址字对应的位就可以被读出。

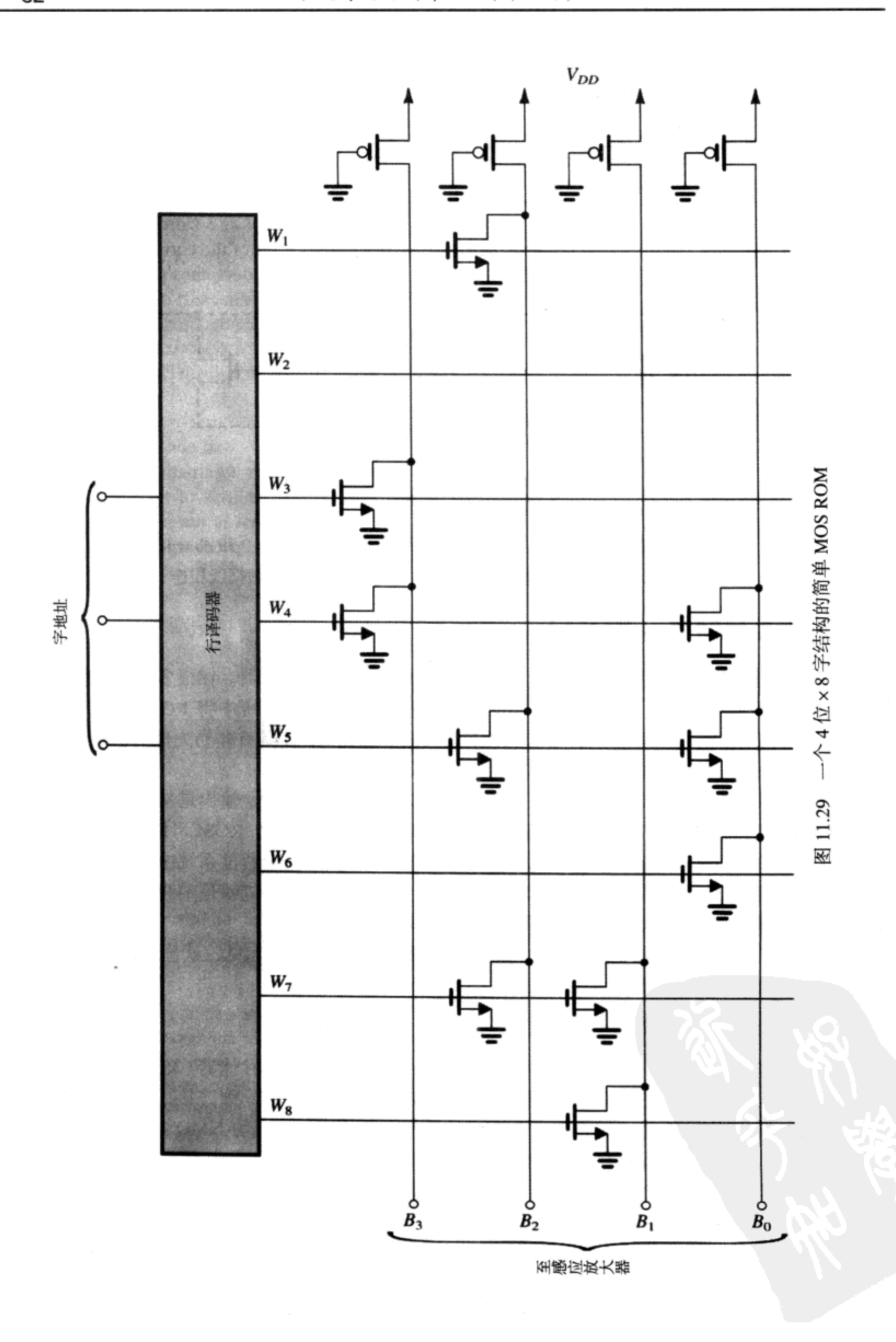


图 11.29　一个 4 位 × 8 字结构的简单 MOS ROM

图 11.29 中 ROM 电路的缺点是消耗静态功率。具体而言，当某一个字被选中时，特定行的晶体管将会有静态电流流过，这个电流由 PMOS 负载管提供。稍做改动即可消除静态功耗。我们不把 PMOS 晶体管的栅极接地，而将它们连接成为一根预充电的线ϕ，该线通常保持高电平。在进行读操作之前，ϕ电平降低，位线通过 PMOS 晶体管预充电至 V_{DD}。随后预充电信号ϕ升高，字线选通。选通字线中的晶体管所处的位线进行放电，表示存储的是 0；而不含晶体管的那些位线将保持在 V_{DD}，表示存储的是 1。

练习 11.16 本题旨在估计出一个ROM工作过程中存在的各种延迟时间。考虑图 11.29 中的 ROM。其中，PMOS 晶体管的栅极不与地相接，而是连接到预充电信号ϕ。设所有 NMOS 晶体管的 $W/L = 6\ \mu m/2\ \mu m$，所有 PMOS 晶体管的 $W/L = 24\ \mu m/2\ \mu m$。假定$\mu_n C_{ox} = 50\ \mu A/V^2$，$\mu_p C_{ox} = 20\ \mu A/V^2$，$V_{tn} = -V_{tp} = 1$ V，以及 $V_{DD} = 5$ V。

（a）在预充电过程中，ϕ降为 0 V。试估算将一根位线从 0 V 充电至 5 V 所需的时间。取位线电压从 0 V 上升到 5 V 过程进行一半（即 2.5 V）时由 PMOS 晶体管提供的电流作为平均充电电流。位线的电容为 2 pF。注意，此时所有的 NMOS 晶体管都处于截止状态。

（b）在预充电结束、ϕ恢复为 V_{DD}后，行译码器升高选定字线的电压。考虑到字线的电压和电容均为有限值，电压按指数规律升高至 V_{DD}。如果每条多晶硅字线的电阻为 3 kΩ，字线与地之间的电容为 3 pF，则字线电压从 10%上升到 90%所需的时间为多少？经过一个时间常数后的电压为多少？

（c）我们将字线电压按指数规律上升的过程近似为字线电压从 0 上升到经过一个时间常数后电压的阶跃变化过程。试求一个 NMOS 晶体管对位线放电时电压下降 0.5 V 所需的时间Δt。（假设读放大器输入端检测到一个低位值需要 0.5 V 的电压变化。）

答案：（a）6.1 ns；（b）19.8 ns，3.16 V；（c）2.9 ns

11.6.2 掩膜可编程 ROM

上面讨论的 ROM 在制造时已根据用户的要求将数据存入。但是，在进行擦除操作时，用户需要对每块 ROM 都进行定制设计，这一步骤代价很高。为了免除这一步，ROM 在制造时通常使用被称为掩膜编程的工艺。正如附录 A 所述，集成电路在硅晶圆上制造，需要经过光掩膜、蚀刻和扩散等步骤。这样，晶圆表面就形成了一个互连互通的电路图案。制造过程的最后步骤包括：在晶圆表面覆盖一层铝，利用掩膜将部分铝蚀刻掉，只留下互连处的铝层。这最后一步可以用来对 ROM 编程（即存储特定的数据）。例如，如果 ROM 由图 11.29 所示的 MOS 晶体管组成，那么所有的位都可以包括 MOSFET。但是只有存储 0 的那些晶体管的栅极与字线相连，存储 1 的那些晶体管的栅极不与字线相连。这一电路图案由掩膜步骤决定，掩膜则根据用户的要求制作。

显然，掩膜编程工艺很具经济优势：所有 ROM 都能以同样方式制造，用户定制仅仅存在于制造过程的最后一步。

11.6.3 可编程 ROM（PROM 和 EPROM）

PROM 是一种一次性用户可编程 ROM。在传统的 BJT PROM 结构中，多晶硅熔丝将每个 BJT 的发射极与对应的数字线相连。根据 ROM 单元存储内容的不同，熔丝可能保持完好，也可能被很大的电流烧断。这种编程方式显然是不可逆的。

可擦除可编程 ROM（EPROM）是一种可根据用户要求进行任意多次擦除和编程的 ROM，因而，这是所有只读存储器中最为通用的一种。但是，需要指出的是，其擦除和编程的过程非常耗时，不适合经常进行。

最新的 EPROM 使用一种改动过的内存单元结构，其横截面如图 11.30（a）所示。存储单元

主要是一个增强型 n 沟道 MOSFET，含有两个多晶硅材料[①]制成的栅极。其中一个栅极不与电路中其他部分有电气上的连接。或者说，这个栅极处于悬浮状态，因而被恰如其分地称为浮栅。另一个栅极被称为控制栅，与通常增强型 MOSFET 的栅极功能相同。

图 11.30（a）中的 MOS 晶体管称做浮栅晶体管，其电路符号如图 11.30（b）所示。其中，虚线表示浮栅。这种存储单元称为叠栅单元。

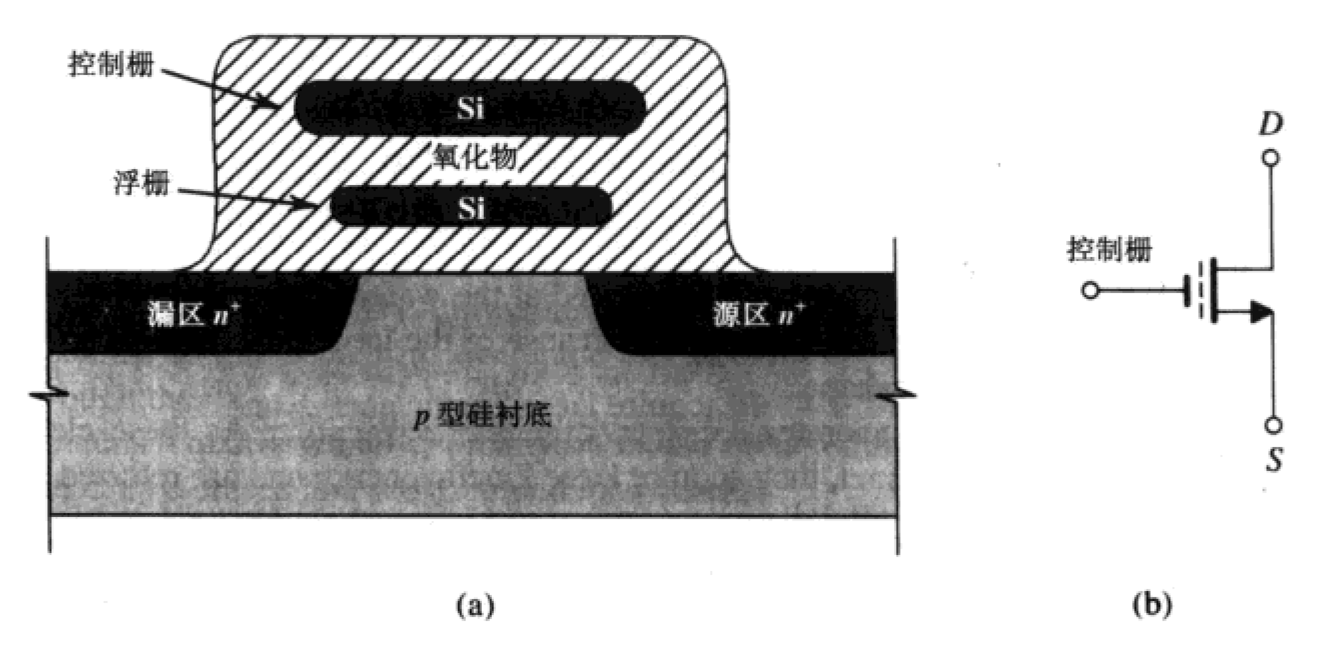


图 11.30 用做 EPROM 单元的浮栅晶体管：（a）横截面；（b）电路符号

我们来看浮栅晶体管的工作情况。在单元被编程（稍后将解释其含义）之前浮栅上没有电荷储存，器件工作情况和通常的增强型 n 沟道 MOSFET 相同。此时表现出的 i_D~ v_{GS} 特性曲线如图 11.31 中的曲线（a）所示。注意，这时的开启电压（V_t）相当低。晶体管的这种状态称为未编程状态。这是浮栅晶体管两种状态中的一种。我们随意假定未编程状态表示存储的是 1。也就是说，浮栅晶体管的 $i_D \sim v_{GS}$ 特性曲线如果和图 11.31 中的曲线（a）一致，则说明存储的是 1。

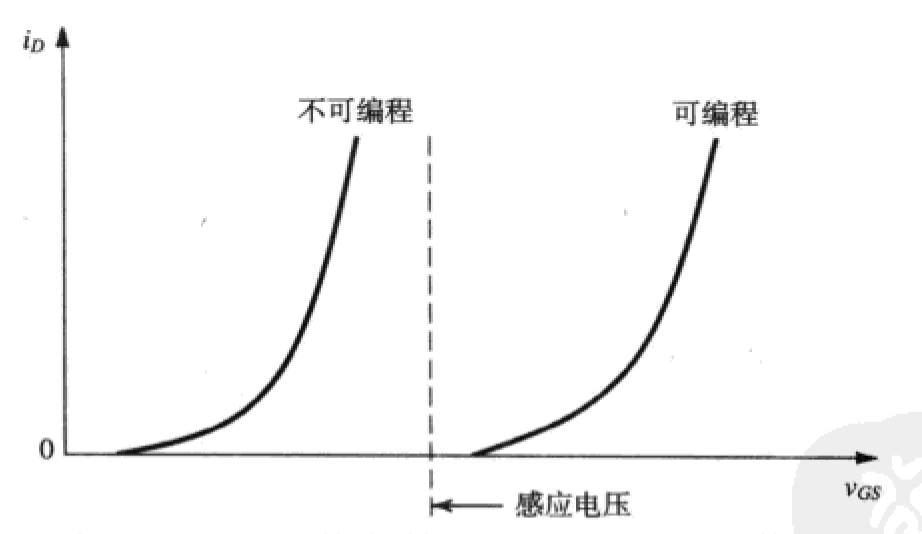


图 11.31 浮栅晶体管编程后 $i_D \sim v_{GS}$ 特性曲线的移动

为了对浮栅晶体管进行编程，需要在其漏极和源极之间加上很大的电压（16~20 V）。同时，控制栅上也要加上很大的电压（大约为 25 V）。图 11.32 画出了编程过程中的浮栅 MOSFET。浮栅上没有储存任何电荷时，器件表现为普通的 n 沟道增强型 MOSFET：由于栅极加上了很大的正电压，晶圆表面形成了一层 n 型反型层（沟道）。因为漏极有很大的正电压，所以沟道呈现锥形。

漏极与源极间的电压加快了电子穿越沟道的过程。当这些电子到达沟道的漏极末端时得到了很大的动能，它们被称为热电子。控制栅上非常高的正电压（比漏极电压高）在氧化物绝缘层中

① 参见附录 A 中关于硅栅极技术的内容。

形成了一个电场。这个电场吸引并加快这些热电子（穿越氧化层）到达浮栅的速度。这样，浮栅就充上了电，而且聚集在上面的电荷被束缚住了。

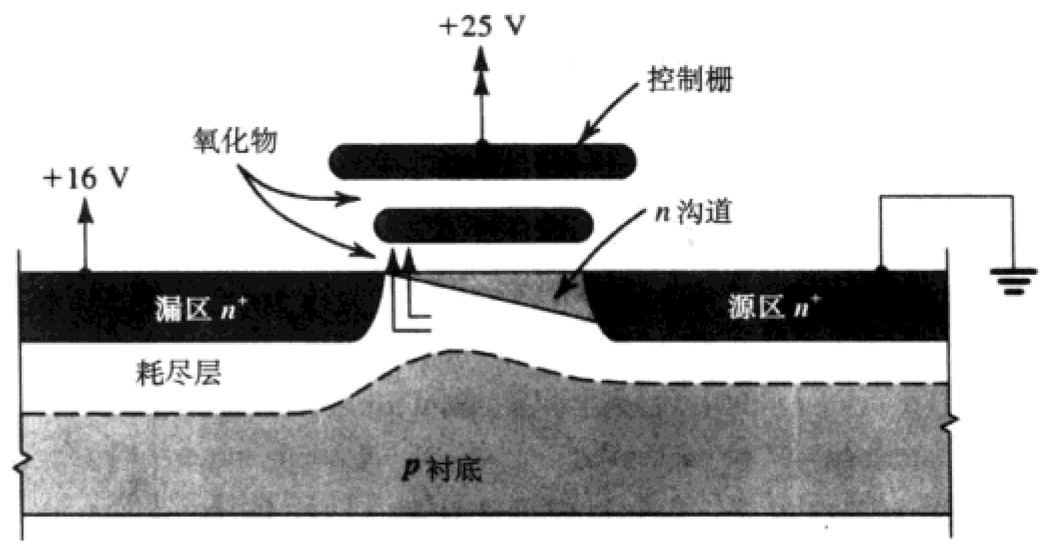


图 11.32　编程时的浮栅晶体管

幸好对浮栅充电的过程会自行中止。浮栅上聚集的负电荷减弱了氧化层中的电场强度，最终不再能够使更多的热电子加速。

现在来考虑浮栅上存储的负电荷对晶体管工作的影响。浮栅中存储的负电荷会使衬底中的电子远离衬底表面。这说明为了形成沟道控制栅上加的正电压比浮栅未充电时要更高。换言之，编程后的晶体管的开启电压 V_t 比未编程时要高。事实上，编程过程使得 i_D~v_{GS} 特性曲线移动到了图 11.31 中的曲线（b）。这种状态称为编程状态，单元存储的是 0。

一旦完成编程，即使关闭电源，浮栅器件也会保持移动后的 i~v 特性曲线（曲线 b）不变。实际上，根据实验结果推算，器件保持编程状态的时间可长达 100 年。

从叠栅单元中读数据十分简单：控制栅极加上一个介于高低两个开启电压（见图11.31）之间的电压 V_{GS}。已编程晶体管（存储 0）不会导通，但是未编程晶体管（存储 1）会深度导通。

要使浮栅 MOSFET 回到未编程状态，浮栅上存储的电荷必须回到衬底。擦除过程只需将存储单元置于适当波长（2537 Å）的紫外线之下照射一段时间即可。紫外线将足够多的光能传递给束缚电子，使后者能够翻越固有的能量壁垒，从而穿越氧化层回到衬底。为了能够擦除，封装后的 EPROM 包含一个石英窗。最后必须指出的是，这种器件十分耐用，可进行很多次擦除和编程操作。

一种更为通用的 ROM 是电可擦除 PROM（EEPROM）。顾名思义，EEPROM 可通过电进行擦除和编程，而无需紫外线的照射。EEPROM 使用了浮栅 MOSFET 的一种变形。EEPROM 中一种重要的类型称为闪存，它使用了浮栅的变形，可实现块擦除。

11.7　射极耦合逻辑（ECL）

射极耦合逻辑（ECL）是速度最快的一类逻辑电路[①]。通过使所有晶体管工作在饱和区之外以避免存储时间延迟，而且通过将逻辑信号保持在较低电平（0.8 V 左右或更低）以减少对负载及寄生电容的充放电时间，从而可以实现高速工作。避免 ECL 电路进入饱和区的方法是将 BJT 差分对作为电流开关[②]使用。第 7 章曾讨论过 BJT 差分对，建议读者在继续学习 ECL 之前复习一下

① 尽管砷化镓 (GaAs) 电路的工作速度能够达到更高，但是在传统数字系统设计中这种电路并不常见。本书没有涉及 GaAs 数字电路，但是在本书附赠的 CD 中及网站 www.sedrasmith.org 上有很多相关资料。

② 这与晶体管–晶体管逻辑（TTL）中一种非饱和电路（肖特基 TTL）采用的技术完全不同。后者将一个肖特基二极管连接在 CB 结之间，因此可分流部分基极电流。而且由于肖特基二极管上的压降较小，CB 结可避免形成正向偏置。

7.3 节中的相关内容。

11.7.1 基本原理

射极耦合逻辑基于 1.7 节中介绍的电流导向开关电路。这种开关电路最为方便的实现方式就是利用图 11.33 中的差分对电路。差分对的偏置电流由恒流源 I 提供，差分对的一端与参考电压 V_R 连接。正如 7.3 节所述，受输入信号 v_I 控制，电流 I 可流过 Q_1 或 Q_2。具体而言，当 v_I 比 V_R 高 $4V_T$ 左右（约为 100 mV）时，全部电流 I 几乎都流过 Q_1。因此对于 $\alpha_1 \simeq 1$，$v_{O1} = V_{CC} - IR_C$。同时，流过 Q_2 的电流接近于零，因此 $v_{O2} = V_{CC}$。反之，当 v_I 比 V_R 低 $4V_T$ 左右时，电流 I 的大部分将流过 Q_2，流过 Q_1 的电流接近于零。故 $v_{O1} = V_{CC}$，$v_{O2} = V_{CC} - IR_C$。

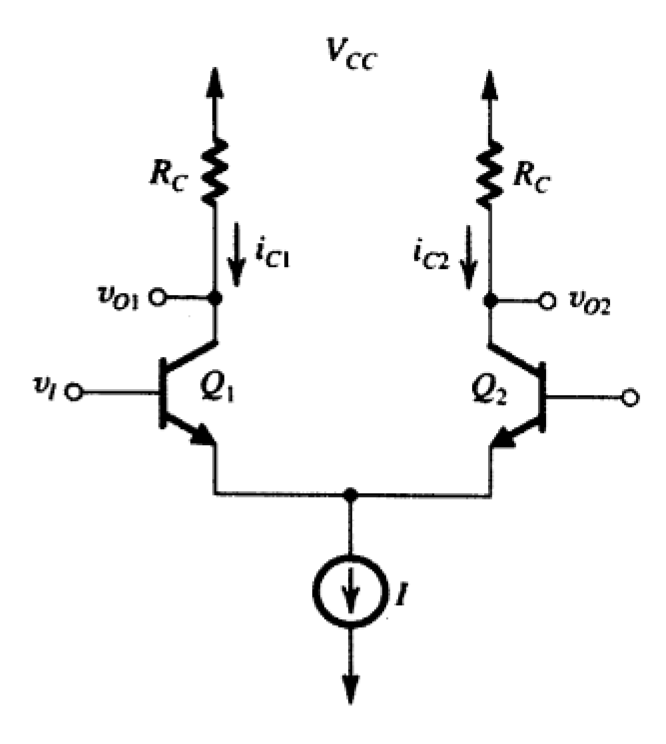


图 11.33　ECL 的基本单元是差分对。这里，V_R 是参考电压

上面的叙述表明，作为逻辑单元，差分对实现了函数 v_{O1} 的取反功能，即提供了互补输出信号 v_{O2}。输出逻辑电平为 $V_{OH} = V_{CC}$ 和 $V_{OL} = V_{CC} - IR_C$，故输出逻辑摆幅为 IR_C。关于该电路还有以下说明：

1. 电路的差分特性使得其不易受随机噪声的影响。特别是一个干扰信号往往同时影响差分对的两侧，其结果是电流开关的工作并不受影响。这是因为差分对的共模抑制能力（参见 7.3 节）在起作用。
2. 在电流开关工作时电源的源电流为定值。因此，与 CMOS（和 TTL）不同，ECL 中不会出现供电电流尖峰，从而消除了数字电路中一种重要的噪声源。这确实是一个优点，特别是因为 ECL 通常工作在小信号摆幅下，噪声容限相应也比较低。
3. 输出信号电平都以 V_{CC} 为参考，因此可以将输出保持为恒定，只要使电路工作在 $V_{CC} = 0$ 下即可，也就是说，使用负电源并将 V_{CC} 线接地。此时，$V_{OH} = 0$ 和 $V_{OL} = -IR_C$。
4. 要使输出信号电平能够驱动其他门电路并与其输入保持兼容，必须采用一些方法。我们很快会讲到，实际的 ECL 门包含一个电平转换电路，使得输出信号电平的中心值为 V_R。
5. 由于存在互补输出，从而极大地简化了使用 ECL 的逻辑电路设计。

练习 11.17　对于图 11.33 所示的电路，设 $V_{CC} = 0$，$I = 4$ mA，$R_C = 220\,\Omega$，$V_R = -1.32$ V 以及 $\alpha \simeq 1$。试求 V_{OH} 和 V_{OL}。要使 V_{OH} 和 V_{OL} 的中心值为 V_R，输出电平需要移动多少？移动后的 V_{OH} 和 V_{OL} 为多少？

答案：0；−0.88 V；−0.88 V；−0.88 V，−1.76 V

11.7.2 ECL 系列

现在有两类商用 ECL 比较流行，它们是 ECL 10K 和 ECL 100K。ECL 100K 系列的特点是：门延时处于 0.75 ns 的数量级，功耗约为 40 mW/门，延时功率积为 30 pJ。尽管功耗相对较大，然而 100K 系列具有最短的门延时。

ECL 10K 系列速度稍慢。门传播延时为 2 ns，功耗为 25 mW，延时功率积为 50 pJ。尽管 *DP* 值要高于 100K 系列，但 10K 系列使用较为简便。这是由于脉冲信号的上升和下降时间都有意延长从而减少了相邻信号线间的信号耦合和互扰的缘故。ECL 10K 的"边沿速度"约为 3.5 ns，而 ECL 100K 约为 1 ns。为了加深对 ECL 的理解，下面我们将详细讨论流行的 ECL 10K。当然，同

样的分析也适用于其他类型的 ECL。

除了用于小规模和中规模集成电路元件外，ECL 也用于大规模和 VLSI 应用中。ECL 的一种变种被称为电流模逻辑（CML），它在许多 VLSI 应用中都被采用［参见 Treadway (1989)和 Wilson (1990)］。

11.7.3　基本门电路

ECL 10K 系列的基本门电路如图 11.34 所示。该电路分为三部分，由 Q_1，D_1，D_2，R_1，R_2，R_3 组成的网络产生参考电压 V_R，室温下的值为−1.32 V。稍后我们会讲到，随着温度的变化，该参考电压按预定方案变化以保持噪声容限不变。同样，参考电压不随电源电压 V_{EE} 的变化而变化。

练习 11.18　图 E11.18 所示的是产生参考电压 V_R 的电路。假定 D_1，D_2 以及 Q_1 发射结上的压降均为 0.75 V，试求 V_R 的值。忽略 Q_1 的基极电流。

答案：−1.32 V

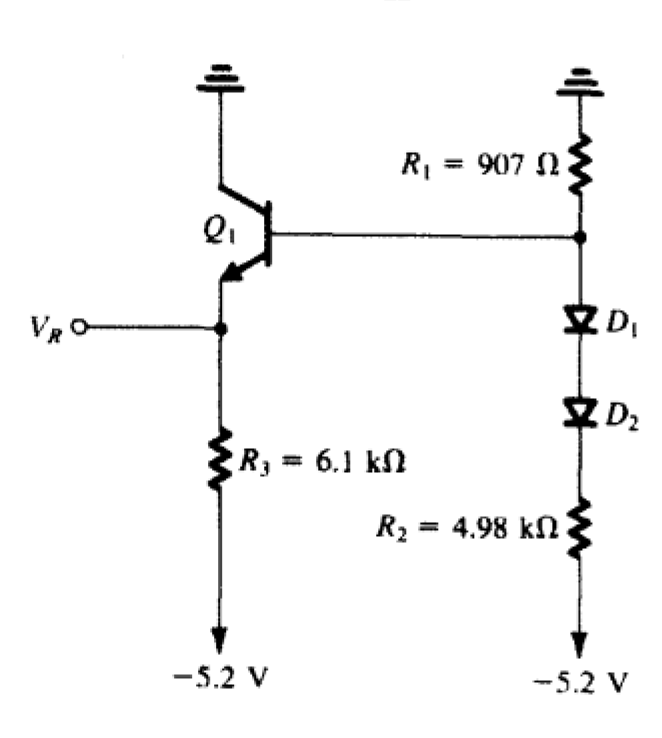


图 E11.18

第二部分是门电路的核心部分，由 Q_R 和 Q_A 或 Q_B 组成的差分放大器构成。这个差分放大器与图 11.33 中的电路不同，偏置电流不是由恒流源提供，而是由连接到负电源 $-V_{EE}$ 的电阻 R_E 提供。但是，我们很快会讲到，在门电路的常规工作范围内，流过 R_E 的电流基本保持不变。差分放大器的一端是参考晶体管 Q_R，其基极与参考电压 V_R 相连。另一端则包括若干个并联的晶体管（图中给出的是两个晶体管的情况），各晶体管的基极分开，分别与门电路的输入端相连。如果 A 和 B 上加的电压位于逻辑 0 电平（稍后可以看到，该电平比 V_R 低 0.4 V 左右），则 Q_A 和 Q_B 都关闭，流经 R_E 的电流 I_E 全部流过参考晶体管 Q_R。由此产生在 R_{C2} 上的压降将导致 Q_R 集电极的电压变低。

另一方面，当 A 或 B 上加的电压位于逻辑 1 电平（稍后可以看到，该电平比 V_R 高 0.4 V 左右）时，晶体管 A 或 B 或是全部将被开启，Q_R 会关闭。因此，电流 I_E 会流过 Q_A 或 Q_B 或全都流过，一半的电流流过 R_{C1}，由此产生的 R_{C1} 上的压降会导致集电极的电压下降。同时，由于 Q_R 关闭，其集电极电压升高。因此，当 A 或 B 或二者都为高电平时，Q_R 的集电极电压为高电平，Q_R 的集电极实现了或逻辑函数 $A+B$。另一方面，当 A 和 B 同时为低电平时，Q_A 和 Q_B 的公共集电极将为高电平。因此，Q_A 和 Q_B 的公共集电极实现了逻辑函数 $\overline{A}\overline{B}=\overline{A+B}$。由此可得出以下结论：图 11.34 所示的两输入门实现了或逻辑和或非逻辑，存在互补输出，是 ECL 的一大优点。这简化了逻辑电路的设计，避免了使用有延时的反相器。

必须注意的是，在每个门的输入端都有一个电阻连接到负电源，这使得用户可以将未使用的输入端悬空。悬空的输入端会被下拉到负电源，对应的晶体管将处于关闭状态。

练习 11.19　设图 11.34 中的输入端 A 和 B 悬空，求流过 R_E 的电流 I_E。同时求出 Q_R 的集电极电压，以及输入晶体管 Q_A 和 Q_B 的公共集电极的电压。设 $V_R=-1.32$ V，Q_R 的 $V_{BE}\simeq 0.75$ V，并且假定 Q_R 的 β 很大。

答案：4 mA；−1 V；0 V

ECL 门电路的第三部分由两个射极跟随器 Q_2 和 Q_3 组成。射极跟随器没有片内负载，因为在大多数高速逻辑电路的应用中，门电路的输出端直接驱动末端接终端的传输线，如图 11.35 所示（11.7.6 节将详细讨论相关内容）。

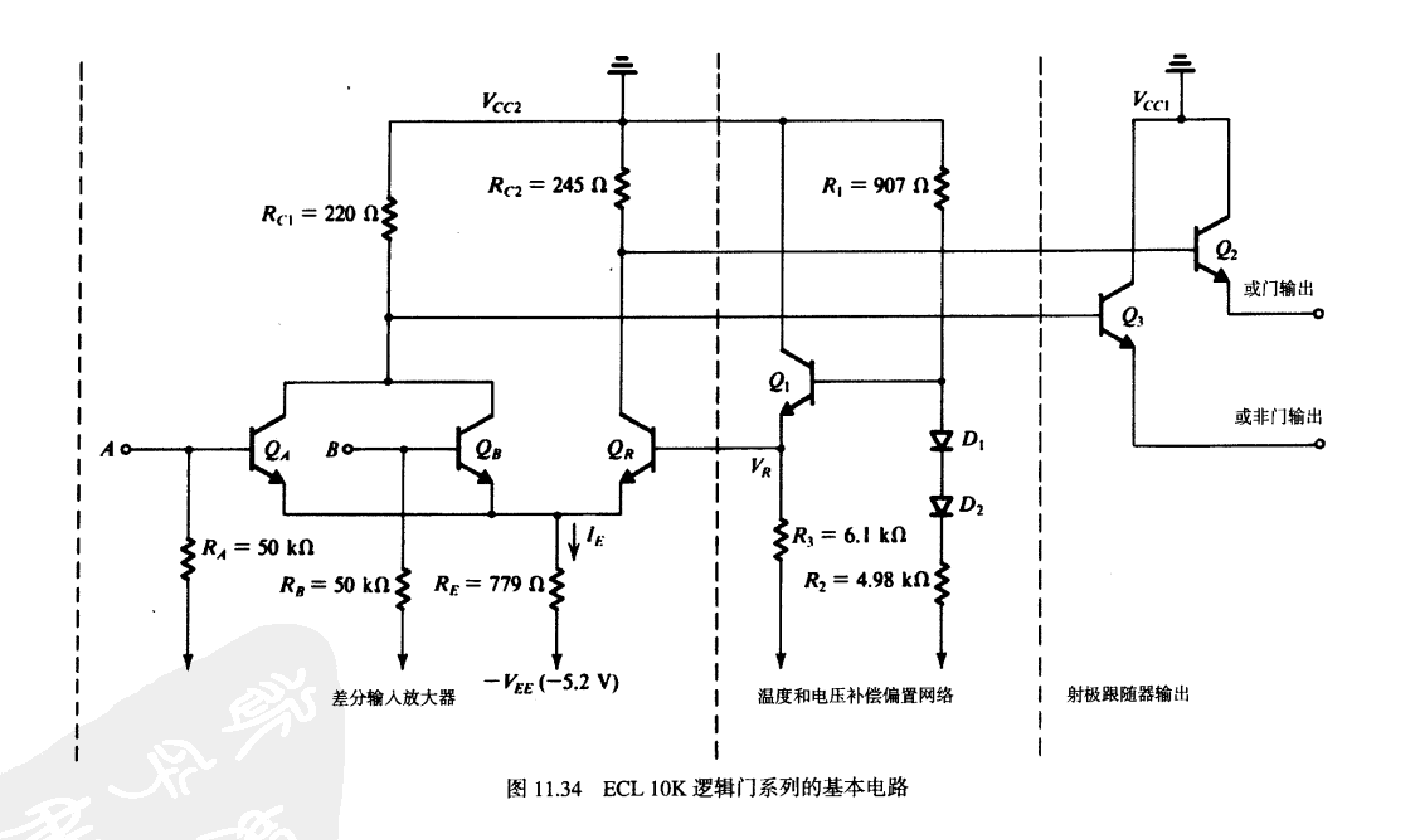


图 11.34　ECL 10K 逻辑门系列的基本电路

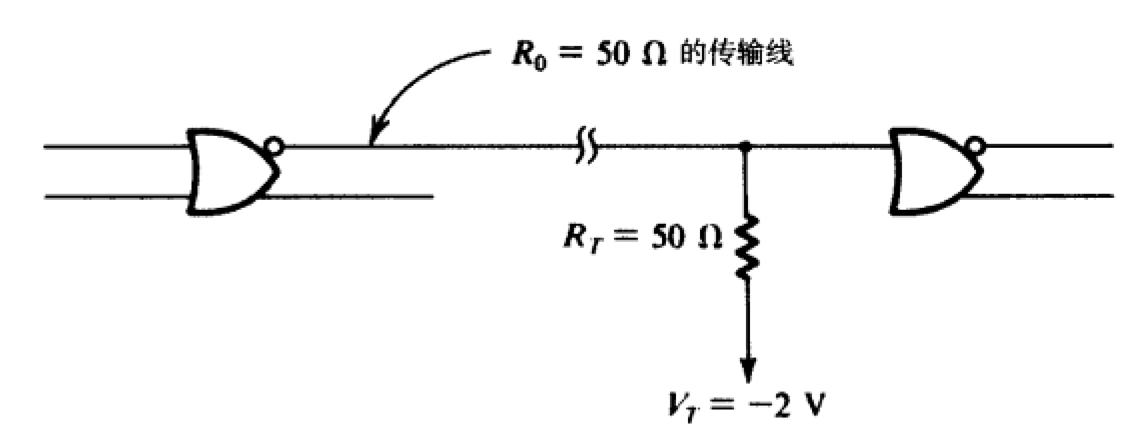


图 11.35　连接 ECL 等高速逻辑门的合理方式。将连接于两个门之间的传输线加上合适的终端可以避免出现破坏逻辑信号的“振铃”现象（参见 11.7.6 节）

射极跟随器有两个作用：第一，它们将输出信号电平位移一个 V_{BE}。因此，利用习题 11.19 的结论，可以看到输出电平变为–1.75 V 和–0.75 V 左右。位移后电平的中心值与参考电压（$V_R = -1.32$ V）接近，这表明一个门可驱动另一个门。输入与输出逻辑电平相兼容是门电路设计中的一个重要要求。

输出射极跟随器的第二个功能是为门电路提供较低的输出阻抗，以及给负载电容提供充电所需的较大的输出电流。由于大的静态电流会在电源线上形成尖峰，因此射极跟随器集电极连接的电源端 V_{CC1} 与差分放大器和参考电压电路连接的电源端 V_{CC2} 之间是隔离的。这里要注意，给差分放大器和参考电路供电的电流几乎保持恒定。电源端的隔离避免了输出电路与门电路间电源尖峰的相互耦合，从而降低了门电路发生错误切换的可能性。当然，V_{CC1} 和 V_{CC2} 与片外的同一个地相连接。

11.7.4　电压传输特性

在定性描述 ECL 门的工作特性之后，现在来推导电压传输特性。推导的条件是：电路的输出端如图 11.35 所示的方式被终结。假定输入 B 为低电平，故 Q_B 关闭，电路简化为图 11.36。下面对该电路进行分析，希望得到 v_{OR} 与 v_I 和 v_{NOR} 与 v_I 之间的关系（这里 $v_I \equiv v_A$）。

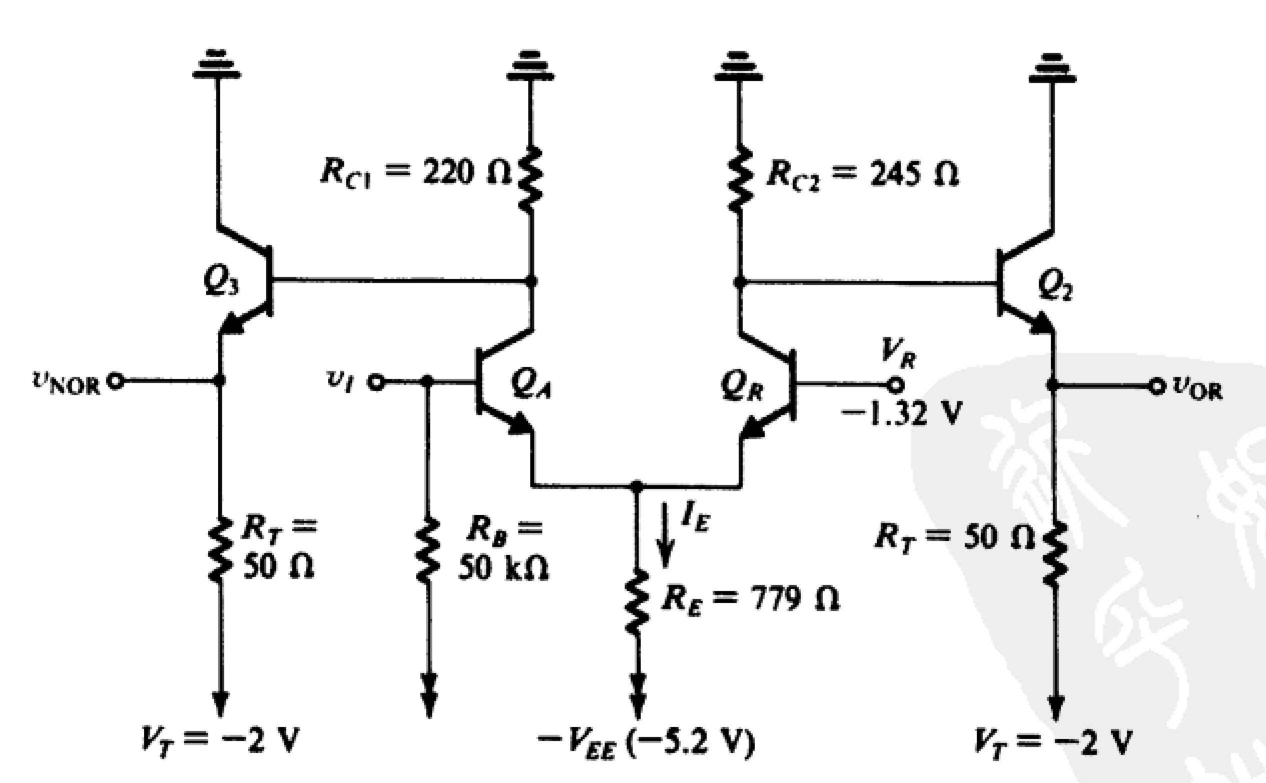


图 11.36　用于求解传输特性的简化了的 ECL 门电路

下面的分析过程用到了 BJT 的 $i_C \sim v_{BE}$ 指数特性关系。考虑到 ECL 电路中的 BJT 面积较小（从而可以减小电容以得到较大的 f_T），故其比例电流 I_S 较小。因此，我们假定当 ECL 晶体管的射

极电流为 1 mA 时，V_{BE} 压降为 0.75 V。

或传输曲线 图 11.37 给出的是或传输 $v_{OR} \sim v_I$ 曲线的示意图，图中标明了 V_{OL}，V_{OH}，V_{IL}，V_{IH}。然而要简化 V_{IL} 和 V_{IH} 的求解，我们不采用单位增益定义来进行计算。也就是说，假定在 x 点处流过晶体管 Q_A 的电流占 I_E 的 1%，而 Q_R 占 I_E 的 99%。y 点的假设则相反。在 x 点处我们有

$$\frac{I_E|_{Q_R}}{I_E|_{Q_A}} = 99$$

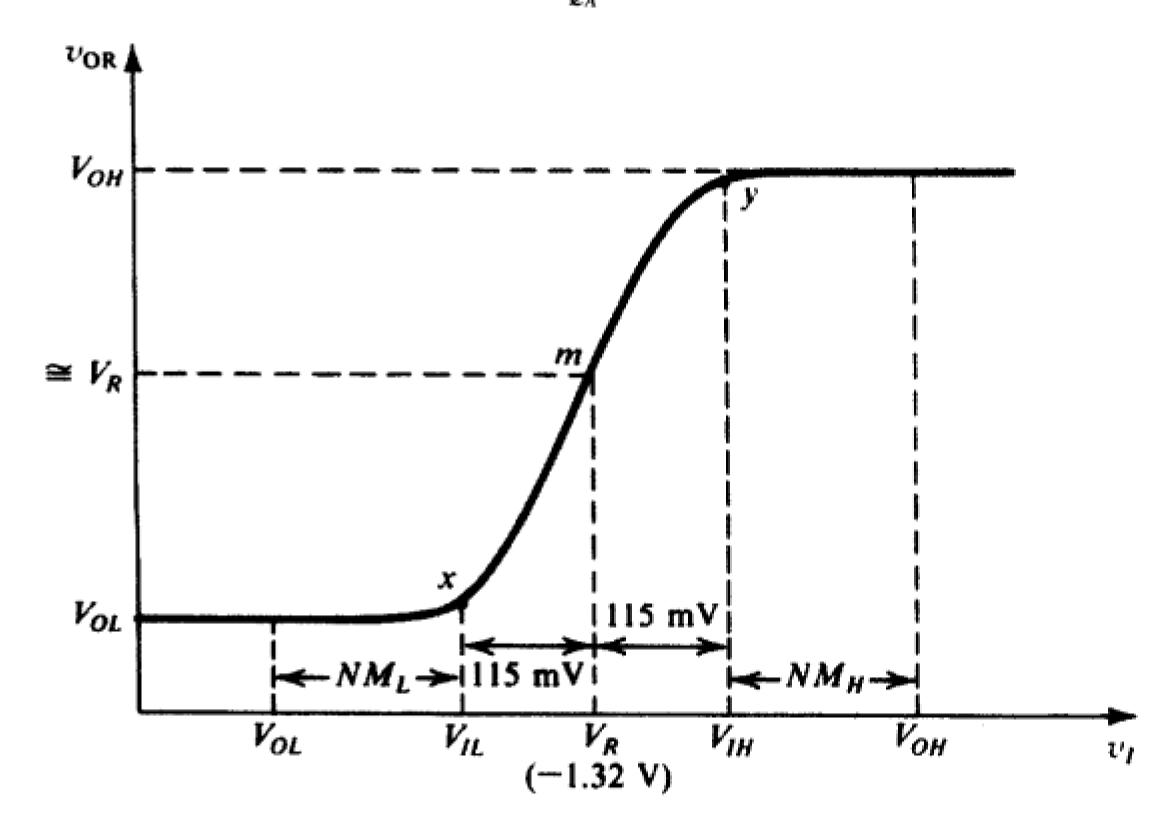


图 11.37 图 11.36 所示电路的 $v_{OR} \sim v_I$ 或传输曲线

利用 $i_E \sim v_{BE}$ 的指数关系，可得

$$V_{BE}|_{Q_R} - V_{BE}|_{Q_A} = V_T \ln 99 = 115 \text{ mV}$$

有

$$V_{IL} = -1.32 - 0.115 = -1.435 \text{ V}$$

假定 Q_A 与 Q_R 匹配，可得

$$V_{IH} - V_R = V_R - V_{IL}$$

利用上式可求出 V_{IH} 为

$$V_{IH} = -1.205 \text{ V}$$

为了求得 V_{OL}，我们注意到 Q_A 关闭，Q_R 流过全部的电流 I_E:

$$\begin{aligned} I_E &= \frac{V_R - V_{BE}|_{Q_R} + V_{EE}}{R_E} \\ &= \frac{-1.32 - 0.75 + 5.2}{0.779} \\ &\simeq 4 \text{ mA} \end{aligned}$$

（如果需要，可以通过迭代得到更精确的 $V_{BE}|_{Q_R}$ 和 I_E。）假设 Q_R 的 β 较大，故其 $\alpha \simeq 1$，集电极电流约为 4 mA。如果忽略 Q_2 的基极电流，可以求得 Q_R 的集电极电压为

$$V_C|_{Q_R} \simeq -4 \times 0.245 = -0.98 \text{ V}$$

故输出电压 V_{OL} 的第一个近似值为

$$V_{OL} = V_C|_{Q_R} - V_{BE}|_{Q_2}$$
$$\simeq -0.98 - 0.75 = -1.73\ \text{V}$$

利用这个值可以求出 Q_2 的射极电流，并迭代求出更精确的发射结电压。求得的结果是 $V_{BE2} \simeq 0.79$ V，而且相应有

$$V_{OL} \simeq -1.77\ \text{V}$$

当输出电压为该值时，Q_2 提供的负载电流约为 4.6 mA。

要求解 V_{OH}，我们假定 Q_R 完全关闭（因为 $v_I > V_{IH}$）。求解 V_{OH} 的电路可简化为图 11.38。假定 $\beta_2 = 100$，分析该电路可得 $V_{BE2} \simeq 0.83$ V，$I_{E2} = 22.4$ mA，以及

$$V_{OH} \simeq -0.88\ \text{V}$$

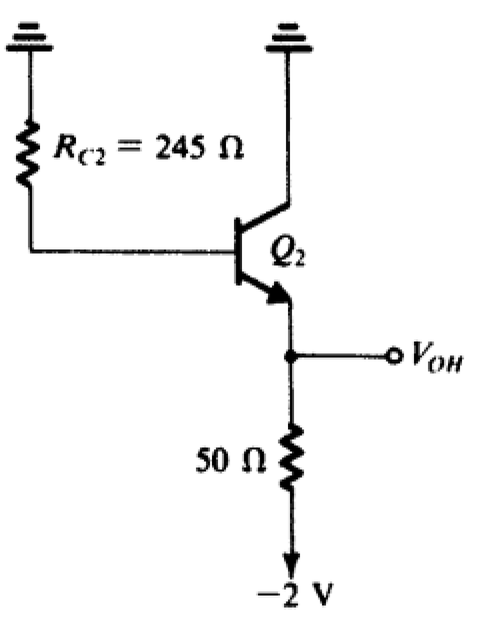


图 11.38　求解 V_{OH} 的电路

练习 11.20　考虑图 11.36 中的电路，分别求出 $v_I = V_{IL}$，V_R 和 V_{IH} 时的电流 I_E。并求出对应于 $v_I = V_R$ 的 v_{OR}。假设电流为 1 mA 时的 $v_{BE} = 0.75$ V。

答案：3.97 mA；4.00 mA；4.12 mA；−1.31 V

噪声容限　练习 11.20 的结果表明，偏置电流 I_E 几乎保持恒定，$v_I = V_R$ 时的输出电压也约等于 V_R。另外，逻辑电平摆幅的中心值也约等于 V_R，即

$$\frac{V_{OL} + V_{OH}}{2} = -1.325 \simeq V_R$$

因此，输出逻辑电平位于输入过渡带中心值的两侧。从噪声容限的角度来看，这种情况较为理想。这也就是为什么看似随意选择参考电压和电源电压（$V_R = -1.32$ V 和 $V_{EE} = 5.2$ V）的原因。

现在可以求得噪声容限为

$$NM_H = V_{OH} - V_{IH} = -0.88 - (-1.205) = 0.325\ \text{V}$$

$$NM_L = V_{IL} - V_{OL} = -1.435 - (-1.77) = 0.335\ \text{V}$$

这两个值差不多相等。

或非传输曲线　图 11.36 中电路的或非传输特性 $v_{NOR} \sim v_I$ 的关系曲线如图 11.39 所示。V_{IL} 和 V_{IH} 的值与之前的或传输特性相同。为了强调这一点，与图 11.37 中一样，图中标出了起始点 x 和 y。

当 $v_I < V_{IL}$ 时，Q_A 关闭，通过分析由 R_{C1}，Q_3 和 50 Ω终端组成的电路可以求出输出电压 v_{NOR}。除了 R_{C1} 比 R_{C2} 稍小以外，该电路与图 11.38 所示的电路完全相同。因此，输出电压会比先前求得的 V_{OH} 稍大。在图 11.39 的示意图中，我们假定输出电压约等于 V_{OH}。

当 $v_I > V_{IH}$ 时，Q_A 导通，流过全部的偏置电流。该电路可简化为图 11.40 所示的结构。很容易可以分析得到 $v_I \geqslant V_{IH}$ 时的 $v_{NOR} \sim v_I$ 关系曲线。从中可以得出一些结论。首先，$v_I = V_{IH}$ 时的输出电压比 V_{OL} 稍高。这是因为 R_{C1} 比 R_{C2} 小。实际上，之所以选择 R_{C1} 比 R_{C2} 小，是为了 v_I 等于逻辑 1 电平（即等于 V_{OH}，约为−0.88 V）时输出电压等于先前“或”输出时求得的 V_{OL}。

其次，当 v_I 大于 V_{IH} 时，晶体管 Q_A 工作在放大区，可由图 11.40 所示电路分析该放大器的增益，这个增益值也就是传输特性曲线上 yz 段的斜率。在 z 点，晶体管 Q_A 饱和。再增大 v_I（超过 $v_I = V_S$ 后），集电极电压以及 v_{NOR} 会增大。然而，z 点右侧传输特性曲线的斜率不等于 1，而是约等于 0.5。这是因为当 Q_A 深度饱和时，v_I 增加值的一部分表现为集电结正向偏置电压。练习 11.21 涉及到了或非传输特性的细节问题，希望读者能给出求解过程。

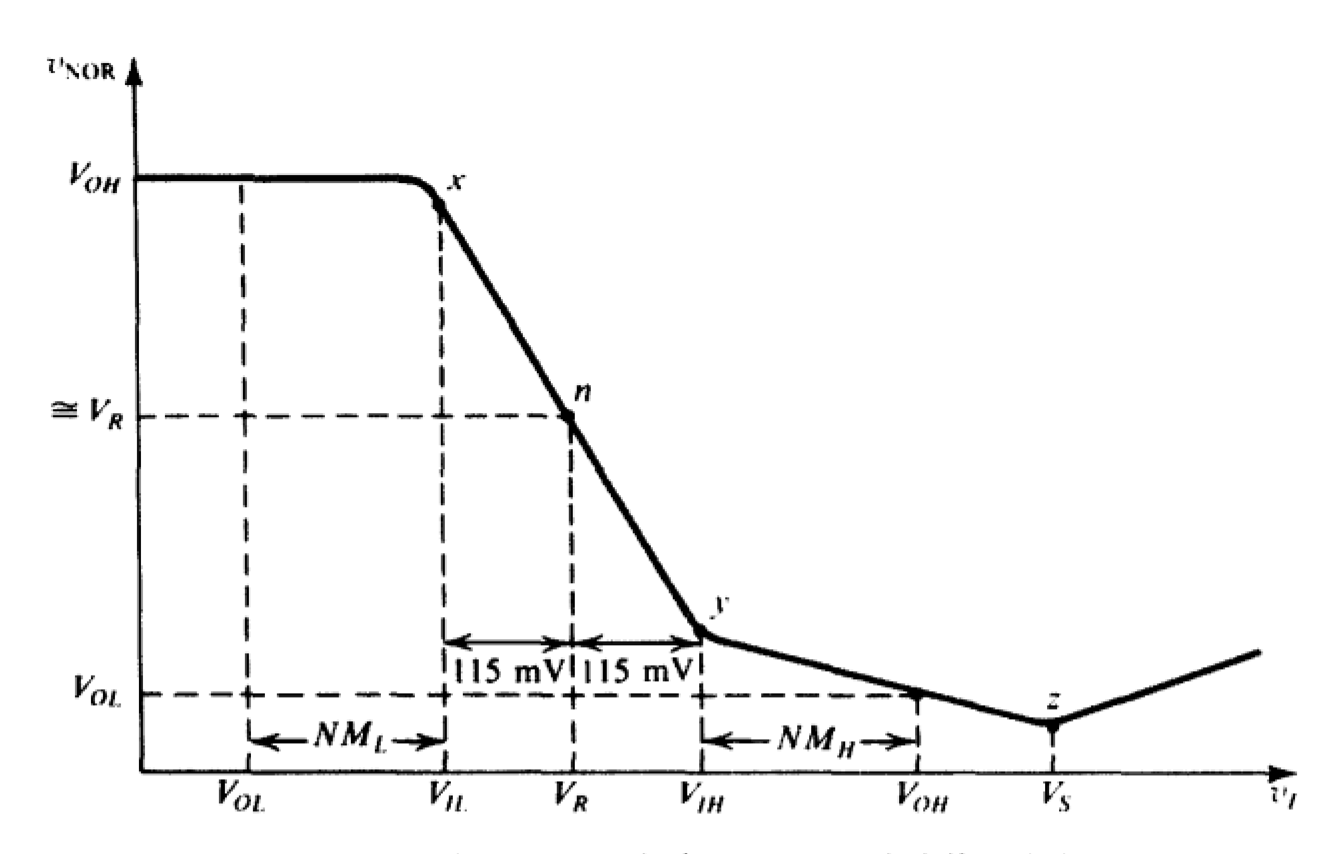


图 11.39　图 11.36 所示电路的 $v_{NOR} \sim v_I$ 或非传输曲线

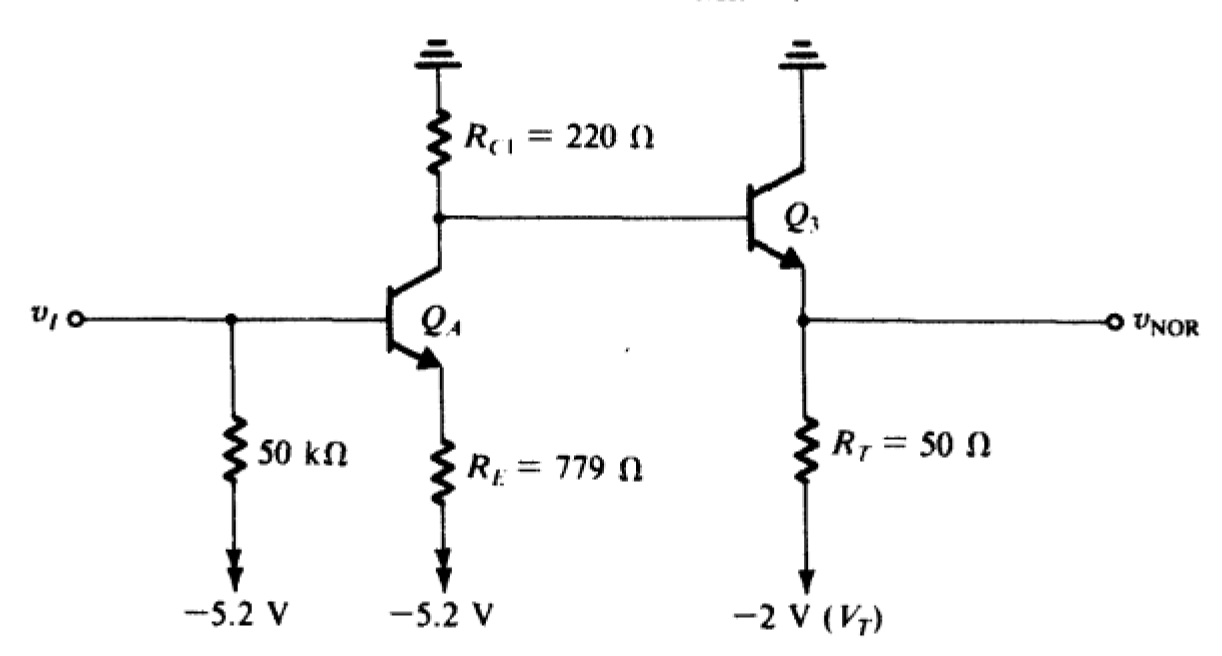


图 11.40　用于求解 $v_I > V_{IH}$ 时 $v_{NOR} \sim v_I$ 关系曲线的电路

练习 11.21　考虑图 11.40 中的电路。（a）若 $v_I = V_{IH} = -1.205$ V，求 v_{NOR}。（b）若 $v_I = V_{OH} = -0.88$ V，求 v_{NOR}。（c）求输出特性曲线在 $v_I = V_{OH} = -0.88$ V 处的斜率。（d）求 Q_A 饱和（即 V_S）时 v_I 的值。假定电流为 1 mA 时 $V_{BE} = 0.75$ V，$V_{CEsat} \simeq 0.3$ V，$\beta = 100$。

答案：（a）−1.70 V；（b）−1.79 V；（c）−0.24 V/V；（d）−0.58 V

厂商规范　ECL 生产厂商提供类似于图 11.37 和图 11.39 所示形式的门电路传输特性。通常提供的是一系列不同温度下测得的曲线。另外，对于每个温度值会给出参数 V_{IL}，V_{IH}，V_{OL}，V_{OH} 在最差情况下的值。这些值中考虑到了元件之间不可避免的差异。比如，Motorola 在 MECL 10 000 的说明书中给出了 25℃时的最差情况值[①]：

$$V_{IL\max} = -1.475 \text{ V} \qquad V_{IH\min} = -1.105 \text{ V}$$
$$V_{OL\max} = -1.630 \text{ V} \qquad V_{OH\min} = -0.980 \text{ V}$$

① MECL 是 Motorola 公司 ECL 产品的商标。

利用这些值可以确定最差情况下的噪声容限：

$$NM_L = 0.155\text{ V} \qquad NM_H = 0.125\text{ V}$$

这些值大概只有前面计算得到的典型值的一半。

感兴趣的读者可以参考本书最后文献中列出的 Motorola（1988，1989）出版物，以获取更多关于 MECL 说明书的信息。

11.7.5 扇出

当 ECL 门的输入信号为低电平时，输入电流等于 50 kΩ下拉电阻上流过的电流，因此，

$$I_{IL} = \frac{-1.77+5.2}{50} \simeq 69\ \mu\text{A}$$

当输入为高电平时，由于输入晶体管基极电流的影响，输入电流较大。假定晶体管的β为 100，可得

$$I_{IH} = \frac{-0.88+5.2}{50} + \frac{4}{101} \simeq 126\ \mu\text{A}$$

这些电流都很小，由于 ECL 门的输出电阻也很小，因此扇出门输入电流导致的逻辑信号电平衰减会比较小。因此，ECL 门的扇出不受限于逻辑电平的衰减，而受限于电路速度（上升与下降时间）的衰减。后者归咎于每个扇出门给驱动门带来的电容（约 3 pF）。因而，尽管直流扇出高达 90 也不会成为设计上的问题，但交流扇出却受限于电路速度，只能达到 10 左右。

11.7.6 工作速度与信号传输速度

逻辑电路的工作速度由其基本门电路的延迟以及输出波形的上升及下降时间来衡量。ECL 电路的这些参数的典型值已经给出。这里需要指出的是，由于输出电路是一个射极跟随器，因此输出信号的上升时间比下降时间短。这是因为在输出脉冲的上升沿射极跟随器开始工作，提供对负载和寄生电容进行充电的输出电流。而当射极跟随器的基极信号下降时，射极跟随器关闭，负载电容通过负载和下拉电阻进行放电。

要完全发挥 ECL 电路能够提供的最大工作速度，需要十分注意系统中各个逻辑门之间的连接方式。为了说明这一点，我们对信号传输速度做一简要讨论。

ECL 处理的信号的上升时间仅有 1 ns 或更少，对于光来说，在这么短时间内也只能传播 30 cm 左右。对于这种信号，导线及其周围环境变得相对复杂，此时的信号传播速度为有限值（可能为光速的一半，即 15 cm/ns）。如果没有采取特别措施，传送到导线末端的能量不会被吸收，而会被反射回发射端，（如果没有特别处理）还会再次发生反射。这一反射过程的观测结果被称为“振铃”，信号偏离终值，存在衰减振荡。

遗憾的是，ECL 特别容易受振铃的影响，因为其信号电平很低。因此，信号的传输必须很好地加以控制，除了吸收能量，还要避免反射。通行的手段是以某种方式改造连接导线的性质。一种方法是保证导线非常短，这里的“短”是相对于信号的上升时间而言的。这样做的原因是：如果连接线很短以至于反射回到发射端时输入仍在上升中，结果只不过是产生一个变缓且带有起伏的上升沿。

然而，如果反射回到发射端发生在上升沿结束之后，则不仅仅是初始边沿会发生改变，还会产生独立的二次效应。显然这很糟糕！因此，信号从导线的一端到另一端的往返时间必须比驱动信号的上升时间小若干倍，比如说 5 倍。因此，对于一个上升时间为 1 ns 的信号，传播速度等于光速（30 cm/ns）时，来回导线的长度必须小于光传播 0.2 ns 之后的长度（即 6 cm），因此端到端

的导线长度必须小于 3 cm。

这就是对 ECL 100K 提出的限制。然而，ECL 10K 的上升时间较慢，约为 3.5 ns。根据同样的规则，ECL 10K 对应导线的长度可以长达 10 cm。

如果还要增加长度，就必须使用传输线了。传输线实质上就是周围环境受到控制的导线。传输线到参考地平面或传输线两导线之间的距离是严格受控的。因此，传输线可以是一根线接地的双绞线，或者是其中一根接地的平行带状线，或者是所谓的微带线。这些线都位于印刷电路板上。其中，微带线实质上就是尺寸受控的铜线，与地平面分属厚度较薄的印刷电路板的两侧。

传输线的特性阻抗 R_0 介于数十欧姆到几百欧姆之间。信号在传输线上的传播速度要比光速小得多，大约为光速的一半。当传输线的接收端接上与特性阻抗 R_0 阻值相等的电阻时，线上传输的能量会全部被接收端接收，而不会发生发射（因为终端相当于一根无限长的传输线）。因此，信号的完整性得到保持。这种传输线称为终端处理合适的传输线。一根终端合适的传输线在其发送端相当于阻值为 R_0 的电阻。ECL 10K 中射极跟随器的射极开路，具有较低的输出电阻（最大为 7 Ω），非常适于驱动传输线。ECL 作为传输线的接收端也很不错。具有较高的下拉电阻（50 kΩ）的单个门对传输线来说是一个高阻。因此，可以简单地把数个门接到传输线的终端。图 11.35 说明了这几点。

11.7.7 功率损耗

由于 ECL 电路的差分性质，门电流几乎保持恒定，并根据输入逻辑信号在门的两侧之间转换。因此，供电电流及未接终端的 ECL 门的功耗都相对恒定，不随门的逻辑状态发生变化。这样，电源线上就不会出现电压尖峰。在数字系统中这种尖峰是一种危险的噪声源。因此，ECL 电路中的供电线并不一定需要旁路电容，这与 TTL 电路不同。这是 ECL 的另一个优点。

这里，我们需要强调前面已经提及的一点。尽管 ECL 门可以工作在 $V_{EE} = 0$ 和 $V_{CC} = +5.2$ V 的情况下，但我们通常建议选择 $V_{EE} = -5.2$ V 和 $V_{CC} = 0$ V，这是因为电路中所有信号的电平都以 V_{CC} 为参考，并且地平面是一个很好的参考面。

练习 11.22 对图 11.34 中的 ECL 门，在所有输入为低电平且输出射极跟随器的射极开路的情况下，估算电路中的耗散功率。假定参考电路为 4 个相同的门供电，因此单个门在参考电路中的耗散功率仅为四分之一。

答案： 22.4 mW

11.7.8 温度效应

在对图 11.34 中 ECL 门的分析过程中，我们求得室温下的参考电压 V_R 为−1.32 V。同时，我们还发现输出逻辑摆幅的中点约等于这个电压值。这种情况比较理想，因为这时高低电平的噪声容限相等。在例题 11.4 中，我们将推导出参考电压及输出高低电压分别对应的温度系数。通过这个例子可以看到，随着温度的变化，输出逻辑摆幅的中点与参考电压的变化保持一致。因此，尽管随着温度变化高低电平噪声容限的绝对大小会发生改变，但是始终保持相等。这是 ECL 的另一个优点，同时也说明这个门电路在设计上进行了高度的优化。

例题 11.4 试求参考电压 V_R 以及 V_{OL} 和 V_{OH} 之间中点电压的温度系数。

解： 先求 V_R 的温度系数。考虑图 E11.18，假定温度升高 1℃。二极管和三极管压降的温度系数记为 δ，$\delta \simeq -2$ mV/℃。等效电路如图 11.41 所示。在该电路中，器件压降的变化等效为信号，因此电源表示为信号地。

图 11.41 所示的电路中有两个信号发生器，我们希望分析该电路以求得 V_R 的变化量 ΔV_R。我们可

以利用叠加原理来进行求解。首先考虑 R_1，D_1，D_2，2δ 和 R_2 支路，忽略 Q_1 的基极信号电流。容易求出 Q_1 基极的信号电压为

$$v_{b1} = \frac{2\delta \times R_1}{R_1 + r_{d1} + r_{d2} + R_2}$$

其中，r_{d1} 和 r_{d2} 分别表示二极管 D_1 和 D_2 的增量电阻。D_1 和 D_2 的直流偏置电流约为 0.64 mA，因此 $r_{d1} = r_{d2} = 39.5\ \Omega$，所以 $v_{b1} \simeq 0.3\delta$。由于射极跟随器 Q_1 的增益约为 1，且信号源 2δ 产生的ΔV_R 约等于 v_{b1}，即$\Delta V_{R1} = 0.3\delta$。

下面考虑由信号源δ 产生的ΔV_R。射极跟随器基极电路的总电阻为 $[R_1 \| (r_{d1} + r_{d2} + R_2)]$，除以$\beta + 1$（$\beta \simeq 100$）就可得到这个$\Delta V_R$：

$$\Delta V_{R2} = -\frac{\delta \times R_3}{[R_B / (\beta + 1)] + r_{e1} + R_3}$$

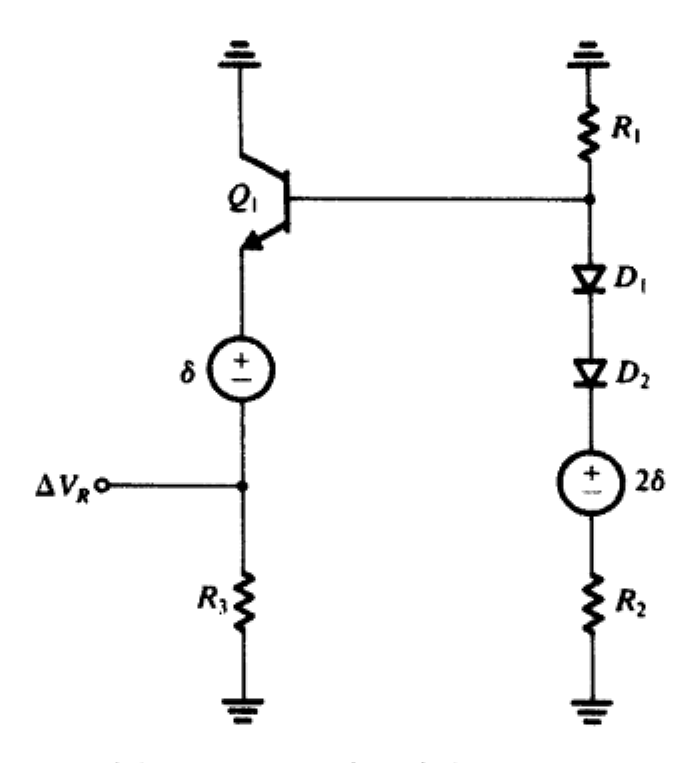


图 11.41　用于求解参考电压 V_R 温度系数的等效电路

其中，R_B 表示基极电路的总电阻，r_{e1} 表示 Q_1 的射极电阻（$\simeq 40\ \Omega$）。计算可得$\Delta V_{R2} \simeq -\delta$。将这个值与由信号源 2δ 产生的ΔV_{R1} 相加可得$\Delta V_R \simeq -0.7\delta$。故当$\delta = -2$ mV/℃时，V_R 的温度系数为+1.4 mV/℃。

接着来求 V_{OL} 的温度系数。用于求解该值的电路如图 11.42 所示。其中有三个信号源，可分别求出每个信号源作用的结果，而后将其相加即可得到ΔV_{OL}。结果是

$$\Delta V_{OL} \simeq \Delta V_R \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} - \delta \frac{-R_{C2}}{r_{eR} + R_E} \frac{R_T}{R_T + r_{e2}} - \delta \frac{R_T}{R_T + r_{e2} + R_{C2} / (\beta + 1)}$$

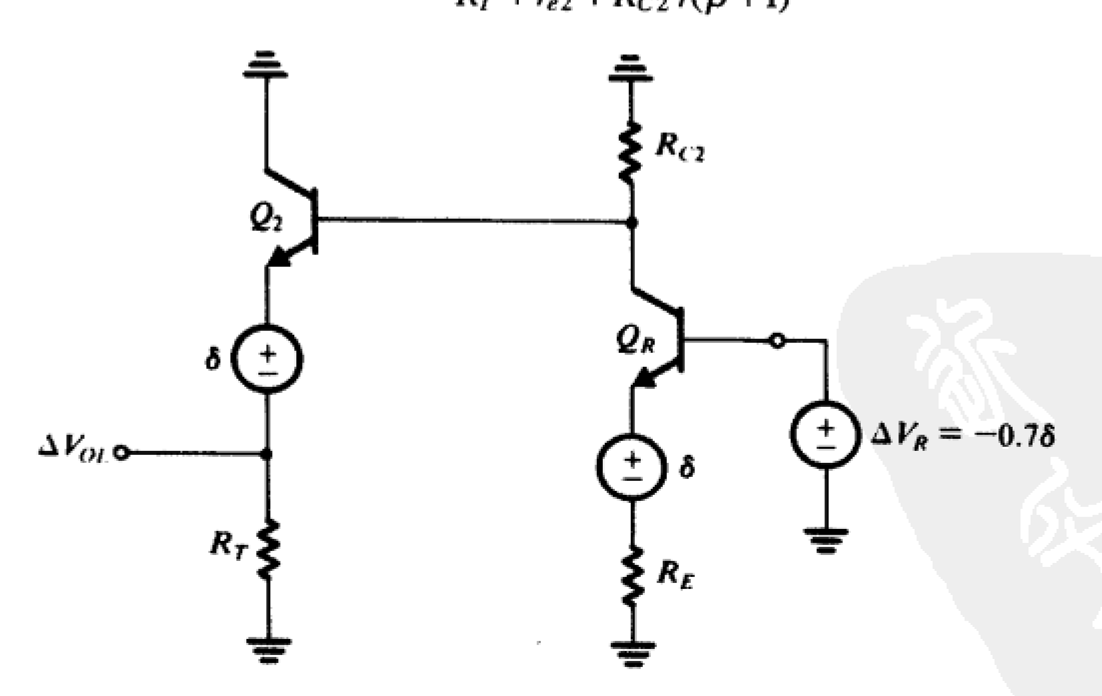


图 11.42　用于求解 V_{OL} 温度系数的等效电路

将题中给出的值和分析过程中得到的值代入，可得

$$\Delta V_{OL} \simeq -0.43\delta$$

用来求解 V_{OH} 温度系数的电路如图 11.43 所示，从中可得

$$\Delta V_{OH} = -\delta \frac{R_T}{R_T + r_{e2} + R_{C2}/(\beta+1)} \simeq -0.93\delta$$

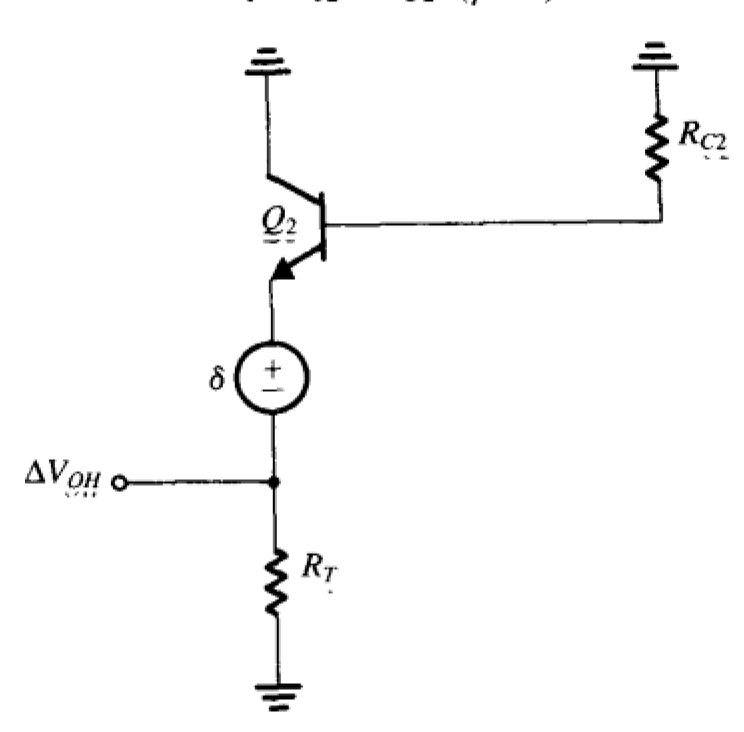


图 11.43 用于求解 V_{OH} 温度系数的等效电路

现在可以求出逻辑摆幅中点的变化值为

$$\frac{\Delta V_{OL} + \Delta V_{OH}}{2} = -0.68\delta$$

这个值约等于参考电压 V_R 的变化值（-0.7δ）。 ■

11.7.9 线或（wired-OR）能力

ECL 系列的输出级为射极跟随器，因此可以简单地把数个门的输出并接，从而在花费很少的情况下实现高层次的逻辑功能。图 11.44 说明了这一点，其中两个门的输出用导线连接在一起。输出跟随器的发射结二极管实现了或逻辑。这种线或连接可以提供高扇入，也可以增强 ECL 在逻辑射极中的灵活性。

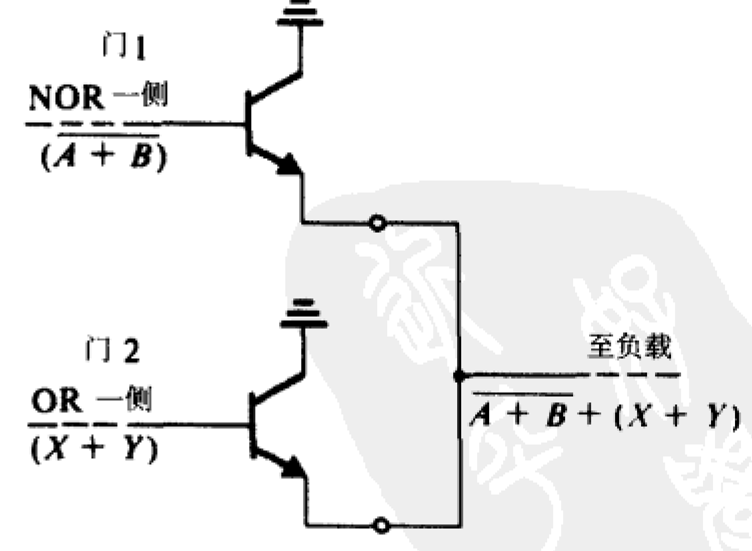


图 11.44 ECL 的线或能力

11.7.10 最后的说明

我们主要通过一类既经济又常用的电路介绍了 ECL。如前所述，为了制造一类超高性能的 SSI 和 MSI 逻辑电路，人们进行了大量的设计优化。如前所述，ECL 及其一些变种也被用于 VLSI 电路的设计中。应用领域包括超级计算机的超高速度处理器以及高速和高频通信系统。在 VLSI 设计中几乎全部使用电流源偏置。另外，采用的电路结构也有很多种［参见 Rabaey (1996)］。

11.8 BiCMOS 数字电路

本节将介绍一种日渐流行的 VLSI 电路技术——BiCMOS。顾名思义，BiCMOS 技术是在一块 IC 芯片上集成了双极型晶体管和 CMOS 电路。CMOS 电路具有低功耗、高输入阻抗和宽噪声容限等特点，而双极型晶体管具有较高的电流驱动能力，BiCMOS 则把这两者的优点集中在一起。具体而言，CMOS 逻辑电路技术尽管在很多方面都较为理想，但是其电流驱动能力却较弱。当 CMOS 门只需要驱动少数几个 CMOS 门时，这不是一个严重的问题。但是，当负载电容相对较大（比如说大于 0.5 pF）时，这就成了大问题。在这种情况下，要么使用复杂的 CMOS 缓冲电路，要么忍受令人难以接受的较长的传播延时。另一方面，由于具有很大的跨导，BJT 能够输出较大的电流。我们已经在 ECL 输出级的射极跟随器中看到了这一点。实际上，较大的电流驱动能力正是 ECL 比 CMOS（在同样条件下）快 2~5 倍的原因——当然，需要以较大的功耗作为代价。总之，BiCMOS 电路整合了 CMOS 和双极型晶体管技术的优点。当要求输出电流较大且超过 CMOS 电路的能力时，这类电路就特别有用。另外，由于 BiCMOS 技术特别适用于高性能模拟电路，使得模拟和数字电路同处于一块芯片成为可能，“片上系统”成为可能实现的目标。然而其代价是制造技术较为复杂，从而比较昂贵（与 CMOS 相比）。

11.8.1 BiCMOS 反相器

目前已经有很多种 BiCMOS 反相器电路被提出和使用。所有这些电路都利用了 *npn* 晶体管以增大 CMOS 反相器能够提供的输出电流。最简单的方法是在 CMOS 反相器的 Q_N 和 Q_P 后级联一个 *npn* 晶体管，如图 11.45（a）所示。注意，该电路可以视为图 11.45（b）中一对互补复合 MOS-BJT 器件的组合。这些复合器件[①]在保持 MOS 晶体管的较高输入阻抗的同时，实际上还将其较小的 g_m 扩大了 BJT 的β 倍。另外值得注意的是：Q_1 和 Q_2 组成的输出级采用了 TTL 中使用的图腾柱结构[②]。

图 11.45（a）中电路的工作情况如下：当 v_I 为低电平时，Q_N 和 Q_2 都关闭，而 Q_P 导通，并为 Q_1 提供基极电流，使得 Q_1 开启。然后，Q_1 产生一个较大的输出电流，对负载电容进行充电。结果使负载电容很快完成充电，对应的低电平到高电平的延时 t_{PLH} 较小。当 v_O 接近于 $V_{DD}-V_{BE1}$ 时，Q_1 截止，因此输出高电平低于 V_{DD}，这是一个缺点。当 v_I 为高电平时，Q_P 和 Q_1 关闭，Q_N 导通，将其漏极电流提供给 Q_2 的基极。Q_1 开启，产生一个很大的输出电流，对负载电容进行放电。同样，高电平到低电平的延时 t_{PHL} 也较小。负面影响是当 v_O 接近于 V_{BE2} 时，Q_2 关闭，因此输出低电平大于零，这同样是一个缺点。

因此，尽管图 11.45（a）所示电路具有较大的输出电流和较短的传播延时，然而其逻辑摆幅及噪声容限的减小却是一个问题。另一个可能更为严重的缺点是 Q_1 和 Q_2 的关闭延时较长，这是由于缺少一条基极电荷释放的通路所致。解决这一问题的方法是分别在 Q_1 和 Q_2 与地之间添加一个电阻，如图 11.45（c）所示。当 Q_1 或 Q_2 关闭时，储存的基极电荷可以通过 R_1 或 R_2 流向地。电阻 R_2 还有一个好处：当 v_I 为高电平时，Q_2 关闭后，v_O 低于 V_{BE2} 时继续下降，Q_N 和 R_2 的串联通路将输出节点拉到地电平，因此 R_2 起到了下拉电阻的作用。然而，Q_N-R_2 通路的阻抗较高，使得将 v_O 拉到低电平的过程很慢。从静态功耗的角度来看，添加 R_1 是不利的：当 v_I 为低电平时在 V_{DD} 和地之间存在一条直流通路经过导通的 Q_P 和 R_1。最后，需要注意的是：R_1 和 R_2 抽走了提

① 有趣的是，这些复合器件早在 1969 年就被提出了［参见 Lin et al. (1969)］。

② 参阅本书（上册）附带光盘中关于基本 TTL 逻辑门电路及其图腾柱输出级的介绍。

供给 Q_1 和 Q_2 基极的部分 Q_N 和 Q_P 的漏极电流，稍稍减小了用于对负载电容进行充放电的门输出电流。

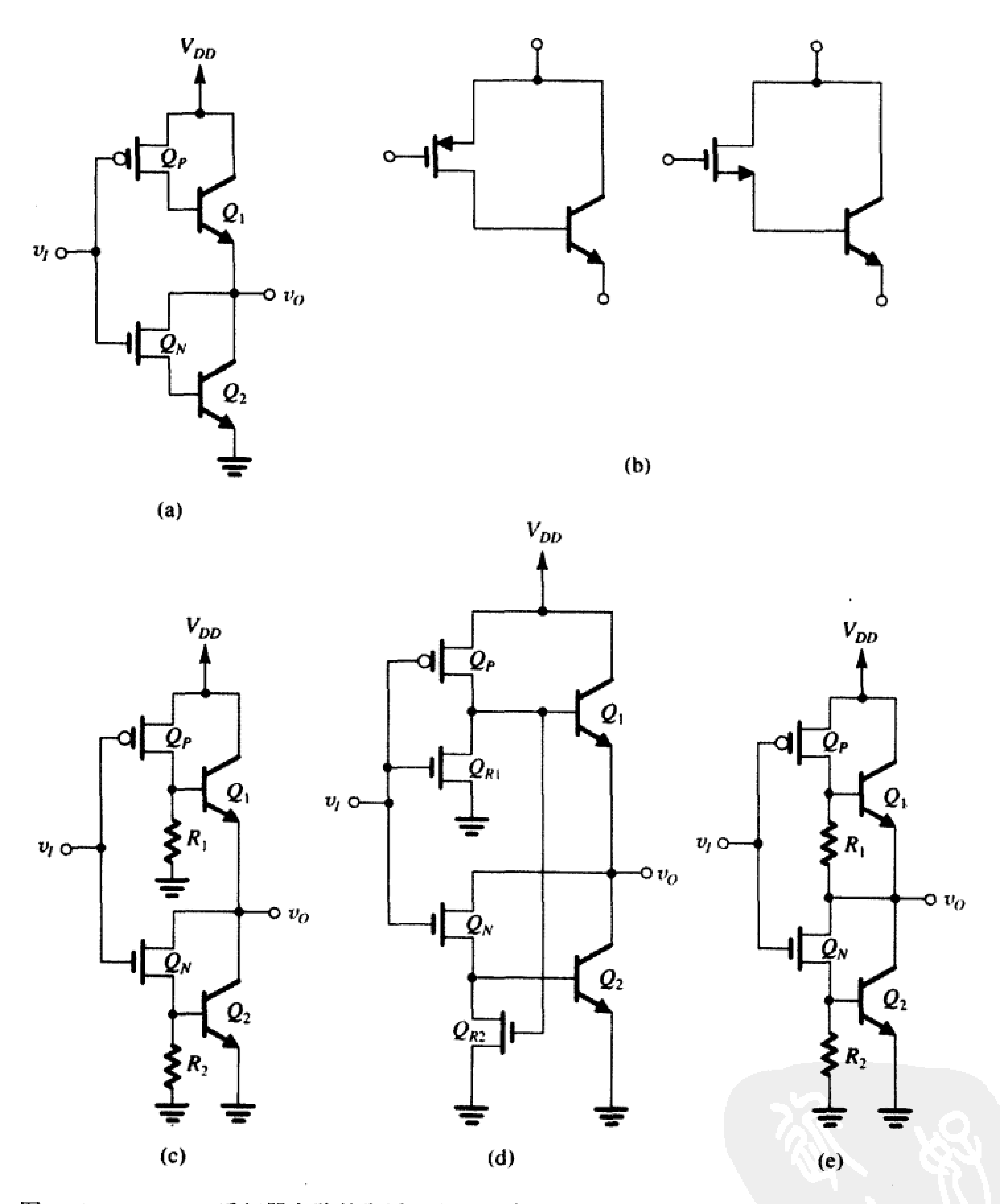


图 11.45 BiCMOS 反相器电路的发展：（a）基本思想是利用额外的双极型晶体管增大 CMOS 反相器 Q_N 和 Q_P 的输出驱动电流；（b）（a）中电路可以视为这些复合器件的组合；（c）为了减小 Q_1 和 Q_2 的关闭时间，添加了“泄漏电阻” R_1 和 R_2；（d）将 NMOS 晶体管用做电阻实现（c）中的电路；（e）（c）中电路的改进结构，将 R_1 的下端接在输出节点上

图 11.45（d）给出的是 R_1 和 R_2 的通常实现方式。如图所示，NMOS 器件 Q_{R1} 和 Q_{R2} 用于实现 R_1 和 R_2。该电路做了如下改进：这两个管子仅在需要时才导通。因此，只有当 v_I 升高时，Q_{R1} 才导通。此时，其漏极电流形成了 Q_1 的反向基极电流，加速了 Q_1 的关闭。同样，只有当 v_I 降低

时，Q_P 才导通，从而将 Q_{R2} 栅极电压拉高。Q_{R2} 的漏极电流形成了 Q_2 的反向基极电流，加速了 Q_2 的关闭。

图 11.45（e）给出的是所谓的 *R*-电路，这是 BiCMOS 反相器的最终电路形式。该电路与图 11.45（c）中的电路仅有一处不同：没有将 R_1 连接到地，而是将 R_1 与反相器的输出节点相连。这一改动有两个好处：其一，解决了静态功耗的问题；其二，R_1 现在成为一个上拉电阻，在 Q_1 关闭后将输出节点电压上拉至 V_{DD}（通过导通的 Q_P）。这样，图 11.45（e）中 *R*-电路的输出实际上接近于 V_{DD} 和地。

对于 BiCMOS 反相器需要注意的是：设计电路时，晶体管 Q_1 和 Q_2 不能同时导通，也不能进入饱和。遗憾的是，有时 BJT 集电极区域的电阻与较大的电容充电电流相互作用，会使 BJT 进入饱和。具体而言，当输出电流较大时，r_C（为 100 Ω的数量级）上产生的电压会使得集电极端的电压下降，导致 CBJ 形成正向偏置。读者可以回想一下，饱和是一种有害的现象，其原因有两个：将集电极电流限制为小于 βI_B；减缓了晶体管关闭的速度。

11.8.2 动态特性

对 BiCMOS 反相器电路的动态特性进行详细分析是极其复杂的。但是如果只是估算其传播延时，则可以只考虑对负载电容 *C* 的充放电时间。当 *C* 相对较大时，它对反相器动态性能起主导作用，或者换句话说，如果我们能够忽略对内部电路节点上的寄生电容进行充电的时间，这种近似是可行的。幸运的是，实际情况一般就是这样。当负载电容不是很大时，可以直接使用简单的 CMOS 反相器。实际上，可以证明 [Embabi，Bellaouar 和 Elmasry (1993)]，仅当门电路需要驱动大扇出或大负载电容时，BiCMOS（与 CMOS 相比）的速度优势才比较明显。例如，负载电容为 50 fF 到 100 fF 时，BiCMOS 和 CMOS 的延时一般是相等的。但是在负载电容为 1 pF 时，BiCMOS 反相器的 t_P 为 0.3 ns，而对应的 CMOS 反相器的 t_P 约为 1 ns。

最后，图 11.46 给出了可以用来粗略估计 *R* 型 BiCMOS 反相器 t_{PLH} 和 t_{PHL} 的简化等效电路。

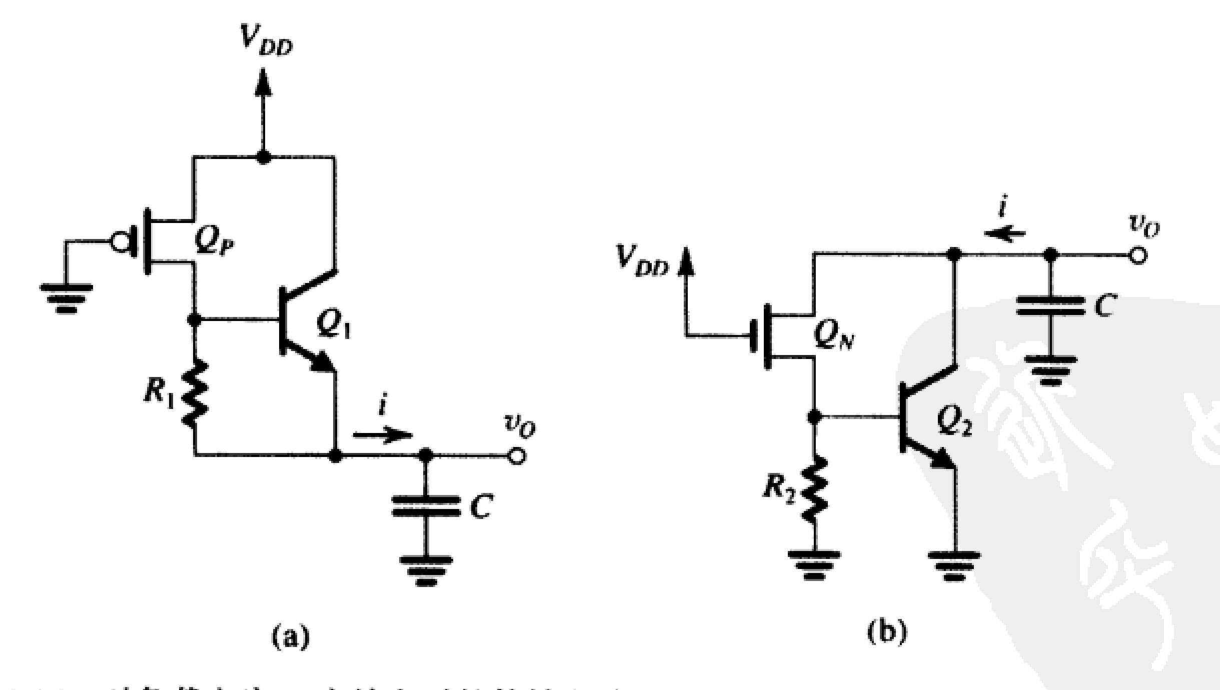


图 11.46　对负载电容 *C* 充放电时的等效电路。注意，*C* 包括了所有输出节点处的电容

11.8.3 BiCMOS 逻辑门

在 BiCMOS 中，逻辑功能通常由门电路的 CMOS 部分实现，而双极型晶体管部分仅仅用做

输出级。利用 CMOS 中使用的方法同样可以构造 BiCMOS 逻辑门电路。作为例子，图 11.47 画出了一个 BiCMOS 二输入与或门。

最后需要注意的是：BiCMOS 技术在很多产品中都得到了应用，包括微处理器、静态 RAM 以及门阵列［参见 Alvarez (1993)］。

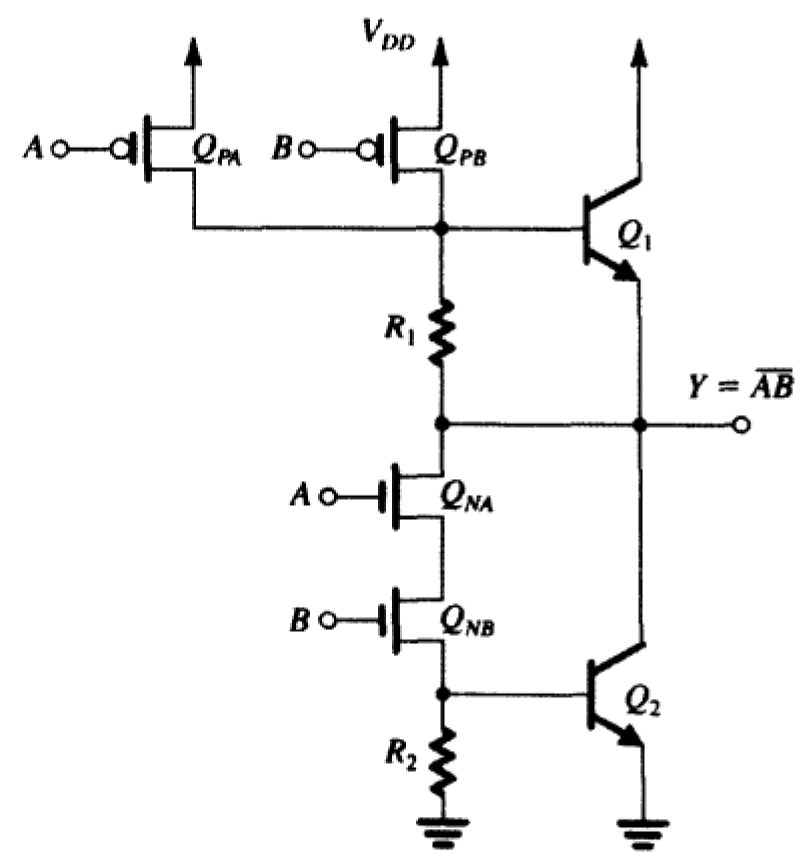


图 11.47 一个 BiCMOS 二输入与或门

练习 D11.23 图 11.45（e）中 BiCMOS 反相器的开启电压等于 Q_N 和 Q_P 都工作在饱和区且流过相同电流时的 v_I 值。v_I 取该值时，Q_2 导通，使得 Q_N 源极的电压约为 0.7 V。要求设计一个电路以使开启电压等于 $V_{DD}/2$。已知 $V_{DD}=5$ V，$|V_t|=0.6$ V。假定 Q_N 和 Q_P 的沟道长度相等，$\mu_n \simeq 2.5\mu_P$，求需要的宽度比 W_p/W_n。

答案：1

11.9 SPICE 仿真实例

最后介绍一个用 SPICE 分析双极型数字电路的例子作为本章的结束。

例题 11.5 一个 ECL 门的静态和动态工作情况

本例中，我们使用 PSpice 来分析 ECL 门的静态和动态工作情况（见 11.7 节中的介绍），Capture 电路原理图如图 11.48 所示。

由于没有办法获知商用 ECL 产品使用的 BJT 的 SPICE 模型参数值，因此我们只能根据经验来选定参数值，利用这些典型值能够使模拟结果与厂商提供的性能测量值相吻合。需要注意的是，将 SPICE 用做辅助工具的 IC 设计师不会遇到这个问题，他们应当能够使用专门的工艺参数和对应的器件模型参数。总之，在接下来的模拟中，我们选择以下的 BJT 模型参数值①：$I_S=0.26$ fA，$\beta_F=100$；$\beta_R=1$，$\tau_F=0.1$ ns，$C_{je}=1$ pF，$C_{jc}=C_\mu=1.5$ pF，以及$|V_A|=100$ V。

我们利用图 11.49 所示电路计算 ECL 门的电压传输特性，即 v_{OR} 和 v_{NOR} 与 v_A 之间的关系，其

① 在 PSpice 中，我们创建了一个基于这些 BJT 模型参数值的元件 QECL。读者可以在本书（上册）附带的 CD 或 www.sedrasmith.org 的 SEDRA.olb 库中找到这个元件。

中 v_A 是 A 端的输入电压。这里，另一个输入端加上了电压 $v_B=V_{OL}=-1.77$ V 以保持恒定。在 PSpice 中，我们使用直流分析模拟功能，v_A 以 10 mV 为一个步进从–2 V 增大到 0 V，画出 v_{OR} 和 v_{NOR} 与 v_A 的关系曲线。模拟结果如图 11.50 所示。很容易看出，这就是我们在 11.7 节中已讲过并通过手工运算（部分）验证过的 VTC。两条传输曲线关于输入电压–1.32 V 对称，此外 PSpice 还求出了参考晶体管 Q_R 的基极电压 V_R 恰好为–1.32 V，这与我们对参考电压电路进行手工运算得到的结果相同。

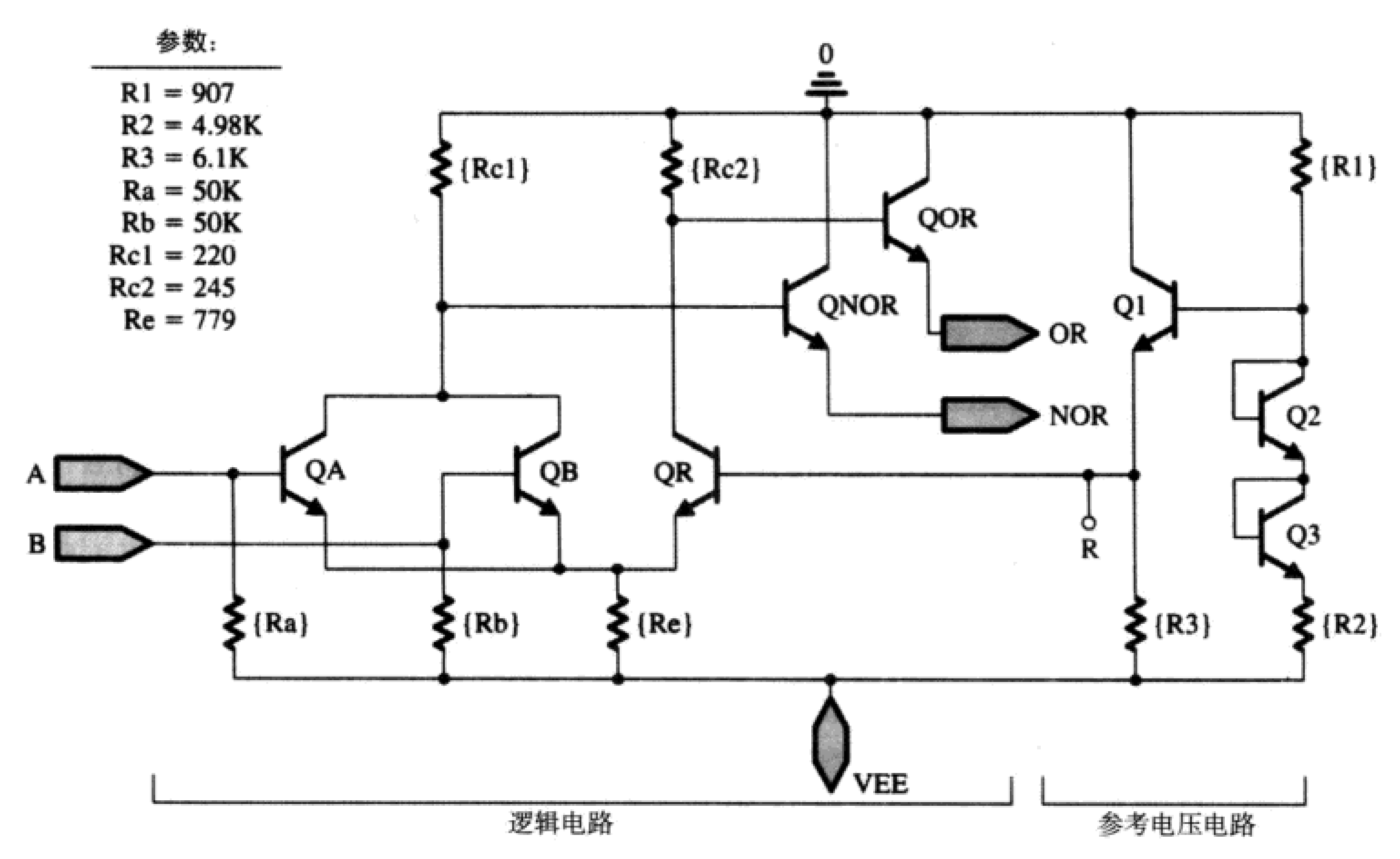


图 11.48　例题 11.5 中二输入 ECL 门的 Capture 电路原理图

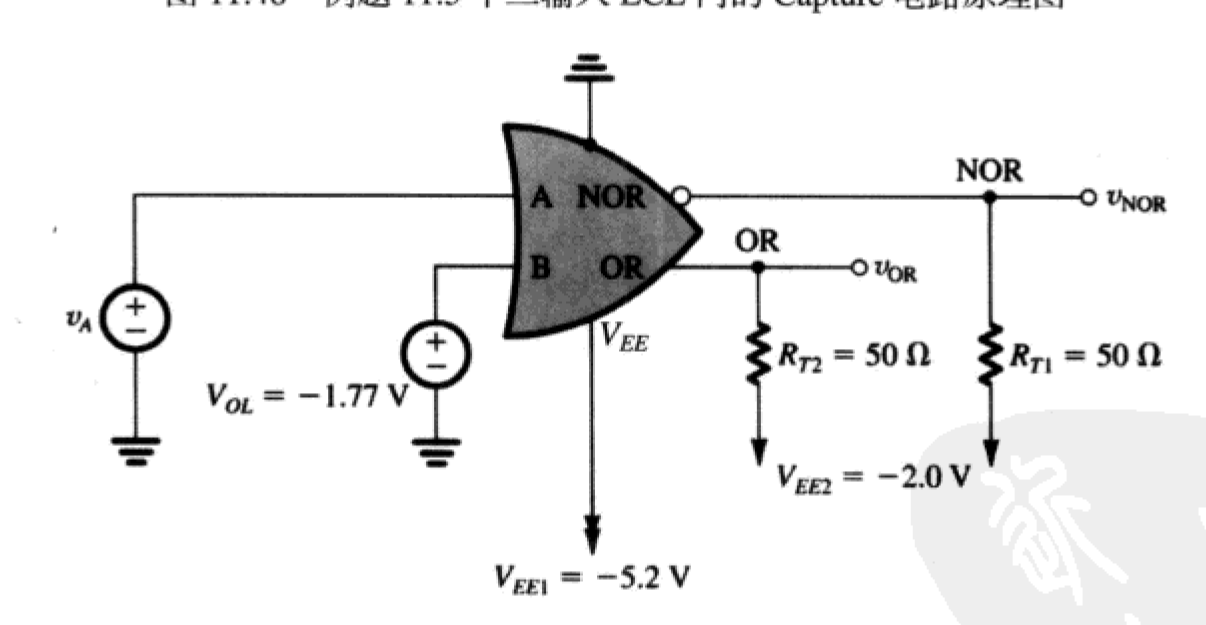


图 11.49　用于计算图 11.48 中 ECL 门电压传输特性的电路

利用 Probe（PSpice 的图形界面）可以确定 VTC 的重要参数值：

或输出：$V_{OL}=-1.77$ V，$V_{OH}=-0.88$ V，$V_{IL}=-1.41$ V，$V_{IH}=-1.22$ V；因此，
$NM_H=0.34$ V 且 $NM_L=0.36$ V

或非输出：$V_{OL}=-1.78$ V，$V_{OH}=-0.88$ V，$V_{IL}=-1.41$ V，$V_{IH}=-1.22$ V；因此，
$NM_H=0.34$ V 且 $NM_L=0.37$ V

这些值与 11.6 节中利用手工分析得到的结果相当接近。

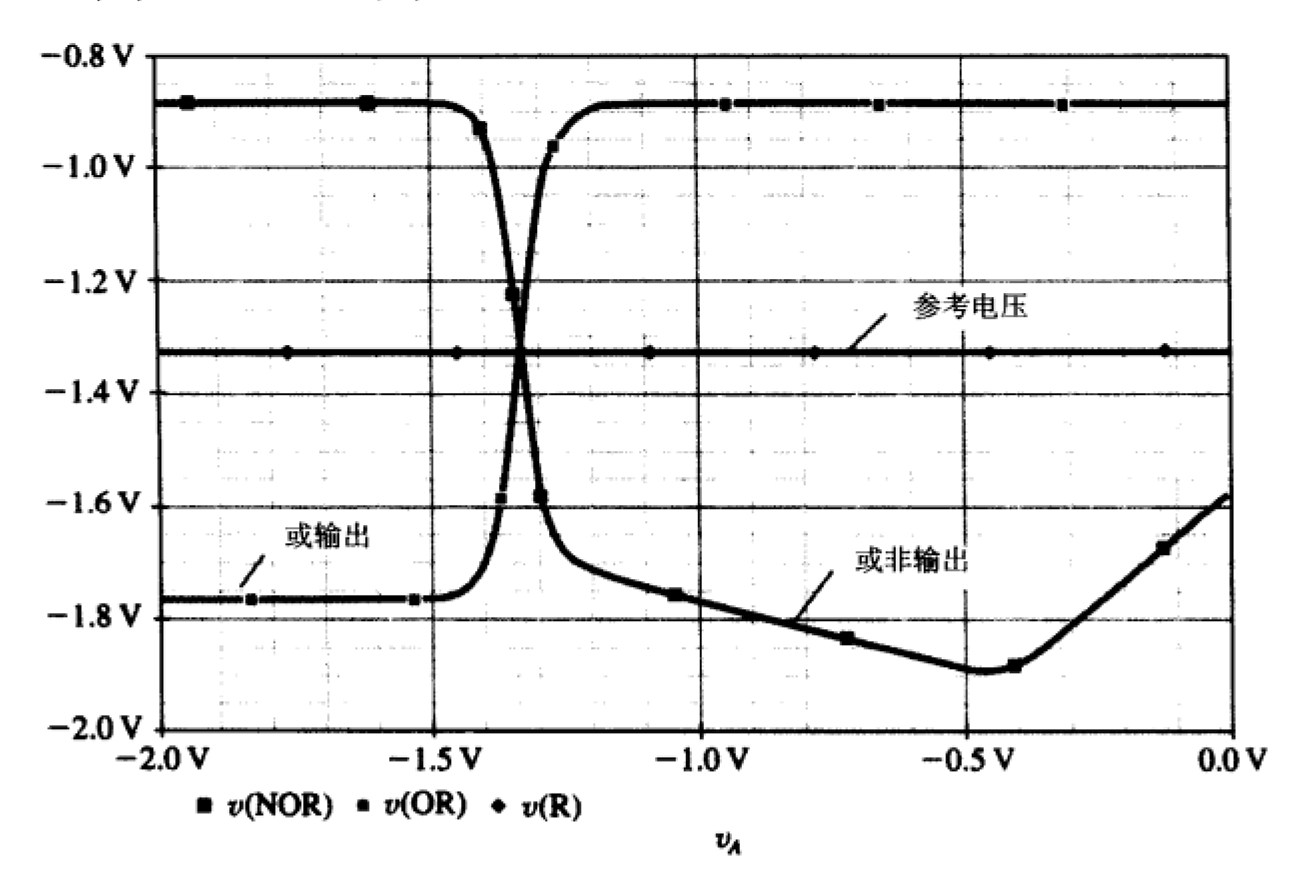
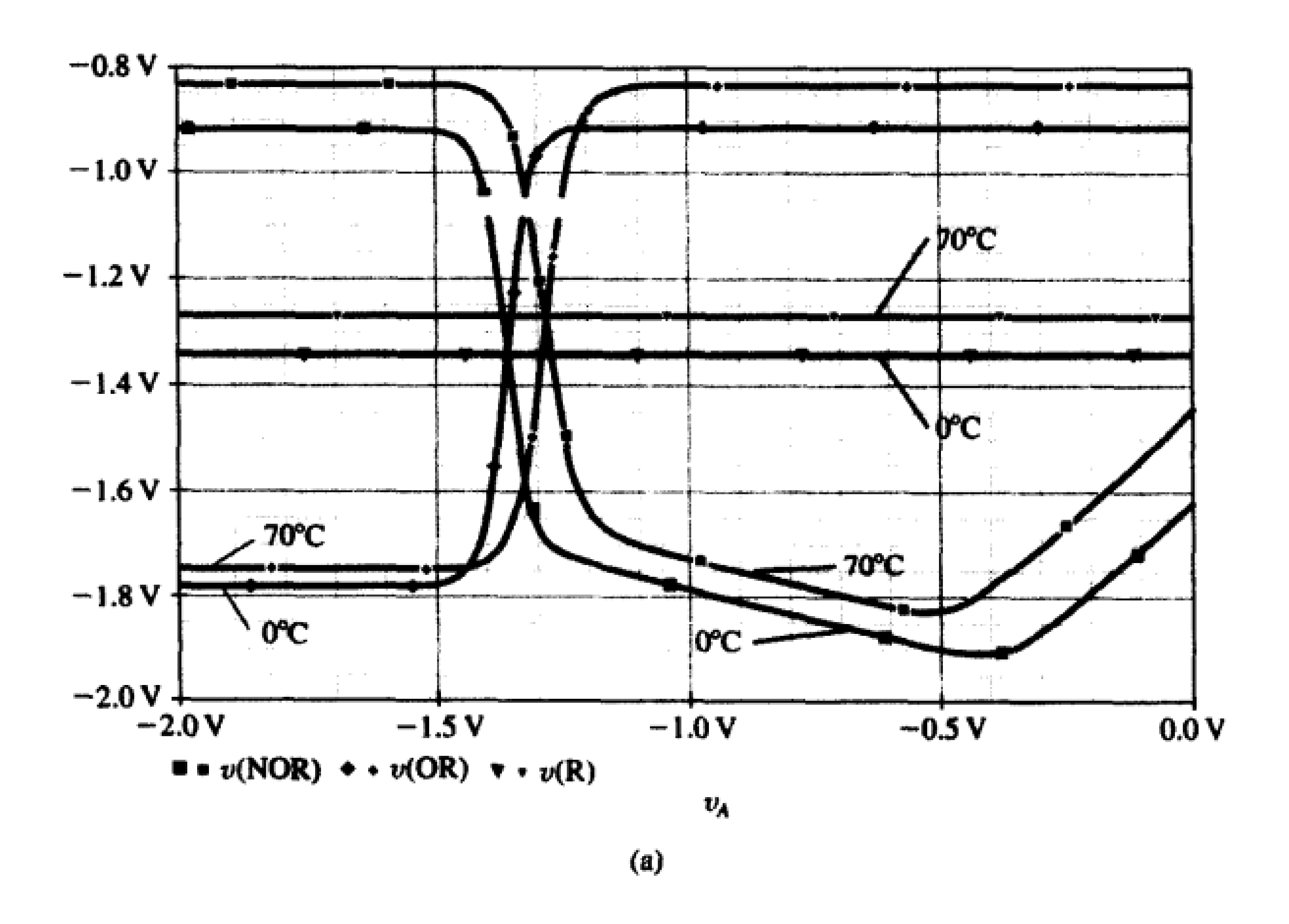


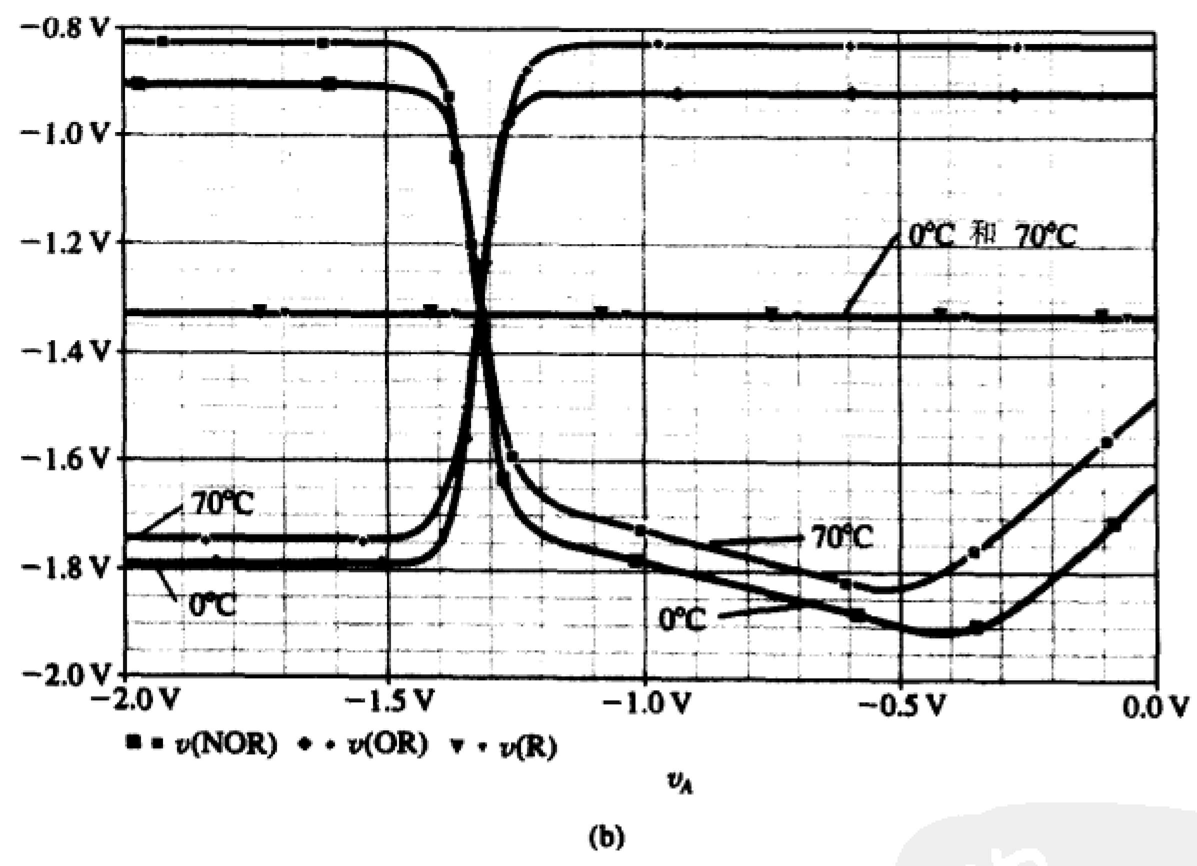
图 11.50　图 11.48 中 ECL 门或输出和或非输出（参见图 11.49）的电压传输特性。图中同时标明了参考电压 $V_R = -1.32$ V

接下来，我们使用 PSpice 分析传输特性与温度的关系。在 11.7 节中，我们花了一定篇幅讨论过这个问题，而且在例题 11.4 中进行了手工分析。这里，我们利用 PSpice 来求解两种不同情况下在 0℃和 70℃时的电压传输特性（图 11.50 所示的 VTC 是在 27℃的情况下得到的）：第一种情况是 V_R 按照图 11.48 所示的电路产生，第二种情况是除去参考电压电路而在 Q_R 的基极加上一个不随温度变化的参考电压−1.32 V。模拟结果在图 11.51 中给出。图 11.51（a）中的传输特性对应的是使用了参考电路的情况，图 11.51（b）对应的是采用恒定参考电压的情况。图 11.51（a）说明：当温度变化时 V_R 会变化，V_{OH} 和 V_{OL} 的值同样会改变，但是平均值保持在 V_R。换言之，低电平和高电平噪声容限几乎保持相等。11.7 节中已提及，例题 11.4 的分析中也表明，这是使 V_R 随温度改变而改变的基本原因。如果 V_R 与温度无关，V_{OL} 和 V_{OH} 不会再对称分布在 V_R 的两侧，如图 11.51（b）所示。最后，表 11.1 列出了计算得到的一些值。可以看到，在存在温度补偿的情况下，V_{OL} 和 V_{OH} 的平均值十分接近于 V_R。希望读者将这一结果与例题 11.4 中得到的结果做一个比较。

下面我们利用图 11.52 所示的电路来分析 ECL 门的动态工作特性。这里，两个门用一根 1.5 m 长、特性阻抗（Z_0）为 50 Ω的同轴电缆连接。厂商给出的参数是：信号沿该同轴电缆（当终端适当连接时）的传播速度约为光速的一半，即 15 cm/ns。因此，我们可以估计 1.5 m 长的同轴电缆引入的延时 t_d 为 10 ns。在本电路中（见图 11.52），电阻 R_{T1} 提供了合适的终端连接。假定电缆无耗，可用 PSpice 中的传输线模型（见模拟库的 T 部分）来表示，其 $Z_0 = 50\ \Omega$，$t_d = 10$ ns。一个阶跃电压在 1 ns 内从−1.77 V 上升到−0.884 V 并加在第一个门的输入端进行 30 ns 时长的瞬态分析。图 11.53 画出了输入波形、第一个门输出端的电压波形、第二个门输入端的电压波形以及输出波形。可以看到，尽管边沿变化速度很快，其波形却相当干净，没有出现振铃和反射现象。这一点特别值得注意，因为信号传播经过了一段很长的距离。对波形的详细分析表明电缆产生的延时确为 10 ns，第二个门的延时约为 1.06 ns。



(a)



(b)

图 11.51　比较两种情况下图 11.48 中 ECL 门的或输出与或非输出的电压传输特性（参见图 11.49）。参考电压 V_R 分别由（a）和（b）产生：（a）图 11.48 中的温度补偿偏置网络；（b）一个不随温度变化的电压源

表 11.1　两种不同温度下（存在或不存在温度补偿时）利用 PSpice 计算得到的 ECL 门的参数值

温度	参数	存在温度补偿		不存在温度补偿	
		OR	NOR	OR	NOR
0℃	V_{OL}	−1.779 V	−1.799 V	−1.786 V	−1.799 V
	V_{OH}	−0.9142 V	−0.9092 V	−0.9142 V	−0.9092 V
	$V_{avg}=\frac{V_{OL}+V_{OH}}{2}$	−1.3466 V	−1.3541 V	−1.3501 V	−1.3541 V

（续）

温度	参数	存在温度补偿		不存在温度补偿	
		OR	NOR	OR	NOR
	V_R	−1.345 V	−1.345 V	−1.32 V	−1.32 V
	$\lvert V_{avg}-V_R\rvert$	1.6 mV	9.1 mV	30.1 mV	34.1 mV
70℃	V_{OL}	−1.742 V	−1.759 V	−1.729 V	−1.759 V
	V_{OH}	−0.8338 V	−0.8285 V	−0.8338 V	−0.8285 V
	$V_{avg}=\frac{V_{OL}+V_{OH}}{2}$	−1.288 V	−1.294 V	−1.2814 V	−1.294 V
	V_R	−1.271 V	−1.271 V	−1.32 V	−1.32 V
	$\lvert V_{avg}-V_R\rvert$	17 mV	23 mV	38 mV	26.2 mV

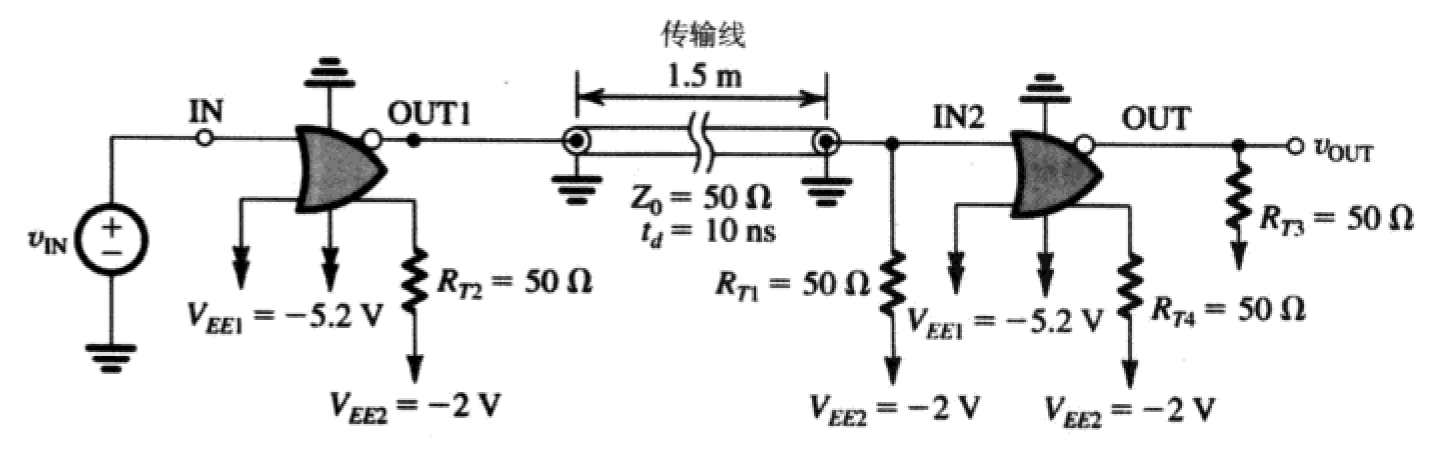


图 11.52 分析 ECL 门动态工作情况的电路。两个 ECL 门（见图 11.48）通过一根 1.5 m 长、特性阻抗 $Z_0 = 50\ \Omega$、传播延时 $t_d = 10$ ns 的同轴电缆相连。电阻 R_{T1}（50 Ω）为同轴电缆提供了合适的终端连接

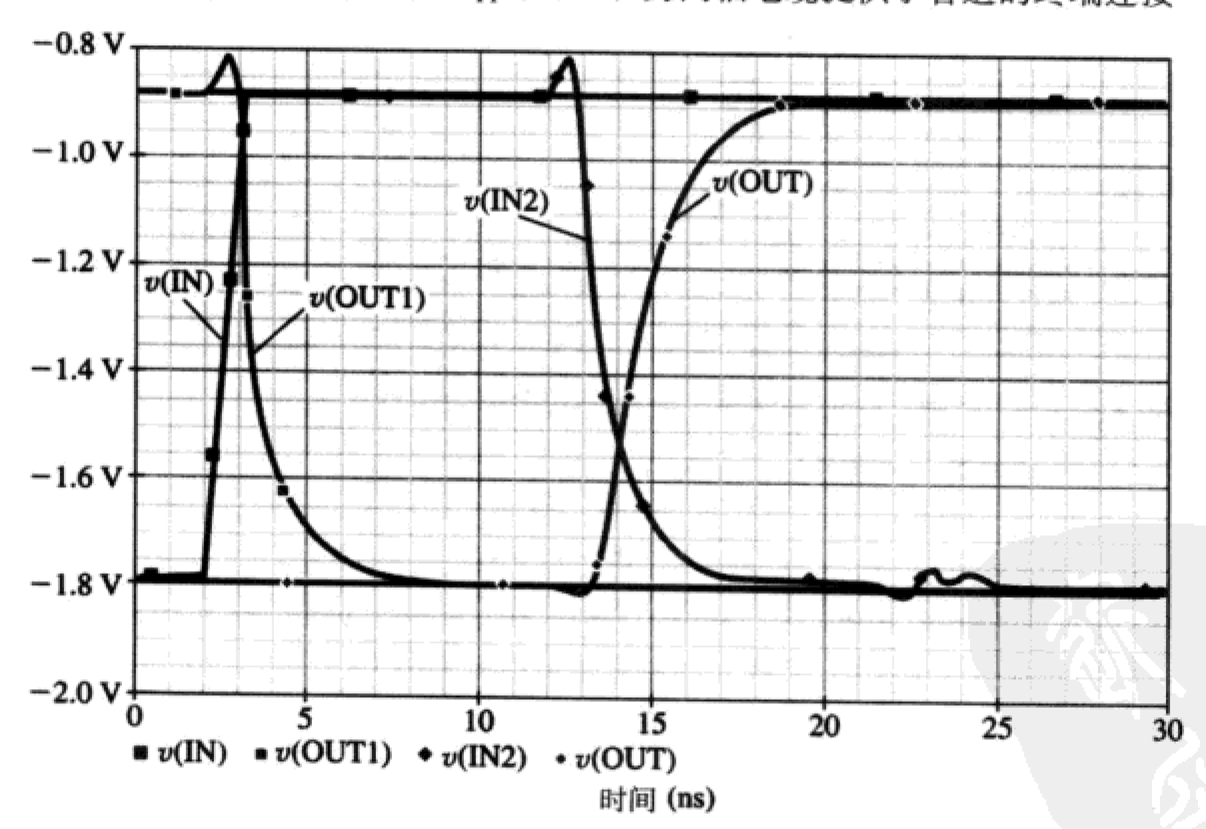


图 11.53 通过 1.5 m 长、特性阻抗为 50 Ω、延时为 10 ns 的同轴电缆（参见图 11.52）连接的两个 ECL 门的瞬态响应

最后，为了说明合适的传输线终端连接的必要性，重复动态分析过程。这里，将 50 Ω的同轴电缆换为 300 Ω的双绞线，而终端电阻保持不变。结果是上升和下降速度较为缓慢，波形延时也很大，如图 11.54 所示（注意图中坐标轴的比例变化）。

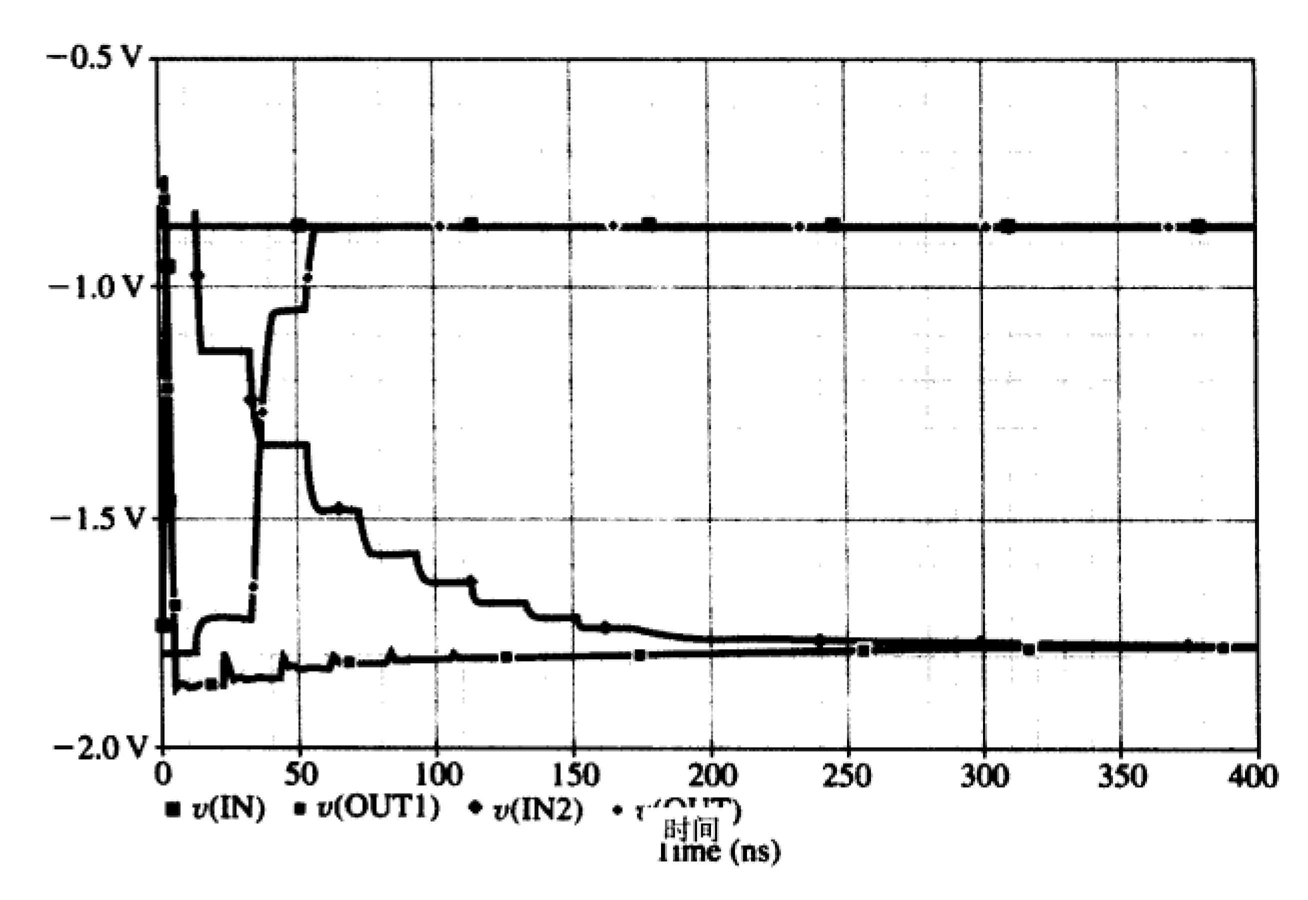


图 11.54　通过 1.5 m 长、特性阻抗为 300 Ω的电缆连接的两个 ECL 门的瞬态响应。终端电阻 R_{T1}（参见图 11.52）保持为 50 Ω。注意图中时间轴的比例变化 ■

小结

- 触发器使用一个或多个锁存器。基本静态锁存器是一个双稳态电路，使用两个反相器连接成一个正反馈环路。锁存器可以稳定在其中任何一种状态下。
- 除了采用正反馈的方法，利用电荷储存同样能够实现存储器。很多 CMOS 触发器采用的就是这种方法，其中包括一些主从 D 触发器。
- 单稳态多谐振荡器有一个可以保持的稳定状态以及一个在触发时进入、在设定时间 T 内保持的准稳态。单稳态电路可以用来生成指定宽度和高度的脉冲信号。
- 非稳态多谐振荡器没有稳定状态，但却存在两个准稳态并在其间进行振荡。非稳态电路在工作时实际上是一个方波发生器。
- 环路振荡器的环路中包括奇数个（N）反相器，$f_{osc}=1/2Nt_P$。
- 随机存储器（RAM）存储（写入）信息和获取（读出）信息所需的时间与信息储存的物理位置（在存储器内）无关。
- 存储器芯片的主要部分包括一些存储位的单元，通常排列成方阵。对一个单元进行读写需要通过行地址译码器选中行并且通过列地址译码器选中列。读放大器检测到选中单元的内容并将其传送到芯片的数据输出端。
- 有两类 MOS RAM：静态和动态。静态 RAM（SRAM）使用触发器作为存储单元；在动态 RAM（DRAM）中，数据储存在电容上，因此需要进行周期性的刷新。DRAM 芯片在给定的芯片面积上实现了最大的存储容量。
- 尽管 SRAM 利用读放大器来加速操作，然而读放大器却是 DRAM 中的基本要素。典型的读放大器是一个差分电路，利用正反馈使输出信号按指数规律变化为 V_{DD} 或 0。
- 只读存储器（ROM）存储的是固定数据信息，其数据在制造时就被存入，用户不能更改。但是，可擦可编程 ROM（EPROM）中的内容却是可以由用户更改的。擦除和编程的过程十分

耗时，因此不应经常进行。

- 一些 EPROM 使用浮栅 MOSFET 作为存储单元。对单元编程时，要对控制栅施加一个高电压。擦除时，需要将芯片置于紫外线的照射中。EEPROM 可以通过电进行擦除和重新编程，应用更加灵活。
- 射极耦合逻辑（ECL）是一类速度最快的逻辑电路。它通过避免晶体管饱和及使用较小的逻辑信号摆幅来实现高速工作。
- ECL 中输入信号控制偏置电流在参考晶体管和输入晶体管之间切换。门电路的基本结构就是一个差分放大器。
- 有两类流行的商用 ECL：ECL 10K（其 $t_P = 2$ ns，$P_D = 25$ mW，$DP = 50$ pJ）；ECL 100K（其 $t_P = 0.75$ ns，$P_D = 40$ mW，$DP = 30$ pJ）。ECL 10K 更容易使用，因为其信号上升和下降时间被故意延长了（约为 3.5 ns）。
- ECL 具有很高的运行速度，因此在将一个门的输出与另一个门的输入相连接时，需要十分小心。通常使用传输线技术。
- ECL 的设计经过了优化，从而使得其噪声容限相等，且当温度改变时仍保持相等。
- ECL 门提供两个互补输出以实现或和或非逻辑功能。
- ECL 门的输出可以进行线或以实现多个输出变量的或逻辑。
- BiCMOS 综合了 CMOS 低功耗、宽噪声容限与 BJT 高电流驱动能力（因此有较小的门延时）的特点，能够实现高密度、低功耗、高速度的 VLSI 电路，其中还可包含模拟电路功能。

习题

11.1 节：锁存器与触发器

11.1　考虑图 11.3 中的钟控 SR 触发器，要求设计面积最小的实现方案。设 Q_1，Q_2，Q_3 和 Q_4 是尺寸最小的器件，其 $W/L = 2\mu\text{m}/1\mu\text{m}$。其他器件的尺寸应与之相同以保证正反馈过程。在本设计中，$V_{DD} = 5$ V，$|V_t| = 1$ V，$k_n' = 2.5k_p' = 100\,\mu\text{A/V}^2$。试求内部每个反相器的 V_{th}。假定当 S 和 ϕ 都为高电平时从导通的 P 器件（即 Q_2）流出的电流要在该电压之下由 Q_5 和 Q_6 的电流保持一段时间，求等效晶体管的 W/L。Q_5 和 Q_6 所需的最小 W/L 是多少？求出 $L = 1\mu$m 及 $W_5 = W_6$ 时的 W_5。为了保证正常工作和使开关时间尽量短，通常使用较大的器件。

11.2　对于图 11.3 所示的触发器，确定置位和复位脉冲所需的最小宽度。设 Q_1，Q_2，Q_3 和 Q_4 是尺寸最小的器件，其 $W/L = 2\,\mu\text{m}/1\,\mu\text{m}$。其他器件的 $W/L = 4\,\mu\text{m}/1\,\mu\text{m}$。设 $V_{DD} = 5$ V，$|V_t| = 1$ V，$k_n' = 2.5k_p' = 100\,\mu\text{A/V}^2$，$Q$ 和 $\bar{Q}$ 节点处的总电容均为 30 fF。（提示：采用练习 11.2 中列出的方法。）

11.3　考虑图 11.5 所示电路的另一种可能情况：将输入 R 重新标记为 $\bar{S}$，输入 S 标记为 $\bar{R}$。假设在大阻抗源的控制下进行不改变触发器状态的读操作时，$\bar{S}$ 和 $\bar{R}$ 通常处于比较高的电平。在写操作时，即置位或复位触发器时，$\bar{S}$ 和 $\bar{R}$ 变为 0 V，ϕ 升高为 V_{DD}，迫使 $\bar{Q}$ 或 Q 降低到 $V_{DD}/2$，这时的正反馈过程十分迅速。Q_1，Q_3，Q_5 和 Q_6 是小尺寸晶体管，$(W/L)_n = 2$。试求 $(W/L)_p$，使得在 5 V 系统中，当 $\bar{S}$ 降为 0 V 时，$\bar{Q}$ 降为 2.5 V。假定 $|V_t| = 1$ V，$k_n' = 3k_p' = 75\,\mu\text{A/V}^2$。

D11.4　图 11.3 中的钟控 SR 触发器不是一个完全的 CMOS 电路。试画出完全的 CMOS 电路，通过在电路中增加对应 PDN 的由 Q_5，Q_6，Q_7 和 Q_8 组成的 PUN 来实现。可以看到，完全的互补型电路利用了 12 个晶体管。尽管电路更为复杂，但是切换速度更快。

D11.5　画出用 CMOS 实现图 11.2 中 SR 触发器的电路。

D11.6　使用逻辑门符号画出用与非门实现的 SR 触发器的结构。给出真值表，描述其工作情况。同时画出用 CMOS 实现的电路。

**11.7　考虑图 11.1 所示的锁存器，用CMOS工艺实现。设$\mu_n C_{ox} = 2\mu_p C_{ox} = 20\ \mu A/V^2$，$W_p = 2W_n = 24\ \mu m$，$L_p = L_n = 6\mu m$，$|V_t| = 1$ V，$V_{DD} = 5$ V。

（a）画出每个反相器的传输特性，即 $v_X \sim v_W$ 关系曲线以及 $v_Z \sim v_Y$ 关系曲线。分别求出输入电压为 1 V，1.5 V，2 V，2.25 V，2.5 V，2.75 V，3 V，3.5 V，4 V 和 5 V 时每个反相器的输出。

（b）利用（a）中的特性曲线确定锁存器的环路电压传输曲线，即 $v_Z \sim v_W$ 关系曲线。求出图 11.1（c）中定义的 A，B 和 C 三点的坐标。

（c）假若需要考虑 MOSFET 饱和时有限的输出电阻，且$|V_A| = 100$ V，求出环路传输特性曲线在 B 点处的斜率。转换区域的宽度约为多少？

11.8　工作在 5 V 电源下的两个 CMOS 反相器连接成一个锁存器。这两个反相器的 V_{IH} 和 V_{IL} 分别为 2.42 V 和 2.00 V，对应的输出为 0.4 V 和 4.6 V。将每个门的传输特性曲线在开启点之间的部分近似为直线，试画出锁存器的开环传输特性。B 点的坐标是多少？B 点处的环路增益为多少？

11.2 节：多谐振荡器电路

D11.9　对于图 11.11 中的单稳态电路，利用练习 11.3 中导出的近似表达式，求出使得 $T = 1$ ms 且因忽略 R_{on} 得到 T 的最大误差为 2%的 R 和 C 的近似值。假定 R_{on} 的最大值不超过 1 kΩ。

11.10　考虑 $R_{on} \ll R$ 时图 11.10 中的单稳态电路。T 的表达式变为什么？如果 V_{th} 标称值为 $0.5V_{DD}$，但因制造过程的影响可能在 0.4 V_{DD} 到 0.6 V_{DD} 之间变化，估算相应的 T 的变化，用标称值的百分比表示。

*11.11　图 11.10 中单稳态电路的波形如图 11.13 所示。设 $V_{DD} = 10$ V，$V_{th} = V_{DD}/2$，$R = 10$ kΩ，$C = 0.001\mu F$，$R_{on} = 200$ Ω。试求 T，ΔV_1，ΔV_2。准稳态时 v_{O1} 的变化为多大？G_1 吸收或放出的峰值电流为多大？

D11.12　利用图 11.10 中的电路，用CMOS逻辑设计一个单稳态电路，$R_{on} = 100$ Ω，$V_{DD} = 5$ V，$V_{th} = 0.4V_{DD}$。用 $C = 1\mu F$ 的电容产生一个脉宽 $T = 1$ s 的输出脉冲，则 R 应取多大？

D11.13　（a）利用练习 11.5 中给出的表达式推导 $V_{th} = V_{DD}/2$ 时图 11.15 所示的非稳态多谐振荡器的振荡频率 f_0 的表达式。

（b）求使得 $f_0 = 100$ kHz 的合适的 R 和 C。

11.14　用于实现图 11.15 中非稳态电路的 CMOS 门的开启电压的标称值为 0.5 V_{DD}，但因工艺原因在 0.4 V_{DD} 到 0.6 V_{DD} 之间变化。求 f_0 相应的（偏离标称值）变化范围，用标称值的百分比表示。（可以使用练习 11.5 中给出的表达式。）

*11.15　考虑在图 11.15 所示电路上做一个改动，在 C 和 R 的公共节点与输入节点 G_1 之间接入一个阻值等于 $10R$ 的电阻。这一电阻使得电压 v_{I1} 可升高到 V_{DD} 以上，或降低到地电压以下。画出改动过后 v_{I1} 的波形，并证明周期 T 为

$$T = CR \ln\left[\frac{2V_{DD} - V_{th}}{V_{DD} - V_{th}} \cdot \frac{V_{DD} + V_{th}}{V_{th}}\right]$$

11.16 考虑由 5 个反相器组成的环路振荡器，每个反相器的 $t_{PLH} = 60$ ns，$t_{PHL} = 40$ ns。画出其中的一个输出波形，并确定其频率以及输出高电平占整个周期的百分比。

11.17 一个由 11 个反相器组成的环路振荡器在 20 MHz 频率上振荡。试求反相器的传播延时。

11.3 节：半导体存储器的类型与结构

11.18 有一个 1 Mb 的方形存储阵列，重新组织其外围电路，使其能够读出 16 b 长的字。新设计所需的地址有多少位？

11.19 对于习题 11.18 中提到的存储器芯片，需要多少条由行译码器提供的字线？采用直接实现结构时，所需的读放大器/驱动器为多少？如果电源为 5 V，在 200 ns 周期时间内连续工作产生的功耗为 500 mW，且所有的功耗都是动态的，试估计任一周期内激活的逻辑状态对应的总电容值。假定 90%的功耗发生在阵列存取中，且位线提供了最大的电容，试计算本设计中每根位线以及每一位对应的电容值。如果采用更好的生产工艺以使存储阵列工作在 3 V 下，则在同样的功耗等级下，使用同样技术能够实现的最大存储阵列为多大？

11.20 一块由 Samsung 制造的 1 Gb 动态存储器（DRAM）使用 0.16 μm 和 2 V 的工艺，存储单元阵列占用了 21 mm × 31 mm 芯片面积的 50%。试估算存储单元的面积。如果两个存储单元形成一个正方形，试估算单元的尺寸。

11.21 一块由 Hitachi 制造的 1.5 V 的 1 Gb 试验动态 RAM（DRAM）采用 0.16 μm 的工艺，单元尺寸为 $0.38 \times 0.76\ \mu\text{m}^2$，芯片面积为 $19 \times 38\ \text{mm}^2$。I/O 连接、外围电路以及互联电路占用了多大的芯片面积？

11.22 一块 256 Mb RAM 芯片的读出位有 16 位，采用 16 个正方形单元阵列块的设计。块译码器、行译码器和列译码器的数据线各为多少条？

11.4 节：随机存储器（RAM）单元

D11.23 考虑图 11.18 中 SRAM 单元的写操作。相关电路部分如图 11.20 所示。设制造工艺参数为 $\mu_n/\mu_p = 2.5$，$\gamma = 0.5\ \text{V}^{1/2}$，$|V_{t0}| = 0.8$ V，$2\phi_f = 0.6$ V，$V_{DD} = 5$ V。两个反相器都是匹配的，有 $(W/L)_1 = (W/L)_3 = n$，这里 n 表示器件尺寸最小时的 W/L 比。

（a）利用图 11.20（a）中的电路，求出 Q_5 可能的最小(W/L)（用 n 表示），使得节点 $\bar{Q}$ 被拉至 $V_{DD}/2$，即当 $v_{\bar{Q}} = 2.5$V 时，$I_5 = I_1$。

（b）利用图 11.20（b）中的电路，求出 Q_6 可能的最小(W/L)比（用 n 表示），使得节点 Q 被拉至 $V_{DD}/2$，即当 $v_Q = V_{DD}/2$ 时，$I_6 = I_4$。

（c）因为 Q_5 和 Q_6 需要设计成具有相同的 W/L 比，在（a）和（b）得到的两个值中，若进行较为保守的设计，你会选哪个值？

（d）对于（c）中得到的值，以及 $n = 2$，$\mu_n C_{ox} = 50\mu\text{A/V}^2$，求 v_Q 变为 $V_{DD}/2$ 时所需的时间。设 $C_Q = 50$ fF。

11.24 考虑图 11.20（a）中的电路，假定器件的尺寸和制造工艺参数与例题 11.2 给出的相同。我们希望求出 $C_{\bar{Q}}$ 进行充电时电压从 0 升高到 $V_{DD}/2$ 所需的时间间隔Δt。

（a）求Δt 开始时，I_5，I_1 和 $I_{C_{\bar{Q}}}$ 的值。

（b）求Δt 结束时，I_5，I_1 和 $I_{C_{\bar{Q}}}$ 的值。

（c）估算在时间间隔Δt 内 $I_{C_{\bar{Q}}}$ 的平均值。

（d）若 $C_{\bar{Q}} = 50$ fF，估算Δt的值。将这个结果与练习 11.9 中 v_Q变为 $V_{DD}/2$ 所需的时间做一个比较。当 v_Q 或 $v_{\bar{Q}}$ 到达 $V_{DD}/2$ 后，正反馈过程才开始，由此估算延时是多大？

11.25 重新考虑例题 11.2 中对 SRAM 单元进行读操作的分析。这里，假定位和$\overline{位}$线都预充电至 $V_{DD}/2$。同时考虑当字线电压达到 $V_{DD}/2$ 时 $C_{\bar{B}}$［参见图 11.19（a）］开始的放电过程。（字线的电阻和电容使其电压较缓地向 V_{DD} 增加。）使用类似于例题 11.2 的方法求出读延时。读延时定义为 $\bar{B}$ 线电压下降 0.2 V 所需的时间。假定所有工艺和器件参数与例题 11.2 中给出的相同。

11.26 对于一个 DRAM 设计，单元电容 $C_S = 50$ fF，$V_{DD} = 5$ V，V_t（包括衬底效应）= 1.4 V。每个单元对于位线而言都是一个 2 fF 的容性负载。若保证位线信号最小为 0.1 V，则一根位线上可以接入的单元最多为多少？要用到多少位行地址？如果读放大器的增益提高 5 倍，可以容纳的字线地址为多少位？

11.27 一个在 98%情况下可以使用的 DRAM，行列比为 2 比 1，周期时间为 20 ns，刷新周期为 8 ms，试估计其总存储容量。

11.28 一块动态存储器芯片的 $C_S = 25$ fF，每个单元在位线上产生的电容为 1 fF，位线控制电路产生的电容为 12 fF。对于一个 1 Mb 的方形阵列，读存储值 1 时产生的位线信号为多少？读存储值 0 时呢？假定 $V_{DD} = 5$ V，V_t（包括衬底效应）=1.5 V。注意，位线会被预充电至 $V_{DD}/2$。

11.29 对于一个电容为 20 fF 的 DRAM 单元，10 ms 内需要进行一次刷新。如果可以忍受电容上的信号损失 1 V，单元能够接受的最大漏电流为多大？

11.5 节：读放大器与地址译码器

D11.30 考虑图 11.23 中差分读放大器在读控制信号ϕ_s升高后的工作情况。假设位线上各产生一个 0.1 V 的平衡差分信号，每根位线的电容为 1 pF。设 $V_{DD} = 3$ V，要使输出在 2 ns 内达到 $0.1\,V_{DD}$ 和 $0.9V_{DD}$（初始值分别为 $0.5V_{DD} + (0.1/2)$ V 和 $0.5V_{DD} - (0.1/2)$ V），放大器中每个反相器的 G_m 应为多大？如果反相器匹配，且$|V_t| = 0.8$ V，$k'_n = 3k'_p = 75\ \mu\text{A/V}^2$，器件的宽度应为多少？如果输入信号为 0.2 V，放大器的响应时间为多大？

11.31 一个如图 11.23 所示的正反馈读放大器采用 0.5 μm 工艺制造，其中晶体管的$|V_t| = 0.8$ V，$k'_n = 2.5k'_p = 100\ \mu\text{A/V}^2$，$V_{DD} = 3.3$ V，$(W/L)_n = 6\ \mu\text{m}/1.5\ \mu\text{m}$，$(W/L)_p = 15\ \mu\text{m}/1.5\ \mu\text{m}$。求每个反相器的 G_m。若一根位线的电容为 0.8 pF，输出端达到 $0.9V_{DD}$ 所需时延为 2 ns，试求两根位线间所需的差分电压值。如果延时增加 1 ns，可以处理什么输入信号？在延时增加和输入信号保持初始电平的情况下，位线电容以及相应的位线长度可以增加百分之多少？如果存储单元产生一个恒定电流对位线电容进行充电，从而建立起读放大器所需的差分电压信号需要的时间是 5 ns，增长位线时这个时间将增大到多少？

D11.32 （a）对于图 11.23 中的读放大器，证明位线达到 $0.9V_{DD}$ 和 $0.1V_{DD}$ 时所需时间为 $t_d = (C_B/G_m)\ln(0.8V_{DD}/\Delta V)$，其中$\Delta V$ 是两根位线间的初始差分电压。

（b）如果要把读放大器的响应时间减少一半，所有晶体管的宽度必须增大多少倍？

（c）对于某一具体设计，$V_{DD} = 5$ V，$\Delta V = 0.2$ V，要使ΔV 减小 4 倍而 t_d 保持不变，所有晶体管的宽度必须增大多少倍？

D11.33 要求设计一个如图11.23所示的读放大器，使其能够和采用图11.25中虚设单元技术的DRAM一同工作。存储 0 时 DRAM 提供的读出电压为−100 mV，存储 1 时为+40 mV。读放大器需要最多在 5 ns 内提供 2 V 的差分输出电压。试求反相放大器中晶体管的 W/L 比，假定制造工艺参数为 $k_n' = 2.5k_p' = 100\ \mu A/V^2$，$|V_t| = 1$ V，$V_{DD} = 5$ V。每根位线的电容为 1 pF。当读 0 时放大器的响应时间是多少？读 1 时呢？

11.34 考虑一个 512 行的或非译码器。这个译码器对应了多少位地址？它有多少根输出线？或非阵列需要多少根输入线？这样一个电路需要多少个 NMOS 和 PMOS 晶体管？

11.35 对于图 11.27 中的列译码器，256 Kb 的方形阵列需要多少位列地址？多路开关中需要多少个 NMOS 传输晶体管？或非译码器中需要多少个 NMOS 晶体管？多少个 PMOS 晶体管？总共需要多少个 NMOS 和 PMOS 晶体管？

11.36 考虑图 11.28 所示的用于一个 256 Kb 方形阵列的树状列译码器。这里需要有多少位地址？用到的传输门要有多少层？总共需要多少个传输晶体管？

11.6 节：只读存储器 (ROM)

11.37 写出图 11.29 中 ROM 存储的 8 个字。

D11.38 设计一个(16 × 4)ROM 的位图，存储两个 2 b 变量相乘得到的 4 b 结果。仿照图 11.29 的形式，给出实现 ROM 阵列的电路。

11.39 考虑图 11.29 中的动态 ROM，其中 PMOS 器件的栅极连接到预充电控制信号ϕ。设所有 NMOS 器件的 $W/L = 3\ \mu m/1.2\ \mu m$，所有 PMOS 器件的 $W/L = 12\ \mu m/1.2\ \mu m$。假定 $k_n' = 3k_p' = 90\ \mu A/V^2$，$V_{tn} = -V_{tp} = 1V$，$V_{DD} = 5$ V。

（a）在预充电过程中，ϕ降为 0 V。试估算将一根位线从 0 V 充电至 5 V 所需的时间。将位线电压从 0 V 上升到 5 V 的过程进行一半（即 2.5 V）时由 PMOS 晶体管提供的电流作为平均充电电流。位线的电容为 1 pF。注意，此时所有的 NMOS 管晶体都处于截止状态。

（b）在预充电结束且ϕ恢复为 V_{DD}后，行译码器升高选定字线的电压。考虑到字线的电压、电容均为有限值，电压按指数规律升高至 V_{DD}。如果每条多晶硅字线的电阻为 5 kΩ，字线与地之间的电容为 2 pF，则字线电压从 10%上升到 90%所需的时间为多少？经过一个时间常数后的电压为多少？

（c）我们将字线电压按指数规律上升的过程近似为字线电压从 0 上升到经过一个时间常数后电压的阶跃变化过程。试求一个 NMOS 晶体管对位线放电时电压下降 1 V 所需的时间Δt。

11.7 节：射极耦合逻辑（ECL）

D11.40 考虑图 P11.40 中的 ECL 电路，所有晶体管在发射极电流为 I 时的 V_{BE} 均为 0.75 V，而且β值很大。

（a）求 V_{OH}和 V_{OL}。

（b）当输入 B 足够低且使得 Q_B 截止时，A 处的电压为多少时可使 $I/2$ 流过 Q_R？

（c）若流过 Q_R的电流为 $0.99I$，重复（b）。

（d）若流过 Q_R的电流为 $0.01I$，重复（c）。

（e）利用（c）和（d）的结果确定 V_{IH} 和 V_{IL}。

（f）求 NM_H 和 NM_L。

（g）求使得噪声容限等于过渡区域宽度（$V_{IH} - V_{IL}$）的 IR 的值。

（h）利用（g）中求得的 IR，求出该 ECL 门的 V_{OH}，V_{OL}，V_{IH}，V_{IL} 和 V_R 的数值。

*11.41 三个逻辑反相器连接成环。这类门电路的参数是：高电平到低电平输出转换的传播延时为 3 ns，低电平到高电平的转换为 7 ns。假设一个门的输入端因某种原因从低电平变为高电平。试画出三个门输出端的波形，并根据它们的相对位置说明这个电路的工作类似于振荡器。这个环形振荡器的振荡频率是多少？在每个周期中输出高电平和低电平的时间各有多长？

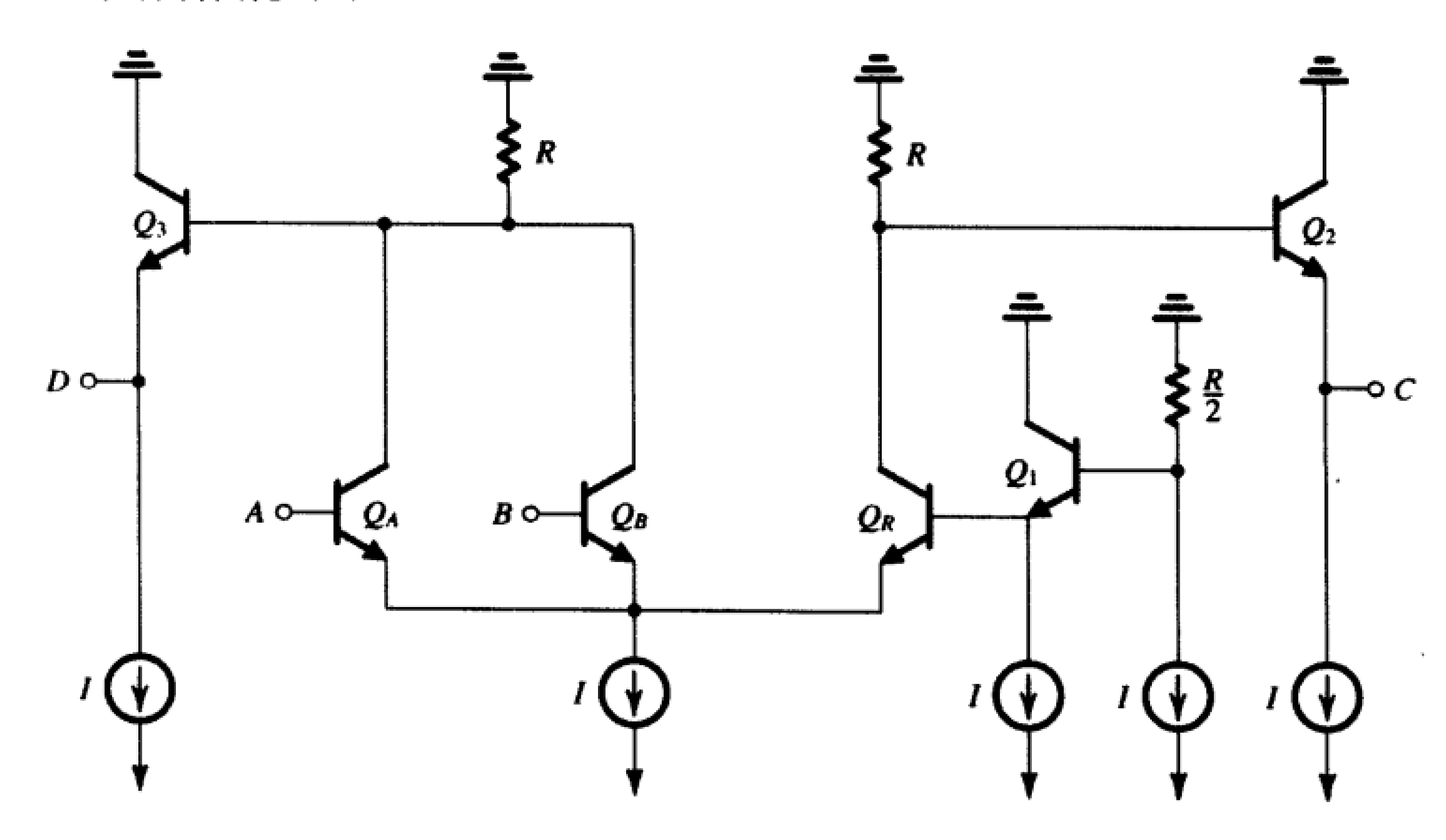


图 P11.40

*11.42 利用习题 11.41 中环形振荡器的思想考虑由 5 个 ECL 100K 反相器组成的环路。假定反相器的上升和下降沿都为直线（因此波形为梯形）。设 0 到 100%的上升和下降时间均为 1 ns。同时，设传输延时（两种转换情况下）都等于 1 ns。试画出 5 个输出信号的波形并提供相对相位信息。振荡频率是多少？

*11.43 利用图 11.34 和图 11.44 中说明的 ECL 组成逻辑和电路的灵活性，画出一个 ECL 逻辑电路以实现异或逻辑功能 $Y = \bar{A}B + A\bar{B}$。

*11.44 图 11.36 中电路的传输特性如图 11.37 所示。求传输特性曲线上 x，m 和 y 点处从输入到或输出的增量电压增益。假定β=100。利用练习 11.20 的结果，设 x 点处的输出为–1.77 V，y 点处为–0.88 V。提示：x 和 y 处的电流按 1%和 99%分流。

11.45 图 11.36 中电路的传输特性如图 11.37 所示。试求 V_{IH} 和 V_{IL}，x 和 y 分别被定义为发生两种情况的点：

（a）电流 I_E 的 90%被切换。

（b）电流 I_E 的 99.9%被切换。

11.46 对于图 11.36 中的对称负载电路，取典型输出信号电平（$V_{OH} = -0.88$ V 和 $V_{OL} = -1.77$ V），求全部负载电阻 R_T 和全部输出跟随器的功率损耗。单个 ECL 输出接上对称终端时的总功耗是多少？

11.47 考虑图 11.38 中的电路，要使噪声容限 NM_H 降低 50%，Q_2 的 β 值应为多大？

*11.48 一个 ECL 门的反向输出端通过一个 50 Ω的电阻接到–2 V 的电源。将总负载电容记为 C。当门的输入端电压升高时，输出射极跟随器截止，负载电容 C 通过 50 Ω的负载放电（直到射极跟随器重新导通为止）。试求使放电时间为 1 ns 的 C 的值。假设两个输出电平为–0.88 V 和–1.77 V。

11.49 对于上升和下降时间为 3.5 ns 的信号，当要求上升时间与返回时间之比为 5 比 1 时，未接终端的门和门之间的连接导线有多长？假设导线的周围环境决定信号以三分之二的光速传播（也就是 30 cm/ns）。

*11.50 对于图 P11.50 中的电路，设输入 A，B，C 和 D 的电平为 0 或+5 V。当所有输入为 0 V 时，E 处的电压为多少？当 A 和 C 升高到+5 V 时，E 处的电压为多少？假定 $|V_{BE}| = 0.7$ V，$\beta = 50$。将 E 表示为 A，B，C 和 D 的逻辑函数。

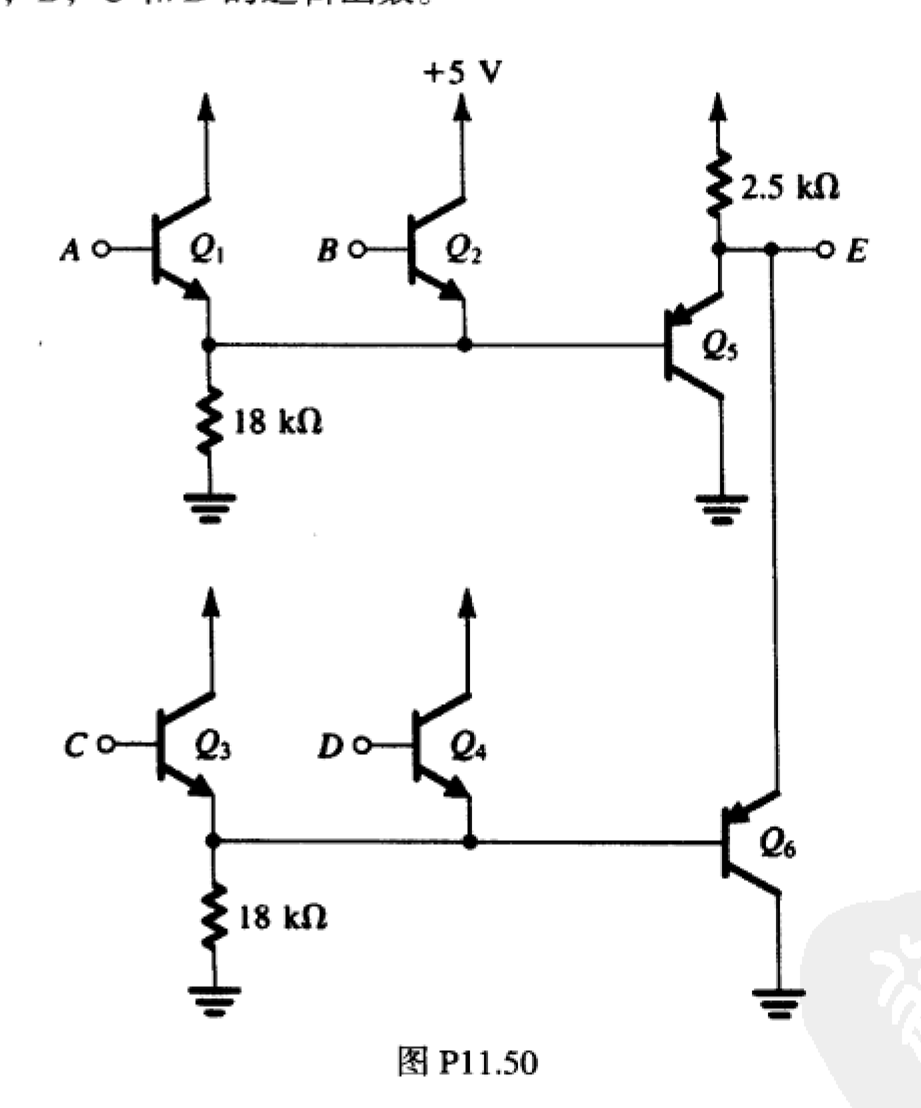


图 P11.50

11.8 节：BiCMOS 数字电路

11.51 考虑图 11.45（a）中的 BiCMOS 电路，设 $V_{DD} = 5$ V，$|V_t| = 1$ V，$V_{BE} = 0.7$ V，$\beta = 100$，$k'_n = 2.5k'_p = 100\ \mu\text{A/V}^2$，$(W/L)_n = 2\mu\text{m}/1\mu\text{m}$。若 $v_I = v_O = V_{DD}/2$，求使 $I_{EQ1} = I_{EQ2}$ 的 $(W/L)_p$。该图腾柱电路的静态电流是多少？

11.52 考虑图 11.45（a）中的 BiCMOS 电路，条件同习题 11.51。如果 Q_N 和 Q_P 的 $W/L = 2\mu\text{m}/1\mu\text{m}$，反相器的开启电压是多少？当 v_I 等于开启电压时图腾柱电路流过的电流为多少？

D11.53 考虑图 11.45（c）电路中 R_1 和 R_2 的选择。在选择时最重要的考虑因素是要使基极驱动电流的损失尽可能小。当流过 Q_N 和 Q_P 的电流较小时，这个损失就显得尤为重要。同样，在相关 MOS 晶体管工作在变阻区（比如当$|v_{DS}| = |V_t|/3$ 时）的情况下，当处于输出信号摆幅最低值时，这种情况也会发生。试确定 R_1 和 R_2 的值，使得基极电流的损失不超过 50%。比值 R_1/R_2 是多少？如果损失不超过 20%，重新进行上述计算。

11.54 对于图 11.45（a）中的电路，参数值同习题 11.51 中给出的值，且$(W/L)_n = (W/L)_p$，试估算负载电容为 2 pF 时的传播延时 t_{PLH}，t_{PHL} 和 t_P。假设内部节点的电容对结果影响不大。使用电容充电和放电电流的均值来求解。

11.55 对于图 11.45（e）中的电路，假定 $R_1 = R_2 = 5\ \text{k}\Omega$，重做习题 11.54。

D11.56 考虑图 11.46 中一个与非门的动态响应，设外部负载电容较大。如果最差情况下的响应与图 11.45（e）中的反相器相同，则 Q_{NA}，Q_{NB} 和 Q_N 与 Q_{PA}，Q_{PB} 和 Q_P 之间(W/L)比的相互关系是什么？

D11.57 画出一个二输入 BiCMOS 或非门的电路。如果负载接一个较大的电容，门电路最差情况下的延时等于图 11.45（e）中反相器的值，求每个晶体管的 W/L，用$(W/L)_n$和$(W/L)_p$表示。



第 12 章　滤波器与调谐放大器

引言

这一章将介绍通信和仪表系统中很重要的一类模块电路：电子滤波器。滤波器的设计是仅有的从性能规范开始到电路实现为止都具备完整设计理论的工程设计之一。滤波器设计的详细内容可以写一本书，事实上这样的教材已经有了。由于篇幅有限，我们将有选择地集中讨论几个主题，给读者提供关于滤波器设计的概述以及常用的滤波器电路和设计方法。

最早的滤波器实现技术采用的是电感和电容，相应的电路也称为无源 LC 滤波器。这种电路在高频工作时性能较好，而在低频（直流~100 kHz）工作时性能却很不理想，原因是此时需要的电感量相当大，体积也很大。更严重的是，大电感是不可能单片集成的，因此也无法和现代技术相结合以构造电子系统，所以人们对不采用电感来实现滤波器的做法产生了兴趣。在很多种无电感滤波器中，我们要介绍的是 RC 滤波器和开关电容滤波器。

有源 RC 滤波器使用运算放大器并结合电阻和电容，制作时采用分立的、混合厚膜或者混合薄膜技术。但对大批量生产而言，这种技术所产生的经济效益不如单片集成工艺大。现在最可行的单片集成滤波器电路的实现采用的是开关电容技术。

本章的最后将介绍收音机和电视机中广泛使用的调谐放大器。虽然调谐放大器也属于带通滤波器，然而对其进行单独的介绍是因为它的设计方法有些不同。

12.1　滤波器传输、分类和规范

12.1.1　滤波器传输

我们要介绍的滤波器是一个线性电路，可以用通用的二端口网络来表示，如图 12.1 所示。滤波器传输函数是指输出电压 $V_o(s)$对输入电压 $V_i(s)$的比值：

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} \tag{12.1}$$

要了解滤波器的传输特性，需要将物理频率 $s = j\omega$ 代入，并用幅度和相位来表示传递函数：

$$T(j\omega) = |T(j\omega)|\, e^{j\phi(\omega)} \tag{12.2}$$

幅度特性通常用分贝（dB）表示，称为增益函数：

$$G(\omega) \equiv 20\log|T(j\omega)|, \text{dB} \tag{12.3}$$

或者表示为衰减函数：

$$A(\omega) \equiv -20\log|T(j\omega)|, \text{dB} \tag{12.4}$$

滤波器将输入信号的频谱$|V_i(j\omega)|$根据传输函数的幅度特性$|T(j\omega)|$成形为输出电压的频谱 $V_o(j\omega)$：

$$|V_o(j\omega)| = |T(j\omega)||V_i(j\omega)| \tag{12.5}$$

同样，当信号经过滤波器后，它的相位特性也会根据相位函数 $\phi(\omega)$ 进行调整。

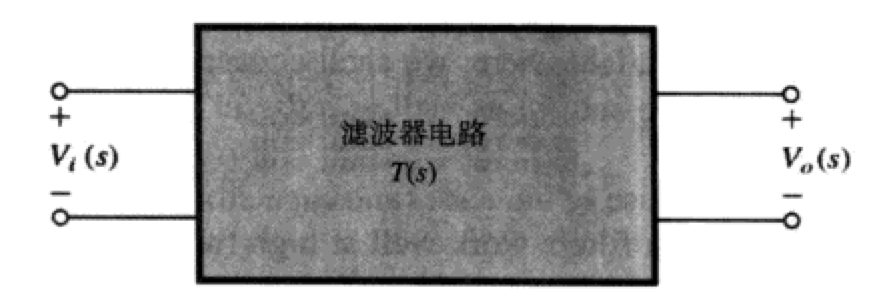


图 12.1 本章介绍的滤波器是线性电路，可以用二端口网络表示。滤波器传输函数 $T(s) \equiv V_o(s)/V_i(s)$

12.1.2 滤波器分类

这里我们特别要关注一下滤波器的选频特性：能通过的信号的频谱只存在于特定的一个区域内，而不能通过的信号的频谱则存在于特定区域之外。这样的滤波器有一个理想的频段特性，传输函数的幅度特性为 1（对应滤波器的通带）和 0（对应滤波器的阻带）。参见图 12.2，4 种理想滤波器的传输特性均在图中表示出来：低通（LP）如图 12.2（a）所示，高通（HP）如图 12.2（b）所示，带通（BP）如图 12.2（c）所示，带阻（BS）如图 1 2.2（d）所示。由垂直边界表示的理想传输特性也称为砖墙响应。

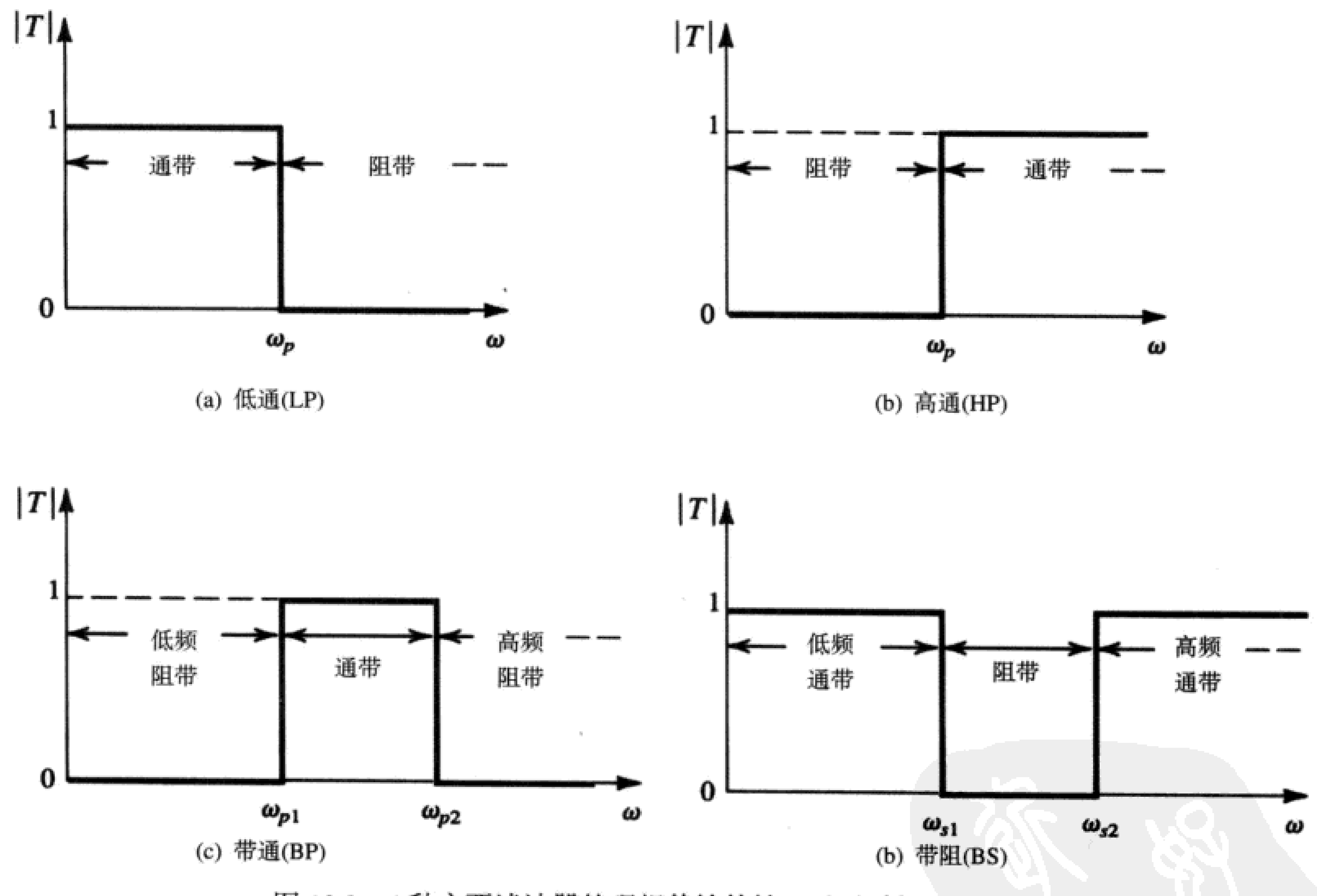


图 12.2 4 种主要滤波器的理想传输特性：（a）低通（LP）；（b）高通（HP）；（c）带通（BP）；（d）带阻（BS）

12.1.3 滤波器规范

滤波器设计的第一步是由设计者根据所设计滤波器的性能要求来规范传输函数。实际的传输函数不具备图 12.2 所示的性能，因为实际的物理电路不可能实现理想特性。图 12.3 所示的是一个实际低通滤波器的传输特性。观察发现，实际电路不能实现在通带范围内的常数传输，所以允许在理想 0 dB 附近有波动传输，但波动的上限是 A_{max} (dB)。根据不同的应用，A_{max} 的典型值是

0.05 dB 到 3 dB。同样，实际电路也不可能提供阻带内所有频率点上的零传输，规范允许阻带内可以有信号传输，但要求阻带内的信号与通带信号相比其衰减至少是 A_{min} (dB)。根据不同的应用，A_{min} 的典型值在 20 dB 到 100 dB 之间。

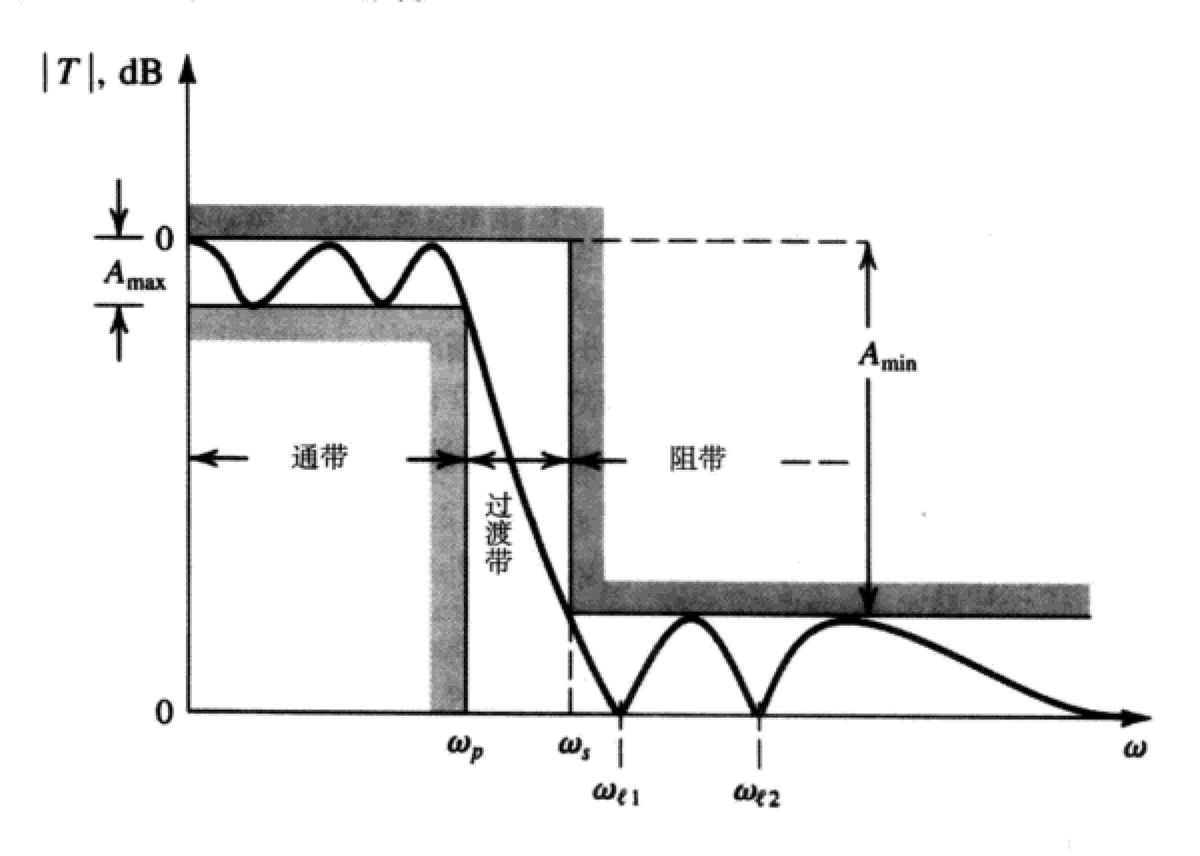


图 12.3 低通滤波器传输特性的规范。图中给出了满足规范要求的滤波器幅频特性

由于实际电路的传输特性在通带的边界处不可能急剧变化，因此图 12.3 所示的传输特性提供了一段频率区间，在这段区间内，信号的衰减从 0 dB 开始增加到 A_{min}。过渡段的起始频率是通带的边界ω_p，终止频率是阻带边界ω_s。比值ω_s/ω_p代表低通滤波器响应的尖锐性，也称为选择性。为方便起见，通带传输特性的幅度规定为 0 dB，最终的实际电路一般都有通带增益，但不改变选择性。

总之，低通滤波器的参数规范需要确定以下 4 个参数：

1. 通带边界频率ω_p
2. 通带内传输的最大变化值 A_{max}
3. 阻带边界频率ω_s
4. 阻带内衰减的最小值 A_{min}

A_{max} 设计得越小、A_{min} 设计得越大且比值ω_s/ω_p越接近于 1，设计得到的滤波器传输特性就越接近于理想滤波器。但是这样的实际滤波器必定阶数很高，电路很复杂，价格也很贵。

除了要对滤波器传输的幅度特性加以规范外，很多应用也需要对相位特性进行规范，同时考虑幅度和相位将使滤波器的设计变得很复杂。

以上讨论了滤波器的规范问题，接下来的设计就是寻找传输函数，它的幅度特性能够满足规范的要求。为此，幅频响应曲线只能位于图 12.3 的非阴影区内。图中的曲线是正好满足规范要求的滤波器特性曲线，对这个特定的滤波器，观察发现通带内的波纹具有等幅度值，即都等于 A_{max}。A_{max} 也称为通带波纹，ω_p 也称为波纹带宽。特定滤波器的响应在阻带内也同样存在这样的波纹，而且峰值均相等，因此阻带衰减取得相同的规范值 A_{min}，因而这个特定滤波器的响应在通带和阻带内均具有等波纹特性。

获取满足规范要求的滤波器传输函数的过程也称为滤波器近似。滤波器近似通常借助于计算

机软件（Snelgrove，1982；Ouslis and Sedra，1995）或滤波器设计表（Zverev，1967）来完成。我们可以利用闭合形式的表达式进行简单分析，这部分内容将在 12.3 节阐述。

最后，图 12.4 所示的是带通滤波器的设计规范以及满足此规范的一个实际电路的传输特性曲线。该例子的通进函数在通带内没有出现波纹，在中心频率的两边信号是单调下降的，在通带的两个边界处取得最大允许偏差。

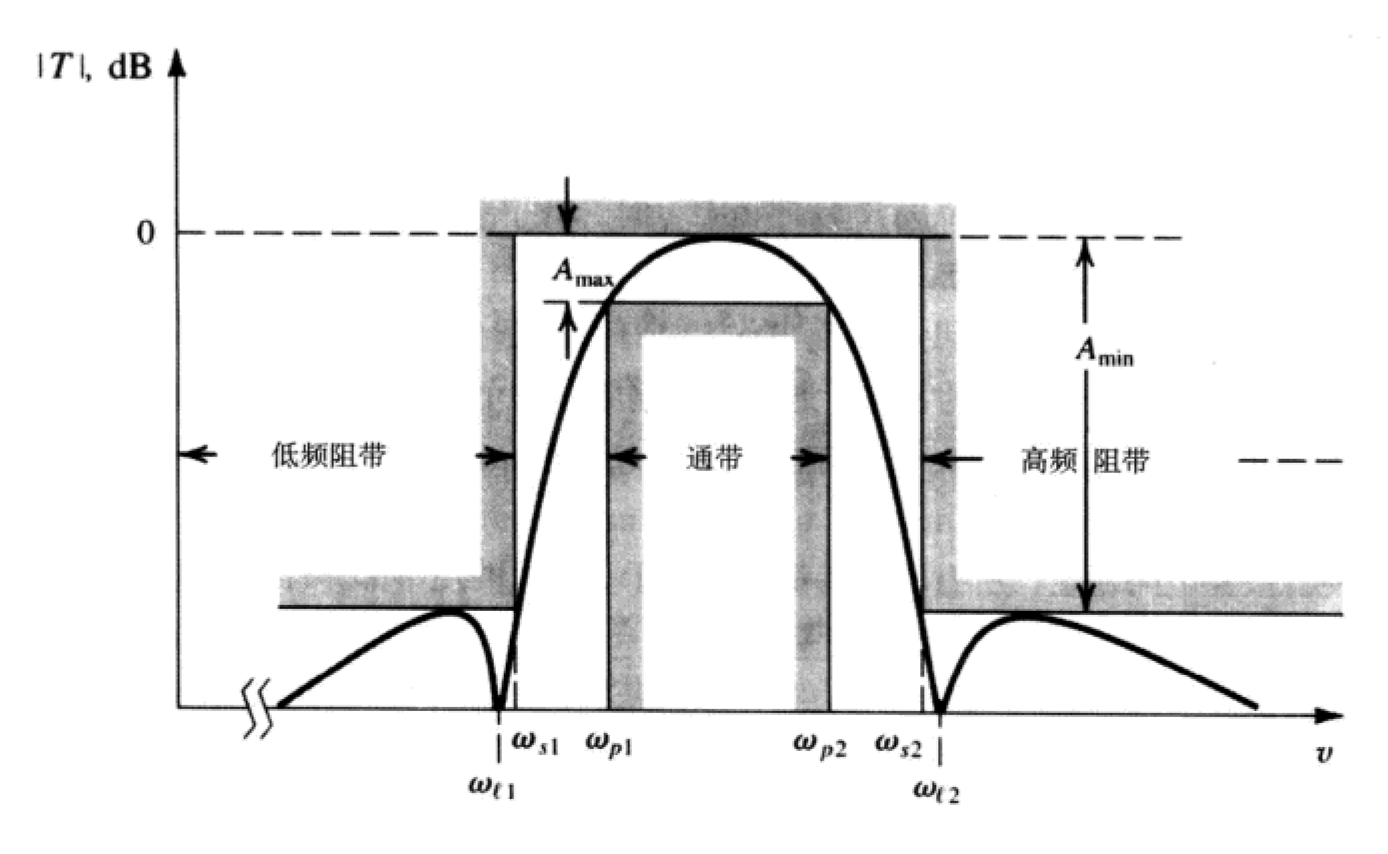


图 12.4 带通滤波器传输特性的规范。图中给出了满足规范要求的滤波器幅频特性。注意这个特别的滤波器，它的幅频特性在通带峰值频率两边的传输是单调下降的

练习 12.1 求用分贝（dB）表示的衰减量，对应的滤波器传输值是：1，0.99，0.9，0.8，0.7，0.5，0.1，0。

答案：0，0.1，1，2，3，6，20，∞(dB)

练习 12.2 如果通带内的传输保持在常数值的±5%以内，阻带内的传输不超过通带的 1%，求 A_{max} 和 A_{min}。

答案：0.9 dB；40 dB

12.2 滤波器传输函数

滤波器传输函数可以写成两个多项式的比值：

$$T(s)=\frac{a_M s^M + a_{M-1}s^{M-1}+\cdots+a_0}{s^N + b_{N-1}s^{N-1}+\cdots+b_0} \tag{12.6}$$

分母多项式的次数 N 也叫做滤波器的阶数。为使滤波器电路稳定，分子多项式的次数必须小于等于分母多项式的次数，即：$M \leqslant N$。分子和分母多项式的系数 $a_0, a_1, \ldots, a_M$ 和 $b_0, b_1, \ldots, b_{N-1}$ 都是实数。我们可以对分子和分母多项式进行因式分解，这时 $T(s)$可以表示为

$$T(s)=\frac{a_M(s-z_1)(s-z_2)\cdots(s-z_M)}{(s-p_1)(s-p_2)\cdots(s-p_N)} \tag{12.7}$$

分子多项式的根 $z_1, z_2, \ldots, z_M$ 是传输函数的零点，或者称为传输零点；分母多项式的根

$p_1, p_2, \ldots, p_N$ 是传输函数的极点，或者称为自然模数[①]。每一个传输零点和极点可以是实数，也可以是复数。复数零极点一定是成对出现的，即为共轭复数对。这样，如果 $-1+j2$ 是零点的话，$-1-j2$ 也一定是零点。

滤波器阻带内的传输函数要求等于零或者很小，所以滤波器在阻带频率上的传输零点通常都位于 $j\omega$ 轴上。如同图 12.3 所示的一个实际电路的传输特性，在阻带的两个频率点 ω_{l1} 和 ω_{l2} 上，衰减达到无穷（零传输）。即滤波器传输函数必须要有两个零点，它们分别位于 $s=+j\omega_{l1}$ 和 $s=+j\omega_{l2}$。然而复数零点必须是成对出现的，所以传输函数应该还有另外两个零点：$s=-j\omega_{l1}$ 和 $s=-j\omega_{l2}$。那么分子多项式就有这四个因子的乘积项 $(s+j\omega_{l1})(s-j\omega_{l1})(s+j\omega_{l2})(s-j\omega_{l2})$，也可以写成 $(s^2+\omega_{l1}^2)(s^2+\omega_{l2}^2)$。当 $s=j\omega$（物理频率）时，分子多项式成为 $(-\omega^2+\omega_{l1}^2)(-\omega^2+\omega_{l2}^2)$，它有位于 $\omega=\omega_{l1}$ 和 $\omega=\omega_{l2}$ 的零点。

继续看图 12.3 所示的例子。我们发现当 ω 趋近于∞时，传输特性的幅度将下降至−∞，即滤波器含有一个或多个位于 $s=\infty$ 的零点。通常，传输零点的个数是由分母和分子多项式的最高次数 N 和 M 的差决定的。这是因为当 s 趋近于∞时，$T(s)$ 趋近于 a_M/s^{N-M}，也就是说有 $N-M$ 个 $s=\infty$ 的零点。

为了使滤波器电路稳定，所有的极点都必须位于 s 平面的左半部，即 $p_1, p_2, \ldots, p_N$ 都具有负的实部。图 12.5 所示的是低通滤波器的典型零极点图，它的传输函数具有图 12.3 所示的传输特性。我们假设滤波器是 5 阶的（$N=5$）。它有两对共轭复数极点和一个实数极点，共 5 个极点。所有的极点都位于通带频率附近，从而保证通带内的传输最大。5 个零点是 $s=\pm j\omega_{l1}$，$s=\pm j\omega_{l2}$ 和 $s=\infty$。这样该滤波器的传输函数为

$$T(s)=\frac{a_4(s^2+\omega_{l1}^2)(s^2+\omega_{l2}^2)}{s^5+b_4s^4+b_3s^3+b_2s^2+b_1s+b_0} \tag{12.8}$$

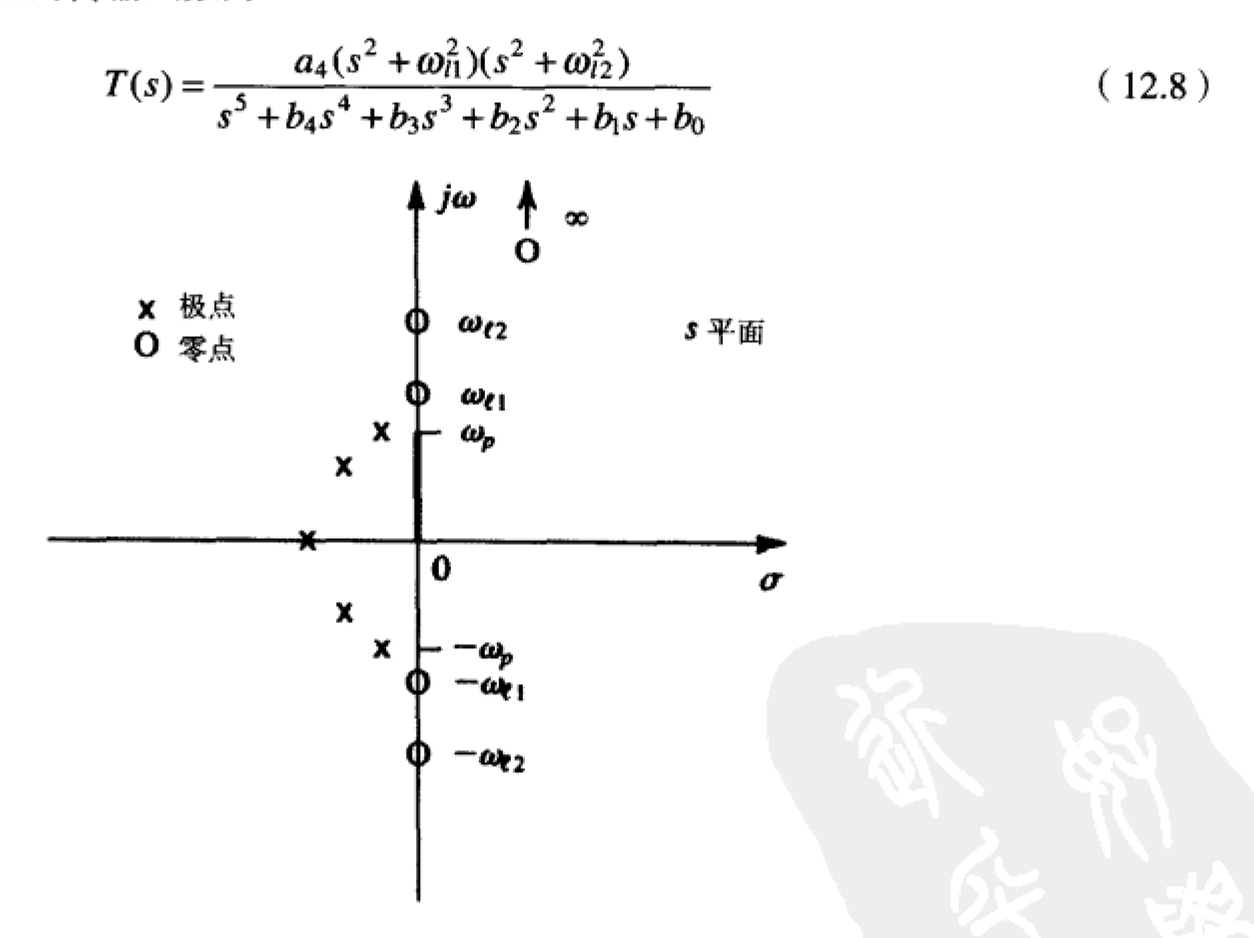


图 12.5 传输特性如图 12.3 所示的低通滤波器的零极点图。这是一个 5 阶滤波器（$N=5$）

我们再来看另一个例子，考虑具有图 12.4 所示的带通滤波器的幅频响应。滤波器的传输零点位于 $s=\pm j\omega_{l1}$ 和 $s=\pm j\omega_{l2}$，此外还有一个或多个位于 $s=0$ 和 $s=\infty$（因为当 ω 趋近于 0 和∞时，

① 本章中极点和自然模式这两个名词可交换使用。

传输特性的幅度降至 0）的零点。假设 $s=0$ 和 $s=\infty$ 的地方各有一个零点，则滤波器必定是 6 阶的，传输函数具有以下的形式：

$$T(s)=\frac{a_5 s(s^2+\omega_{l1}^2)(s^2+\omega_{l2}^2)}{s^6+b_5 s^5+\cdots+b_0} \tag{12.9}$$

该滤波器的零极点图如图 12.6 所示。

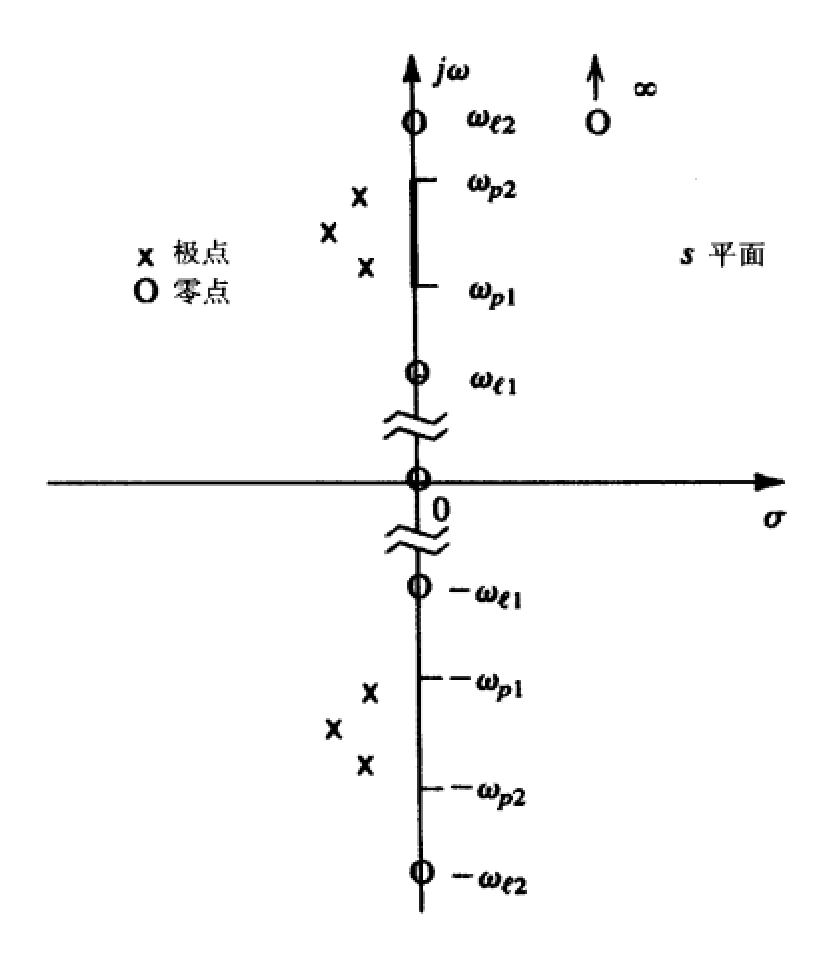


图 12.6　传输特性如图 12.4 所示的带通滤波器的零极点图。这是一个 6 阶滤波器（$N=6$）

第三个也是最后一个例子考虑的是低通滤波器，它的传输特性如图 12.7（a）所示。该例中不存在有限频率点上衰减为无限值（传输为零）的情况，所以传输函数可能的零点均位于 $s=\infty$ 处。如果是这样的话，传输函数就具有如下的形式：

$$T(s)=\frac{a_0}{s^N+b_{N-1}s^{N-1}+\cdots+b_0} \tag{12.10}$$

这样的滤波器又称为全极点滤波器。典型的 5 阶全极点低通滤波器的零极点图如图 12.7（b）所示。

本章所涉及的大多数滤波器的传输零点几乎全部位于 $j\omega$ 轴上，包括 $\omega=0$ 和 $\omega=\infty$[①]。为了得到高选择性的滤波器电路，要求所有的极点都是共轭复数（除了奇次阶数的滤波器，它必有一个极点位于实轴上）。最后我们注意到，滤波器响应的选择性越高，要求它的阶数就越高，极点就越靠近 $j\omega$ 轴。

练习 12.3　两阶滤波器的极点为 $s=-(1/2)\pm j(\sqrt{3}/2)$。在 $\omega=2$ rad/s 时实现零传输，直流（$\omega=0$）时传输为 1。求传输函数。

答案：$T(s)=\dfrac{1}{4}\dfrac{s^2+4}{s^2+s+1}$

① 很明显，低通滤波器不可能有 $\omega=0$ 的传输零点。同样，高通滤波器不可能有 $\omega=\infty$ 的传输零点。

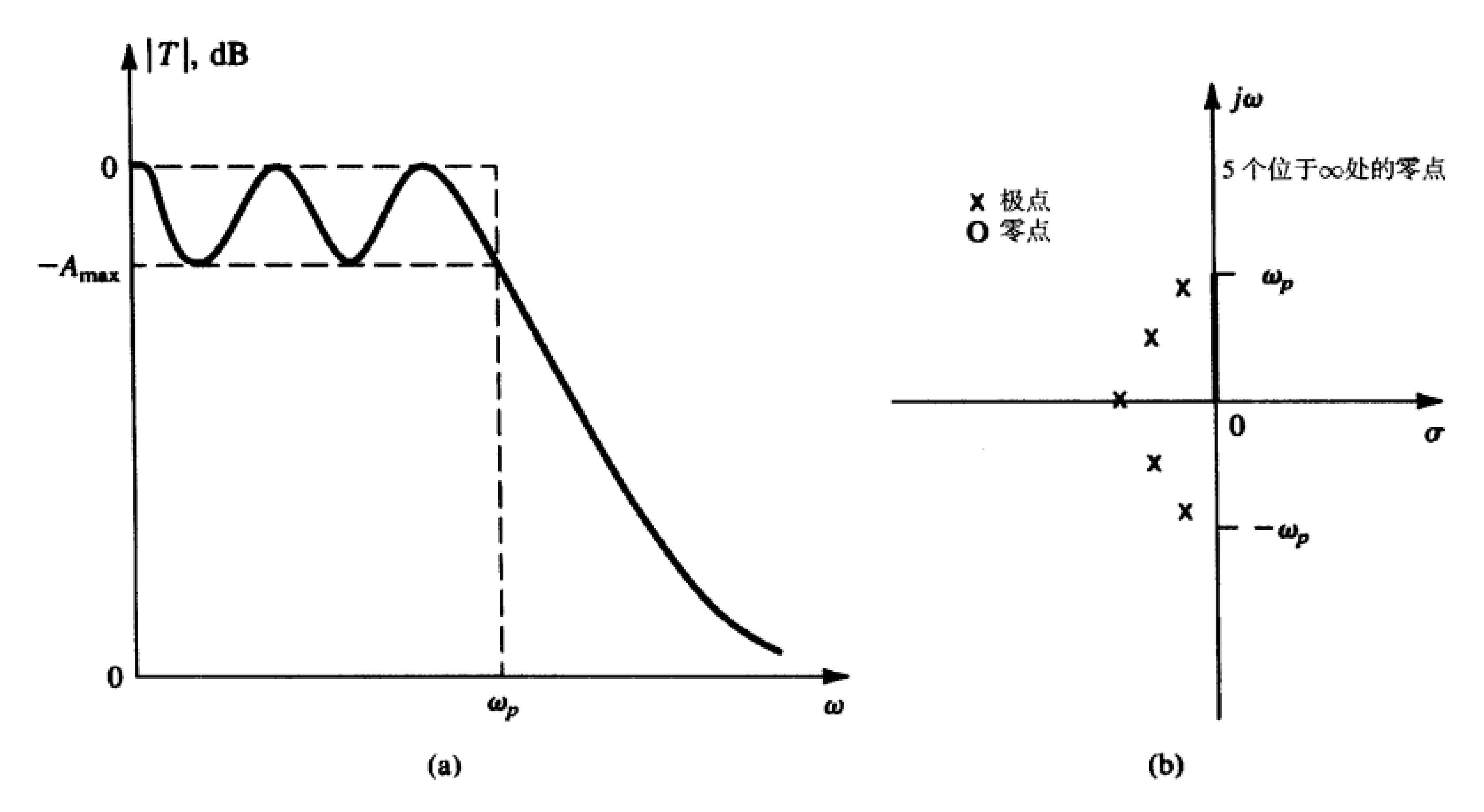


图 12.7 （a）5 阶低通滤波器的传输特性，所有传输零点均位于无限远处；（b）（a）中所示滤波器的零极点图

练习 12.4 一个 4 阶滤波器在$\omega=0$，$\omega=2$ rad/s 和$\omega=\infty$时实现零传输。极点是$-0.1\pm j0.8$和$-0.1\pm j1.2$。求 $T(s)$。

答案：$T(s)=\dfrac{a_3 s(s^2+4)}{(s^2+0.2s+0.65)(s^2+0.2s+1.45)}$

练习 12.5 求三阶全极点低通滤波器的传输函数。它的极点位于原点为圆心、半径为 1 rad/s 的圆上，复数极点和 $j\omega$ 轴的夹角为 30°，直流增益为 1，证明$|T(j\omega)|=1/\sqrt{1+\omega^6}$；求$\omega_{3dB}$频率；当$\omega=3$ rad/s 时，衰减为多少？

答案：$T(s)=1/(s+1)(s^2+s+1)$；1 rad/s；28.6 dB

12.3 巴特沃斯与切比雪夫滤波器

本节将介绍两种用于逼近低通滤波器传输特性的函数。一旦确定闭合形式的传输函数表达式中的参数，就可以完成逼近，而且设计时不再需要借助于计算机或滤波器设计表。但是这种方法只适用于简单应用。

尽管我们的讨论只是针对低通滤波器的，但是所提供的逼近函数也可以应用于其他类型的滤波器设计中，只是要利用一下频率变换［参见 Sedra 和 Brackett（1978）］。

12.3.1 巴特沃斯滤波器

图 12.8 所示的是巴特沃斯[①]滤波器的幅频响应特性。在$\omega=\infty$的地方，所有零点都呈现单调下降的传输特性，表明滤波器是一个全极点系统。设通带边界为ω_p，N 阶巴特沃斯滤波器的幅频响应函数为

① 巴特沃斯滤波器逼近用英国工程师 S. Butterworth 的名字命名，他在 1930 年首先使用了该电路。

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2\left(\frac{\omega}{\omega_p}\right)^{2N}}} \tag{12.11}$$

在 $\omega = \omega_p$ 处，

$$|T(j\omega_p)| = \frac{1}{\sqrt{1+\epsilon^2}} \tag{12.12}$$

其中，参数 ϵ 根据下式决定了通带传输时的最大变化值 $A_{\max}$：

$$A_{\max} = 20\log\sqrt{1+\epsilon^2} \tag{12.13}$$

同样，给定 $A_{\max}$，ϵ 由下式确定：

$$\epsilon = \sqrt{10^{A_{\max}/10}-1} \tag{12.14}$$

我们观察到巴特沃斯滤波器在通带内传输的最大偏差（与理想单位值相比）只出现在通带边界处，而且前面的 $2N-1$ 个导数在 $\omega=0$ 时也等于 0［参见 Van Valkenburg(1980)］。这个特性表明巴特沃斯滤波器在 $\omega = 0$ 附近的响应非常平坦，因此也称为最大平坦响应。随着阶数 N 的增加，响应的平坦程度也增加，如图 12.9 所示。该曲线反映了我们所预期的结论：随着阶数 N 的增加，滤波器的响应更接近于理想的砖墙响应。

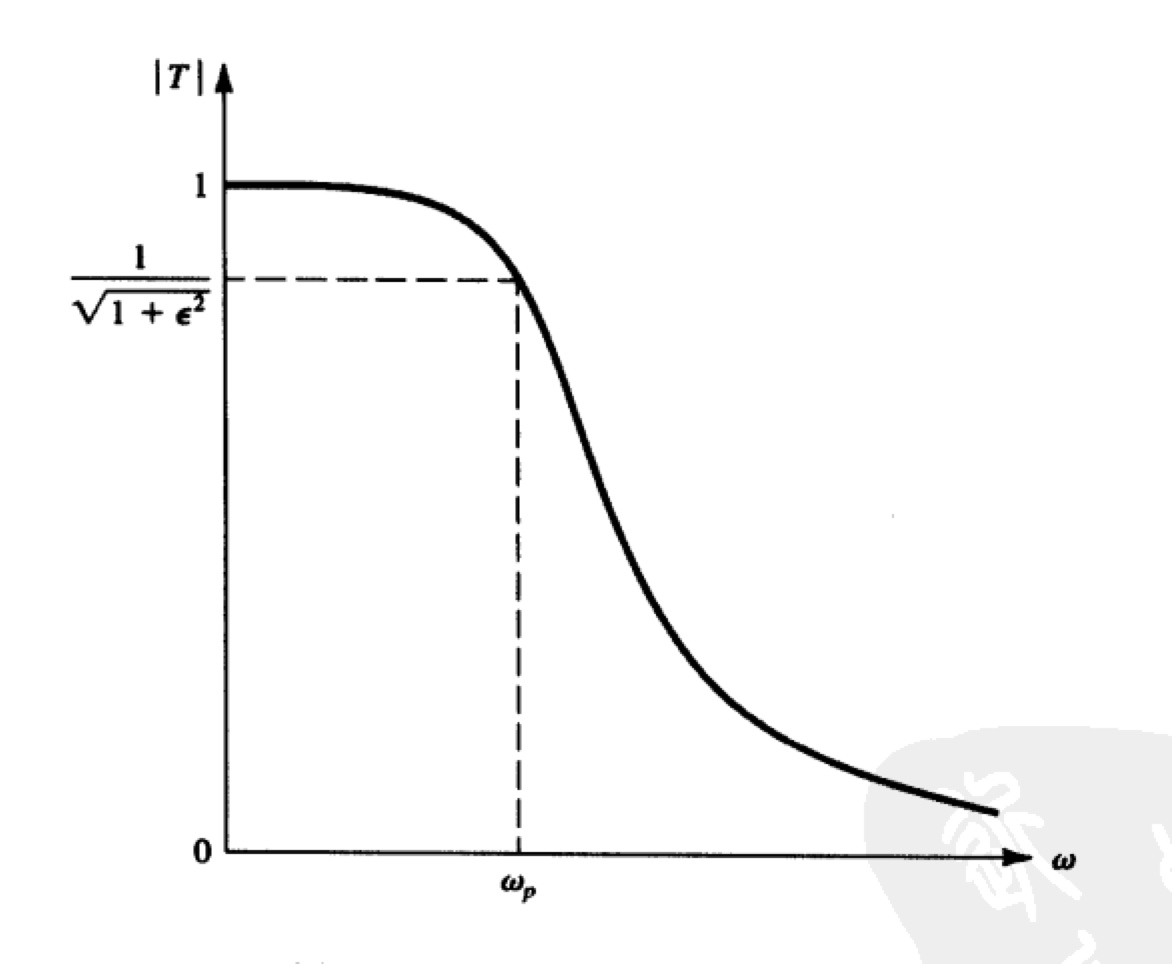


图 12.8　巴特沃斯滤波器的幅频特性

在阻带边界，即 $\omega = \omega_s$ 处，巴特沃斯滤波器的衰减函数为

$$\begin{aligned}A(\omega_s) &= -20\log[1/\sqrt{1+\epsilon^2(\omega_s/\omega_p)^{2N}}] \\ &= 10\log[1+\epsilon^2(\omega_s/\omega_p)^{2N}]\end{aligned} \tag{12.15}$$

上式可以用来确定滤波器的阶数，即满足 $A(\omega_s) \geqslant A_{\min}$ 时的最小整数 N。

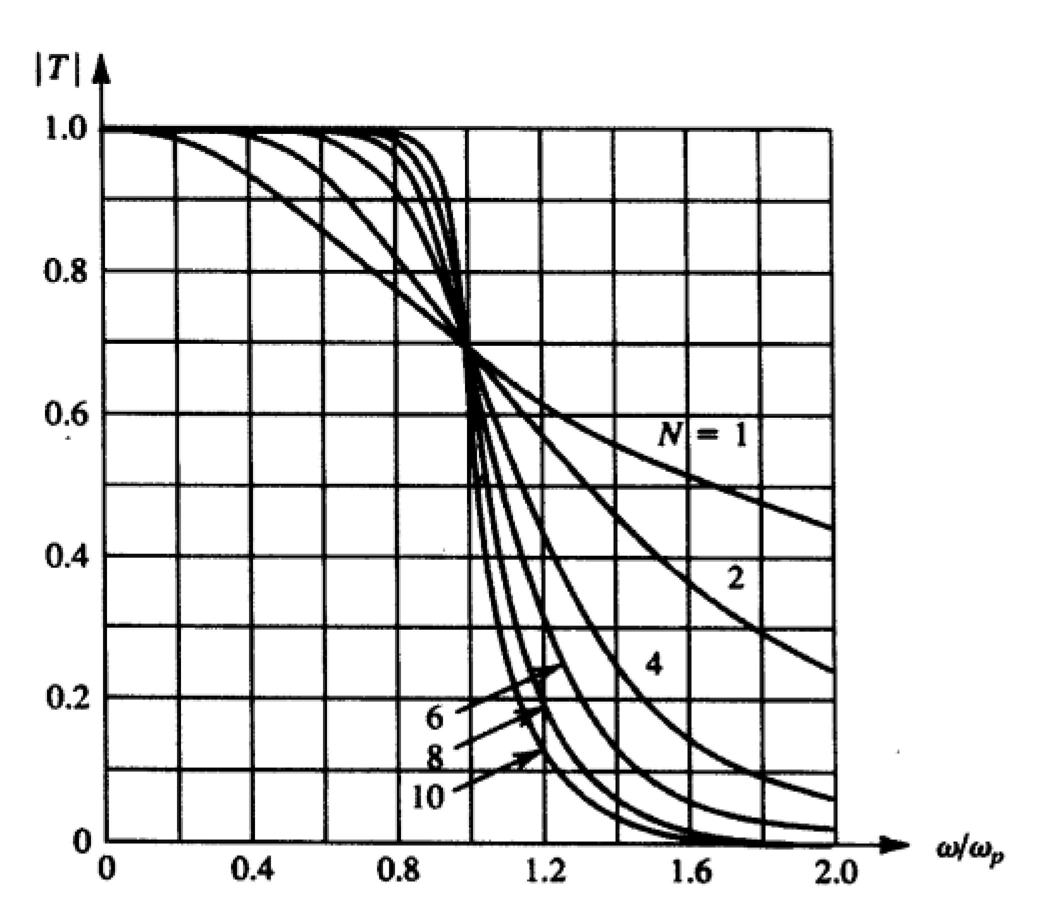


图 12.9　不同阶数的巴特沃斯滤波器幅频响应，$\epsilon = 1$。注意，阶数越高，传输特性越接近于理想砖墙特性

N 阶巴特沃斯滤波器的极点由图 12.10（a）所示的结构来确定。极点位于半径为 $\omega_p(1/\epsilon)^{1/N}$ 的圆上，极点之间具有等夹角π/N，第一个极点与$+j\omega$ 的夹角为$\pi/2N$。由于所有极点到原点的距离相等，因此它们的频率都为 $\omega_0 = \omega_p(1/\epsilon)^{1/N}$，图 12.10（b），（c）和（d）分别是 $N=2$、3 和 4 的巴特沃斯滤波器的极点图。一旦得到了 N 个极点，传输函数即可表示为

$$T(s) = \frac{K\omega_0^N}{(s-p_1)(s-p_2)\cdots(s-p_N)} \tag{12.16}$$

其中，K 是常数且等于滤波器的直流增益。

现将满足图 12.3 所示传输特性的巴特沃斯滤波器传输函数的求解过程总结如下：

1. 由式（12.14）确定ϵ。
2. 利用式（12.15）确定滤波器的阶数 N，它是满足 $A(\omega_s) \geqslant A_{\min}$ 时的最小整数。
3. 根据图 12.10（a）确定 N 个极点。
4. 利用式（12.16）写出 $T(s)$。

例题 12.1　求巴特沃斯滤波器的传输函数，要求具有以下低通滤波器的传输特性：$f_p = 10$ kHz，$A_{\max} = 1$ dB，$f_s = 15$ kHz，$A_{\min} = 25$ dB，直流增益等于 1。

解：将 $A_{\max} = 1$ dB 代入式（12.14），得到$\epsilon = 0.5088$。然后利用式（12.15）确定滤波器的阶数 N。通过多次对 N 的测试，我们发现 $N = 8$ 时，$A(\omega_s) = 22.3$ dB；$N = 9$ 时，$A(\omega_s) = 25.8$ dB。所以选择 $N = 9$。

图 12.11 给出了确定极点的极坐标图，所有极点的频率均为 $\omega_0 = \omega_p(1/\epsilon)^{1/N} = 2\pi\times10\times10^3$ $(1/0.5088)^{1/9} = 6.773\times10^4$ rad/s，第一个极点 p_1 为

$$p_1 = \omega_0(-\cos80° + j\sin80°) = \omega_0(-0.1736 + j0.9848)$$

结合 p_1 及其共轭复数极点 p_9，在传输函数的分母多项式中将产生因子 $(s^2 + s0.3472\omega_0 + \omega_0^2)$，对

其他共轭复数极点对进行同样的处理，并利用式（12.16），可以得到传输函数的完整表达式：

$$T(s)=\frac{\omega_0^9}{(s+\omega_0)(s^2+s1.8794\omega_0+\omega_0^2)(s^2+s1.5321\omega_0+\omega_0^2)}\times\frac{1}{(s^2+s\omega_0+\omega_0^2)(s^2+s0.3472\omega_0+\omega_0^2)} \qquad (12.17)$$

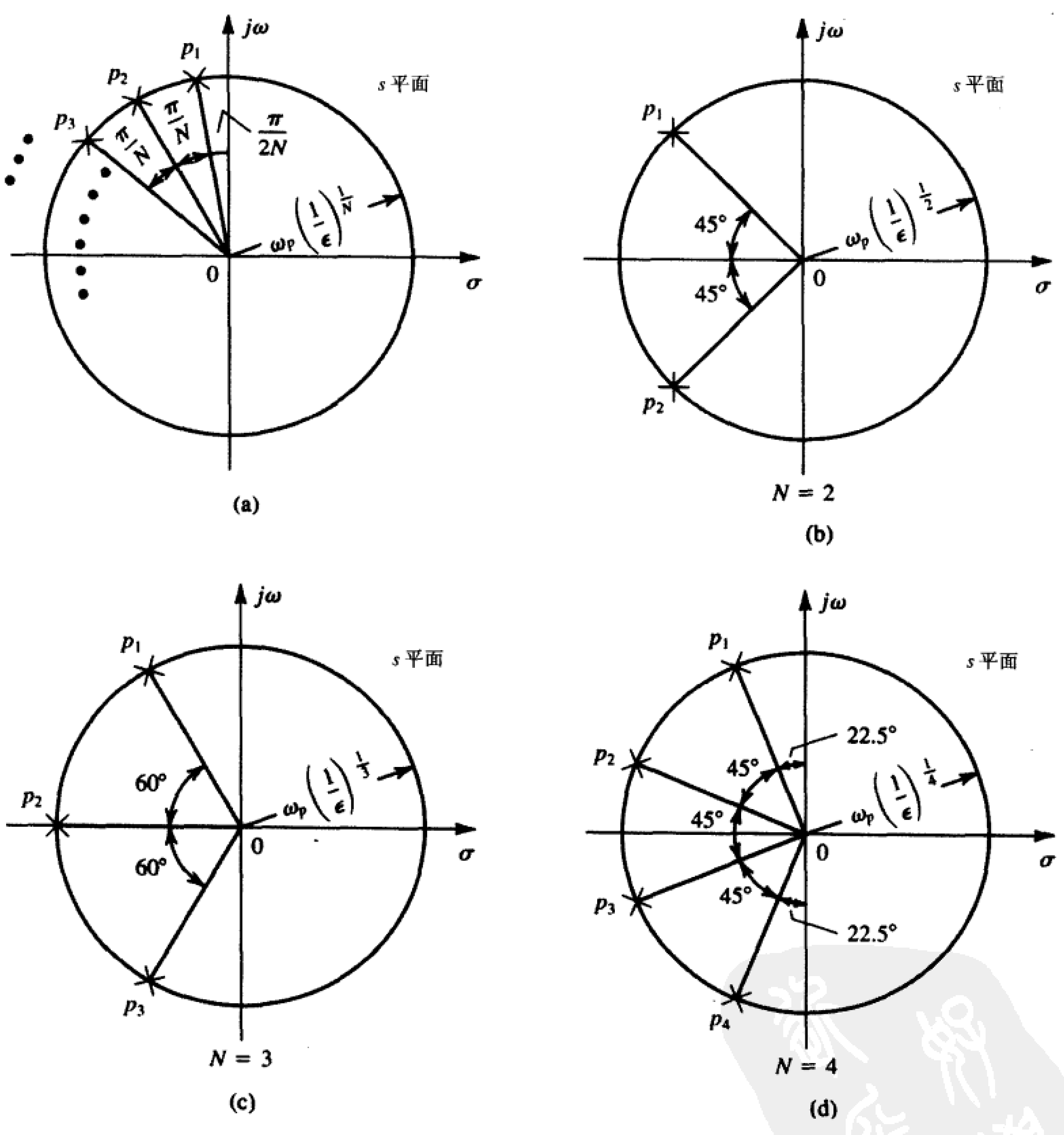


图 12.10　N 阶巴特沃斯滤波器极点频率的构造图。所有极点均位于 s 平面左半部半径为（$\omega_0=\omega_p(1/\epsilon)^{1/N}$）的圆上，其中$\epsilon$是通带波动参数（$\epsilon=\sqrt{10^{A_{max}/10}-1}$）：（a）通用情况；（b）$N=2$；（c）$N=3$；（d）$N=4$

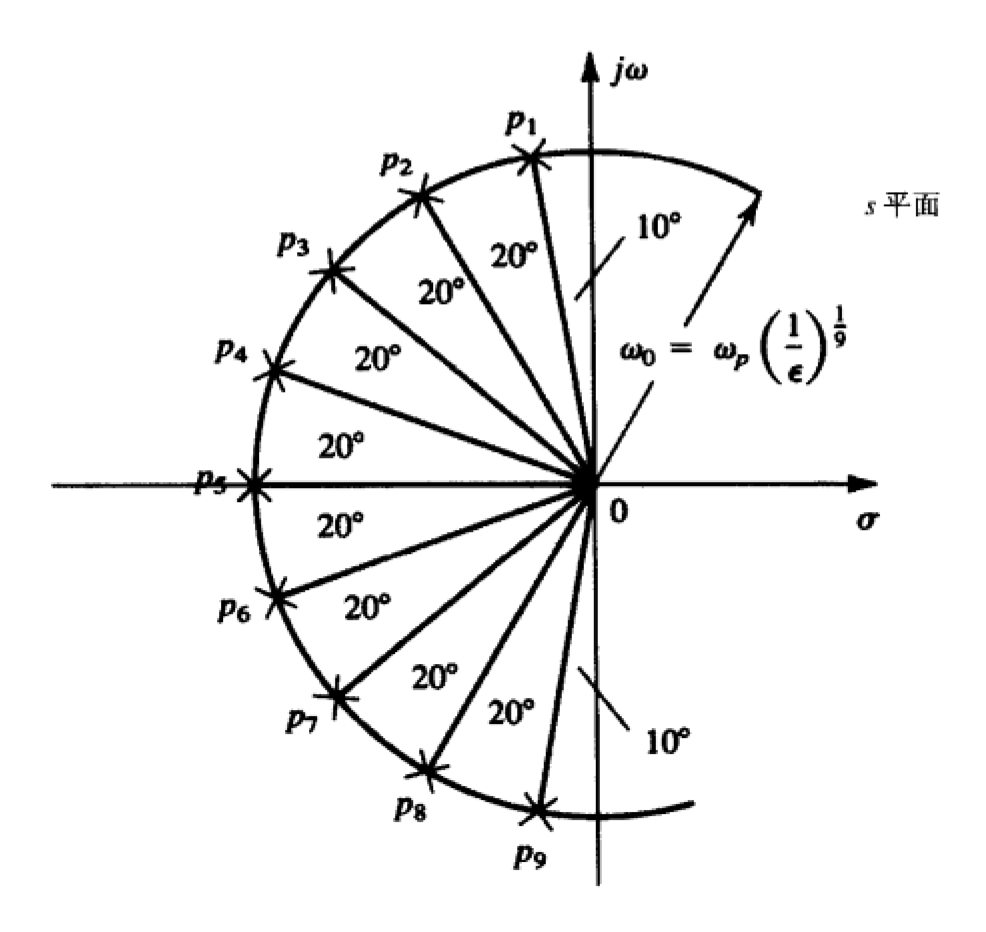


图 12.11　例题 12.1 中 9 阶巴特沃斯滤波器的极点　■

12.3.2 切比雪夫滤波器

图 12.12 所示的是偶数阶和奇数阶切比雪夫滤波器[①]的传输特性曲线。切比雪夫滤波器在通带内呈现等波纹响应，在阻带内呈现单调下降的特性。在$\omega = 0$时，奇数阶滤波器的$|T(0)|=1$，而偶数阶滤波器却具有最大的幅度偏差。两种滤波器在通带内最大点和最小点的个数等于滤波器的阶数 N。切比雪夫滤波器的所有零点均位于$\omega = \infty$处，使其成为全极点滤波器。

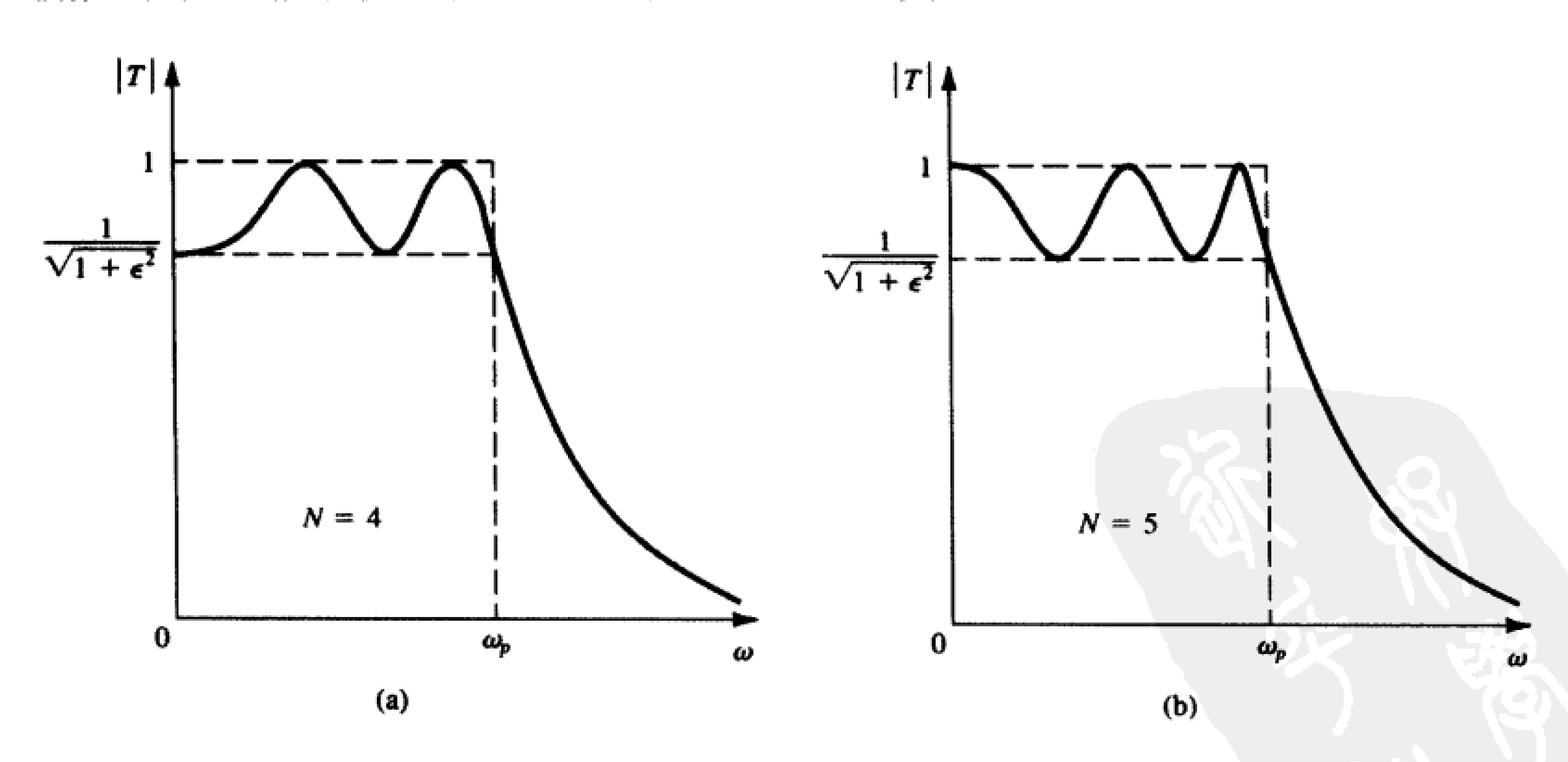


图 12.12　切比雪夫滤波器的传输特性：（a）偶数阶；（b）奇数阶

① 以俄国数学家 P. L. Chebyshev 的名字命名，他在 1899 年研究蒸汽机构造时用到了这些函数。

ω_p是 N 阶切比雪夫滤波器通带的边界（波纹带宽），其幅频特性由下式给出：

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2 \cos^2[N\cos^{-1}(\omega/\omega_p)]}}，\text{这里 } \omega \leqslant \omega_p \tag{12.18}$$

和

$$|T(j\omega)| = \frac{1}{\sqrt{1+\epsilon^2 \cosh^2[N\cosh^{-1}(\omega/\omega_p)]}}，\text{这里 } \omega \geqslant \omega_p \tag{12.19}$$

在$\omega = \omega_p$时，幅频特性为

$$|T(j\omega_p)| = \frac{1}{\sqrt{1+\epsilon^2}}$$

因此，参数ϵ可以根据下式确定波纹的幅度：

$$A_{\max} = 10\log(1+\epsilon^2) \tag{12.20}$$

反过来，给定 $A_{\max}$，ϵ则由下式求出：

$$\epsilon = \sqrt{10^{A_{\max}/10} - 1} \tag{12.21}$$

切比雪夫滤波器在阻带边界$\omega = \omega_s$处的衰减可利用式（12.19）得到：

$$A(\omega_s) = 10\log[1+\epsilon^2 \cosh^2(N\cosh^{-1}(\omega_s/\omega_p))] \tag{12.22}$$

借助于计算器，上式可以用来确定滤波器阶数 N，它是满足 $A(\omega_s) \geqslant A_{\min}$ 时的最小整数，$A_{\min}$是滤波器的设计规范参数。如同巴特沃斯滤波器，当切比雪夫滤波器的阶数 N 增加时，其幅频响应更接近于理想的低通砖墙响应。

切比雪夫滤波器的极点由下式给出：

$$\begin{aligned} p_k = &-\omega_p \sin\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\sinh\left(\frac{1}{N}\sinh^{-1}\frac{1}{\epsilon}\right) \\ &+ j\omega_p \cos\left(\frac{2k-1}{N}\frac{\pi}{2}\right)\cosh\left(\frac{1}{N}\sinh^{-1}\frac{1}{\epsilon}\right) \qquad k = 1, 2, \ldots, N \end{aligned} \tag{12.23}$$

最后，可以写出切比雪夫滤波器的传输函数如下：

$$T(s) = \frac{K\omega_p^N}{\epsilon 2^{N-1}(s-p_1)(s-p_2)\cdots(s-p_N)} \tag{12.24}$$

其中，K 代表滤波器的直流增益。

当给定的低通滤波器的传输特性如图12.3 所示并且采用切比雪夫滤波器来逼近该传输特性时，其步骤总结如下：

1. 由式（12.21）确定ϵ。
2. 利用式（12.22）确定滤波器的阶数 N。
3. 利用式（12.23）得到滤波器的极点频率。
4. 最后由式（12.24）得到传输函数。

切比雪夫提供了比巴特沃斯更为有效的逼近过程，即对相同阶数和 $A_{\max}$ 值的滤波器，切比雪夫滤波器在阻带内的衰减要优于巴特沃斯。或者说，为了满足相同的设计规范参数，切比雪夫滤波器的阶数要低于巴特沃斯滤波器。以下的例题可以说明这一点。

例题 12.2 低通滤波器性能满足例题 12.1 中的要求，即，$f_p = 10\text{ kHz}$，$A_{max} = 1\text{ dB}$，$f_s = 15\text{ kHz}$，$A_{min} = 25\text{ dB}$，直流增益等于 1。采用切比雪夫滤波器逼近求出滤波器的传输函数。

解：将 $A_{max} = 1\text{ dB}$ 代入式（12.21），求解得到 $\epsilon = 0.5088$。通过多次测试式（12.22）中的 N 值，我们发现当 $N = 4$ 时，$A(\omega_s) = 21.6\text{ dB}$；$N = 5$ 时，$A(\omega_s) = 29.9\text{ dB}$，所以我们选择 $N = 5$。而在例题 12.1 中，满足性能要求的巴特沃斯滤波器的 N 必须等于 9。

将 N 代入式（12.23），可得到极点频率如下：

$$p_1, p_5 = \omega_p(-0.0895 \pm j0.9901)$$
$$p_2, p_4 = \omega_p(-0.2342 \pm j0.6119)$$
$$p_5 = \omega_p(-0.2895)$$

将极点频率代入式（12.24），得到传输函数如下：

$$T(s) = \frac{\omega_p^5}{8.1408(s + 0.2895\omega_p)(s^2 + s0.4684\omega_p + 0.4293\omega_p^2)} \times \frac{1}{s^2 + s0.1789\omega_p + 0.9883\omega_p^2} \tag{12.25}$$

其中，$\omega_p = 2\pi \times 10^4\text{ rad/s}$。 ■

练习 D12.6 确定巴特沃斯滤波器的阶数，规范设计参数为：$A_{max} = 1\text{ dB}$，$\omega_s/\omega_p = 1.5$，$A_{min} = 30\text{ dB}$。电路在阻带边界的实际衰减是多少？假如 A_{min} 正好等于 30 dB，那么 A_{max} 可以降低多少？

答案：$N = 11$；$A_{min} = 32.87\text{ dB}$；0.54 dB

练习 12.7 求巴特沃斯滤波器的传输函数和极点频率，已知 $\omega_p = 1\text{ rad/s}$，$A_{max} = 3\text{ dB}$（$\epsilon \simeq 1$），$N = 3$。

答案：$-0.5 \pm j\sqrt{3}/2$ 和 -1；$T(s) = 1/(s+1)(s^2+s+1)$

练习 12.8 观察式（12.18），$|T|$ 在通带的峰值和谷值处的频率就是滤波器的极点频率。（当 $\cos^2[\,]$ 项等于 0 时为峰值，当 $\cos^2[\,]$ 项等于 1 时为谷值。）求 5 阶滤波器的极点频率。

答案：峰值在 $\omega = 0$，$0.59\omega_p$ 和 $0.95\omega_p$ 处；谷值在 $\omega = 0.31\omega_p$ 和 $0.81\omega_p$ 处。

练习 D12.9 7 阶切比雪夫滤波器的通带波纹为 0.5 dB，求 $\omega = 2\omega_p$ 时的衰减。如果通带波纹允许增加到 1 dB，那么阻带衰减增加多少？

答案：64.9 dB；3.3 dB

练习 D12.10 要求设计一个低通滤波器，其参数为：$f_p = 1\text{ kHz}$，$A_{max} = 1\text{ dB}$，$f_s = 1.5\text{ kHz}$，$A_{min} = 50\text{ dB}$。

（a）求满足要求的切比雪夫滤波器的阶数。超出阻带衰减的部分是多少？

（b）如果是设计巴特沃斯滤波器，重复（a）。

答案：（a）$N = 8$，5 dB；（b）$N = 16$，0.5 dB

12.4 一阶和二阶滤波器函数

这一节将介绍最简单的一阶和二阶滤波器传输函数。在设计简单滤波器时，这些传输函数非常有用。一阶和二阶滤波器还可以通过级联构成一个高阶滤波器。事实上，级联设计是有源滤波器（采用运算放大器和 RC 电路）设计时最流行的方法之一。因为滤波器的复数极点必定是成对出现的，所以传输函数 $T(s)$ 的分母在因式分解后变为若干个二阶函数的乘积。如果 $T(s)$ 是奇数阶的，因式分解后就会有一阶函数。每一个二阶函数［当 $T(s)$ 为奇数阶时有一阶函数］都可以用本章

介绍的运算放大器 RC 电路来实现，它们作为模块电路被级联在一起，从而构成整个滤波器电路。如果每一个模块电路的输出端都取自运算放大器的输出端，而运算放大器的输出阻抗很低（理想情况下等于 0），那么级联不会改变各自模块电路的传输函数，因此级联后的总传输函数就是各模块传输函数的乘积，也就是原先的 $T(s)$。

12.4.1　一阶滤波器

一阶滤波器传输函数的通用表达式如下：

$$T(s)=\frac{a_1s+a_0}{s+\omega_0} \tag{12.26}$$

双线性特性的滤波器函数表明一阶滤波器具有一个极点 $s=-\omega_0$ 和一个零点 $s=-a_0/a_1$，高频增益趋近于 a_1。分子多项式的系数 a_0 和 a_1 决定滤波器的类型（比如低通、高通等）。采用无源（RC）和有源（运算放大器 RC）实现的滤波器电路如图 12.13 所示。注意，有源实现较无源实现来说通用性更强，很多情况下增益可以设置成需要的值，而且传输函数的某些参数调整时不会影响其他的参数。有源电路的输出阻抗非常低，易于级联。但运算放大器将限制有源电路的高频性能。

一阶滤波器有一个非常重要的特殊电路——全通滤波器，如图 12.14 所示。滤波器传输函数的零点和极点相对于 $j\omega$ 轴对称（它们也称为相对于 $j\omega$ 轴镜像对称）。尽管全通滤波器（理想的）在所有频率点上为常数传输，但它的相频具有选择性。全通滤波器常用做移相器或者应用在需要相位整形的系统中（比如延迟均衡器电路设计就要求传输系统的总延迟时间相对于频率而言是常数）。

练习 D12.11　设计图 12.13（b）所示的运算放大器 RC 电路，使之具有高通滤波器的性能：角频率是 10^4 rad/s，高频增益等于 10，电阻 $R_1=10\ \text{k}\Omega$。

答案：$R_2=100\ \text{k}\Omega$；$C=0.01\ \mu\text{F}$

练习 D12.12　设计如图 12.14 所示的运算放大器 RC 电路，使之实现全通滤波器的特性。要求在 10^3 rad/s 处的相移为 90°。选择合适的元件参数。

答案：可能的选择为：$R=R_1=R_2=10\ \text{k}\Omega$；$C=0.1\ \mu\text{F}$

12.4.2　二阶滤波器函数

通用的二阶（或称双二次）滤波器传输函数的标准形式如下：

$$T(s)=\frac{a_2s^2+a_1s+a_0}{s^2+(\omega_0/Q)s+\omega_0^2} \tag{12.27}$$

其中，ω_0 和 Q 将根据下式决定极点频率：

$$p_1, p_2=-\frac{\omega_0}{2Q}\pm j\omega_0\sqrt{1-(1/4Q^2)} \tag{12.28}$$

我们感兴趣的是极点为复数的情况，即 $Q>0.5$ 的情况。图 12.15 所示的是共轭复数对极点在 s 平面上的位置。观察发现，极点半径（从原点算起）都等于ω_0，它被称为极点频率。参数 Q 决定了极点距 $j\omega$ 轴的距离，Q 值越大，极点离 $j\omega$ 轴越近，滤波器频响的选择性越好。当 Q 为无限时，极点将位于 $j\omega$ 轴上，电路实现时将产生持续的振荡。如果 Q 为负值，表明极点位于 s 平面右半部，电路一定会产生振荡。参数 Q 也称为极点品质因数，或简称为极点 Q。

分子多项式的系数 a_0，a_1 和 a_2 将决定二阶滤波器传输函数的零点，同时也决定了二阶滤波器传输函数的类型（比如低通、高通等）。图 12.16 所示的是我们感兴趣的 7 种典型情况，每一种类

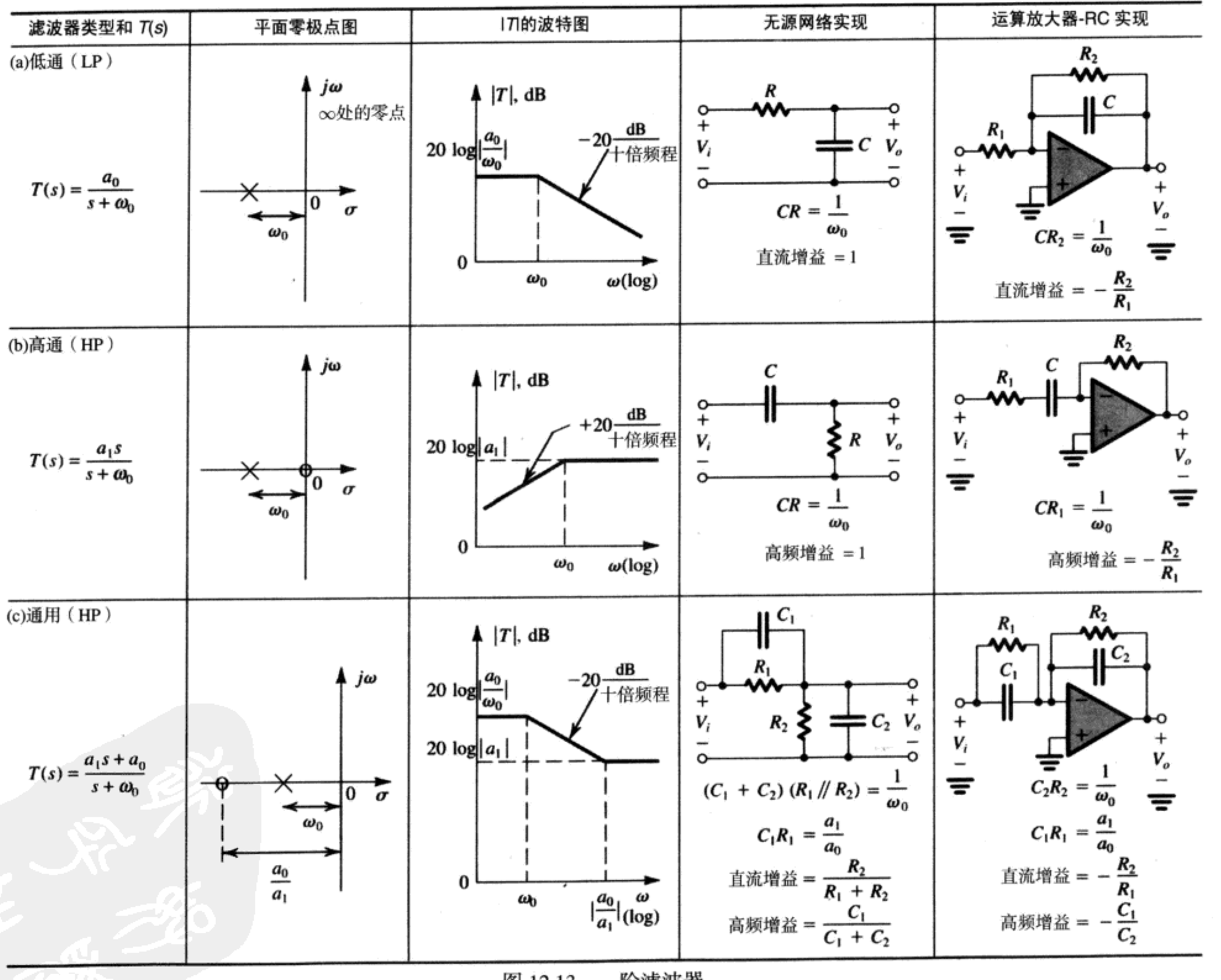

滤波器类型和 T(s)
平面零极点图
|T|的波特图
无源网络实现
运算放大器-RC 实现
(a)低通（LP）
$T(s)=\frac{a_0}{s+\omega_0}$
∞处的零点
$CR=\frac{1}{\omega_0}$
直流增益 = 1
$CR_2=\frac{1}{\omega_0}$
直流增益 = $-\frac{R_2}{R_1}$
(b)高通（HP）
$T(s)=\frac{a_1 s}{s+\omega_0}$
$CR=\frac{1}{\omega_0}$
高频增益 = 1
$CR_1=\frac{1}{\omega_0}$
高频增益 = $-\frac{R_2}{R_1}$
(c)通用（HP）
$T(s)=\frac{a_1 s+a_0}{s+\omega_0}$
$(C_1+C_2)(R_1 // R_2)=\frac{1}{\omega_0}$
$C_1R_1=\frac{a_1}{a_0}$
直流增益 = $\frac{R_2}{R_1+R_2}$
高频增益 = $\frac{C_1}{C_1+C_2}$
$C_2R_2=\frac{1}{\omega_0}$
$C_1R_1=\frac{a_1}{a_0}$
直流增益 = $-\frac{R_2}{R_1}$
高频增益 = $-\frac{C_1}{C_2}$
十倍频程

图 12.13 一阶滤波器

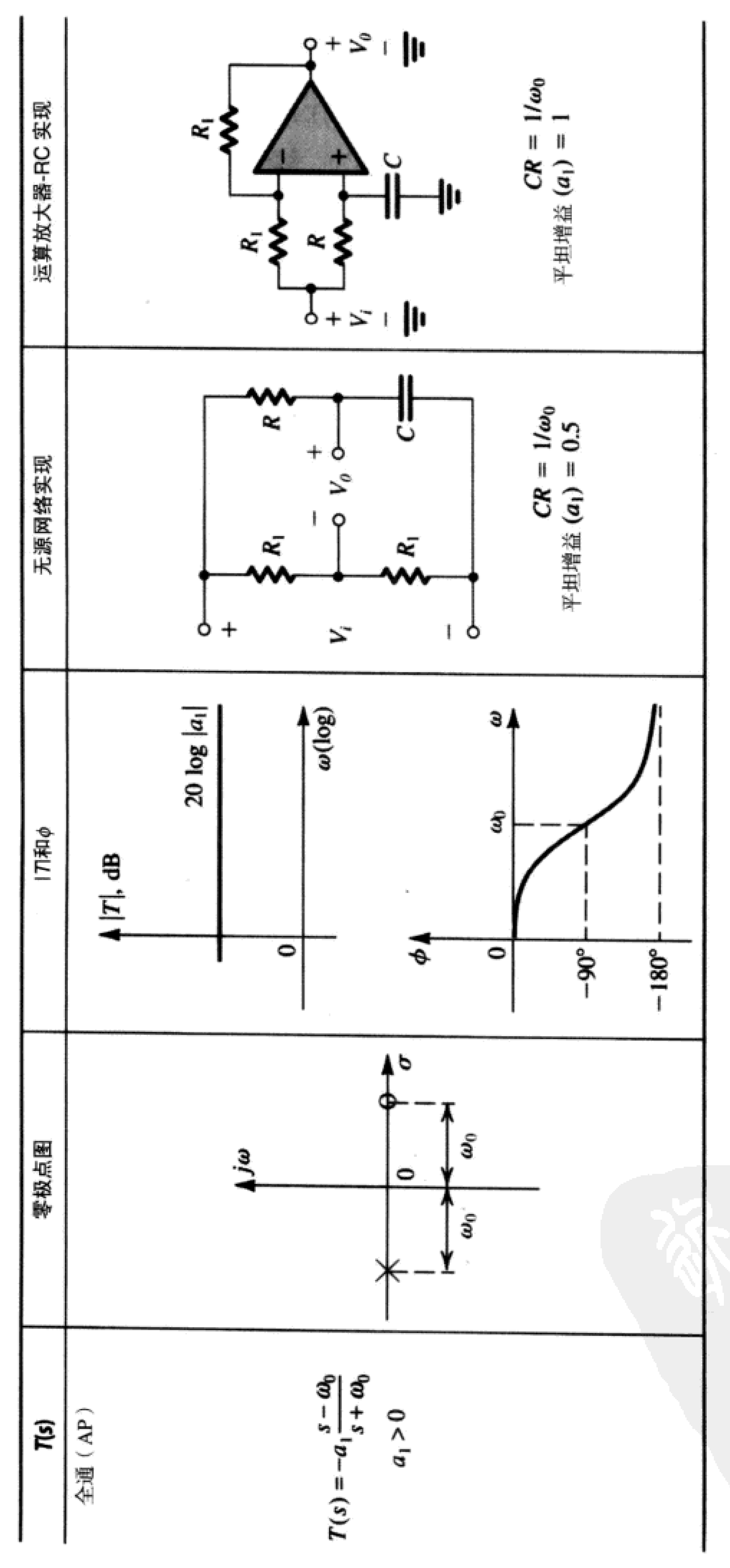


图 12.14　一阶全通滤波器

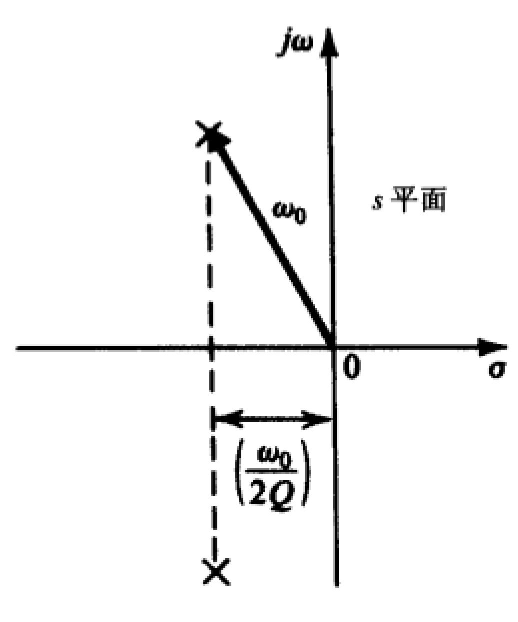


图 12.15　定义一对共轭复数极点的 ω_0 参数和 Q 参数

型都同时给出了传输函数、s 平面零极点图和幅频响应。不同类型的二阶滤波器函数的电路实现将在下面几节阐述。

所有 7 种二阶滤波器都有一对共轭复数极点，由频率 ω_0 和品质因数 Q 确定。

图 12.16（a）所示的是低通滤波器（LP）的例子，两个零点均位于 $s=\infty$ 处。幅频特性的峰值在图中已标出。可以看到峰值只出现在 $Q>1/\sqrt{2}$ 的情况下。$Q=1/\sqrt{2}$ 是巴特沃斯响应，或称为最大平坦响应。

图 12.16（b）所示的是高通滤波器（HP）的例子，两个零点均位于 $s=0$（直流）。当 $Q>1/\sqrt{2}$ 时幅频特性出现峰值，细节请见图示。观察发现低通和高通之间具有对偶特性。

接下来看图 12.16（c）所示的带通滤波器（BP）的例子。一个零点位于 $s=0$（直流），另一个零点位于 $s=\infty$。在 $\omega=\omega_0$ 处幅频特性出现峰值，因此带通滤波器的中心频率等于极点频率 ω_0。二阶滤波器的选择性通常由 3 dB 带宽来表示，即幅度值较最大值（$\omega=\omega_0$）下降 3 dB 时的两个频率 ω_1 和 ω_2 之间的差，可证明：

$$\omega_1, \omega_2 = \omega_0\sqrt{1+(1/4Q^2)} \pm \frac{\omega_0}{2Q} \tag{12.29}$$

即

$$BW \equiv \omega_2-\omega_1=\omega_0/Q \tag{12.30}$$

可见，当 Q 增加时，带宽减少，带通滤波器的选择性增加。

如果传输零点位于 $j\omega$ 轴上，而且是共轭复数对，频率为 $\pm j\omega_n$，那么幅频特性在 $\omega=\omega_n$ 处将产生零传输，即在 $\omega=\omega_n$ 处幅频特性出现陷波，ω_n 称为陷波频率。以下三种情况下二阶滤波器具有陷波特性：普通陷波，出现在 $\omega_n=\omega_0$ 处［如图 12.16（d）所示］；低通陷波，出现在 $\omega_n>\omega_0$ 处［如图 12.16（e）所示］；高通陷波，出现在 $\omega_n<\omega_0$［如图 12.16（f）所示］。读者有必要对这些图的频响做出详细的证明（尽管这是很单调的工作）。观察所有陷波滤波器的例子，我们发现在直流和 $s=\infty$ 处的传输均为无限，也就是在 $s=0$ 和 $s=\infty$ 处没有传输零点。

最后一个例子是全通（AP）滤波器，幅频特性如图 12.16（g）所示。这里有两个位于 s 平面右半部的零点，它们与极点镜像对称。（任何阶数的全通滤波器函数都如此。）在所有的频率点上，幅频特性始终是常数，所谓的平坦增益在本例中等于 $|a_2|$。全通函数的选频特性在相频响应中体现。

练习 12.13　对最大平坦的二阶低通滤波器（$Q=1/\sqrt{2}$），证明在 $\omega=\omega_0$ 处的幅度比直流时的幅度低 3 dB。

练习 12.14　写出二阶带通滤波器的传输函数，要求带通滤波器的中心频率为 10^5 rad/s，中心频率点上的增益是 10，3 dB 带宽是 10^3 rad/s。

答案：$T(s)=\dfrac{10^4 s}{s^2+10^3 s+10^{10}}$

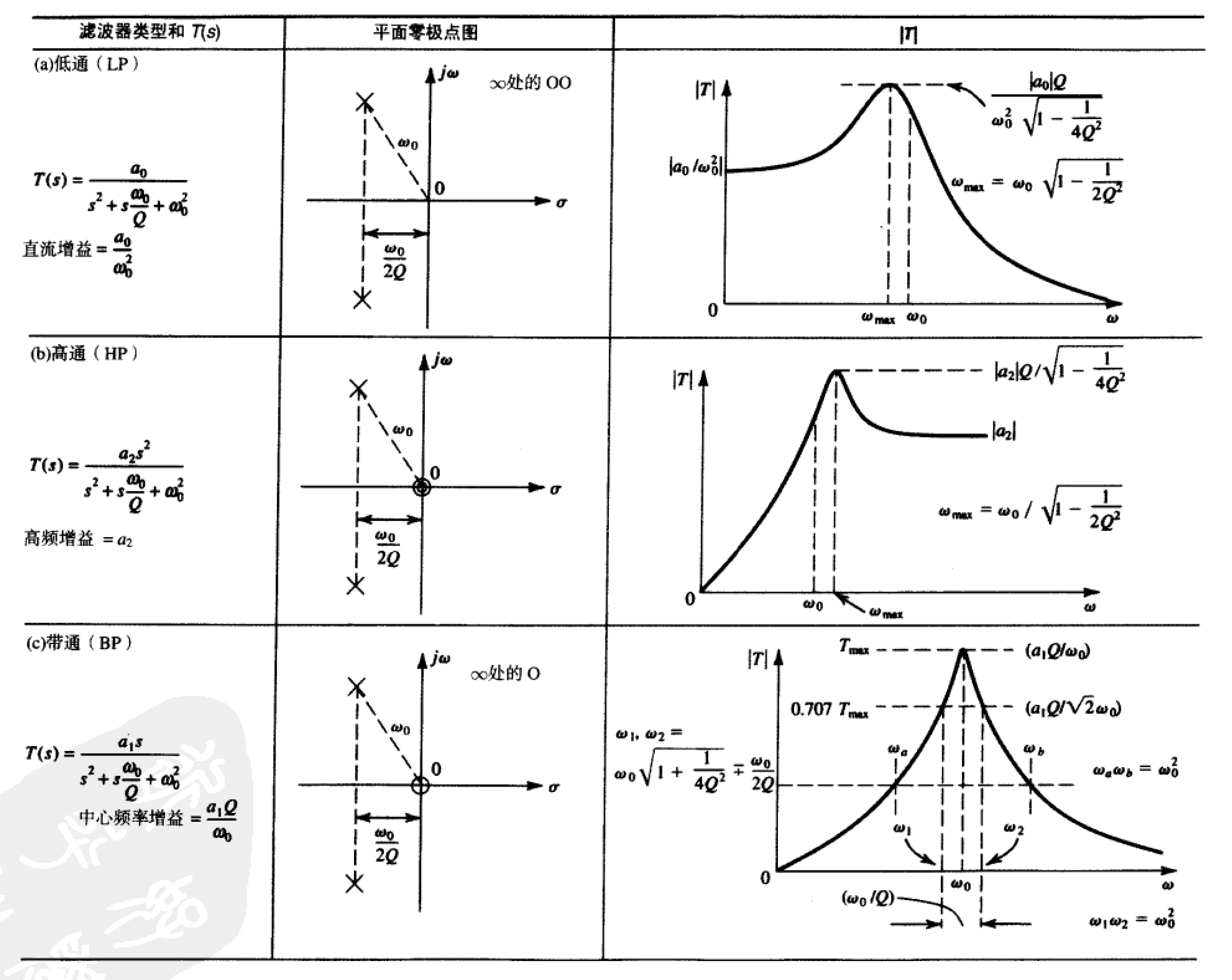
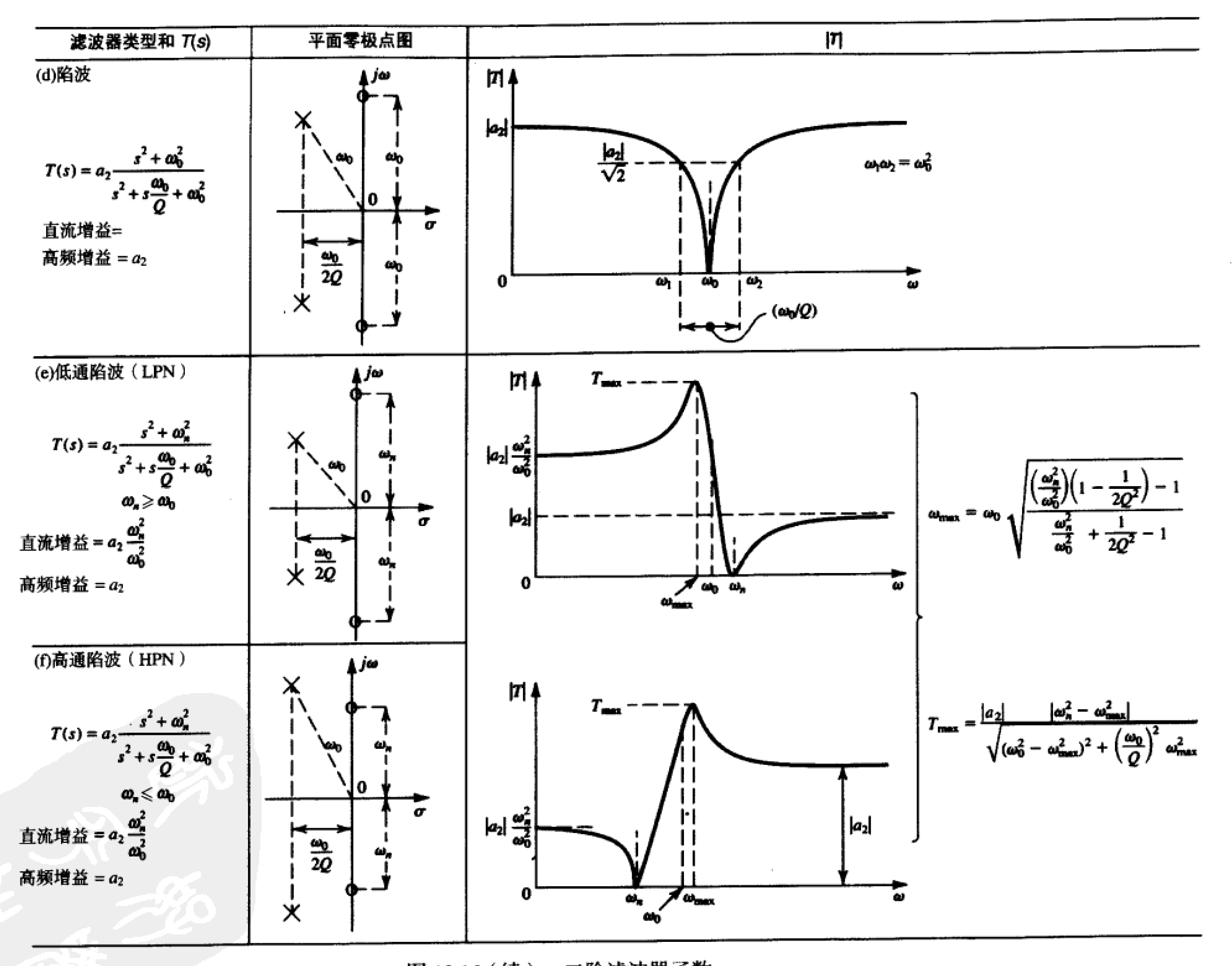


图 12.16　二阶滤波器函数



滤波器类型和 $T(s)$	平面零极点图	$\lvert T\rvert$
(d)陷波 $T(s)=a_2\dfrac{s^2+\omega_0^2}{s^2+s\dfrac{\omega_0}{Q}+\omega_0^2}$ 直流增益= 高频增益 $=a_2$		$\omega_1\omega_2=\omega_0^2$
(e)低通陷波（LPN） $T(s)=a_2\dfrac{s^2+\omega_n^2}{s^2+s\dfrac{\omega_0}{Q}+\omega_0^2}$ $\omega_n\geqslant\omega_0$ 直流增益 $=a_2\dfrac{\omega_n^2}{\omega_0^2}$ 高频增益 $=a_2$		$\omega_{max}=\omega_0\sqrt{\dfrac{\left(\dfrac{\omega_n^2}{\omega_0^2}\right)\left(1-\dfrac{1}{2Q^2}\right)-1}{\dfrac{\omega_n^2}{\omega_0^2}+\dfrac{1}{2Q^2}-1}}$
(f)高通陷波（HPN） $T(s)=a_2\dfrac{s^2+\omega_n^2}{s^2+s\dfrac{\omega_0}{Q}+\omega_0^2}$ $\omega_n\leqslant\omega_0$ 直流增益 $=a_2\dfrac{\omega_n^2}{\omega_0^2}$ 高频增益 $=a_2$		$T_{max}=\dfrac{\lvert a_2\rvert\,\lvert\omega_n^2-\omega_{max}^2\rvert}{\sqrt{(\omega_0^2-\omega_{max}^2)^2+\left(\dfrac{\omega_0}{Q}\right)^2\omega_{max}^2}}$

图 12.16（续） 二阶滤波器函数

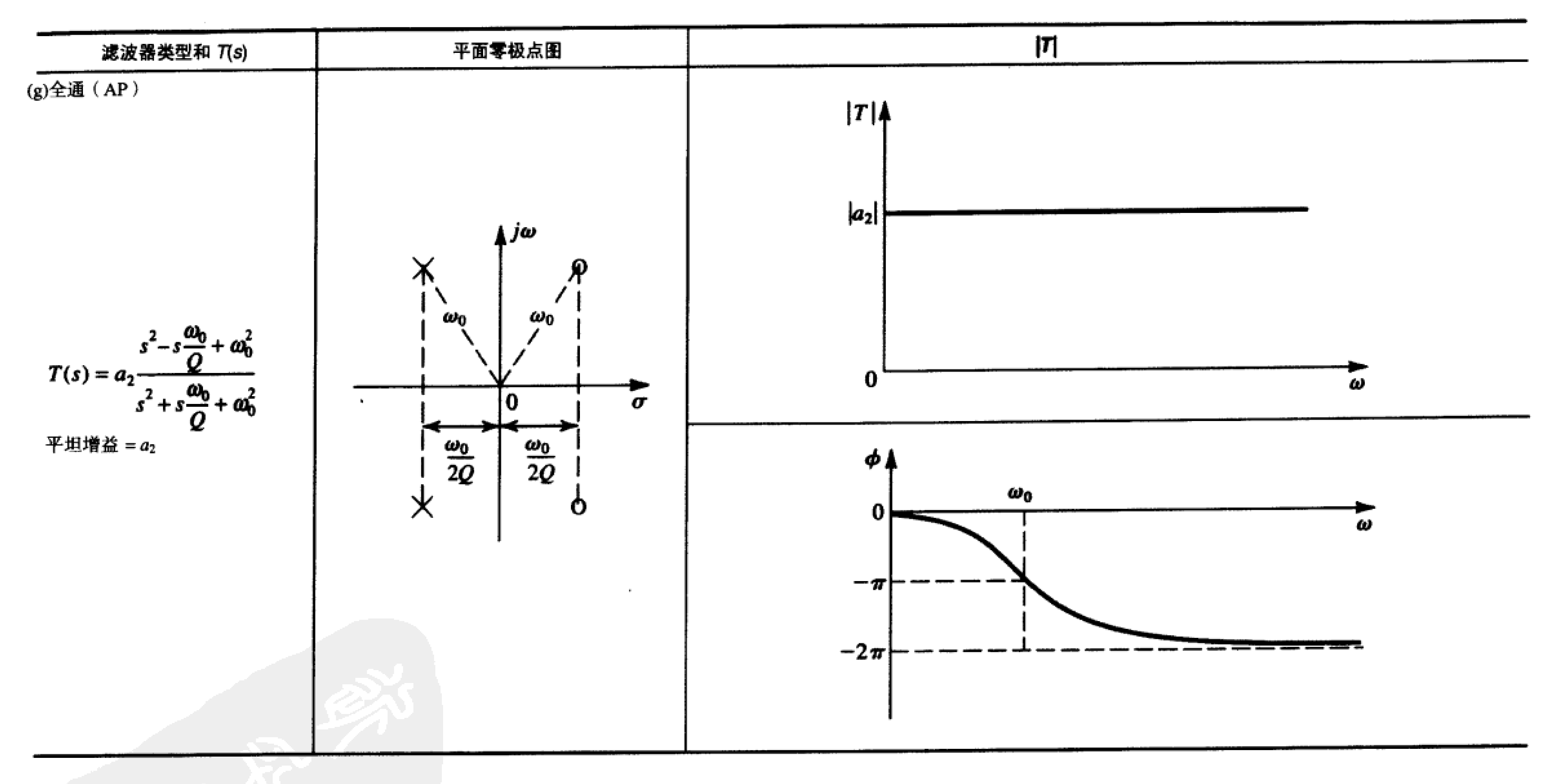


图 12.16（续）　二阶滤波器函数

练习 12.15 （a）二阶陷波函数的$\omega_n=\omega_0$，要求带宽BW_a内的衰减超过A dB，证明Q满足下式：

$$Q \leqslant \frac{\omega_0}{BW_a\sqrt{10^{A/10}-1}}$$

（提示：首先证明$|T|$相同时的任何两个频率ω_1和ω_2之间有$\omega_1\omega_2=\omega_0^2$这样的关系。）（b）利用（a）的结果，证明 3 dB 带宽等于ω_0/Q，如图 12.16（d）所示。

练习 12.16 考虑一个低通陷波函数，$\omega_0=1$ rad/s，$Q=10$，$\omega_n=1.2$ rad/s，直流增益等于 1。求峰值时的频率和幅度以及高频传输特性。

答案：0.986 rad/s；3.17；0.69

12.5 二阶 LCR 谐振器

这一节将介绍图 12.17（a）所示的 LCR 谐振器，并讨论利用该谐振器来实现各种二阶滤波器函数的电路。我们将在下一节讨论电感 L 被运算放大器构成的模拟电感取代后的运算放大器 RC 电路——运算放大器 RC 谐振器。这类电路实际上是非常重要的一类有源 RC 滤波器，我们将在 12.6 节讨论。

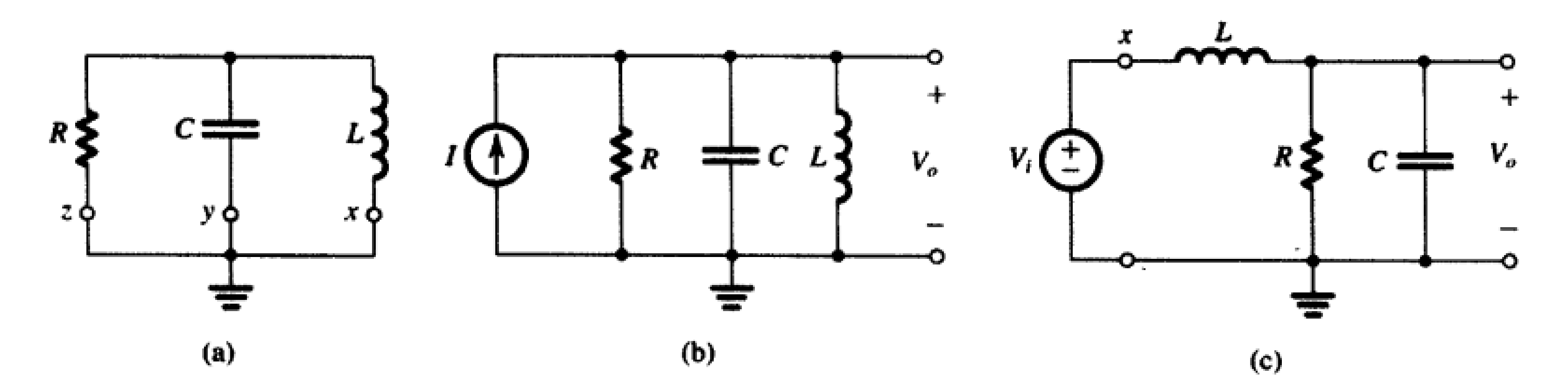


图 12.17 （a）二阶并联 LCR 谐振器；（b，c）两种给（a）电路加激励信号但不改变电路结构的方法：谐振器的极点就是V_o/I和V_o/V_i的极点

12.5.1 谐振器的极点

确定图 12.17（a）所示并联谐振电路的极点可以通过外加激励但不改变电路结构的方法得到。两种可用的外加激励的方法如图 12.17（b）和（c）所示。图 12.17（b）所示的激励源是并联的电流源 I。由于考虑电路的稳态响应时独立的理想电流源等效于开路，因此图 12.17（b）所示的激励不会改变电路结构。所以通过求解图 12.17（b）中任何响应函数的极点都可以确定谐振器的极点。例如，我们把跨接在谐振器两端的电压 V_o 作为响应可得到响应函数 $V_o/I=Z$，其中 Z 是并联谐振电路的阻抗。为便于分析，我们采用导纳 Y，即

$$\frac{V_o}{I}=\frac{1}{Y}=\frac{1}{(1/sL)+sC+(1/R)} = \frac{s/C}{s^2+s(1/CR)+(1/LC)} \quad (12.31)$$

将分母写成标准形式$[s^2+s(\omega_0/Q)+\omega_0^2]$，则有

$$\omega_0^2=1/LC \quad (12.32)$$

和

$$\omega_0 / Q = 1 / CR \tag{12.33}$$

即

$$\omega_0 = 1 / \sqrt{LC} \tag{12.34}$$

$$Q = \omega_0 CR \tag{12.35}$$

读者对上述表达式应该比较熟悉，在电路理论的入门课程中都介绍过并联谐振回路的性质。

图 12.17（c）所示的是另一种外加激励源求解并联 LCR 谐振器极点的方法。其中，电感 L 的一端与地断开，接到理想电压源 V_i 上。就电路的稳态响应而言，独立的理想电压源等效于短路，图 12.17（c）所示的激励没有改变谐振器的电路结构，我们可以利用图 12.17（c）所示电路来确定谐振器的极点，即任何响应函数的极点。例如，我们可以采用 V_o 作为变量求解传输函数 V_o/V_i，读者可以很容易证明其极点频率即为先前推导的结果。

设计时一般是给定 ω_0 和 Q，然后求 R，L 和 C 的值。式（12.34）和式（12.35）这两个方程中有 3 个未知量，我们通常利用一个独立的变量，从而将电路的输入阻抗设定为可求出实际电路元件值的某个值。

12.5.2 传输零点的实现

选定 LCR 谐振器的元件参数使其满足给定的共轭复数对极点的要求之后，现在我们考虑采用谐振器来实现所需滤波器的类型（比如低通、高通等）。具体而言，我们要找出外加输入激励源 V_i 的位置以使传输函数满足设计要求。为此我们来看图 12.17（a）所示的谐振器电路，x，y 和 z 三个节点中的任何一个可以与地断开并连接到 V_i 而不会改变电路的极点频率。这时的电路就具有了分压形式，如图 12.18（a）所示，其实现的传输函数如下：

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{Z_2(s)}{Z_1(s) + Z_2(s)} \tag{12.36}$$

我们发现，传输零点就是那些使得 $Z_2(s)$等于 0 且 $Z_1(s)$不同时为 0 的 s 值；或者是使 $Z_1(s)$为无限且 $Z_2(s)$不同时为无限的 s 值。这一表述的物理意义是：输出零点不是在 $Z_2(s)$呈现短路状态就是在 $Z_1(s)$呈现开路状态的情况下获得的。如果在某个 s 值上，$Z_1(s)$和 $Z_2(s)$同时为 0，那么 V_o/V_i 将为有限值而没有传输零点出现。同样，如果 $Z_1(s)$和 $Z_2(s)$同时为无限，V_o/V_i 仍然为有限值而没有传输零点出现。

12.5.3 低通传输函数的实现

采用上述方法实现低通传输函数时，节点 x 必须和地断开并且与 V_i 连接，如图 12.18（b）所示。当串联阻抗为无限（$s = \infty$时的 sL 为无限）或者并联阻抗为 0（$s = \infty$时的 $1/[sC+(1/R)]$ 为 0）时，电路具有传输零点。这样，电路就有了两个 $s = \infty$ 的传输零点，因此满足了低通滤波器的要求。传输函数既可以通过观察得到，也可以利用分压规则得到。采用后一种方法可以得到

$$\begin{aligned} T(s) \equiv \frac{V_o}{V_i} &= \frac{Z_2}{Z_1 + Z_2} = \frac{Y_1}{Y_1 + Y_2} = \frac{1/sL}{(1/sL) + sC + (1/R)} \\ &= \frac{1/LC}{s^2 + s(1/CR) + (1/LC)} \end{aligned} \tag{12.37}$$

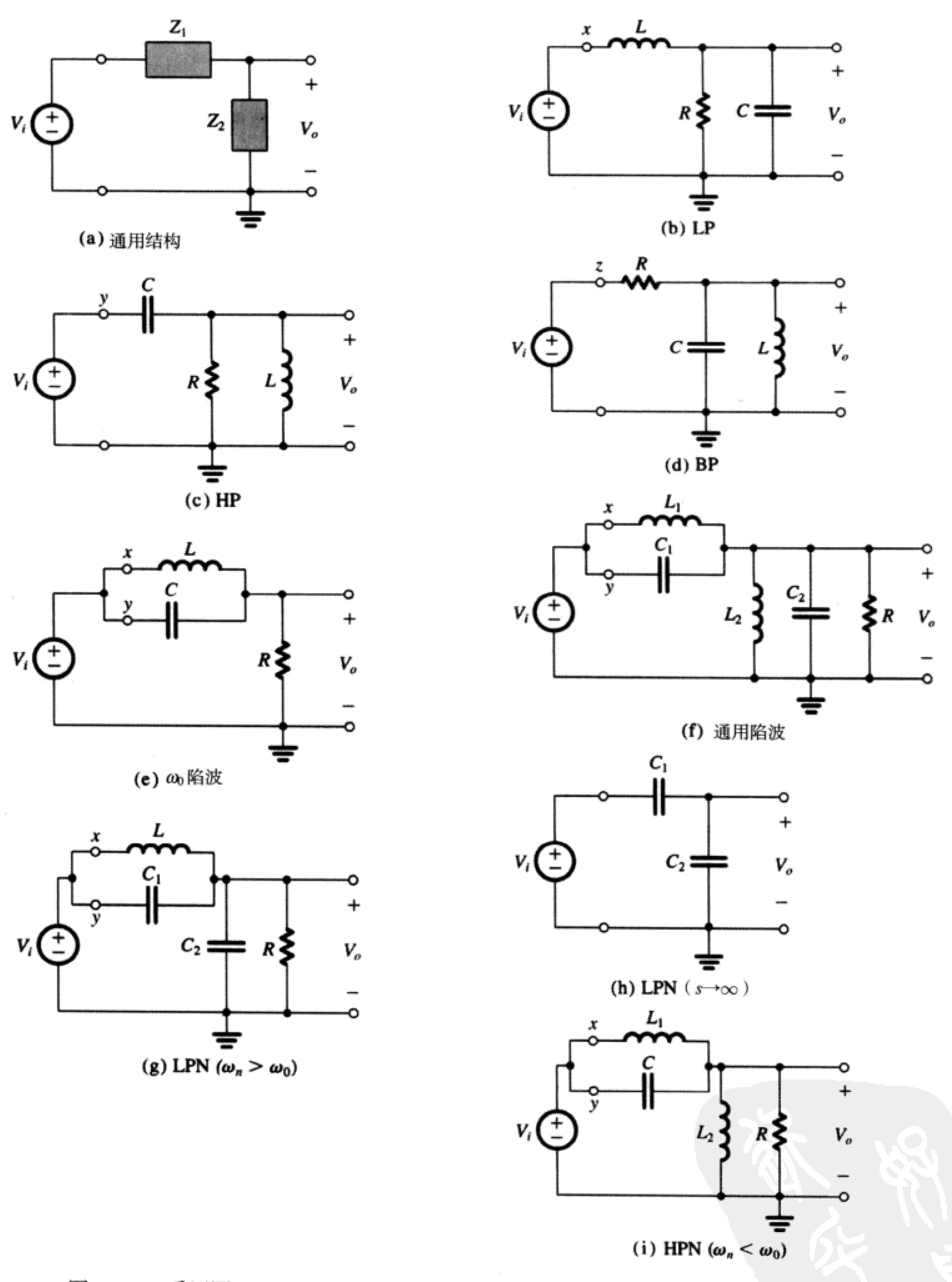


图 12.18　采用图 12.17（b）的 LCR 谐振器实现的各种二阶滤波器函数：（a）通用结构；（b）低通；（c）高通；（d）带通；（e）ω_0 陷波；（f）通用陷波；（g）低通陷波（$\omega_n \geqslant \omega_0$）；（h）低通陷波（$s \to \infty$）；（i）高通陷波（$\omega_n < \omega_0$）

12.5.4　高通传输函数的实现

为了实现二阶高通传输函数，必须将节点 y 与地断开并且与 V_i 连接，如图 12.18（c）所示。

这里的串联电容将引入一个 $s=0$（直流）的零点，并联电感将引入另外一个 $s=0$（直流）的传输零点。因此可写出传输函数如下：

$$T(s)\equiv\frac{V_o}{V_i}=\frac{a_2s^2}{s^2+s(\omega_0/Q)+\omega_0^2} \tag{12.38}$$

其中，ω_0 和 Q 是由式（12.34）和式（12.35）给出的极点参数，a_2 表示高频传输特性，通过观察电路，发现当 $s=\infty$ 时，电容接近于短路，V_o 接近于 V_i，所以可确定 $a_2=1$。

12.5.5　带通传输函数的实现

为了实现带通传输函数，必须将节点 z 与地断开并且与 V_i 连接，如图 12.18（d）所示。这里的串联阻抗是电阻且不会引入任何传输零点。零点的实现方法如下：$s=0$ 处的零点由并联电感引入，$s=\infty$ 处的零点由并联电容引入。在中心频率 ω_0 上，并联 LC 谐振回路呈现的阻抗为无穷，因此电路中没有电流流过，也就是在 $\omega=\omega_0$ 处，$V_o=V_i$。换言之，带通滤波器在中心频率点上的增益为 1。它的传输函数为

$$\begin{aligned}T(s)&=\frac{Y_R}{Y_R+Y_L+Y_C}=\frac{1/R}{(1/R)+(1/sL)+sC}\\&=\frac{s(1/CR)}{s^2+s(1/CR)+(1/LC)}\end{aligned} \tag{12.39}$$

12.5.6　陷波函数的实现

为了得到 $j\omega$ 轴上的一对传输零点，我们通常在串臂上采用一个并联谐振回路，如图 12.18（e）所示。观察发现，电路在节点 x 和 y 处都与地断开，而且一同接到了 V_i 上，LC 谐振回路的阻抗在 $\omega=\omega_0=1/\sqrt{LC}$ 时为无穷，即得到了在此频率点上的传输零点。并联阻抗是电阻，不会引入传输零点。因此图 12.18（e）所示的电路即可实现陷波传输函数：

$$T(s)=a_2\frac{s^2+\omega_0^2}{s^2+s(\omega_0/Q)+\omega_0^2} \tag{12.40}$$

高频增益值 a_2 可以通过令上式等于 1 得到。

在实现陷波滤波器时为了使陷波频率可被任意设置（相对于 ω_0），我们将上述电路略做修改。并联 LC 回路仍然置于串臂，如图 12.18（f）所示，其中 L_1 和 C_1 满足下式：

$$L_1C_1=1/\omega_n^2 \tag{12.41}$$

这时，L_1C_1 回路将在 $\pm j\omega_n$ 处引入一对传输零点，条件是 L_2C_2 谐振回路不在 ω_n 处谐振。除此以外，L_2 和 C_2 的值还应保证传输极点不能变化，即

$$C_1+C_2=C \tag{12.42}$$

$$L_1 \parallel L_2=L \tag{12.43}$$

换言之，当 V_i 被替换成短路线时，现在的电路必须退化成最先的 LCR 谐振器。理解图 12.18（f）所示电路的另一种方法是在通用 LCR 谐振器电路中使一部分 L 和 C 断开和地的连接，而改为和 V_i 连接。

需要说明的是，图 12.18（f）中的 L_2 不会引入 $s=0$ 的零点，因为在 $s=0$ 处 L_1C_1 电路也有零点。事实上，$s=0$ 时电路成为电感分压回路，直流传输为 $L_2/(L_1+L_2)$。同样的分析可以应用于 C_2 及其不会引入 $s=\infty$ 的零点的事实。

低通陷波（LPN）和高通陷波（HPN）滤波器的实现可以看成图 12.18（f）所示的通用陷波滤波器的特殊例子。比如，对 LPN，

$$\omega_n > \omega_0$$

因而，

$$L_1C_1 < (L_1 \parallel L_2)(C_1 + C_2)$$

为了满足上述条件，可去掉 L_2（$L_2=\infty$，$L_1=L$），得到图 12.18（g）所示的电路。观察后可写出如下的传输函数：

$$T(s) \equiv \frac{V_o}{V_i} = a_2 \frac{s^2 + \omega_n^2}{s^2 + s(\omega_0 / Q) + \omega_0^2} \tag{12.44}$$

其中，$\omega_n^2 = 1/LC_1$，$\omega_0^2 = 1/L(C_1 + C_2)$，$\omega_0/Q = 1/CR$，$a_2$是高频增益。从电路中可以看到，$s \to \infty$ 时，电路退化为图 12.18（h）所示的电路，该电路有：

$$\frac{V_o}{V_i} = \frac{C_1}{C_1 + C_2}$$

则

$$a_2 = \frac{C_1}{C_1 + C_2} \tag{12.45}$$

为了得到高通陷波滤波器，我们从图 12.18（f）所示的电路开始，令 $\omega_n < \omega_0$，因此，

$$L_1C_1 > (L_1 \parallel L_2)(C_1 + C_2)$$

选择 $C_2=0$（即 $C_1=C$）即可满足上式，从而得到图 12.18（i）所示的电路。观察发现，$s \to \infty$ 时 V_o 趋于 V_i，因此高频增益为 1。则传输函数可表示为

$$T(s) \equiv \frac{V_o}{V_i} = \frac{s^2 + (1/L_1C)}{s^2 + s(1/CR) + [1/(L_1 \parallel L_2)C]} \tag{12.46}$$

12.5.7 全通函数的实现

全通传输函数为

$$T(s) = \frac{s^2 - s(\omega_0 / Q) + \omega_0^2}{s^2 + s(\omega_0 / Q) + \omega_0^2} \tag{12.47}$$

上式也可以写成

$$T(s) = 1 - \frac{s2(\omega_0 / Q)}{s^2 + s(\omega_0 / Q) + \omega_0^2} \tag{12.48}$$

上式右边第二项是一个带通函数，其中心频率处的增益等于 2。我们已经介绍了带通滤波器电路［见图 12.18（d）］，但是中心频率处的增益等于 1，我们可以令全通滤波器电路实现时的平坦增益为 0.5，即

$$T(s) = 0.5 - \frac{s(\omega_0 / Q)}{s^2 + s(\omega_0 / Q) + \omega_0^2}$$

函数实现可以采用分压比为 0.5 的分压电路和图 12.18（d）所示的带通滤波器电路。为了实现减法运算，全通滤波器的输出被设置在分压电路和带通电路的输出端之间，如图 12.19 所示。遗憾的是，该电路缺少输入和输出之间的公共接地端点。采用运算放大器 RC 的电路实现将在下一节讲述。

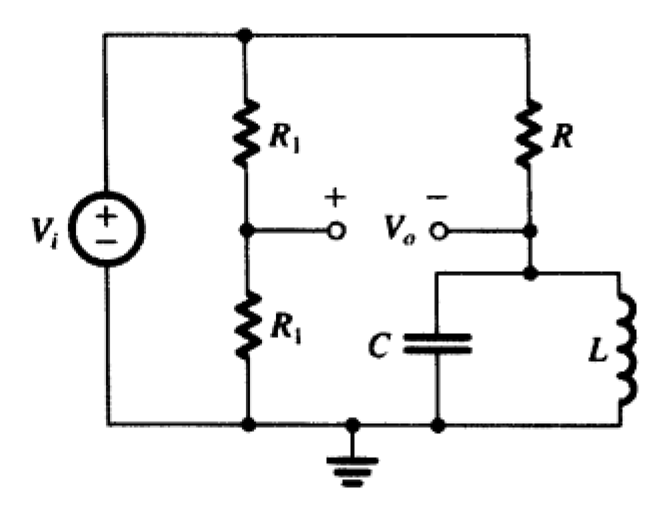


图 12.19　采用电压分压器和 LCR 谐振器实现二阶全通函数的功能

练习 12.17　利用图 12.18（b）所示电路实现一个二阶最大平坦特性的低通函数，3 dB 带宽为 100 kHz。

答案：选择 $R=1\ \text{k}\Omega$，得到 $C=1125\ \text{pF}$ 和 $L=2.25\ \text{mH}$

练习 12.18　利用图 12.18（e）所示电路实现陷波函数，该陷波滤波器可去除 60 Hz 的电源交流声。滤波器的 3 dB 带宽是 10 Hz［在 60 Hz 附近 10 Hz 的带宽范围内的衰减要超过 3 dB。参见练习 12.15 和图 12.16（d）］。电阻 $R=10\ \text{k}\Omega$。

答案：$C=1.6\ \mu\text{F}$ 和 $L=4.42\ \text{H}$（注意，这里需要很大的电感。这就是无源滤波器在低频应用中不被采用的原因。）

12.6　基于电感替代的二阶有源滤波器

本节将介绍运算放大器 RC 电路，该电路可用于实现各种二阶滤波器函数。该电路的实现基于运算放大器 RC 谐振器，即利用具有感性输入阻抗的运算放大器 RC 电路替换 LCR 谐振器中的电感 L。

12.6.1　Antoniou 电感模拟电路

很多年来，人们提出了许多利用运算放大器 RC 电路实现电感功能的电路。由 Antoniou①［参见 Antoniou(1969)］发明的电路被认为是“最好”的。“最好”的含义是指电路可容忍运算放大器的非理想特性，特别是能容忍运算放大器的有限增益和有限带宽。图 12.20（a）给出的是 Antoniou 电感模拟电路。如果电路的输入端（节点 1）接上电压源 V_1，输入电流用 I_1 表示，对理想运算放大器电路，求出输入阻抗为

$$Z_{in} \equiv V_1 / I_1 = sC_4R_1R_3R_5 / R_2 \qquad (12.49)$$

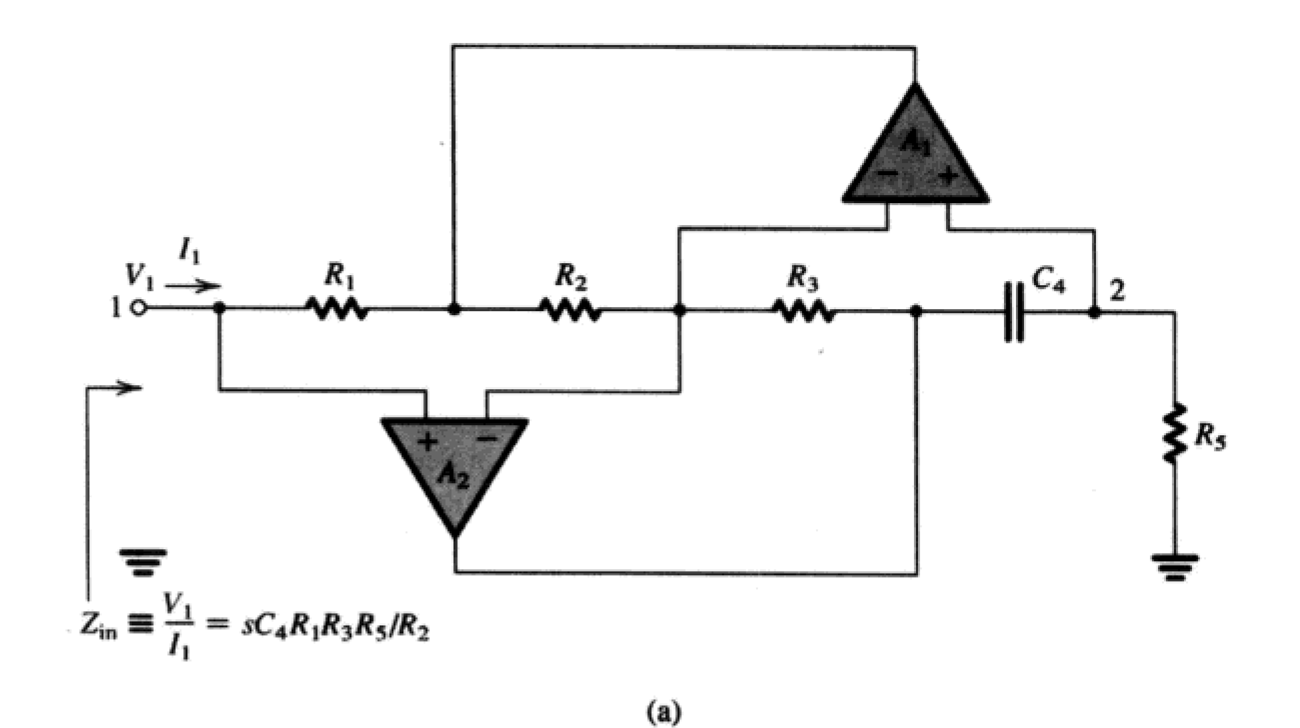
即等效电感量 L 为

$$L = C_4R_1R_3R_5 / R_2 \qquad (12.50)$$

图 12.20（b）给出了电路的分析过程。假设运算放大器是理想的，则每个运算放大器的输入端均呈现为虚短路，运算放大器的输入电流均为 0。我们从节点 1 开始分析，假设激励是电压源 V_1，按照带圈的数字所表示的步骤一步一步地进行分析，最终可得到输入电流 I_1 的表达式，从而可求得 Z_{in}。

电路设计实际上就是选择元件参数，通常令 $R_1=R_2=R_3=R_5=R$ 以及 $C_4=C$，由此可得到 $L=CR^2$ 的结果。设置满意的参数 R 和 C 以满足电感 L 的设计要求。有关更详细的分析以及运算放大器的非理想特性对电路性能的影响的内容可参见 Sedra 和 Brackett（1978）。

① Andreas Antoniou 是一名加拿大机械师，现在（2003）是 Victoria（British　Columbia）大学的教师。



(a)

(b)

图 12.20 （a）Antoniou 电感模拟电路；（b）电路分析。假设运算放大器是理想的。带圈的数字表示分析步骤

12.6.2 运算放大器 RC 谐振器

图 12.21（a）所示是我们在 12.5 节详细分析过的 LCR 滤波器电路。将电感 L 用图 12.20（a）所示的 Antoniou 电感模拟电路替代便可得到图 12.21（b）所示的运算放大器 RC 谐振器电路。（暂时不考虑虚线画出的运算放大器。）图 12.21（b）电路就是一个二阶谐振器，其极点频率为

$$\omega_0 = 1/\sqrt{LC_6} = 1/\sqrt{C_4C_6R_1R_3R_5/R_2} \tag{12.51}$$

其中，电感 L 采用的是式（12.50）的表达式，品质因数 Q 为

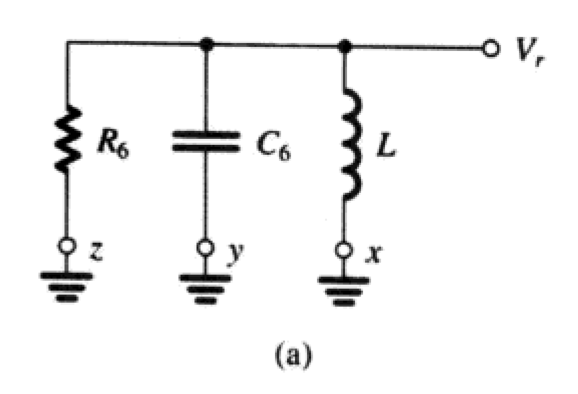
$$Q = \omega_0 C_6 R_6 = R_6\sqrt{\frac{C_6}{C_4}\frac{R_2}{R_1R_3R_5}} \tag{12.52}$$

通常选择 $C_4 = C_6 = C$，以及 $R_1 = R_2 = R_3 = R_5 = R$，因此，

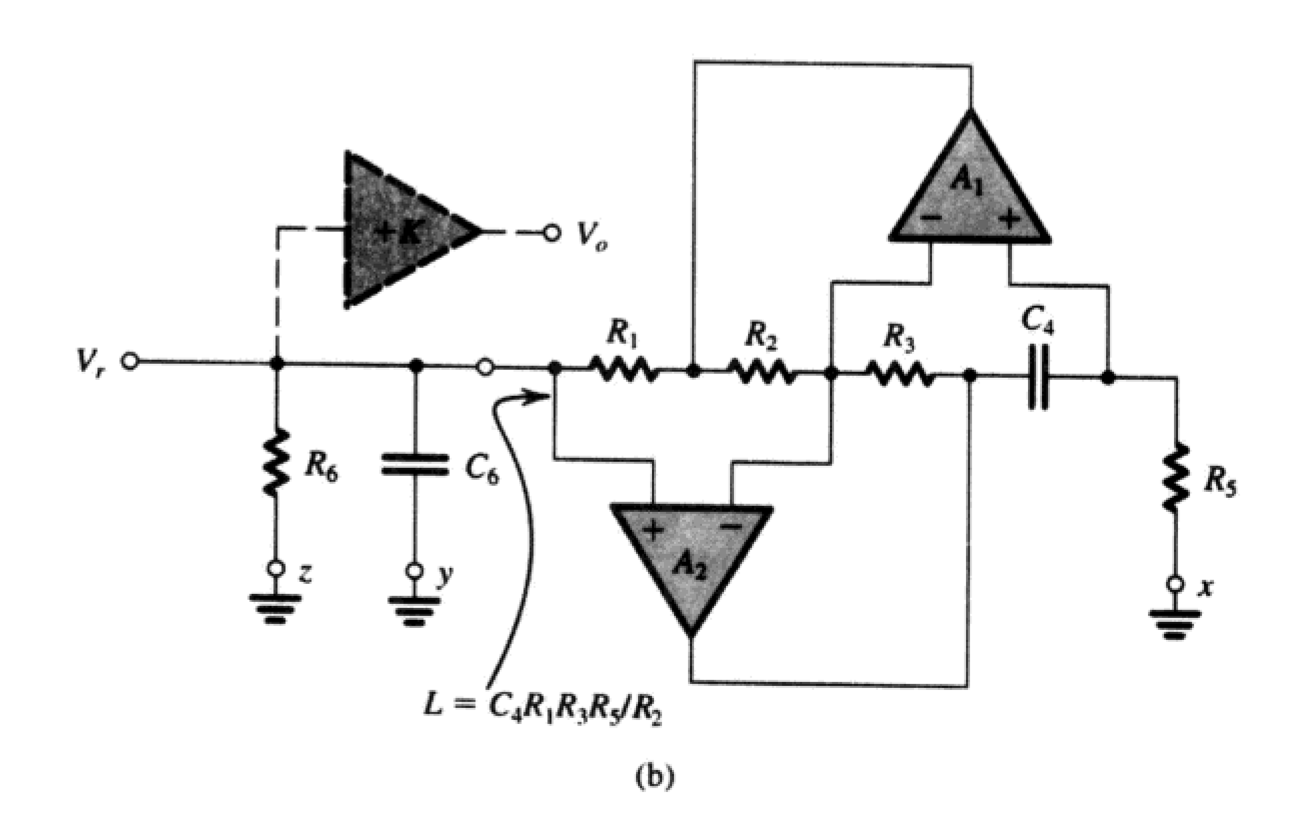
$$\omega_0 = 1/CR \tag{12.53}$$

$$Q = R_6 / R \tag{12.54}$$

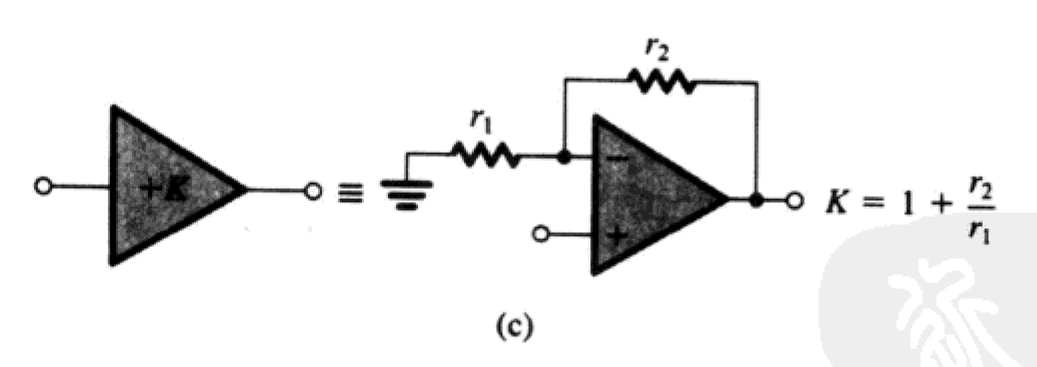
如果为电容 C 选择一个合适的值，我们就可以利用式（12.53）确定电阻 R 的值，从而满足极点频率ω_0的要求；然后利用式（12.54）确定电阻 R_6 的值，从而满足 Q 的要求。



(a)



(b)



(c)

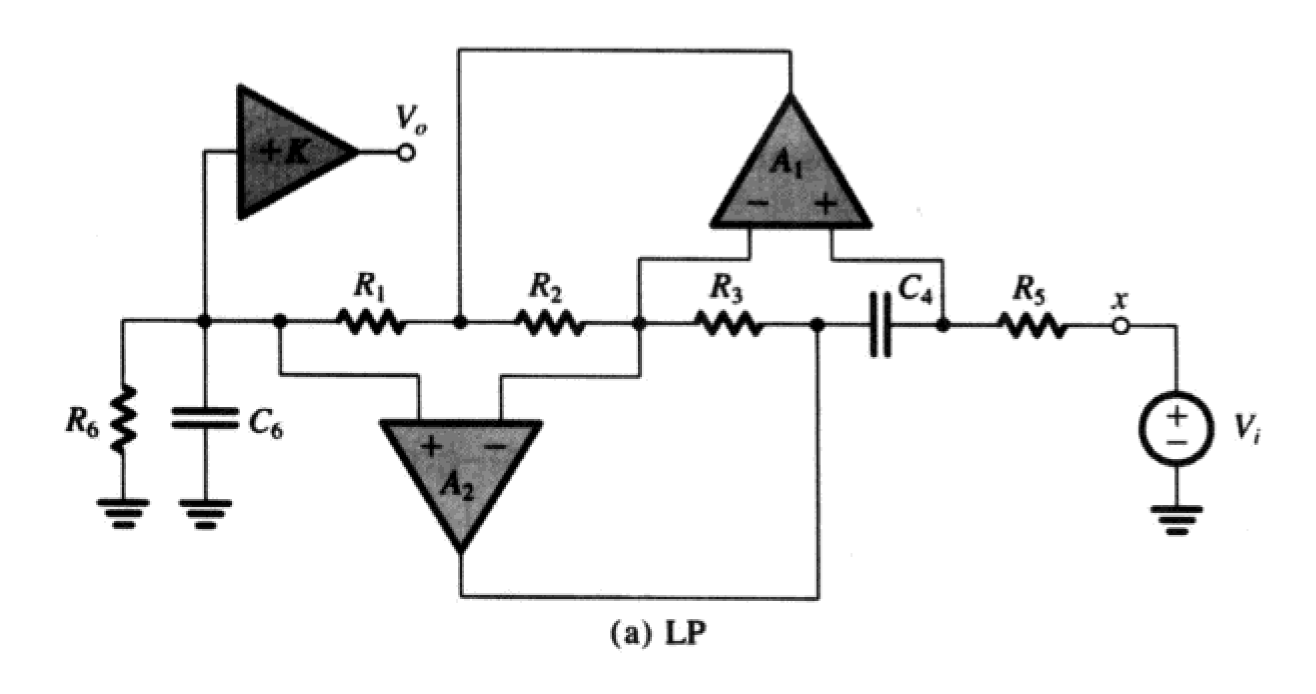
图 12.21　（a）LCR 谐振器；（b）运算放大器 RC 谐振器，其中的电感被图 12.20（a）所示的 Antoniou 模拟电感电路代替；（c）缓冲放大器 K 的实现

12.6.3　各种类型滤波器的实现

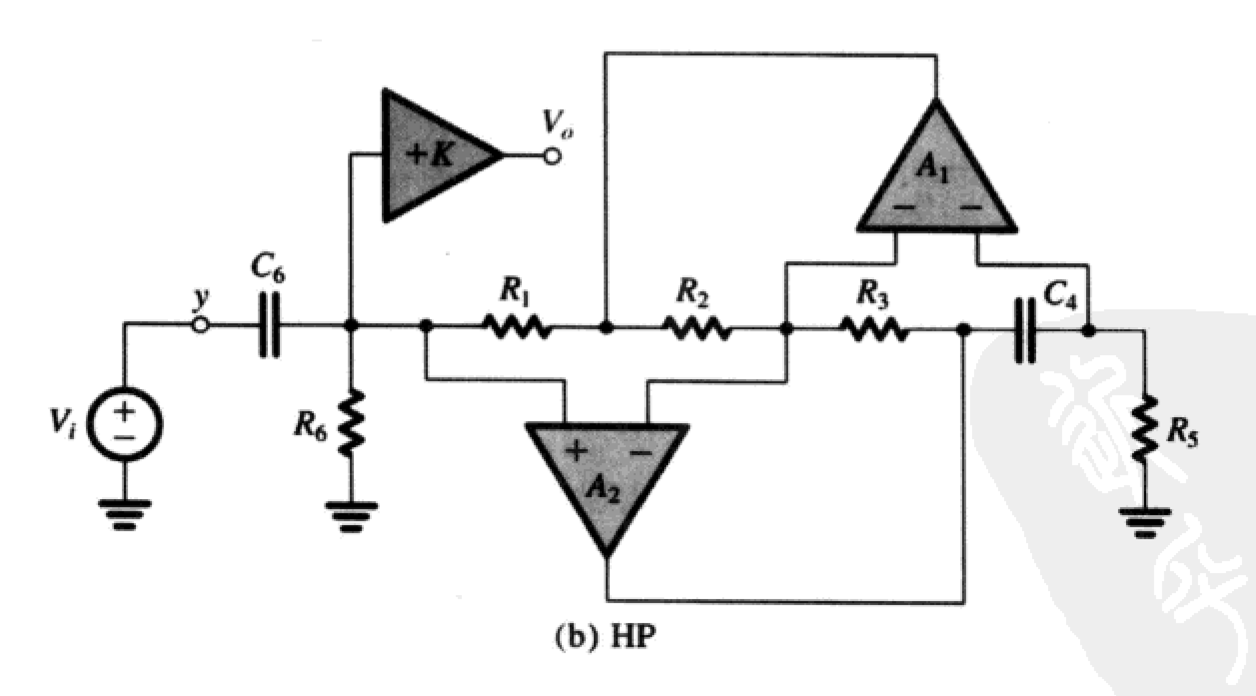
图 12.21（b）所示的运算放大器 RC 电路可以用于各种二阶滤波器函数的电路实现，方法见 12.5 节所述的采用 LCR 实现的过程。所以要得到带通滤波器函数，我们可以将节点 z 与地断开并连接信号源 V_i。高通滤波器函数的实现是在节点 y 处接入 V_i；低通滤波器函数的实现是在 LCR 谐振器电路中断开电感节点 x 与地之间的连接而接上 V_i，有源滤波器电路中的相应节点是 R_5 与地

之间的节点①，用 x 表示，如图 12.21（b）所示；通用的陷波函数（$\omega_0=\omega_n$）是在节点 x 和 y 与地之间同时接入激励电压源 V_i 实现的，任何情况下，输出信号都是谐振回路输出端的电压 V_r。然而这实际上不是一个很方便的滤波器输出节点，因为接上负载后，滤波器的特性会有所改变。不过使用缓冲放大器后问题还是比较容易解决的。这是一个增益为 K 的放大器，参见图 12.21（b）中用虚线画的运算放大器。图 12.21（c）给出了该运算放大器的实现过程，即采用反相组态的运算放大器结构。注意，该电路不仅完成了放大器 K 对滤波器输出的缓冲作用，同时也给设计者提供了设置滤波器增益的空间，合理选择 K 的值即可满足滤波器增益的各种设计要求。

图 12.22 给出了采用图 12.21（b）实现的各种二阶滤波器传输函数电路。这些电路的传输函数和设计公式参见表 12.1。注意，传输函数可仿照 LCR 谐振器写出。我们已经对 LP，HP，BP 和通用陷波电路做过评论，参见图 12.22（a）～（d）。图 12.22（e）和（f）所示的 LPN 和 HPN 是直接模拟图 12.18（g）和（i）所示的 LCR 滤波器得到的。图 12.22（g）所示的全通滤波器电路需要做些说明。



(a) LP



(b) HP

图 12.22 采用图 12.21（b）所示的运算放大器 RC 谐振器实现的各种二阶滤波器函数：（a）低通；（b）高通

① 这一点不是很明显！但是读者可以证明，当 V_i 接至该节点时，传输函数 V_r/V_i 的确是低通的。

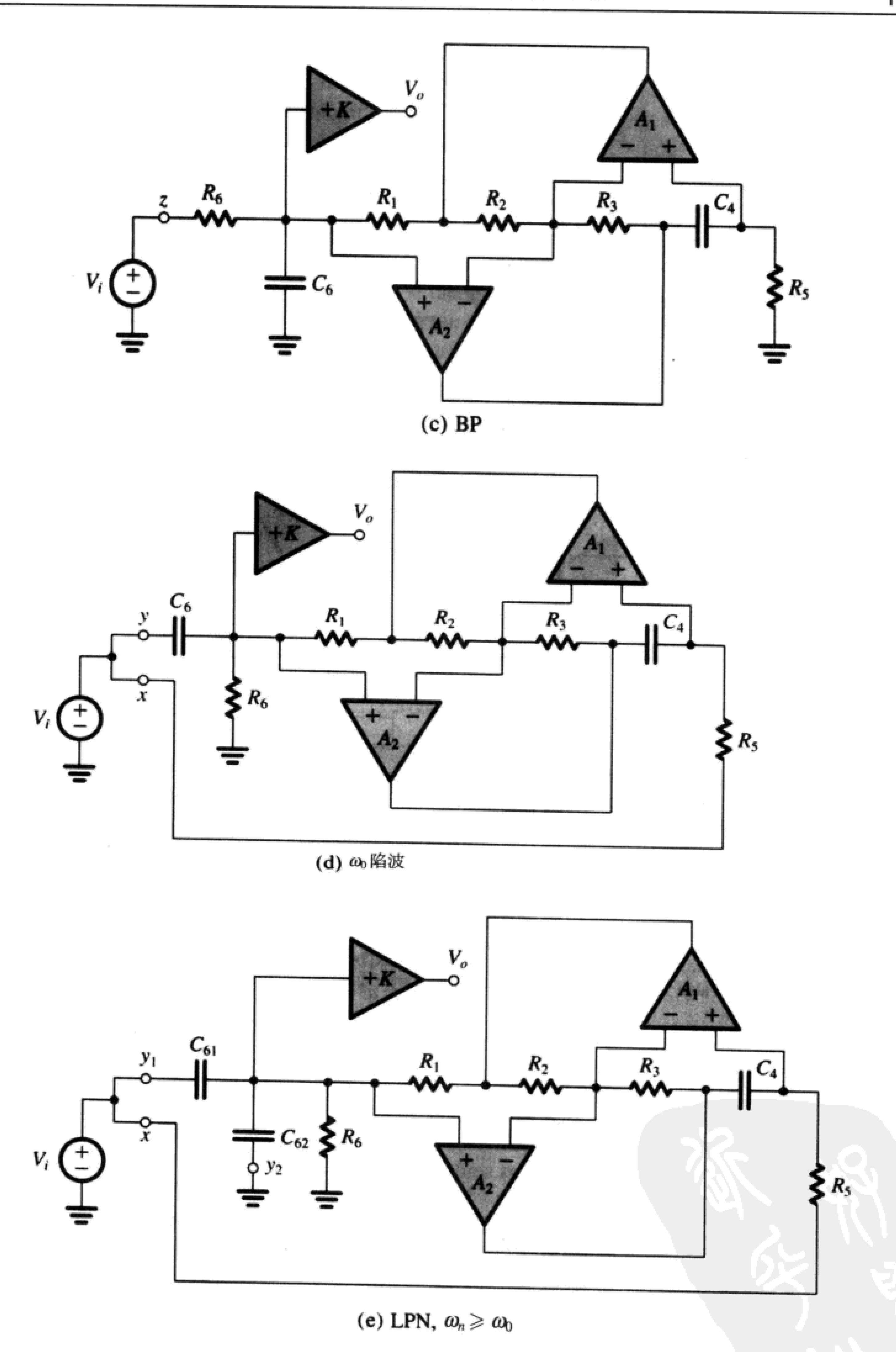
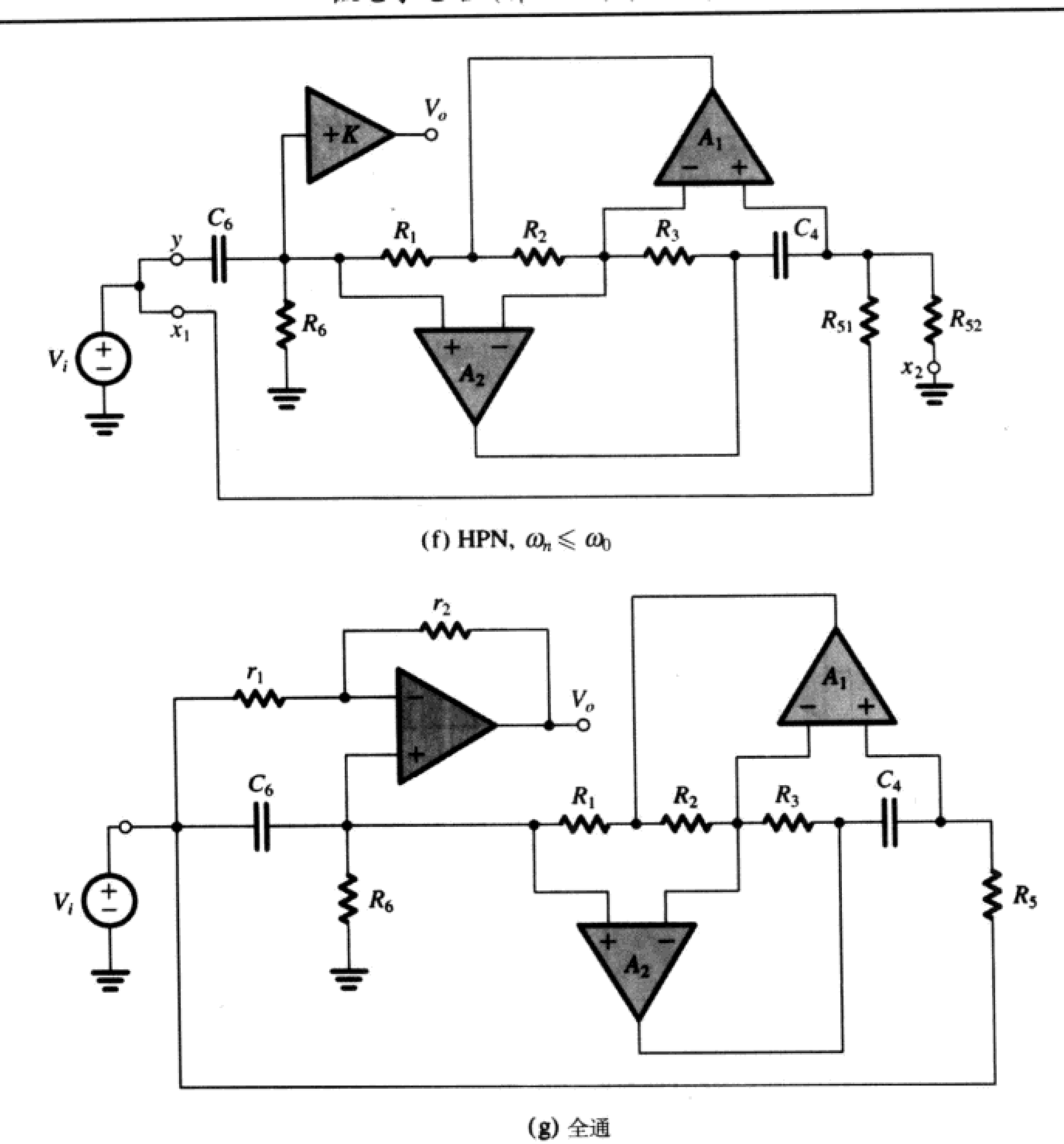


图 12.22（续）　采用图 12.21（b）所示的运算放大器 RC 谐振器实现的各种二阶滤波器函数：（c）带通；（d）ω_0 陷波；（e）低通陷波($\omega_n \geq \omega_0$)



(f) HPN, $\omega_n \leqslant \omega_0$

(g) 全通

图 12.22（续） 采用图 12.21（b）所示的运算放大器 RC 谐振器实现的各种二阶滤波器函数：（f）高通陷波($\omega_n \leqslant \omega_0$)；（g）全通。电路基于图 12.18 所示的 LCR 谐振电路，设计公式参见表 12.1

表 12.1 图 12.22 所示电路的设计数据

电路	传输函数及其他参数	设计公式
谐振器 见图 12.21(b)	$\omega_0 = 1/\sqrt{C_4C_6R_1R_3R_5/R_2}$ $Q = R_6\sqrt{\dfrac{C_6}{C_4}\dfrac{R_2}{R_1R_3R_5}}$	$C_4 = C_6 = C$（典型值） $R_1 = R_2 = R_3 = R_5 = 1/\omega_0 C$ $R_6 = Q/\omega_0 C$
低通（LP） 见图 12.22(a)	$T(s) = \dfrac{KR_2/C_4C_6R_1R_3R_5}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ 直流增益
高通（HP） 见图 12.22(b)	$T(s) = \dfrac{Ks^2}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ 高频增益
带通（BP） 见图 12.22(c)	$T(s) = \dfrac{Ks/C_6R_6}{s^2 + s\dfrac{1}{C_6R_6} + \dfrac{R_2}{C_4C_6R_1R_3R_5}}$	$K =$ 中心频率增益

（续）

电路	传输函数及其他参数	设计公式
通用陷波（N）见图 12.22(d)	$T(s)=\dfrac{K[s^2+(R_2/C_4C_6R_1R_3R_5)]}{s^2+s\dfrac{1}{C_6R_6}+\dfrac{R_2}{C_4C_6R_1R_3R_5}}$	K = 低频和高频增益
低通陷波（LPN）见图 12.22(e)	$T(s)=K\dfrac{C_{61}}{C_{61}+C_{62}}\times\dfrac{s^2+(R_2/C_4C_{61}R_1R_3R_5)}{s^2+s\dfrac{1}{(C_{61}+C_{62})R_6}+\dfrac{R_2}{C_4(C_{61}+C_{62})R_1R_3R_5}}$ $\omega_n=1/\sqrt{C_4C_{61}R_1R_3R_5/R_2}$ $\omega_0=1/\sqrt{C_4(C_{61}+C_{62})R_1R_3R_5/R_2}$ $Q=R_6\sqrt{\dfrac{C_{61}+C_{62}}{C_4}\dfrac{R_2}{R_1R_3R_5}}$	K = 高频增益 $C_{61}+C_{62}=C_6=C$ $C_{61}=C(\omega_0/\omega_n)^2$ $C_{62}=C-C_{61}$
高通陷波（HPN）见图 12.22(f)	$T(s)=K\dfrac{s^2+(R_2/C_4C_6R_1R_3R_{51})}{s^2+s\dfrac{1}{C_6R_6}+\dfrac{R_2}{C_4C_6R_1R_3}\left(\dfrac{1}{R_{51}}+\dfrac{1}{R_{52}}\right)}$ $\omega_n=1/\sqrt{C_4C_6R_1R_3R_{51}/R_2}$ $\omega_0=\sqrt{\dfrac{R_2}{C_4C_6R_1R_3}\left(\dfrac{1}{R_{51}}+\dfrac{1}{R_{52}}\right)}$ $Q=R_6\sqrt{\dfrac{C_6}{C_4}\dfrac{R_2}{R_1R_3}\left(\dfrac{1}{R_{51}}+\dfrac{1}{R_{52}}\right)}$	K = 高频增益 $\dfrac{1}{R_{51}}+\dfrac{1}{R_{52}}=\dfrac{1}{R_5}=\omega_0C$ $R_{51}=R_5(\omega_0/\omega_n)^2$ $R_{52}=R_5/[1-(\omega_n/\omega_0)^2]$
全通（AP）见图 12.22(g)	$T(s)=\dfrac{s^2-s\dfrac{1}{C_6R_6}\dfrac{r_2}{r_1}+\dfrac{R_2}{C_4C_6R_1R_3R_5}}{s^2+s\dfrac{1}{C_6R_6}+\dfrac{R_2}{C_4C_6R_1R_3R_5}}$ $\omega_z=\omega_0$　$Q_z=Q(r_1/r_2)$　平坦增益=1	$r_1=r_2=r$（任意） 调整 r_2 以使 $Q_z=Q$

12.6.4　全通滤波器电路

平坦增益为 1 的全通函数可以写成如下形式：

$$\text{AP}=1-（中心频率增益为 2 的 BP）\tag{12.55}$$

［参见式（12.48）］。传输函数具有上述形式的两个电路被称为互补电路[①]。即平坦增益为 1 的全通电路和中心频率增益为 2 的带通电路是一对互补电路。得到线性互补电路的一种简单方法是：将电路中所有与地相连的节点断开并接至 V_i 上；将所有与 V_i 相连的节点断开并接至地。也就是交换线性电路的输入节点和接地节点，即可得到与原来传输函数互补的电路。

回到我们的问题，首先利用图 12.22（c）所示的电路实现增益为 2 的带通滤波器，也就是选择 $K=2$，缓冲放大器采用图 12.21（c）所示的电路，其中 $r_1=r_2$。然后交换输入节点和接地节点，从而得到图 12.22（g）所示的全通电路。

最后，图 12.22 展示的电路除了设计简单以外，还具有很好的性能。它们既可以单独实现二阶滤波器函数，还可以级联在一起构成高阶的滤波器函数。

练习 D12.19　利用图 12.22（c）所示的电路设计一个二阶带通滤波器，其中心频率是 10 kHz，3 dB 带宽是 500 Hz，中心频率增益是 10。假设电容 $C=1.2$ nF。

答案：$R_1=R_2=R_3=R_5=13.26$ kΩ；$R_6=265$ kΩ；$C_4=C_6=1.2$ nF；$K=10$；$r_1=10$ kΩ；$r_2=90$ kΩ

① 更多的互补电路将和图 12.31 一起在后面给出。

练习 D12.20 实现例题 12.2 的切比雪夫滤波器，其传输函数由式（12.25）给出。这是一个三级级联电路：其中两个电路如图 12.22（a）所示，一个一阶运算放大器 RC 电路如图 12.13（a）所示，注意，可以假设所有三级电路的直流增益均相等，即为单位增益，同时尽可能多地使用 10 kΩ 的电阻。

答案：一阶电路：$R_1=R_2=10\ \text{k}\Omega$；$C=5.5\ \text{nF}$；二阶电路的 $\omega_0=4.117\times10^4$ rad/s 和 $Q=1.4$：$R_1=R_2=R_3=R_5=10\ \text{k}\Omega$，$R_6=14\ \text{k}\Omega$，$C_4=C_6=2.43\ \text{nF}$，$r_1=\infty$，$r_2=0$；二阶电路的 $\omega_0=6.246\times10^4$ rad/s 和 $Q=5.56$：$R_1=R_2=R_3=R_5=10\ \text{k}\Omega$，$R_6=55.6\ \text{k}\Omega$，$C_4=C_6=1.6\ \text{nF}$，$r_1=\infty$，$r_2=0$

12.7 基于双积分环结构的二阶有源滤波器

本节将介绍另一类采用运算放大器 RC 电路实现二阶滤波器函数的电路。该电路基于两个积分电路的级联带反馈环的结构，该电路称为双积分环电路。

12.7.1 双积分环双二次函数的推导

为了推导双积分环双二次电路，通常也称为双二次[①]电路，考虑如下二阶高通传输函数：

$$\frac{V_{\text{hp}}}{V_i}=\frac{Ks^2}{s^2+s(\omega_0/Q)+\omega_0^2} \tag{12.56}$$

其中 K 表示高频增益。将式（12.56）两边交叉相乘，并在方程两边同时除以 s^2（为了使所有 s 项具有 $1/s$ 的形式，而 $1/s$ 在传输函数中正好表示积分），可得

$$V_{\text{hp}}+\frac{1}{Q}\left(\frac{\omega_0}{s}V_{\text{hp}}\right)+\left(\frac{\omega_0^2}{s^2}V_{\text{hp}}\right)=KV_i \tag{12.57}$$

观察上式，我们发现（ω_0/s）V_{hp} 是 V_{hp} 信号通过一个时间常数等于 $1/\omega_0$ 的积分器后的输出信号，而且该输出信号将通过一个相同的积分器，由此可以得到式（12.57）中的第三项，即（ω_0^2/s^2）V_{hp}。图 12.23（a）所示的就是这样一个双积分器的框图。注意，若采用反相米勒积分器实现图 12.23（a）中的积分器框图，则每一个积分器框图里都有一个负号。

但是问题仍然存在，即如何得到两级级联积分器的输入信号 V_{hp} 呢？为此我们变换一下式（12.57），用 V_{hp} 的一次积分、两次积分形式和 V_i 来表示 V_{hp}：

$$V_{\text{hp}}=KV_i-\frac{1}{Q}\frac{\omega_0}{s}V_{\text{hp}}-\frac{\omega_0^2}{s^2}V_{\text{hp}} \tag{12.58}$$

可见，V_{hp} 可以采用图 12.23（b）所示的加权加法器来实现。这样完整的实现框图就是将图 12.23（a）和图 12.23（b）所示的框图结合起来，得到如图 12.23（c）所示的电路。

在实现图 12.23（c）所示的电路时，加法器的输出 V_{hp} 实现了式（12.56）的高通传输函数 $T_{\text{hp}}\equiv V_{\text{hp}}/V_i$。第一级积分器的输出信号是 $-(\omega_0/s)V_{\text{hp}}$，具有带通函数的性质：

$$\frac{(-\omega_0/s)V_{\text{hp}}}{V_i}=-\frac{K\omega_0 s}{s^2+s(\omega_0/Q)+\omega_0^2}=T_{\text{bp}}(s) \tag{12.59}$$

因此把第一级积分器的输出用 V_{bp} 表示。注意，带通滤波器在中心频率点上的增益等于 $-KQ$。

我们以同样的方法分析第二级积分器电路，我们可以证明其输出传输函数具有低通性质：

① 双二次电路来源于这样的事实：电路的通用形式能够实现一个二次函数的功能，传输函数又是两个二次多项式的比。

$$\frac{(\omega_0^2/s^2)V_{\mathrm{hp}}}{V_i}=\frac{K\omega_0^2}{s^2+s(\omega_0/Q)+\omega_0^2}=T_{\mathrm{lp}}(s) \tag{12.60}$$

所以第二级积分器的输出标为 V_{lp}。注意，低通滤波器的直流增益等于 K。

我们将具有图 12.23（c）所示框图结构的双积分环双二次电路的实现结果总结如下：这是一个同时实现三个基本二阶滤波器 LP，BP 和 HP 函数的电路。电路的可扩展性很大，使得该电路很受欢迎，因而也称其为通用有源滤波器。

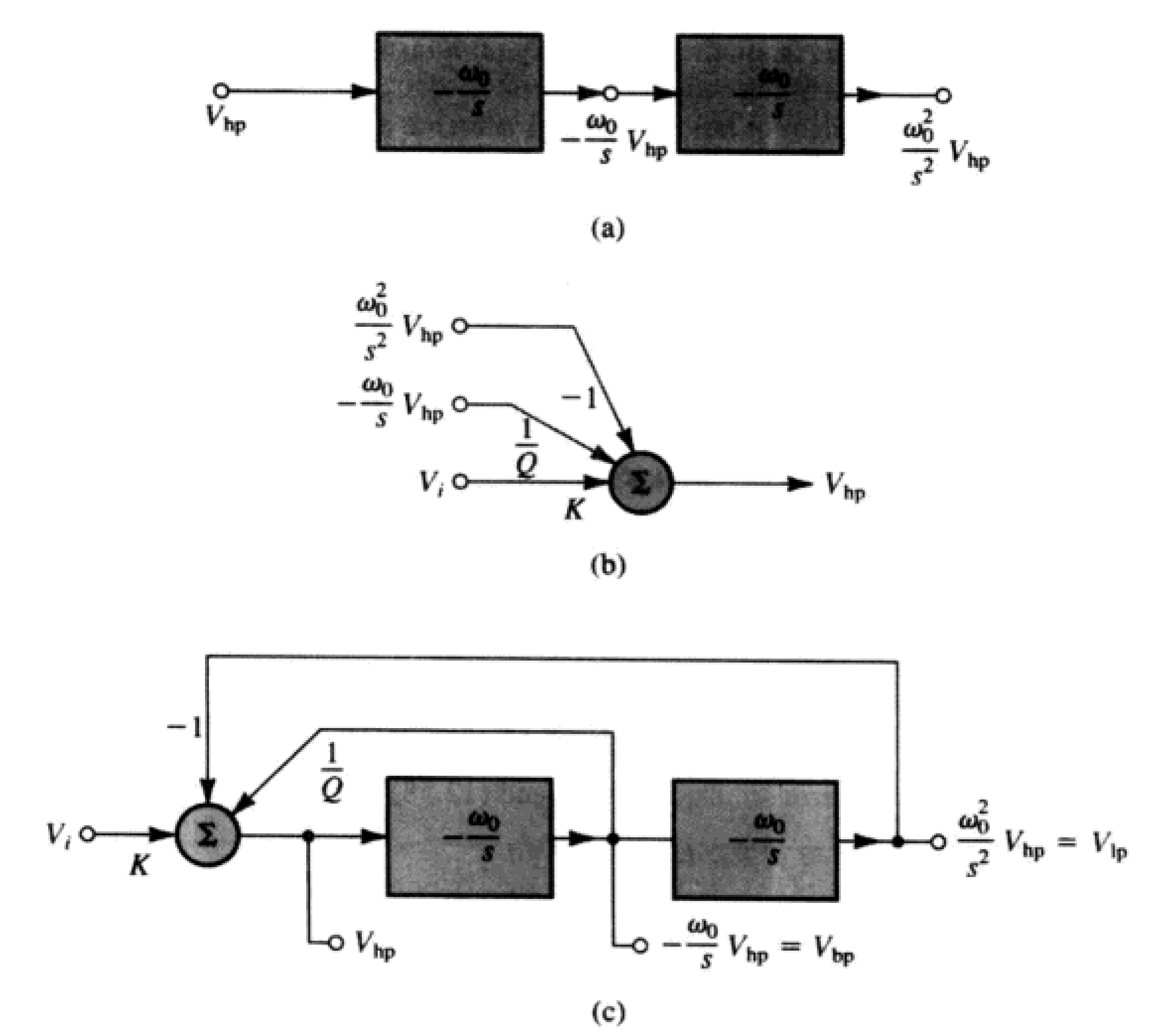


图 12.23　推导实现双积分环双二次电路的框图

12.7.2　电路实现

为了采用运算放大器实现图 12.23（c）所示的双积分环双二次电路，我们用 $CR=1/\omega_0$ 的米勒积分器电路替代每一个积分器，用可以实现正、负加权系数的加法器替代运算放大器加法器电路，这样得到的电路如图 12.24（a）所示，该电路用发明者的名字命名，称为 Kerwin-Huelsman-Newcomb 电路，或简称为 KHN 电路。给定ω_0，Q 和 K，电路设计可按照以下步骤实现：选择合适的积分器元件 R 和 C 的值，使得 $CR=1/\omega_0$。为了得到加法器的电阻元件值，我们首先将加法器的输出 V_{hp} 用它的输入 $V_{\mathrm{bp}}=-(\omega_0/s)V_{\mathrm{hp}}$ 和 $V_{\mathrm{lp}}=(\omega_0^2/s^2)V_{\mathrm{hp}}$ 来表示：

$$V_{\mathrm{hp}}=\frac{R_3}{R_2+R_3}\left(1+\frac{R_f}{R_1}\right)V_i+\frac{R_2}{R_2+R_3}\left(1+\frac{R_f}{R_1}\right)\left(-\frac{\omega_0}{s}V_{\mathrm{hp}}\right)-\frac{R_f}{R_1}\left(\frac{\omega_0^2}{s^2}V_{\mathrm{hp}}\right) \tag{12.61}$$

令式（12.61）和式（12.58）的右边最后一项相等可得

$$R_f/R_1=1 \tag{12.62}$$

上式表明我们可以为 R_1 和 R_f 选择任意的值，只要它们是相等的、可使用的、方便的值即可。然后令式（12.61）和式（12.58）右边的倒数第二项相等，并且有 $R_1=R_f$，得到 R_3/R_4 的比值须满足给定的 Q 值，即

$$R_3 / R_2 = 2Q - 1 \tag{12.63}$$

同样，R_2 或 R_3 的值可以任意选择，另一个电阻值由式（12.63）求得。最后令式（12.61）和式（12.58）中 V_i 的系数相等，并代入 $R_1 = R_f$ 和式（12.63）的 R_3/R_2 比值，得到

$$K = 2 - (1/Q) \tag{12.64}$$

这时增益参数 K 由上式确定。

KHN 双二次电路可以用来实现陷波函数和全通函数，只需对 LP，BP 和 HP 的三个输出选择不同的加权系数即可，采用的加法器如图 12.24（b）所示，可以写出此加法器的输出如下：

$$\begin{aligned} V_o &= -\left(\frac{R_F}{R_H}V_{\text{hp}} + \frac{R_F}{R_B}V_{\text{bp}} + \frac{R_F}{R_L}V_{\text{lp}}\right) \\ &= -V_i\left(\frac{R_F}{R_H}T_{\text{hp}} + \frac{R_F}{R_B}T_{\text{bp}} + \frac{R_F}{R_L}T_{\text{lp}}\right) \end{aligned} \tag{12.65}$$

将 T_{hp}，T_{bp} 和 T_{lp} 用式（12.56）、式（12.59）和式（12.60）分别代入，得到完整的传输函数：

$$\frac{V_o}{V_i} = -K\frac{(R_F/R_H)s^2 - s(R_F/R_B)\omega_0 + (R_F/R_L)\omega_0^2}{s^2 + s(\omega_0/Q) + \omega_0^2} \tag{12.66}$$

从上式可以看到，选择合适的加法器的电阻值可以实现不同的传输零点。比如，选择 $R_B = \infty$ 便可得到以下陷波函数：

$$\frac{R_H}{R_L} = \left(\frac{\omega_n}{\omega_0}\right)^2 \tag{12.67}$$

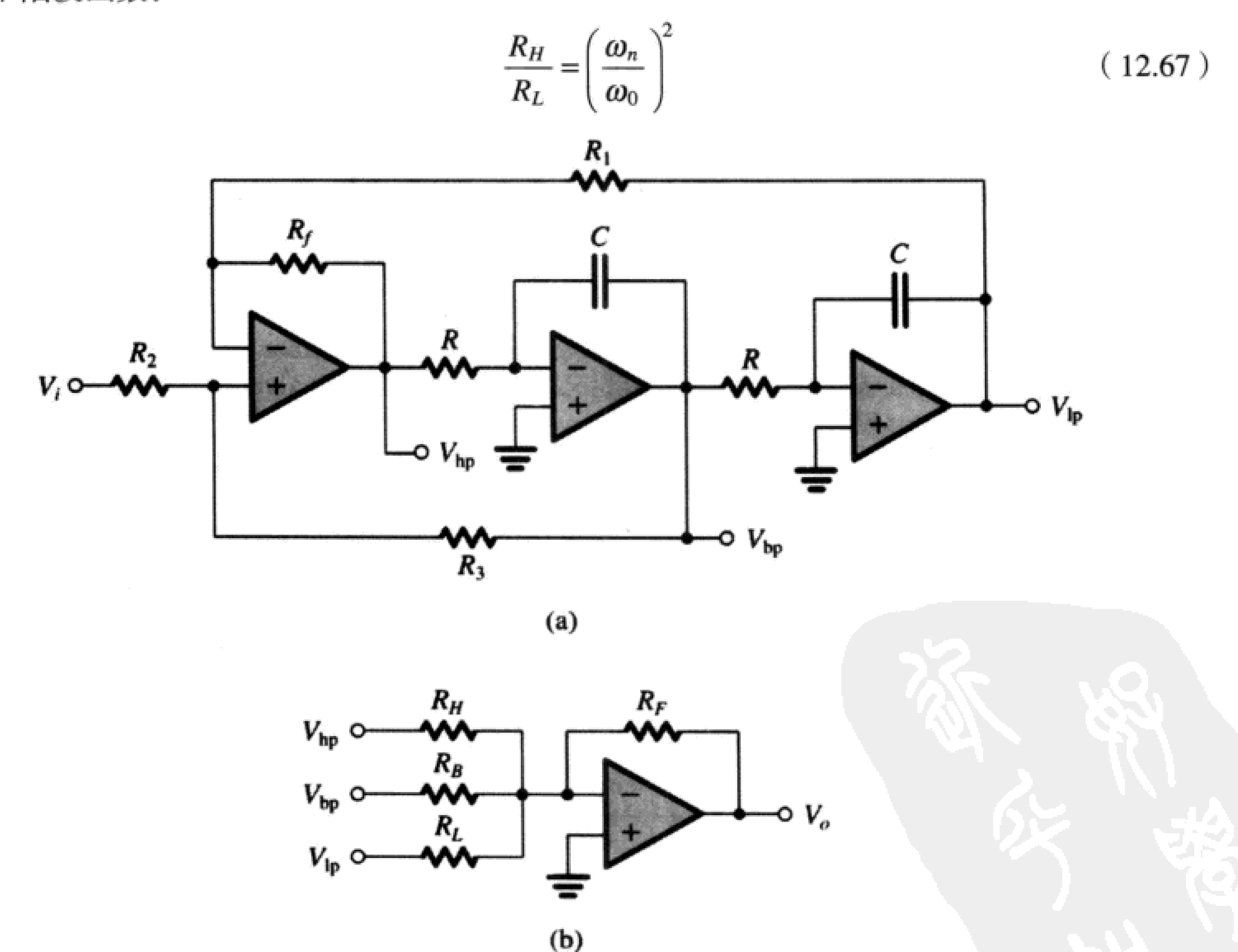


图 12.24 （a）KHN 双二次电路，直接在图 12.23（c）所示的框图上进行电路实现。电路可同时实现三个基本滤波器功能：高通、带通和低通；（b）为实现陷波和全通功能，三个输出根据合适的加权系数接入运算放大器加法器的输入端

12.7.3 另一种双积分环双二次电路

如果所有三个运算放大器均采用单端模式，便可以得到双积分环双二次电路的另一种电路形式。具体电路改动如下：不在输入端接入正负加权系数的加法器，而是引入另一个倒相器，如图 12.25（a）所示。现在所有相加项的系数都具有相同的符号，因而可以不用加法器，而将加法器的功能交给第一级积分器实现积分求和运算。最终的电路如图 12.25（b）所示。从中我们发现高通函数已不复存在！其代价是所有运算放大器均工作在单端模式下。图 12.25（b）所示的电路由最初使用者的名字命名，称为 Tow-Thomas 双二次电路。

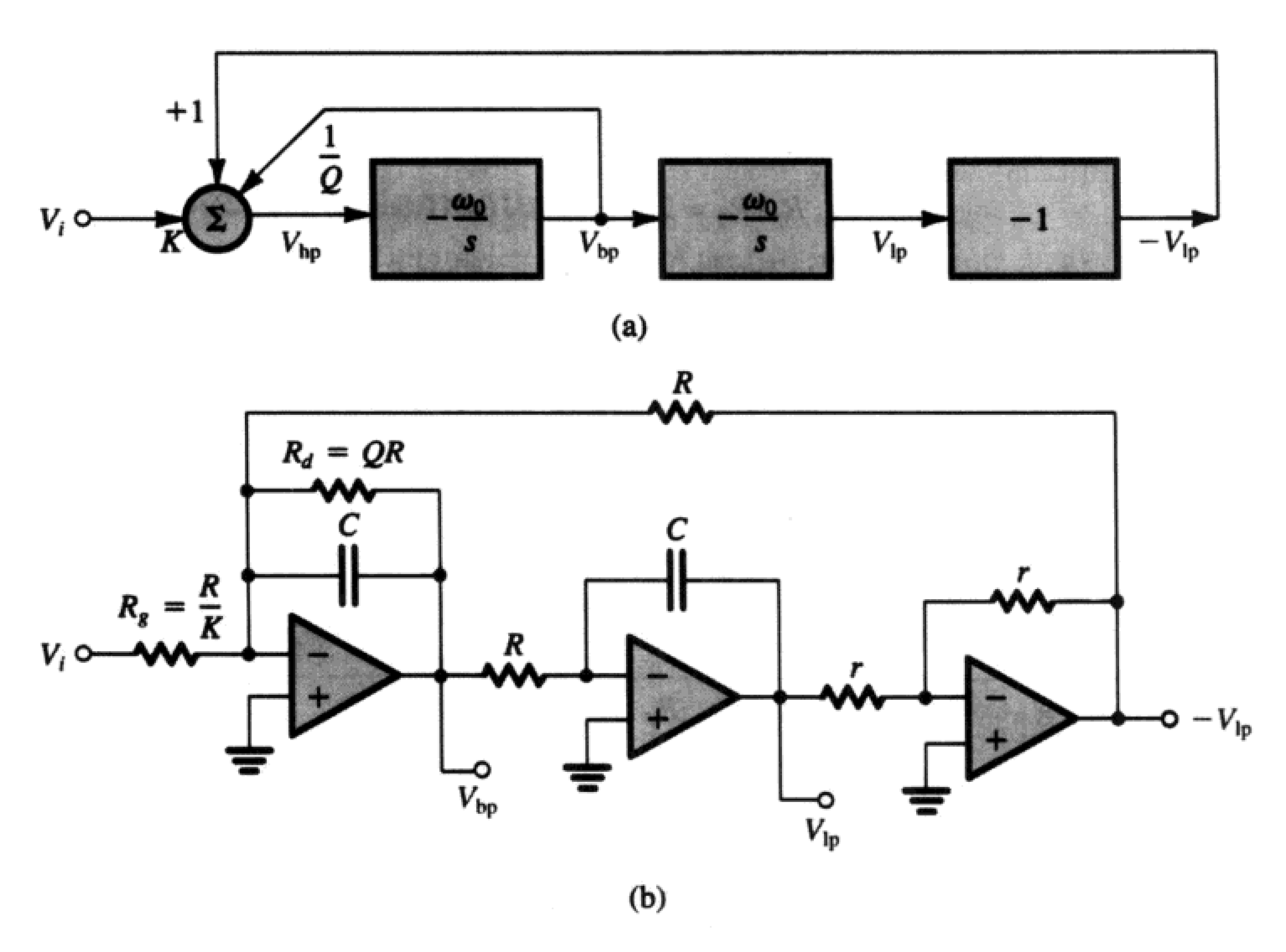


图 12.25 （a）双积分环双二次电路的另一种推导方法，其中所有的运算放大器均采用单端形式；（b）得到的电路，也称为 Tow-Thomas 双二次电路

若采用 KHN 双二次电路，则实现陷波函数和全通函数的有限传输零点需要使用 4 个运算放大器，而采用前馈方案的 Tow-Thomas 双二次结构，电路会比较经济。特别是 Tow-Thomas 电路中三个运算放大器中每一个运算放大器的虚地输入端都允许输入信号接入，如图 12.26 所示。如果输出 V_o 取在阻尼积分器的输出端，则传输函数可以通过直接分析得到：

$$\frac{V_o}{V_i} = -\frac{s^2\left(\frac{C_1}{C}\right) + s\frac{1}{C}\left(\frac{1}{R_1} - \frac{r}{RR_3}\right) + \frac{1}{C^2RR_2}}{s^2 + s\frac{1}{QCR} + \frac{1}{C^2R^2}} \tag{12.68}$$

它可以实现表 12.2 中给定的设计参数。

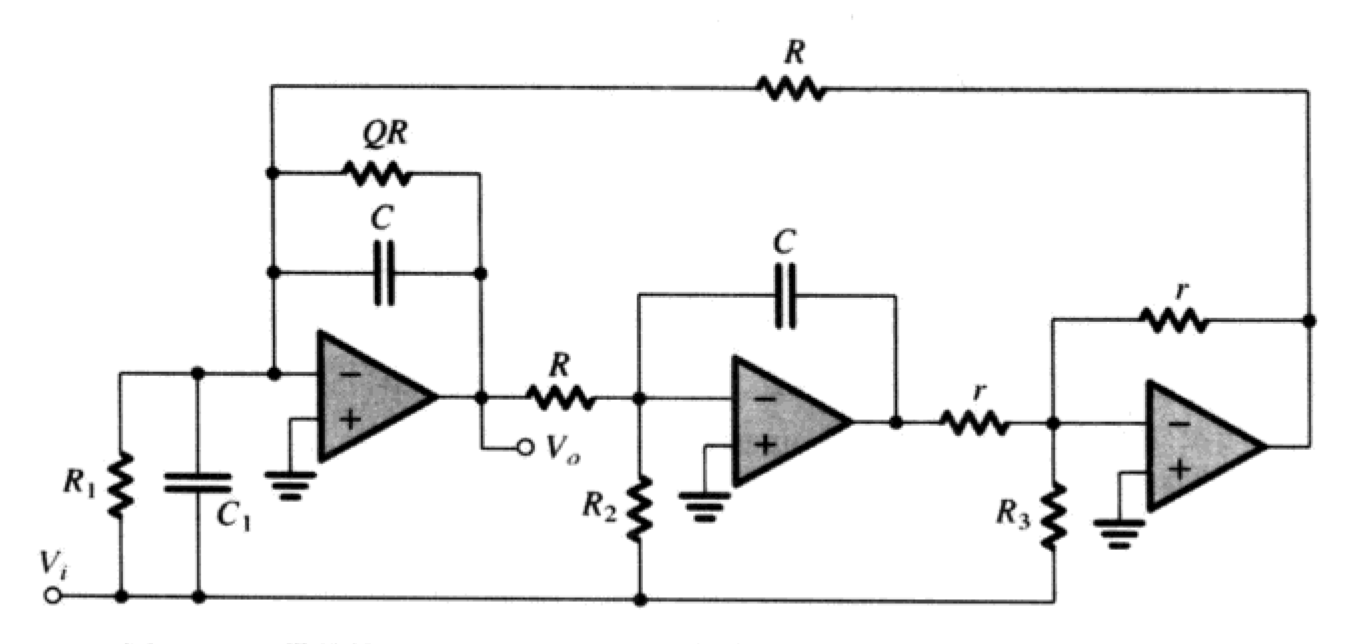


图 12.26　带前馈的 Tow-Thomas 双二次电路。实现式（12.68）的传输函数需将输入信号通过合适的元件分别接到三个运算放大器的输入端。该电路可以实现所有特殊的二阶函数。设计公式参见表 12.2

表 12.2　图 12.6 所示电路的设计数据

所有情况	C = 任意值，$R=1/\omega_0 C$，r = 任意值
LP	$C_1=0$，$R_1=\infty$，$R_2=R$/直流增益，$R_3=\infty$
正 BP	$C_1=0$，$R_1=\infty$，$R_2=\infty$，$R_3=Qr$/中心频率增益
负 BP	$C_1=0$，$R_1=QR$/中心频率增益，$R_2=\infty$，$R_3=\infty$
HP	$C_1=C\times$ 高频增益，$R_1=\infty$，$R_2=\infty$，$R_3=\infty$
陷波（所有类型）	$C_1=C\times$ 高频增益，$R_1=\infty$, $R_2=R(\omega_0/\omega_n)^2$/高频增益，$R_3=\infty$
AP	$C_1=C\times$ 平坦增益，$R_1=\infty$，$R_2=R$/增益，$R_3=Qr$/增益

12.7.4　最后的说明

双积分环双二次电路的种类很多，也极易设计，但它们的性能却很容易受到运算放大器有限带宽的影响。目前有许多专门的技术可以弥补电路受到的影响[参见 12.12 节的 SPICE 仿真及 Sedra 和 Brackett(1978)]。

练习 D12.21　设计一个 KHN 电路实现高通传输特性，$f_0=10$ kHz，$Q=2$。选择 $C=1$ nF，滤波器的高频增益是多少？同时在第一级积分器输出端得到的带通函数中心频率点上的增益是多少？

答案：$R=15.9$ kΩ；$R_1=R_f=R_2=10$ kΩ（任意值）；$R_3=30$ kΩ；1.5；3

练习 D12.22　采用 KHN 电路结合输出加法器实现低通陷波函数，其 $f_0=5$ kHz，$f_n=8$ kHz，$Q=5$，直流增益是 3。选择 $C=1$ nF 和 $R_L=10$ kΩ。

答案：$R=31.83$ kΩ；$R_1=R_f=R_2=10$ kΩ（任意值）；$R_3=90$ kΩ；$R_H=25.6$ kΩ；$R_F=16.7$ kΩ；$R_B=\infty$

练习 D12.23　采用 Tow-Thomas 双二次电路［见图 12.25（b）］设计一个二阶带通滤波器，其中心频率为 10 kHz，$Q=20$，中心频率增益为 1。如果 $R=10$ kΩ，求 C，R_d 和 R_g 的值。

答案：1.59 nF；200 kΩ；200 kΩ

练习 D12.24　利用表 12.2 中的数据设计图 12.26 所示的双二次电路以实现全通传输函数，其 $\omega_0=10^4$ rad/s，$Q=5$，平坦增益为 1。设 $C=10$ nF，$r=10$ kΩ。

答案：$R=10$ kΩ；Q-确定电阻= 50 kΩ；$C_1=10$ nF；$R_1=\infty$；$R_2=10$ kΩ；$R_3=50$ kΩ

12.8 带单级放大的双二次有源滤波器

前两节介绍的运算放大器 RC 双二次电路具有较好的电路性能，而且电路形式多样化，易于设计和调谐。然而电路在使用运算放大器时显得不很经济，因为每一个二阶电路模块都需要 3~4 个运算放大器。这是个问题，尤其当电源所提供的电流受限时，比如采用电池供电的仪表。本节我们将介绍这样一类二阶滤波器电路，即每一个双二次电路都只需要一个运算放大器。虽然运算放大器使用得少，但电路受运算放大器有限增益和带宽的影响很大，对无法避免的电阻和电容值容差较前两节的多运算放大器双二次电路敏感得多。所以单运算放大器双二次电路（SAB）只限于不严格的滤波器规范设计——例如极点品质因数 Q 低于 10。

SAB 电路的合成基于采用反馈方法将 RC 电路的极点从负实轴移动到共轭复数极点的位置上，以实现滤波器响应的选频特性。SAB 的合成遵循以下两条原则：

1. 合成反馈环，实现电路的一对共轭复数极点，它们由频率ω_0和品质因数 Q 确定。
2. 以某种方式接入输入信号，实现所需要的传输零点。

12.8.1 反馈环的合成

考虑图 12.27（a）所示电路，运算放大器的负反馈支路由二端口 RC 网络 n 构成。除了增益 A 是有限的之外，假设其他特性都是理想的。RC 网络 n 的开路电压传输函数用 $t(s)$表示，它的定义见图 12.27（b）。传输函数 $t(s)$的通用形式是两个多项式 $N(s)$和 $D(s)$的比：

$$t(s)=\frac{N(s)}{D(s)}$$

$N(s)$的根是 RC 网络的传输零点，$D(s)$的根是它的极点。网络理论告诉我们，RC 网络的极点被约束在负实轴上，而其零点可以位于 s 平面的任何地方。

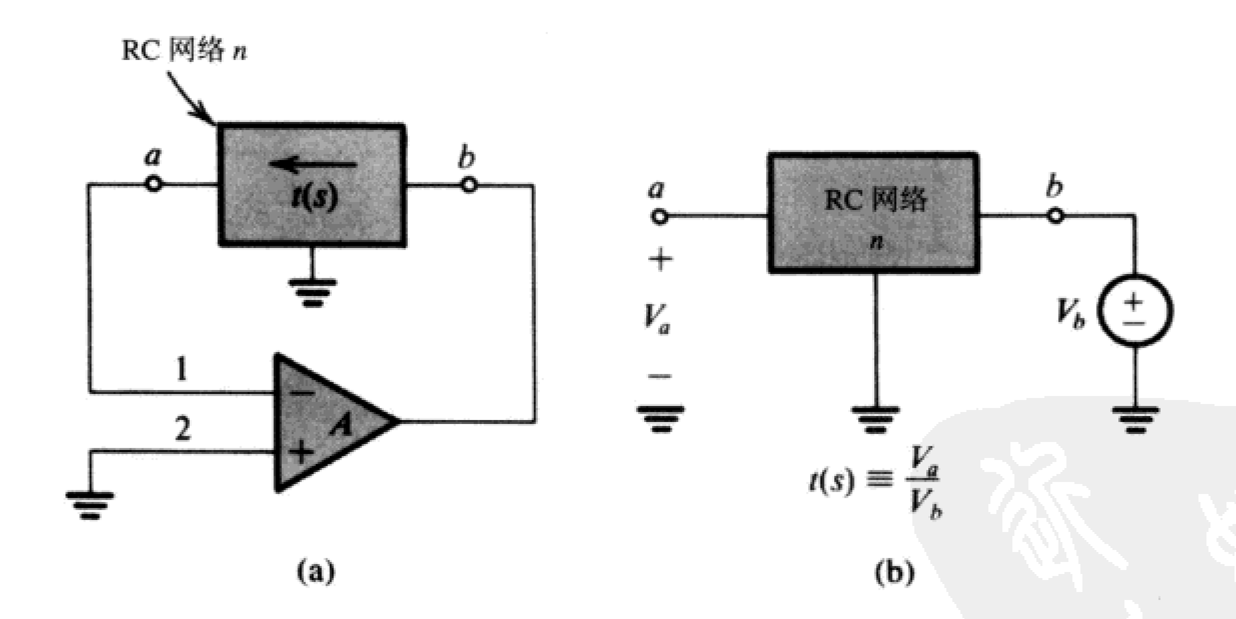


图 12.27　（a）通过在运算放大器的反馈支路上放置二端口 RC 网络 n 得到反馈环路；（b）定义 RC 网络开路传输函数 $t(s)$

图 12.27（a）所示电路的环路增益 $L(s)$可以采用 8.7 节的方法确定。它是运算放大器增益 A 和传输函数 $t(s)$的乘积：

$$L(s)=At(s)=\frac{AN(s)}{D(s)} \qquad (12.69)$$

将 $L(s)$代入特性方程：

$$1+L(s)=0 \tag{12.70}$$

设闭环极点频率为 s_P，求解上述方程得到

$$t(s_P)=-\frac{1}{A} \tag{12.71}$$

理想情况下，$A=\infty$，极点频率由下式解得：

$$N(s_P)=0 \tag{12.72}$$

即滤波器极点与 RC 网络的传输零点相同。

因为我们的目的是实现一对共轭复数极点，所以我们选择一个 RC 网络，使其具有共轭传输零点。满足这一要求的最简单的网络如图 12.28 所示，它是一个桥 T 网络，从 b 到 a 的传输函数 $t(s)$是在 a 开路时求得的。以此为例，将图 12.28（a）所示的桥 T 网络置于运算放大器的负反馈回路上可得到图 12.29 所示的电路。由于有源滤波器的极点多项式等于桥 T 网络的零点多项式，因此，

$$s^2+s\frac{\omega_0}{Q}+\omega_0^2=s^2+s\left(\frac{1}{C_1}+\frac{1}{C_2}\right)\frac{1}{R_3}+\frac{1}{C_1C_2R_3R_4}$$

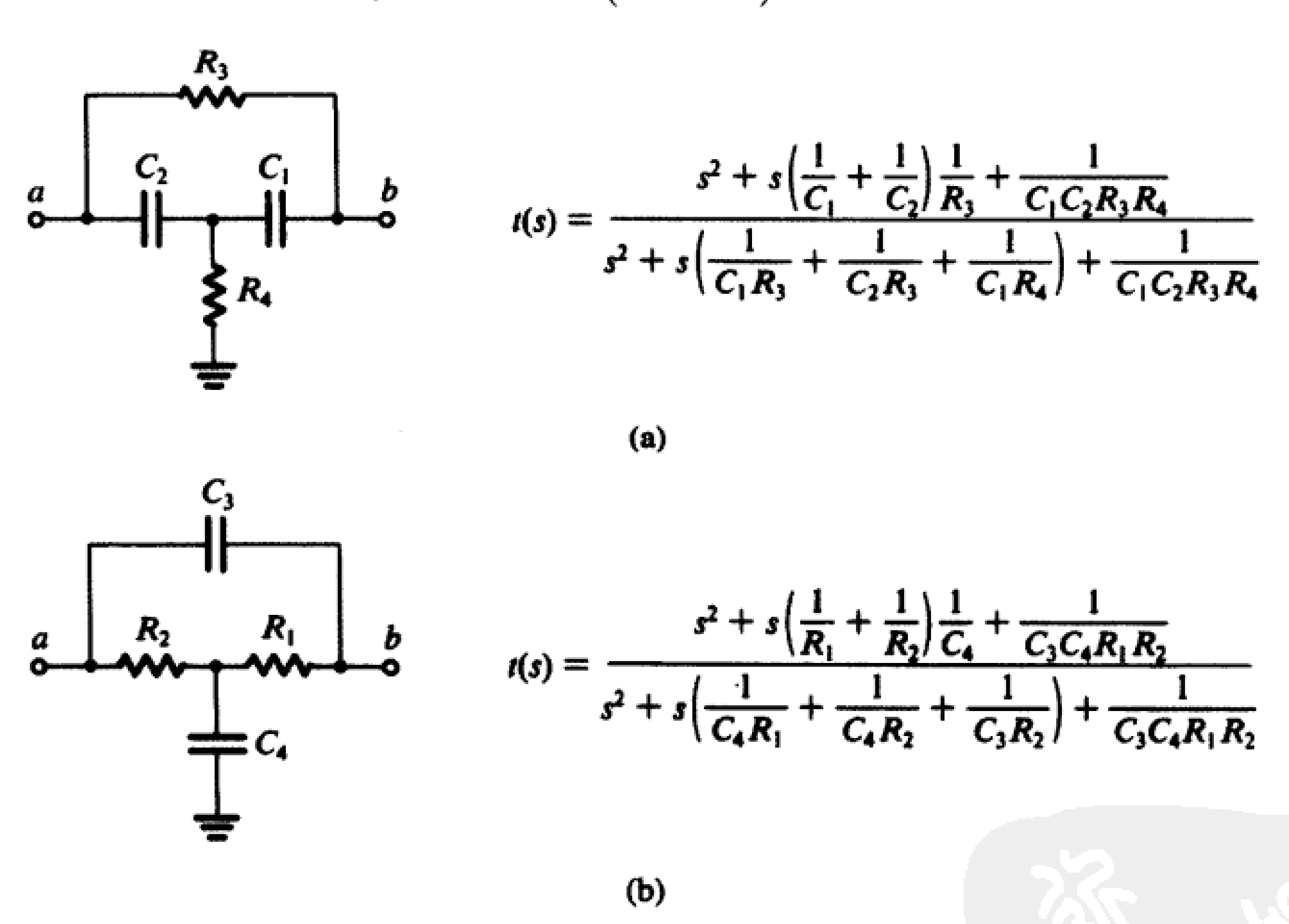


图 12.28 具有复数传输零点的两个 RC 网络（也称桥 T 网络）。给出的传输函数是 a 端开路的从 b 到 a 的传输函数

我们可以从中求得ω_0和 Q：

$$\omega_0=\frac{1}{\sqrt{C_1C_2R_3R_4}} \tag{12.73}$$

$$Q=\left[\frac{\sqrt{C_1C_2R_3R_4}}{R_3}\left(\frac{1}{C_1}+\frac{1}{C_2}\right)\right]^{-1} \tag{12.74}$$

如果我们要设计这样的电路，则当ω_0和 Q 给定时，由式（12.73）和式（12.74）可确定 C_1，C_2，R_3 和 R_4。但是该方程有两个自由度，所以我们令 $C_1=C_2=C$，$R_3=R$，$R_4=R/m$。代入式（12.73）和式（12.74）并整理可得

$$m=4Q^2 \tag{12.75}$$

$$CR=\frac{2Q}{\omega_0} \tag{12.76}$$

可见，如果给定 Q，利用式（12.75）可求得 R_3 和 R_4 电阻的比值 m。然后由给定的ω_0和 Q 代入式（12.76），可确定时间常数 CR。这里仍然有一个自由度——R 和 C 的值可以取任意值。实际设计时还要求设置电路的阻抗值，因而最终的元件值应该是确定的。

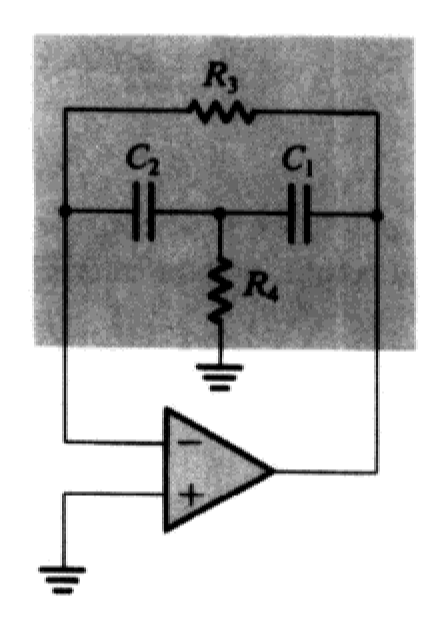


图 12.29　采用图 12.28（a）所示的桥 T 网络得到的有源滤波器反馈环

练习 D12.25　设计图 12.29 所示电路以实现一对极点，参数为$\omega_0=10^4$ rad/s，$Q=1$。选择 $C_1=C_2=1$ nF。

答案：$R_3=200$ kΩ；$R_4=50$ kΩ

练习 12.26　对练习 12.25 设计的电路，求 RC 网络的极点在反馈环中的位置。

答案：-0.382×10^4 rad/s 和-2.618×10^4 rad/s

12.8.2　输入信号的接入

分析完实现一对给定极点的反馈环的合成后，现在我们要考虑的是怎样将信号源加到电路上。我们希望加上信号源后不会改变极点。

为了得到电路的极点，电压源已经等同于短路线，因此任何与地相连的节点都可以插入输入电压源，而且电路极点没有任何改变。因此在反馈环路上接入输入电压源的方法就是断开一个（或多个）与地相连的节点，将它（它们）接至输入源。根据元件参数和接入的信源可以得到不同的传输零点。其实这个方法已经在 12.5 节的 LCR 谐振器和 12.6 节基于 LCR 的双二次电路中使用过。

作为例子，考虑图 12.29 所示的反馈环。这里我们有两个接地点（R_4的一个端点和运算放大器的同相输入端）可以接入输入信号。图 12.30（a）所示的是通过 R_4 的一部分接入信号源的电路。注意，两个电阻 R_4/α和 $R_4/(1-\alpha)$的等效并联电阻值等于 R_4。

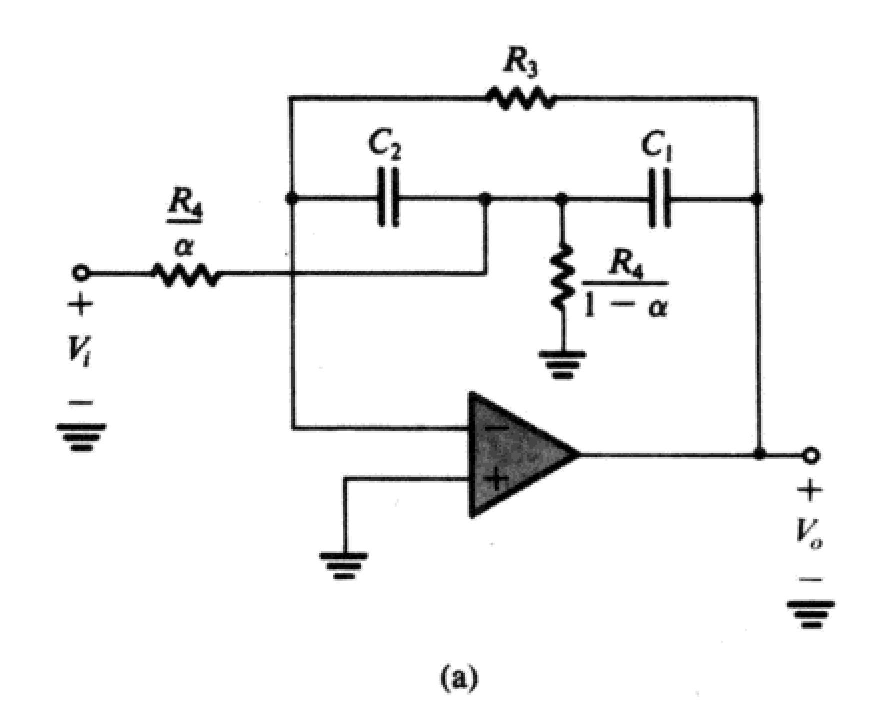
图 12.30（b）所示的是求解电路的电压传输函数的详细步骤。假设运算放大器是理想的，分析时依照标出的带圈数字的顺序进行，最后一步（也就是第 9 步）包括写出 X 的节点方程和将第 5 步得到的 V_x的值代入。最终得到以下传输函数：

$$\frac{V_o}{V_i}=\frac{-s(\alpha/C_1R_4)}{s^2+s\left(\dfrac{1}{C_1}+\dfrac{1}{C_2}\right)\dfrac{1}{R_3}+\dfrac{1}{C_1C_2R_3R_4}}$$

我们知道这是一个带通滤波器的传输函数，中心频率点上的增益值由α 控制。正如我们所期望的，分母多项式和图 12.28（a）给出的传输函数 $t(s)$的分子多项式相同。

练习 12.27　利用练习 12.25 得到的元件参数设计如图 12.30（a）所示的电路。确定(R_4/α)和 $R_4/(1-\alpha)$的值，使得中心频率点上的增益为 1。

答案：100 kΩ；100 kΩ



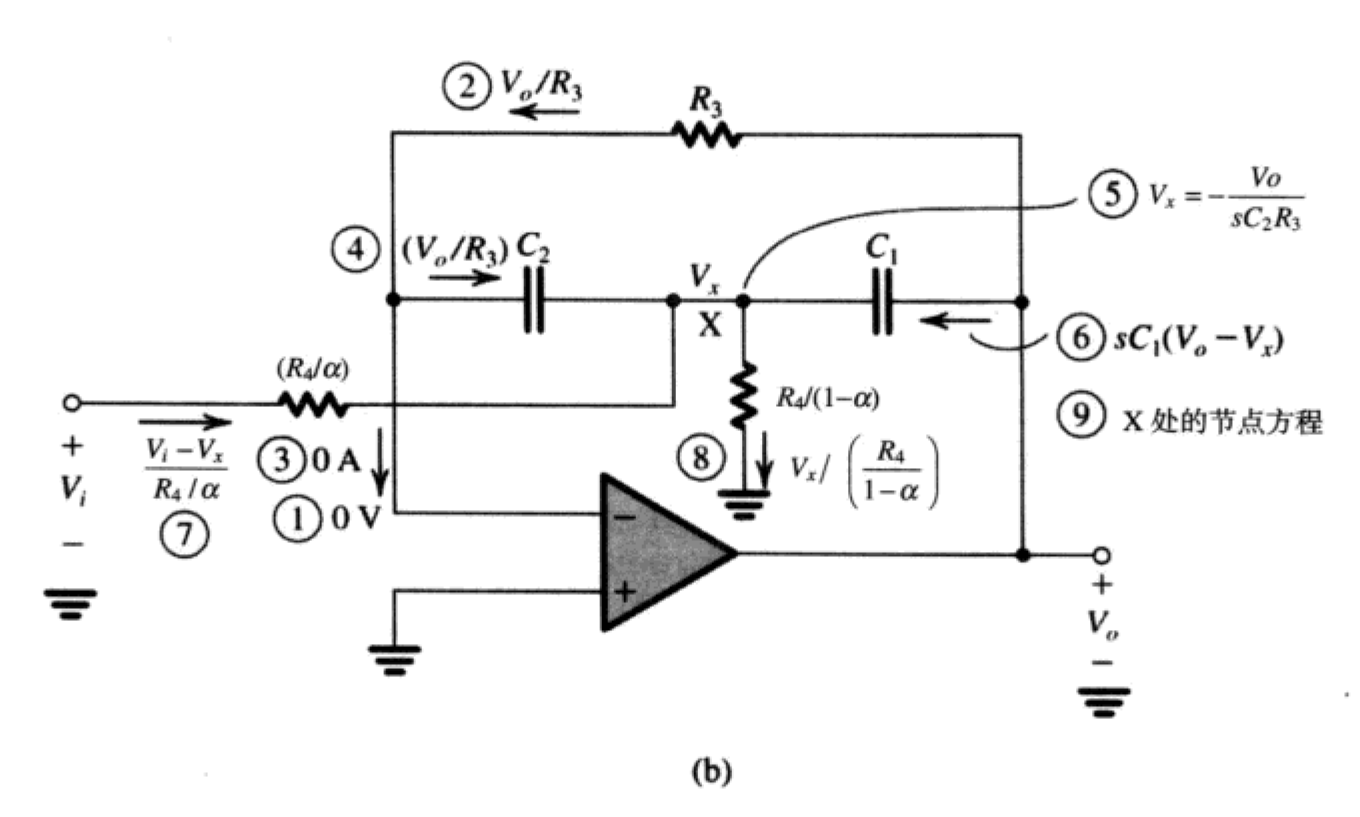


图 12.30 （a）通过电阻 R_4 的一部分接入输入信号的图 12.29 所示的反馈环。电路实现带通功能；（b）分析电路（a），确定电压传输函数 $T(s)$，带圈的数字表示分析步骤

12.8.3 等效反馈环路的产生

反馈环路的互补变换基于图 12.31 所示的二端口（三端点）网络 n 的线性特性。在图 12.31（a）中，端点 c 接地，端点 b 接信号 V_b，c 端接地的从 b 到 a 的传输函数记为 t。然后回到图 12.31（b），b 端接地，c 端接输入信号，b 端接地的从 c 到 a 的传输函数一定是 t 的互补项，即 $1 - t$。（我们在 12.6 节实现全通函数时就利用了这个性质。）

应用反馈环路的互补变换产生等效反馈环路有两个步骤：

1. 断开反馈网络和任何与地相连的运算放大器的输入端，接至运算放大器的输出端；同时将与运算放大器输出端相连的端点全部接至地。
2. 运算放大器的两个输入端必须相互交换。

经过如此变换得到的反馈环的特征方程不变，因而极点和原来的环路相同。

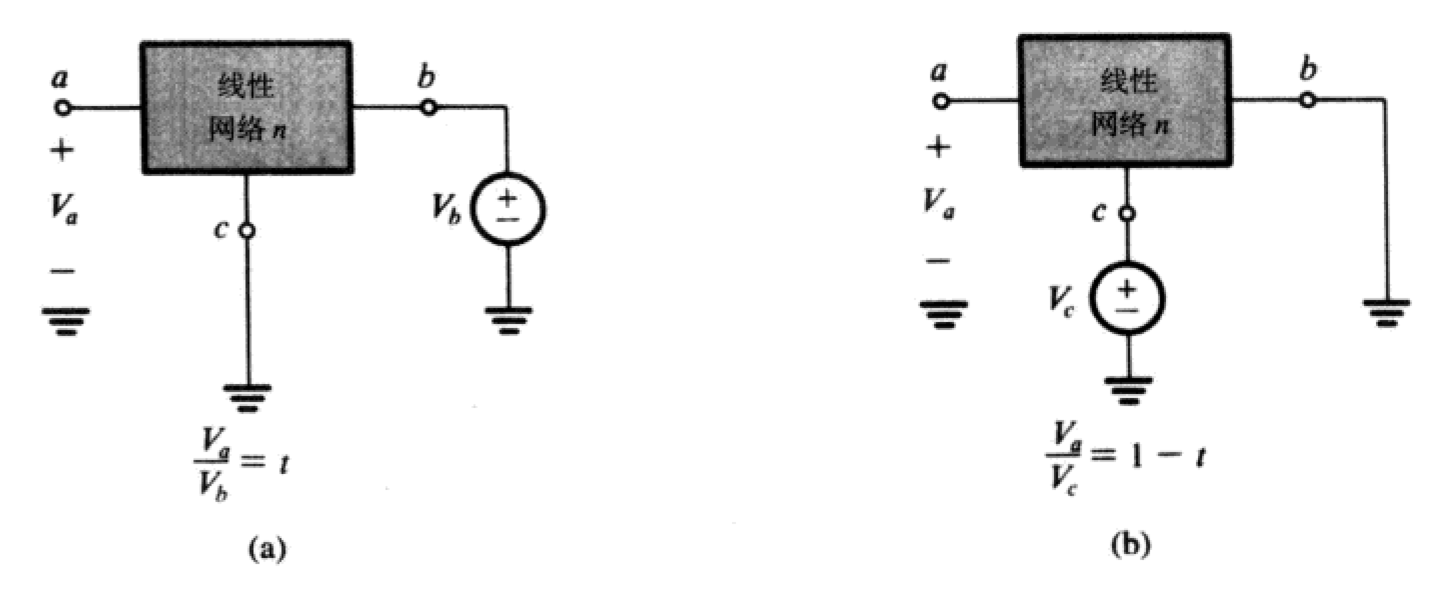


图 12.31　交换输入节点和接地点，得到互补传输函数

为了举例说明，参见图 12.32（a）所示的网络，反馈环由接在负反馈回路中的二端口 RC 网络构成。应用互补变换，得到图 12.32（b）所示的反馈环。我们注意到后者的运算放大器工作在单位增益跟随组态。现在我们来说明这两个环路是等效的。

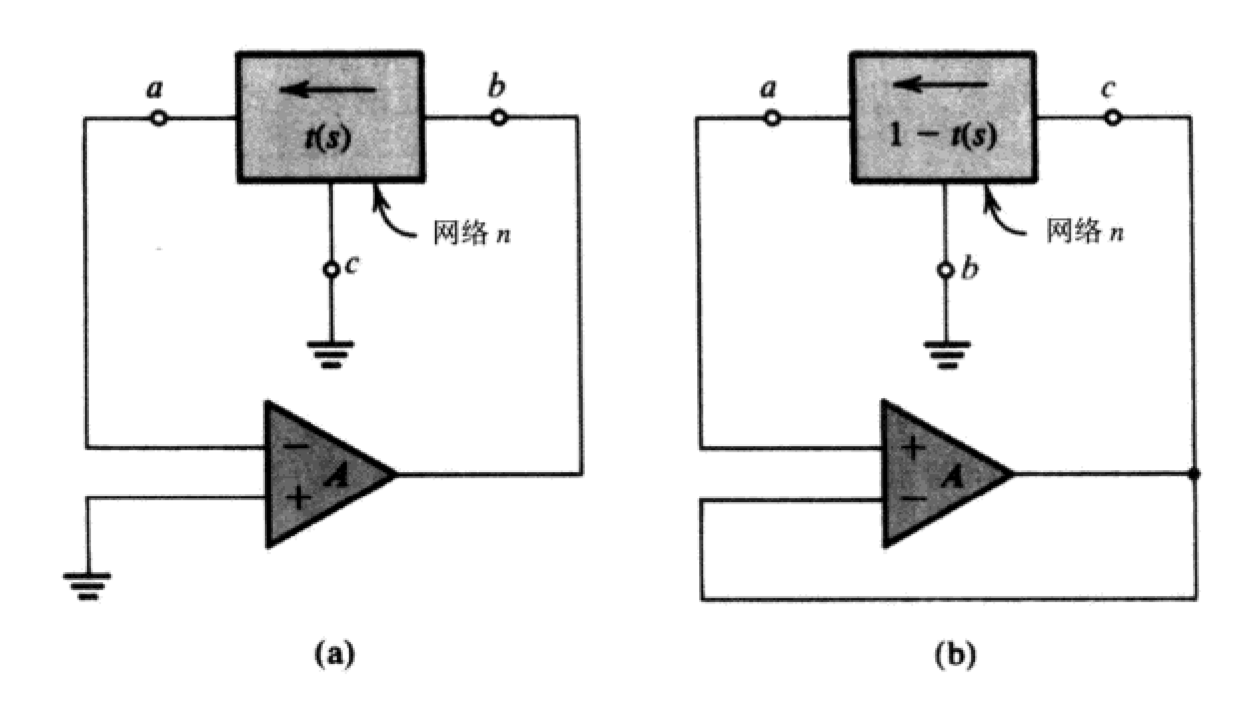


图 12.32　对（a）的反馈环应用互补变换可得到（b）的等效反馈环（相同极点）

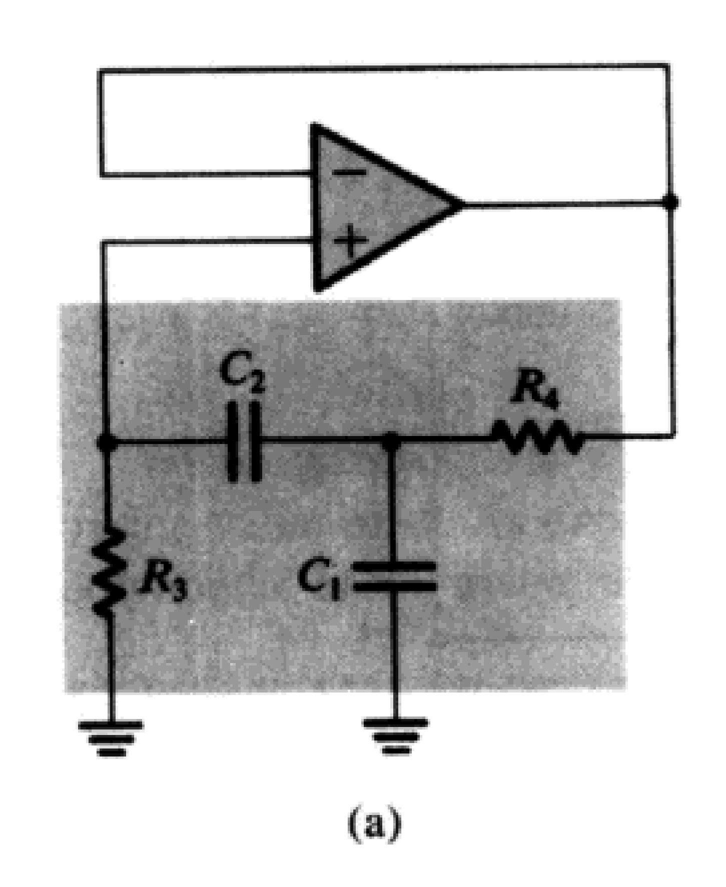
设运算放大器的开环增益为 A，图 12.32（b）所示是跟随器，其增益为 $A/(A+1)$。考虑到网络 n 从 c 到 a 的传输函数为 $1-t$（参见图 12.31），因而可以写出图 12.32（b）的特性方程：

$$1-\frac{A}{A+1}(1-t)=0$$

上式可以整理成如下的形式：

$$1+At=0$$

这就是图 12.32（a）所示反馈环的特征方程。举个例子，考虑图 12.29 所示的反馈环，将互补变换应用于该电路，结果得到图 12.33（a）所示的电路。输入信号通过电容 C_1 接入，得到图 12.33（b）所示的电路，可见（通过直接分析）电路实现的是一个二阶高通函数的功能。这是 SAB 电路族中的一个电路。设计图 12.33（b）所示电路，该电路基于式（12.73）~式（12.76），即 $R_3=R$，$R_4=R/4Q^2$，$C_1=C_2=C$，$CR=2Q/\omega_0$，电容 C 的值可以任意选取。



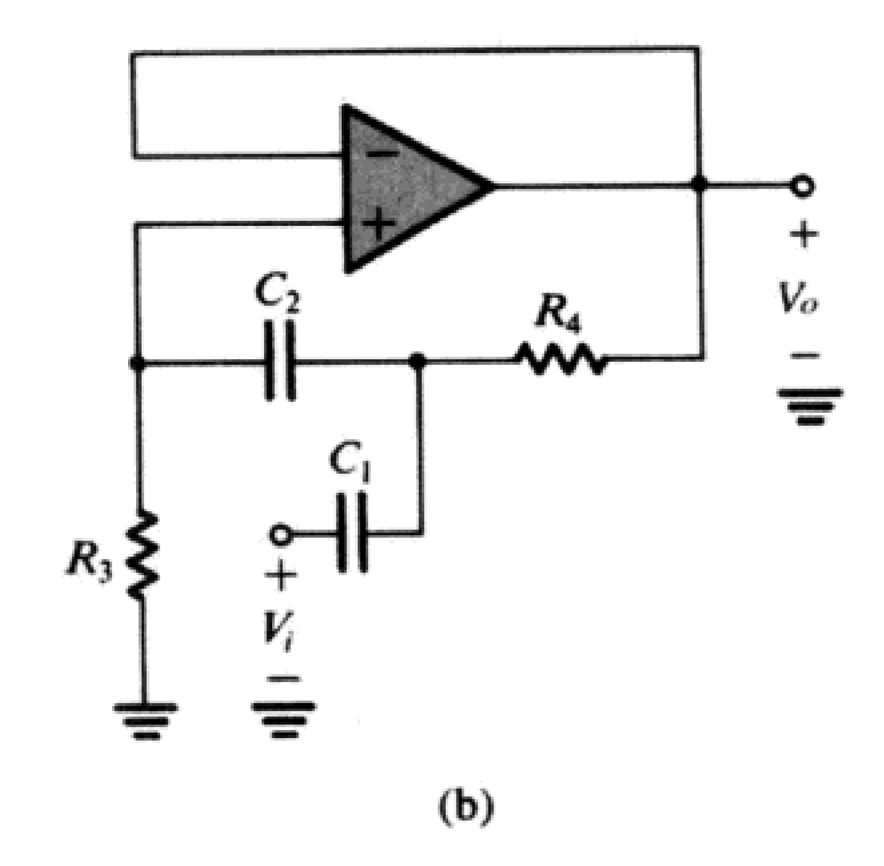


图 12.33 （a）对图 12.29 所示的反馈环进行互补变换后得到的反馈环路；（b）通过 C_1 接入输入信号以实现高通传输函数。这是 Sallen-Key 系列电路中的一个

另外一个例子是图 12.34（a）所示的电路，它是将图 12.28（b）所示的电路置于运算放大器的负反馈回路中而得到的电路。对于理想运算放大器，该电路实现了一对与 RC 网络的传输函数 $t(s)$具有相同传输零点的极点，利用图 12.28（b）所示电路给定的表达式，我们可以写出有源滤波器的极点为

$$\omega_0 = 1/\sqrt{C_3C_4R_1R_2} \tag{12.77}$$

$$Q = \left[\frac{\sqrt{C_3C_4R_1R_2}}{C_4}\left(\frac{1}{R_1}+\frac{1}{R_2}\right)\right]^{-1} \tag{12.78}$$

通常的电路设计会选择 $R_1=R_2=R$，$C_4=C$，$C_3=C/m$，代入式（12.77）和式（12.78），得到

$$m = 4Q^2 \tag{12.79}$$

$$CR = 2Q/\omega_0 \tag{12.80}$$

上式仍然有一个留给设计者选择的自由度变量（C 或 R 的值）。

在电容 C_4 与地相连的接地处接入信号源可实现带通滤波器的功能。如果我们将互补变换应用到图 12.34（a）所示的反馈环路上，可以得到等效的反馈环，如图 12.34（b）所示。环路等效意味着图 12.34（b）所示电路具有相同的极点，因而具有相同的ω_0 和 Q 及设计公式［即式（12.77）~式（12.80）］。图 12.34（b）所示的新环可以实现低通传输函数的功能，只要输入信号依照图 12.34（c）所示接入即可。

练习 12.28 分析图 12.34(c)所示的电路，求传输函数 $V_o(s)/V_i(s)$。证明其极点ω_0和 Q 与式(12.77)和式（12.78）给出的一致。证明电路的直流增益等于 1。

练习 D12.29 设计图 12.34（c）所示的电路以实现低通滤波器的功能，$f_0 = 4$ kHz，$Q = 1/\sqrt{2}$。采用 10 kΩ的电阻。

答案：$R_1 = R_2 = 10$ kΩ；$C_3 = 2.81$ nF；$C_4 = 5.63$ nF

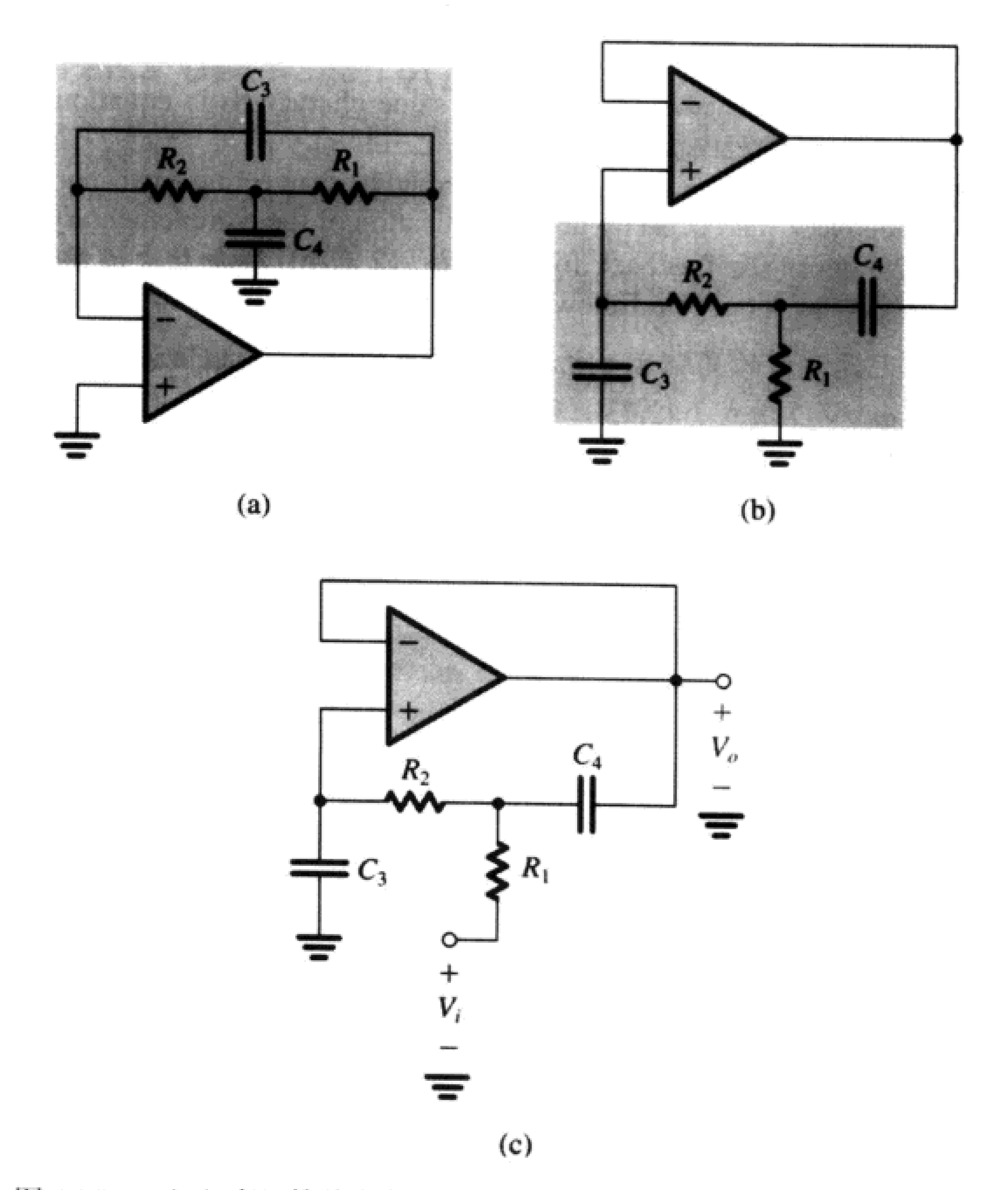


图 12.34　(a) 在运算放大器的负反馈支路中放置图 12.28 (b) 所示的桥 T 网络得到的反馈环；(b) 对 (a) 进行互补变换得到的等效环路；(c) 通过 R_1 接入输入信号 V_i 可实现低通滤波器的功能

12.9　灵敏度

因为元件参数有容差且运算放大器的增益有限，所以实际滤波器的响应与理想滤波器存在偏差。为了预测这些偏差，设计者利用了灵敏度的概念。具体而言，对二阶滤波器，人们感兴趣的是极点频率如何受到 RC 网络元件参数（既有初始容差，也有以后的漂移）变化的影响和放大器增益的影响。这些灵敏度可以采用经典的灵敏度定义 S_x^y 计算：

$$S_x^y \equiv \lim_{\Delta x \to 0} \frac{\Delta y / y}{\Delta x / x} \tag{12.81}$$

即

$$S_x^y = \frac{\partial y}{\partial x} \frac{x}{y} \tag{12.82}$$

其中，x 表示元件参数值（电阻、电容或放大器增益），y 表示感兴趣的电路参数（比如 ω_0 或 Q），变化比较小时：

$$S_x^y \simeq \frac{\Delta y / y}{\Delta x / x} \tag{12.83}$$

因此我们可以利用S_x^y的值来确定由于 x 的每单位变化引起的 y 的每单位变化量。例如，Q 对 R_1 的灵敏度是 5，那么当 R_1 有 1%的增加时，将导致 Q 有 5%的增加。

例题 12.3 对图 12.29 所示的反馈环，求ω_0和 Q 对所有无源元件和放大器增益的灵敏度。若设计时有 $C_1 = C_2$，估算灵敏度。

解： 为了计算对无源元件的灵敏度（也称为无源灵敏度），我们假设运算放大器增益是无限的。在这种情况下，ω_0和 Q 由式（12.73）和式（12.74）给出，即对ω_0，我们有

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}}$$

结合式（12.82）的灵敏度定义得到

$$S_{C_1}^{\omega_0} = S_{C_2}^{\omega_0} = S_{R_3}^{\omega_0} = S_{R_4}^{\omega_0} = -\frac{1}{2}$$

对 Q，我们有

$$Q = \left[\sqrt{C_1 C_2 R_3 R_4}\left(\frac{1}{C_1} + \frac{1}{C_2}\right)\frac{1}{R_3}\right]^{-1}$$

同样应用灵敏度定义，可得

$$S_{C_1}^{Q} = \frac{1}{2}\left(\sqrt{\frac{C_2}{C_1}} - \sqrt{\frac{C_1}{C_2}}\right)\left(\sqrt{\frac{C_2}{C_1}} + \sqrt{\frac{C_1}{C_2}}\right)^{-1}$$

因为在设计时有 $C_1 = C_2$，所以$S_{C_1}^{Q} = 0$，同样：

$$S_{C_2}^{Q} = 0, \quad S_{R_3}^{Q} = \frac{1}{2}, \quad S_{R_4}^{Q} = -\frac{1}{2}$$

有一点很重要，灵敏度表达式在设计用的具体参数代入之前必须先求出。

然后我们讨论对放大器增益的灵敏度。假设运算放大器的有限增益为 A，反馈特征方程为

$$1 + At(s) = 0 \tag{12.84}$$

其中，$t(s)$由图 12.28（a）给出。为简单起见，无源器件使用设计值，这对灵敏度没有影响，因为我们现在只对放大器增益求灵敏度。利用先前的设计值，即 $C_1 = C_2 = C$，$R_3 = R$，$R_4 = R/4Q^2$，$CR = 2Q/\omega_0$，可以得到

$$t(s) = \frac{s^2 + s(\omega_0/Q) + \omega_0^2}{s^2 + s(\omega_0/Q)(2Q^2+1) + \omega_0^2} \tag{12.85}$$

其中，ω_0和 Q 分别表示极点频率和品质因数的标称值或设计值。实际数值的获得需将 $t(s)$代入式（12.84）：

$$s^2 + s\frac{\omega_0}{Q}(2Q^2+1) + \omega_0^2 + A\left(s^2 + s\frac{\omega_0}{Q} + \omega_0^2\right) = 0$$

假设放大器的增益 A 是实数，方程两边同时除以 $A+1$ 可得

$$s^2 + s\frac{\omega_0}{Q}\left(1 + \frac{2Q^2}{A+1}\right) + \omega_0^2 = 0 \tag{12.86}$$

求解上述方程，可以得到实际的极点频率 ω_{0a} 和极点品质因数 Q_a：

$$\omega_{0a} = \omega_0 \tag{12.87}$$

$$Q_a = \frac{Q}{1+2Q^2/(A+1)} \tag{12.88}$$

因此，

$$S_A^{\omega_{0a}} = 0$$

$$S_A^{Q_a} = \frac{A}{A+1}\frac{2Q^2/(A+1)}{1+2Q^2/(A+1)}$$

当 $A >> 2Q^2$ 且 $A >> 1$ 时，可得到

$$S_A^{Q_a} \simeq \frac{2Q^2}{A}$$

通常下标 a 会省略不写，即

$$S_A^{Q} \simeq \frac{2Q^2}{A} \tag{12.89}$$

注意，如果 Q 值较大（$Q \geqslant 5$），则滤波器对放大器增益的灵敏度会很大[①]。 ■

12.9.1　最后的说明

例题12.3说明了单级放大双二次电路的严重不足之处——滤波器对放大器增益的灵敏度很大。虽然已有可以降低 SAB 电路的 S_A^Q［参见 Sedra 等（1980）］的技术，但所付出的代价是必须提高无源灵敏度。尽管 SAB 电路在许多场合都有应用，但是如果滤波器的 Q 值大于 10，人们往往还是采用多运算放大器的双二次电路，比如 12.6 节和 12.7 节中介绍过的电路，这些电路的 S_A^Q 和 Q 成正比，而不像 SAB 电路那样与 Q^2 成正比［见式（12.89）］。

练习 12.30　采用图 12.29 所示的反馈环实现滤波器电路，$C_1 = C_2$，求 ω_0 和 Q 在以下各种情况下的变化率（用百分率表示）：（a）电阻 R_3 提高 2%；（b）电阻 R_4 提高 2%；（c）电阻 R_3 和 R_4 同时提高 2%；（d）两个电容同时降低 2%且两个电阻同时提高 2%。

答案：（a）−1%，+1%；（b）−1%，−1%；（c）−2%，0%；（d）0%，0%

12.10　开关电容滤波器

以上介绍的有源滤波器很难进行大规模生产，而且事实上也不可能做成单片集成的 IC 电路，原因有两个：一是需要很大的电容，二是需要非常精确的 RC 时间常数。一直到现在，人们仍在寻找能够进行 IC 实现的滤波器的设计方法。本节我们将介绍其中的一种方法。

12.10.1　基本原理

开关电容滤波器技术是建立在电路两节点之间的电容在很高频率的充放电状态下等效于一个电阻的概念上实现的。为了进行详细说明，考虑图 12.35（a）所示的有源 RC 积分器。这是我

① 因为运算放大器的开环增益 A 的容差很大，所以将（$S_A^{\omega_0}$）和（S_A^Q）保持为很小是非常重要的。

们熟悉的米勒积分器，在 12.7 节中我们将此电路用在了双积分环双二次电路中。在图 12.35（b）中，我们把电阻 R_1 用一个接地的电容 C_1 和两个 MOS 晶体管构成的开关代替。有些电路中还有更好的开关结构，具体内容已经超出了本书的范围。

图 12.35（b）所示的两个 MOS 开关受两个不重叠的时钟信号驱动，图 12.35（c）给出了信号波形。在此我们假设时钟频率 $f_C(f_C = 1/T_c)$ 远大于被滤波的信号频率，这样在 ϕ_1 时钟阶段，电容 C_1 接输入信号源 v_i，输入源的变化很小，可以忽略，电容 C_1 被充电至 v_i：

$$q_{C1} = C_1 v_i$$

接下来，在 ϕ_2 时钟阶段，电容 C_1 接至运算放大器的虚地输入端，如图 12.35（d）所示，电容 C_1 被迫放电，将先前的电荷 q_{C1} 转移到 C_2 上，方向如图 12.35（d）所示。

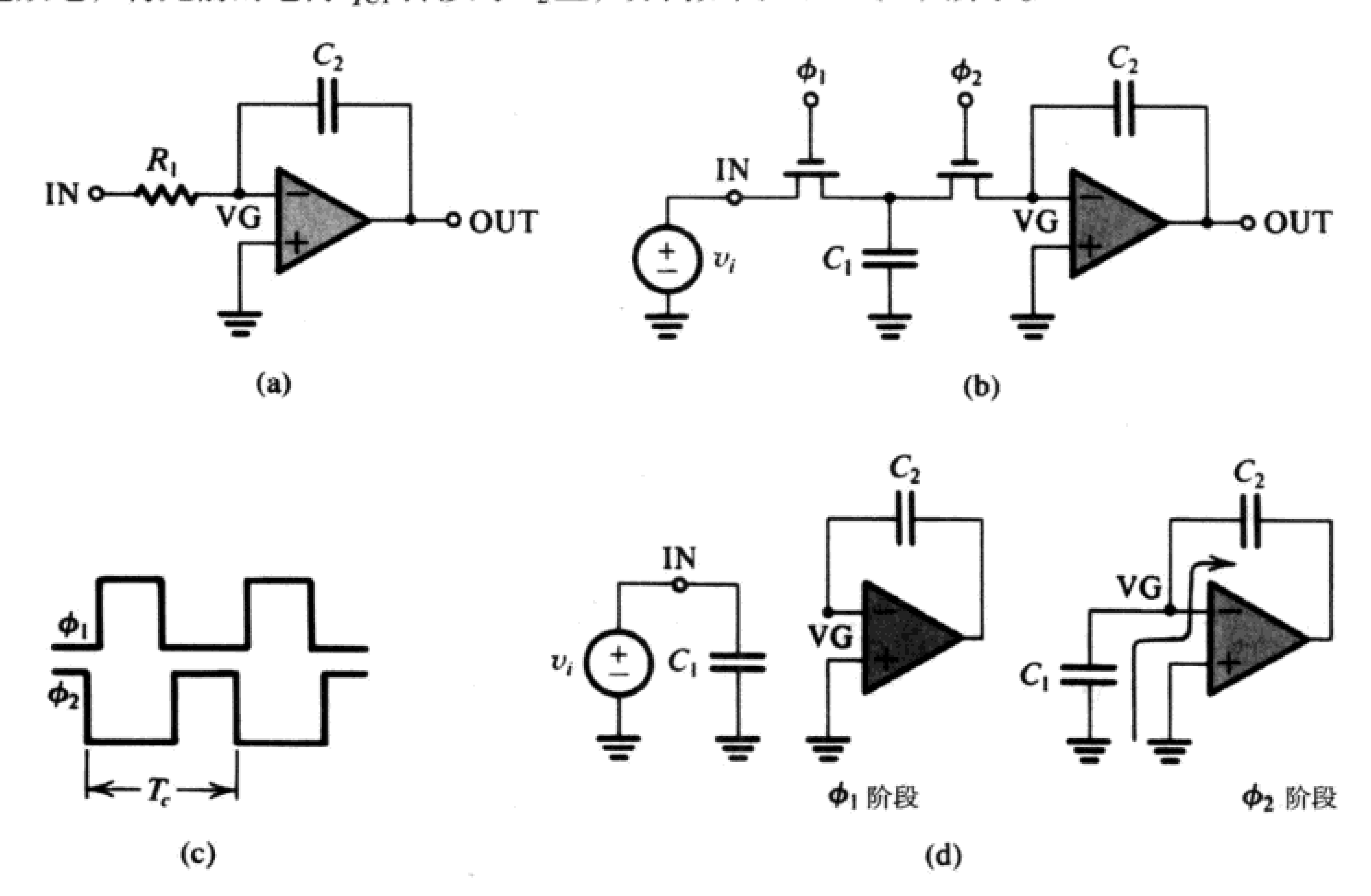


图 12.35　开关电容滤波器技术的基本原理：（a）有源 RC 积分器；（b）开关电容积分器；（c）两相时钟信号（没有重叠）；（d）ϕ_1 起作用，电容 C_1 被充电至 v_i，接着在 ϕ_2 阶段，通过电容 C_2 放电

从上面的描述中，我们发现每一个时钟周期 T_c 内电荷 $q_{C1} = C_1 v_i$ 从输入信源被取出，然后提供给积分电容 C_2，因此输入节点（IN）和虚地节点（VG）之间流过的平均电流为

$$i_{\text{av}} = \frac{C_1 v_i}{T_c}$$

如果 T_c 非常短，则可以认为上述过程是连续的且存在于节点 IN 和 VG 之间的等效电阻 R_{eq} 定义为

$$R_{\text{eq}} \equiv v_i / i_{\text{av}}$$

即

$$R_{\text{eq}} = T_c / C_1 \tag{12.90}$$

利用 R_{eq} 可以得到积分器的等效时间常数为

$$\text{时间常数} = C_2 R_{\text{eq}} = T_c \frac{C_2}{C_1} \tag{12.91}$$

因此，决定滤波器频率响应的时间常数就与时钟周期 T_c 和电容比值 C_2/C_1 有关。这两个参数在 IC 工艺里都是很容易控制的参数。特别是时间常数与电容的比值有关而不是与电容的绝对数值有关。在 MOS 工艺里，电容的比值可精确地控制在 0.1%以内。

此外还有一点值得关注：一般的时钟频率（比如 100 kHz）和不很大的电容比值（比如 10）可以得到音频应用所需要的相当大的时间常数（10^{-4} s）。由于电容通常都会占据比较大的芯片面积，因此人们总会设法减小电容的值。有一点很重要，文中曾经引用的精确电容比值是在最小电容为 0.1 pF 的情况下得到的。

12.10.2　实际电路

图 12.35（b）所示的开关电容（SC）电路实现了一个反相积分器的功能 [注意图 12.35（d）所示的流过电容 C_2 的充电电流方向]。12.7 节讲到，一个双积分环有源滤波器是由一个反相积分器和一个同相积分器构成的。为了实现开关电容双二次电路，我们需要一对互补的开关电容积分器。图 12.36（a）给出了一个同相积分器的电路。读者应该根据两个时钟信号的相位推导电路的特性，证明电路功能和图 12.36（b）所示一致，只是符号相反。

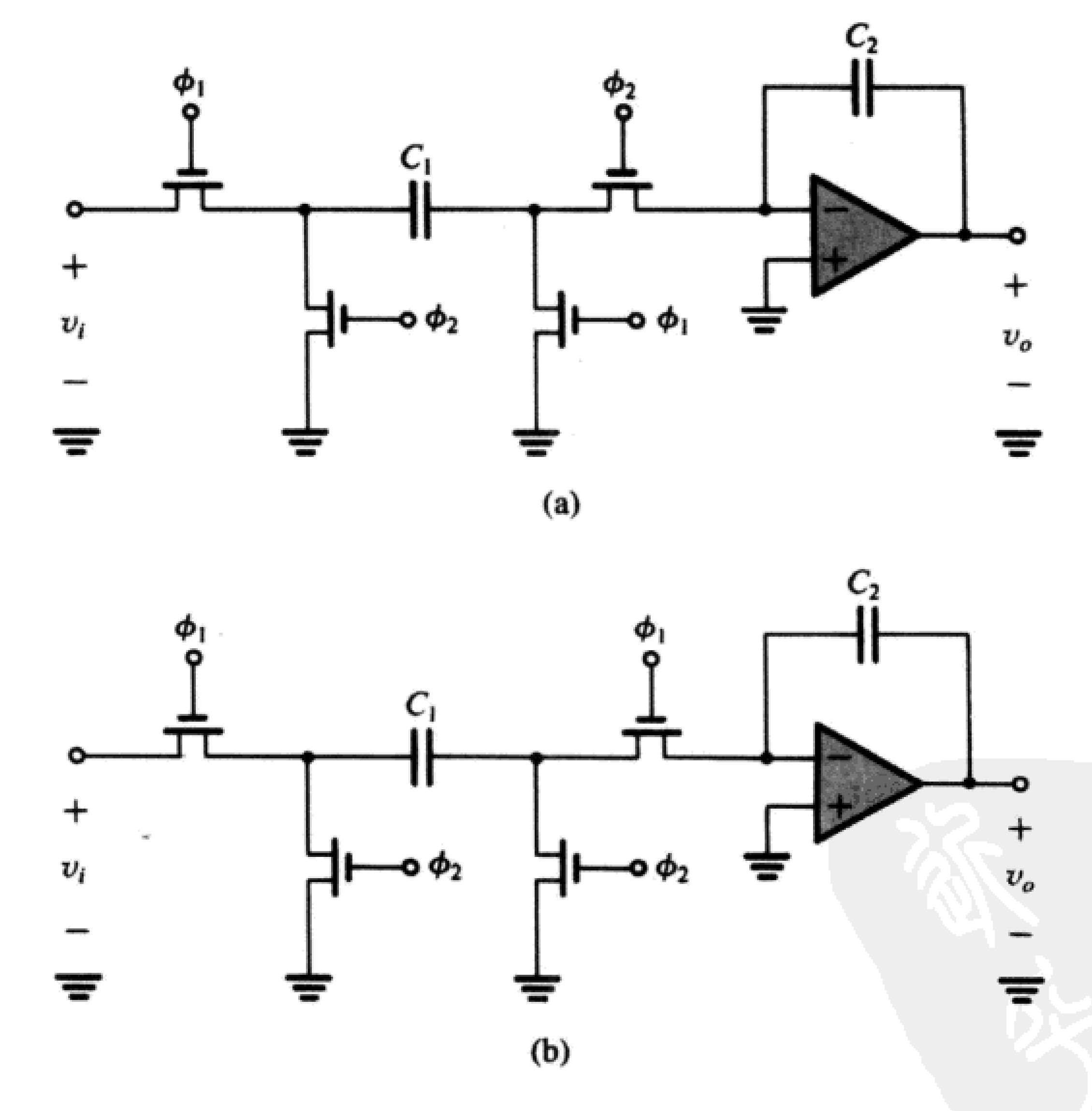


图 12.36　一对互补开关电容积分器，它们对杂散电容均不敏感：
（a）同相开关电容积分器；（b）反相开关电容积分器

图 12.36（a）所示电路除了能够实现同相积分功能外，对杂散电容也不敏感，这里我们不对此做更深入的分析，感兴趣的读者可以参考 Schaumann，Ghausi 和 Laker（1990）的文献资料。

改变两个开关上的时钟信号相位便可得到图 12.36（b）所示的电路。这个电路实现的是反相积分器的功能，与图 12.35（b）一样，但是电路对杂散电容不敏感［图 12.35（b）没有此特性］。图 12.36 所示的一对互补积分器成为了开关电容滤波器设计时的标准模块电路。

现在让我们来实现一个完整的双二次电路。图 12.37（a）所示是已经讲过的有源 RC 双积分环电路。考虑到级联积分器 2 和倒相器构成的是一个同相积分器，接下来用开关电容等效电路替换每一个电阻便可得到图 12.37（b）所示的电路。暂时忽略第一级积分器的阻尼元件（开关电容 C_5），发现反馈回路由一个反相器和一个同相积分器组成，阻尼开关电容起定相作用。改变相位会导致反馈成为正性质，极点将被移至 s 平面右半侧。另一方面，输入端的开关电容 C_6 的定相不是很重要，相位颠倒只是改变了传输函数的符号。

分析了有源 RC 双二次电路和开关电容双二次电路的相关特性后，现在来推导设计公式。分析图 12.37（a）所示电路，得到

$$\omega_0 = \frac{1}{\sqrt{C_1 C_2 R_3 R_4}} \tag{12.92}$$

将 R_2 和 R_4 用其等效的开关电容等效值代入，可得

$$R_3 = T_c / C_3 \quad 和 \quad R_4 = T_c / C_4$$

从而得 SC 双二次电路的 ω_0 为

$$\omega_0 = \frac{1}{T_c}\sqrt{\frac{C_3}{C_2}\frac{C_4}{C_1}} \tag{12.93}$$

通常选择两个积分器的时间常数相等，即

$$\frac{T_c}{C_3}C_2 = \frac{T_c}{C_4}C_1 \tag{12.94}$$

若进一步选择两积分电容也相等，即

$$C_1 = C_2 = C \tag{12.95}$$

则

$$C_3 = C_4 = KC \tag{12.96}$$

利用式（12.93）可得

$$K = \omega_0 T_c \tag{12.97}$$

对相同时间常数的情况，图 12.37（a）所示电路的品质因数 Q 由 R_5/R_4 确定，相应的图 12.37（b）所示电路的 SC 品质因数 Q 为

$$Q = \frac{T_c / C_5}{T_c / C_4} \tag{12.98}$$

电容 C_5 由下式确定：

$$C_5 = \frac{C_4}{Q} = \frac{KC}{Q} = \omega_0 T_c \frac{C}{Q} \tag{12.99}$$

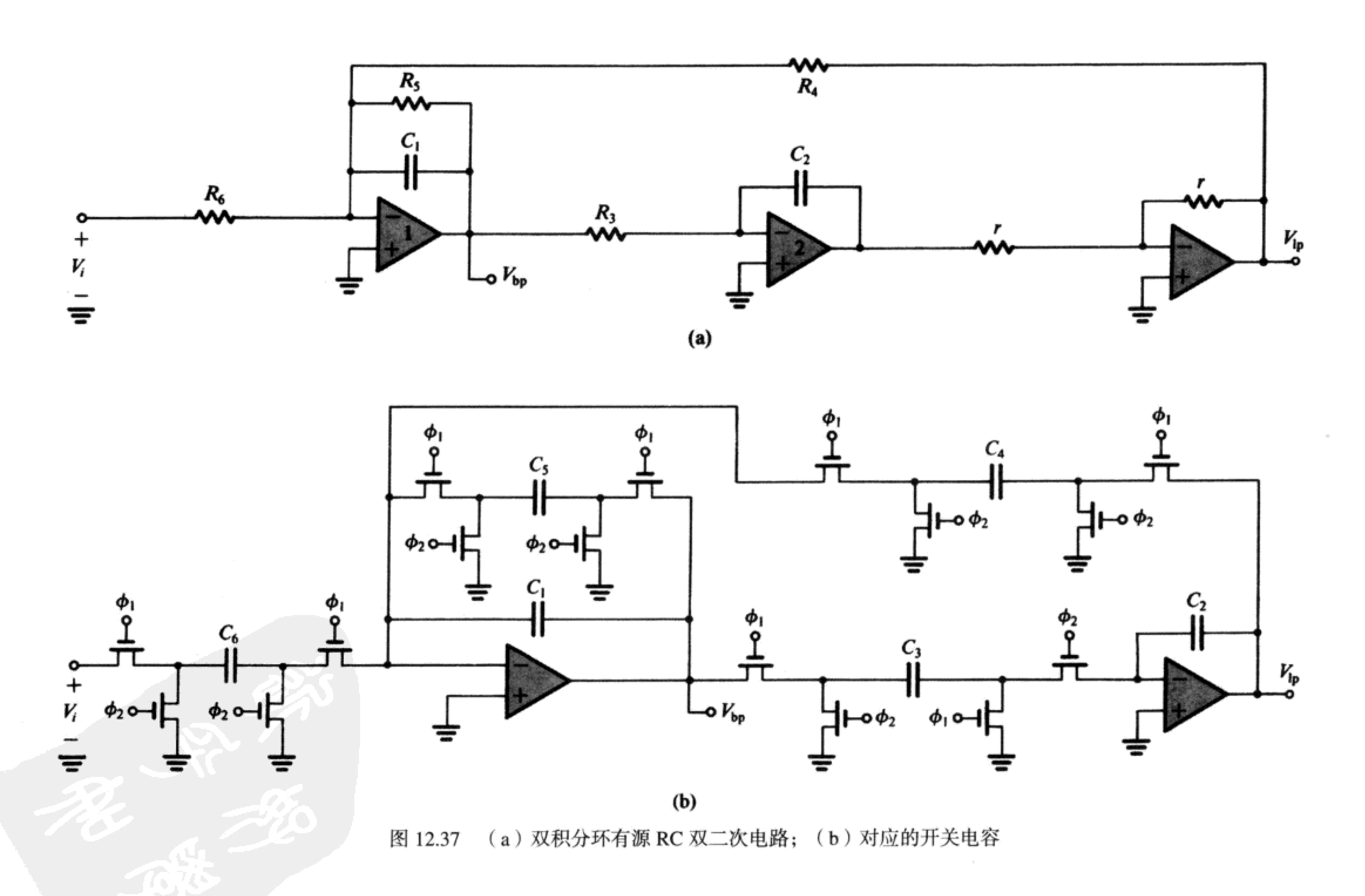


图 12.37　（a）双积分环有源 RC 双二次电路；（b）对应的开关电容

最后，中心频率点上的增益为

$$中心频率增益 = \frac{C_6}{C_5} = Q\frac{C_6}{\omega_0 T_c C} \tag{12.100}$$

练习 D12.31 采用 $C_1 = C_2 = 20$ pF 设计图 12.37（b）所示的电路，实现带通滤波器的功能。要求 $f_0 = 10$ kHz，$Q = 20$，中心频率增益为 1。时钟频率 $f_c = 200$ kHz，求电容 C_3，C_4，C_5和 C_6的值。

答案：6.283 pF；6.283 pF；0.314 pF；0.314 pF

12.10.3 最后的说明

我们尽力提供给读者的只是有关开关电容滤波器电路的简单介绍。我们做了许多简化假设才得到了开关电容等效电阻值的重要等式［即式（12.90）］。等效电阻值只有当 $f_c = \infty$ 时才是精确的，在 $f_c >> f$ 时近似准确。开关电容滤波器实际上是一个数据采样网络，对其进行分析和设计时采用变换技术是比较准确的。感兴趣的读者可以参考有关的文献资料。

12.11 调谐放大器

这一节要介绍一种特殊的选频网络——LC 调谐放大器。图 12.38 所示的是调谐放大器幅频响应的一般波形。要讨论的技术将应用于中心频率在几百 kHz 到几百 MHz 范围内的调谐放大器中。调谐放大器在通信接收机的射频（RF）模块和中频（IF）模块及其他各种系统中都有应用的场合。需要指出的是图 12.38 所示的频响和前面几节讨论过的带通滤波器的频响很相似。

如图 12.38 所示，幅频响应曲线有三个特征参数：中心频率 ω_0、3 dB 带宽和边缘选择性。其中边缘选择性通常被定义为 30 dB 带宽与 3 dB 带宽的比值。许多应用场合的 3 dB 带宽均小于 5% 的 ω_0，窄带特性使得某种近似分析成为可能，因而设计的过程可以被简化，我们将在后面解释。

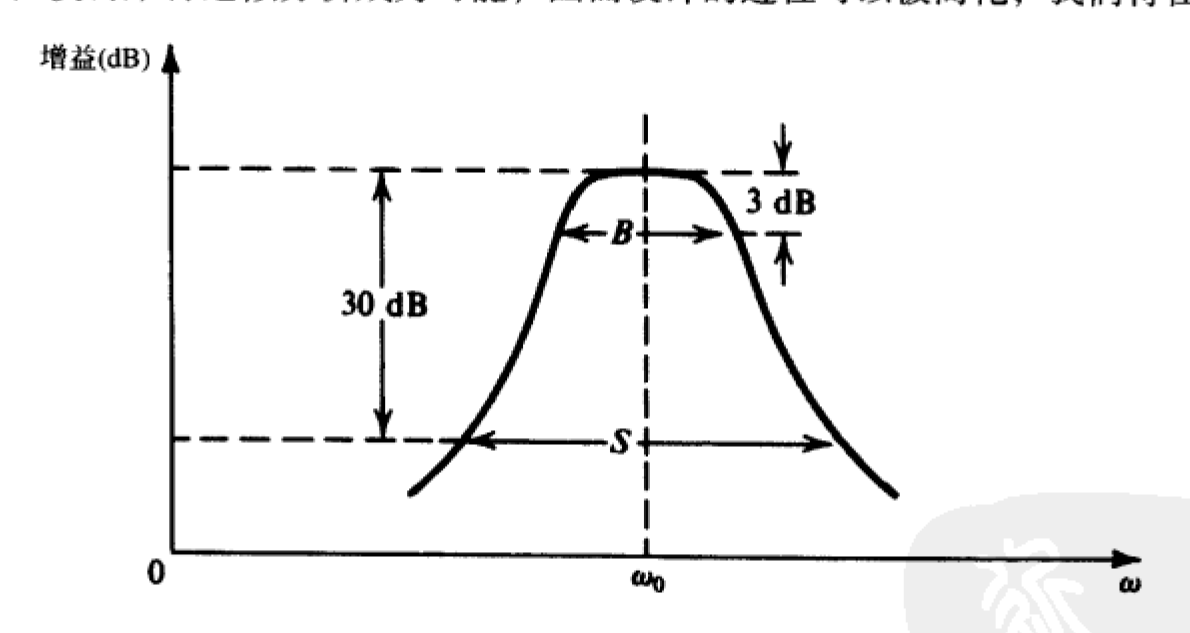


图 12.38 调谐放大器的频率响应

本节讨论的调谐放大器都是小信号放大器，属于“A 类”模式，即晶体管始终是导通的。基于“C 类”的调谐功放电路和开关模式工作的其他调谐放大器不属于本书讨论的内容。（关于放大器分类的讨论可参见 14.1 节。）

12.11.1 基本原理

设计调谐放大器的基本原理是将 LC 谐振回路作为 BJT 或 FET 放大器的负载，或者放在输入端，如图 12.39 所示，这是一个用 LC 谐振回路作为负载的 MOSFET 放大器。为简单起见，该电

路没有包括偏置部分。因为这个电路只有一个单级的调谐回路，所以也称为单调谐放大器。放大器的等效电路如图 12.39（b）所示，这里的 R 表示负载电阻 R_L 和晶体管输出电阻 r_o 的并联等效值，C 是 C_L 和晶体管输出电容（通常很小）的并联等效值。由等效电路可以写出

$$V_o = \frac{-g_m V_i}{Y_L} = \frac{-g_m V_i}{sC + 1/R + 1/sL}$$

则电压增益可表示为

$$\frac{V_o}{V_i} = -\frac{g_m}{C}\frac{s}{s^2 + s(1/CR) + 1/LC} \tag{12.101}$$

这是一个二阶带通函数，因而调谐放大器的中心频率为

$$\omega_0 = 1/\sqrt{LC} \tag{12.102}$$

3 dB 带宽为

$$B = \frac{1}{CR} \tag{12.103}$$

品质因数 Q 为

$$Q \equiv \omega_0 / B = \omega_0 CR \tag{12.104}$$

中心频率增益为

$$\frac{V_o(j\omega_0)}{V_i(j\omega_0)} = -g_m R \tag{12.105}$$

注意，中心频率增益也可以通过观察得到。谐振时 L 和 C 的电抗相互抵消，并联 LCR 电路的阻抗降为 R。

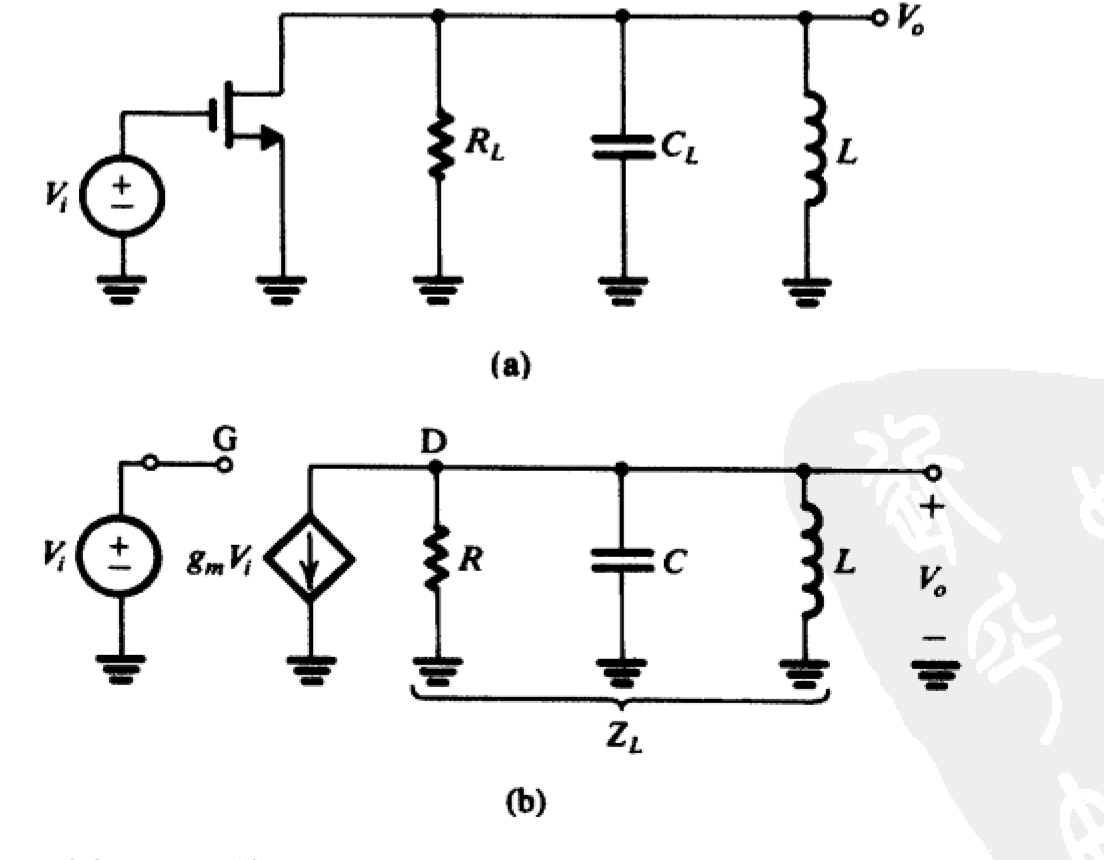


图 12.39　利用以谐振回路作为负载的 MOSFET 说明调谐放大器的基本原理。偏置部分没有在图中画出

例题 12.4 设计一个如图 12.39 所示的调谐放大器，要求 $f_0 = 1$ MHz，3 dB 带宽 = 10 kHz，中心频率增益 = − 10 V/V。场效应管在偏置工作点上有：$g_m = 5$ mA/V，输出电阻 $r_o = 10$ kΩ。输出电容很小，可以忽略。确定 R_L，C_L和 L 的值。

解：中心频率增益 = − 10 = −5R，所以 $R = 2$ kΩ。由于 $R = R_L \| r_o$，所以 $R_L = 2.5$ kΩ。

$$B = 2\pi \times 10^4 = \frac{1}{CR}$$

即

$$C = \frac{1}{2\pi \times 10^4 \times 2 \times 10^3} = 7958 \text{ pF}$$

因为 $\omega_0 = 2\pi \times 10^6 = 1/\sqrt{LC}$，因此得到

$$L = \frac{1}{4\pi^2 \times 10^{12} \times 7958 \times 10^{-12}} = 3.18\ \mu\text{H}$$ ■

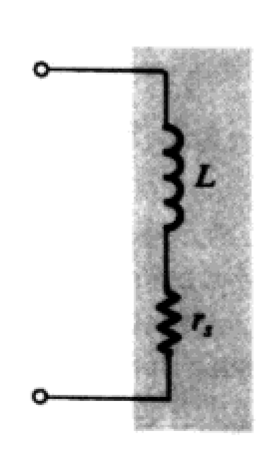
12.11.2 电感损耗

电感的能量损耗通常用与之串联的电阻 r_s 来表示，如图 12.40（a）所示。只是人们通常关心的是在谐振频率点上的品质因数 Q，而不是 r_s 的具体数值：

$$Q_0 \equiv \frac{\omega_0 L}{r_s} \tag{12.106}$$

Q_0 的典型值在 50 到 200 之间。

如图 12.40（b）所示，将电感的损耗用并联电阻 R_p 表示可以简化电路的分析。R_p 和 Q_0 的关系可以通过写出图 12.40（a）所示电路的导纳得到：



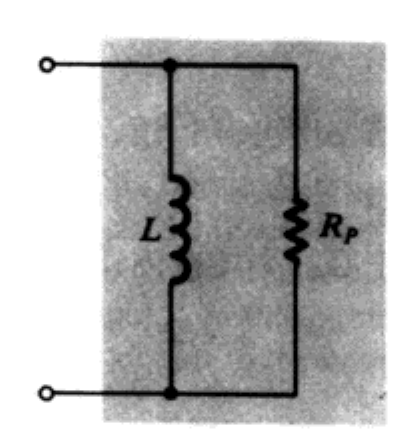


图 12.40 电感等效电路

$$Y(j\omega_0) = \frac{1}{r_s + j\omega_0 L}$$
$$= \frac{1}{j\omega_0 L}\frac{1}{1 - j(1/Q_0)} = \frac{1}{j\omega_0 L}\frac{1 + j(1/Q_0)}{1 + (1/Q_0^2)}$$

当 $Q_0 >> 1$ 时，

$$Y(j\omega_0) \simeq \frac{1}{j\omega_0 L}\left(1 + j\frac{1}{Q_0}\right) \tag{12.107}$$

令上述阻抗等于图 12.40（b）所示的阻抗，得到

$$Q_0 = \frac{R_p}{\omega_0 L} \tag{12.108}$$

上式等价于：

$$R_p = \omega_0 L Q_0 \tag{12.109}$$

最后要指出的是，电感线圈的品质因数是调谐电路 Q 值的上限。

练习 12.32 假如例题 12.4 的电感品质因数 $Q_0 = 150$，求 R_p 的值，然后求使得电路的总 Q 和带宽均不改变的负载 R_L 的值。

答案：3 kΩ；15 kΩ

12.11.3　变压器的使用

很多情况下电感的设计值是不实际的，高 Q_0 值的线圈电感实际上是找不到的。简单的解决方法是使用变压器来改变阻抗，或者说，采用中心抽头的自耦变压器，如图 12.41 所示，只要将线圈绕在铁氧体上，就可以实现两部分电感之间的紧耦合，从而得到图中所示的变换关系。结果是端点 1 和 1′之间的调谐电路等效于图 12.39（b）所示电路。比如，假设匝数比 $n = 3$，放到例题 12.4 的放大电路中，则所需要的线圈电感量为 $L' = 9 \times 3.18 = 28.6\mu\text{H}$，电容量为 $C' = 7958/9 = 884$ pF，现在的两个值都要比原先的值更实际。

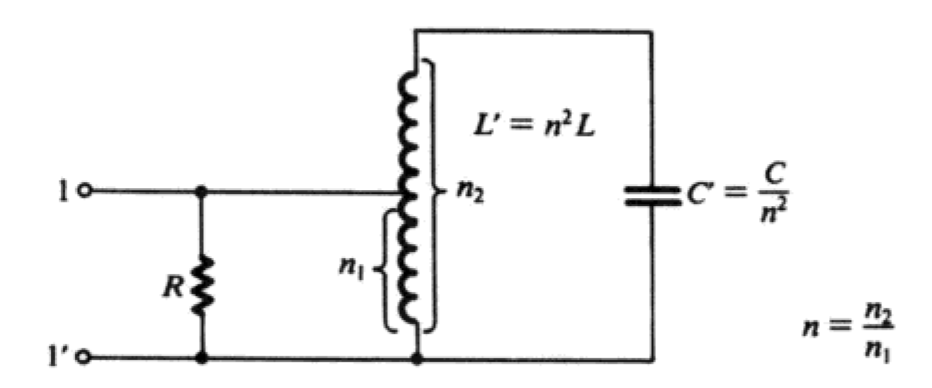


图 12.41　用于实现阻抗变换以允许采用大电感 L'和小电容 C'的中心抽头电感

在实际应用中，采用调谐电路的输出耦合至下一级的输入端，中心抽头的线圈还可以提高下一级放大器的有效输入电阻，这样做避免了电路总 Q 值的下降。这一点将在图 12.42 和接下来的练习中给予说明。

练习 D12.33　考虑图 12.42（a）所示的电路，首先不使用中心抽头线圈。设 $L = 5\mu\text{H}$，R_1 取固定值 1 kΩ，我们希望设计的调谐放大器中心频率为 $f_0 = 455$ kHz，3 dB 带宽是 10 kHz（这是 AM 收音机的中频放大器）。如果 BJT 的 $R_{in} = 1$ kΩ，$C_{in} = 200$ pF，求实际得到的带宽和电容 C_1 的值。

答案：13 kHz；24.27 nF

练习 D12.34　因为练习 12.33 得到的带宽比需要的宽，因此我们换一种设计方法，即采用中心抽头的线圈，如图 12.42（a）所示。求使得性能参数满足要求的线圈的匝数比。再求需要的新的电容 C_1 的值以及谐振时的电流增益 I_c/I。假设在偏置点处 BJT 的 $g_m = 40$ mA/V。

答案：1.36；24.36 nF；19.1 A/A

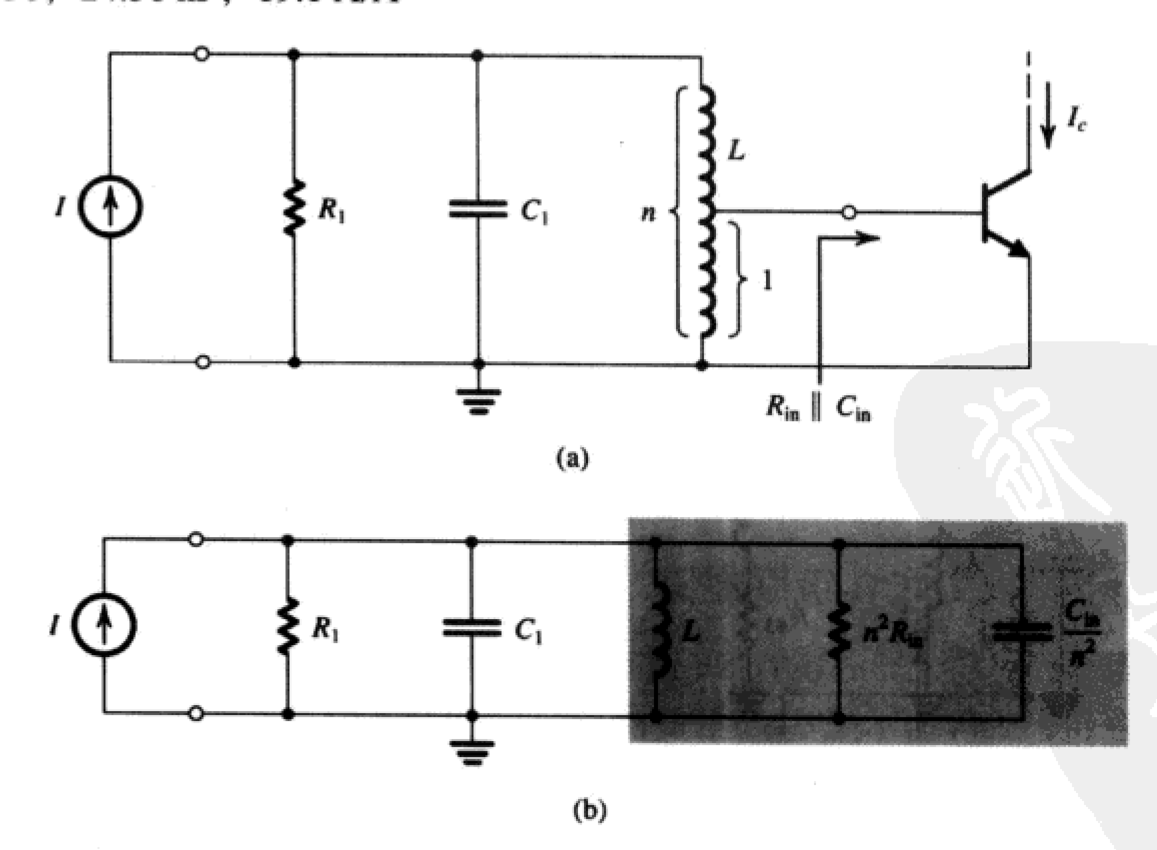


图 12.42　（a）采用抽头线圈实现调谐放大器输出到另一个放大器输入之间的耦合；（b）等效电路。注意使用抽头线圈提高了第二级放大器的有效输入阻抗

12.11.4 多级调谐放大器

图 12.39 所示的单级调谐放大器的选择性在许多应用中略显不足，比如收音机或电视机的中频放大器。要获得较好的选择性往往需要再接上另外的调谐电路，图 12.43 就是一个输入端有调谐回路、输出端也有调谐回路的 BJT 放大器[①]。电路同时给出了直流偏置，我们发现，其偏置电路和低频分立元件放大器的经典偏置方式非常相似，但是采用了与电阻 R_{B1} 和 R_{B2} 串联的高频扼流圈（RFC），其目的是避免偏置电阻对输入端调谐回路的负载效应。高频扼流圈在信号频率上有很高的阻抗，高频扼流圈用于 RF 调谐放大器的偏置的现象很普遍。

由于米勒电容 C_μ 的作用，分析和设计图12.43 所示的双调谐放大器很复杂。而且负载不单是电阻，6.4.4 节有关放大器的介绍可以说明等效的米勒输入阻抗是复数，该反射阻抗将导致输入回路重新调谐，即电路的频响特性产生偏移。毋庸讳言，C_μ 电容的耦合效应使得电路的调谐（校正）非常困难。更严重的是，电容 C_μ 会引起电路的振荡［参见 Gray 和 Searle（1969）以及习题 12.75］。

为了抵消 C_μ 的作用，可以另外增加电路以产生一个电流，其方向和流过 C_μ 的电流方向相反，大小相同。或者采取更常用的方法，调整电路的组态，使其不受米勒效应的影响。这一点留待后叙。在结束本节之前还要说明一点，在设计图12.43 所示的各种电路类型时，BJT 通常会使用它的 y 参数模型（参见附录 B）。之所以这样做，是因为电容 C_μ 在电路中起了很大的作用，y 参数可以使得分析简便（与混合π 模型相比），而且 y 参数在 ω_0 频率上比较容易测量。对窄带放大器来说，一般可以假设通带内的 y 参数近似为常数。

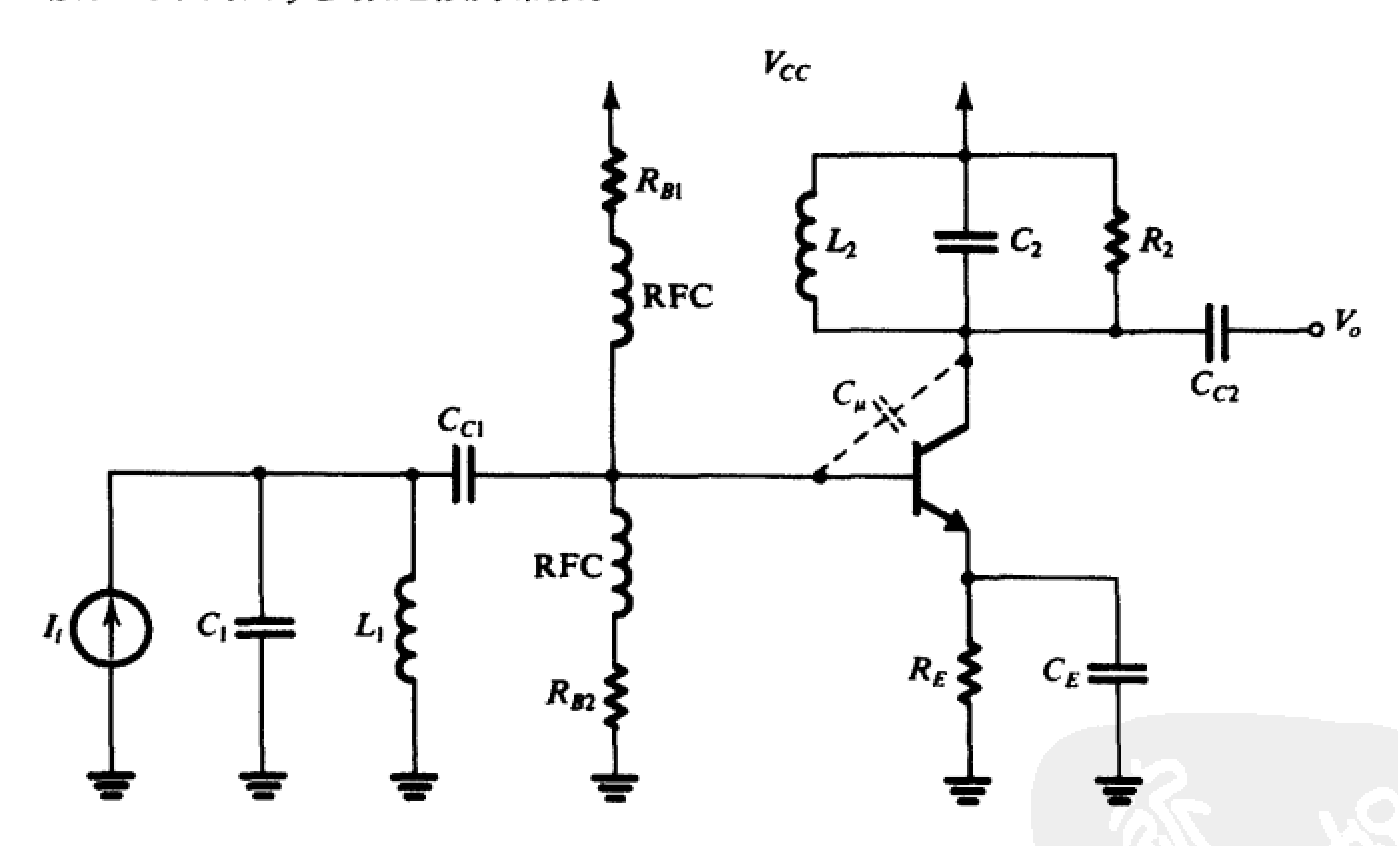


图 12.43 输入端和输出端均接有调谐回路的 BJT 调谐放大器

12.11.5 cascode 和 CC-CB 级联电路

我们在第6 章介绍了放大器的频响，知道有两种放大器没有米勒效应。这就是共射-共基和共集-共基级联电路。图12.44 所示是基于这两种组态的调谐放大器。在实现时，CC-CB 电路更受欢迎，因为它的差分结构使得它非常适合于集成偏置技术。［注意，图 12.44（a）所示电路没有画出偏置的详细电路。偏置可以采用和前面几章介绍的结构相似的结构。］

① 注意，输入电路是一个并联谐振回路，输入信号应该采用电流源（而不是电压源）。

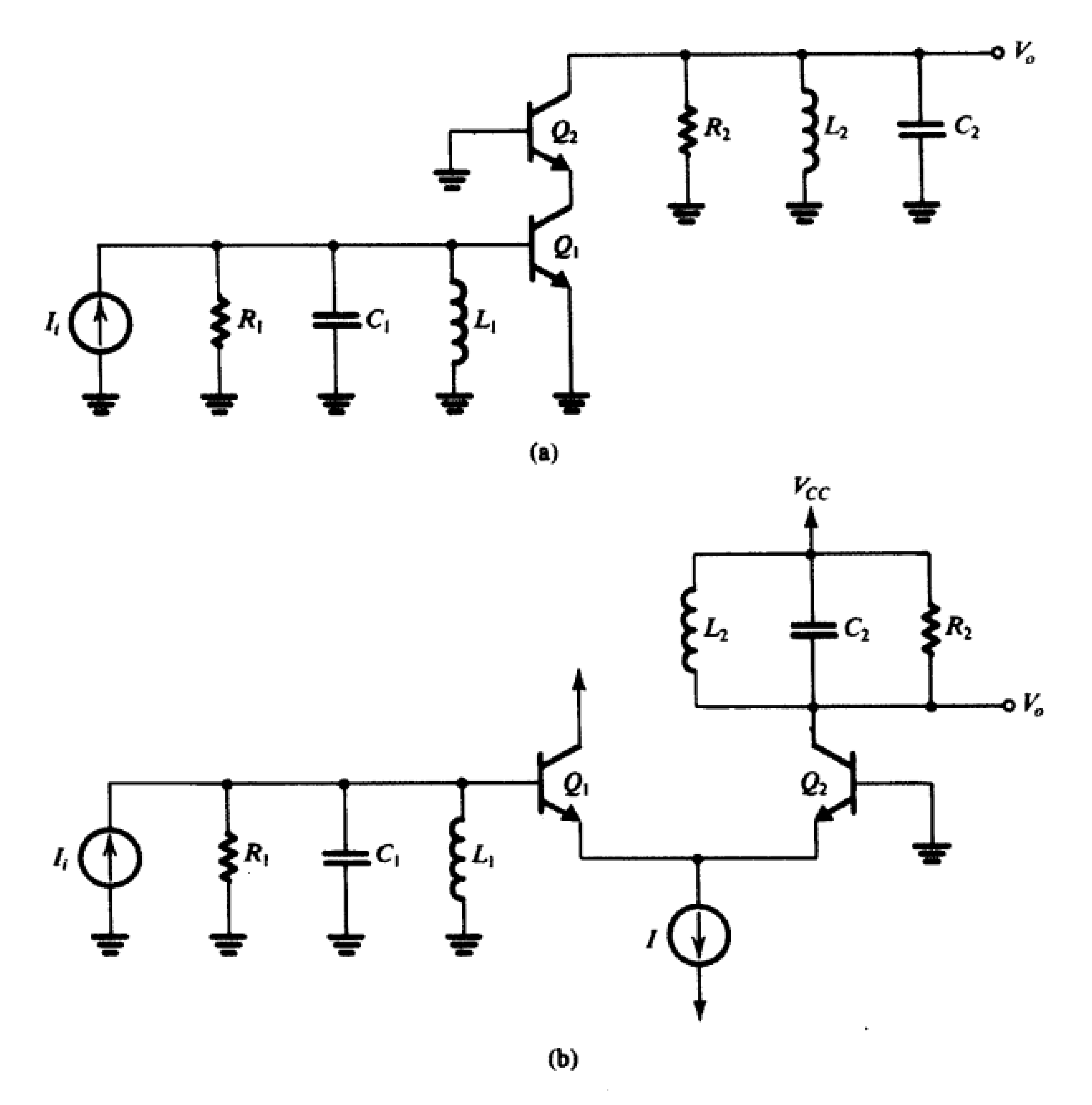


图 12.44　两种不受米勒效应影响的调谐放大器组态；（a）cascode 组态；（b）共集-共基级联组态（注意，图中未画出 cascode 组态的详细偏置）

12.11.6　同步调谐

设计多级调谐放大器会遇到各级调谐电路究竟应该调谐在什么频率上的问题。不管问题如何解决，目的只有一个，那就是要使整个电路具有宽平坦通带和很高的边缘选择性。为探讨这个问题，我们假设总频响是各单级频响的乘积。换言之，各级之间没有相互作用。我们采用图 12.44 所示的电路很容易实现。

考虑 N 级相同的谐振回路，我们称之为同步调谐。图 12.45 给出了单级和多级级联的频率响应。观察发现，总带宽收缩了，总 3 dB 带宽 B 和每一个调谐电路的ω_0/Q 有关（参见习题 12.77）：

$$B=\frac{\omega_0}{Q}\sqrt{2^{1/N}-1} \tag{12.110}$$

因子 $\sqrt{2^{1/N}-1}$ 称为带宽收缩因子。给定 B 和 N，可以利用式（12.110）确定每一级调谐回路所需要的ω_0/Q。

练习 D12.35　设计 FM 收音机的中频放大器。采用两级同步调谐电路，每一级的 $f_0=10.7$ MHz，求每一级的 3 dB 带宽，使得放大器的总带宽为 200 kHz。各级均采用 3μH 的电感，求各级的电容 C 和电阻 R 的值。

答案：310.8 kHz；73.7 pF；6.95 kΩ

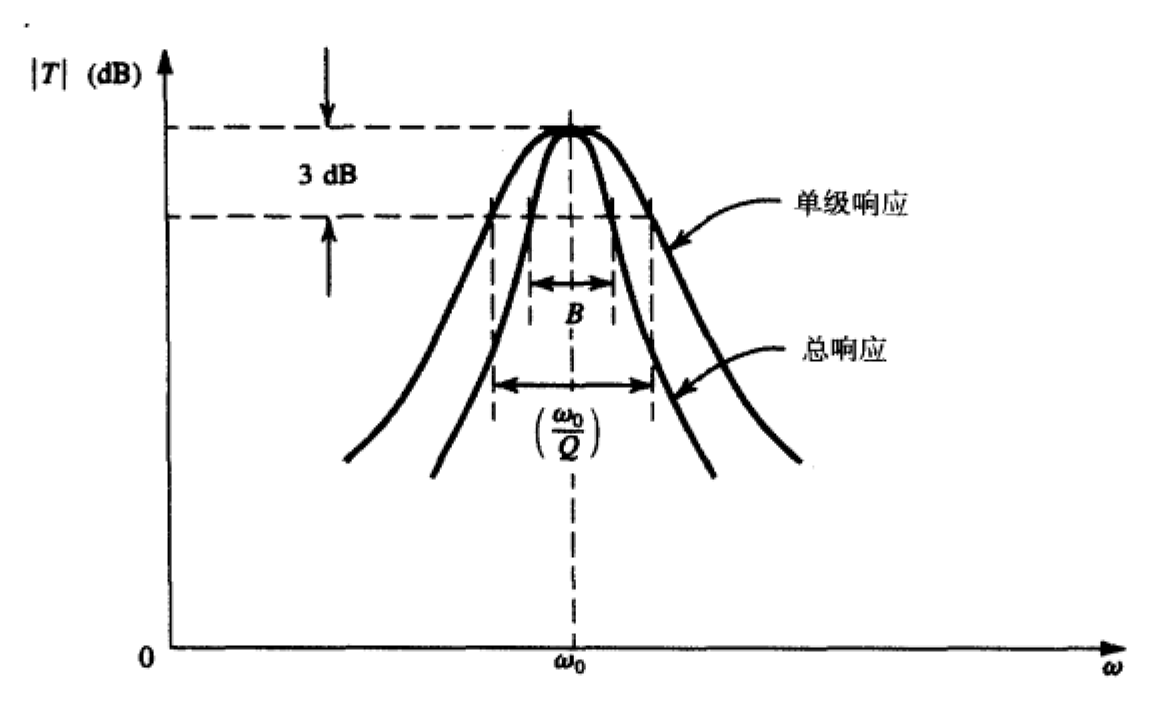


图 12.45 同步调谐放大器的频率响应

12.11.7 参差调谐

比较好的频响特性是将各级调谐在不同的频率点上，如图 12.46 所示，这种调谐称为参差调谐。参差调谐放大器在中心频率附近一般都具有最大的平坦特性。该频响特性是通过把最大平坦（巴特沃斯）低通滤波器的频率轴变换到ω_0得到的。现在我们就来讨论具体做法。

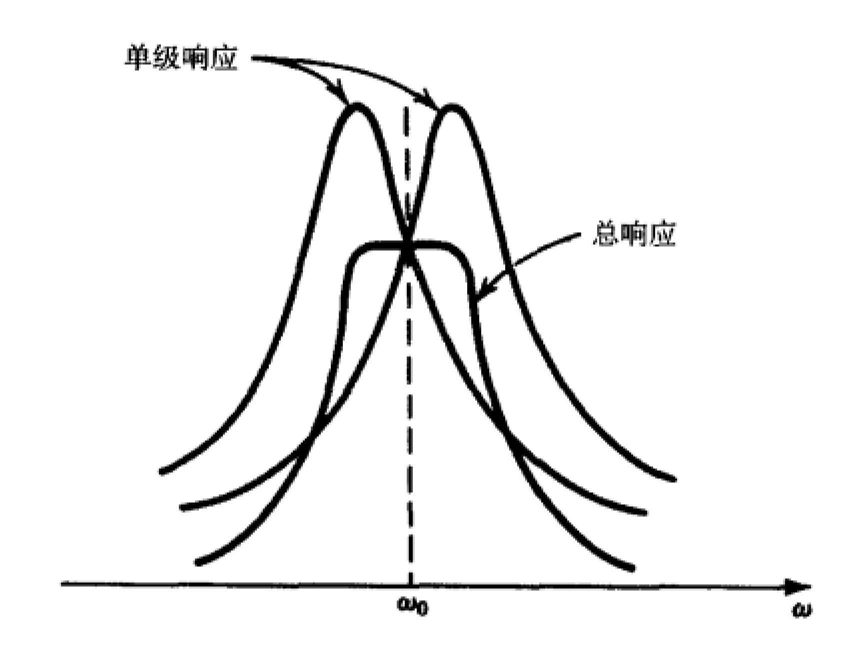


图 12.46 参差调谐各谐振器可以得到在通带内平坦得多的总频响特性，比较的对象是同步调谐放大器（见图 12.45）

二阶带通滤波器的传输函数用极点频率表示为

$$T(s)=\frac{a_1 s}{\left(s+\frac{\omega_0}{2Q}-j\omega_0\sqrt{1-\frac{1}{4Q^2}}\right)\left(s+\frac{\omega_0}{2Q}+j\omega_0\sqrt{1-\frac{1}{4Q^2}}\right)} \qquad (12.111)$$

对窄带滤波器而言，$Q>>1$，且对$+j\omega_0$附近的 s 值来说［见图 12.47（b）］，分母的第二项可近似为（$s+j\omega_0\simeq 2s$），因此，式（12.111）在$j\omega_0$附近可近似为

$$T(s)\simeq\frac{a_1/2}{s+\omega_0/2Q-j\omega_0}=\frac{a_1/2}{(s-j\omega_0)+\omega_0/2Q} \qquad (12.112)$$

这称为窄带近似。注意，在幅频响应中[①]，令 $s=j\omega$，当$\omega=\omega_0$时，其峰值正如我们预期的那样等于 $a_1 Q/\omega_0$。

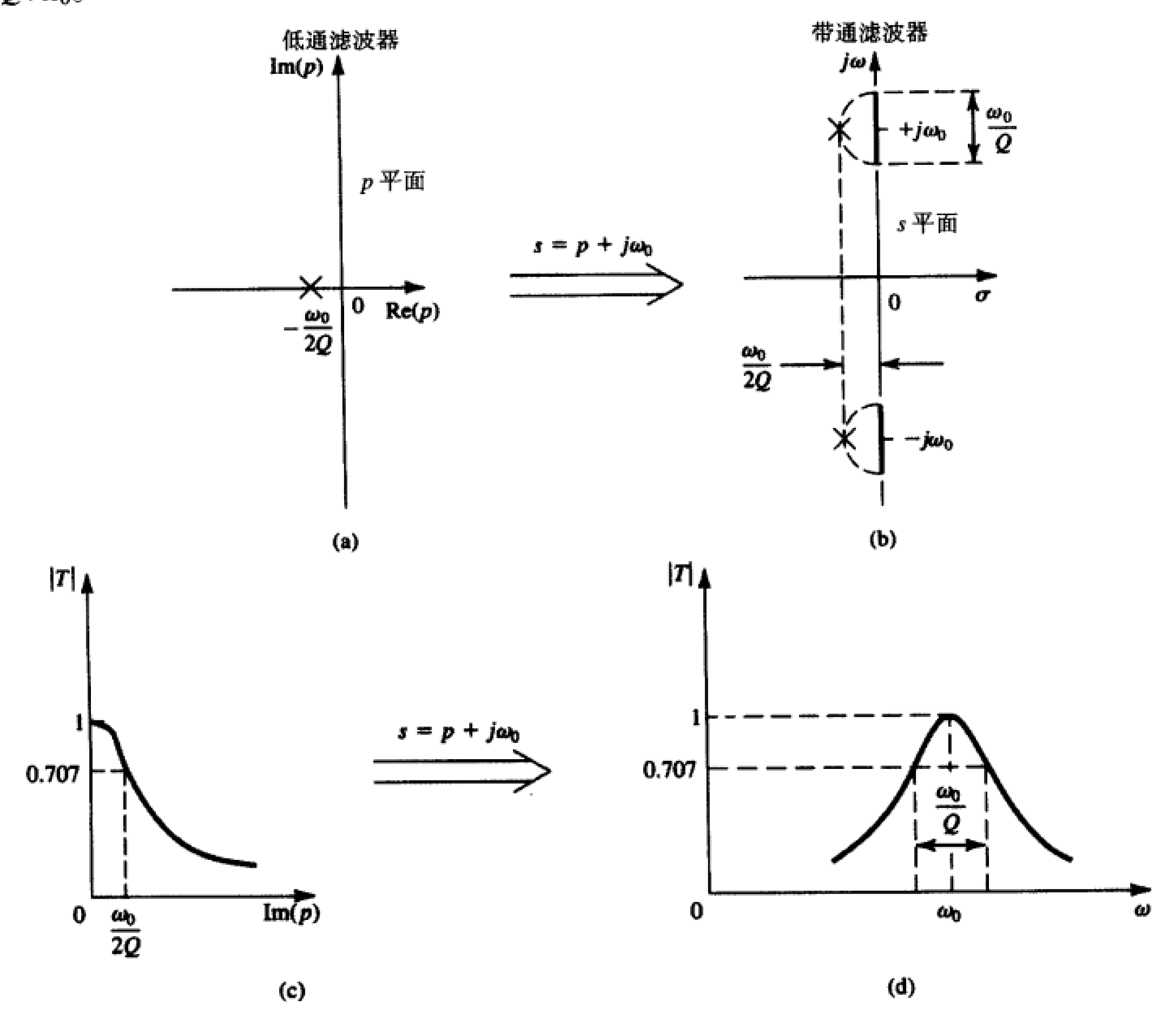


图 12.47　对一阶低通滤波器进行变换可得到二阶窄带滤波器：（a）p 平面上的一阶滤波器极点；（b）应用 $s=p+j\omega_0$ 变换并增加一个共轭复数极点可得到二阶带通滤波器的极点；（c）一阶低通滤波器的幅频响应；（d）二阶带通滤波器的幅频响应

现在考虑一阶低通滤波网络，单个极点位于 $p=-\omega_0/2Q$（我们用 p 表示低通滤波器的复数频率变量）。其传输函数为

$$T(p)=\frac{K}{p+\omega_0/2Q} \tag{12.113}$$

其中，K 是常数。比较式（12.112）和式（12.113），我们注意到当 $p=s-j\omega_0$ 时，两式相等，因而，

$$s=p+j\omega_0 \tag{12.114}$$

这个结论说明二阶带通滤波器在中心频率 $s=j\omega_0$ 附近的频率响应等同于极点在（$-\omega_0/2Q$），$p=0$ 附近的一阶低通滤波器的频率响应，所以带通滤波器的频率响应可以一阶低通滤波器为原型，通过变换极点频率并增加共轭复数极点得到，如图 12.47（b）所示。这称为窄带滤波器的低通到带通的转换。

① 带通响应关于中心频率ω_0几何对称。也就是幅度相等的每一对频率ω_1和ω_2满足$\omega_1\omega_2=\omega_0^2$。当 Q 值很高时，接近于ω_0的频点上的几何对称变成了算术对称，即幅频响应相等的两个频率离开ω_0的距离是相等的。该结论对高阶带通滤波器也是正确的，条件是电路设计采用的是本节介绍的变换方法。

$p = s - j\omega_0$ 的变换可以应用到阶数高于 1 的低通滤波器中。例如，我们可以把一个最大平坦二阶低通滤波器（$Q = 1/\sqrt{2}$）转换成一个最大平坦带通滤波器。如果带通滤波器的 3 dB 带宽是 B rad/s，那么低通滤波器的 3 dB 频率（也是极点频率）就是（$B/2$）rad/s，如图 12.48 所示。得到的四阶带通滤波器就是一个参差调谐电路，两个调谐回路（参见图 12.48）为

$$\omega_{01} = \omega_0 + \frac{B}{2\sqrt{2}} \qquad B_1 = \frac{B}{\sqrt{2}} \qquad Q_1 \simeq \frac{\sqrt{2}\omega_0}{B} \tag{12.115}$$

$$\omega_{02} = \omega_0 - \frac{B}{2\sqrt{2}} \qquad B_2 = \frac{B}{\sqrt{2}} \qquad Q_2 \simeq \frac{\sqrt{2}\omega_0}{B} \tag{12.116}$$

注意，总频率响应在归一化频率上的增益是 1，各单级频率响应在相同频率上的增益是 $\sqrt{2}$，见图 12.48（d）。

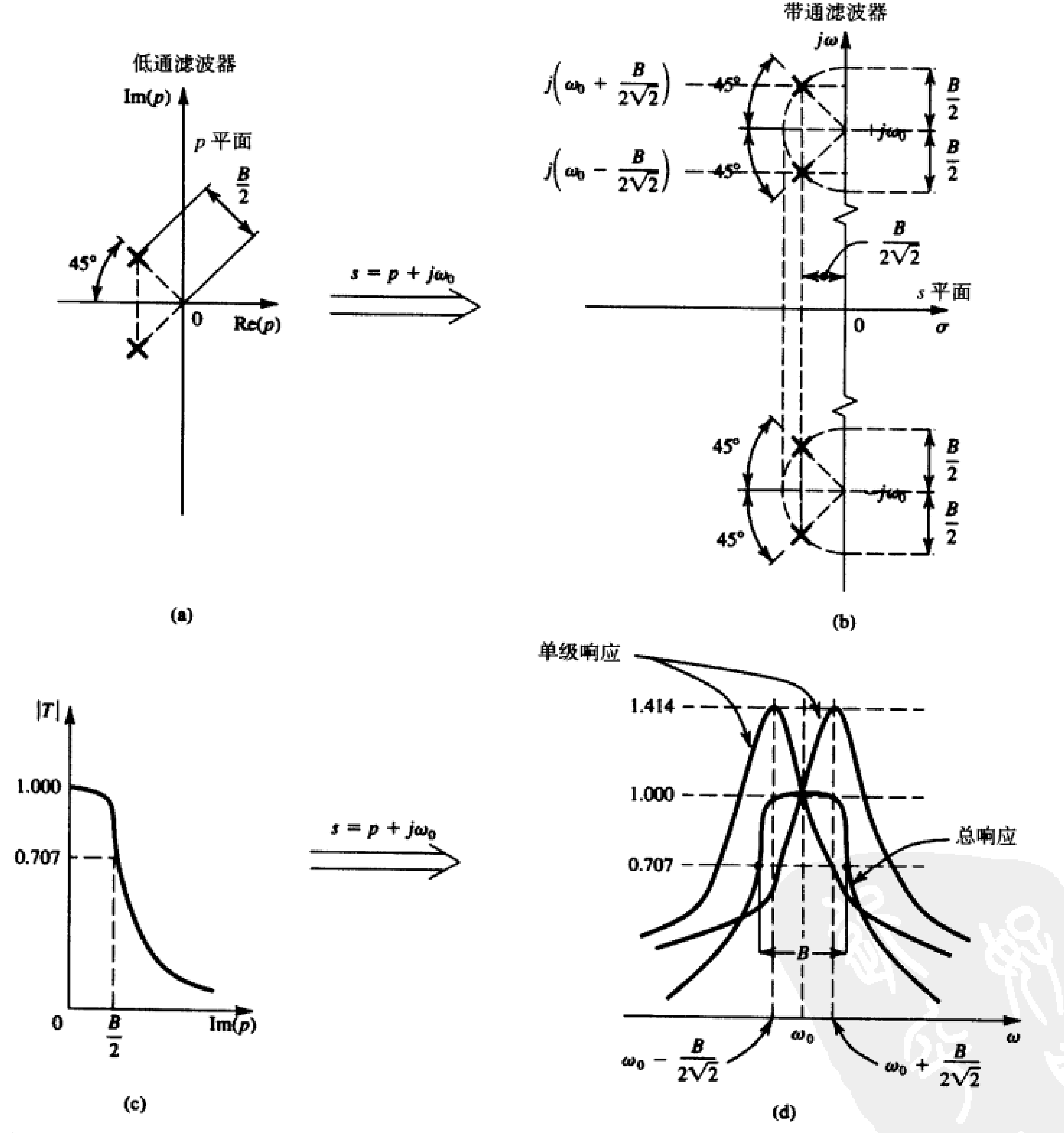


图 12.48　对二阶低通最大平坦响应进行变换得到四阶窄带参差调谐放大器的极点和频率响应

练习 D12.36　把练习 12.35 改成设计一个参差调谐的 IF 放大器。求 f_{01}，B_1，f_{02} 和 B_2。另外再求每一级的 C 和 R 的值。（电感仍采用 3μH。）

答案：10.77 MHz；141.4 kHz；10.63 MHz；141.4 kHz；72.8 pF；15.5 kΩ；74.7 pF；15.1 kΩ

练习 12.37　在谐振频率点上的电压增益与电阻 R 成正比，求两个电路在 10.7 MHz 处的电压增益的比值：一个电路是练习 12.36 设计的参差调谐的放大器，另一个电路是练习 12.35 设计的同步调谐的放大器。（提示：对参差调谐放大器来说，ω_0 处的电压增益等于各单级调谐回路在其 3 dB 频率处的增益的乘积。）

答案：2.42

12.12　SPICE 仿真实例

滤波器设计中使用电路仿真至少有三个目的：（1）验证使用理想元件时的设计正确性；（2）了解运算放大器的非理想特性对滤波器响应的影响；（3）确定使用有一定容差的实际元件实现的电路的百分比，该百分比（也就是成品率）应满足设计要求。本节列举两个例子来说明前两个目的。计算机辅助设计的第三个目的非常重要，也是一个很专业的问题，它超出了本书的范围。

例题 12.5　验证一个五阶切比雪夫滤波器的设计

我们的第一个例子是利用仿真来验证一个五阶切比雪夫滤波器的设计，具体而言，我们对元件参数已在练习 12.20 中求得的电路进行仿真。完整的电路如图 12.49（a）所示。电路由两个二阶 LCR 电路和一个一阶运算放大器 RC 电路级联而成，其中二阶电路的电感采用的是电感模拟 Antoniou 电路。利用 PSpice，我们要比较幅频响应幅度和根据传输函数直接计算得到的幅度。这里我们注意到，PSpice 还能利用模拟行为模型（ABM）库中的 Laplace（拉普拉斯）变换模块完成后一项工作。

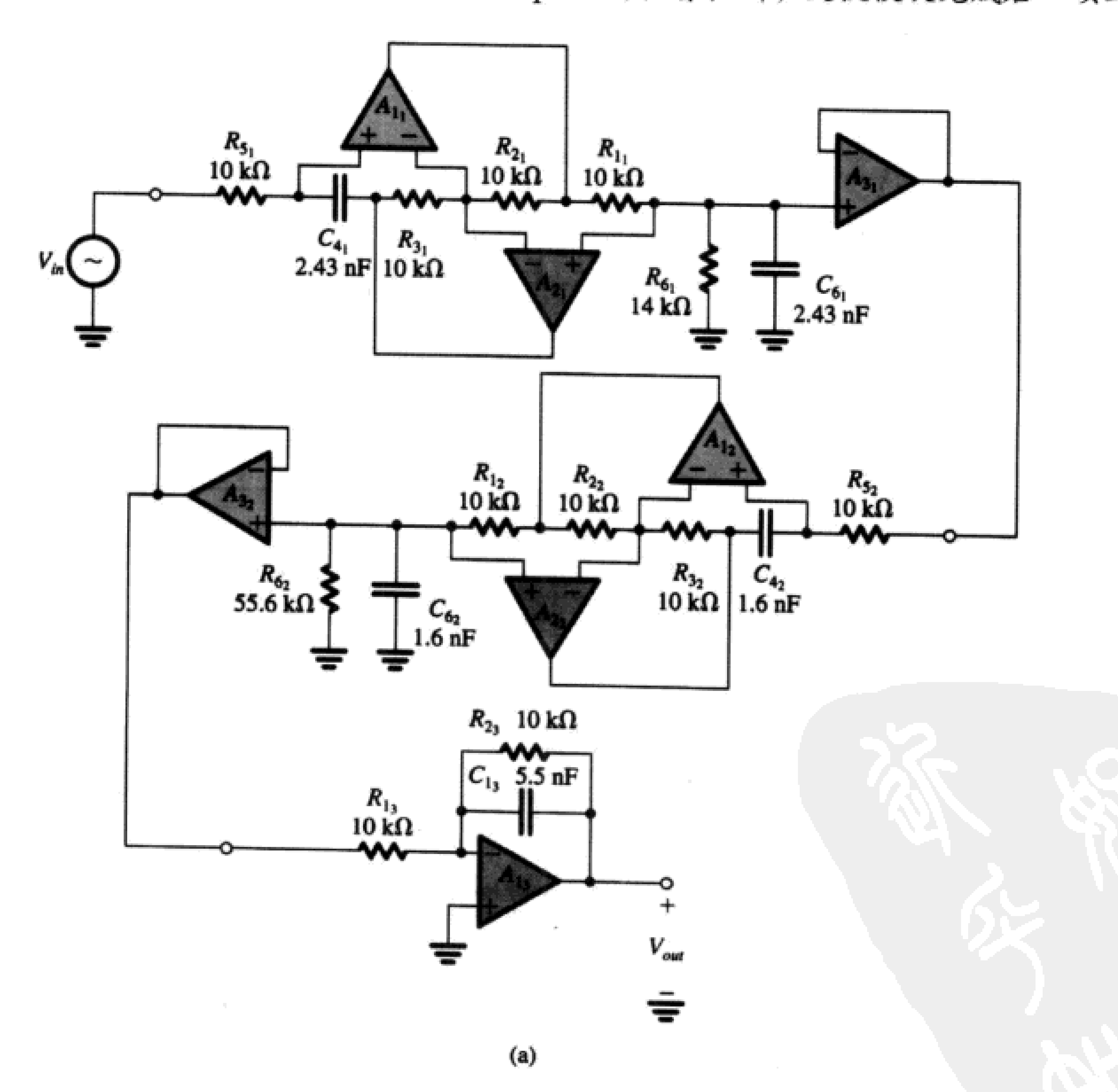


图 12.49　例题 12.5 的电路：（a）五阶切比雪夫滤波器的电路实现。电路由两级二阶 LCR 谐振器和一阶运算放大器 RC 电路级联而成，电感采用模拟电感电路

(b)

图 12.49（续） 例题 12.5 的电路：（b）增益为 A 的理想运算放大器的 VCVS 表示

既然仿真的目的仅仅是完成设计的验证，我们不妨假设器件都是理想的。我们采用运算放大器的理想模型，也就是电压控制的电压源（VCVS）模型，其增益为 10^6 V/V，如图 12.49（b）所示。

进行 SPICE 仿真时，滤波器输入端采用 1 V 的交流信号，从 1 Hz 到 20 kHz 内完成交流仿真分析，并画出输出电压幅度对频率的曲线，如图 12.50 所示。通带内的扩展波形和整个波段内的幅频响应曲线都显示在图中。这些结果几乎与直接计算理想传输函数得到的结果相同，从而验证了该设计是正确的。

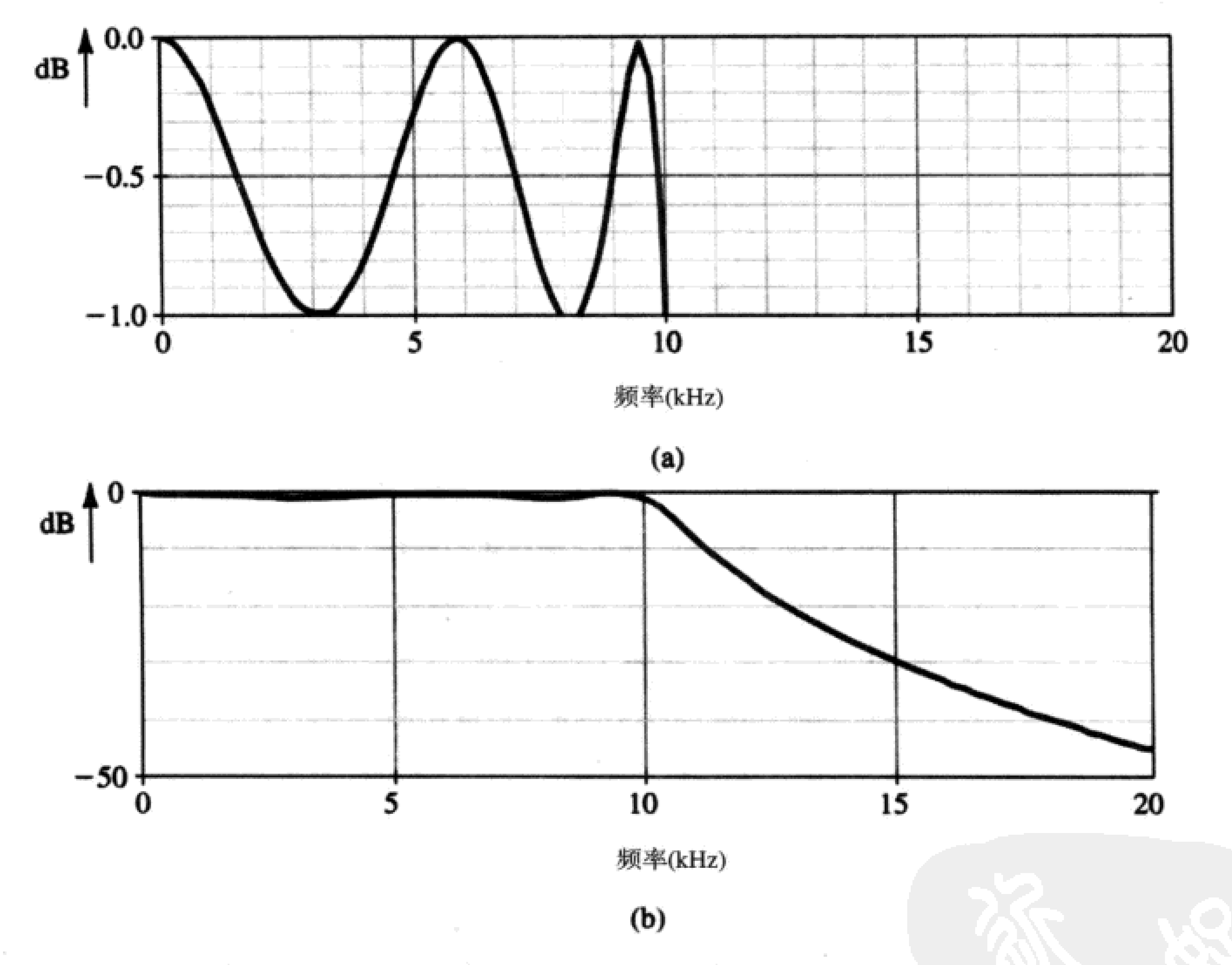


图 12.50 图 12.49 所示的五阶低通滤波器的幅频响应：（a）通带内的扩展波形；（b）通带和阻带内的完整波形 ■

例题 12.6 分析运算放大器有限带宽对双积分环滤波器性能的影响

在这个例子中，我们将讨论实际运算放大器的有限带宽对双积分环滤波器频响的影响。电路采用的是图 12.25（b）所示的 Tow-Thomas 双二次电路。该电路被设计为可提供 $f_0 = 10$ kHz、$Q = 20$、中心频率增益等于 1 的通带频响。使用的运算放大器为 741 型。具体而言，对运算放大器单时间常数线性网络的端口特性所建立的模型如图 12.51 所示。由于这里进行的分析都是小信号（交流）分析，因而忽略了非线性特性，即运算放大器的宏模型中没有包含非线性特性（如果需要考

虑运算放大器的非线性特性，必须进行瞬态分析）。以下的参数是图 12.51 所示的运算放大器宏模型要用到的：

$$R_{id} = 2\ \text{M}\Omega \qquad R_{icm} = 500\ \text{M}\Omega \qquad R_o = 75\Omega$$
$$G_m = 0.19\ \text{mA/V} \quad R_b = 1.323\times10^9\ \Omega \quad C_b = 30\ \text{pF}$$

741 型运算放大器特定的输入输出电阻值产生了以上这些参数值。它们还进一步提供了直流增益 $A_0 = 2.52\times10^5$ V/V，3 dB 带宽 4 Hz，这些参数也与 741 型运算放大器的值相同。注意，选择 G_m，R_b 和 C_b 的值并不重要，只要满足 $G_mR_b = A_0$ 和 $C_bR_b = 1/2\pi f_b$ 即可。

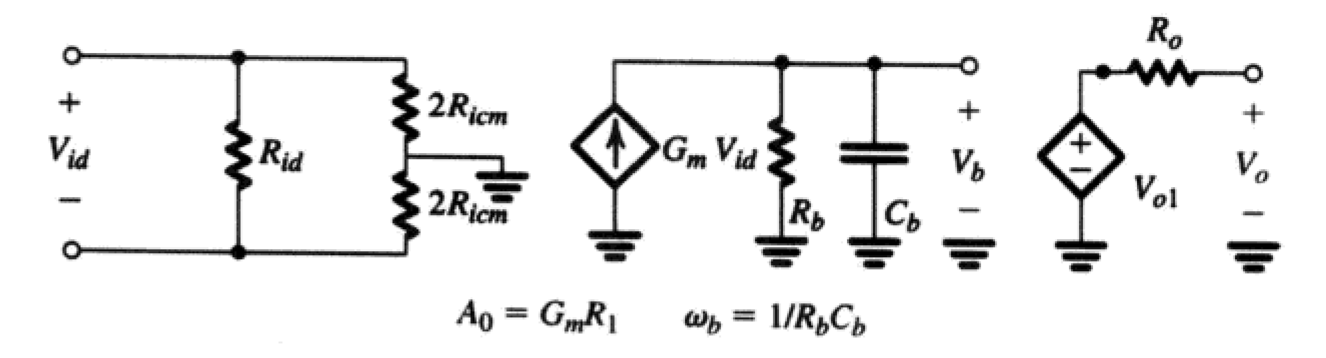


图 12.51　工作在线性区域的运算放大器的单极点宏模型

需要仿真的 Tow-Thomas 电路如图 12.52 所示。电路进行两种情况下的 PSpice 仿真：（1）假设运算放大器是 741 型的，其线性宏模型如图 12.51 所示；（2）假设运算放大器是理想的，直流增益 $A_0 = 10^6$ V/V，使用图 12.49 所示的近似理想的模型。两种情况下的滤波器输入都是 1 V 的交流信号，仿真的频率范围从 8 kHz 到 12 kHz，分别画出输出电压幅度对频率的波形。

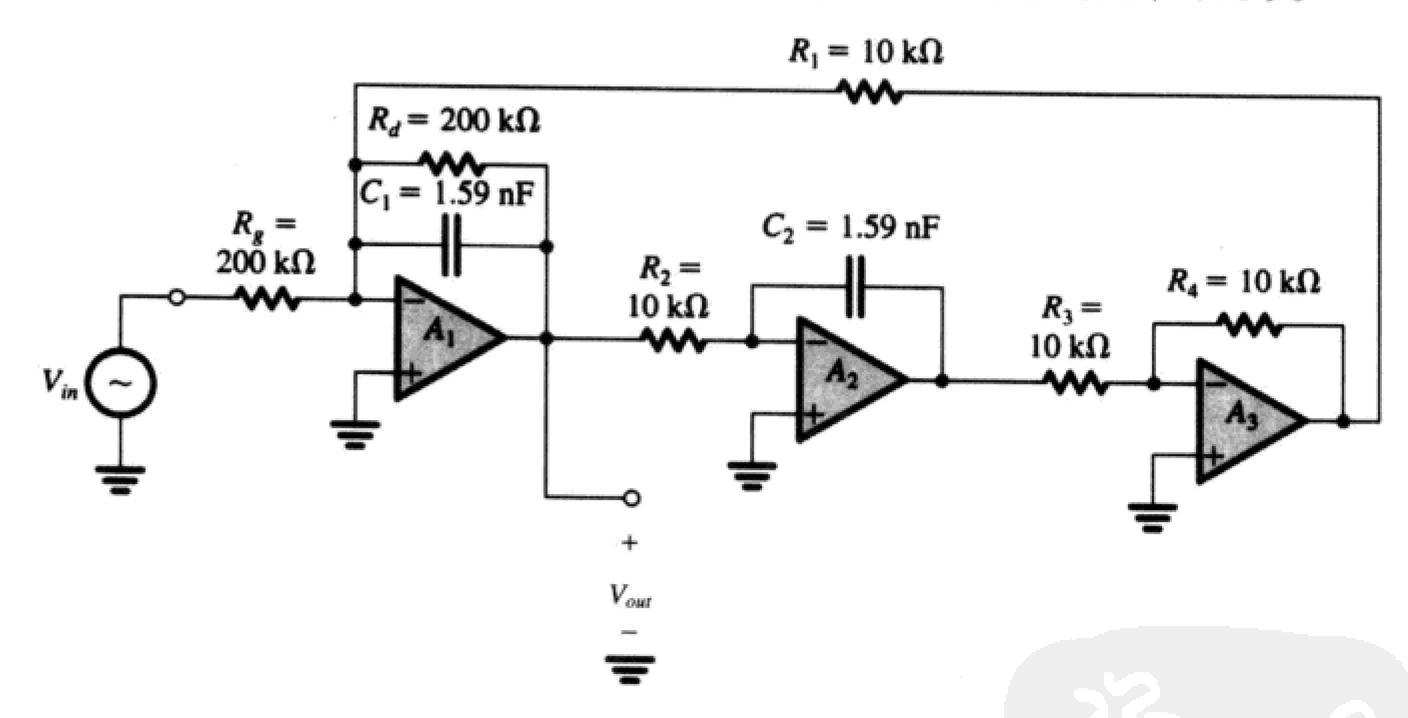


图 12.52　例题 12.6 的电路。采用 Tow-Thomas 双二次电路实现二阶带通滤波器，$f_0 = 10$ kHz，$Q = 20$，中心频率增益为 1

仿真结果如图 12.53 所示，从中可以发现，采用 741 型运算放大器和理想运算放大器得到的滤波器性能具有明显差别。具体而言，采用实际运算放大器的滤波器的中心频率偏移了−100 Hz，3 dB 带宽也从 500 Hz 降到大约 110 Hz，因此实际上 Q 值从理想值 20 上升到了 90 左右。这种现象称为 Q 增强，在分析双积分环双二次电路时曾被预测到，如果运算放大器带宽是有限的，Q 会增加［参见 Sedra 和 Brackett（1978）］。分析表明，Q 增强的原因是运算放大器的有限带宽引入了滞后的附加相移，如果在反馈环路中引入超前相移，就可以补偿 Q 增强效应。只要在电阻 R_2 边上串接一个小电容 C_c 即可实现补偿。为了分析该补偿技术是否可行，我们变换电容 C_c 的值，重

复进行 PSpice 仿真，仿真结果如图 12.54（a）所示。补偿电容从 0 pF 开始增加，滤波器的 Q 值和谐振峰值都向理想值靠近，但补偿电容 $C_c = 80$ pF 时曲线偏离理想情况比较严重，所以最优的补偿电容值应该在 60 pF 到 80 pF 之间。采用 PSpice 做进一步仿真，得到最优的补偿电容值为 64 pF，相应的频响特性如图 12.54（b）所示，我们注意到，虽然 Q 值基本降到了设计值，但是中心频率仍有偏移，这里我们不再对此做更深入的研究，因为我们的目的不是对双积分环双二次电路的设计进行讨论，而是通过对有源滤波器非理想性能的讨论熟悉 SPICE 的应用。

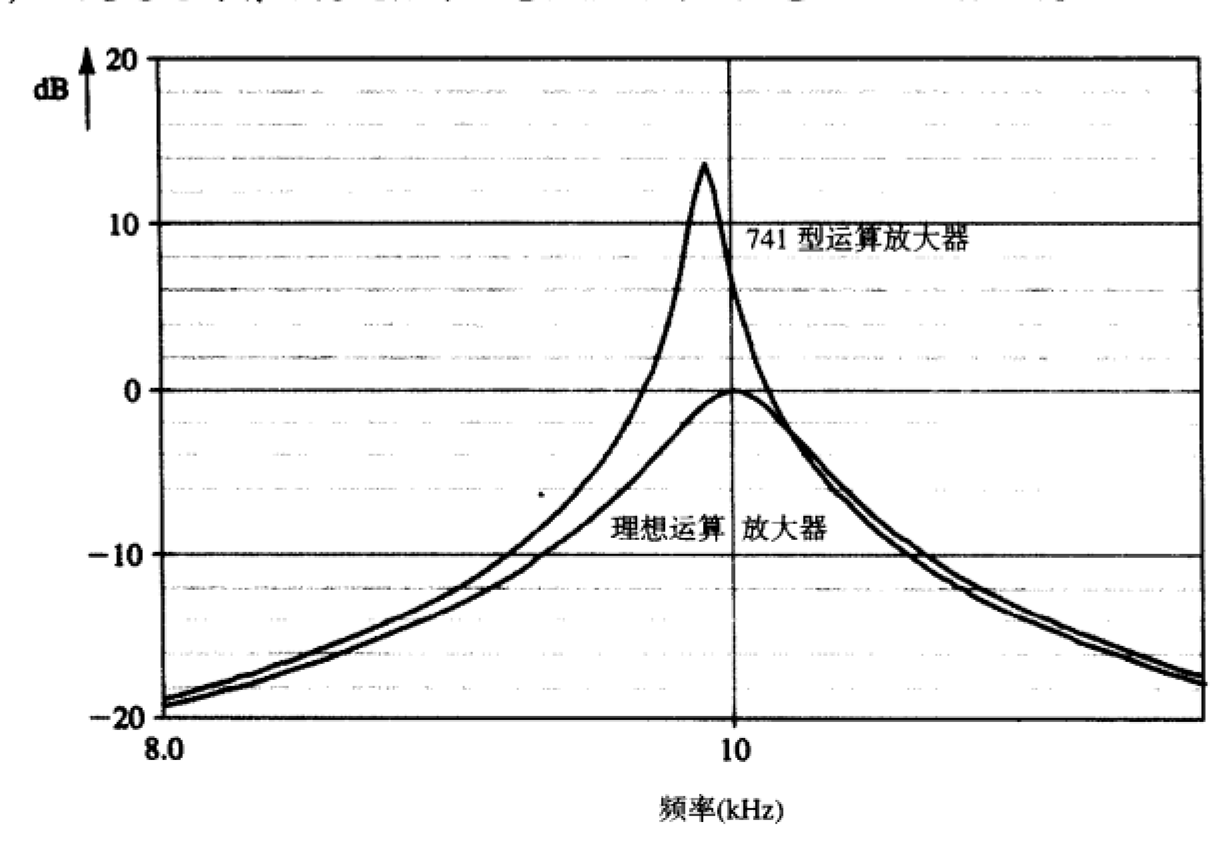
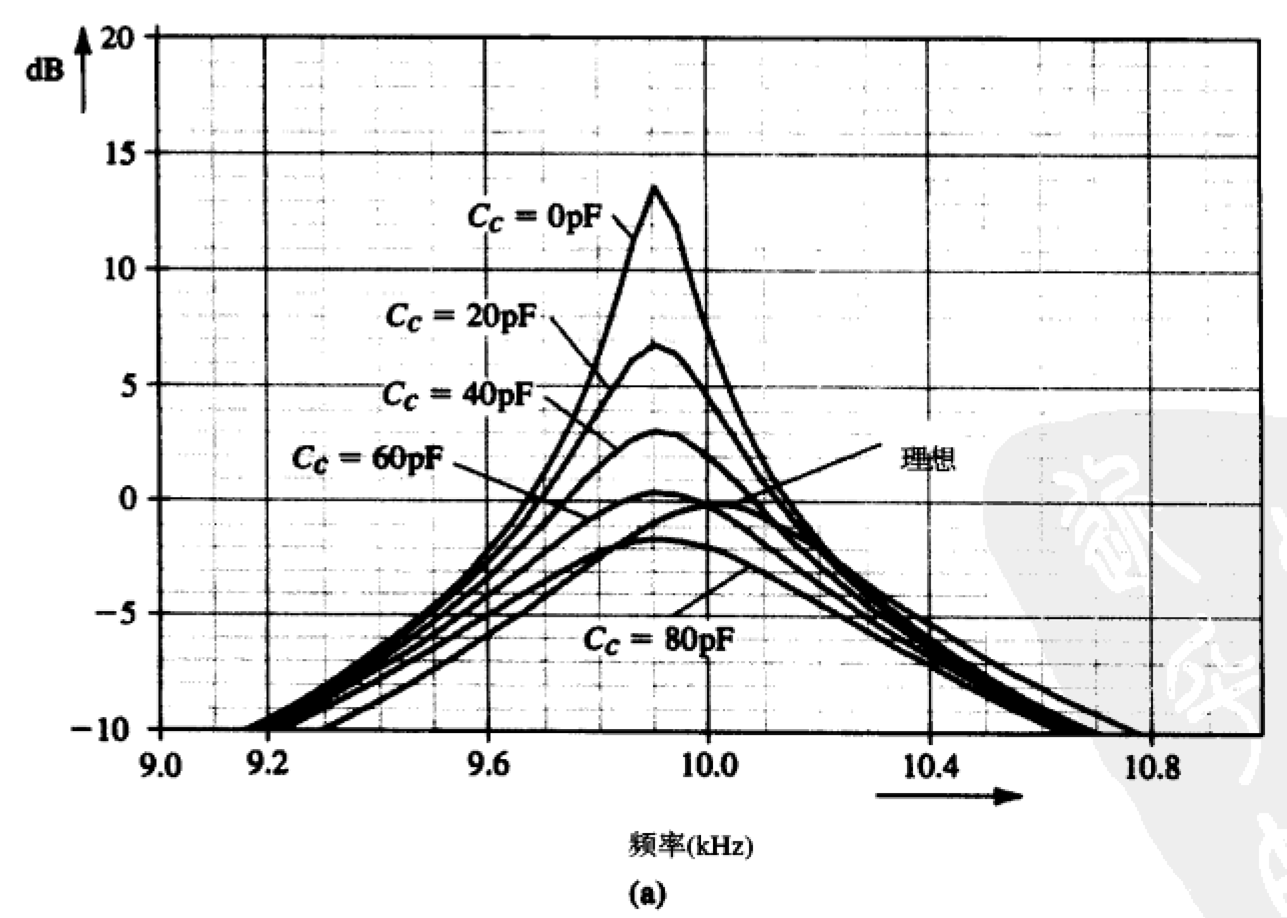
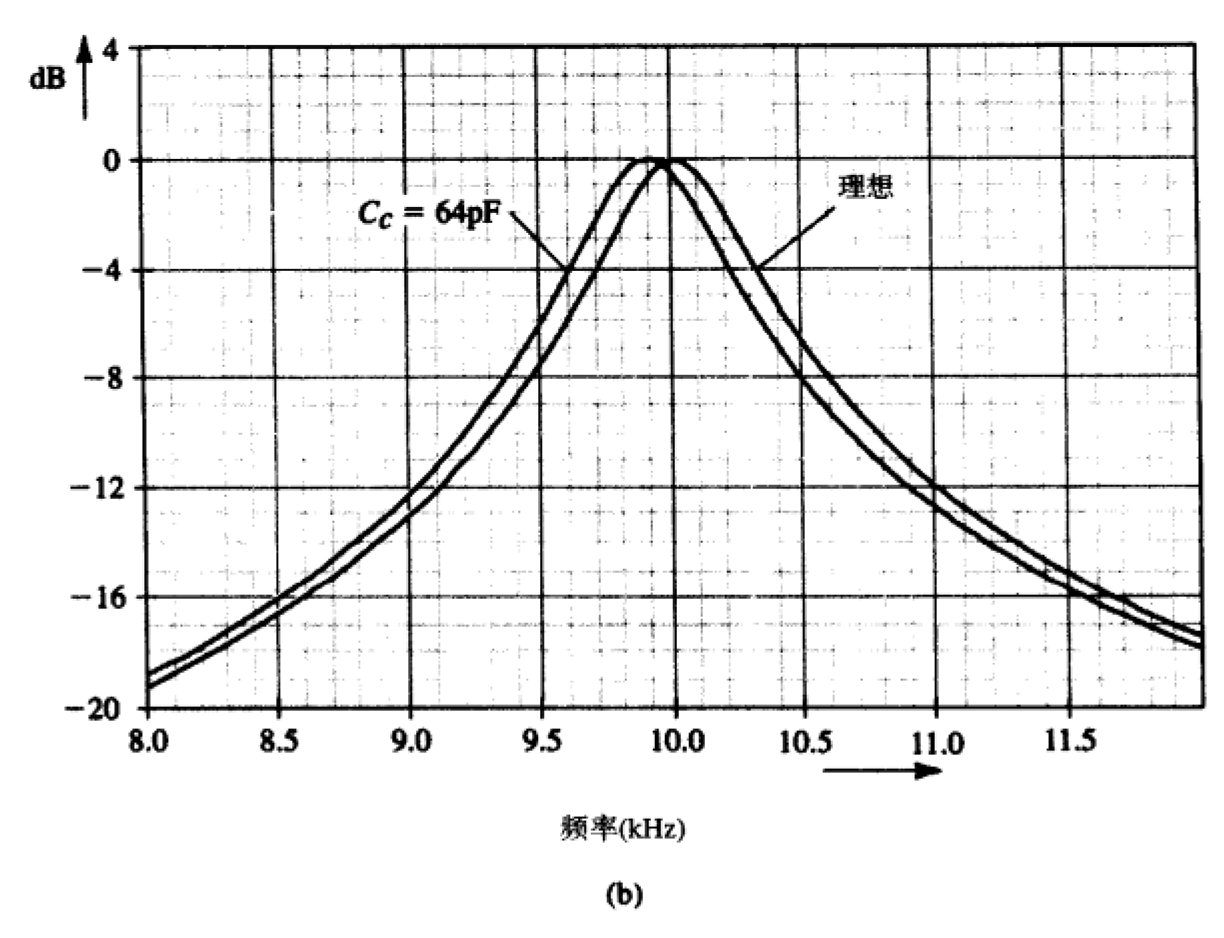


图 12.53　采用 741 型运算放大器实现的 Tow-Thomas 双二次电路的幅频响应和理想幅频响应的比较。结果表明，741 型运算放大器的有限直流增益和有限带宽对 Tow-Thomas 双二次电路幅频特性有影响



(a)

图 12.54　（a）不同补偿电容的 Tow-Thomas 双二次电路的幅频响应，为便于比较，理想幅频特性也画在图中



(b)

图 12.54（续）（b）采用 64 pF 补偿电容的 Tow-Thomas 双二次电路幅频响应和理想幅频响应的比较 ■

小结

- 滤波器电路是一个线性二端口网络，其传输函数为 $T(s) = V_o(s)/V_i(s)$。在物理频率上，滤波器的传输特性可以表示为 $T(j\omega)=|T(j\omega)|e^{j\phi(\omega)}$。幅频特性既可以用分贝（dB）形式的增益函数 $G(\omega)\equiv 20\log|T|$ 表示，也可以用分贝形式的衰减函数 $A(\omega)\equiv -20\log|T|$ 表示。
- 滤波器的传输特性可以用通带和阻带的边界来表征：通带传输允许的最大偏差为 A_{max}（dB），阻带最小衰减为 A_{min}（dB）。有些应用场合还需要对相频特性进行规范。
- 滤波器传输函数可以表示成 s 的两个多项式的比值。分母多项式的次数是 N，也是滤波器的阶数。分母多项式的 N 个根就是极点（自然模式）。
- 为了得到高选择性的响应，极点应该是复数，而且是成对出现的（除了 N 是奇数的情况，有实数极点）。零点应该位于包括 $\omega = 0$ 和 $\omega = \infty$ 的阻带内的 $j\omega$ 轴上。
- 巴特沃斯滤波器逼近实现了在 $\omega = 0$ 处的最大平坦低通特性。当 ω 增加时，传输特性单调下降，在 $\omega = \infty$ 处下降至 0（无限衰减），所有 N 个传输零点都位于 $\omega = \infty$ 处。式（12.11）给出了 $|T|$，其中的 ϵ 由式（12.14）确定，阶数 N 由式（12.15）确定。极点频率根据图 12.10 所示的分布结构确定，传输函数由式（12.16）确定。
- 切比雪夫滤波器逼近实现了通带内的等波纹传输和阻带内的单调下降传输。所有的传输零点均位于 $s = \infty$。式（12.18）给出通带内的 $|T|$，式（12.19）给出阻带内的 $|T|$，其中 ϵ 的值由式（12.21）确定，阶数 N 由式（12.22）确定，极点频率由式（12.23）确定，传输函数由式（12.24）确定。
- 有关一阶滤波器函数及其电路实现的总结参见图 12.13 和图 12.14。
- 7 种典型的滤波器函数的特性参见图 12.16。
- 图 12.17（a）所示的 LCR 谐振器实现了一对共轭复数极点，其频率为 $\omega_0 = 1/\sqrt{LC}$，品质因数

$Q=\omega_0 CR$。该谐振器可以实现图 12.18 中的各种二阶滤波器函数。

- 采用图 12.20（a）所示的电感模拟 Antoniou 电路替换 LCR 谐振器中的电感，便可得到图 12.21（b）所示的运算放大器 RC 谐振器。该电路可以实现图 12.22 所示的各种二阶滤波器函数。电路设计公式见表 12.1。
- 基于双积分环结构的双二次电路是电路变换最多、使用最普遍的二阶滤波器电路实现形式。有两种电路形式：一种是图 12.24（a）所示的 KHN 电路，它可以实现 LP，BP 和 HP 功能，而且可以将它们各自的输出端接到图 12.28（b）所示的加法电路上，实现陷波函数和全通函数的功能；另一种是图 12.25（b）所示的 Tow-Thomas 电路，它可以实现 BP 和 LP 的功能。在 Tow-Thomas 中加上前馈电路便可得到如图 12.26 所示的电路，它可以实现任何二阶函数的功能（参见表 12.2）。
- 单级放大双二次电路（SAB）是在运算放大器的反馈回路上放置桥 T 网络而得到的电路。如果运算放大器是理想的，实现的极点位置和 RC 网络的零点位置相同。在反馈回路上进行互补变换可以得到另外一个反馈环，它们有相同的极点。输入信号接在电路与地相连的节点处可以得到不同的电路传输零点。SAB 电路对运算放大器的使用很经济，但对运算放大器的非理想特性较敏感，从而限制了其在低 Q 值情况下的应用（$Q \leqslant 10$）。
- 经典灵敏度函数($S_x^y = \frac{\partial y/y}{\partial x/x}$)是一个非常有用的工具，它可以用来分析滤波器电路对元件参数值的容忍度以及对运算放大器非理想特性的容忍度，实际元件参数值与设计值之间的偏差是不可避免的。
- 开关电容（SC）滤波器基于这样的原理：一个位于电路两节点之间的电容在周期性高频 f_c 信号作用下，其功能和一个电阻相同，该电阻阻值为 $R = 1/Cf_c$。SC 滤波器采用 CMOS 集成工艺可以实现单片集成。
- 调谐放大器采用 LC 谐振回路作为负载，或者接在晶体管放大器的输入端。它们主要应用在通信接收机的 RF 调谐器和 IF 放大器的电路设计中。Cascode 和 CC-CB 级联组态在调谐放大器设计中经常被用到。参差调谐各单级调谐放大器可以得到比较平坦的通带响应（和所有各级同步调谐的电路相比较）。

习题

12.1 节：滤波器传输、分类和规范

12.1　一阶低通滤波器函数（比如由 RC 电路实现）可以表示成 $T(s) = \omega_0/(s + \omega_0)$，其中$\omega_0$是滤波器的 3 dB 带宽。用表格形式给出参数$|T|$，$\phi$，$G$，$A$ 在以下特定频率点上的值：$\omega=0$，$0.5\omega_0$，ω_0，$2\omega_0$，$5\omega_0$，$10\omega_0$，$100\omega_0$。

*12.2　一个滤波器的传输函数为$T(s)=1/[(s+1)(s^2+s+1)]$，证明$|T|=\sqrt{1+\omega^6}$ 并写出相位函数$\phi(\omega)$的表达式。计算$\omega=0.1$ rad/s，1 rad/s，10 rad/s 时的$|T|$和ϕ的值，然后求对应于以下输入信号的输出信号：

（a）$2\sin 0.1t$ (V)

（b）$2\sin t$ (V)

（c）$2\sin 10\,t$ (V)

12.3　滤波器的幅频响应如图 12.3 所示，求$\omega=0$，$\omega=\omega_p$ 和$\omega=\omega_s$ 时的$|T|$。其中，$A_{max}=0.5$ dB，$A_{min}=40$ dB。

D12.4 一个低通滤波器要求在通带内传输信号，通带范围为 0~4 kHz，传输波动不超过 10%（即通带内的最大和最小传输的比值不超过 1.1）。阻带范围从 5 kHz 到 ∞，阻带传输不超过通带传输最大值的 0.1%，求 A_{max} 和 A_{min} 的值，以及滤波器的选择性因子。

12.5 一个低通滤波器的规范参数是 $A_{max} = 1$ dB，$A_{min} = 10$ dB。我们发现单时间常数的 RC 电路能够满足滤波器的规范要求，该 RC 电路的时间常数是 1 s，直流增益是 1。则该滤波器的 ω_p 和 ω_s 必须是多少？选择性因子是多少？

12.6 规范高通滤波器的参数并画出传输特性。$f \geqslant 2$ kHz 定义为滤波器的通带，$f \leqslant 1$ kHz 定义为滤波器的阻带，$A_{max} = 0.5$ dB，$A_{min} = 50$ dB。

12.7 规范带阻滤波器的参数并画出传输特性。$0 \leqslant f \leqslant 10$ kHz 和 $20\text{ kHz} \leqslant f \leqslant \infty$ 定义为滤波器的通带，且 $A_{max} = 1$ dB。阻带的范围从 $f = 12$ kHz 到 $f = 16$ kHz，最小衰减为 40 dB。

12.2 节：滤波器传输函数

12.8 考虑一个五阶低通滤波器，其所有极点均位于半径为 10^3 rad/s 的圆上。其中一对共轭极点和 $j\omega$ 的夹角为 $18°$，另一对零点的夹角为 $54°$。求满足下列情况的传输函数：

（a）所有的传输零点均位于 $s = \infty$，直流增益为 1。

（b）所有的传输零点均位于 $s = 0$，高频增益为 1。

每种情况下的滤波器各是何种类型的？

12.9 一个三阶低通滤波器具有位于 $\omega = 2$ rad/s 和 $\omega = \infty$ 处的零点，它的极点位于 $s = -1$ 和 $s = -0.5 \pm j0.8$ 处，直流增益为 1，求传输函数 $T(s)$。

12.10 求一个带通滤波器的阶数 N 和传输函数 $T(s)$。滤波器的传输零点如下：一个位于 $\omega = 0$，一个位于 $\omega = 10^3$ rad/s，一个位于 $\omega = 3\times10^3$ rad/s，一个位于 $\omega = 6\times10^3$ rad/s，一个位于 $\omega = \infty$。如果滤波器在通带内是单调下降的，且峰值出现在频率等于 2×10^3 rad/s 处，阻带内等波纹传输。画出 $|T|$ 的波形。

*12.11 分析图 P12.11 所示的 RLC 电路，确定其传输函数 $V_o(s)/V_i(s)$ 以及零点和极点。（提示：从输出端开始分析到输入端。）

图 P12.11

12.3 节：巴特沃斯与切比雪夫滤波器

D12.12 确定巴特沃斯滤波器的阶数 N，其传输特性为：$A_{max} = 1$ dB，$A_{min} \geqslant 20$ dB，选择性因子 $\omega_s/\omega_p = 1.3$。实际的阻带衰减最小值是多少？如果 A_{min} 正好等于 20 dB，A_{max} 可以降到何值？

12.13 计算七阶巴特沃斯滤波器在频率等于 3 dB 频率的 1.6 倍处的衰减值。

12.14 求五阶巴特沃斯滤波器的极点频率，已知 1 dB 带宽是 10^3 rad/s，$N = 5$。

D12.15 设计一个巴特沃斯滤波器，要求其满足以下低通滤波器的规范：$f_p = 10$ kHz，$A_{max} = 2$ dB，$f_s = 15$ kHz，$A_{min} = 15$ dB，求阶数 N、极点频率和传输函数 $T(s)$。在 20 kHz 处的衰减是多少？

*12.16 画出七阶低通切比雪夫滤波器的传输特性 $|T|$。已知滤波器的 $\omega_p = 1$ rad/s，$A_{max} = 1$ dB。利用式（12.18）确定 $|T| = 1$ 时的 ω 值和 $|T| = \sqrt{1+\epsilon^2}$ 时的 ω 值并在图中标明这些值。利用式（12.19）确定 $\omega = 2$ rad/s 时的 $|T|$ 值，并在图中标明。当 ω 取值很大时，传输特性下降的速度（用 dB/二倍频程表示）是多少？

12.17 比较相同阶数的巴特沃斯滤波器和切比雪夫滤波器在 $\omega_s = 2\,\omega_p$ 处的衰减，两个滤波器的 A_{max}=1 dB。在同一坐标系上画出两个滤波器的 $|T|$ 特性。

D*12.18 设计一个低通滤波器，要求满足下列规范：$f_p = 3.4\text{ kHz}$，$A_{max} = 1\text{ dB}$，$f_s = 4\text{ kHz}$，$A_{min} = 35\text{ dB}$。

（a）求切比雪夫滤波器的阶数，超过规范（35 dB）的阻带衰减数值是多少？

（b）求极点和传输函数。

12.4 节：一阶和二阶滤波器函数

D12.19 利用图 12.13 提供的信息设计一阶运算放大器 RC 低通滤波器，其 3 dB 频率为 10 kHz，直流增益的幅度是 10，输入电阻为 10 kΩ。

D12.20 利用图 12.13 提供的信息设计一阶运算放大器 RC 高通滤波器，其 3 dB 频率为 100 Hz，高频输入电阻为 100 kΩ，高频增益幅度为 1。

D*12.21 利用图 12.13 提供的信息设计一阶运算放大器 RC 频谱整形网络，它有一个 1 kHz 的传输零点，有一个 100 kHz 的传输极点，低频输入电阻是 1 kΩ，得到的高频增益是多少？画出传输函数的幅频特性曲线。

D*12.22 把一个一阶运算放大器 RC 低通电路和一个一阶运算放大器 RC 高通电路级联在一起，可以得到一个宽带的带通滤波器。假设滤波器的中频增益是 12 dB，3 dB 带宽从 100 Hz 到 10 kHz。求电路的元件参数，要求采用的电阻值不超过 100 kΩ，输入电阻要尽可能大。

D12.23 推导图 12.14 所示运算放大器 RC 电路的 $T(s)$。我们希望该电路成为一个可变移相器，即调整电阻 R 的值可以改变相移值。假如输入信号的频率是 10^4 rad/s，电容 $C = 10\text{ nF}$，求电阻 R 的值，使其能够实现以下的相移值：$-30°$，$-60°$，$-90°$，$-120°$，$-150°$。

12.24 证明交换图 12.14 所示运算放大器 RC 电路的 R 和 C，得到的电路的相移范围为 0 到 $180°$（高频是 0，低频是 $180°$）。

12.25 利用图 12.16（a）提供的信息求二阶低通滤波器的传输函数，已知 $\omega_0 = 10^3\text{ rad/s}$，$Q=1$，直流增益为 1。$|T|$ 取得峰值时的频率为多少？传输的峰值是多少？

D***12.26 利用图 12.16（a）提供的信息求二阶低通滤波器的传输函数，它满足图 12.3 所示的规范定义，$\omega_p = 1\text{ rad/s}, A_{max} = 3\text{ dB}$。注意有两组解，求每一组解的 ω_0 和 Q。如果 $\omega_s = 2\text{ rad/s}$，求每组解的 A_{min}。

D**12.27 把两个一阶运算放大器 RC 全通电路级联起来，得到的电路可以提供一组三相 60 Hz 的电压信号，每一个电压之间的夹角均为 $120°$，幅度相等，如图 P12.27 所示。该电压可以模拟三相电力传输系统。使用 1 μF 的电容。

12.28 利用图 12.16（b）提供的信息求二阶高通滤波器的传输函数，其极点为 $-0.5 \pm j\sqrt{3}/2$，高频增益为 1。

D**12.29（a）证明二阶带通滤波器的 $|T|$ 关于中心频率 ω_0 几何对称。也就是说，幅度相等的一对频率 ω_1 和 ω_2 有 $|T(j\omega_1)| = |T(j\omega_2)|$，则两个频率之间满足 $\omega_1\omega_2 = \omega_0^2$。

（b）求二阶带通滤波器的传输函数，它满足图 12.4 所示的设计规范，$\omega_{p1} = 8100\text{ rad/s}, \omega_{p2} = 10\,000\text{ rad/s}$，

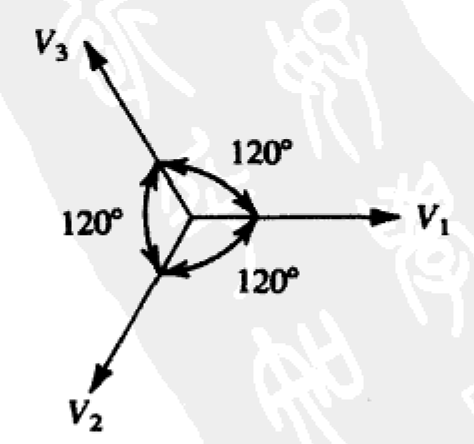


图 P12.27

$A_{max} = 1\,dB$。如果 $\omega_{s1} = 3000\,rad/s$，求 A_{min} 和 ω_{s2}。

D*12.30 利用练习 12.15 的结论，求陷波滤波器的传输函数，希望该滤波器能去除 60 Hz 的干扰信号。由于干扰信号不稳定，所以要求滤波器可在中心频率 60 Hz 附近的 6 Hz 范围内达到 20 dB 以上的衰减。直流传输增益为 1。

12.31 考虑一个二阶全通滤波器电路，因为元件参数值的不精确导致零点频率略低于极点频率，大致画出 $|T|$ 的波形。重复完成零点频率略高于极点频率的求解。

12.32 考虑一个二阶全通滤波器电路，因为元件参数值的不精确导致零点的 Q 值略高于极点的 Q 值，大致画出 $|T|$ 的波形。重复完成零点的 Q 值略低于极点 Q 值的求解。

12.5 节：二阶 LCR 谐振器

D12.33 设计图 12.17（a）所示的 LCR 谐振器电路，得到 $\omega_0 = 10^4\,rad/s$，$Q = 2$。采用 10 kΩ的电阻。

12.34 求图 12.17（a）所示 LCR 电路在下列参数变化时 ω_0 的变化：

（a）L 增加 1%

（b）C 增加 1%

（c）R 增加 1%

12.35 推导图 12.18（c）所示高通电路的传输函数表达式 $V_o(s)/V_i(s)$。

D12.36 利用图 12.18（b）所示的电路设计一个低通滤波器，其 $\omega_0 = 10^5\,rad/s$，$Q = 1/\sqrt{2}$，电容采用 0.1μF。

D12.37 修改图 12.18（d）所示的带通滤波器电路，在不改变 ω_0 和 Q 的情况下使中心频率增益从 1 变化到 0.5。

12.38 考虑图 12.17（a）所示的 LCR 谐振器，断开与地相连的节点 x，y 和 z，分别接输入信号源 V_x、V_y 和 V_z。采用叠加原理求谐振器的输出电压 V_o 的表达式，用 V_x，V_y 和 V_z 表示。

12.39 考虑图 12.18（i）的陷波电路，求 L_1 和 L_2 的比值，使得陷波出现在 $0.9\omega_0$ 处，并求此情况下的两个传输幅度：$f << \omega_0$；$f >> \omega_0$。

12.6 节：基于电感替代的二阶有源滤波器

D12.40 设计图 12.20 所示的电路（选择合适的元件参数），实现的电感量分别为：（a）10 H；（b）1 H；（c）0.1 H。

*12.41 假设运算放大器是理想的，推导图 12.22（a）所示电路的传输函数。

D*12.42 要求设计一个五阶巴特沃斯滤波器，其 3 dB 带宽是 10^4 rad/s，直流增益为 1。采用两个图 12.22（a）所示的二阶电路和一个图 12.13（a）所示的一阶运算放大器 RC 电路级联，求合适的元件参数。

D12.43 设计图 12.22（e）所示电路，实现 LPN 函数功能，其 $f_0 = 4\,kHz$，$f_n = 5\,kHz$，$Q = 10$，直流增益等于 1，选用的 $C_4 = 10\,nF$。

D12.44 设计图 12.22（g）所示的全通电路，使得 $f = 1\,kHz$ 时电路产生180° 的相移，$Q = 1$。选用 1 nF 的电容。

12.45 考虑图 12.20（a）所示的 Antoniou 电路，去掉电阻 R_5，在节点 1 和地之间接入电容 C_6，电压源 V_2 与节点 2 相连，证明此时从输入端 V_2 视入的等效阻抗等于 $R_2/s^2C_4C_6R_1R_3$。在物理频率（$s = j\omega$）上，输入阻抗的物理意义是什么？（输入阻抗是一个频率相关的负阻，即 FDNR。）

D12.46 利用表 12.1 给出的 LPN 传输函数推导给出的设计公式。

D12.47 利用表 12.1 给出的 HPN 传输函数推导给出的设计公式。

D**12.48 要求设计一个三阶低通滤波器，其$|T|$在通带和阻带内均等波纹传输（如同图12.3，不同的是 $N=5$）。通带范围从 $\omega=0$ 到 $\omega=1\ \text{rad/s}$，通带传输的波动在 1 和 0.9 之间，阻带边界是 $\omega=1.2\ \text{rad/s}$。利用滤波器设计表得到如下的传输函数：

$$T(s)=\frac{0.4508(s^2+1.6996)}{(s+0.7294)(s^2+s0.2786+1.0504)}$$

实际滤波器需要实现的是 $\omega_p=10^4\ \text{rad/s}$。

（a）将 s 用 $s/10^4$ 代入，得到实际滤波器的传输函数。

（b）具体电路的实现是将图 12.13（a）所示的运算放大器 RC 低通电路和图 12.22（e）所示的二阶 LPN 电路级联在一起，每一级的直流增益均等于 1，选择合适的元件参数。（注意：一个在通带和阻带内均具有等波纹传输特性的滤波器称为椭圆滤波器。）

12.7 节：基于双积分环结构的二阶有源滤波器

D12.49 设计图 12.24（a）所示的 KHN 电路，实现带通滤波器的功能，其中心频率为 1 kHz，3 dB 带宽是 50 Hz。使用 10 nF 的电容，求完整的滤波器电路及各元件值。中心频率增益是多少？

D12.50 （a）证明图 12.24（b）所示带输出加法器的 KHN 双二次电路能够实现全通函数的功能，条件是要选择 $R_L=R_H=R_B/Q$。另外证明其平坦增益等于 KR_F/R_H。

（b）设计一个全通电路，使得 $\omega_0=10^4\ \text{rad/s}$，$Q=2$，平坦增益等于 10。选择合适的元件参数值。

D12.51 采用带输出加法器的 KHN 双二次电路实现陷波函数的功能，其 $\omega_n=\omega_0$。如果加法器电阻存在 1%的容差，求 ω_n 和 ω_0 的最大偏差。

D12.52 设计图 12.26 所示的电路实现低通陷波函数的功能，其 $\omega_0=10^4\ \text{rad/s}$，$Q=10$，$\omega_n=1.2\times10^4\ \text{rad/s}$，直流增益等于 1。使用的元件参数为：$C=10\ \text{nF}$，$r=20\ \text{k}\Omega$。

D12.53 采用图 12.26 所示的电路实现全通函数的功能，调整哪些参数只会对（a）ω_z 或（b）Q_z 产生影响？

D**12.54 电路采用图 12.26 所示的 Tow-Thomas 双二次电路，重复习题 12.48，完成级联二阶电路部分的设计。

12.8 节：带单级放大的双二次有源滤波器

D12.55 设计图 12.29 所示的电路实现一对极点：$\omega_0=10^4\ \text{rad/s}$，$Q=1/\sqrt{2}$。采用的电容 $C_1=C_2=1\ \text{nF}$。

12.56 考虑图 12.28（a）所示的桥 T 网络，其中 $R_1=R_2=R$，$C_1=C_2=C$，时间常数 $CR=\tau$。求桥 T 网络的零点和极点。如果将该网络放置在理想且增益无限的运算放大器的负反馈回路上，如图 12.29 所示，求闭环放大器的极点。

*12.57 考虑图 12.28（b）所示的桥 T 网络，令 $R_1=R_2=R, C_4=C, C_3=C/16$。将该网络放置于增益为无限的运算放大器的负反馈回路上，并断开 C_4 与地相连的节点，接至输入信号源 V_i。分析得到的电路，求传输函数 $V_o(s)/V_i(s)$，其中 $V_o(s)$是运算放大器的输出电压。证明电路实现的是带通滤波器的功能，并求 ω_0，Q 和中心频率增益。

D**12.58 考虑图 12.30 所示的带通电路，令 $C_1 = C_2 = C, R_3 = R, R_4 = R/4Q^2, CR = 2Q/\omega_0$，及 $\alpha = 1$。断开运算放大器与地相连的同相输入端，接至由 R_1 和 R_2 构成的输入分压电路，对电路进行分析并求传输函数 V_o/V_i。求电压分压比 $R_2/(R_1+R_2)$，使得电路实现：（a）全通函数；（b）陷波函数。假设运算放大器是理想的。

D*12.59 假设运算放大器是理想的，推导图 12.33（b）所示电路的传输函数。证明电路实现的是高通函数的功能，并求电路的高频增益。设计一个电路，使得该电路具有最大平坦响应，3 dB 带宽是10^3rad/s，采用的电容为 $C_1 = C_2 = 10$ nF。（提示：对最大平坦响应，有 $Q = 1/\sqrt{2}$，$\omega_{3dB} = \omega_0$。）

D*12.60 设计一个五阶的巴特沃斯滤波器，电路采用两级 Sallen 和 Key 电路［见图 12.34（c）］和一级一阶电路［见图 12.13（a）］级联而成，要求滤波器的 3 dB 带宽是 5 kHz，直流增益是 1，所有电阻值均等于 10 kΩ。

12.61 交换输入节点和接地点可以得到互补的传输函数，其过程如图 12.31 所示，该方法可以应用于任何其他网络（不仅仅是 RC 网络）。证明：如果网络 n 是一个带通电路，中心频率增益为单位 1，经过互补变化后，得到的网络是一个陷波电路，并用图 12.18（d）和（e）所示的 RLC 电路为例，给予验证。

12.9 节：灵敏度

12.62 计算图 12.18（d）所示电路的灵敏度参数，即 ω_0 和 Q 对 R，L 和 C 的灵敏度。

*12.63 证明以下的灵敏度等式：

（a）如果 $y = uv$，则 $S_x^y = S_x^u + S_x^v$。

（b）如果 $y = u/v$，则 $S_x^y = S_x^u - S_x^v$。

（c）如果 $y = ku$，其中 k 是常数，则 $S_x^y = S_x^u$。

（d）如果 $y = u^n$，其中 n 是常数，则 $S_x^y = nS_x^u$。

（e）如果 $y = f_1(u)$，$u = f_2(x)$，则 $S_x^y = S_u^y \cdot S_x^u$。

*12.64 对图 12.33（b）所示的电路，求 ω_0 和 Q 对放大器增益 A 的灵敏度。

*12.65 对图 12.34（a）所示的反馈环，利用式（12.77）和式（12.78）确定 ω_0 和 Q 对所有无源元件的灵敏度，电路设计时有 $R_1 = R_2$。

12.66 对图 12.21（b）所示的运算放大器 RC 谐振器，利用表 12.1 的上面两行关于 ω_0 和 Q 的灵敏度表达式，确定 ω_0 和 Q 对所有电阻和电容的灵敏度。

12.10 节：开关电容滤波器

12.67 对图 12.35（b）所示的开关电容输入电路，若时钟信号的频率是 100 kHz，求电容 C_1 为 1 pF 和 10 pF 时的等效输入电阻值。

12.68 假设图 12.35（b）所示的输入电路接的是 1 V 的直流电压，电容 C_1 等于 1 pF，两相时钟信号的每一个周期里传输的电荷是多少？对 100 kHz 的时钟，从输入源得到的平均电流是多少？当反馈电容为 10 pF 时，每个周期内输出端的变化是多少？设运算放大器输出饱和电压等于± 10 V，反馈电容初始状态已完全放电，问经过几个周期运算放大器将达到饱和？产生的阶梯输出电压的平均斜率是多少？

D12.69 设时钟频率为 400 kHz，重复练习 12.31。

D12.70 设 $Q = 40$，重复练习 12.31。

D12.71 设计图 12.37（b）所示的电路，使得第二个（同相）积分器的输出满足最大平坦低通特

性，其$\omega_{3dB}=10^4\,\text{rad/s}$，直流增益等于1。使用的时钟频率$f_c=100\,\text{kHz}$，$C_1=C_2=10\,\text{pF}$。求$C_3$、$C_4$、$C_5$和$C_6$的值。（提示：对最大平坦特性，有$Q=1/\sqrt{2}$，$\omega_{3dB}=\omega_0$。）

12.11 节：调谐放大器

*12.72 共发射极 BJT 放大器的输入端接内阻$R_s=10\,\text{k}\Omega$的电压源。在基极和发射极之间接入一个LC谐振回路，$L=1\,\mu\text{H}$，$C=200\,\text{pF}$，晶体管偏置在1 mA电流上，$C_\pi=10\,\text{pF}$，$\beta=200$，$C_\mu=1\,\text{pF}$。晶体管的负载电阻是5 kΩ。求单调谐放大器的ω_0，Q和3 dB带宽以及中心频率增益。

12.73 一个线圈的电感是$10\,\mu\text{H}$，应用于1 MHz的频率附近，其品质因数是200，求等效并联电阻R_p。如果需要产生1 MHz的谐振频率，需要的电容量是多少？如果3 dB带宽要达到10 kHz，需要增加的并联电阻的阻值是多少？

12.74 考虑一个$36\,\mu\text{H}$的电感和一个1000 pF的电容谐振。如果电感在三分之一处抽头，而且并联了一个1 kΩ的电阻，求谐振器的f_0和Q。

*12.75 考虑接电感负载L的共发射极放大器，忽略r_o和r_x。证明：当$\omega C_\mu << 1/\omega L$时放大器的输入阻抗可以表示为

$$Y_{in}\simeq\left(\frac{1}{r_\pi}-\omega^2C_\mu Lg_m\right)+j\omega(C_\pi+C_\mu)$$

注意，输入阻抗的实部可能是负数，由此将导致振荡。

*12.76 （a）将$s=j\omega$代入二阶带通滤波器［见图12.16（c）］的传输函数$T(s)$。求$|T(j\omega)|$。对ω_0附近的ω［比如$\omega=\omega_0+\delta\omega=\omega_0(1+\delta\omega/\omega_0)$，有$\delta\omega/\omega_0<<1$，则$\omega^2\simeq\omega_0^2(1+2\delta\omega/\omega_0)$］，证明：当$Q>>1$时，

$$|T(j\omega)|\simeq\frac{|T(j\omega_0)|}{\sqrt{1+4Q^2(\delta\omega/\omega_0)^2}}$$

（b）利用（a）的结论，证明N级同步调谐放大器的3 dB带宽为

$$B=(\omega_0/Q)\sqrt{2^{1/N}-1}$$

**12.77 （a）利用这样的事实：当$Q>>1$时，在ω_0附近的二阶带通滤波器的响应等同于3 dB带宽为$\omega_0/2Q$的一阶低通滤波器的响应。证明：当$\omega=\omega_0+\delta\omega$且$\delta\omega<<\omega_0$时，带通响应为

$$|T(j\omega)|\simeq\frac{|T(j\omega_0)|}{\sqrt{1+4Q^2(\delta\omega/\omega_0)^2}}$$

（b）利用（a）的结论和式（12.110），设带通滤波器的3 dB带宽为B，构成N级同步调谐的放大器时，证明总传输函数由下式给出：

$$|T(j\omega)|_{\text{overall}}=\frac{|T(j\omega_0)|_{\text{overall}}}{[1+4(2^{1/N}-1)(\delta\omega/B)^2]^{N/2}}$$

（c）利用（b）的结论，求$N=1\sim5$时，在带宽$2B$时得到的衰减（用dB表示）。此外，求$N=1\sim5$时，30 dB带宽和3 dB带宽的比值。

*12.78 最大平坦参差调谐放大器推导选择性参数的过程如图12.48所示。

（a）设最大平坦低通（巴特沃斯）滤波器的 3 dB 带宽是 $B/2$，阶数为 N，则其幅频响应为

$$|T|=1\Big/\sqrt{1+\left(\frac{\Omega}{B/2}\right)^{2N}}$$

其中，$\Omega=\text{Im}(p)$是低通的频率域（在 12.3 节介绍关于巴特沃斯滤波器时给出了该表达式）。利用该表达式推导出 $\omega=\omega_0+\delta\omega$ 且 $\delta\omega<<\omega_0$ 时相应带通滤波器的关系式如下：

$$|T|=1\Big/\sqrt{1+\left(\frac{\delta\omega}{B/2}\right)^{2N}}$$

（b）利用（a）的结论，求 $N=1\sim5$ 时在带宽 $2B$ 时得到的衰减（用 dB 表示）。此外，求 $N=1\sim5$ 时 30 dB 带宽和 3 dB 带宽的比值。

**12.79 考虑一个六阶参差调谐带通放大器，其中心频率为ω_0，3 dB 带宽为 B。极点通过将如图 12.10（c）所示的三阶最大平坦低通滤波器的极点进行变换得到。求谐振电路的ω_0，Q 和 3 dB 带宽。



第13章　信号发生器与波形整形电路

引言

在设计电子电路系统时经常会用到一些标准的波形信号，比如正弦波、方波、三角波和脉冲等。用到这些信号的系统包括计算机和控制系统，它们需要用时钟脉冲信号实现同步；在通信系统中，用各种标准波形信号作为载波，承载信息；在测试和测量系统中，用各种标准信号测试和描述电子器件及电路的特性。本章将介绍信号发生器电路。

正弦波信号是使用最普遍的标准信号，它有两种明显不同的产生方法。第一种方法是13.1节到13.3节介绍的正反馈电路，它由放大器和LC或者RC选频网络组成正反馈环实现。产生的正弦波信号的幅度是受限制且可设置的，采用非线性技术由外加电路或者放大器件本身的非线性特性实现。除此以外，这些电路都利用了谐振现象产生正弦波，所以也称为线性振荡器。它的名字很清楚地将其与产生正弦波的第二种方法区分开来。第二种方法是通过对三角波进行合适的整形而得到正弦波。我们将在13.9节介绍波形整形电路。

产生方波、三角波、脉冲波等波形的电路统称为非线性振荡器，或者称为函数发生器，采用的电路模块称为多谐振荡器。多谐振荡器有三种：双稳态多谐振荡器（参见13.4节）、非稳态多谐振荡器（参见13.5节）和单稳态多谐振荡器（参见13.6节）。本章介绍的多谐振荡器采用的是运算放大器电路，便于在精密的模拟应用场合使用。多谐振荡器也可以采用第11章介绍的数字逻辑门实现。

产生方波和三角波的通用方法是连接双稳态多谐振荡器和运算放大器电路组成反馈环（参见13.5节），该电路的变换形式也较多。555计时器（参见13.7节）是一种经济实惠且容易获得的IC芯片，利用它可以得到同样功能的电路。本章还要介绍实现第3章介绍的整流功能的精密电路，但是这里的电路（参见13.9节）针对的是有精确性能要求的应用场合，比如仪表系统和波形发生器。最后以振荡器电路的SPICE仿真为例作为本章的结束。

13.1　正弦波振荡器的基本原理

本节介绍线性正弦波振荡器设计的基本原理。尽管叫做线性振荡器，但是电路中仍然有一些非线性形式的电路，用于完成对输出正弦信号幅度的控制。事实上，所有的振荡器基本上都是非线性电路。这使得分析和设计工作变得很复杂，因为人们不能直接应用变换（s 平面）方法完成电路的分析和设计。但是随着正弦波振荡器设计技术的发展，一般都分两个步骤来设计振荡器：第一步是线性的，直接采用反馈电路的频域分析法；第二步完成幅度的非线性控制。

13.1.1　振荡器反馈环

正弦波振荡器的基本组成是：运算放大器和选频网络连接成一个正反馈环，如图13.1的电路框图所示。实际振荡器是没有输入信号的，这里加上输入信号是为了便于说明原理。需要指出的是，它不同于图8.1所示的框图，这里的反馈输出信号 x_f 进行的是正号的相加运算，所以反馈增益为

$$A_f(s) = \frac{A(s)}{1 - A(s)\beta(s)} \tag{13.1}$$

注意，分母多项式中有负号。

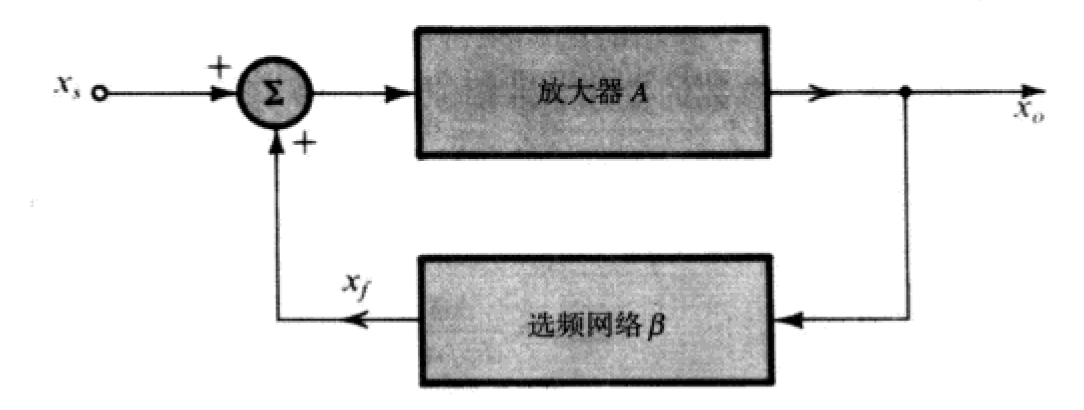


图 13.1　正弦波振荡器的基本结构。放大器和选频网络组成正反馈环。实际的振荡器电路没有输入信号，这里的输入信号 x_s 只是为了便于解释工作原理

根据第 8 章环路增益的定义，图 13.1 所示电路的环路增益是 $-A(s)\beta(s)$。然而就我们现在的分析而言，以下略去负号的环路增益 $L(s)$的定义方式更便于分析：

$$L(s) \equiv A(s)\beta(s) \tag{13.2}$$

因此特性方程变为

$$1 - L(s) = 0 \tag{13.3}$$

注意，新的环路增益的定义直接与图 13.1 所示反馈环的实际增益相关①。

13.1.2　振荡判定条件

如果在特定频率 f_0 上环路增益 $A\beta$ 正好等于 1，则式（13.1）告诉我们 A_f 将趋于无穷大。这表明电路在特定频率且输入为 0 的情况下得到的输出是有限值。这样的电路就定义为振荡器。所以图 13.1 所示的电路在 ω_0 上产生正弦振荡的条件是

$$L(j\omega_0) \equiv A(j\omega_0)\beta(j\omega_0) = 1 \tag{13.4}$$

即在 ω_0 上，环路增益的相位必须等于 0，而幅度必须等于 1。这个条件也称为 Barkhausen 判据。注意，电路只在某个频率点上振荡，振荡判定条件也只在这个频率点上满足，否则得到的波形就不是单纯的正弦波。

再次回到图 13.1 所示的框图来体会 Barkhausen 判据。当电路要产生并保持持续的输出信号 x_o 而电路又没有输入信号作用（$x_s = 0$）时，则反馈信号 x_f 必须足够大：

$$x_f = \beta x_o$$

乘上 A 后得到 x_o：

$$Ax_f = x_o$$

即

$$A\beta x_o = x_o$$

① 不管是图 8.1 所示的负反馈环，还是图 13.1 所示的正反馈环，环路增益都是 $L = A\beta$，只是负反馈环中反馈输出信号前的负号导致相加后的特性方程为 $1 + L = 0$，而在正反馈环中，反馈输出信号前是一个正号，因而特性方程为 $1 - L = 0$。

从而得到

$$A\beta = 1$$

需要指出的是，谐振频率 ω_0 只由谐振时的环路增益相位条件确定，谐振时环路增益的相位必须等于 0。谐振频率的稳定性取决于环路增益的相频特性。"陡峭的"相频特性将带来更稳定的谐振频率。可以想像，如果电路元件参数的变化导致相位改变 $\Delta\phi$，那么 $d\phi/d\omega$ 越大，ω_0 的变化就越小，图 13.2 清楚地说明了这一点。

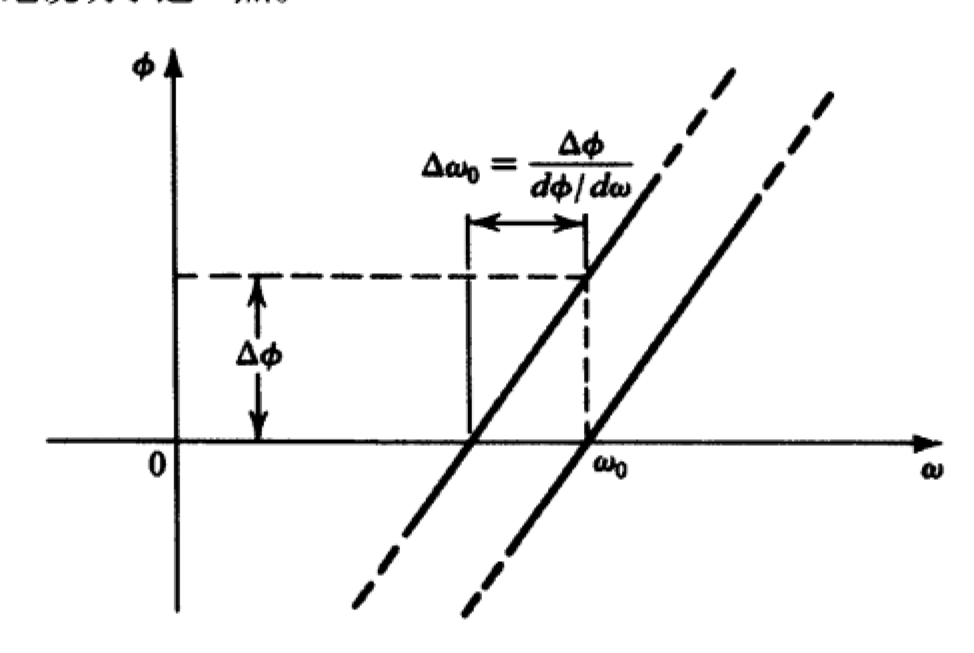


图 13.2 振荡频率的稳定性依赖于相频特性的斜率。陡峭的相频响应（即 $d\phi/d\omega$ 较大）在给定的相位变化 $\Delta\phi$［源于电路元件的变化（例如温度）］时得到的频率变化 $\Delta\omega_0$ 很小

另外一种分析振荡器的方法是检查振荡器电路的极点，也就是特性方程［即式（13.3）］的根。电路如果要在 ω_0 处产生持续的振荡，特性方程必须含有这样的极点：$s = \pm j\omega_0$，即 $1 - A(s)\beta(s)$ 必须含有因式 $(s^2 + \omega_0^2)$。

练习 13.1 考虑正弦波振荡电路，它由增益为 2 的放大器和一个二阶带通滤波器组成。求滤波器的极点频率和中心频率增益，以便在 1 kHz 频率处产生持续的振荡。

答案：1 kHz；0.5

13.1.3 非线性幅度控制

刚刚讨论过的振荡条件（即 Barkhausen 判据）只是数学意义上的等式。我们知道任何物理系统的元件参数都不可能在一段时间之内维持一个常数，换言之，如果我们好不容易才使得 $\omega = \omega_0$ 时满足 $A\beta = 1$，然后由于温度的变化导致 $A\beta$ 略小于 1，很明显，这时振荡就会停止。相反，如果 $A\beta$ 超过了 1，振荡信号的幅度就会增加。所以我们需要某种机制，从而能够在输出幅度达到设计值要求的情况下强迫环路增益保持等于 1。这个增益控制工作就由非线性电路来完成。

基本的增益控制过程是这样的：首先保证电路能够振荡起来，也就是设计电路的环路增益 $A\beta$ 略大于 1，这相当于电路设计时将电路的极点设置在 s 平面的右半侧。这样一旦接上电源后，振荡就会产生，而且振荡信号的幅度逐步增长。当振荡信号的幅度达到设计值时，非线性网络开始工作，控制环路增益正好降低到等于 1。换言之，电路的极点被拉回到 $j\omega$ 轴上。这一系列工作的结果使得电路可在设定的幅度值上产生持续振荡。如果由于某些原因导致环路增益低于 1，那么振荡信号的幅度会逐步减小直至消失，非线性网络应该能够检测到幅度的下降并启动网络，使得环路增益重新回到 1。

有两种基本的方法可以实现非线性稳幅。第一种方法是利用限幅器（参见第 3 章）。在幅度达到限幅器设定的值之前，振荡幅度都是增长的。当限幅器工作时，幅度就维持常数不变。很明显，限幅器应该是“软”限幅的，这样可以减少非线性失真。不过非线性失真通常是被反馈环路上的选频网络滤除掉的。事实上，13.2 节要介绍的一个振荡器电路的正弦波是“硬”限幅的，得到的方波信号需要再通过反馈环路上的带通滤波器。输出信号频率的纯度直接和滤波器的选择性有关。滤波器的 Q 值越大，输出正弦信号的谐波分量就越少。

幅度控制的另外一种方法是使用阻值受输出正弦信号幅度控制的某种元件。将该元件置于反馈电路上以使环路增益由电阻值决定，从而保证在输出信号的幅度值上环路增益达到 1。二极管和工作在变阻区的 JFET 是经常采用的可变电阻器件[①]。

13.1.4 实现幅度控制的通用限幅器电路

我们以限幅器电路作为本节的总结。该电路经常用在运算放大器振荡器的幅度控制电路中，此外在其他一些场合也有应用。它比第 3 章介绍的电路更精确也更通用。

限幅器电路如图 13.3（a）所示，它的传输特性如图 13.3（b）所示。为了得到传输特性，首先考虑输入信号 v_I 很小（接近于 0）且输出信号 v_O 也很小的情况，此时 v_A 是正的，v_B 是负的。很容易看出二极管 D_1 和 D_2 都截止，因此所有的输入电流 v_I/R_1 都流进反馈电阻 R_f，输出电压为

$$v_O = -(R_f / R_1)v_I \tag{13.5}$$

这就是图 13.3（b）所示的特性曲线的线性部分。现在我们可以采用叠加原理求节点 A 和 B 的电压，用 $\pm V$ 和 v_O 表示如下：

$$v_A = V\frac{R_3}{R_2+R_3} + v_O\frac{R_2}{R_2+R_3} \tag{13.6}$$

$$v_B = -V\frac{R_4}{R_4+R_5} + v_O\frac{R_5}{R_4+R_5} \tag{13.7}$$

当 v_I 为正时，v_O 为负［见式（13.5）］。从式（13.7）得到 v_B 将更负，从而维持 D_2 截止。式（13.6）表明，正值 v_A 将减少，如果继续增加 v_I，v_O 将更负，一旦 v_A 的值达到−0.7 V，则二极管 D_1 导通。假设二极管用的是常数压降模型，且其压降用 V_D 表示，那么从式（13.6）可以求出 D_1 导通时的 v_O 值，这是反相限幅的值，用 L_- 表示如下：

$$L_- = -V\frac{R_3}{R_2} - V_D\left(1+\frac{R_3}{R_2}\right) \tag{13.8}$$

要求相应的输入电压 v_I，只需将 L_- 除以限幅器的增益 $-R_f/R_1$ 即可。如果 v_I 超过了上面求得的值，就会有更多的电流流进 D_1，而 v_A 仍然维持在 $-V_D$ 左右，这样通过 R_2 的电流仍维持为常数，二极管增加的那部分电流通过电阻 R_3 流走，所以 R_3 实际上和 R_f 是并联的关系，则增量增益（忽略二极管电阻）为 $-(R_f \| R_3)/R_1$。为使传输特性在限幅区的斜率较小，应选择比较小的 R_3 值。

v_I 为负值时的分析和上面的分析完全相同。容易看出，当 v_I 是负值时，二极管 D_2 的作用与 v_I 为正值时二极管 D_1 的作用同样重要，因此正向限幅的值为

$$L_+ = V\frac{R_4}{R_5} + V_D\left(1+\frac{R_4}{R_5}\right) \tag{13.9}$$

---

① 本书没有讨论 JFET，但是本书附带的光盘有关于 JFET 及其电路的介绍。相关内容也可以在本书的网站上找到。

传输特性在正向限幅区域的斜率是$-(R_f||R_4)/R_1$，现在我们可以看出图 13.3（a）所示的电路是一个“软”限幅器，限幅电压是L_+和L_-，选择合适的不同电阻值可以独立调整限幅增益。

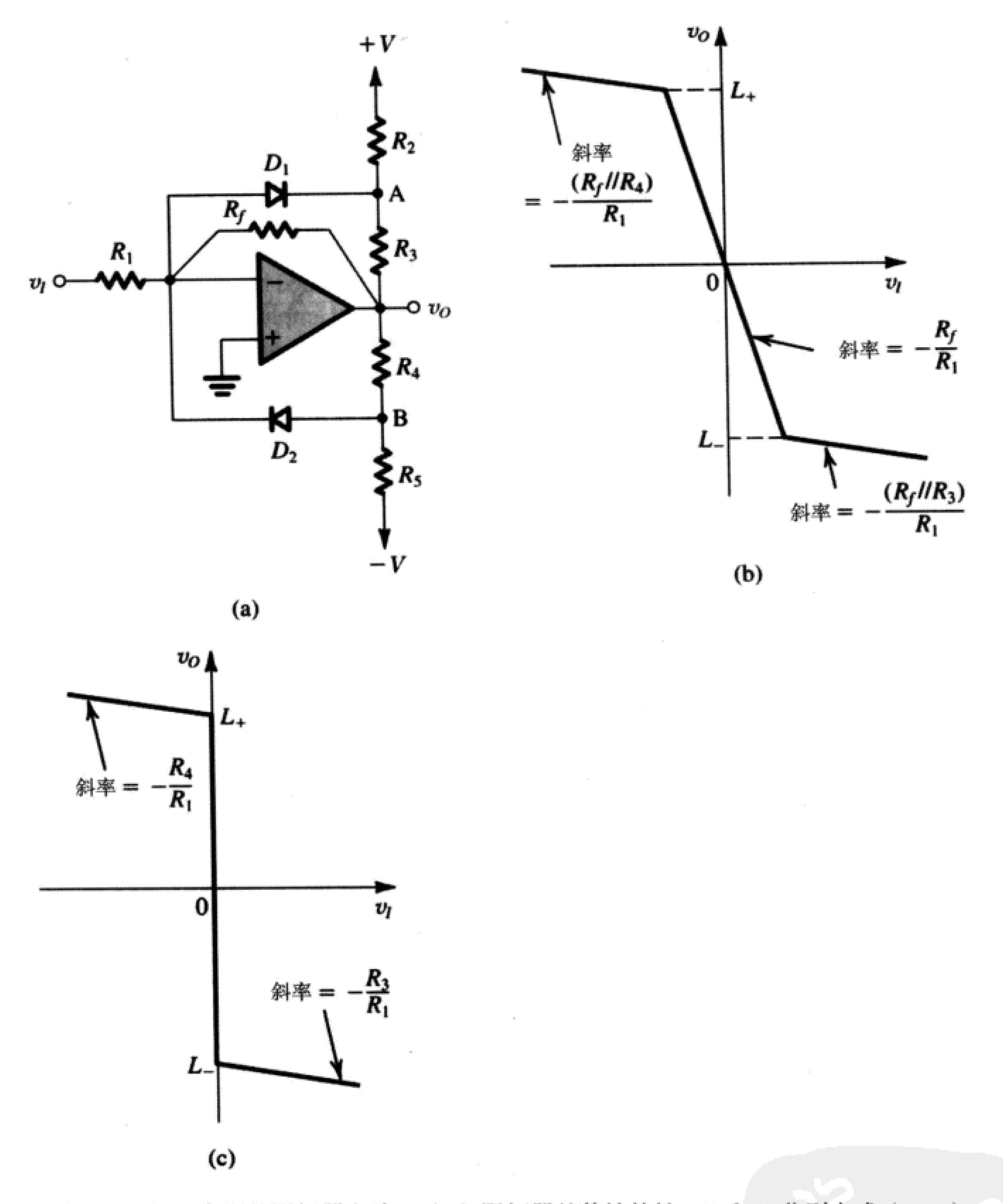


图 13.3 （a）常用的限幅器电路；（b）限幅器的传输特性。L_-和L_+分别由式（13.8）和式（13.9）给出；（c）移去R_f后限幅器便成为比较器，传输特性如图所示

最后，我们看到增加R_f阻值可以在线性区域获得较高的增益，而L_+和L_-不会改变。在限幅器电路中去掉R_f电阻可得到图 13.3（c）所示的传输特性，这时的电路是一个比较器。即电路的输入信号和参考电压 0 V 进行比较：$v_I > 0$时，得到$v_O \simeq L_-$；$v_I < 0$时，得到$v_O \simeq L_+$。

练习 13.2 考虑图 13.3（a）所示的电路，$V = 15$ V，$R_1 = 30$ kΩ，$R_f = 60$ kΩ，$R_2 = R_5 = 9$ kΩ，$R_3 = R_4 = 3$ kΩ，求输出限幅值和输出达到该值时的输入电压v_I。再求限幅器增益和正向及反向限幅区的传输特性斜率。假设$V_D = 0.7$ V。

答案：±5.93 V；±2.97 V；−2；−0.095

13.2　运算放大器 RC 振荡器电路

这一节要介绍采用运算放大器和 RC 网络实现的一些实际的振荡电路。

13.2.1　文氏电桥振荡器

基于文氏电桥结构的振荡器是最简单的电路之一。图 13.4 所示的电路是不包含非线性增益控制网络的文氏电桥振荡器。组成电路的运算放大器是一个闭环增益为 $1+R_2/R_1$ 的同相放大器，在正反馈回路上接有 RC 网络，环路增益可以很容易地得到，它是反馈网络传输函数 $V_a(s)/V_o(s)$ 与放大器增益的乘积：

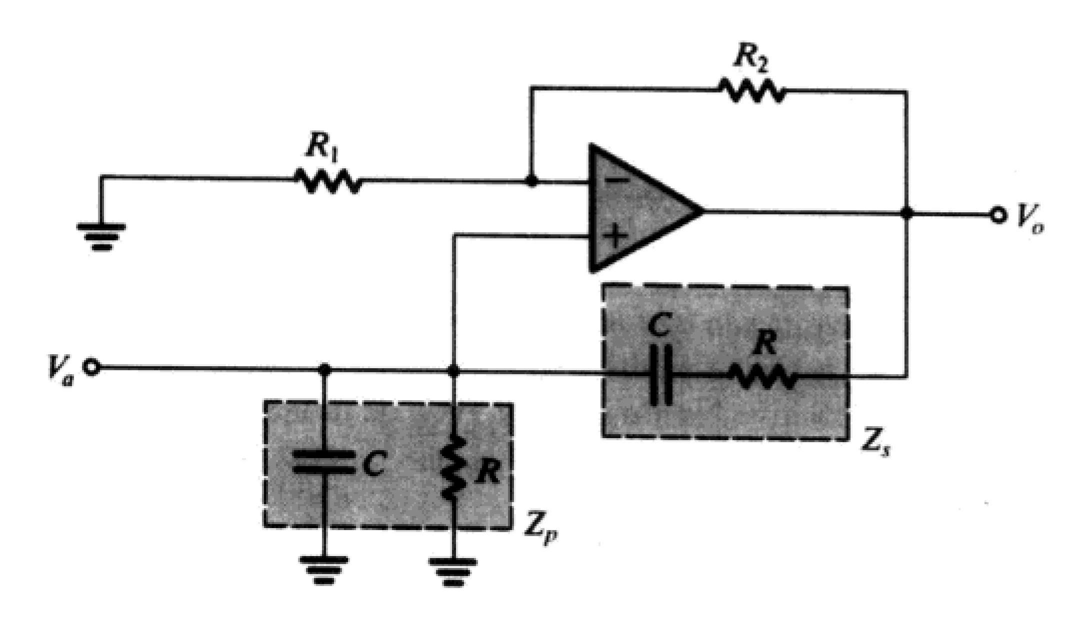


图 13.4　没有稳幅措施的文氏电桥振荡器

$$L(s)=\left[1+\frac{R_2}{R_1}\right]\frac{Z_p}{Z_p+Z_s}$$

即

$$L(s)=\frac{1+R_2/R_1}{3+sCR+1/sCR} \tag{13.10}$$

代入 $s=j\omega$ 得到

$$L(j\omega)=\frac{1+R_2/R_1}{3+j(\omega CR-1/\omega CR)} \tag{13.11}$$

为使环路增益为实数（即相位等于 0），频率应满足下式：

$$\omega_0 CR=\frac{1}{\omega_0 CR}$$

即

$$\omega_0=1/CR \tag{13.12}$$

要想在该频率上得到持续的振荡，必须将环路增益的幅度设计为 1。在选择元件参数时只要满足下面的条件就可实现：

$$R_2/R_1=2 \tag{13.13}$$

为了保证振荡能够开始，我们可以将 R_2/R_1 的值选择为略大于 2。读者可以很容易验证，当 $R_2/R_1=2+\delta$（其中 δ 是一个很小的数）时，特性方程 $1-L(s)=0$ 的根在 s 平面的右半侧。

振荡器输出信号的幅度由非线性控制网络确定并加以稳定。图 13.5 和图 13.6 给出了两种不同的实现方法。图 13.5 所示电路采用的是 13.1.3 节介绍的对称的反馈限幅器形式，它由二极管 D_1，D_2 和电阻 R_3，R_4，R_5，R_6 组成。限幅器按以下方式工作：在 v_O 的正峰值处，节点 b 的电压超过电压 v_1（其值大约是 v_O 的三分之一），二极管 D_2 导通，这时正峰值就被钳位在由 R_5，R_6 和负电源决定的限幅值上。该值可以这样计算：令 $v_b = v_1 + V_{D2}$，写出节点 b 处的节点方程并且忽略流过 D_2 的电流。求输出正弦波负峰值的钳位电压的方法同上，令 $v_a = v_1 - V_{D1}$，写出节点 a 处的节点电流方程，并且忽略流过二极管 D_1 的电流。最后，为了得到对称的输出信号波形，令 R_3 等于 R_6，R_4 等于 R_5。

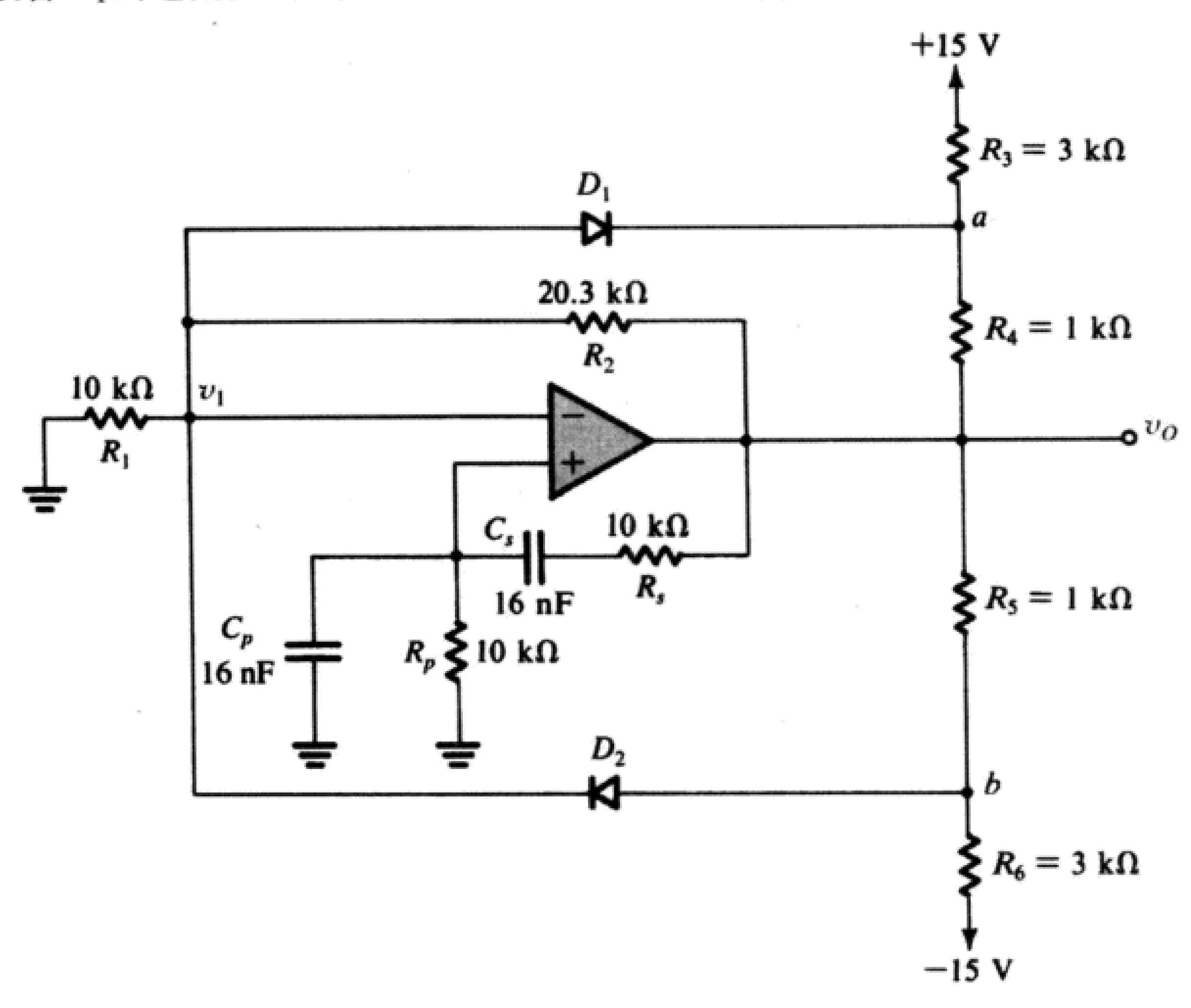


图 13.5　采用限幅器进行幅度控制的文氏电桥振荡器

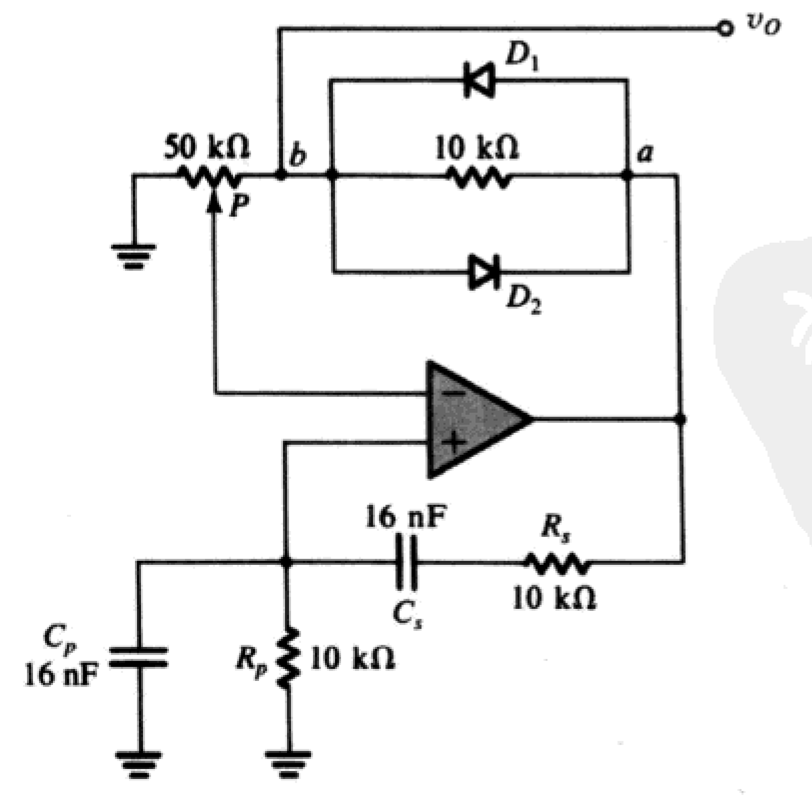


图 13.6　采用另一种稳幅措施的文氏电桥振荡器

练习 13.3　考虑如图 13.5 所示的电路。(a) 不考虑限幅电路，求闭环极点的位置。(b) 求振荡频率。(c) 假设接入限幅电路，求输出正弦波的幅度（假设二极管的管压降均为 0.7 V）。

答案： $(10^5/16)(0.015\pm j)$；1 kHz；21.36 V（峰–峰值）

图 13.6 所示电路是采用花费不大的变参数机制来实现幅度控制的。调节电位器 P 直至电路开始振荡，随着振荡不断增强，二极管开始导通，使得节点 a 和 b 之间的有效电阻值下降。当输出信号的幅度值使得环路增益刚好降至 1 时，电路达到平衡。调整电位器 P 可以改变输出信号幅度值。

如图 13.6 所示，输出取在节点 b 处而不是运算放大器的输出端，因为信号在节点 b 处的失真要比节点 a 处的小。可以这样理解：b 点的电压和运算放大器输入端的电压成正比，后者是节点 a 的信号经滤波（RC 网络实现）以后的电压。而节点 b 是一个高阻节点，如果要带负载的话，需要接入缓冲器。

练习 13.4　电路如图 13.6 所示，求：(a) 设置电位器 P 以使得电路刚好开始振荡。(b) 振荡频率。

答案：(a) 20 kΩ到地；(b) 1 kHz

13.2.2　移相振荡器

移相振荡器的基本结构如图 13.7 所示。电路由增益为$-K$ 的负增益运算放大器和三节（三阶）RC 梯形网络置于反馈回路组成。电路的振荡频率是能够使 RC 网络产生 180°相移的频率。只有在这个频率点上回路的总相移才能达到 0°或者 360°。这里要注意：采用三节 RC 网络是因为在特定频率上能够产生 180°相移的最小节数（最低阶数）是三节。

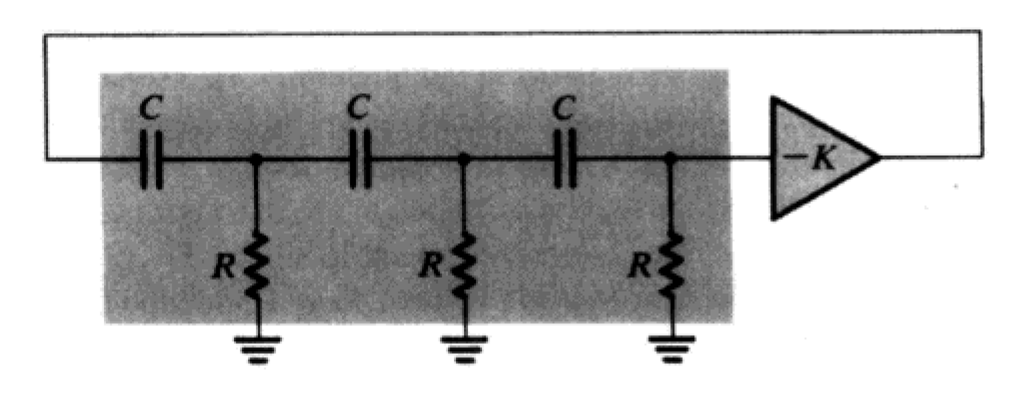


图 13.7　移相振荡器

为了得到持续的振荡，增益 K 应该等于 RC 网络传输函数在振荡频率上的幅度值的倒数。然而，为了起振，增益 K 需要设置成比满足环路增益为 1 的值略大些。起振之后，幅度逐渐增大直至受到非线性幅度的控制。

图 13.8 所示的是一个实际的移相振荡器，限幅器置于反馈回路上，由二极管 D_1，D_2 及电阻 R_1，R_2，R_3 和 R_4 组成，可以实现稳幅功能。为了能够起振，R_f 的值比需要的最小值略大些。虽然电路能够很快稳定，得到的输出正弦波幅度也很稳定，但是如果 R_f 比最小值大很多，输出信号的失真就会增大。

练习 13.5　电路如图 13.8 所示，不考虑限幅器。在 X 处把环折开，求环路增益 $A\beta \equiv V_o(j\omega)/V_x(j\omega)$。可以从输出端开始往输入端分析，求出各个电压和电流，最终用 V_o 来表示 V_x。

答案： $\dfrac{\omega^2 C^2 R R_f}{4+j(3\omega CR-1/\omega CR)}$

练习 13.6　利用练习 13.5 推导的表达式求振荡频率 f_0，以及使图 13.8 所示电路起振所需要的 R_f 的最小值。

答案： 574.3 Hz；120 kΩ

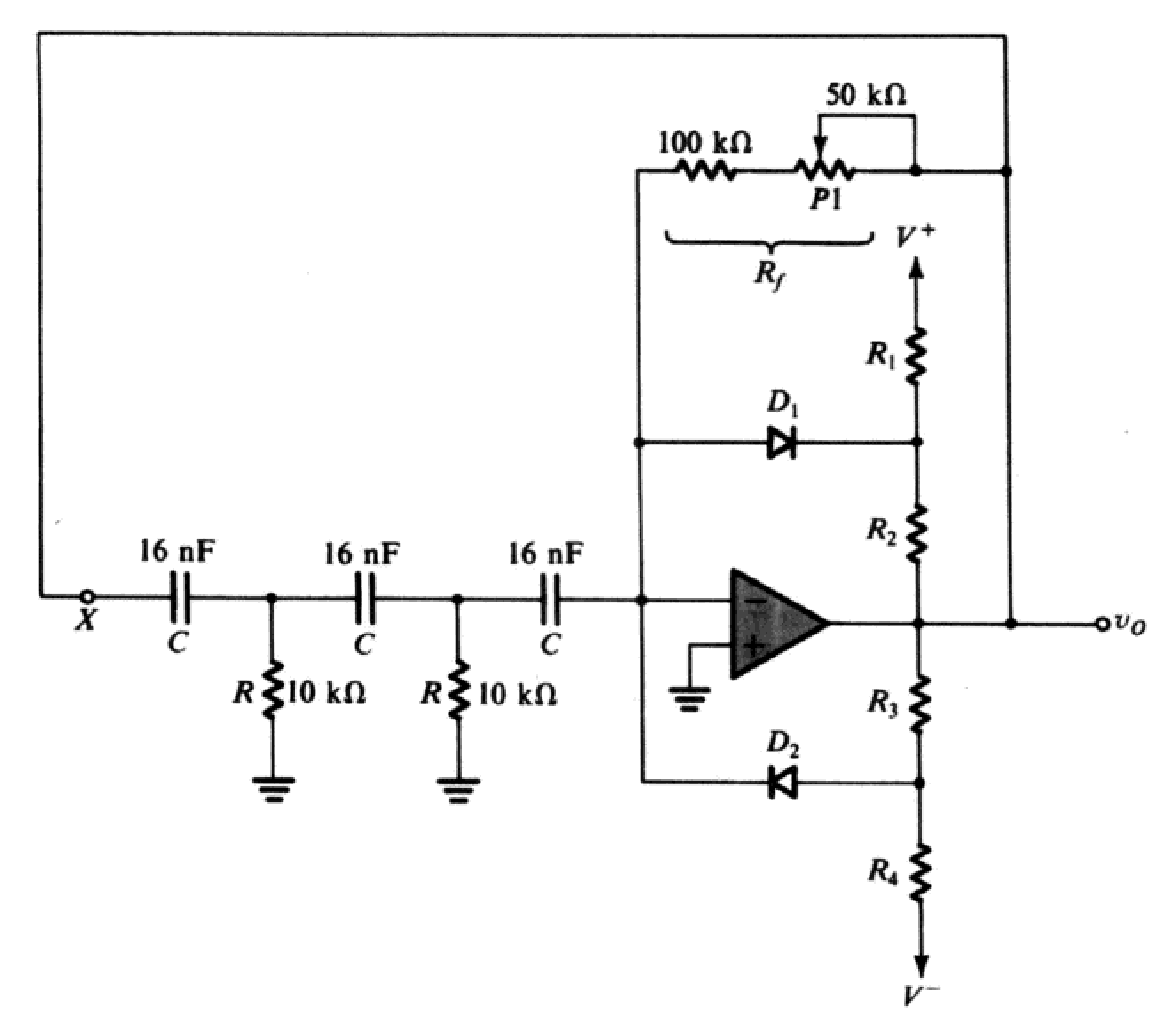


图 13.8 采用限幅器稳幅的实际移相振荡器电路

13.2.3 正交振荡器

正交振荡器电路基于 12.7 节介绍过的双积分环结构。作为有源滤波器，环路需要有阻尼从而将极点设置在 s 平面的左半部。而在振荡器电路中不需要阻尼技术，因为我们希望极点位于 $j\omega$ 轴上以实现持续的振荡。事实上，为了起振，开始时的极点是位于 s 平面的右半部，在非线性增益控制下，极点最终会被拉回到 $j\omega$ 轴上。

图 13.9 所示的是一个实际的正交振荡器。放大器 1 是反相米勒积分器，限幅器位于反馈回路上以实现幅度控制。放大器 2 接成同相积分器 [代替了图 12.25（b）中米勒积分器和倒相器的级联]，为了理解同相积分器的工作原理，考虑如图 13.9（b）所示的等效电路，这里积分器输入电压 v_{O1} 和串联电阻 $2R$ 已被诺顿等效形式的电流源 $v_{O1}/2R$ 和并联电阻 $2R$ 取代。现在，因为 $v_{O2} = 2v$，其中 v 是运算放大器 2 的输入端电压，所以流过 R_f 电阻的电流是 $(2v - v)/R_f = v/R_f$，方向从输出到输入。这样 R_f 就产生了一个负的输入电阻 $-R_f$，如图 13.9（b）所示。名义上 R_f 等于 $2R$，所以 $-R_f$ 抵消了 $2R$，结果输入端只剩下电流源 $v_{O1}/2R$ 为电容 C 提供电流，因此 $v = \frac{1}{C}\int_0^t \frac{v_{O1}}{2R}dt$，$v_{O2} = 2v = \frac{1}{CR}\int_0^t v_{O1}dt$。当 $R_f = 2R$ 时，电路是一个很好的同相积分器。如果 R_f 比 $2R$ 小，则与电容 C 并联的就是一个负电阻。

回到图 13.9（a）所示的振荡电路，运算放大器 2 正反馈回路上的 R_f 电阻是可变电阻器，标称值是 $2R$。减少 R_f 的值，极点就会移到 s 平面右半部（见习题 13.19）以保证振荡器起振。正反馈太强虽然会使输出幅度比较稳定，但同时输出失真也比较大（因为限幅器必须以“硬限幅”方式工作）。在这一点上，输出 v_{O2} 要比 v_{O1} “纯洁”，这是因为第二级积分器对第一级的峰值限幅输出有滤波作用。

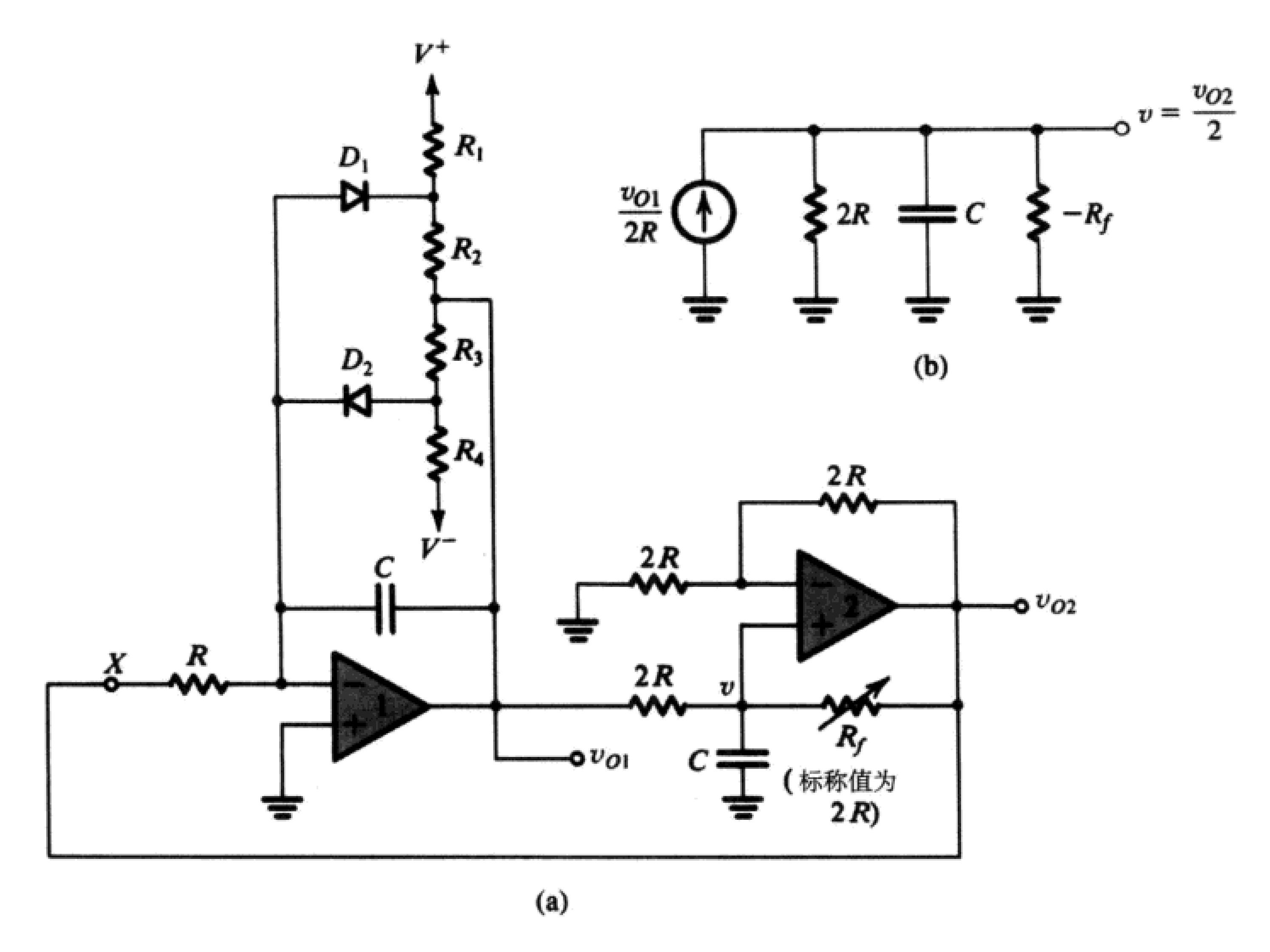


图 13.9 （a）正交振荡器电路；（b）运算放大器 2 的输入端等效电路

如果我们不考虑限幅器，在节点 X 处把环拆开，则可以得到环路增益：

$$L(s) \equiv \frac{V_{o2}}{V_x} = -\frac{1}{s^2C^2R^2} \tag{13.14}$$

即环路振荡时的频率 ω_0 为

$$\omega_0 = \frac{1}{CR} \tag{13.15}$$

最后需要指出的是：采用正交振荡器这个名字是因为电路提供的两个输出正弦信号的相位差正好是 90°。这一点很明显，因为 v_{O2} 是 v_{O1} 的积分。许多应用都需要用到正交信号。

13.2.4　有源滤波调谐振荡器

最后要讨论的振荡器是在原理和设计上都比较简单的一类电路，而且方法通用，电路变化大，产生的输出正弦信号质量很高（失真低）。基本原理如图 13.10 所示。电路由一个高 Q 值的带通滤波器和限幅器接成正反馈环路。为了理解电路的工作原理，假设电路已经起振，带通滤波器的输出是一个正弦波信号，其频率等于滤波器的中心频率 f_0。正弦波信号 v_1 送入限幅器，得到方波输出信号，它的幅度由限幅器确定，频率为 f_0。方波信号再通过带通滤波器滤除谐波分量，得到基波频率 f_0 的正弦输出信号 v_1。很明显，输出正弦信号的频谱纯度完全取决于带通滤波器的选择性（或者品质因数 Q）。

显然，振荡器设计方法很简单。我们可以单独控制输出正弦信号的频率、幅度和失真。任何正增益的滤波器电路都可以用来实现带通滤波器。振荡器输出信号的频率稳定度直接取决于滤波器电路的频率稳定度。各种不同复杂度的限幅器电路（参见第 3 章）也都可以用来实现限幅器模块。

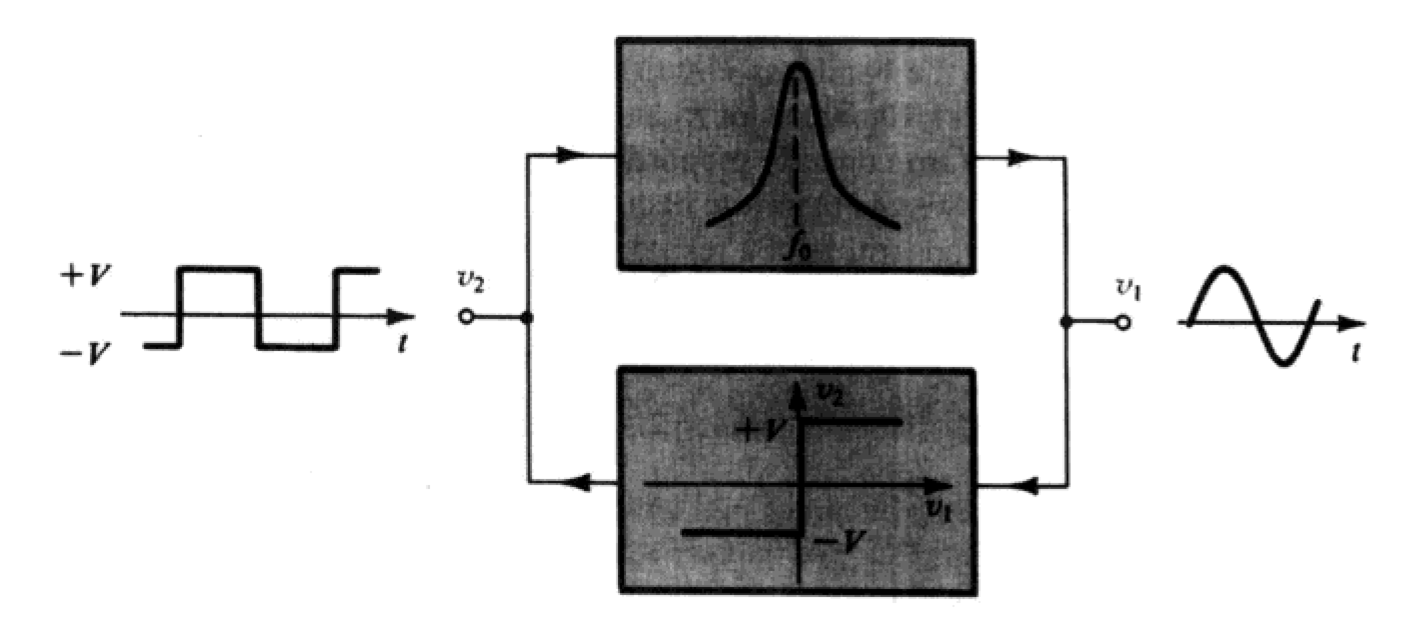


图 13.10 有源滤波调谐振荡器的框图

图 13.11 所示的是一个可行的有源滤波调谐振荡器电路。电路可调部分在带通滤波器上，带通滤波器使用了 Antoniou 电感模拟电路［参见图 12.22（c）］。这里电阻 R_2 和电容 C_4 交换了位置，从而可以使下面的运算放大器输出正比于（实际上为两倍）谐振器的输出电压，而且可以不用缓冲放大器 K。限幅器采用的是一种很简单的电路，由电阻 R_1 和两个二极管组成。

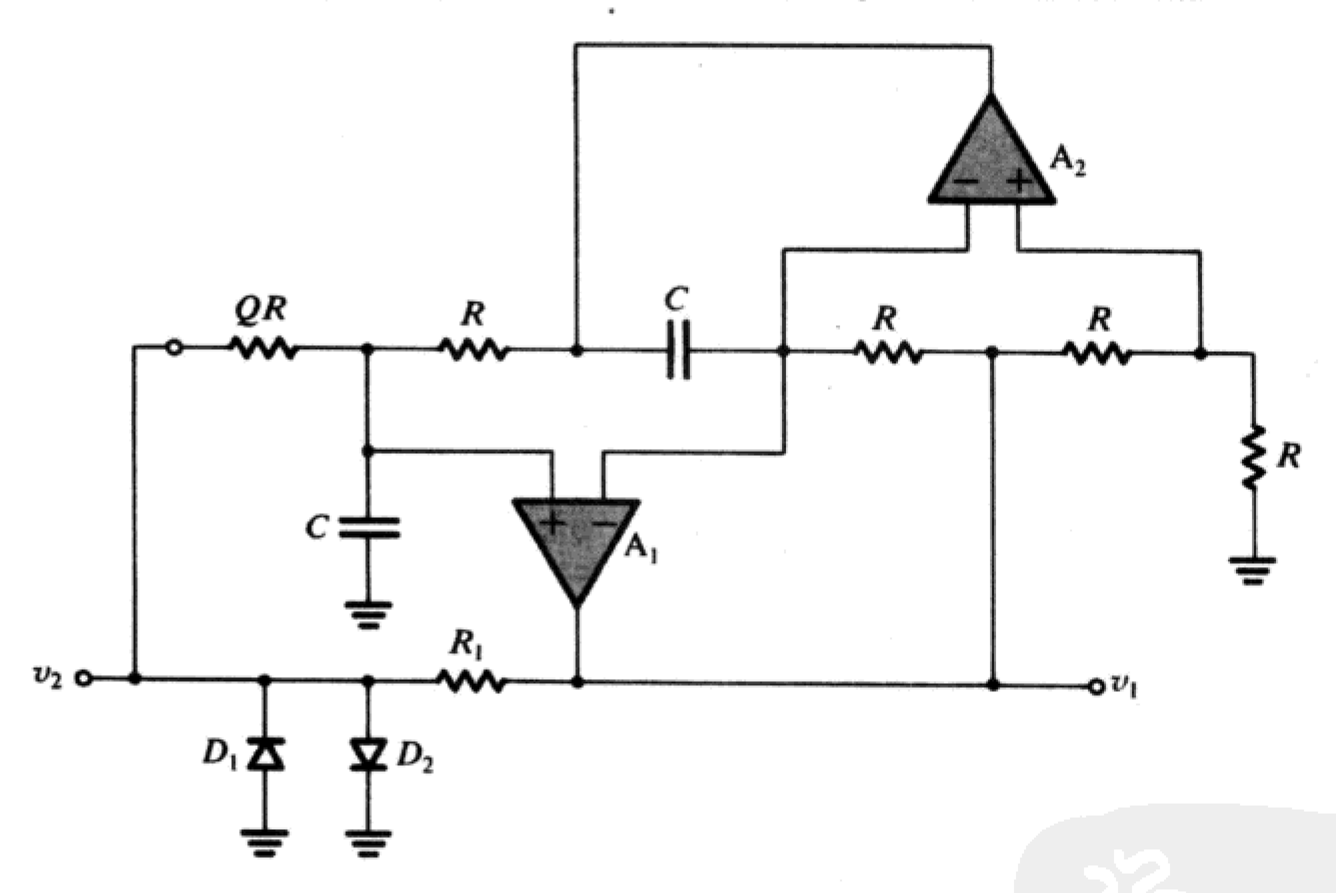


图 13.11 有源滤波调谐振荡器的实现电路

练习 13.7 设电容 $C = 16\text{ nF}$，求电阻 R 的值，使图 13.11 所示的电路能够产生 1 kHz 的正弦波。如果二极管的管压降是 0.7 V，求输出正弦信号的峰–峰值。（提示：峰–峰值为 V V 的方波，其基波分量的峰–峰值是 $4V/\pi$。）

答案：10 kΩ；3.6 V

13.2.5 最后的说明

运算放大器 RC 振荡器的振荡频率在 10 Hz 到 100 kHz 之间（最高为 1 MHz）。频率的下限直接受到无源元件尺寸的影响，频率的上限受到运算放大器的频率响应和摆率的影响。所以当频

率很高时，经常采用的电路是由晶体管和 LC 谐振回路或者晶体构成的[①]。这些内容将在 13.3 节讨论。

13.3　LC 振荡器与晶体振荡器

采用晶体管放大器，将 LC 谐振回路或者晶体作为反馈元件可以得到振荡频率在 100 kHz 到几百 MHz 的振荡器。该振荡器的 Q 值要比 RC 振荡器的 Q 值高，但是 LC 振荡器的调谐范围不宽，而且晶体振荡器只能在一个频率上振荡。

13.3.1　LC 调谐振荡器

图 13.12 所示为常用 LC 调谐振荡器的结构。它们分别称为考比兹振荡器和哈特雷振荡器。两种电路都采用了接在集电极和基极（如果是 FET，则接在漏极和栅极）之间的并联 LC 谐振回路，取出部分谐振电压反馈至射极（FET 是源极）。考比兹电路取的是电容分压，哈特雷电路取的是电感分压。电路没有画出偏置部分，因为我们想把注意力集中在振荡器的结构上。两个电路中的电阻 R 是电感损耗电阻、振荡器负载电阻和晶体管输出电阻的等效值。

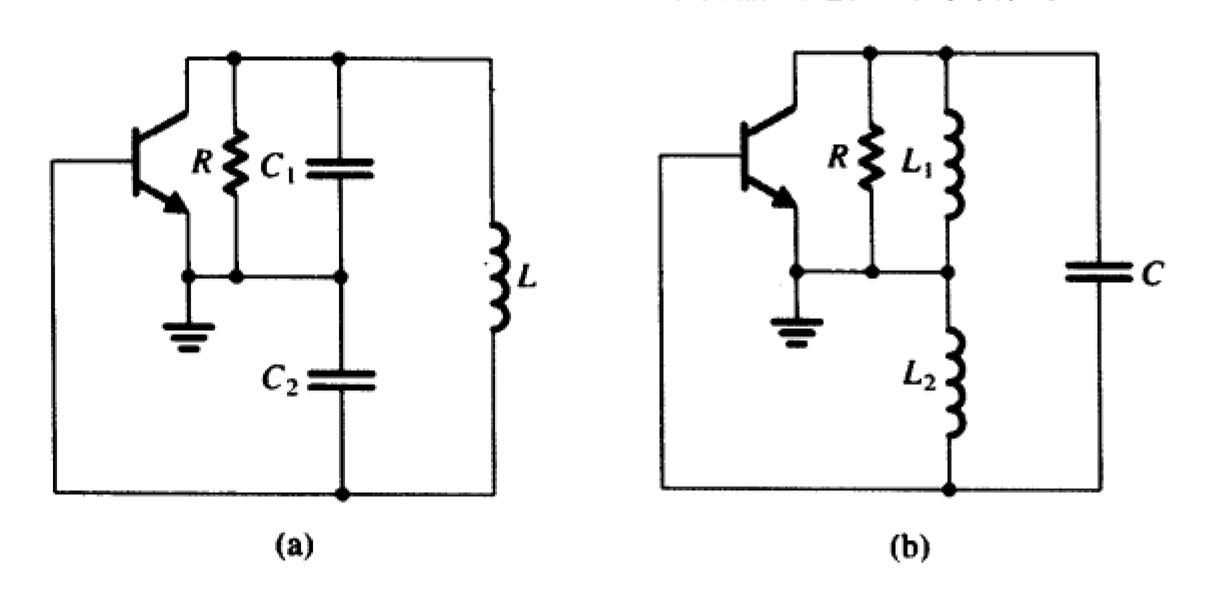


图 13.12　两种常用 LC 调谐振荡器的电路组成：（a）考比兹振荡器；（b）哈特雷振荡器

如果振荡频率很低，则可以忽略晶体管的等效电容，电路的振荡频率只由并联谐振回路（也称储能电路，因为电路像水库，可以储存能量）的谐振频率决定。对考比兹电路：

$$\omega_0 = 1\bigg/\sqrt{L\left(\frac{C_1C_2}{C_1+C_2}\right)} \tag{13.16}$$

对哈特雷电路：

$$\omega_0 = 1/\sqrt{(L_1+L_2)C} \tag{13.17}$$

比值 L_1/L_2 和 C_1/C_2 决定反馈系数，因此必须调整该比值，从而与晶体管电路增益一起保证电路起振。为确定考比兹振荡器的振荡条件，将晶体管用其等效电路模型代替，如图 13.13 所示。为了便于分析，我们忽略了晶体管电容 C_μ（FET 是 C_{gd}），虽然电容 C_π（FET 是 C_{gs}）没有在图中画出，但是可以把它看成是 C_2 电容的一部分。假设在振荡频率上有 $r_\pi \gg (1/\omega C_2)$，则晶体管的输入电阻 r_π（FET 是无穷大）也可以忽略。最后，正如前面所提到的，R 包含晶体管的

① 当然，晶体管可以取代刚才讨论的电路中的运算放大器，但是在频率很高的时候，LC 调谐电路和晶体振荡器电路的结果更好。

输出电阻 r_o。

为了得到环路增益，我们在晶体管的基极处断开环路，接入输入电压 V_π，求出返回到晶体管输入端的电压，然后令环路增益等于 1。另一种分析方法是消掉所有的电压或电流变量，得到一个代表电路特性的方程，由于等式左右两边相等时电路开始振荡，从而可以得到振荡条件。

写出图 13.13 所示电路节点 C 的电流方程如下：

$$sC_2V_\pi + g_mV_\pi + \left(\frac{1}{R} + sC_1\right)(1 + s^2LC_2)V_\pi = 0$$

因为 V_π不等于 0（振荡已经开始），所以该变量可以消掉，该方程可重新整理为

$$s^3LC_1C_2 + s^2(LC_2/R) + s(C_1 + C_2) + \left(g_m + \frac{1}{R}\right) = 0 \qquad (13.18)$$

代入 $s = j\omega$，得到

$$\left(g_m + \frac{1}{R} - \frac{\omega^2LC_2}{R}\right) + j[\omega(C_1 + C_2) - \omega^3LC_1C_2] = 0 \qquad (13.19)$$

为了能够起振，实部和虚部都应该等于 0。令虚部等于 0，得到谐振频率为

$$\omega_0 = 1\Bigg/\sqrt{L\left(\frac{C_1C_2}{C_1 + C_2}\right)} \qquad (13.20)$$

正如我们预计的那样，它也是 LC 谐振回路的谐振频率[①]。令实部等于 0，再利用式（13.20），得到

$$C_2/C_1 = g_mR \qquad (13.21)$$

其简单的物理解释如下：为了得到持续的振荡，从基极到集电极的增益（g_mR）幅度必须等于电容分压比的倒数，从图 13.12（a）得知 $v_{eb}/v_{ce} = C_1/C_2$。当然，为实现起振，环路增益必须大于 1，所以等效形式为

$$g_mR > C_2/C_1 \qquad (13.22)$$

起振之后，信号幅度逐渐增大，晶体管的非线性特性会降低 g_m 值，因而也使环路增益降到 1，从而可以维持持续振荡。

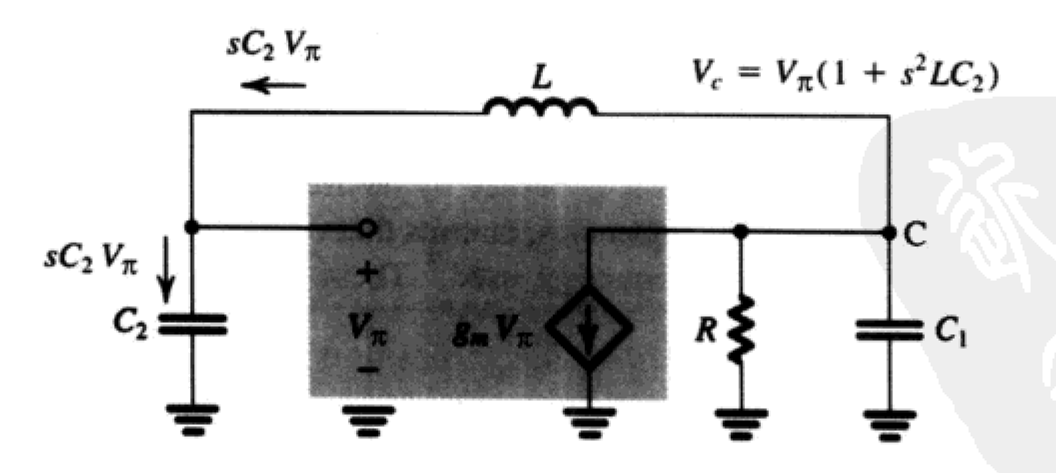


图 13.13　图 13.12（a）所示考比兹电路的等效电路。为了简化分析，忽略了 C_μ和 r_π。电容 C_π被看成是 C_2的一部分，r_o包含在 R 中

① 如果考虑电阻 r_π，那么振荡频率与式（13.20）得到的结果略有偏差。

同样的分析也可以应用到哈特雷电路（参见后面的练习 13.8）。在频率很高时，晶体管应该采用较为精确的模型。比如，可以测出ω_0附近晶体管的 y 参数，然后利用 y 参数模型（参见附录 B）进行分析。这是既简单又精确的分析方法，特别适合振荡频率超过晶体管 f_T 30%以上的电路。

图 13.14 所示是一个实际的 LC 振荡器电路。这是一个考比兹振荡器，带有完整的偏置电路，其中高频扼流圈的作用是提供ω_0上的高阻抗和直流低电阻。

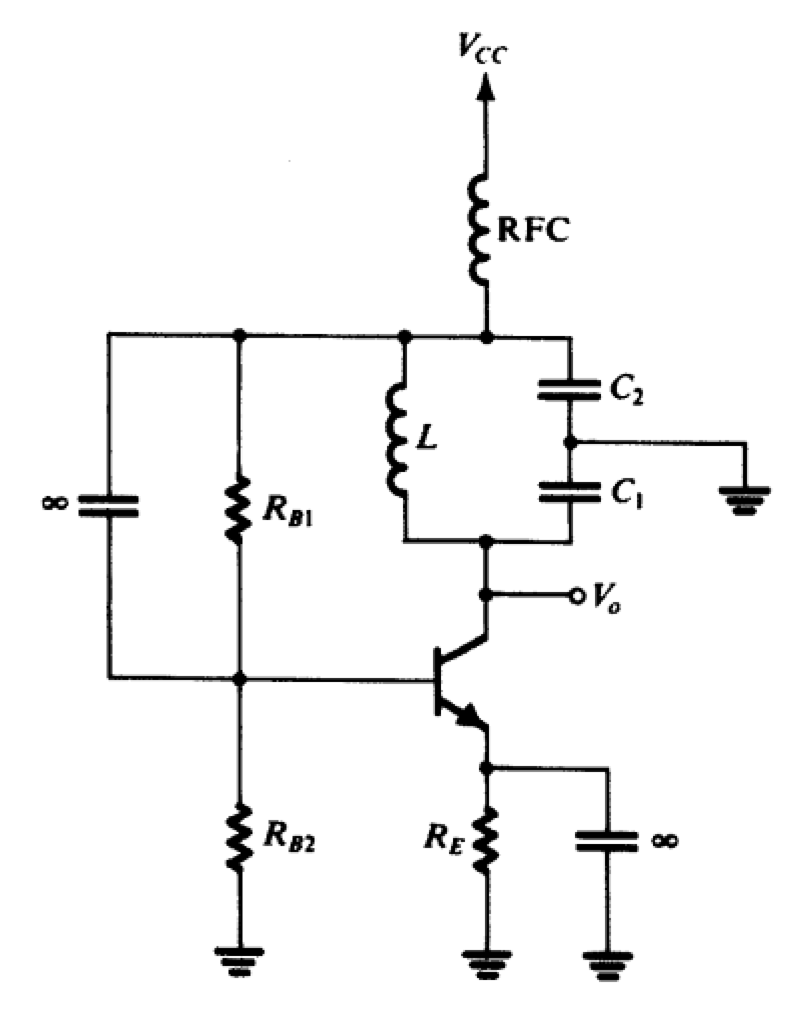


图 13.14　考比兹振荡器的完整电路

最后，我们就上面讨论的 LC 调谐振荡器的非线性幅度控制问题说明如下。与 RC 振荡器电路采用专门的幅度控制电路不同，LC 振荡器采用的是晶体管的 i_C~v_{BE}（FET 是 i_D~v_{GS}）非线性特性来实现幅度控制，所以 LC 振荡器也称为自限幅振荡器。特别是当振荡幅度逐渐增强时，晶体管的有效增益会降低到小信号增益以下，当有效增益降至满足 Barkhausen 判据时，得到最终的输出幅度值并稳定在这个值上。

依靠 BJT（或者 FET）的非线性特性实现幅度控制时，其输出集电极（或者漏极）电流波形具有非线性失真，但是输出电压信号却是纯度很高的正弦波，这是 LC 电路滤波的结果。利用非线性技术实现幅度控制的详细分析已经超出了本书的范围。

练习 13.8　证明：图 13.12（b）所示的哈特雷振荡器的振荡频率由式（13.17）给出，起振条件是 $g_mR > (L_1/L_2)$。

练习 D13.9　设计一个 BJT 考比兹振荡器，其偏置电流 $I_C = 1$ mA，振荡频率 $\omega_0 = 10^6$ rad/s，电容 $C_1 = 0.01\ \mu$F，电感线圈的 $Q = 100$（可以用一个与电容 C_1 并联的电阻表示，其阻值等于 Q/ω_0C_1）。设集电极负载电阻是 2 kΩ，晶体管的 $r_o = 100$ kΩ，求电容 C_2 和电感 L 的值。

答案：0.66 μF；100 μH（采用更小些的 C_2 值使电路起振）

13.3.2　晶体振荡器

压电晶体（比如石英）的机电谐振特性相当稳定（对时间和温度而言），而且选择性很高（因

为品质因数 Q 很大）。晶体的电路符号如图 13.15（a）所示，其等效电路模型如图 13.15（b）所示。谐振特性由一个大电感 L［几百亨（H）］、一个非常小的串联电容 C_s（0.0005 pF）、代表品质因数 Q（其值$\omega_0 L/r$ 高达几十万）的一个串联电阻 r 和并联电容 C_p 决定。电容 C_p 表示晶体两个平行板之间的静电电容，注意 $C_p >> C_s$。

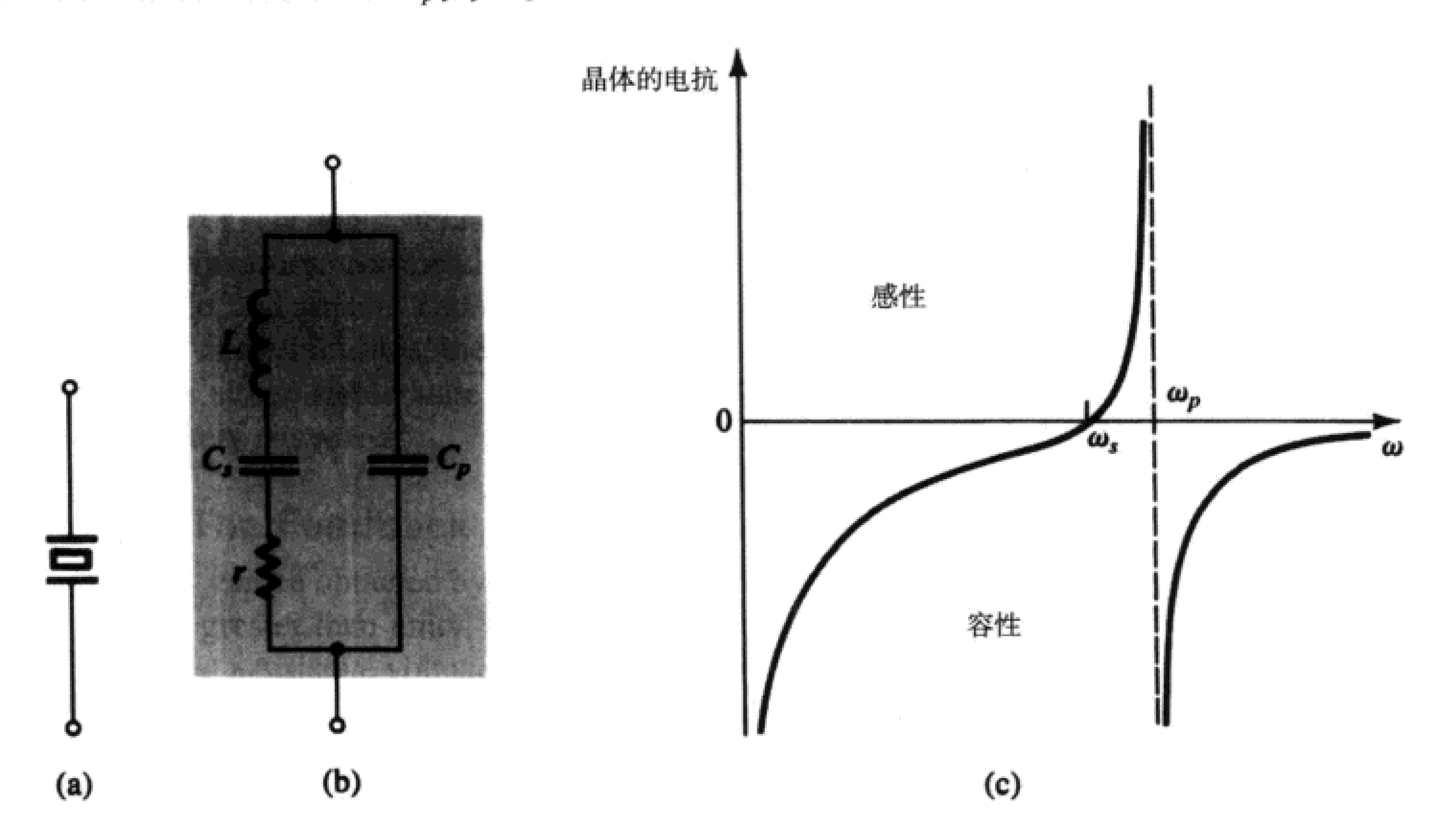


图 13.15　压电晶体：（a）电路符号；（b）等效电路；（c）晶体电抗和频率之间的关系［注意，这里忽略了小电阻 r，$Z_{\text{crystal}} = jX(\omega)$］

由于品质因数非常高，所以可以忽略电阻 r，因此晶体的阻抗可表示为

$$Z(s) = 1\Big/\left[sC_p + \frac{1}{sL + 1/sC_s}\right]$$

上式可整理成以下的形式：

$$Z(s) = \frac{1}{sC_p}\frac{s^2 + (1/LC_s)}{s^2 + [(C_p + C_s)/LC_sC_p]} \tag{13.23}$$

从式（13.23）和图 13.15（b）中可以发现晶体有两个谐振频率：一个是串联谐振频率ω_s：

$$\omega_s = 1/\sqrt{LC_s} \tag{13.24}$$

另一个是并联谐振频率ω_p：

$$\omega_p = 1\Big/\sqrt{L\left(\frac{C_sC_p}{C_s + C_p}\right)} \tag{13.25}$$

代入 $s = j\omega$，可得

$$Z(j\omega) = -j\frac{1}{\omega C_p}\left(\frac{\omega^2 - \omega_s^2}{\omega^2 - \omega_p^2}\right) \tag{13.26}$$

从式（13.24）和式（13.25）中，我们注意到$\omega_p > \omega_s$。然而因为 $C_p >> C_s$，所以这两个谐振频率靠得非常近。由于 $Z(j\omega) = jX(\omega)$，因此晶体的电抗 $X(\omega)$具有图 13.15（c）所示的形状。我们观察

到晶体电抗只在很窄的一段频率ω_p和ω_s之间呈现电感特性。对于给定的晶体，这段频率是特定的。因此我们可以利用晶体来取代考比兹电路［见图 13.12（a）］中的电感。得到的谐振电路的谐振频率由晶体电感 L、串联电容 C_s 和等效电容［$C_p + C_1C_2/(C_1+C_2)$］决定。由于 C_s 电容远小于其他三个电容，所以谐振频率由下式确定：

$$\omega_0 \simeq 1/\sqrt{LC_s} = \omega_s \tag{13.27}$$

除了基本的考比兹振荡器结构外，还有许多其他形式的晶体电路。图 13.16 所示的是常用的电路结构（称为皮尔斯电路），它用 CMOS 反相器作为放大器（参见 4.10 节），电阻 R_f决定 CMOS 反相器高频区的直流工作点，电阻 R_1 和电容 C_1 作为低通滤波器滤除晶体的高次谐波分量。注意，该电路仍基于考比兹结构。

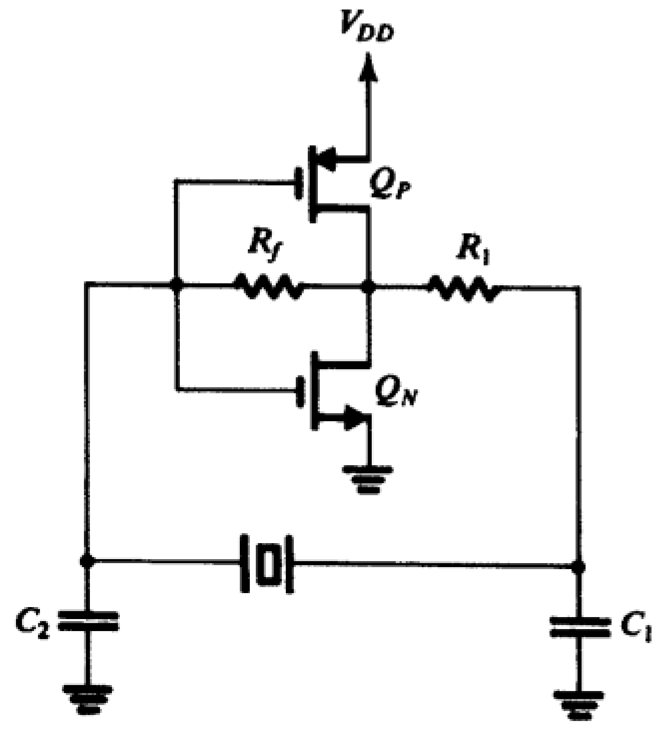


图 13.16　皮尔斯石英晶体振荡器，放大器用的是 CMOS 反相器

晶体振荡器具有极其稳定的谐振特性和非常高的品质因数 Q，因此它的谐振频率既精确又稳定。晶体振荡器的谐振频率在几个千赫兹（Hz）到几百个兆赫兹（MHz）之间，ω_0 的温度系数一般为 1~2 ppm/℃。不足的是晶体振荡属于机械谐振，是固定频率的振荡器。

练习 13.10　某 2 MHz 的晶体振荡器的参数为：$L = 0.52$ H，$C_s = 0.012$ pF，$C_p = 4$ pF，$r = 120\ \Omega$，求 f_s，f_p 和 Q。

答案：2.015 MHz；2.018 MHz；55 000

13.4　双稳态多谐振荡器

本节开始介绍波形产生电路的其他形式——非线性振荡器（或称为函数发生器）。这些电路采用一类称为多谐振荡器的特殊电路结构。如同前面提到的那样，多谐振荡器有三种：双稳态多谐振荡器、单稳态多谐振荡器和非稳态多谐振荡器。这一节将讲解双稳态多谐振荡器电路①。

顾名思义，双稳态多谐振荡器有两个稳定状态，电路可以稳定在其中的任何一个状态上，只有当触发到来时才会发生状态改变，进入另一个状态。

13.4.1　反馈环

把直流放大器接成正反馈回路并保证环路增益大于 1 就可以得到双稳态电路。图 13.17 所示电路就是这样的一个反馈环：电路由运算放大器和电阻组成，其中电阻构成分压电路置于正反馈回路上。为了搞清楚双稳态是如何得到的，我们假设运算放大器的同相输入端电压接近于零电位，这样做是因为电路没有外加激励的缘故。假设电路存在的噪声以增量信号的形式出现在电压 v_+上，增量电压在运算放大器开环增益 A 很大的情况下被放大，结果使得运算放大器的输出电压 v_O 很大。输出电压经过分压回路（R_1，R_2）的作用，将输出电压的一部分又回送到运算放大器的同相输入端，其中分压回路的分压比 $\beta \equiv R_1/(R_1+R_2)$。如果环路增益 $A\beta$ 大于 1（这也是通常的情况），则反馈回来的信号将比原先 v_+上的增量信号大。该正反馈过程会一直继续下去，直至运算放大器的输出电压达到正的饱和值 L_+，这时运算放大器同相输入端的电压 v_+ 等于 $L_+R_1/(R_1+R_2)$，它是一个正值，可以将运算放大器一直维持在正的饱和状态。该状态也是两个

① 数字电路实现的多谐振荡器曾在第 11 章讨论。这里我们感兴趣的是用运算放大器实现的电路。

稳定状态中的一个。

以上的分析都假设 v_+接近于 0 V，增量信号是正的。如果假设增量是负的，则运算放大器将在负方向上饱和，即 $v_O = L_-$，$v_+ = L_- R_1/(R_1 + R_2)$，这是另一个稳定状态。

我们得到的结论是图 13.17 所示的电路有两个稳定状态，一个是稳定在运算放大器的正向饱和状态，另一个是稳定在运算放大器的反向饱和状态。电路可以不确定地稳定在这两个状态中的任何一个，但是电路不会在 $v_+ = 0$ 和 $v_O = 0$ 的状态上保持任意长的时间，因为这是不稳定平衡状态（也称为亚稳态），任何干扰（比如电路噪声）都会导致双稳态电路进入两个稳定状态中的一个。这与负反馈电路是截然不同的，负反馈可在有干扰的情况下仍然保持运算放大器的输入端之间虚短路。图 13.18 所示的是双稳态电路的物理描述。

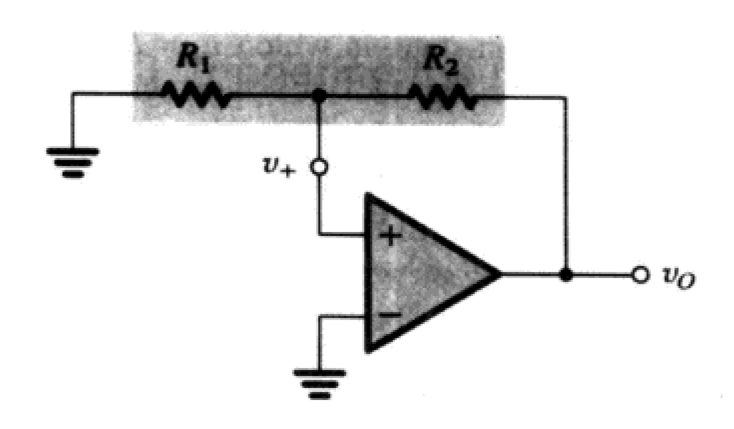


图 13.17 具有双稳态功能的正反馈环

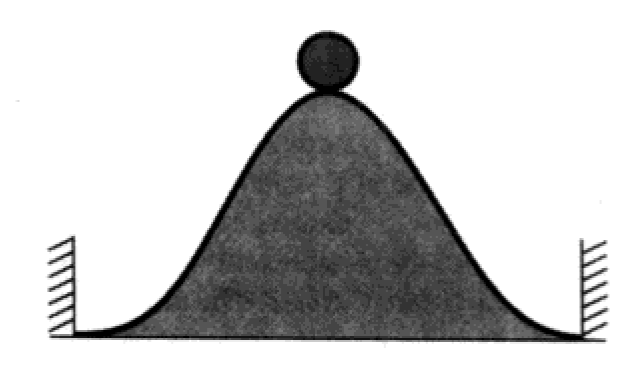


图 13.18 双稳态电路工作原理的物理模拟。小球不能在山顶保持任意长的时间（即不稳定平衡状态或者亚稳定状态），因为不可避免的干扰将使小球滚落到一边或者另一边，并且会留在那里（两个稳定态）

13.4.2 双稳态电路的传输特性

读者很自然会提出这样的问题：图 13.17 所示的电路在什么情况下可以实现状态的改变？为了回答这个问题，我们来推导双稳态电路的传输特性。图 13.17 所示的电路表明与地相连的两个电路节点都可以作为输入端，我们讨论两种可能的情况。

图 13.19（a）所示是双稳态电路工作在电压 v_I接在反相输入端的情况。为了推导 v_O~v_I传输特性，假设 v_O的值是两个可能的值之一，比如 L_+，那么 $v_+ = \beta L_+$。现在当 v_I从 0 V 开始增加时，在达到 v_+值（就是βL_+）之前，电路的输出状态没有任何改变，当 v_I开始超过这个值时，运算放大器输入端之间的净输入电压是负的，该电压经过运算放大器开环增益的放大得到负的输出电压 v_O。输出电压经分压回路被回送到运算放大器的输入端，使得 v_+成为负值，增加了运算放大器输入端之间的净负值电压，正反馈过程继续维持，当运算放大器的输出电压反向饱和时该过程达到顶峰，即 $v_O = L_-$，$v_+ = \beta L_-$。很容易看到，继续增加 v_I不会对电路的状态产生任何影响。图 13.19（b）所示的是 v_I增加时的传输特性。观察发现，传输特性等同于门限电压为 V_{TH} 的比较器的传输特性，且 $V_{TH} = \beta L_+$。

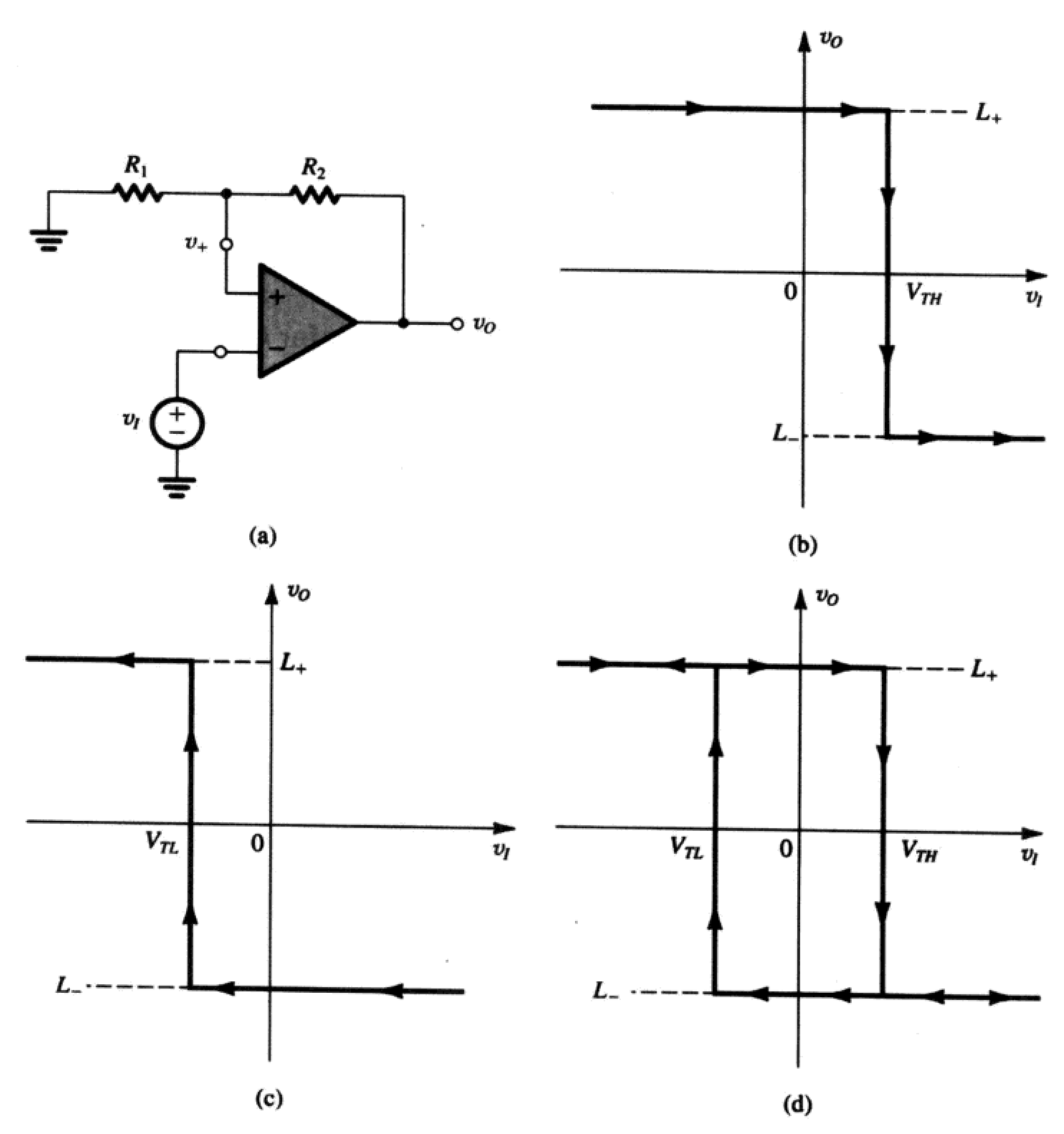


图 13.19 （a）图 13.17 所示的双稳态电路，其中运算放大器的反相输入端与地断开且接至输入信号 v_I；（b）增加 v_I 时图（a）电路的传输特性；（c）减小 v_I 时的传输特性；（d）完整的传输特性

现在来分析减少 v_I 时会产生什么情况。由于现在的 $v_+=\beta L_-$，所以当 v_I 向负反向变化时，只要没有达到 βL_- 的值，电路的输出状态不会改变，一旦当 v_I 的值减到低于该值时，运算放大器输入端的净输入电压将成为正值，该电压被运算放大器放大后，在运算放大器的输出端得到一个正值的电压，正反馈过程建立并起作用，直至电路最终进入正的饱和状态，即 $v_O=L_+$，$v_+=\beta L_+$。v_I 减小时的传输特性如图 13.19（c）所示。这里我们同样可以观察到传输特性等同于门限电压为 V_{TL} 的比较器的传输特性，这里 $V_{TL}=\beta L_-$。

图 13.19（a）所示电路完整的 v_O~v_I 传输特性可以通过将图 13.19（b）和（c）所示的传输特性结合在一起得到，如图 13.19（d）所示。从图中看出，电路状态改变时的输入电压 v_I 位于不同的值上，它取决于 v_I 是增加还是减少，所以电路具有迟滞特性，上门限 V_{TH} 和下门限 V_{TL} 之间的差值称为迟滞宽度。同样，我们可知双稳态电路实际上就是一个迟滞电压比较器。我们很快会讲

到，在比较器电路中加入迟滞特性会给某些应用带来很大好处。最后，图 13.19 所示的双稳态电路在 v_I 增加到超过正的上门限电平 V_{TH} 时，电路的输出从正的状态跳变到负的状态，因此电路称为反相的，具有同相传输特性的双稳态电路将在后面叙述。

13.4.3 双稳态电路的触发

现在回到如何改变双稳态电路状态这个问题上。观察图 13.19（d）所示的传输特性，我们发现电路的输出状态要从 L_+ 跳到 L_-，要求输入 v_I 的值比 $V_{TH} \equiv \beta L_+$ 大，即运算放大器输入端的净输入电压是负的，导致电路的正反馈环路开始起作用并最终达到顶点，电路进入 L_- 状态。有一点很重要，即必须注意输入电压 v_I 仅仅起到触发正反馈的作用，一旦正反馈开始后，移去输入电压 v_I 也不会对电路产生影响。换言之，v_I 可以只存在很短的一段时间或者就是一个脉冲信号。因此，输入电压 v_I 也称为触发信号，简称触发。

图 13.19（d）所示的双稳态电路的输出状态可以跳变到正的状态（$v_O=L_+$），只要负的触发信号 v_I 的幅度值大于负的下门限电平 V_{TL}。

13.4.4 作为存储器元件的双稳态电路

图 13.19（d）所示的传输特性表明：输入电压满足 $V_{TL}<v_I<V_{TH}$ 时，输出状态既可以处于 L_+，也可以处于 L_-，这取决于电路的状态。也就是说，输入信号在此范围内时，电路的输出状态值取决于先前触发信号的值（触发信号能够使电路进入电流状态）。因此电路表现出存储器的功能，事实上，双稳态多谐振荡器是数字电路中的基本存储器单元，我们已在第 11 章讲过。最后注意：在模拟电路应用中，本章所讲的双稳态电路也称为施密特触发器。

13.4.5 具有同相传输特性的双稳态电路

图 13.17 所示的双稳态反馈环可以实现同相传输特性，但需要将输入信号 v_I（触发信号）接到与地相连的电阻 R_1 上，如图 13.20（a）所示。为了得到传输特性，我们首先利用线性叠加原理获得用 v_I，v_O，R_1，R_2 表示的 v_+：

$$v_+ = v_I \frac{R_2}{R_1+R_2} + v_O \frac{R_1}{R_1+R_2} \tag{13.28}$$

从上式可以看到，如果电路处于正的稳定状态，即 $v_O = L_+$，则正的 v_I 值不会改变电路的输出状态。要使电路发生状态跳变而进入 L_- 状态，v_I 的值必须是负的，并且能使 v_+ 的值降到小于 0。将 $v_O = L_+$，$v_+ = 0$，$v_I = V_{TL}$ 代入式（13.28），可得到下门限电平 V_{TL}：

$$V_{TL} = -L_+(R_1/R_2) \tag{13.29}$$

同样，式（13.28）表明当输出处于负的稳定状态时（$v_O = L_-$），负的 v_I 使得 v_+ 更负，对电路输出状态没有任何影响。要使得正反馈得以产生并最终改变电路的输出状态，v_+ 必须成为正值。能够满足这个要求的输入信号 v_I 的值称为上门限电平 V_{TH}。将 $v_O = L_-$，$v_+ = 0$ 代入式（13.28），得到

$$V_{TH} = -L_-(R_1/R_2) \tag{13.30}$$

图 13.20（a）所示电路的完整传输特性由图 13.20（b）给出。观察发现，正的触发信号 v_I（其值大于 V_{TH}）使电路的输出状态翻转到正的稳定状态（v_O 从 L_- 跳到 L_+），所以该电路的传输特性是同相的。

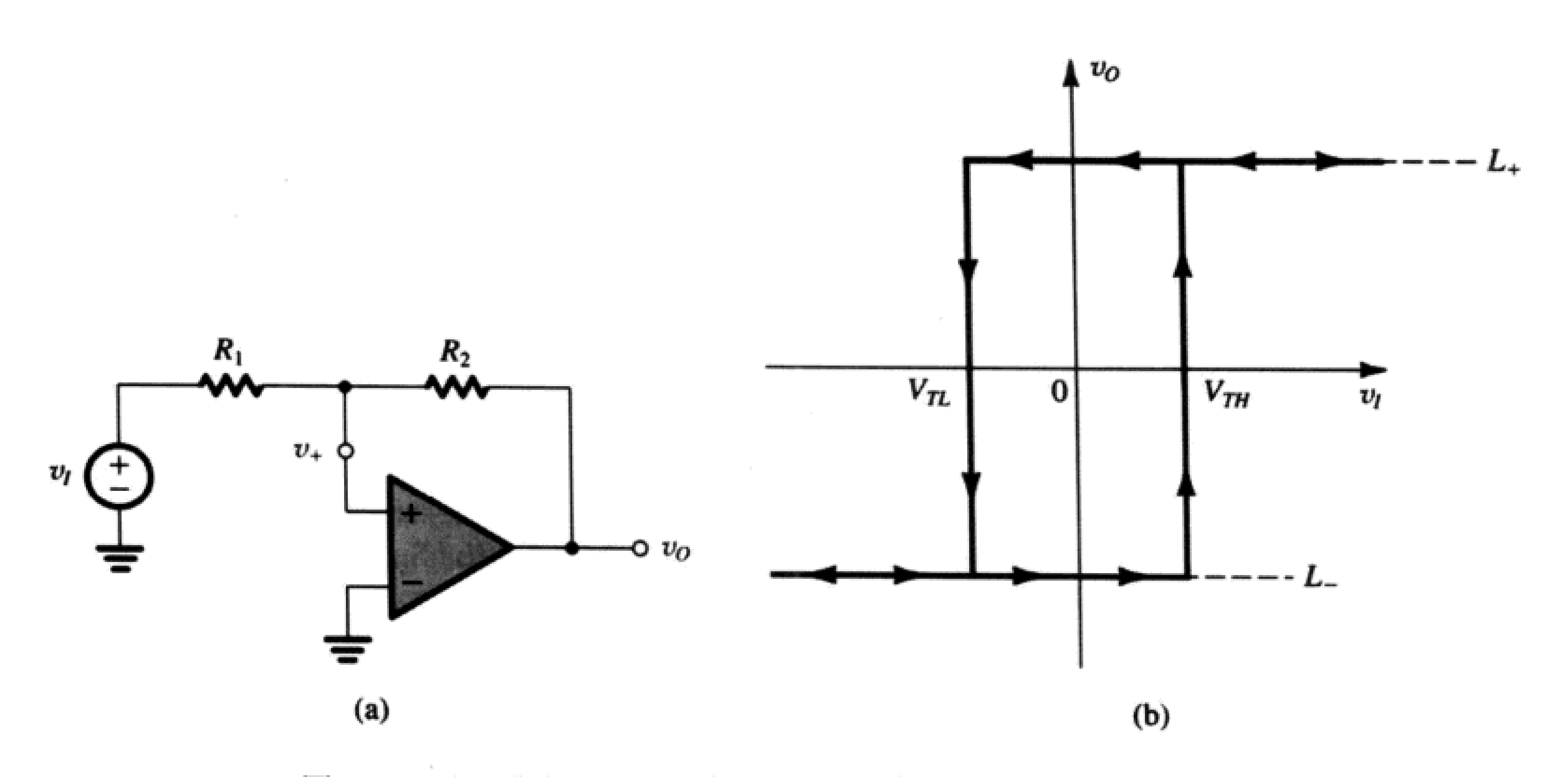


图 13.20 （a）根据图 13.17 所示的正反馈环，输入电压 v_I 通过电阻 R_1 接入运算放大器得到的双稳态电路；（b）图（a）电路的传输特性是同相的［比较图 13.19（d）所示的反相传输特性］

13.4.6 作为比较器应用的双稳态电路

比较器作为模拟电路的一个模块，其应用领域很广，从检测与预置门限值相关的输入信号到模数（A/D）转换器（参见 9.1 节）的设计，都会用到比较器电路。虽然人们一般会认为比较器只有一个单门限值［参见图 13.21（a）]，但很多应用场合需要在比较器上增加迟滞特性。如果是这样，比较器就有了两个门限电平——V_{TH} 和 V_{TL}，它们将对称地设置在参考电平的两边，如图 13.21（b）所示。通常，V_{TH} 和 V_{TL} 之间的间隔较小，大约是 100 mV。

为了说明迟滞特性的必要性，我们考虑比较器的最普通的应用。设计一个电路，要求能够检测出任意信号的过零点并记录过零点的次数。为了实现这样的功能，可以采用门限电平为零的比较器，每当信号过零时，比较器就发生一次状态变化，每一次状态变化都产生一个脉冲，该脉冲作为计数器的输入由计数器完成记数功能。

想像一下，如果被处理的信号上面叠加有干扰（通常会出现这样的情况），而且干扰信号的频率远大于被检测的信号，那么在我们想要检测的每一次过零点处会出现多次过零现象，如图 13.22 所示，比较器就会在过零点附近产生多次状态的翻转，而计数器记录的次数显然是不正确的。但是，如果我们能够预计干扰信号的峰-峰值，就可以采用具有迟滞特性的比较器来解决问题，即在比较器中加入迟滞特性并选择合适的迟滞宽度。这样当输入信号的幅度增加时，具有迟滞特性的比较器维持低电平状态不变，直至输入信号的幅度超过上门限电平 V_{TH}，然后比较器进入高电平状态，即使因为干扰的存在使得输入信号低于 V_{TH}，但高电平状态仍然维持不变，直到输入信号的幅度低到 V_{TL} 以下，比较器的状态才会跳到低电平。如图 13.22 所示，从中我们看到，具有迟滞特性的比较器能够有效地抵御干扰（这里提供了另一种滤波方式）。

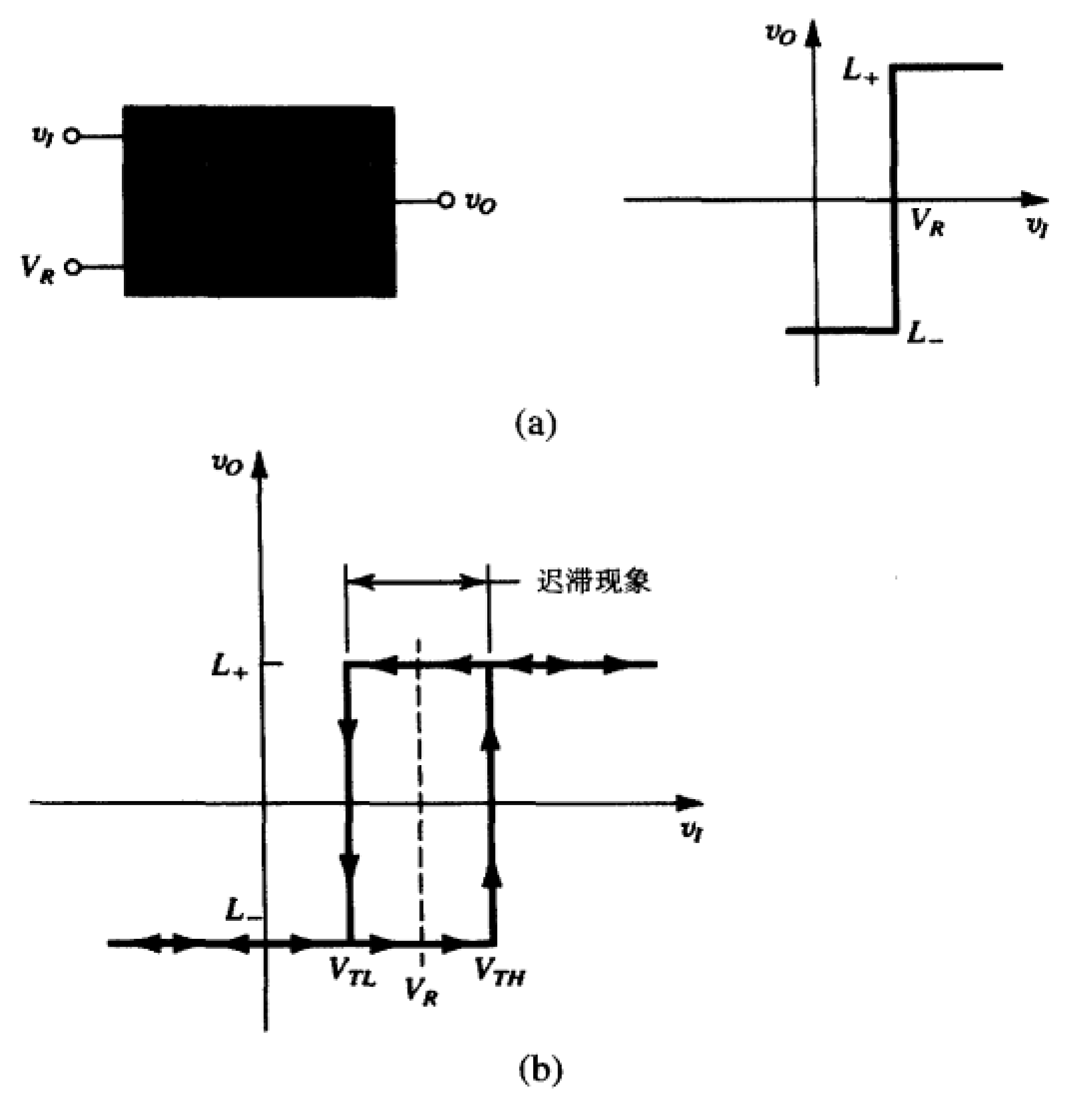


图 13.21 （a）参考电压或门限电压 V_R 的比较器框图和传输特性曲线；（b）具有迟滞性能的比较器传输特性

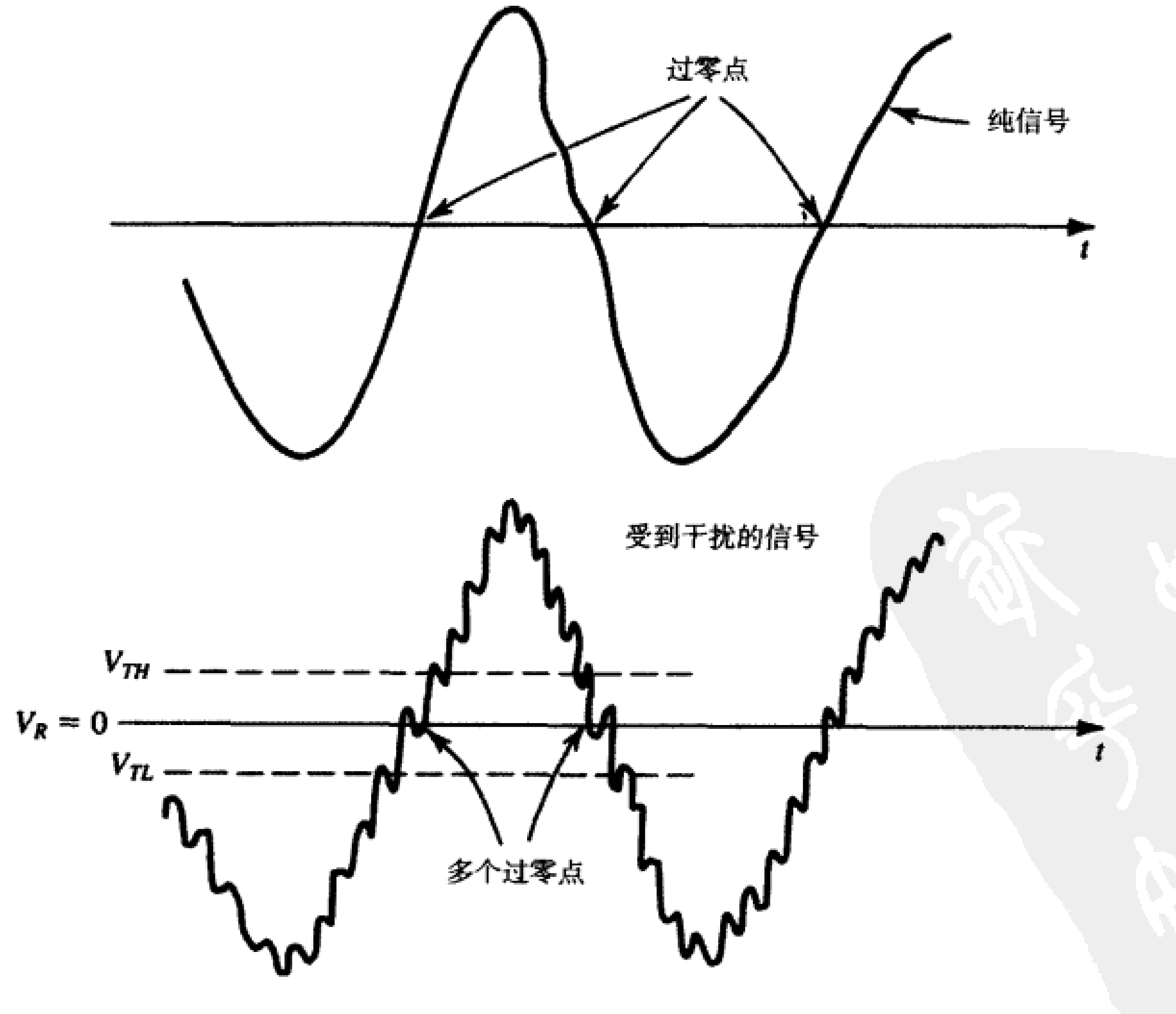


图 13.22 比较器中加入迟滞特性可以抑制干扰的图示说明

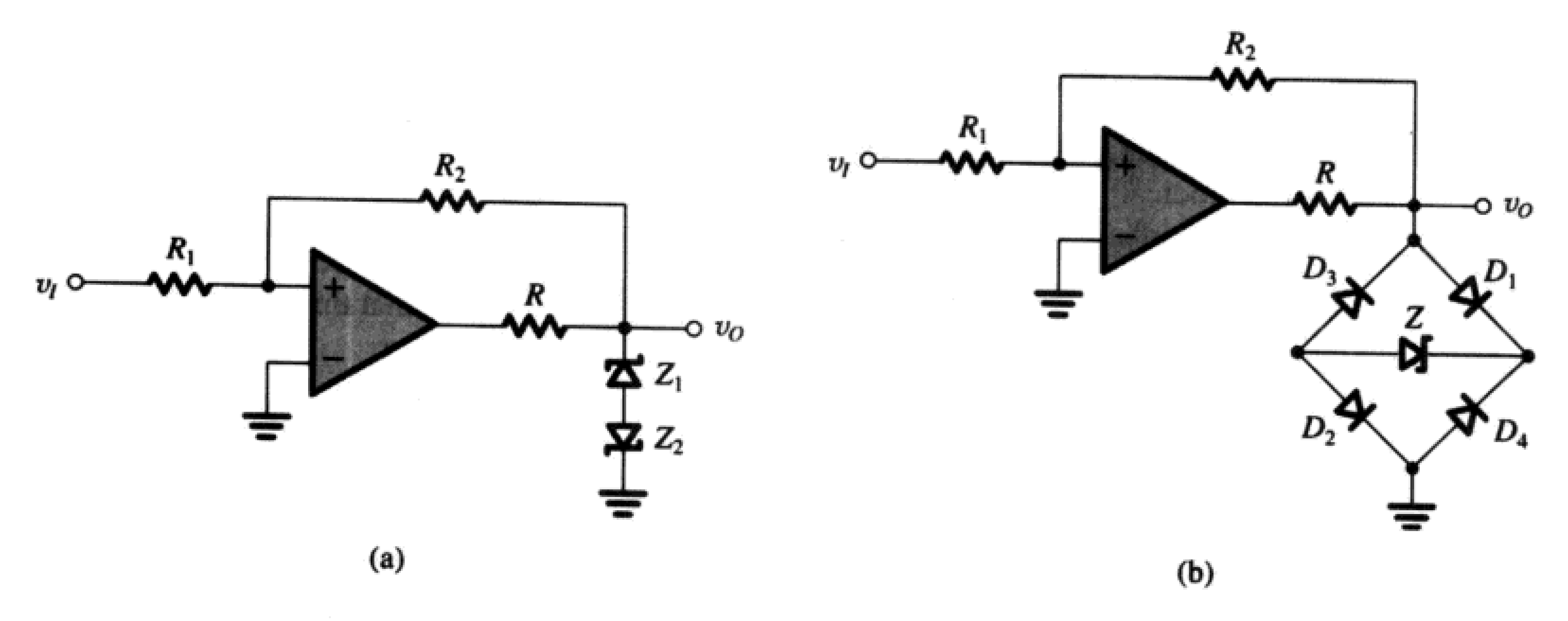


图 13.23　限幅器用于双稳态电路可使输出电平更为精确。两个电路中电阻 R 的取值必须保证齐纳二极管正常工作：（a）该电路的 $L_+ = V_{Z_1} + V_D$， $L_- = -(V_{Z_2} + V_D)$，其中 V_D 是齐纳二极管的正向压降；（b）该电路的 $L_+ = V_Z + V_{D_1} + V_{D_2}$， $L_- = -(V_Z + V_{D_3} + V_{D_4})$

13.4.7　更精确的输出电平

双稳态电路的输出电平比运算放大器输出饱和电压更精确，方法是把限幅器电路（参见 3.6 节关于限幅器电路的讨论）和运算放大器级联在一起，如图 13.23 所示，这里给出了两种电路结构。

练习 D13.11　图 13.19（a）所示的运算放大器输出饱和电压是±13 V，设计一个电路，要求门限电压为±5 V。其中电阻 $R_1 = 10\ \text{k}\Omega$，求 R_2 的电阻值。

答案：16 kΩ

练习 D13.12　如果图 13.20（a）所示运算放大器的输出饱和电压是±10 V，设计一个电路，要求门限电压为±5 V。求合适的元件值。

答案：可能的选择：$R_1 = 10\ \text{k}\Omega$ 和 $R_2 = 20\ \text{k}\Omega$

练习 13.13　设计具有同相传输特性的双稳态电路，设 $L_+ = -L_- = 10\text{V}$，$V_{TH} = -V_{TL} = 5\text{V}$。假如 v_I 是均值为 0 V、幅度为 10 V 的三角波，周期是 1 ms，画出输出信号 v_O 的波形。求 v_I 和 v_O 过零点之间的时间间隔。

答案：v_O 是均值为 0 V、幅度为 10 V、周期为 1 ms 的方波，相对于 v_I 来说滞后 125 μs

练习 13.14　某运算放大器的输出饱和电压为±12 V，电路没有反馈，运算放大器的反相输入端接 +3 V 的电压，同相输入端接 v_I，说明该电路实现的是比较器的功能，并求 L_+，L_- 和 V_R，参数的定义参见图 13.21（a）。

答案：+12 V；−12 V；+3 V

练习 13.15　在图 13.20（a）所示的电路中，设 $L_+ = -L_- = 10\ \text{V}$，$R_1 = 1\text{k}\Omega$，求使得迟滞宽度等于 100 mV 的 R_2 值。

答案：200 kΩ

13.5　基于非稳态多谐振荡器实现的方波和三角波发生器

双稳态多谐振荡器通过周期性地改变输出状态可以产生方波信号。具体实现时是将 RC 电路置于双稳态多谐振荡器电路的反馈回路中，如图 13.24（a）所示。观察发现，双稳态多谐振荡器

具有反向传输特性，可以用图 13.19（a）所示的电路实现，最终的电路如图 13.24（b）所示。接下来我们会说明该电路没有稳定的状态，所以也称为非稳态多谐振荡器。

13.5.1 非稳态多谐振荡器的工作原理

为了搞清楚非稳态多谐振荡器的工作原理，我们回到图 13.24（b）。设双稳态电路的输出是两个可能的输出电平中的一个，比如 L_+，该电平通过电阻 R 给电容 C 充电。电容 C 两端的电压按指数规律往 L_+方向上升，充电时间常数$\tau = CR$，该电压同时也是运算放大器反向输入端的电压，用 v_-表示。与此同时，运算放大器同相端的输入电压 $v_+ = \beta L_+$，这样的状态会一直持续下去，直到电容两端的电压达到正的上门限电压（$V_{TH} = \beta L_+$）为止，这时双稳态电路的输出状态发生跳变，从高电平跳到低电平，并同时修改同相输入端的电压值，即 $v_O = L_-$，$v_+ = \beta L_-$。这时，电容 C 开始放电，其电压 v_-按指数规律往 L_-方向下降。新的状态会一直保持，直到 v_-达到负的下门限电平（$V_{TL}=\beta L_-$），运算放大器的输出状态再一次发生跳变，进入正的高电平状态，这时电容 C 又被充电，新的一轮循环开始。

上面的分析说明非稳态电路振荡起来后在运算放大器的输出端产生了方波信号。电路的输出信号波形和运算放大器两输入端的信号波形都画在图 13.24（c）中。方波信号的周期 T 可以这样求解：在充电时间段 T_1 内，假设 $t = 0$ 对应 T_1 的起始点，那么在任何时刻 t，电容两端的电压为（参见附录 D）：

$$v_- = L_+ - (L_+ - \beta L_-)e^{-t/\tau}$$

其中，$\tau = CR$。代入 $v_- = \beta L_+$，$t = T_1$，得到

$$T_1 = \tau \ln \frac{1 - \beta(L_- / L_+)}{1 - \beta} \qquad (13.31)$$

同样，在放电时间段 T_2 内，假设 $t = 0$ 对应 T_2 的起始点，那么在任何时刻 t，电容两端的电压为

$$v_- = L_- - (L_- - \beta L_+)e^{-t/\tau}$$

代入 $v_- = \beta L_-$，$t = T_2$，得到

$$T_2 = \tau \ln \frac{1 - \beta(L_+ / L_-)}{1 - \beta} \qquad (13.32)$$

结合式（13.31）和式（13.32），可以得到周期 $T = T_1 + T_2$。通常 $L_+ = -L_-$，从而得到对称的方波，其周期 T 为

$$T = 2\tau \ln \frac{1 + \beta}{1 - \beta} \qquad (13.33)$$

方波发生器的信号频率是可以改变的，只要调整不同的电容 C（通常是几个十倍频程的变化）和连续调整电阻 R（获得在每一个十倍频程内的连续频率控制）即可实现。选择比较小的β 参数得到的电容 C 的电压波形接近于三角波，但是线性特性更好的三角波采用下面要讨论的方案更容易实现。

在结束本节的时候需要说明一点：虽然非稳态电路没有稳定的状态，但是它有两个准稳定状态，而且可以在其中的任何一个状态上维持一段时间，这段时间由 RC 网络的时间常数和双稳态电路的门限电压确定。

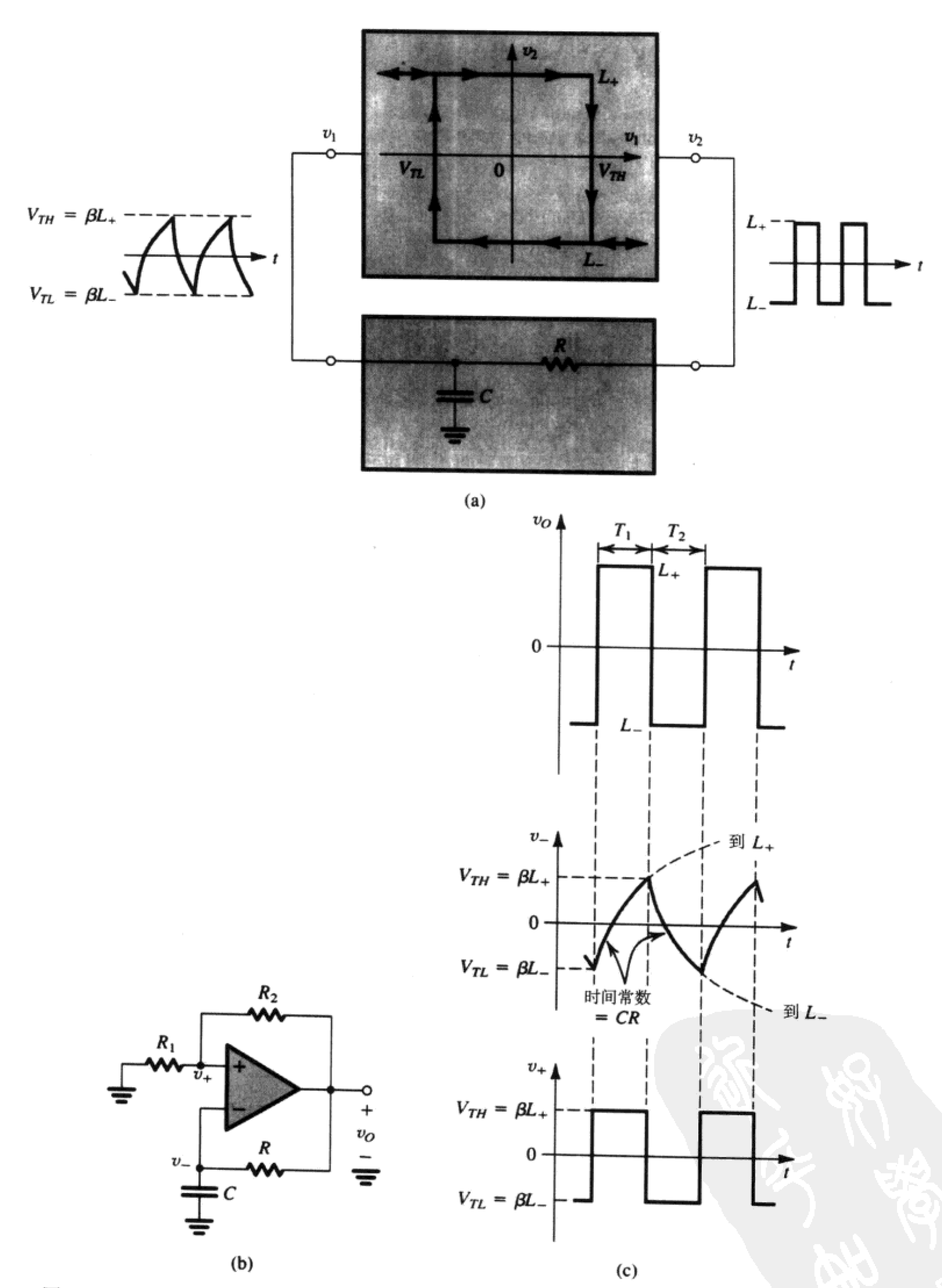


图 13.24　（a）在具有反向传输特性的双稳态多谐振荡器的反馈回路上接入 RC 电路，得到的反馈环就是方波发生器；（b）双稳态多谐振荡器采用图 13.19（a）所示电路实现的方波发生器；（c）电路（b）的各个节点上的电压波形，该电路也称为非稳态多谐振荡器

练习 13.16　对图 13.24（b）所示的电路，设运算放大器饱和电压是±10 V，R_1 =100 kΩ，$R_2 = R =$ 1 MΩ，$C = 0.01\ \mu$F。求振荡频率。

答案：274 Hz

练习 13.17　对图 13.24（b）所示的电路进行修改，用一对极性相反且并联连接的二极管代替电阻 R_1，已知 $L_+ = -L_- = 12$ V, $R_2 = R = 10$ kΩ, $C = 0.1\ \mu$F，二极管的导通电压是 V_D，求用 V_D 表示的频率表达式。如果在 25℃时，$V_D = 0.70$ V，温度系数 $TC = -2$ mV/℃，求 0℃，25℃，50℃和 100℃时的频率。注意，电路的输出可以送入远程连接的频率计以提供温度的数字读出方式。

答案：$f = 500/\ln[(12+V_D)/(12-V_D)]$ Hz；3995 Hz，4281 Hz，4611 Hz，5451 Hz

13.5.2　三角波信号的产生

图 13.24 所示的非稳态电路产生的指数波形可以转变为三角波，方法是在电路中用积分器代替 RC 低通网络。（积分器其实也是一个低通滤波器，它的角频率等于 0。）积分器对电容进行线性充放电，从而得到三角波。修改后的电路如图 13.25（a）所示。观察发现，积分器是反向的，所以要求双稳态电路的传输特性也反过来，具体实现时可采用图 13.2 所示的同相双稳态电路。

现在我们来说明图 13.25（a）所示的电路是如何在积分器的输出端得到三角波 v_1 以及在双稳态电路的输出端得到方波 v_2 的。设双稳态电路的输出是 L_+，则流过电阻 R 和电容 C 的电流是 L_+/R，从而导致积分器的输出按照斜率 $-L_+/CR$ 下降，如图 13.25（c）所示。该积分过程将一直持续下去，直至积分器的输出电压达到双稳态电路的下门限电平 V_{TL}，双稳态电路的输出状态发生跳变，进入负的低电平 L_-状态，这时流过电阻 R 和电容 C 的电流方向发生了改变，其值为$|L_-|/R$。这表明积分器的输出电压开始按照正的斜率$|L_-|/CR$ 呈线性增长，直至积分器的输出电压达到双稳态电路的上门限电平 V_{TH}。此后，双稳态电路发生状态跳变，输出又回到高电平状态（L_+），流进积分器的电流将改变方向，积分器的输出开始线性下降，新的循环开始。

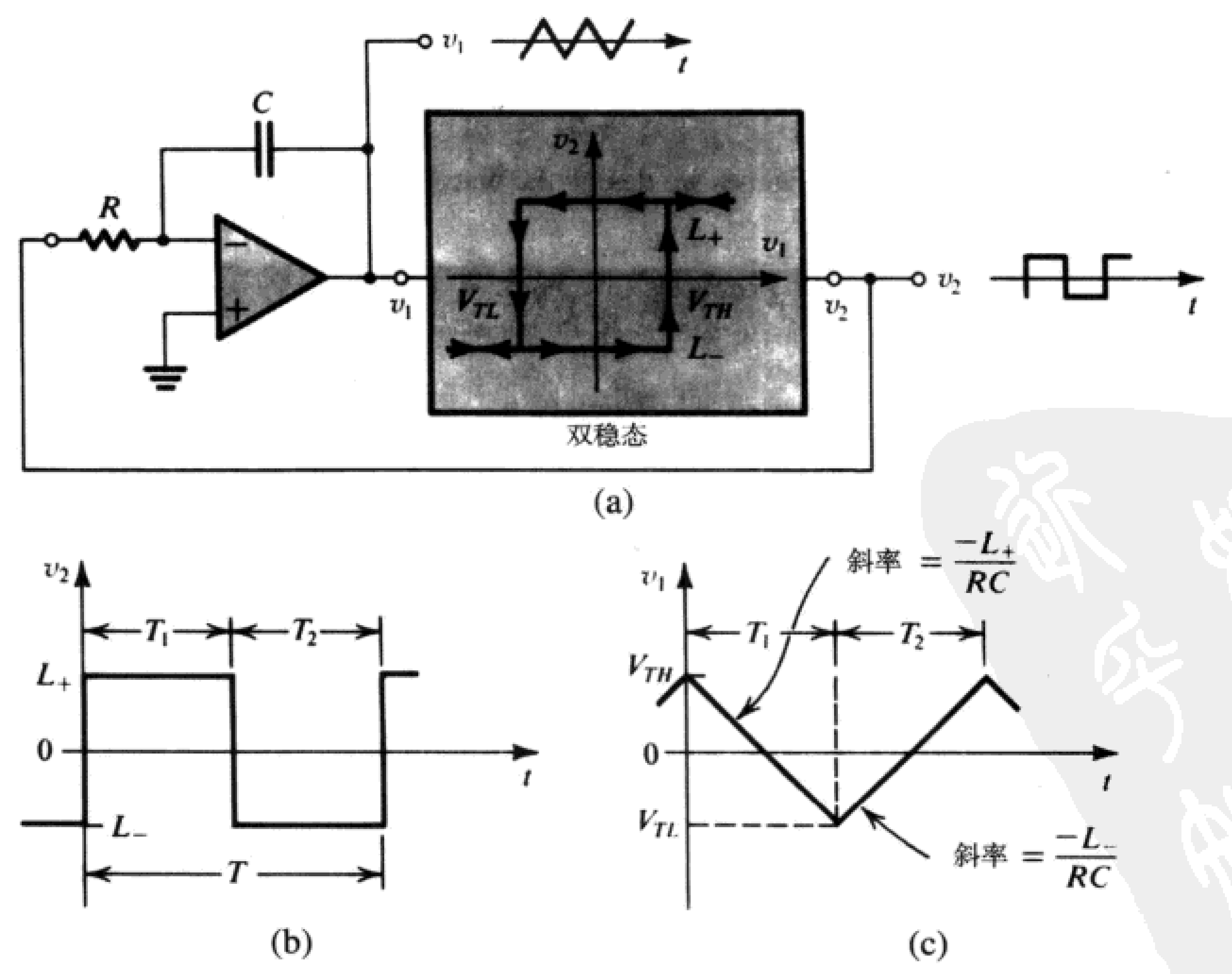


图 13.25　产生三角波和方波信号的通用方法

通过上面的讨论，不难推导出方波和三角波信号周期 T 的表达式。在 T_1 时间段，根据图 13.25（c）可得

$$\frac{V_{TH}-V_{TL}}{T_1}=\frac{L_+}{CR}$$

从中可以得到

$$T_1=CR\frac{V_{TH}-V_{TL}}{L_+} \tag{13.34}$$

同样，在 T_2 时间段，可得

$$\frac{V_{TH}-V_{TL}}{T_2}=\frac{-L_-}{CR}$$

从中可以得到

$$T_2=CR\frac{V_{TH}-V_{TL}}{-L_-} \tag{13.35}$$

为了得到对称的方波波形，在设计的时候令双稳态电路的 $L_+=-L_-$。

练习 D13.18　考虑图 13.25（a）所示的电路，其中双稳态电路采用图 13.20（a）所示的结构。如果运算放大器的输出饱和电压是±10 V，电容 $C=0.01\ \mu F$，电阻 $R_1=10\ k\Omega$，求电阻 R 和 R_2 的值［注意，R_1 和 R_2 是图 13.20（a）中的电阻］，使得电路能够产生频率为 1 kHz、幅度峰-峰值为 10 V 的三角波信号。

答案：50 kΩ；20 kΩ

13.6　标准脉冲发生器——单稳态多谐振荡器

在有些应用中需要用到高度和宽度已知的脉冲信号作为触发信号。因为脉冲的宽度是预置的，它的边沿信号就可以用于计时目的，即在特定时刻启动特殊的任务。标准脉冲信号可以由第三种多谐振荡器（单稳态多谐振荡器）产生。

单稳态电路只有一个稳定的状态，它还有一个可以被触发的准稳态，输出维持在该状态的时间可以预先设定为输出脉冲的宽度。一旦超时，单稳态多谐振荡器则回到稳定态并维持该状态，直到另一个触发到来。单稳态多谐振荡器的工作方式使它获得了另外一个名字——单触发器。

图 13.26（a）所示的是运算放大器单稳态电路。观察发现，该电路是在图 13.24（b）所示的电路上增加了一些元件而形成的。具体而言，钳位二极管 D_1 与电容 C_1 并联，触发电路由电容 C_2、电阻 R_4 和二极管 D_2 组成，接在运算放大器的同相输入端。电路的工作原理如下：在稳定态，即触发信号没有到来之前，运算放大器的输出电压是 L_+，并通过电阻 R_3 使二极管 D_1 导通，这样电压 v_B 就被钳位在比地高一个导通电压的电位上。我们选择的 R_4 的阻值远大于 R_1，使得二极管 D_2 只流过很小的电流，这样电压 v_C 就几乎只由 R_1 和 R_2 的分压确定，即 $v_C=\beta L+$，其中 $\beta=R_1/(R_1+R_2)$。稳定状态会一直维持，因为 βL_+ 比 V_{D1} 大。

现在讨论负的触发信号作用下的情况，其节点的电压波形如图 13.26（b）所示。负的下降沿通过电容 C_2 耦合进二极管 D_2 的负极，使得二极管 D_2 深度导通并下拉节点 C 的电压。如果触发信号的幅度足够大以至可使 v_C 降到低于 v_B，则运算放大器的净输入电压成为负值，它的输出状态就会跳变至 L_-，从而 v_C 的值就改变为 βL_-，运算放大器的输出维持在新的状态不变。注意，现在的 D_2 已经截止，触发器输入端的任何变化均被隔离了。

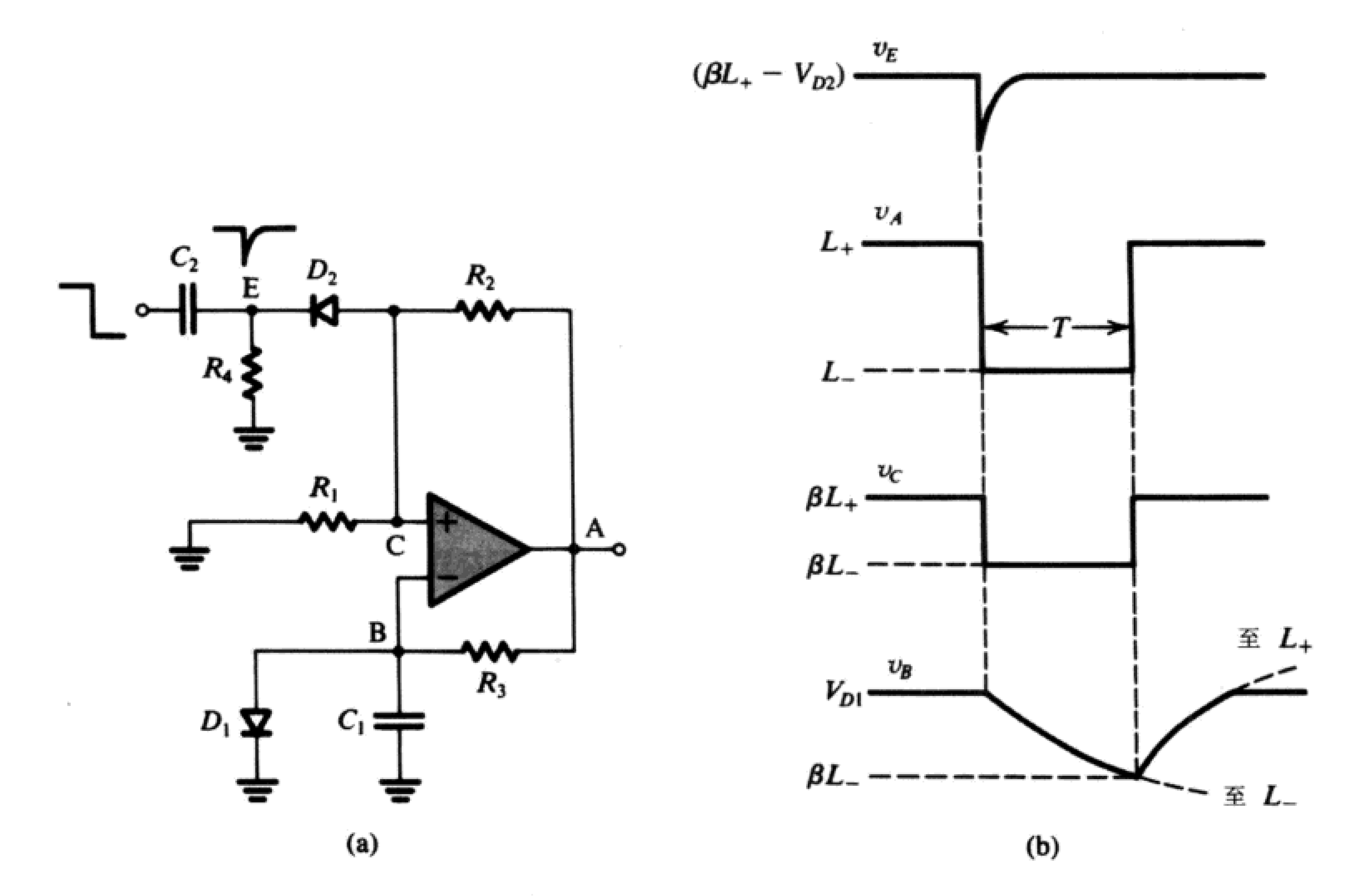


图 13.26 （a）运算放大器单稳态电路；（b）电路（a）的信号波形

节点 A 的负值电压使二极管 D_1 截止，电容 C_1 开始放电，放电的时间常数是 C_1R_3，电压按照指数规律往 L_-下降。多谐振荡器此时进入准稳态，直到电压 v_B 降到节点 C 的电压以下，节点 C 的电压等于βL_-，这时运算放大器的输出状态发生变化，从低电平跳回到高电平 L_+，同时改写节点 C 的电压，使之回到βL_+，电容 C_1 往 L_+方向充电，直至二极管 D_1 导通，电路回到稳定态。

从图 13.26（b）可以看出，在电路的准稳态阶段，我们得到了负的脉冲信号。脉冲 T 的持续宽度由 v_B 的指数波形决定：

$$v_B(t) = L_- - (L_- - V_{D1})e^{-t/C_1R_3}$$

代入 $v_B(T) = \beta L_-$，可得

$$\beta L_- = L_- - (L_- - V_{D1})e^{-T/C_1R_3}$$

从而得到

$$T = C_1R_3 \ln\left(\frac{V_{D1} - L_-}{\beta L_- - L_-}\right) \tag{13.36}$$

当 $V_{D1} << |L_-|$ 时，上述等式近似为

$$T \simeq C_1R_3 \ln\left(\frac{1}{1-\beta}\right) \tag{13.37}$$

最后注意，单稳态电路在电容 C_1 没有被充电到电压 V_{D1} 的时候，电路不会被触发；否则，输出脉冲信号会比正常的窄。这个再充电时间也称为恢复时间。恢复时间可以采用现有的电路技术被缩短。

练习 13.19　对图 13.26（a）所示的电路，求电阻 R_3 的值，使得输出脉冲的宽度是 100 μs。已知 $C_1 = 0.1\mu F$，$\beta = 0.1$，$V_D = 0.7$ V，$L_+ = -L_- = 12$ V。

答案：6171 Ω

13.7　集成电路计时器

目前已经有了实现单稳态和非稳态多谐振荡器功能的商用集成电路芯片，这些电路的特性都比较精确。本节要讨论的是这类芯片中非常流行的一种——555 计时器。它由 Signetics 公司在 1972 年推出，是一款由双极型晶体管构成的集成芯片。如今也可以买到 CMOS 工艺的 555 计时器，而且有多家公司提供此类芯片。

13.7.1　555 电路

图 13.27 所示是 555 计时器电路的模块框图［实际电路可参考 Grebene(1984)］。该电路采用了两个比较器、一个 SR 触发器和一个作为开关用的晶体管 Q_1。该电路是单电源工作，电源电压 V_{CC} 一般是 5 V。三个阻值相同的电阻 R_1 组成电阻分压回路，为两个比较器提供参考电压，其中，$V_{TH} = \frac{2}{3}V_{CC}$ 是比较器 1 的参考电压，$V_{TL} = \frac{1}{3}V_{CC}$ 是比较器 2 的参考电压。

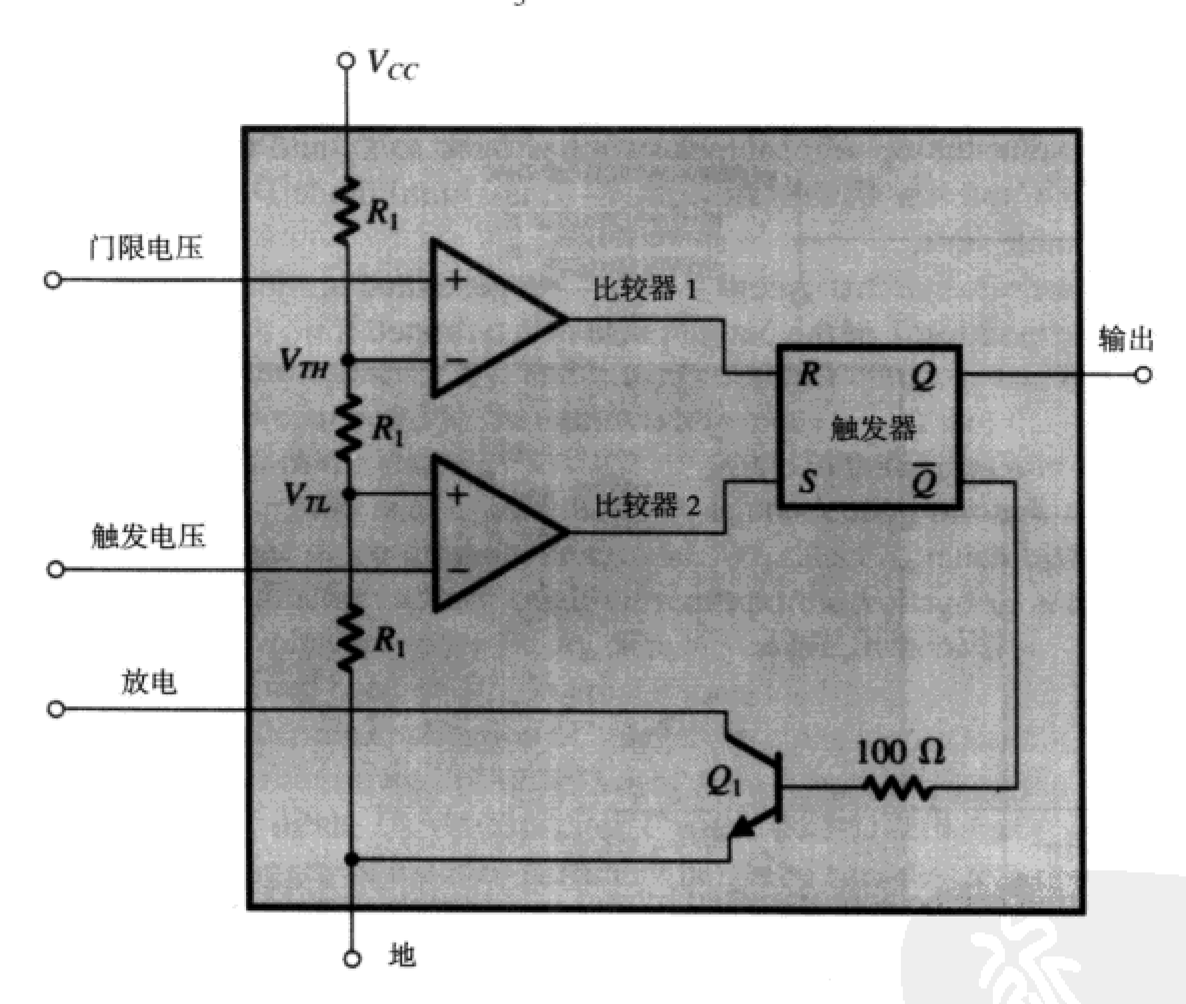


图 13.27　555 集成计时器的内部电路框图

第 11 章曾介绍过 SR 触发器，这里要注意的是 SR 触发器（也称为锁存器）是一个具有互补输出的双稳态电路，输出状态用 Q 和 $\overline{Q}$ 表示。在置位状态，输出 Q 是高电平（接近于 V_{CC}），输出 $\overline{Q}$ 是低电平（接近于 0 V）。在另一个稳定状态（称为复位状态），输出 Q 是低电平而 $\overline{Q}$ 是高电平。置位端接高电平，触发器置位，置位端用 S 表示；复位端接高电平，触发器复位，复位端用 R 表示。注意，在 555 计时器电路中，触发器的复位端和置位端分别接至比较器 1 和比较器 2 的输出端。

比较器 1 的同相输入端接的是 555 计时器的外部信号，用门限电压表示。同样，比较器 2 的

反向输入端也接外部信号，用触发信号表示，晶体管 Q_1 的集电极接的端口用放电表示。最后，计时器电路的输出接至触发器的输出端，用输出表示。

13.7.2 采用 555 计时器实现的单稳态多谐振荡器

图 13.28（a）所示是采用 555 集成芯片实现的单稳态多谐振荡器电路，片外元件是电阻 R 和电容 C。在稳定态，触发器是复位态，所以输出 $\bar{Q}$ 是高电平，晶体管 Q_1 导通并且饱和，因此 v_C 近似等于 0，比较器 1 的输出是低电平。而触发信号端接的电压 v_{trigger} 一直保持高电平（大于 V_{TL}），所以比较器 2 的输出仍是低电平。最后要注意，由于触发器处在复位状态，所以 Q 是低电平，即 v_O 接近于 0 V。

要触发单稳态电路，只要在触发输入端接入一个负脉冲即可。当 v_{trigger} 低于 V_{TL} 时，比较器 2 的输出转变为高电平，触发器被置位，触发器的输出 Q 为高电平，则 v_O 也为高电平输出，而 $\bar{Q}$ 为低电平输出，从而导致晶体管 Q_1 截止，电容 C 开始通过电阻 R 充电，节点电压 v_C 按照指数规律往 V_{CC} 增长。如图 13.28（b）所示的波形，单稳态多谐振荡器处于它的准稳定状态，该状态可以一直维持到电压 v_C 达到并开始超过比较器 1 的门限电压 V_{TH}，在达到门限电压值的时候，比较器 1 输出高电平，触发器复位，输出 $\bar{Q}$ 转为高电平，促使晶体管 Q_1 导通。一旦晶体管 Q_1 导通，电容 C 立即通过它放电，电压 v_C 迅速下降到 0 V，同时触发器处于复位状态，其输出 Q 走低，v_O 回到 0 V。单稳态电路重新回到它的稳定状态，等待下一个触发信号的到来。

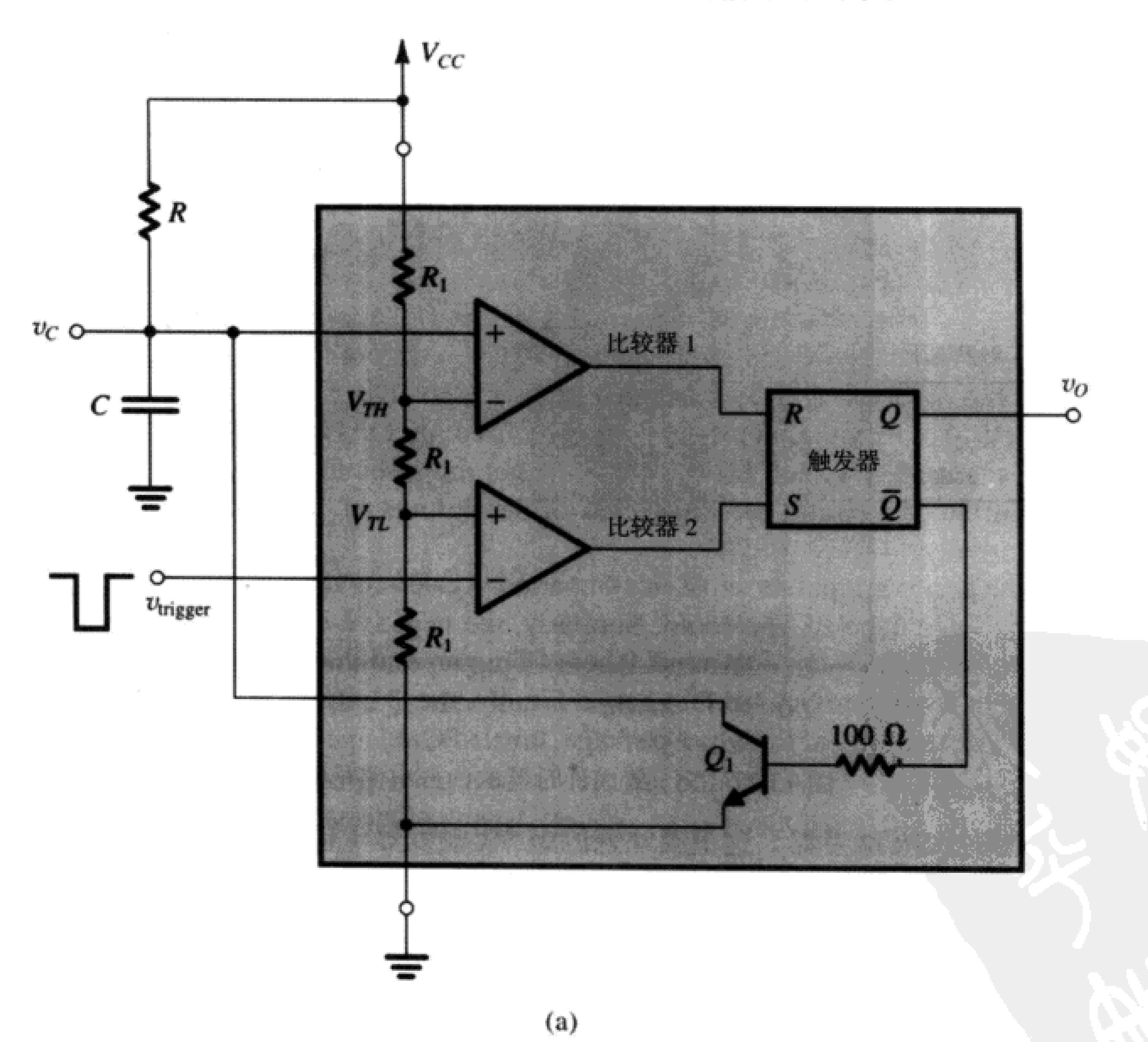


图 13.28 （a）连接 555 计时器实现单稳态多谐振荡器的电路

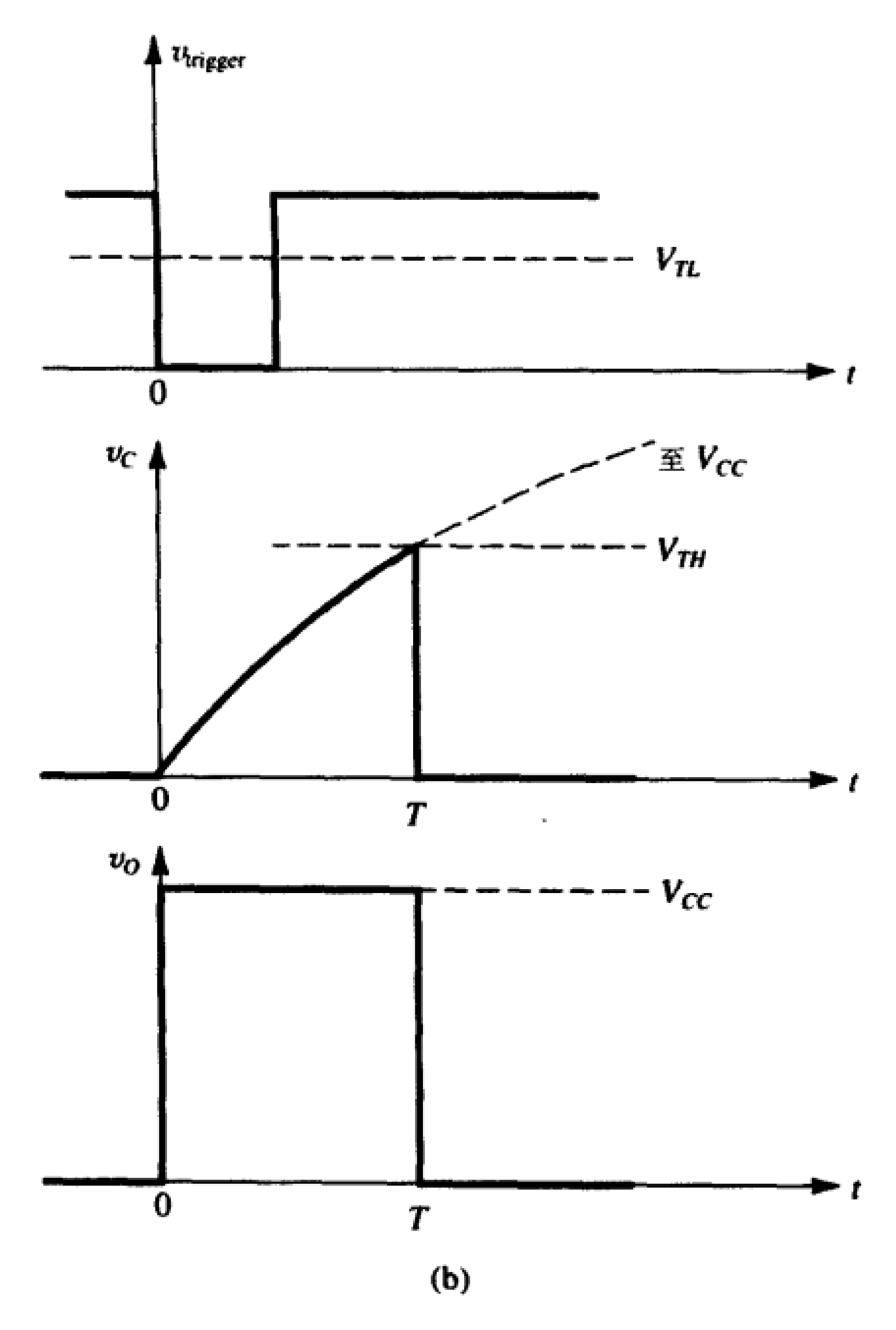


图 13.28（续）　（b）图（a）所示电路的节点电压波形

通过以上分析，我们看到单稳态电路产生了如图 13.28（b）所示的输出脉冲信号。脉冲的宽度 T 是单稳态电路处于准稳定状态的时间，我们可以根据图 13.28（b）所示的波形图来求解：设 $t=0$ 时触发脉冲到来，电压 v_C 的指数波形可以表示为

$$v_C = V_{CC}(1-e^{-t/CR}) \tag{13.38}$$

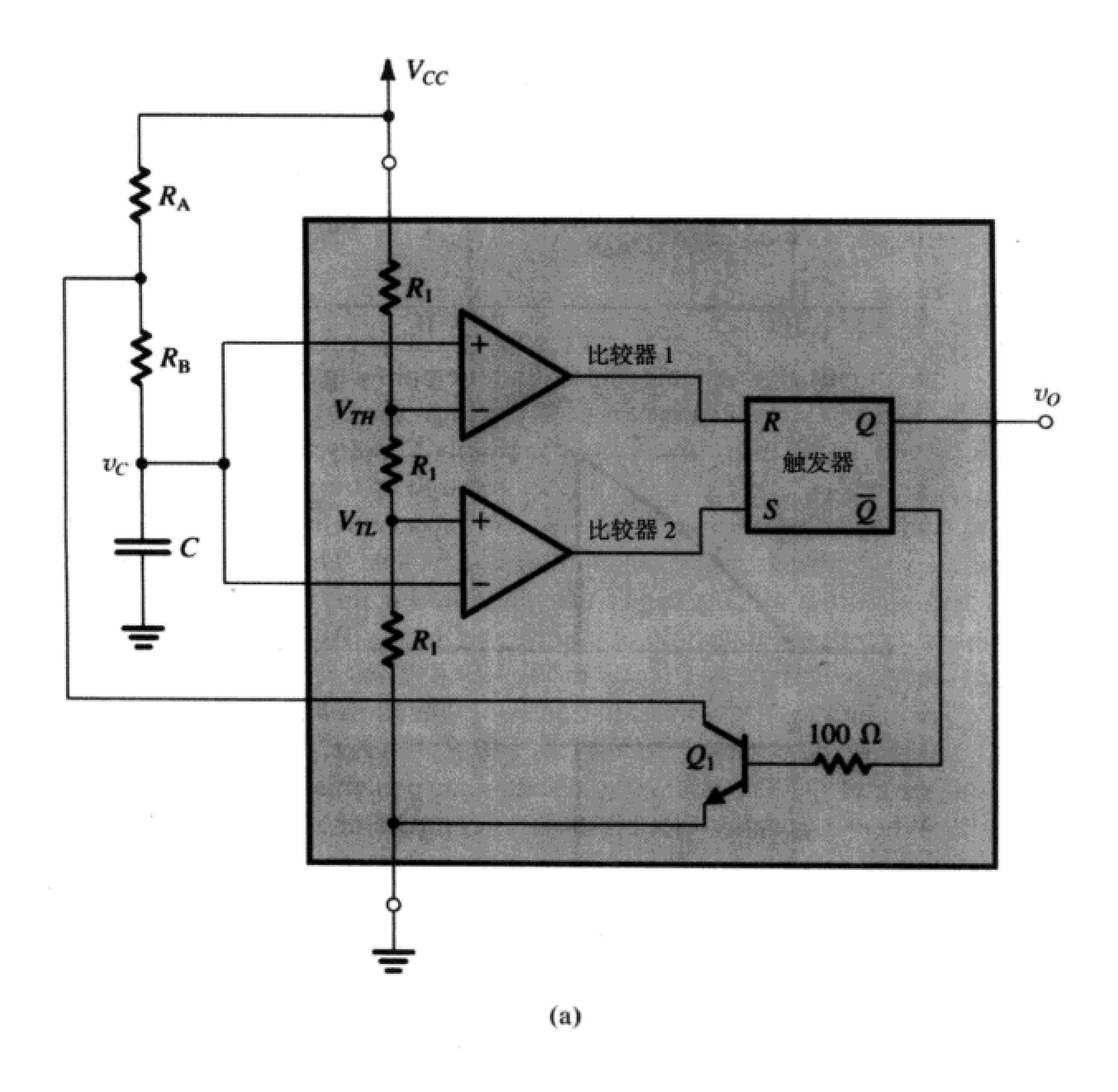
代入 $v_C=V_{TH}=\frac{2}{3}V_{CC}$，在 $t=T$ 时：

$$T = CR\ln 3 \simeq 1.1CR \tag{13.39}$$

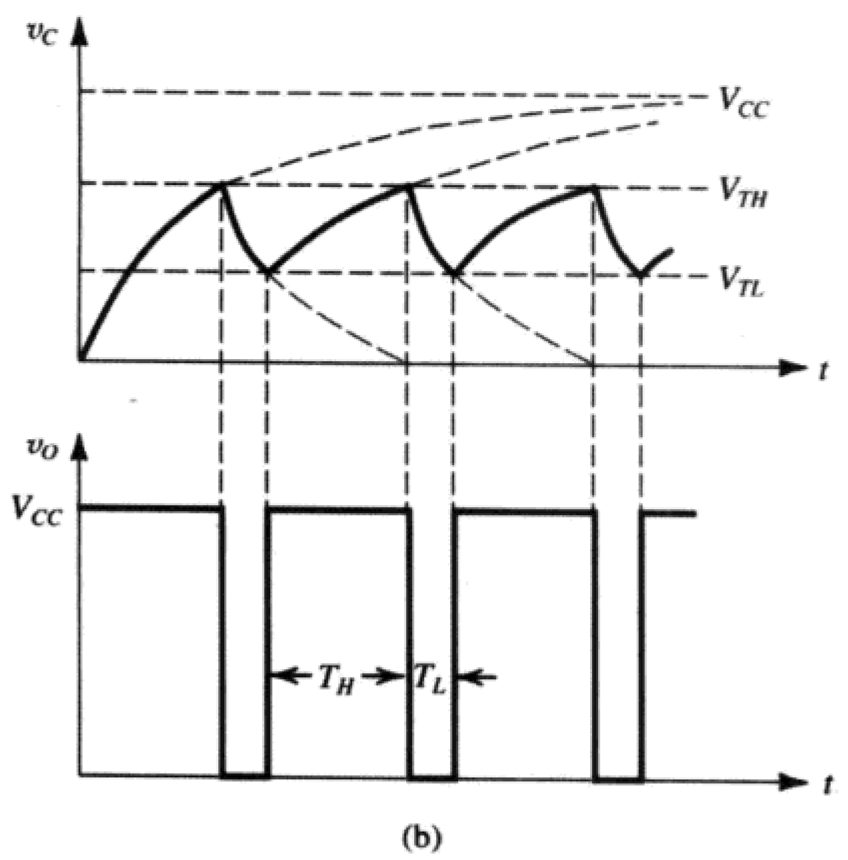
可见，脉冲的宽度只由外电路的元件值 C 和 R 决定，它可以设计得非常精确。

13.7.3 采用 555 芯片的非稳态多谐振荡器

图 13.29（a）所示的是采用 555 计时器电路实现的单稳态多谐振荡器，片外元件是电阻 R_A，R_B 和电容 C。下面我们来看一看该电路如何得到图 13.29（b）所示的输出波形。假设电容初始状态为放电，触发器置位，则 v_O 高电平输出，晶体管 Q_1 截止，电容 C 通过电阻 R_A 和 R_B 的串联组合电路充电，其两端的电压 v_C 按照指数规律往 V_{CC} 增加。当 v_C 的值超过 V_{TL} 时，比较器 2 低电平输出，但是该状态对电路没有影响，触发器仍然维持置位状态。事实上，电路的状态可以一直保持，直到 v_C 的值达到并开始超过比较器 1 的门限电压 V_{TH}。在这个瞬间，比较器 1 的输出变成高电平，触发



(a)



(b)

图 13.29 （a）连接 555 计时器实现非稳态多谐振荡器的电路；（b）图（a）所示电路的节点电压波形

器进入复位状态。这时 v_O 走低，$\bar{Q}$ 走高，晶体管 Q_1 导通并进入饱和状态，所以 R_A 和 R_B 的公共端的节点电压接近于 0 V，电容 C 通过 R_B 和集电极放电，电压 v_C 按照指数规律往 0 V 下降，放电时间常数等于 CR_B。当电压 v_C 达到比较器 2 的门限电压 V_{TL} 时，比较器 2 输出高电平，触发器置位，输出电压 v_O 走高，$\bar{Q}$ 走低，Q_1 截止，电容 C 通过 R_A 和 R_B 的串联等效电路充电，电压 v_C 按照指数规律往 V_{CC} 增加，充电时间常数为 $C(R_A + R_B)$，电压一直增加到 v_C 达到 V_{TH} 时。这时比较器 1 输出高电平，触发器复位，循环继续。

通过以上的分析，我们知道图 13.29（a）所示电路能够振荡产生方波信号。振荡频率的求解如下：参见图 13.29（b），在时间段 T_H，输出是高电平，电压 v_C 从 V_{TL} 增加到 V_{TH}，v_C 的指数上升规律如下：

$$v_C = V_{CC} - (V_{CC} - V_{TL})e^{-t/C(R_A+R_B)} \tag{13.40}$$

其中，$t=0$ 是 T_H 开始的时刻，在 $t=T_H$ 时代入 $v_C = V_{TH} = \frac{2}{3}V_{CC}$ 和 $V_{TL} = \frac{1}{3}V_{CC}$，得到

$$T_H = C(R_A + R_B)\ln 2 \simeq 0.69C(R_A + R_B) \tag{13.41}$$

从图 13.29（b）中还可以看到，在 T_L 时间段内 v_O 是低电平，电压 v_C 从 V_{TH} 降到 V_{TL}，v_C 的指数下降规律如下：

$$v_C = V_{TH}e^{-t/CR_B} \tag{13.42}$$

其中，我们设 $t=0$ 是 T_L 的开始时刻。在 $t=T_L$ 时代入 $v_C = V_{TL} = \frac{1}{3}V_{CC}$ 和 $V_{TH} = \frac{2}{3}V_{CC}$，得到

$$T_L = CR_B \ln 2 \simeq 0.69CR_B \tag{13.43}$$

结合式（13.41）和式（13.43），可以得到方波的周期 T 为

$$T = T_H + T_L = 0.69C(R_A + 2R_B) \tag{13.44}$$

从式（13.41）和式（13.43）还可以得到输出信号的占空比：

$$\text{占空比} \equiv \frac{T_H}{T_H + T_L} = \frac{R_A + R_B}{R_A + 2R_B} \tag{13.45}$$

注意，占空比始终大于 0.5（50%），当电阻 R_A 选择得远小于 R_B 时，占空比接近于 0.5（代价是电源的电流消耗很大）。

练习 13.20　设计图 13.28（a）所示的单稳态电路，已知电容 $C = 10$ nF，求使得电路产生 100 μs 的输出脉冲的电阻 R 的值。

答案：9.1 kΩ

练习 D13.21　电路如图 13.29(a)所示，电容 $C = 1000$ pF，求使得电路产生的振荡频率等于 100 kHz、占空比为 75%电阻 R_A 和 R_B 的值。

答案：7.2 kΩ；3.6 kΩ

13.8 非线性波形整形电路

二极管和电阻结合在一起形成的二端口网络具有任意的非线性传输特性。它可以应用在波形整形电路中，将规定形式的输入信号波形变换成所需要的输出波形。本节用一个具体例子来说明此类应用——正弦波整形器。该电路的目的是将输入三角波信号整形为正弦波。正弦波整形器虽然简单，但是在函数发生器中却是一个应用广泛的实际电路。注意这种方法和采用线性振荡器（见 13.1 节~13.3 节）产生正弦波的方法之间的比对。虽然线性振荡器产生的正弦波比较纯，但是

产生低频正弦信号很困难，而且线性振荡器通常难以实现宽带调谐。接下来将讨论采用两种不同技术设计的正弦波整形器。

13.8.1 断点法

断点法是把要得到的非线性传输特性（我们要讨论的是图 13.30 所示的正弦函数）用分段线性曲线来实现。二极管作为开关在非线性传输特性的不同断点处导通，连接电路不同的附加电阻，从而改变传输特性的斜率。

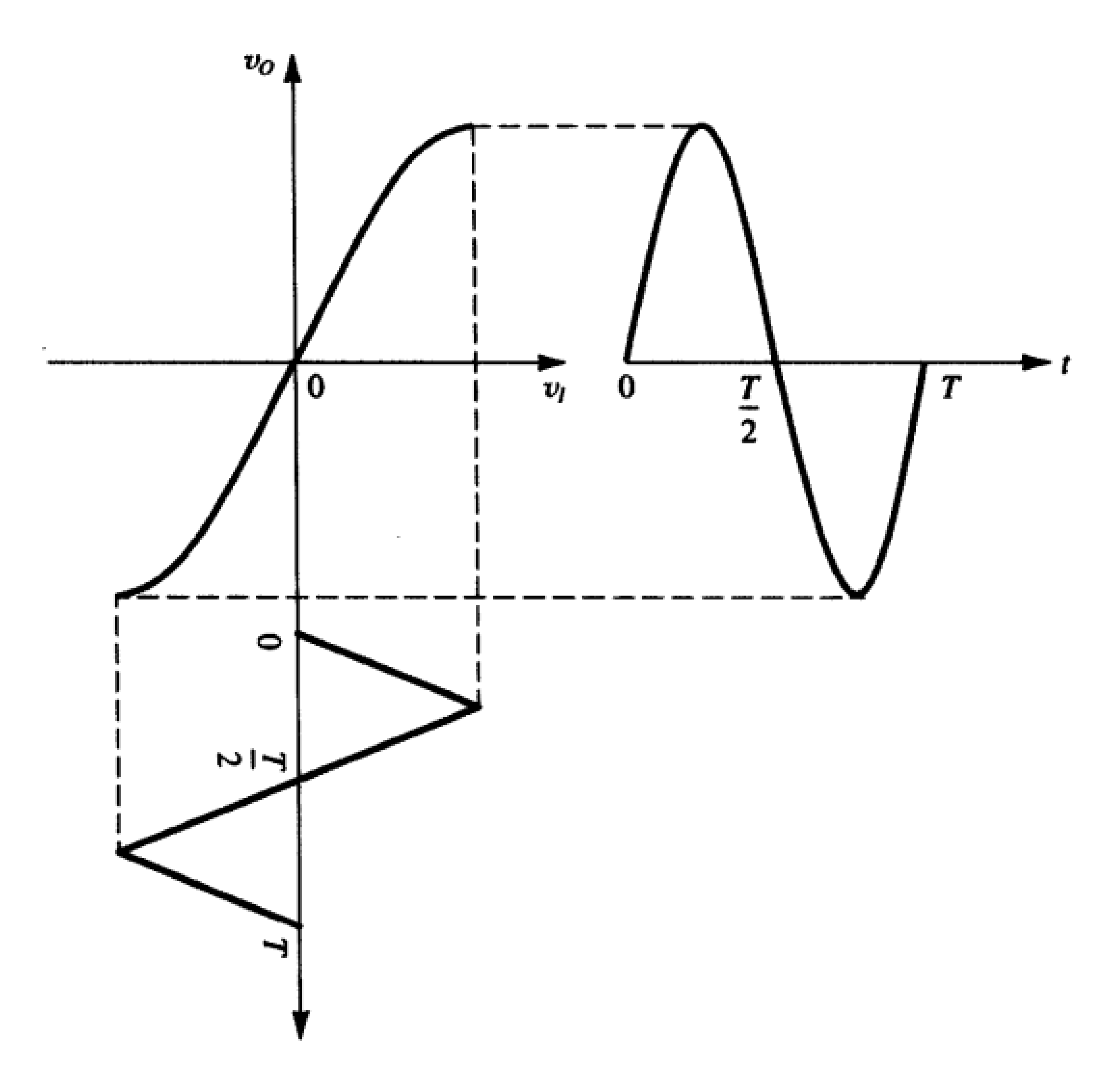


图 13.30 采用非线性（正弦）传输特性将三角波整形为正弦波

考虑图 13.31（a）所示的电路，其中在完全对称的直流电源$+V$和$-V$之间有一系列电阻。分压电路的目的是得到参考电压，从而确定非线性传输特性上的断点位置。在我们的例子中，参考电压分别用$+V_2$，$+V_1$，$-V_1$，$-V_2$表示。注意，整个电路是对称的，输入的三角波信号也是对称的，所以得到的输出正弦波也是对称的。正弦波每四分之一周期的信号采用三段直线来逼近，直线之间的断点由参考电压 V_1 和 V_2 确定。

这个电路的工作原理如下：设输入三角波信号的波形如图 13.31（b）所示，第一个四分之一周期波形用 0 和 1 两点之间的线段表示。当输入信号的幅度低于 V_1 时，所有二极管都不导通，则流过电阻 R_4 的电流等于 0，因此节点 B 的输出电压就等于输入电压。但是当输入电压上升至 V_1 并超过该值时，D_2（假设二极管理想）开始导通，假设导通的二极管等效为短路，则可以得到 $v_I > V_1$ 时有：

$$v_O = V_1 + (v_I - V_1)\frac{R_5}{R_4 + R_5}$$

上式说明，当输入电压继续增加并超过 V_1 时，输出电压跟随输入电压增加，但斜率减小，这种关系与输出波形的第二段直线部分相对应，如图 13.31（b）所示。注意，在推导上式时，我们假设分压电路的电阻值足够小，以至于电压 V_1 和 V_2 几乎是常数，与输入电流无关。

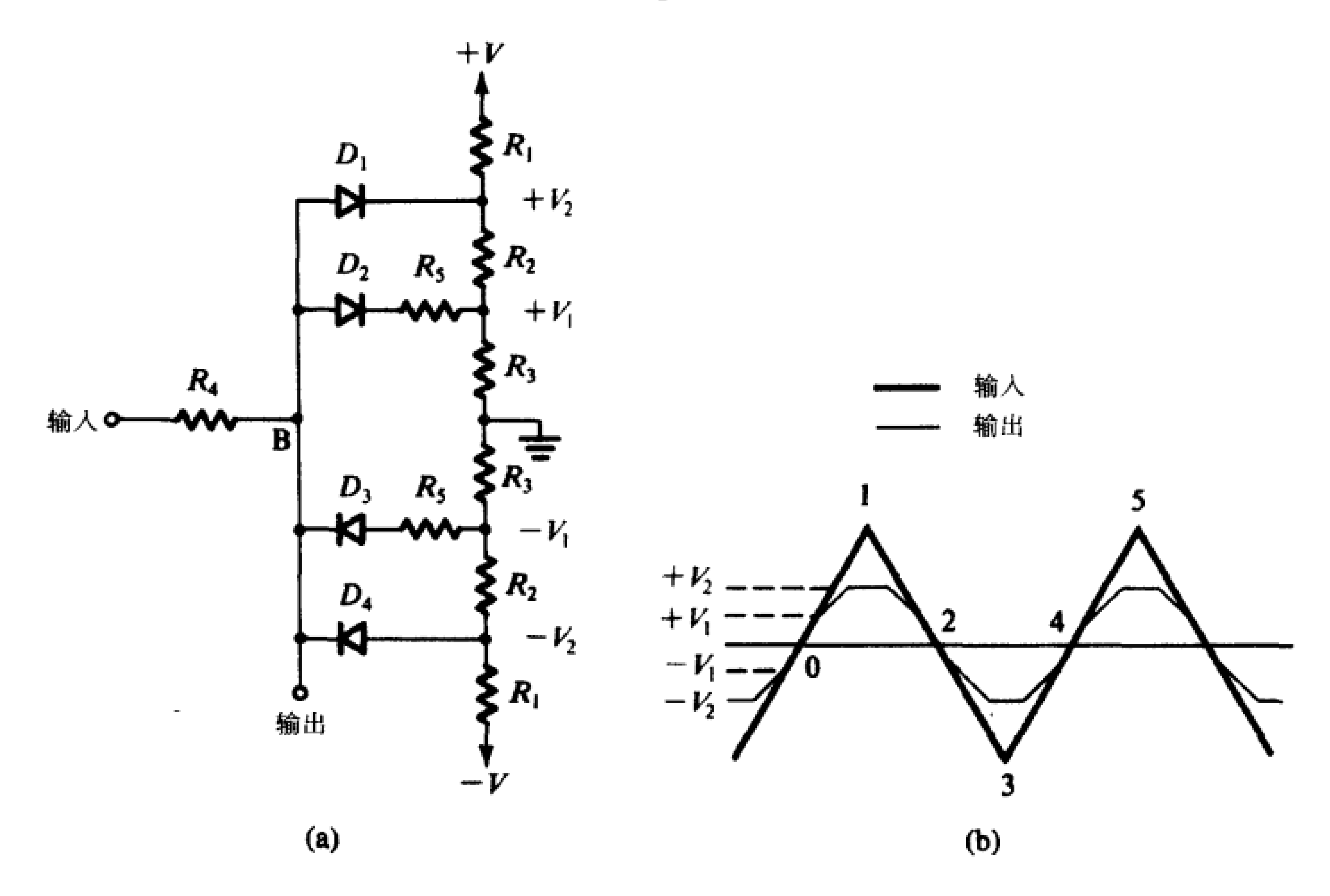


图 13.31 （a）三段正弦波整形器；（b）三角波输入和近似正弦波形的输出

接下来讨论节点 B 的电压达到 V_2 确定的第二个断点电压时的情况。这时 D_1 导通，输出电压被限幅在 V_2 上（当然，如果二极管不是理想的话，也应加上 D_1 的导通电压），这时我们便得到了第三段直线段，它是输出波形的平坦部分。整个波形是弯曲的，近似表示正弦波第一个四分之一周期的波形。输入信号达到峰值并开始下降后，平坦部分延续，之后输出逐步成为类似于输入的波形。当输入信号进入负半周时，上述过程在 $-V_1$ 到 $-V_2$ 之间重复，从而得到负半周的输出信号。

虽然这个电路很简单，但是性能却非常好。性能的好坏通常用输出正弦信号的频率单纯度[即所有谐波失真的百分比（THD）]来衡量。它的定义是所有高于基波频率（三角波的频率）的谐波的均方根电压值与基波的均方根电压值之比（参见第 14 章）。有趣的是，二极管整形电路之所以具有良好的性能，原因在于二极管的非理想伏安特性（进入正向导通时的指数特性）使得输出特性曲线能够从一段直线平滑过渡到另一段直线。

断点正弦波整形器实现时的实际电路采用 6~8 段直线段（我们上面采用的是三段直线），晶体管的使用增加了电路设计的多样性，但目的只有一个——增加精确度，减小 THD[参见 Grebene (1984), 592~595 页]。

13.8.2　非线性放大法

我们要讨论的另外一种将三角波变换到正弦波的方法是把三角波信号作为放大器的输入，利用放大器的非线性传输特性进行信号放大，从而得到近似的正弦函数。图 13.32 所示的放大电路由一对差分管和一个接在两个射极之间的电阻组成，选择合适的偏置电流源 I 和电阻 R 的值可以使差分对的传输特性接近于图 13.30 所示的波形。当 v_I 很小时，图 13.32 所示电路的传输特性几

乎是线性的，对应的正弦波正好在过零点附近。当 v_I 增大时，BJT 的非线性特性降低了放大器的增益，导致传输特性曲线弯曲，当接近峰值时近似于正弦波。[更详细的电路可以在 Grebene (1984)，595~597 页找到。]

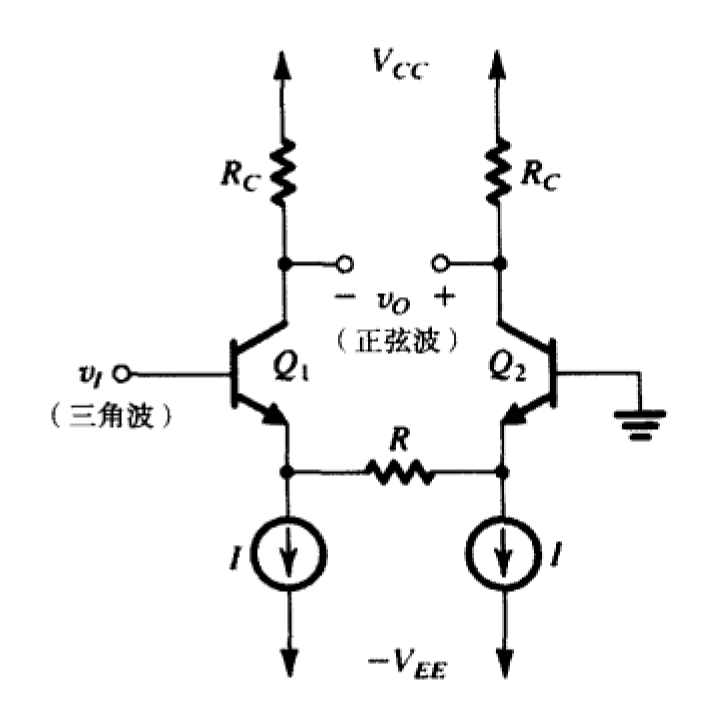


图 13.32　射极接有反馈电阻的差分对，用于实现三角波到正弦波的转换。电路的工作特性可以用图 13.30 表示

练习 D13.22　考虑如图 E13.22 所示的电路，要求采用三段折线逼近非线性特性（$i=0.1v^2$），其中 v 的单位是 V，i 的单位是 mA。求电阻 R_1、R_2 和 R_3 的值使得电路在 $v=2$ V，4 V，8 V 时的逼近效果最好。计算电压 $v=3$ V，5 V，7 V，10 V 时的电流误差。假设二极管是理想的。

答案：5 kΩ，1.25 kΩ，1.25 kΩ；–0.3 mA，+0.1 mA，–0.3 mA，0

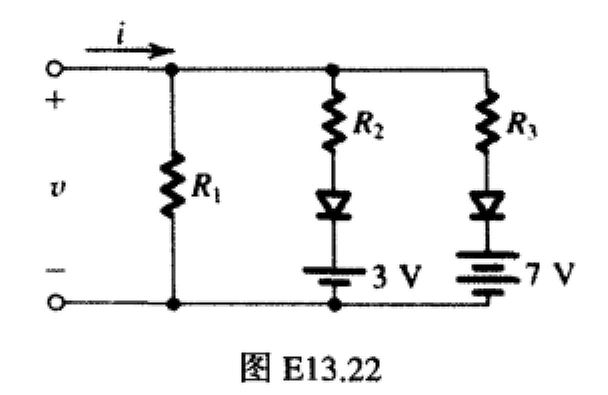


图 E13.22

练习 13.23　详细分析图 13.32 所示的电路，发现电路的最佳性能出现在电流源 I 和电阻 R 的值满足 $RI=2.5V_T$ 的时候，其中 V_T 是热电压。如果电路是这样设计的，那么电路的输入峰值必须是 $6.6V_T$，相应的跨接在电阻 R 上的正弦波信号峰值是 $2.42V_T$。设 $I=0.25$ mA，$R_C=10$ kΩ，求输出正弦信号 v_O 的峰值。

答案：4.84 V

13.9　精密整流电路

第 3 章介绍的整流电路侧重于在设计直流电源时的应用。在这种应用中，被整流的电压通常远大于二极管的导通电压，二极管管压降的精确值不是整流电路工作的重要参数。然而，另外一些应用的情况却相反。比如仪表放大器，这种应用需要整流的信号幅度很小，比如 0.1 V，这时传统的整流电路则无法使用。另外，仪表放大器要求整流电路具有精密传输特性的需求也在不断增加。

本节将要介绍由二极管和运算放大器结合在一起实现的具有精密传输特性的整流电路。精密整流器可以看成是一类特殊的波形整形电路，应用在仪表设备系统的设计中。第 3 章已经简单介绍了精密整流器，为方便读者阅读，这里把这部分内容再重复一遍。

13.9.1 精密半波整流器——超二极管

图 13.33（a）所示的是一个精密半波整流电路，该电路由置于运算放大器负反馈回路上的二极管和电阻 R 组成，电阻 R 是整流器的负载。电路的工作原理如下：如果 v_I 达到正值，运算放大器的输出电压 v_A 也是正的，那么二极管导通并建立运算放大器的输出端和反向输入端之间的闭合回路。该负反馈回路使得运算放大器的两个输入端之间成为虚短路，即运算放大器反向输入端的电压（也就是运算放大器的输出电压 v_O）等于（在几个毫伏以内）运算放大器同相端电压 v_I：

$$v_O = v_I \quad v_I \geqslant 0$$

注意，简单半波整流电路中出现的失调电压（约 0.5 V）将不再出现。为了使运算放大器开始工作，电压 v_I 只需比二极管管压降除以运算放大器环路增益所得到的电压值略大一些即可。换言之，直线传输特性 v_O~v_I 几乎可以通过原点，因而电路非常适合于信号很小的应用场合。

现在考虑 v_I 变为负值时的情况。此时运算放大器的输出电压 v_A 会跟着成为负值，二极管反偏，没有电流流过电阻 R，因此电压 v_O 维持为 0 V，即 $v_I < 0$，$v_O = 0$。因为这种情况下的二极管是截止的，所以运算放大器工作在开环状态，输出等于负的饱和电平。

电路的传输特性如图 13.33（b）所示，它几乎和理想半波整流电路的传输特性相同。非理想的二极管传输特性由于其处在运算放大器的负反馈回路中而几乎被完全掩盖。这是负反馈的另一种绝妙应用。运算放大器和二极管的组合［如图 13.33（a）的虚线框所示］称为“超二极管”。

美中不足的是，图 13.33 所示的电路在 $v_I < 0$ 时 $v_O = 0$，v_I 的整个电压全部加在运算放大器的两个输入端之间，一旦电压幅度超过几伏（V），运算放大器就会损坏，除非电路备有“过电压保护”（大多数现代集成运算放大器都有这个性能）。另一个不足之处在于 v_I 小于 0，运算放大器输出饱和。虽然对运算放大器而言没有危害，但是仍然应该避免饱和。因为从饱和状态回到线性区域是需要一定时间的。时间上的延迟显然会降低电路的工作速度，限制超二极管半波整流电路的工作频率。

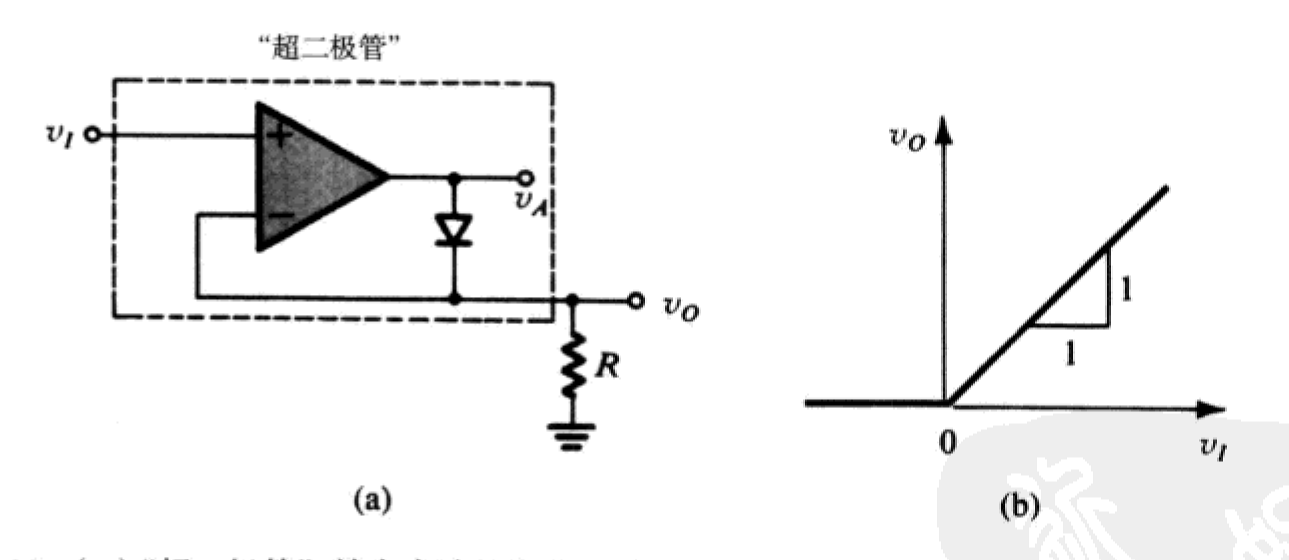


图 13.33 （a）“超二极管”精密半波整流器；（b）近乎理想的传输特性。注意，当 $v_I > 0$ 时，二极管导通，运算放大器为负载提供电流，源被缓冲，从而提高了性能

13.9.2 另一种电路

能够避免上面提到的一些不足的另一种精密整流电路如图 13.34 所示。电路的工作原理如下：如果 v_I 是正的，二极管 D_2 导通并闭合运算放大器的负反馈回路。这时运算放大器的反向输入端成为虚地端，运算放大器的输出被钳位在比地低一个导通电压的位置上。该负值电压使得 D_1 截止，因而没有电流流过反馈电阻 R_2，因此整流电路的输出电压为 0。

当 v_I 向负值变化时，运算放大器反向输入端的电压也趋于负值，从而使运算放大器输出端的电压成为正值。这时二极管 D_2 处于反向偏置，是截止的，而二极管 D_1 却是导通的并通过电阻 R_2 建立了运算放大器的负反馈回路，这将迫使运算放大器的反向输入端成为虚地端，且流过反馈电阻 R_2 的电流等于流过输入电阻 R_1 的电流。当 $R_1 = R_2$ 时，输出电压 v_O 变为

$$v_O = -v_I \quad v_I \leqslant 0$$

电路的传输特性如图 13.34（b）所示。注意，与图 13.33 所示电路不同的是：传输特性的斜率可以任意设定（包括设定为 1），只要选择合适的 R_1 和 R_2 值即可。

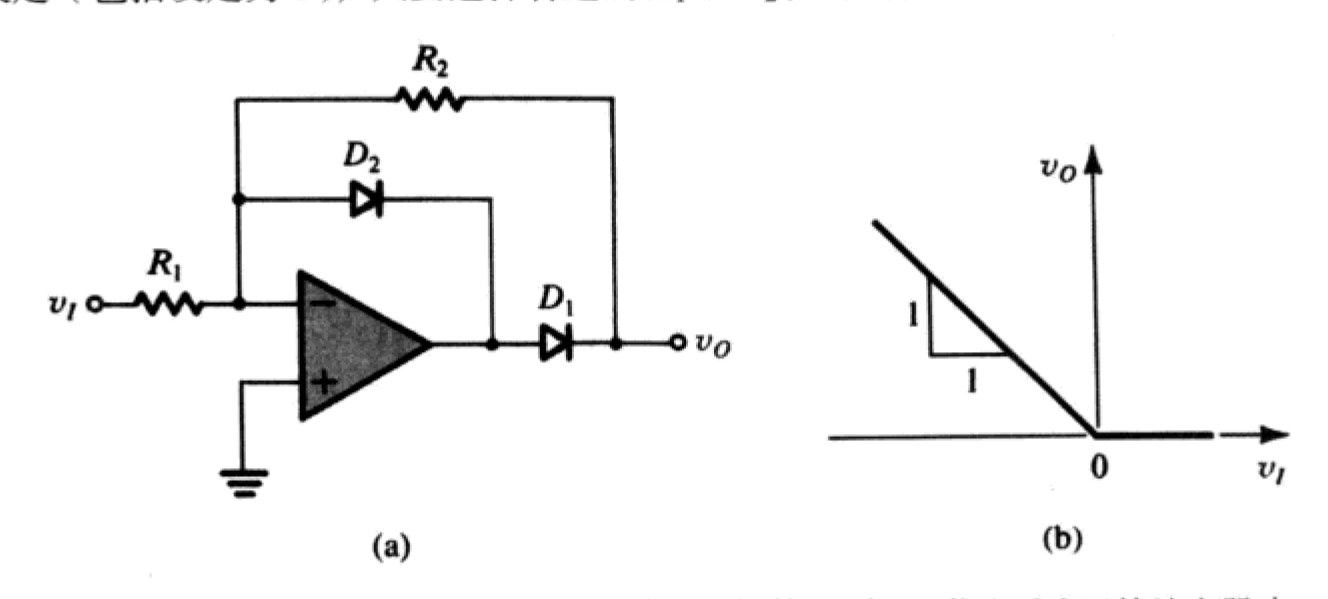


图 13.34 （a）精密整流电路的改进形式：二极管 D_2 在 D_1 截止时为运算放大器建立反馈回路，避免运算放大器进入饱和状态；（b）$R_1 = R_2$ 时的传输特性

正如前面提到的那样，改进后的电路的最大好处在于运算放大器的负反馈回路在所有工作时间内都是闭合的，所以运算放大器一直工作在线性区，从而避免了出现饱和的可能性，当然也不会有从饱和区回到线性区所需要的延迟。二极管 D_2 跟踪运算放大器的输出电压，当发现负值输入时，输出电压被钳位在比 0 低一个二极管导通电压的位置上，所以 D_2 也称为“跟踪二极管”。

13.9.3 应用——交流电压测量

本节讨论精密整流电路众多应用中的一个应用——交流电压表，电路如图 13.35 所示。它由半波整流电路和一阶低通滤波器组成，其中运算放大器 A_1、二极管 D_1、D_2 和电阻 R_1 及 R_2 组成半波整流电路；运算放大器 A_2、电阻 R_3 及 R_4 和电容 C 组成一阶低通滤波器。如果输入正弦信号的峰值幅度是 V_p，那么整流器的输出电压 v_1 就是峰值幅度为 V_pR_2/R_1 的半波信号，对 v_1 傅里叶级数展开，可以得到均值为$(V_p/\pi)(R_2/R_1)$的直流分量以及基波ω和它的谐波分量。为使所有高次谐波的幅度降到可以忽略的程度，必须合理选择低通滤波器的角频率，使其远低于输入信号的最低频率$\omega_{\min}$，从而导致

$$\frac{1}{CR_4} << \omega_{\min}$$

因此输出电压 v_2 几乎就是一个直流分量，其值为

$$V_2 = -\frac{V_p}{\pi}\frac{R_2}{R_1}\frac{R_4}{R_3}$$

其中，R_4/R_3 是低通滤波器的直流增益。注意，该电压表测得的基本上是输入信号负半周的平均值，但是可以对其进行标定，从而提供输入信号的均方根读数值。

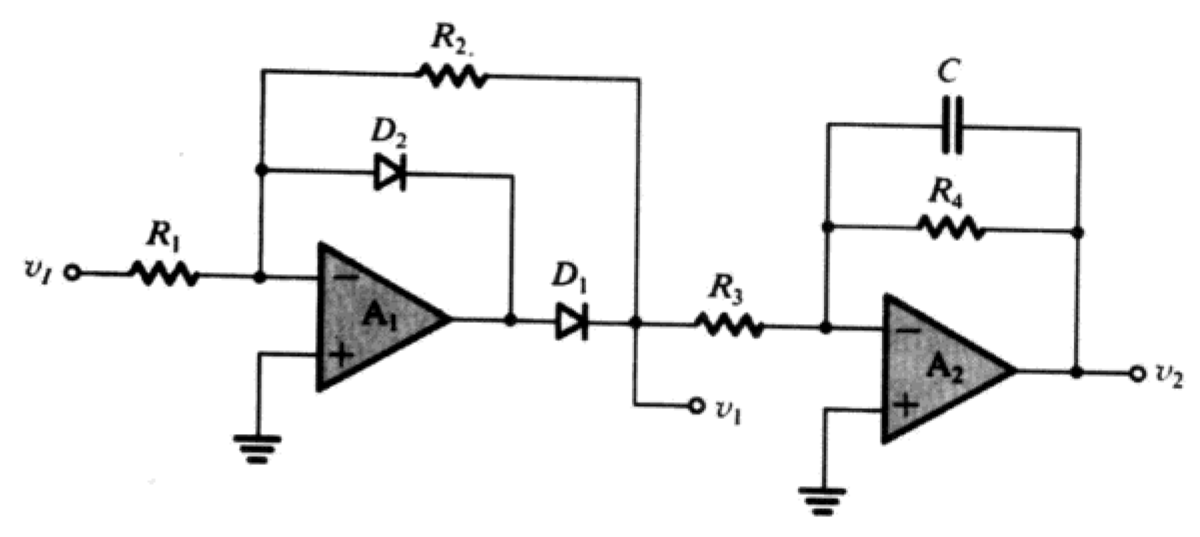


图 13.35　由精密半波整流器和一阶低通滤波器组成的简单交流电压表

练习 13.24　考虑图 13.33（a）所示的超二极管电路，电阻 $R=1\ \text{k}\Omega$。当输入电压为 10 mV，1 V 和 −1 V 时，求整流器的输出电压值以及运算放大器的输出电压值。假设运算放大器是理想的，输出饱和电压是±12 V，二极管在电流为 1 mA 时导通电压是 0.7 V，电流每变化 10 mA，导通电压则下降 0.1 V。

答案：10 mA，0.51 V；1 V，1.7 V；0 V，−12 V

练习 13.25　如果图 13.33（a）所示电路中的二极管接反了，那么传输特性 $v_O \sim v_I$ 是什么结果？

答案：当 $v_I \geqslant 0$ 时，$v_O=0$；当 $v_I \leqslant 0$ 时，$v_O=v_I$

练习 13.26　考虑图 13.34（a）所示的电路，电阻 $R_1=1\ \text{k}\Omega$，$R_2=10\ \text{k}\Omega$。当 $v_I=+1$ V，−10 mV，−1 V 时，求 v_O 和放大器的输出电压。假设运算放大器是理想的，输出饱和电压为±12 V。二极管在电流为 1 mA 时的压降是 0.7 V，电压下降速度是 0.1 V/10 mA。

答案：0 V，−0.7 V；0.1 V，0.6 V；10 V，10.7 V

练习 13.27　如果图 13.34（a）所示电路中的二极管接反了，那么传输特性 $v_O \sim v_I$ 是什么结果？

答案：当 $v_I \geqslant 0$ 时，$v_O=-(R_2/R_1)v_I$；当 $v_I \leqslant 0$ 时，$v_O=0$

练习 13.28　求图 E13.28 所示电路的传输特性。

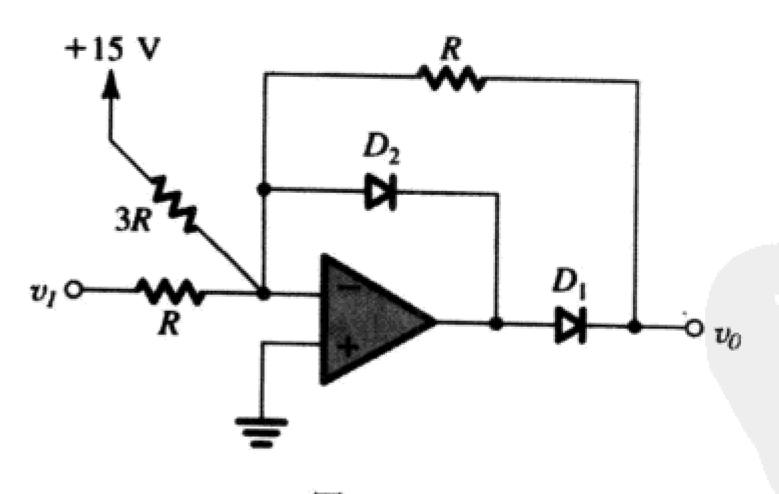


图 E13.28

答案：当 $v_I \geqslant -5$ V 时，$v_O=0$；当 $v_I \leqslant -5$ V 时，$v_O=-v_I-5$

13.9.4　精密全波整流器

现在我们来推导精密全波整流器的电路结构。从第 3 章中我们知道，全波整流信号的实现是将输入信号的负半周波形反相并把它输入到另一个二极管整流电路中去，然后再把两个整流器的输出合在一起输送到负载上。图 13.36 就是根据这样的设想得到的电路，图中同样给出了各个不

同节点的电压波形。现在把二极管 D_A 用超二极管替代，反相放大器和二极管 D_B 用图 13.34 所示的精密半波整流电路的反相电路替代，这里没有使用跟踪二极管，这样我们便得到了全波精密整流电路，如图 13.37（a）所示。

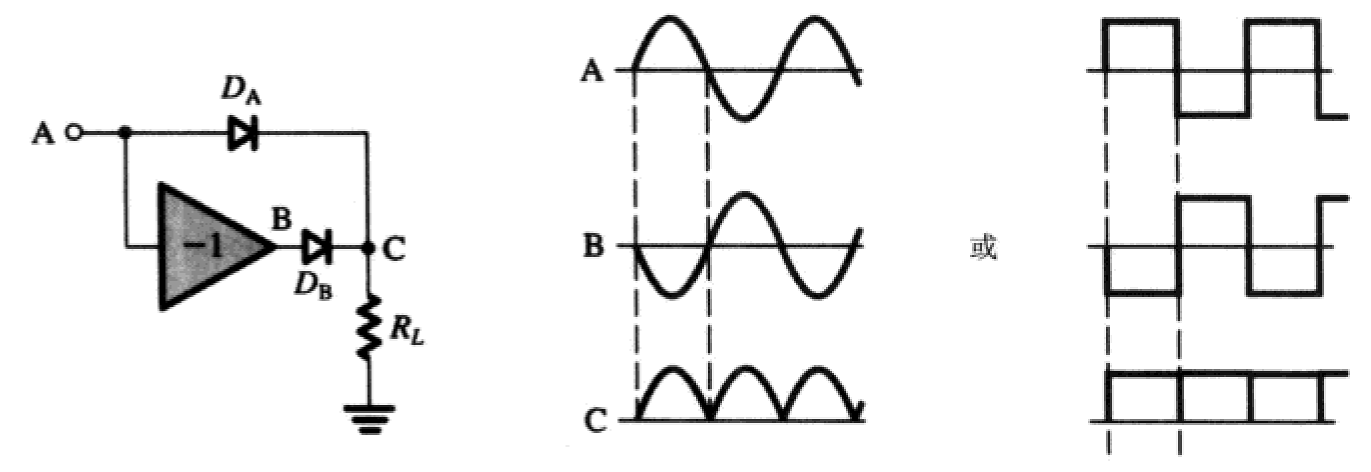


图 13.36 全波整流器的原理电路

为了理解图 13.37（a）所示的电路是如何工作的，首先假设节点 A 输入的是正信号，那么运算放大器 A_2 的输出是正的，二极管 D_2 导通并通过 R_L 建立了运算放大器 A_2 的反馈回路，从而建立了运算放大器 A_2 的两输入端之间的虚短路，所以反向输入端的电压（实际也是电路的输出电压）就等于输入电压。即没有电流流过电阻 R_1 和 R_2，那么运算放大器 A_1 的反相输入端电压等于输入电压（也是正的），运算放大器 A_1 的输出端（节点 F）就是负的，直到输出饱和，在此阶段，二极管 D_1 始终截止。

接下来考虑节点 A 进入负半周的情况。运算放大器 A_1 反相输入端的负值电压使得节点 F 的电压成为正值，那么二极管 D_1 导通，电阻 R_L 上有电流流过，并且建立起运算放大器 A_1 的负反馈回路。这时运算放大器 A_1 的反相输入端成为虚地端，两个阻值相等的电阻 R_1 和 R_2 迫使节点 C 的电压（实际上也是电路的输出电压）等于输入节点 A 的电压的负值，即为正值，它与节点 A 的负值电压相结合导致运算放大器 A_2 输出为负值饱和，因此使二极管 D_2 保持截止状态。

完整的传输特性如图 13.37（b）所示，这是一个理想的全波整流器的传输特性。“精密”的含义是指二极管的非线性特性被掩盖了，这是因为二极管被置于运算放大器的负反馈回路上的结果。该电流是众多可能实现的精密整流电路中的一个，也称为绝对值电路。另一个实现此功能的相关电路参见练习 13.30。

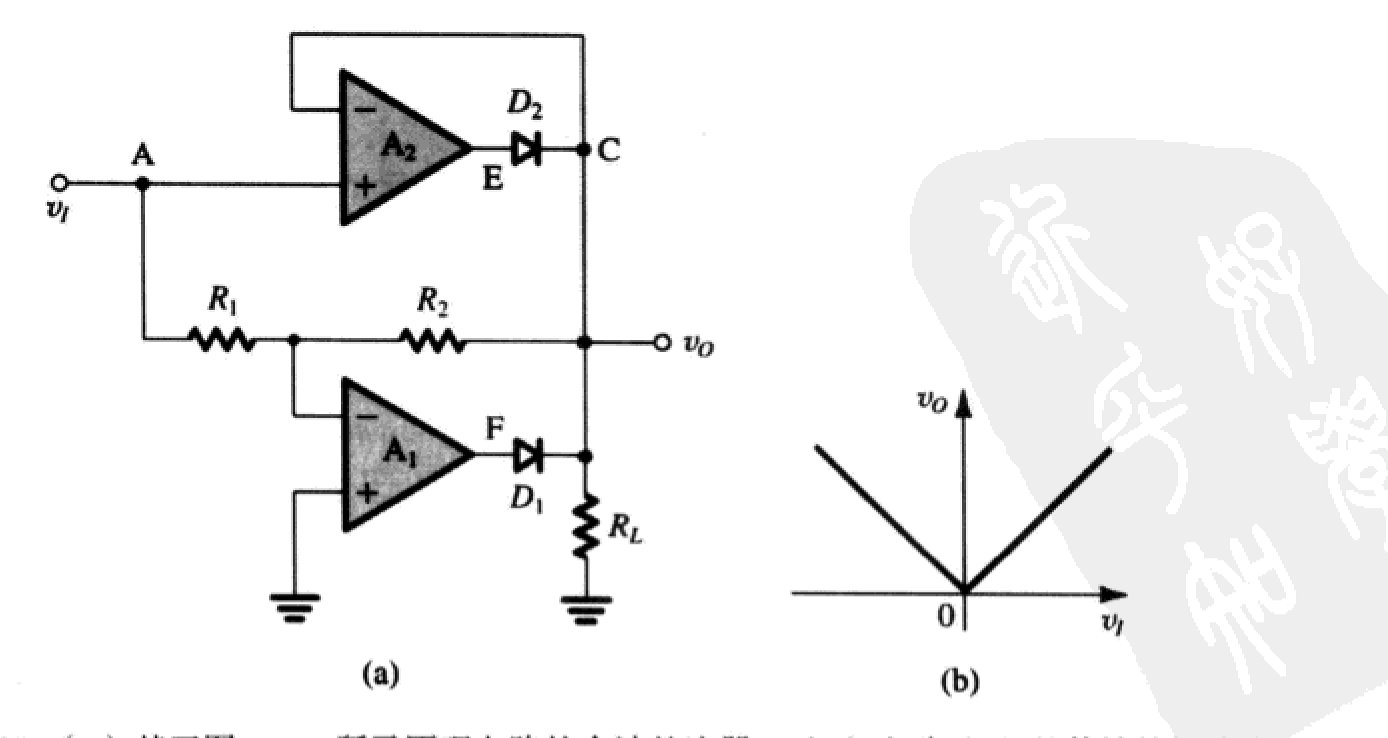


图 13.37 （a）基于图 13.36 所示原理电路的全波整流器；（b）电路（a）的传输特性曲线

练习 13.29　在图 13.37（a）所示的全波整流电路中，设 $R_1 = R_2 = R_L$ =10 kΩ，假设运算放大器是理想的，只是输出饱和电压为±12 V。当二极管流过 1 mA 的电流时，其管压降为 0.7 V，管压降下降速度是 0.1 V/10 mA。求 v_I = +0.1 V，+1 V，+10 V，−0.1 V，−10 V 时的节点电压 v_O，v_E，v_F。

答案：+0.1 V，+0.6 V，−12 V；+1 V，+1.6 V，−12 V；+10 V，+10.7 V，−12 V；+0.1 V，−12 V，+0.63 V；+1 V，−12 V，+1.63 V；+10 V，−12 V，+10.73 V

练习 D13.30　图 E13.30（a）给出的是实现全波整流或者绝对值电路的框图，图 E13.30（b）所示是电路的传输特性。电路框图由两个模块组成：半波整流器和反向加权加法器。其中，半波整流器可以采用图 13.34（a）所示的电路实现，但是两个二极管均反接。证明该框图可以实现绝对值电路的功能，然后画出完整的电路图，并给出所有电阻的合理值。

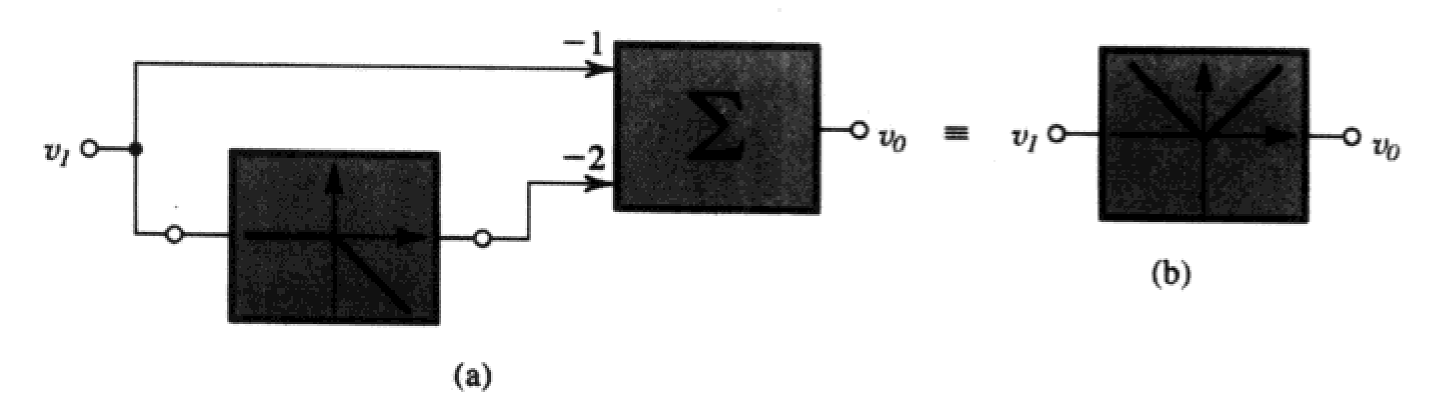


图 E13.30

13.9.5　精密桥式整流器在仪表中的应用

第 3 章曾讲过桥式整流电路和运算放大器结合在一起可以实现精密整流电路。图 13.38 给出的就是这样一个电路。电路提供大小为 $|v_A|/R$ 的电流以驱动动圈电流表 M，电流表的指针读数和输入电压 v_A 的绝对值的均值成正比。电流表和运算放大器的非理想特性都被掩盖，因为桥式电路被置于运算放大器的负反馈回路上。观察得到，当 v_A 为正时，从运算放大器输出端流出的电流流经 D_1，M，D_3 和 R；当 v_A 为负时，从运算放大器输出端流出的电流流经 R，D_2，M 和 D_4。不管 v_A 的极性如何，运算放大器的负反馈回路始终是闭合的，因此运算放大器输入端虚短路的结论使得加在电阻 R 上的电压实现了对 v_A 的复制。图 13.38 所示电路采用的是不太贵的动圈电流表，却实现了相对精确的高输入阻抗的交流电压表。

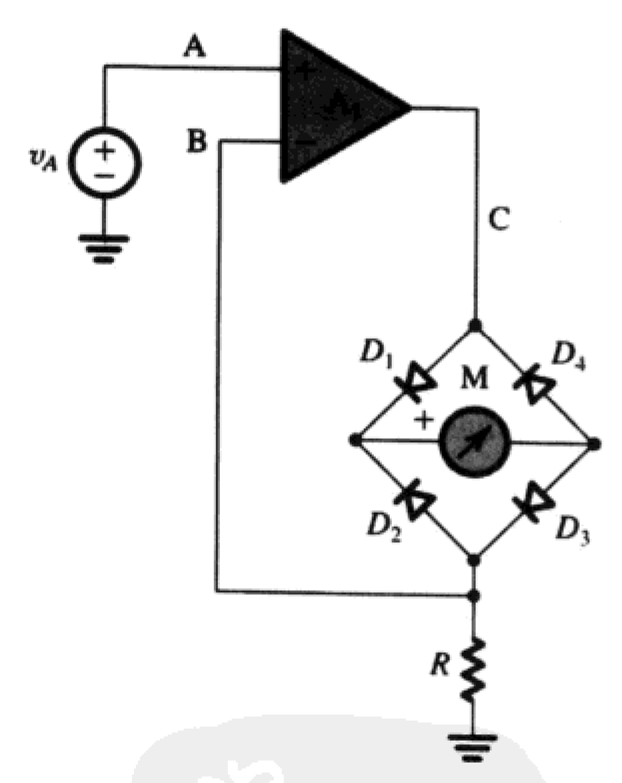


图 13.38　采用桥式二极管电路设计的交流电压表

练习 D13.31　求图 13.38 所示电路中电阻 R 的值，以使输入正弦信号的均方根值为 5 V 时电流表可提供满量程刻度。设电流表 M 的参数是 1 mA，50 Ω（它的电阻是 50 Ω，当流过的平均电流是 1 mA 时，电流表满量程）。运算放大器输出端的最大和最小电压大约是多少？假设二极管具有 0.7 V 的恒定管压降。

答案：45 kΩ; +8.55 V; −8.55 V

13.9.6　精密峰值检波器

第 3 章讲过的峰值检波器中的二极管包含在运算放大器的负反馈回路上，如图 13.39 所示，

这是一个精密峰值检波器电路。二极管和运算放大器的结合电路已被公认为超二极管电路，如图 13.33（a）所示。图 13.39 所示电路的工作原理很直观，当 v_I 大于输出电压时，运算放大器驱动二极管导通，负反馈回路闭合，运算放大器作为跟随器工作，输出电压跟随输入电压变化，运算放大器的输出同时提供电容的充电电流，该过程可以一直持续到输入电压达到峰值。一旦超过峰值，运算放大器输入端的输入电压会成为负值，导致运算放大器的输出变为负值并处在负的饱和电平上，这时二极管截止。除非电容能够通过负载电阻放电，否则电容两端的电压将维持在输入信号的正峰值上。如果电路是要检测输入信号正峰值的变化，那么电路中必须包含负载电阻。

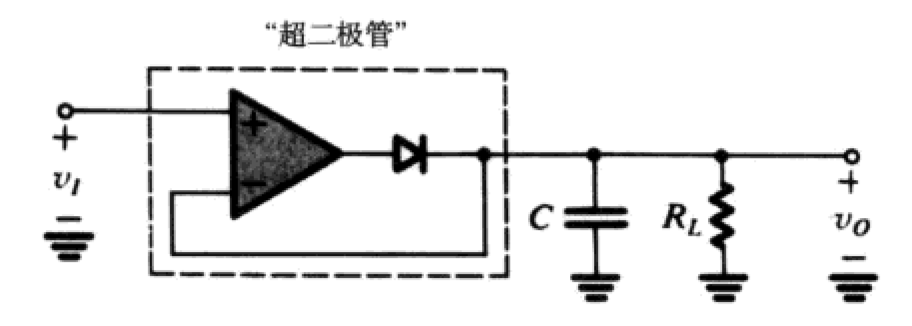


图 13.39　将二极管置于运算放大器的反馈回路上得到的精密峰值检波器

13.9.7　带缓冲的精密检波器

当峰值检波器需要有一段时间保持峰值电压的话，电容应该被缓冲，如图 13.40 所示。这里，运算放大器 A_2 接成电压跟随器，要求输入阻抗高，偏置电流低。剩下的电路和图 13.34 所示的半波整流电路非常相似。二极管 D_1 完成峰值检波器的基本功能，二极管 D_2 起跟踪二极管的作用，防止运算放大器 A_1 的反向饱和以及相关的延迟。在保持阶段，跟随器 A_2 通过 R 给 D_2 提供很小的电流，运算放大器 A_1 的输出被钳位在比输入电压低一个导通电压的数值上。现在，当输入电压 v_I 增加并超过电容 C 两端储存的电压值（该电压也等于电路的输出电压 v_O）时，运算放大器 A_1 的净输入电压是正的，所以运算放大器的输出将趋于正的饱和电平，因此二极管 D_2 截止，D_1 导通，电容 C 充电至输入电压的新的正峰值，然后电路回到保持状态。最后要注意的是电路的输出阻抗比较低。

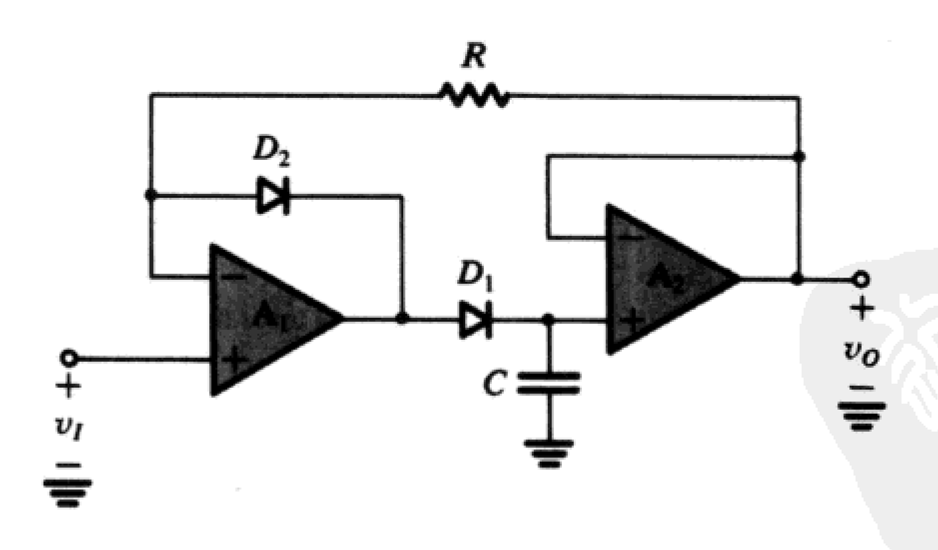


图 13.40　带缓冲的精密峰值检波器

13.9.8　精密钳位电路

采用超二极管取代第 3 章介绍的钳位电路中的二极管，便可以得到图 13.41 所示的精密钳位电路。该电路的工作原理留给读者解释。

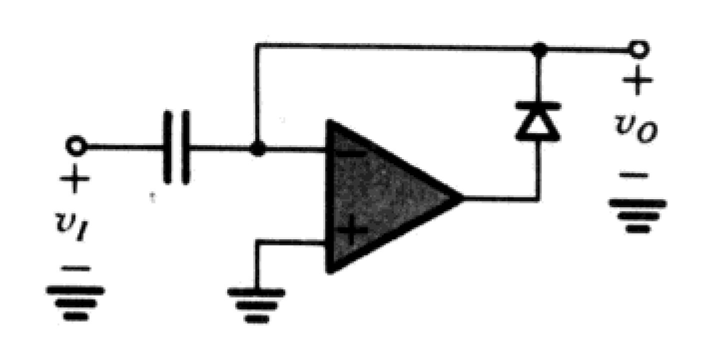


图 13.41　精密钳位电路

13.10　SPICE 仿真实例

本章介绍的电路利用晶体管的非线性特性完成了许多任务，比如正弦波振荡器幅度的稳定、将三角波整形为正弦波等。虽然我们可以设计简单的方法对这些电路进行分析和设计，但是完全用纸和笔进行分析几乎是不可能的，设计者必须依赖计算机仿真来了解电路的内部运行过程以试验不同元件参数对电路性能的影响，从而优化设计。本节将给出两个例子来说明如何使用 SPICE 对振荡器电路进行仿真。

例题 13.1　文氏电桥振荡器

作为第一个例子，我们要对文氏电桥振荡器进行仿真，Capture 电路图如图 13.42 所示。选择元件参数，使得电路的振荡频率为 1 kHz。我们要分析电阻 R_{1a} 和 R_{1b} 在满足 $R_{1a}+R_{1b}=50\ \text{k}\Omega$ 的条件下取不同数值时对电路性能的影响。由于电路振荡的平衡条件是$(R_2+R_{1b})/R_{1a}=2$（见练习 13.4），这时有 $R_{1a}=20\ \text{k}\Omega$，$R_{1b}=30\ \text{k}\Omega$。现在我们考虑三种情况：（a）$R_{1a}=15\ \text{k}\Omega$，$R_{1b}=35\ \text{k}\Omega$；（b）$R_{1a}=18\ \text{k}\Omega$，$R_{1b}=32\ \text{k}\Omega$；（c）$R_{1a}=25\ \text{k}\Omega$，$R_{1b}=25\ \text{k}\Omega$。这三种情况下的环路增益分别是 1.33，1.1 和 0.8。

在 PSpice 中，使用 741 运算放大器和 1N4148 的二极管来对图 13.42 所示电路进行仿真[①]。设电容的初始电压为 0 V，我们对电路进行瞬时分析，由于运算放大器有失调电压，而且其值已经足以使电路产生振荡，所以不再需要外加电路来起振。图 13.43 所示是电路的仿真结果，图 13.43（a）所示是环路增益为 1.33 时电路的输出信号波形。观察发现，虽然电路已经起振，幅度稳定下来也很快，但是输出信号的失真很明显。图 13.43（b）所示是环路增益为 1.1 时电路的输出信号波形，我们发现输出失真很小，但是正如我们预期的那样，随着环路增益趋近于 1，从起振到幅度稳定所需要的时间也加长了，电路的振荡频率是 986.6 Hz，非常接近于我们的设计值 1 kHz，幅度是 7.37 V。最后，图 13.43（c）所示是环路增益为 0.8 时电路的输出信号波形，它证实了我们的分析，即环路增益低于 1，电路不能实现持续的振荡。

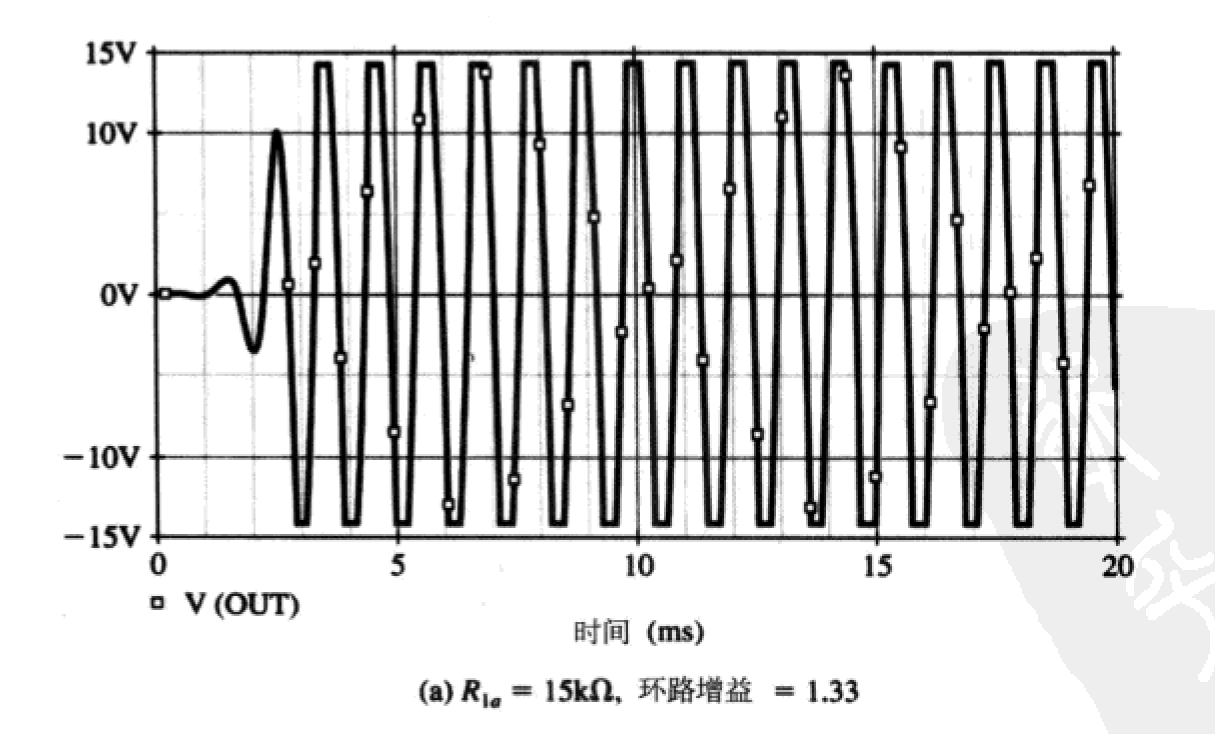
PSpice 还可以用于输出正弦波频谱的分析。只要采用傅里叶级数分析功能即可。对环路增益等于 1.1 的分析表明稳态响应的输出信号的 THD 为 1.88%。如果电路的输出取在运算放大器的输出端（即电压 v_A），得到的 THD 是 2.57%，虽然该电压高于 v_{OUT} 的 THD 值，但不是非常高，因而运算放大器的输出端也不失为振荡电路满意的输出端口。

① PSpice 提供 741 运算放大器和 1N4148 二极管的 SPICE 模型。741 运算放大器的特性可参见例题 2.9，二极管 1N4148 的特性可参见例题 3.10。

参数：

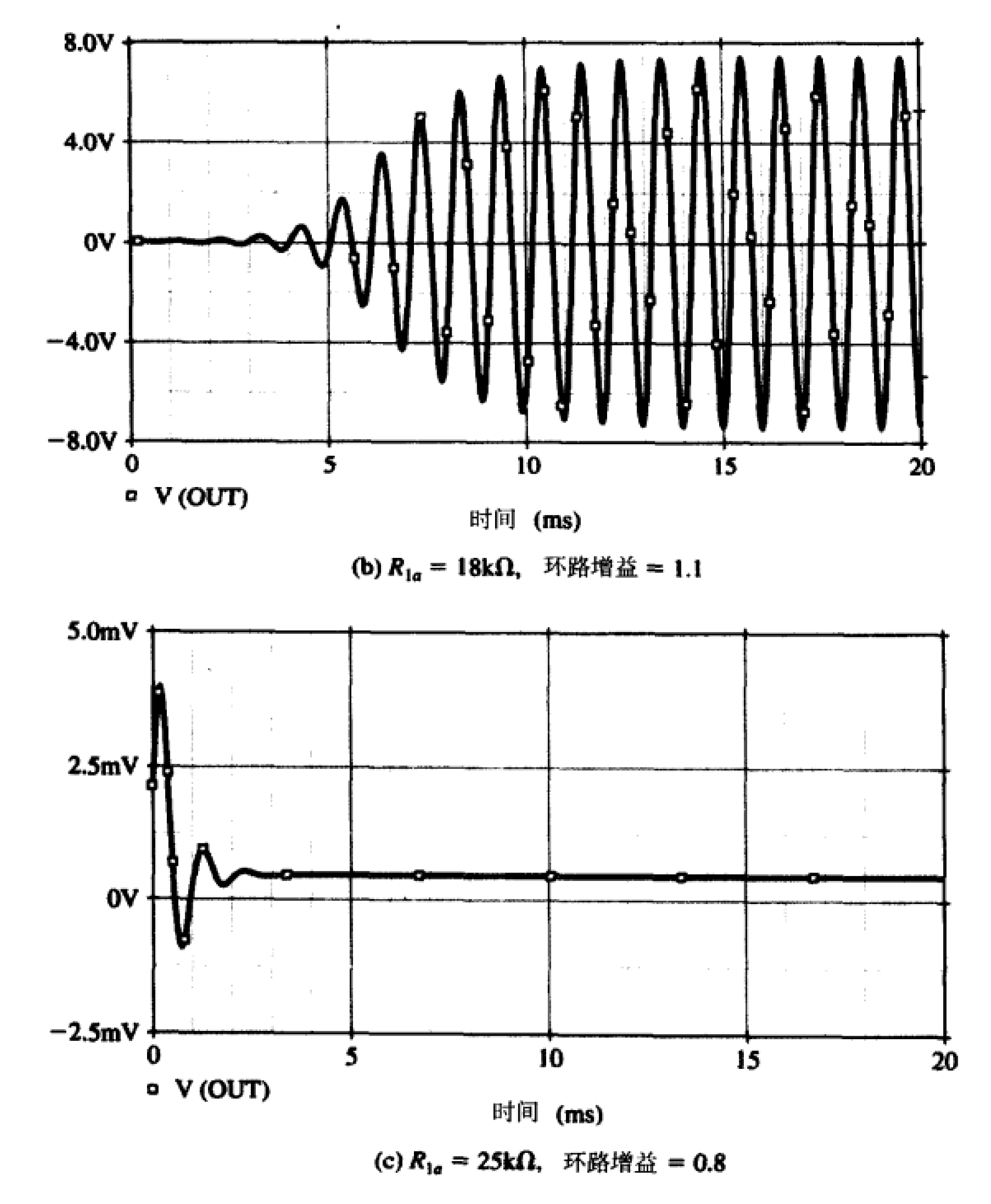
C3 = 16n
C4 = 16n
R1a = 18K
R1b = {50K−{R1a}}
R2 = 10K
R3 = 10K
R4 = 10K
VCC = 15
VEE = −15

图 13.42　例题 13.1：文氏电桥振荡器的 Capture 电路图



(a) R_{1a} = 15kΩ，环路增益 = 1.33

图 13.43　图 13.42 所示文氏电桥振荡器起振阶段的瞬态响应，各波形对应环路增益为不同数值时的情况



(b) R_{1a} = 18kΩ, 环路增益 = 1.1

(c) R_{1a} = 25kΩ, 环路增益 = 0.8

图 13.43(续)　图 13.42 所示文氏电桥振荡器起振阶段的瞬态响应，各波形对应环路增益为不同数值时的情况 ■

例题 13.2　有源滤波调谐振荡器

在这个例子中，我们要用 PSpice 来验证我们的观点，那就是采用图 13.11 所示的有源滤波调谐电路可以实现性能非常优越的运算放大器振荡器。此外，我们还要分析滤波器 Q 值的变化对振荡器输出正弦波频谱纯度的影响。

Capture 电路图如图 13.44 所示。该电路的中心频率是 1 kHz，滤波器的品质因数 Q 在 $R_1 = 50$ kΩ 时为 5；在 $R_1 = 200$ kΩ 时为 20。与例题 13.1 的文氏电桥一样，这里采用的运算放大器是 741 型的，二极管是 1N4148。PSpice 进行瞬时仿真时，假设电容的初始电压等于 0。为了计算输出信号的傅里叶分量，分析的时段需要选择得足够长以使得振荡器的输出达到稳定状态。输出达到稳定所需要的时间是受品质因数 Q 控制的，Q 值越大，需要的时间越长。当 $Q = 5$ 时，结合仿真实验和估算，50 ms 的分析时段是可行的。为了作图的目的，每个振荡周期用了 200 个点。

图 13.45 所示是瞬时分析的结果，其中上面的图代表运算放大器 A_1 的输出信号（电压 v_1），下面的图代表跨接在二极管限幅器上的输出信号（电压 v_2）。振荡信号的周期非常接近于 1 kHz 的设计值。正弦信号的幅度采用 Probe（PSpice 的图形界面）分析的结果为 1.15 V（或者是峰–峰值 2.3 V）。注意，该值要比练习 13.7 估算得到的值（3.6 V）低，但是后者是基于每个导通二极管的管压降都是 0.7 V 的结果。图 13.45 中下面的图告诉我们，二极管的管压降接近于 0.5 V，准方

波信号的峰–峰值是 1 V。这样我们可以预计：输出正弦信号的峰–峰值比 3.6 V 低相同的比例，与实际情况接近。

PSpice 的傅里叶分析告诉我们输出正弦信号的 THD = 1.61%，把 Q 增加到 20（只要把电阻 R_1 增加到 200 kΩ），重复仿真过程，发现 THD 下降到 1.01%，可见滤波器的 Q 值是一个非常有用的控制输出正弦信号 THD 的手段，从而证实了我们的预测。

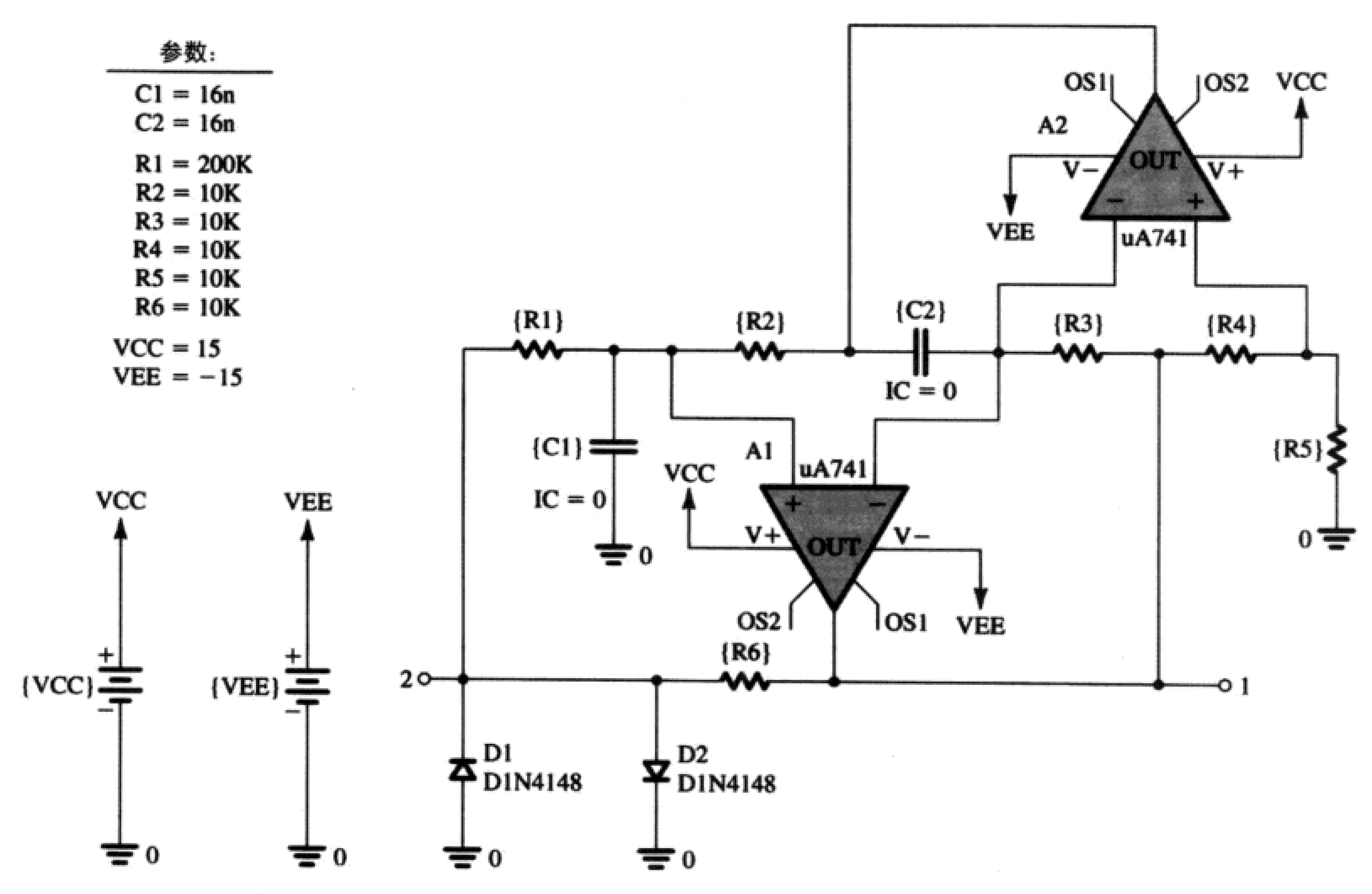


图 13.44　例题 13.2：有源滤波调谐振荡器的 Capture 电路图，调整电阻 R_1 的值以改变品质因数 Q

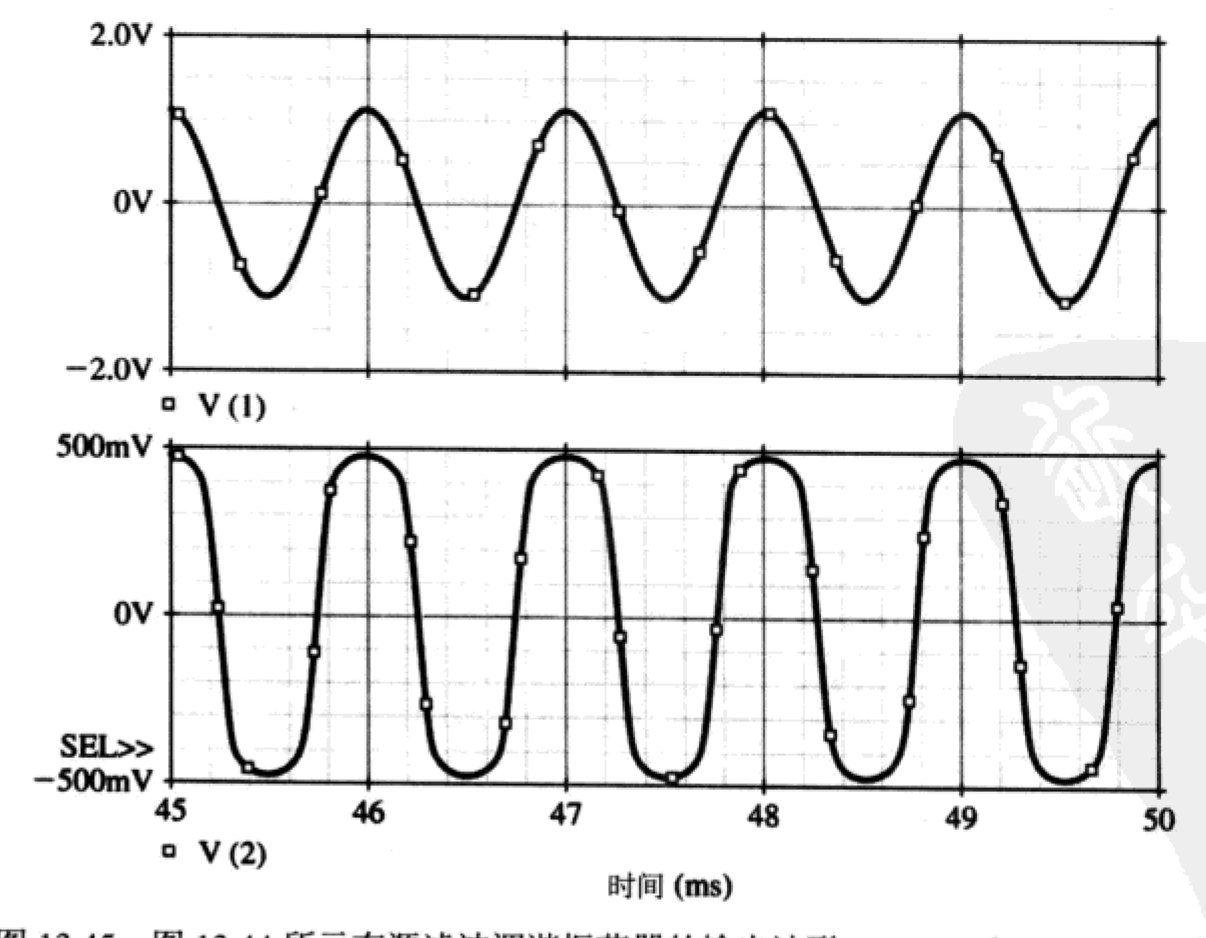


图 13.45　图 13.44 所示有源滤波调谐振荡器的输出波形，Q = 5（R_1 = 50 kΩ）■

小结

- 有两种不同类型的信号发生器：线性振荡器（实现某些形式的谐振）和非线性振荡器或称为函数发生器（用多谐振荡器实现开关特性）。
- 在放大器（运算放大器或者晶体管）反馈回路上放置选频网络可实现线性振荡器。只要振荡器在振荡频率上满足环路总相移等于 0 且环路增益的幅度等于或大于 1 的条件，电路就会振荡。
- 如果振荡器的环路增益幅度大于 1，输出幅度就会不断增大，直到非线性幅度控制起作用为止。
- 文氏电桥振荡器、移相振荡器、正交振荡器和有源滤波调谐振荡器是实现 1 MHz 以下振荡频率的最常用电路。这些电路都用到 RC 网络和运算放大器或者晶体管。更高振荡频率的振荡器一般采用 LC 调谐或者晶体调谐。常用的是考比兹电路。
- 晶体振荡器可提供可能的最高振荡频率的精度和稳定度。
- 多谐振荡器有三种：双稳态、单稳态和非稳态。用运算放大器实现的多谐振荡器在精度要求较高的模拟电路应用中很有用，用数字逻辑门电路实现的多谐振荡器参考第 11 章的内容。
- 双稳态多谐振荡器有两个稳定状态，它可以不确定地处于其中任何一个状态上。
- 单稳态多谐振荡器也称为单触发器，只有一个稳定状态，电路可以不确定地稳定在稳定态。当触发到来时，输出进入准稳态并维持一段时间，这个时间可以预定，因此产生的输出信号就是脉冲信号，其宽度可以设定。
- 非稳态多谐振荡器没有稳定状态。它在两个准稳态之间振荡，每一个状态上逗留的时间可以预置，得到的输出信号具有周期信号的形式。
- 含有积分器和双稳态多谐振荡器的反馈环可以产生三角波和方波信号。
- 555 计时器是一种商用 IC 芯片。它采用片外电阻和电容，能够实现高质量的单稳态和非稳态多谐振荡器。
- 三角波通过正弦波整形电路的作用能够得到正弦波。正弦波整形电路的实现可以采用二极管（或者晶体管）和电阻的结合，也可以采用具有非线性产生特性的放大器来逼近正弦函数。
- 将二极管和运算放大器结合起来可以实现精密整流功能，而且负反馈环路能够掩盖二极管的非理想特性。

习题

13.1 节：正弦波振荡器的基本原理

*13.1 考虑一个正弦波振荡器电路，放大器有一个和频率无关的增益 A（其中 A 是正的），二阶带通滤波器的极点频率 ω_0，极点品质因数 Q，中心频率增益 K。

（a）求振荡频率，以及 A 和 K 满足持续振荡的条件。

（b）推导 $d\phi/d\omega$ 的表达式，计算 $\omega=\omega_0$ 时的值。

（c）利用（b）的结论，推导放大器传输函数的相角产生 $\Delta\phi$ 变化时得到的振荡频率的每单位变化率的表达式。

$$\text{提示：}\frac{d}{dx}(\tan^{-1} y)=\frac{1}{1+y^2}\frac{dy}{dx}$$

13.2 振荡器同习题 13.1 描述的一样，增益 A 和 K 与频率无关，证明极点位于半径为 ω_0 的圆上。求使得振荡器的极点位于以下位置时环路增益 AK 的值：（a）$j\omega$ 轴上；（b）s 平面右半部，离 $j\omega$ 轴的水距离是 $\omega_0/(2Q)$。

D13.3 画出正弦波振荡器的电路，电路由同相组态的运算放大器和带通滤波器组成，滤波器采用 RLC 谐振电路［如图 12.18（d）所示］实现。如果要得到持续的振荡，问运算放大器的增益是多少？振荡频率是多少？当下列参数值发生+1%的变化时，求振荡频率变化的百分比：（a）L；（b）C；（c）R。

13.4 振荡器电路由一个互导放大器接一个作为负载的 RLC 谐振回路构成正反馈环组成，其反馈回路是直接将输出接至输入端（即正反馈回路的反馈系数β等于 1）来实现。设互导放大器的输入电阻是 10 kΩ，输出电阻是 10 kΩ，LC 谐振回路的电感 $L = 10\ \mu$H，$C = 1000$ pF，$Q = 100$。求电路振荡时的互导 G_m，振荡频率是多少？

13.5 参考图 13.1 所示的振荡器电路，选频网络的特性是：在 ω_0 上有 20 dB 的幅度衰减和 180° 的相移。求保证电路起振的放大器允许的最小增益值和相移值。

D13.6 考虑图 13.3（a）所示的电路，移去电阻 R_f 以实现比较器的功能。求合适的电阻阻值，使得比较器具有±6 V 的输出电平，限幅特性的斜率等于 0.1。设直流电源电压是±10 V，二极管的管压降是 0.7 V。

D13.7 考虑图 13.3（a）所示的电路，移去电阻 R_f 以实现比较器的功能。画出传输特性曲线。如果直流电压 V_B 通过电阻 R_B 接到运算放大器的虚地端，证明传输特性曲线将沿着 v_I 轴移到 $v_I = -(R_1/R_B)V_B$ 处。设使用的电源电压是±15 V，求使得限幅电平为±5 V 的合适的元件值，比较器的门限电压是 $v_I = +5$ V。忽略二极管的管压降（假设 $V_D = 0$），比较器的输入电阻是 100 kΩ，限幅区域的斜率小于等于 0.05 V/V，采用 5%的标准电阻（参见附录 G）。

13.8 齐纳二极管 Z_1 和 Z_2 的稳压值分别用 V_{Z1} 和 V_{Z2} 表示，假设稳压管的正向导通电压是 0.7 V，运算放大器是理想的，画出并清楚地标注图 P13.8 所示电路的传输特性曲线 v_O~v_I。

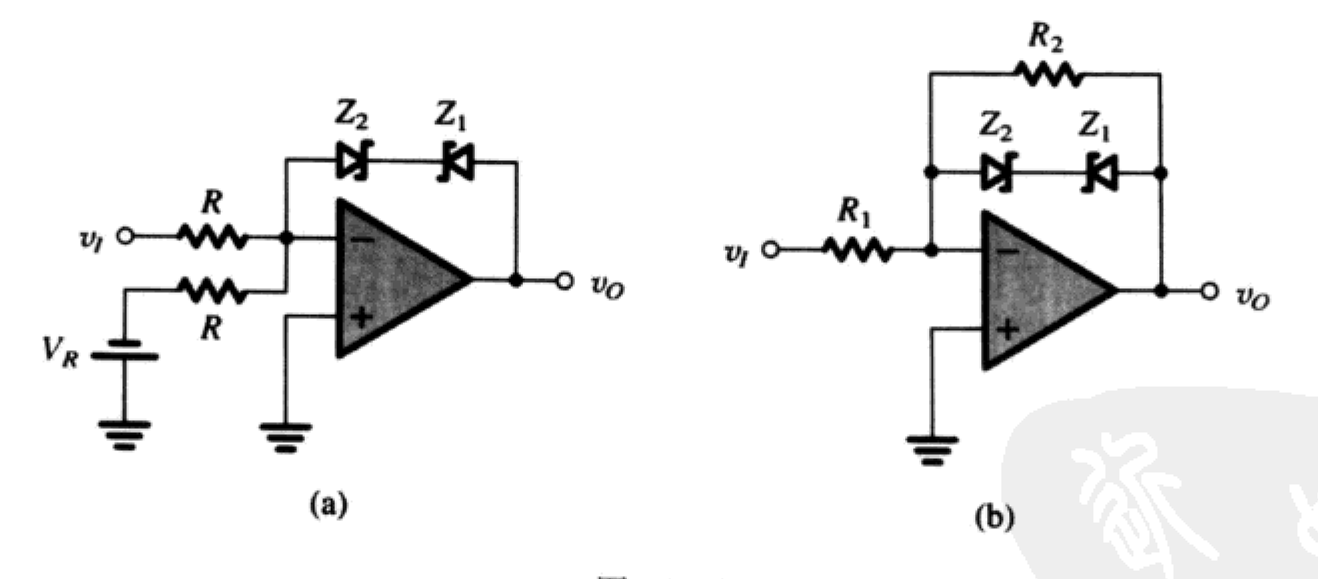


图 P13.8

13.2 节：运算放大器 RC 振荡器电路

13.9 图 13.4 所示的是一个文氏电桥振荡器电路，证明反馈网络的传输特性$[V_a(s)/V_o(s)]$是一个带通滤波器，求极点的 ω_0 和 Q 以及中心频率增益。

13.10 图 13.4 所示为文氏电桥振荡器，设闭环放大器（由运算放大器和电阻 R_1 与 R_2 组成）在频率 $\omega = 1/CR$ 附近有−0.1 rad 的相移，求这种情况下振荡会在哪个频率上发生？用 RC 表示。［提示：利用式（13.11）。］

13.11 参考图 13.4 所示的文氏电桥振荡器电路，利用式（13.10）的环路增益表达式，求闭环系统的极点。给出极点 Q 的表达式，并证明要使极点位于 s 平面右半部，R_2/R_1 的比值必须大于 2。

D*13.12 再次讨论练习 13.3，通过增加 R_3 和 R_6 的值来降低输出电压。如果输出电压的峰-峰值要求降至 10 V，求电阻的阻值。如果 R_3 和 R_6 开路，结果如何？

13.13 求图 P13.13 所示电路的 $L(s)$ 和 $L(j\omega)$ 及环路相移等于 0 时的频率和振荡所需的 R_2/R_1 值。

13.14 对图 P13.14 所示的电路重复习题 13.13。

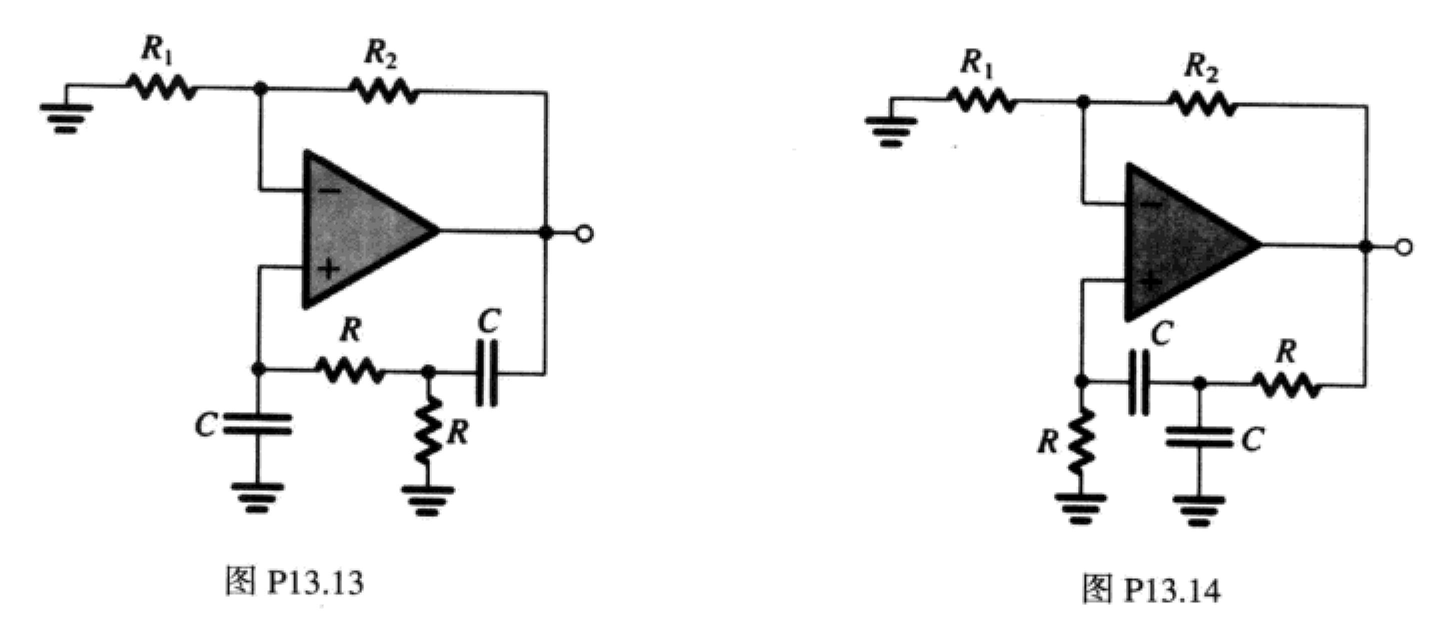


图 P13.13　　　　图 P13.14

*13.15 考虑图 13.6 所示的电路，用两个固定阻值的电阻取代 50 kΩ 的电位器，即将一个 10 kΩ 的电阻接在运算放大器的反向输入端和地之间，另一个电阻为 18 kΩ。二极管采用 0.65 V 的电池与 100 Ω 电阻相串联的模型，求输出正弦信号的峰-峰值。

D**13.16 重新设计图 13.6 所示的电路，采用相同的电阻值，电路工作在 10 kHz 的频率上。如果在 10 kHz 的频率上运算放大器有 5.7°（滞后）的相移，那么电路的振荡频率是多少？（假设运算放大器引入的相移在 10 kHz 附近不随频率变化。）如果电路的工作要恢复为 10 kHz，文氏电桥的并联电阻应该取何值？比值 R_2/R_1 如何改变？

*13.17 在图 13.8 所示电路最右边的电容上串接一个 10 kΩ 的电阻，在节点 X 处断开整个环路，求修改后电路（忽略稳幅电路）的环路增益 $A\beta$，以及起振所需的电阻 R_f 和振荡频率 f_0。

D13.18 电路如图 P13.18 所示，在节点 X 处断开环路，求环路增益（反过来求更简单，用 V_o 表示 V_x）。当 R =10 kΩ 时，求使电路产生 10 kHz 的正弦波振荡信号的电容 C 和 R_f 值。

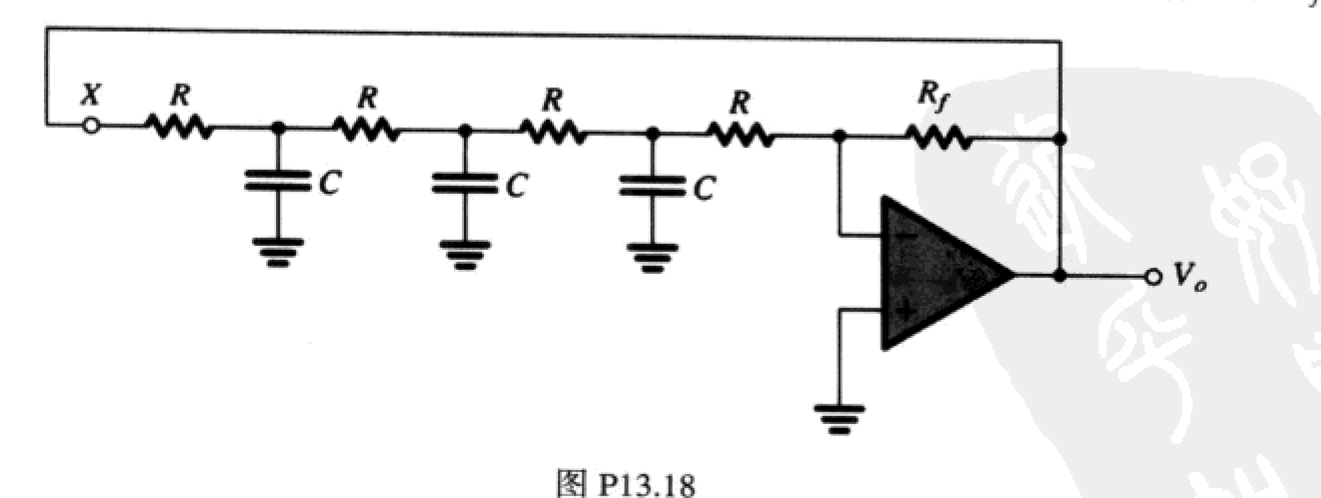


图 P13.18

*13.19 考虑图 13.9 所示不包含限幅器的正交振荡器电路。设电阻 R_f 等于 $2R/(1+\Delta)$，其中 $\Delta << 1$，证明特征方程的极点位于 s 平面右半部，其值近似为 $s \simeq (1/CR)[(\Delta/4) \pm j]$。

*13.20 假设练习 13.7 的二极管钳位波形接近于理想方波，谐振器的 $Q = 20$，通过计算谐波的幅

度（相对于基波）来估算非线性失真：

（a）二次谐波

（b）三次谐波

（c）五次谐波

（d）到十次谐波为止的均方根值

注意，幅度为 V、频率为 ω 的方波可由下列级数表示：

$$\frac{4V}{\pi}\left(\cos\omega t-\frac{1}{3}\cos 3\omega t+\frac{1}{5}\cos 5\omega t-\frac{1}{7}\cos 7\omega t+\cdots\right)$$

13.3 节：LC 振荡器与晶体振荡器

**13.21 图 P13.21 所示的是 4 个考比兹振荡器电路，这些电路具有完整的偏置。对每一个电路，求表征工作特性的方程，并求振荡频率和起振的增益条件。

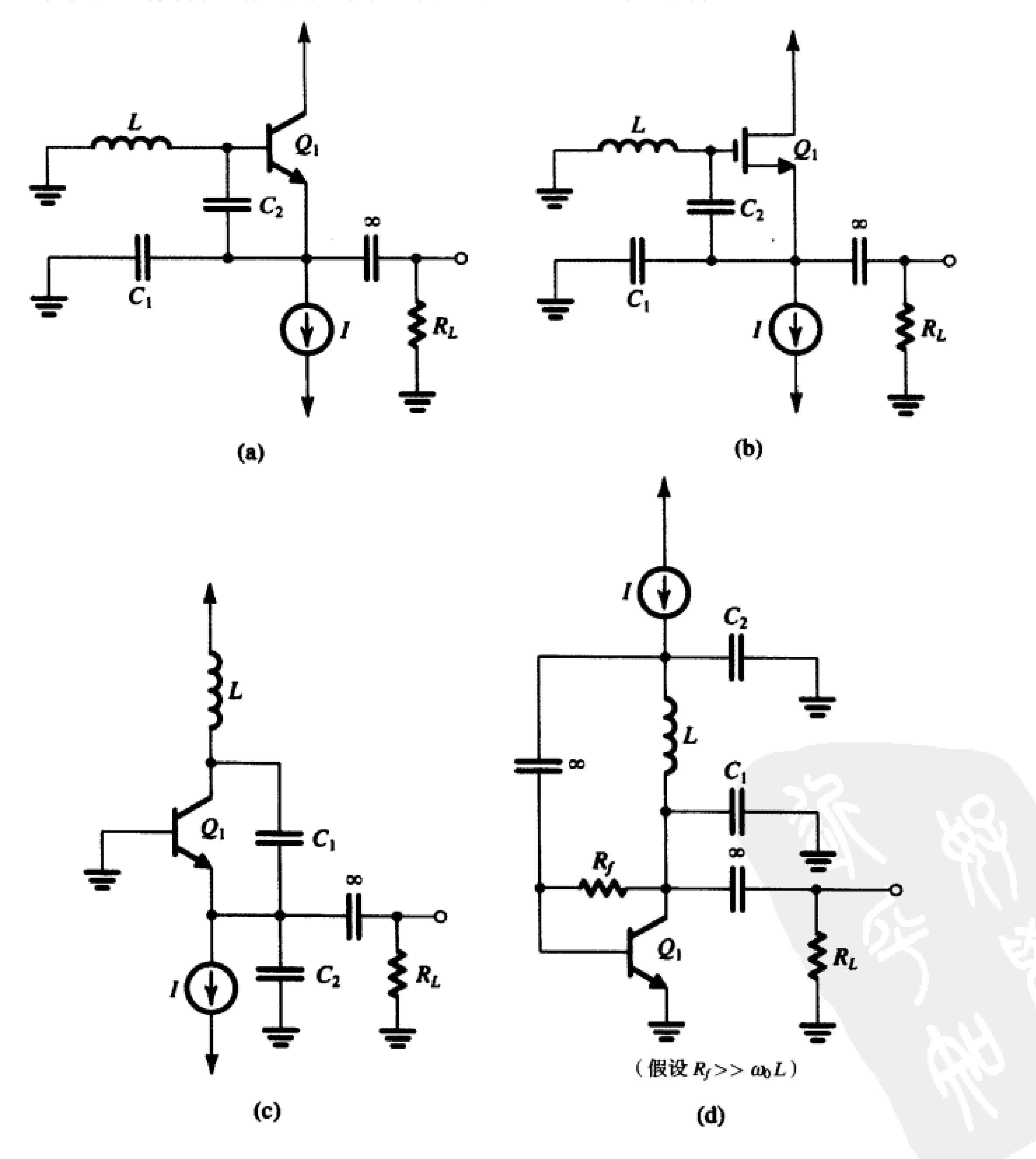


图 P13.21

**13.22　考虑图 P13.22 所示的电路，为简单起见，假设 $\beta = \infty$。

（a）求振荡频率和起振时 R_C 的最小值（用偏置电流 I 表示）。

（b）如果 R_C 的阻值等于$(1/I)$ kΩ，其中 I 是毫安（mA）级的，证明电路能够起振。如果电路开始振荡，V_o 增加到能够控制 BJT 导通和截止，证明晶体管 Q_2 的集电极输出电压是峰-峰值为 1 V 的方波，估算正弦输出电压 V_o 的峰-峰值。

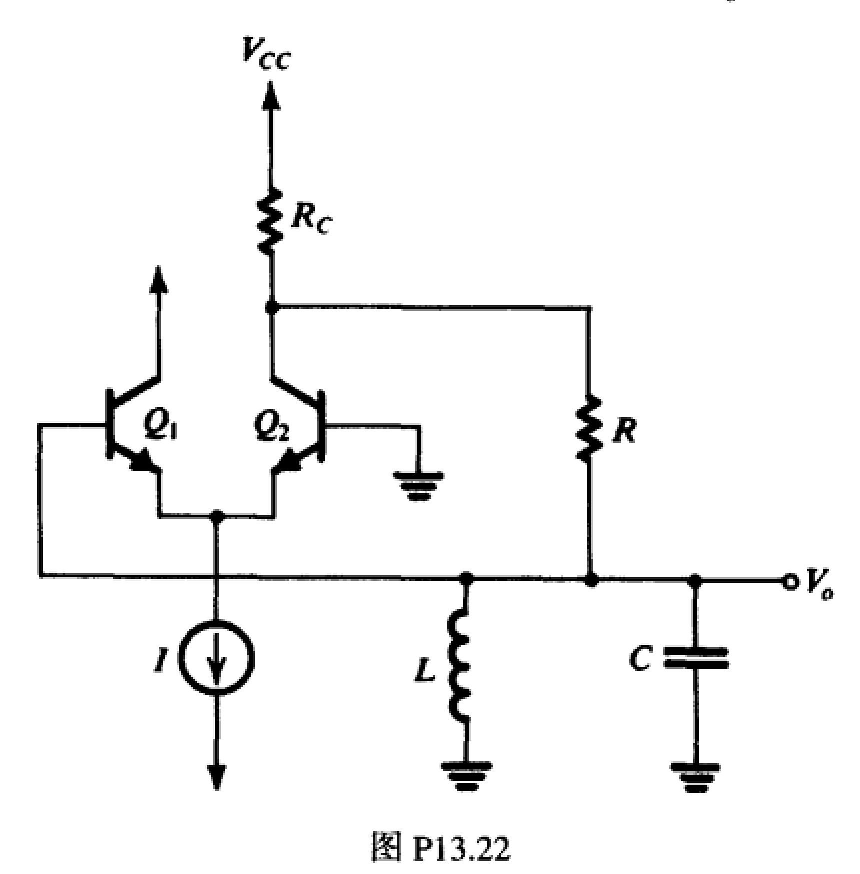


图 P13.22

13.23　考虑图 13.16 所示的皮尔斯振荡器电路，晶体的特性参见练习 13.10。设电容 C_1 可以在 1 pF 到 10 pF 的范围内变化，电容 C_2 是 10 pF 的固定电容。求振荡器振荡频率的可调谐范围。[提示：利用推导式（13.27）的表述。]

13.4 节：双稳态多谐振荡器

13.24　考虑图 13.19（a）所示的电路，运算放大器的同相输入端通过电阻 R_3 接一个正的电压 V。

（a）推导门限电压 V_{TH} 和 V_{TL} 的表达式，用运算放大器的饱和电平 L_+ 和 L_-、电阻 R_1，R_2，R_3 和 V 表示。

（b）设 $L_+ = -L_- = 13$ V，$V = 15$ V，$R_1 = 10$ kΩ，求电阻 R_2 和 R_3 的值，使得 $V_{TH} = +5.1$ V，$V_{TL} = +4.9$ V。

13.25　考虑图 13.20（a）所示的双稳态电路，运算放大器的反相输入端与地断开并接至参考电压 V_R。

（a）推导门限电压 V_{TH} 和 V_{TL} 的表达式，用运算放大器的饱和电平 L_+ 和 L_-、电阻 R_1，R_2 和 V_R 表示。

（b）设 $L_+ = -L_- = V$，$R_1 = 10$ kΩ，求 R_2 和 V_R 的值，使得门限电压等于 0 和 $V/10$。

13.26　电路如图 P13.26 所示，画出并标注相应的传输特性曲线 $v_O \sim v_I$。假设二极管导通时的管压降为 0.7 V，运算放大器的输出饱和电压是±12 V。求二极管的最大电流。

13.27　考虑图 P13.26 所示的电路，去掉电阻 R_1，电阻 R_2 短路。画出并标注传输特性曲线 $v_O \sim v_I$。假设二极管导通时的管压降为 0.7 V，运算放大器的输出饱和电压是±12 V。

*13.28　考虑具有同相传输特性的双稳态电路，$L_+ = -L_- = 12$ V，$V_{TL} = -1$ V，$V_{TH} = +1$ V。

（a）设输入是均值为 0、幅度为 0.5 V 的正弦波，求输出。

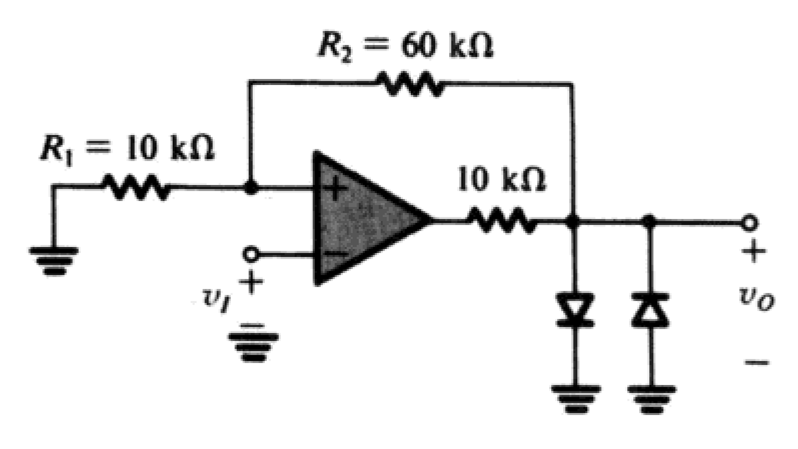


图 P13.26

（b）如果输入端接的是频率为f、幅度是 1.1 V 的正弦波，描述一下输出信号。在输出成为常数之前，输入正弦信号均值的改变是多少？

D13.29 设计图 13.23（a）所示的电路，实现的传输特性为：输出电平为±7.5 V，门限电压为±7.5 V。当 $v_I = 0$ V 时，反馈电阻中流过 0.1 mA 的电流，稳压管中流过 1 mA 的电流。假设运算放大器的输出饱和电平是±12 V。确定稳压管的压降和所有电阻的阻值。

13.5 节：采用非稳态多谐振荡器实现的方波和三角波发生器

13.30 求图 13.24（b）所示电路的振荡频率，其中，$R_1 = 10\ k\Omega$，$R_2 = 16\ k\Omega$，$C = 10$ nF，$R = 62\ k\Omega$。

D13.31 在图 13.24（b）所示的电路中，增加如图 13.23（b）所示的限幅器电路。设计一个电路，使输出方波信号的频率为 1 kHz，幅度为 5 V，采用的电容 $C = 10$ nF。如果$\beta = 0.462$，设计一个电路使得流过电阻分压回路的总电流近似等于 RC 网络半个周期的均值电流。假设运算放大器的饱和电压是±13 V，要求流过稳压管的电流是 1 mA。

D13.32 采用图 13.25 所示的方案设计一个电路，要求能够提供峰-峰值为 10 V 的方波信号和峰-峰值为 10 V 的三角波信号。输出信号的频率均为 1 kHz。实现时采用的双稳态电路是图 13.23（b）所示的结构，使用的电容是 0.01μF，求所有电阻的值以及稳压管的稳压值。要求流过稳压管的最小电流是 1 mA，电阻分压回路的最大电流是 0.2 mA。假设运算放大器的输出饱和电平是 ± 13 V。

D*13.33 图 P13.33 所示的电路由一个带输出限幅器的反相双稳态多谐振荡器和一个同相积分器组成。假设除电阻 R_7 和 0.5 nF 的电容以外其余电阻的阻值均相等。设计一个电路，使得电路在双稳态电路的输出端可得到峰-峰值为 15 V 的方波信号，频率为 10 kHz。画出并标注积分器输出端的电压波形。假设运算放大器的输出饱和电平是 ± 13 V，稳压管流过的最小电流是 1 mA，确定稳压管的稳压值以及所有电阻的阻值。

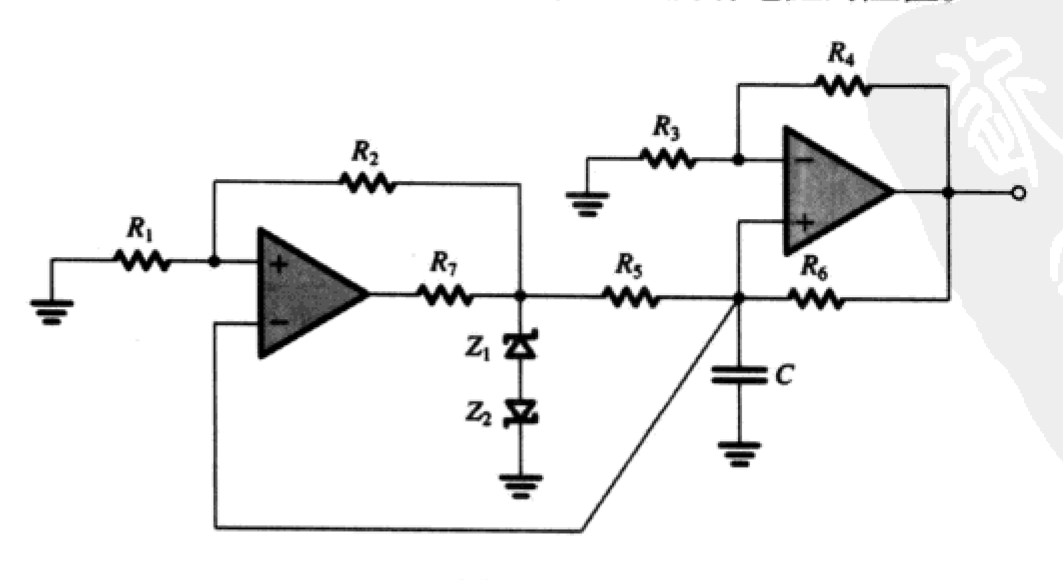


图 P13.33

13.6 节：标准脉冲发生器——单稳态多谐振荡器

*13.34 图 P13.34 给出的是一个单稳态多谐振荡器。在稳定状态，$v_O = L_+$，$v_A = 0$，$v_B = -V_{\text{ref}}$。一个幅度比 V_{ref} 高的正输入脉冲可以触发该电路。通常情况下，$C_1R_1 << CR$，画出 v_O 和 v_A 的输出波形，并证明输出端产生的脉冲信号的宽度 T 由下式给出：

$$T = CR\ln\left(\frac{L_+ - L_-}{V_{\text{ref}}}\right)$$

注意，这个电路有一个很有趣的地方，即输出脉宽可以由电压 V_{ref} 控制。

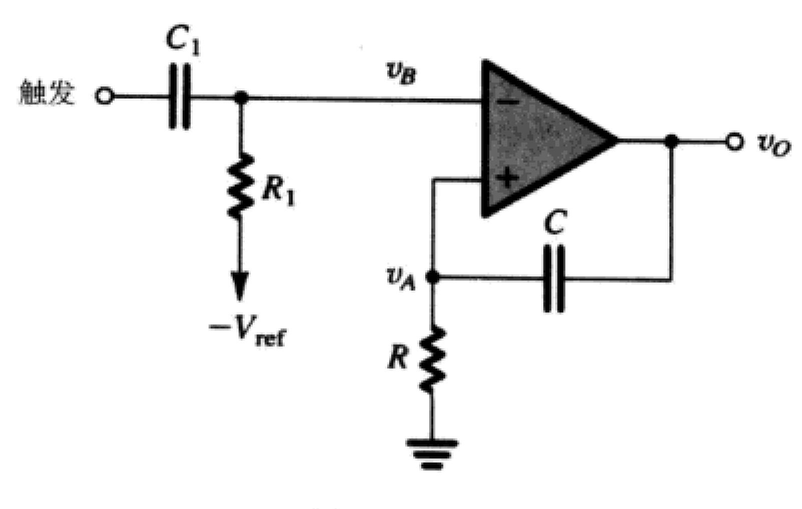


图 P13.34

13.35 求练习 13.19 所示单稳态电路的恢复时间。

D*13.36 利用图 13.26 所示的电路，设计一个单稳态多谐振荡器以产生负的输出脉冲信号，脉冲的宽度是 100μs，运算放大器近似理想，输出饱和电平是 ± 13 V，电容的值是 0.1 nF 和 1 nF。是否有可能将所有电阻都选为 100 kΩ？二极管的导通电压是 0.7 V。求触发电路的最小输入信号。电路需要多长时间才能恢复到正常输出信号也能够触发的状态？

13.7 节：集成电路计时器

13.37 考虑图 13.27 所示的 555 计时器电路，当门限电压端口和触发信号端口接在一起并与输入信号 v_I 相连时，证明输出特性和反相双稳态电路的输出特性相同，且门限电压是 $V_{TL}=\frac{1}{3}V_{CC}$ 和 $V_{TH}=\frac{2}{3}V_{CC}$，输出电平等于 0 和 V_{CC}。

13.38（a）在图 13.28（a）所示的电路中，设电容 $C = 1$ nF，求电阻 R 的值，使得输出脉冲的保持时间是 10 μs。

（b）如果（a）电路中的 555 计时器的工作电压是 V_{CC}= 15 V，假设上门限电压 V_{TH} 可以片外调整（比如不需要保持为 $\frac{2}{3}V_{CC}$），求其值，使得脉宽增加到 20 μs，其余条件同（a）。

D13.39 采用 680 pF 的电容设计图 13.29（a）所示的电路，使其能够产生 50 kHz 频率的方波信号，占空比等于 75%，确定电阻 R_A 和 R_B 的值。

*13.40 555 计时器电压等于 V_{TH} 的节点（比较器 1 的反相输入端）通常接片外端口，这使得设计者可以在片外改变其值（V_{TH} 不再维持为 $\frac{2}{3}V_{CC}$）。注意，不管 V_{TH} 的值如何改变，V_{TL} 的值是不会改变的，它始终为 $\frac{1}{2}V_{TH}$。

（a）对图 13.29 所示的非稳态电路，重新推导 T_H 和 T_L 的表达式（用 V_{TH} 和 V_{TL} 表示）。

（b）当 $C = 1$ nF，$R_A = 7.2$ kΩ，$R_B = 3.6$ kΩ，$V_{CC} = 5$V，节点 V_{TH} 没有外接电压，求振荡信号方波的频率和占空比。

（c）对（b）的设计，假设在节点 V_{TH} 处由电容耦合进一个正弦波电压，其频率远低于

（b）的结果，幅度是 1 V，该正弦波信号将导致 V_{TH} 在直流分量 $\frac{2}{3}V_{CC}$ 附近发生变化，因而 T_H 也相应地发生变化——调制过程。求 T_H，以及 V_{TH} 取两个极端值时的振荡频率和占空比。

13.8 节：非线性波形整形电路

D*13.41 可以粗略地对图 P13.41 所示的两个二极管电路进行三角波到正弦波的逼近。为了得到性能较好的近似，我们选择三角波的幅度 V，使得要求的正弦波过零点的斜率等于三角波的斜率，同样选择电阻 R 的值，使得在输入电压 v_I 等于峰值时输出电压也等于峰值。如果二极管的导通电压在 1 mA 电流时为 0.7 V，电流每增加十倍，电压变化 0.1 V。求 V 和 R 的值，使得逼近的正弦波信号幅度为 0.7 V，然后求输出电压等于下列值时的角度θ（当$\theta = 90°$ 时，输入 v_I 为峰值）：0.7，0.65，0.6，0.55，0.5，0.4，0.3，0.2，0.1 和 0。利用求得的角度，计算正确的正弦函数（$0.7\sin\theta$）值，从而得到正弦波整形器的误差百分比。将结果用表格形式表示。

D13.42 设计一个两段的正弦波整形器，采用一个 10 kΩ 的输入电阻、两个二极管以及两个钳位电压。电路的输入是一个峰-峰值为 10 V 的三角波，二极管的导通电压是 0.7 V，电路的输出电压受此二极管限制，要求正弦波过零点的斜率等于三角波的斜率。问应该选择什么样的钳位电压?

13.43 证明图 P13.43 所示电路的输出电压由下式给出：

$$v_O = -nV_T \ln\left(\frac{v_I}{I_s R}\right) \quad v_I > 0$$

其中，I_s 和 n 是二极管的参数，V_T 是热电压。由于输出电压和输入电压的对数成正比，所以该电路也称为对数放大器。主要应用于信号需要被压缩的场合。

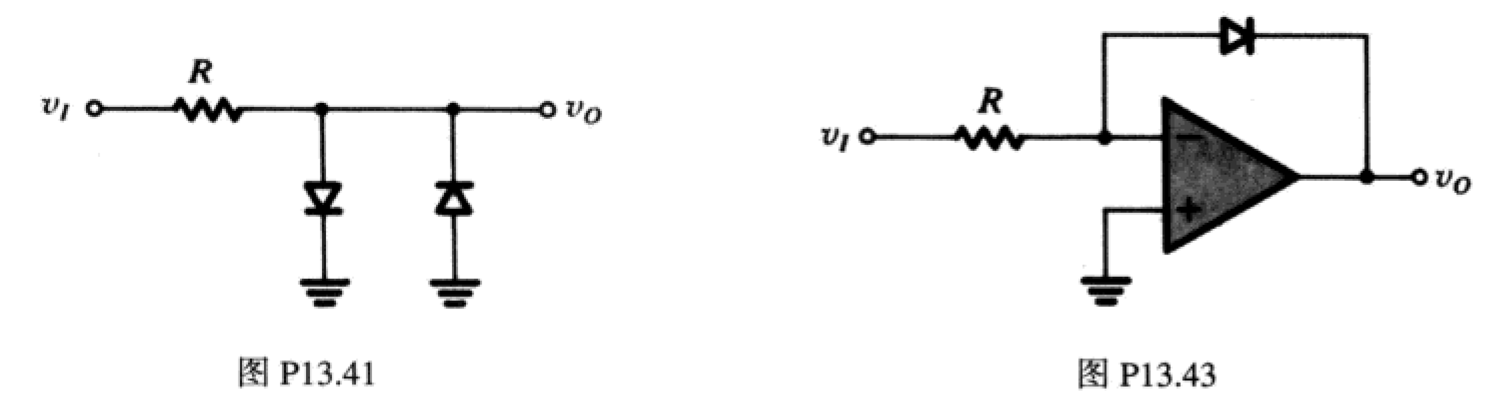


图 P13.41　　　　　　　　图 P13.43

13.44 证明图 P13.44 所示电路的传输特性是 $v_O = v_1 v_2$，其中 $v_1 > 0$，$v_2 > 0$。该电路也称为模拟乘法器。求输入电压为不同数值的组合（例如 0.5 V，1 V，2 V，3 V）时电路的性能。假设所有的二极管性能相同，1 mA 时的管压降等于 0.7 V，$n = 2$。注意，该电路很容易成为平方律电路，只要使用单输入（比如 v_I ）通过 0.5 kΩ 的电阻（而不是现在看到的 1 kΩ 电阻）接入即可。

**13.45 图 13.32 所示的详细分析告诉我们，最优性能（对正弦波而言）的取得是在 I 和 R 满足 $RI = 2.5V_T$ 的时候，其中，V_T 是热电压，输入三角波的峰值是 $6.6V_T$。如果输出取在 R 上（比如在两个发射极之间），求 $v_O = 0.25V_T$，$0.5V_T$，V_T，$1.5V_T$，$2V_T$，$2.4V_T$，$2.42V_T$ 时的输入电压 v_I。画出 v_O~v_I 的关系曲线，并与下式给出的理想曲线进行比较：

$$v_O = 2.42V_T \sin\left(\frac{v_I}{6.6V_T}\times 90°\right)$$

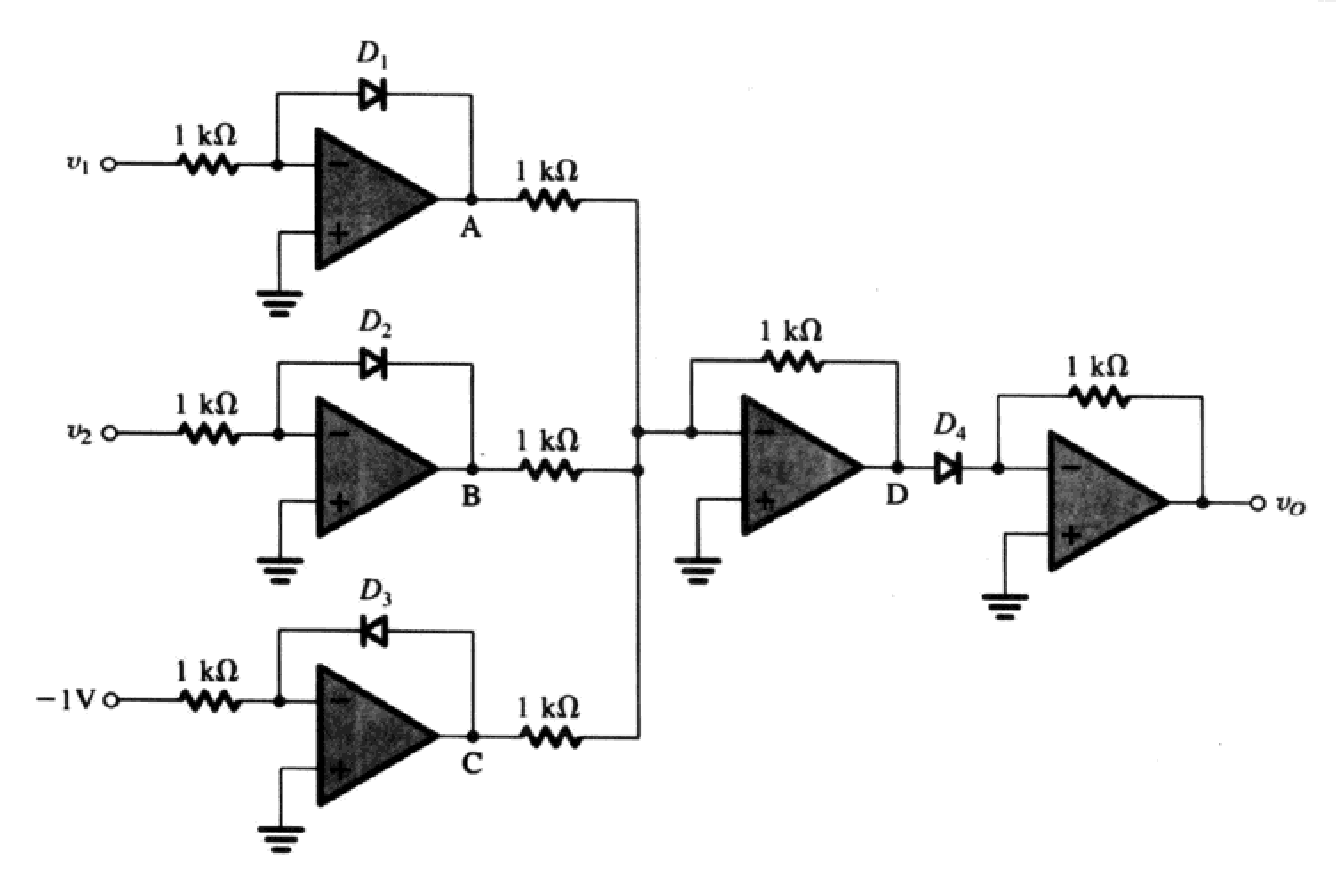


图 P13.44

13.9 节：精密整流电路

13.46 两个超二极管连接相同的输入信号，但是因为二极管的接法相反，所以当输出与同一个负载电阻相连的时候，一个二极管的负极接负载，另一个二极管的正极接负载。如果输入的信号是峰-峰值等于 10 V 的正弦波，问输出信号是什么波形？注意，负载电流半个周期的信号分别由不同的放大器提供，即一个放大器提供电流的时候另一个放大器不工作。这种工作模式也称为 B 类工作模式（参见第 14 章），是实现功率放大器的重要电路。

D13.47 图 13.33（a）所示的超二极管电路可以获得一定的增益，只要用电阻 R_2 代替接在二极管负极和运算放大器反相输入端之间的短路线并在运算放大器的反相输入端和地之间接入电阻 R_1 即可。设计该电路，使得增益等于 2。当输入是峰-峰值为 10 V 的正弦信号时，求输出电压的平均值。

D13.48 设计图 13.34（a）所示的反相精密整流电路，要求信号从反相端输入，同相端接地，增益为−2，输入电阻 100 kΩ，你选择的电阻 R_1 和 R_2 的值是多少？

D*13.49 设计一个与图 13.35 所示电路类似的电压表电路，要求工作电压的频率在 10 Hz 以上。它按照 1 V 的输入正弦波的均方根电压与 10 V 的输出电压进行定标。输入电阻尽可能大。为了增加工作带宽，交流电路的增益应保持小一些，而且设计电路时应尽可能降低电容 C 的值，电阻的最大值是 1 MΩ。

13.50 画出图 P13.50 所示电路的传输特性曲线。

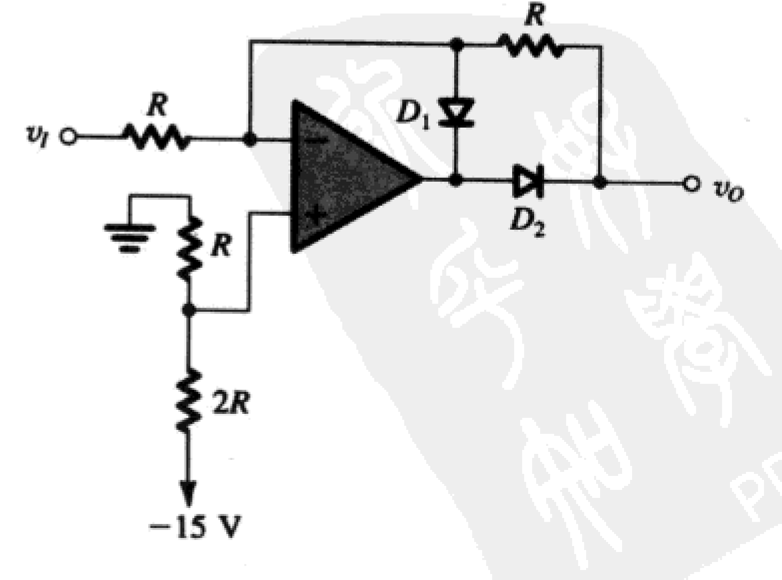


图 P13.50

13.51　画出图 P13.51 所示电路的传输特性曲线 v_{O1}~v_I 和 v_{O2}~v_I。

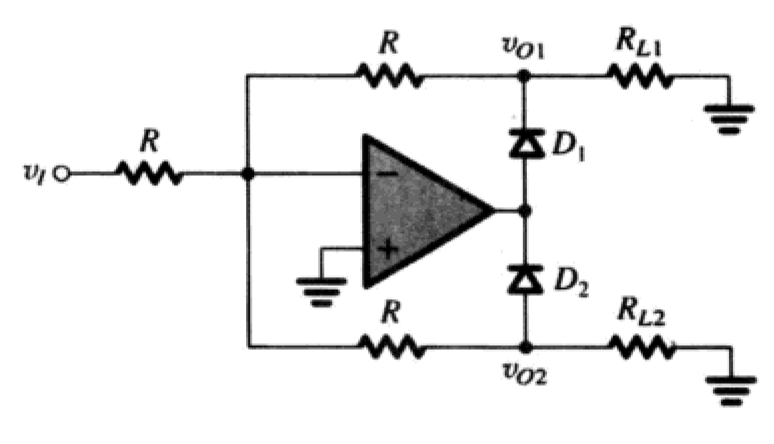


图 P13.51

13.52　画出图 P13.52 所示电路的传输特性曲线。

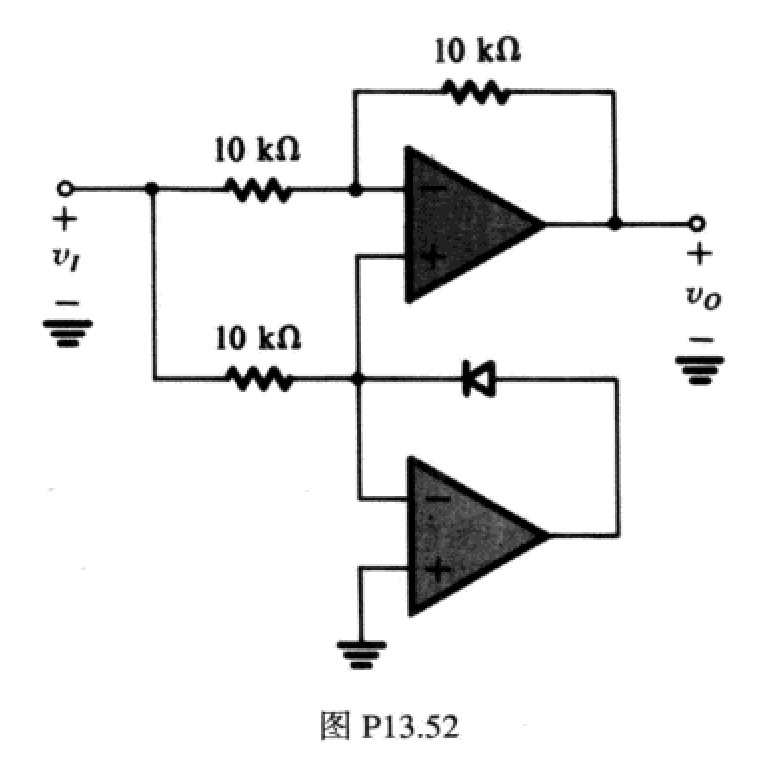


图 P13.52

D13.53　我们用一个与图 13.38 所示电路相关的电路给发光二极管（LED）提供和电压 v_A($v_A \geqslant 0$) 成正比的电流，电流的数值与二极管的非线性特性及变化无关。说明如何能够简单地实现上述功能。

*13.54　在图 13.38 所示的精密整流电路中，如果电阻 R 被电容 C 取代，结果会怎样？若要获得 R = 1 kΩ、输入为 60 Hz 正弦波的性能，求电容 C 的值？当频率等于 120 Hz 时，修改后的电路的响应是多少？频率为 180 Hz 呢？如果电压 v_A 的值是固定的，电路会有什么样的新功能？现在考虑两个电路（一个具有电阻 R，另一个具有电容 C）在实现波形变换时的作用，当输入是 60 Hz 的三角波时，具有电阻 R 的电路产生平均值为 1 mA 的电流来驱动电流表，问电阻 R 被电容 C 取代后电路的平均值电流是多少？电容 C 采用刚才求得的值。

*13.55　采用运算放大器和二极管构成超二极管的结构以实现正峰值检波电路，电容的初始电压等于 0，输入是一串脉冲信号，幅度为 10 V，脉宽为 10μs。如果运算放大器能够提供的最大输出电流是 10 mA，经过一个脉冲后电容两端的电压是多少？两个脉冲过后呢？10 个脉冲过后又会怎样？要达到 0.5 V，1.0 V 和 2.0 V 各需要多少个脉冲？

D13.56　考虑如图 13.40 所示的带缓冲的峰值检波器。输入信号是峰–峰值为 1 V 的三角波，频率是 1000 Hz，运算放大器的偏置电流（直接进入运算放大器 A_2）是 10 nA，二极管的反向漏电流是 1 nA，如果要保证输出波纹小于 1%，求电容的最小值。

第 14 章　输出级与功率放大器

引言

输出级电路的重要功能是提供低输出电阻，从而使负载上得到的输出信号增益不会下降。由于输出级是放大器的最后一级电路，通常它处理的信号都是比较大的信号，因此小信号近似分析法及其模型都不适用于输出级电路，或者使用时必须非常谨慎。另外，输出级的线性特性仍然是一个很重要的指标。事实上，衡量输出级电路设计得好坏的指标就是电路引入的总谐波失真（THD）。这是输出信号中所有谐波分量的均方根值，不包括基波分量，被表示为基波分量的均方根值的百分比。一个高品质音频放大器的 THD 在百分之零点几的数量级上。

设计输出级电路最具挑战性的参数是功率在输送到负载的过程中其效率的高低。它隐含着这样一个概念，那就是输出级晶体管消耗的功率要尽可能低。因为消耗在晶体管上的功率将引起结温的升高，而任何晶体管都有一个最高工作温度（硅管的温度范围是 150℃到 200℃）的限制，超过极限的话，晶体管就会被烧毁。功率转换效率比较高的电路在电池供电的功放电路中可以延长电池的使用时间，允许电路采用体积小、价格低的电源，或者可以使用风扇。

本章首先介绍输出级放大器采用的各种结构，它们的功率有高有低。这里提到的“高功率”一般情况下指的是 1 W 以上的功率。然后我们对高功率输出级采用 BJT 实现时的设计参数作为规范，这里的晶体管也称为功率管。这些晶体管的温度特性值得特别关注。

功率放大器是一个输出功率很高的简单放大器。分立和集成的功放电路在本章都会涉及。此外，本章还将简要讨论目前应用在功放电路设计中的 MOS 晶体管电路。最后用输出级电路的 SPICE 仿真分析及设计作为本章的结束。

14.1　输出级的分类

输出级电路的分类依据是放大器在输入信号作用后的输出集电极电流波形。图 14.1 给出的是正弦波作用后的各种输出波形。A 类放大器的电流波形如图 14.1（a）所示，它有一个直流分量 I_C，比起信号电流的幅度 $\hat{I}_c$ 来要大很多，因此 A 类放大器在输入信号的一个周期之内是完全导通的，即导通角等于 360°。与 B 类放大器相比，它的输出电流波形如图 14.1（b）所示，直流偏置电流是 0，因此 B 类放大器只在输入正弦信号的半个周期之内是导通的，它的导通角只有 180°。后面我们会讲到，输入正弦信号负半周起作用时，电流由另外一个工作在 B 类模式下的晶体管传导电流。

如果晶体管偏置在不等于 0 的电流上，但是偏置电流数值远小于正弦信号的幅度值，即晶体管的偏置处于 A 类和 B 类之间，这时比较适合称为 AB 类放大器。这时晶体管导通的时间要略大于半个周期，如图 14.1（c）所示，导通角大于 180°但是远小于 360°。AB 类放大器通常还会有另外一个晶体管，它在输入正弦信号的负半周导通，但是导通的时间仍然略大于半个周期，我们把这两个晶体管的输出结合在一起并送到输出负载上。由此可见，在输入正弦信号过零点附近，两个晶体管都是导通的。

图 14.1（d）所示是晶体管工作在 C 类模式下的输出集电极电流波形。观察发现，晶体管只

在小于半个周期的时间内导通，所以导通角低于 180°，得到的输出实际是如图所示的一串脉动信号。为了得到正弦信号输出，该电流一般会通过一个调谐到输入信号频率的 LC 电路。调谐电路起到带通滤波器的作用，其输出电压和输入脉动电流经过傅里叶展开后的基波分量的幅度成正比。

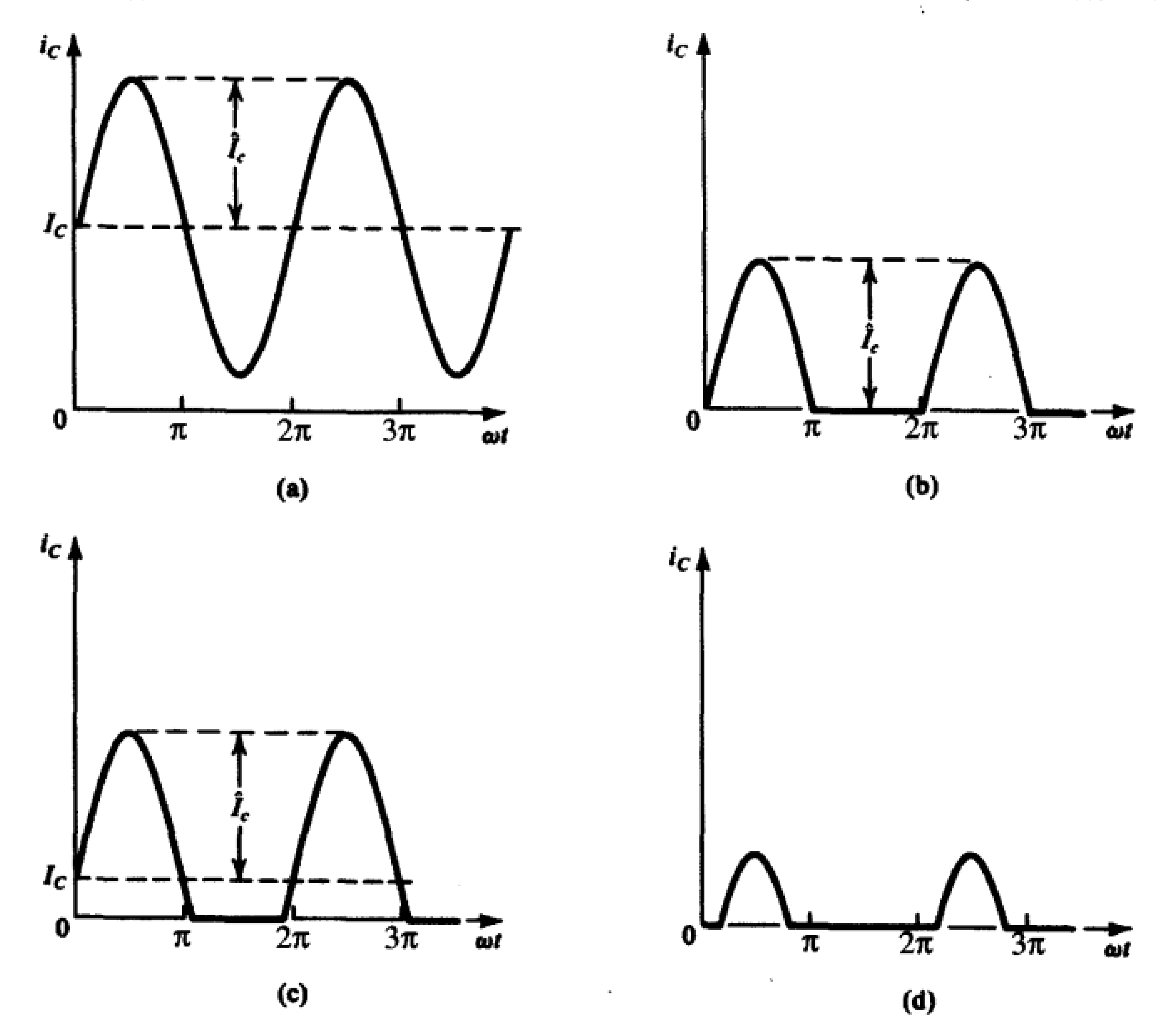


图 14.1 晶体管工作时的集电极电流波形：（a）A 类放大器；（b）B 类放大器；（c）AB 类放大器；（d）C 类放大器

本章将介绍 A 类、AB 类和 B 类放大器。它们被广泛应用在运算放大器和音频放大器的输出级中。在音频放大器中，AB 类放大器更受青睐，原因将在后面解释。C 类放大器一般在射频（RF）功放电路中使用（比如在移动电话、收音机和电视接收机中采用）。设计 C 类放大器是一个相当专业的话题，不属于本书的内容。

虽然定义各种功放电路用的是 BJT 的例子，但是所有的结论同样适用于用 MOS 晶体管实现的电路。更进一步说，以上的分类可以扩展到放大级，不必局限在输出级。所以共发射极、共基极、共集电极放大器（以及与其对应的 FET 组态）都可以归属到 A 类放大器中。

14.2 A 类输出级

由于射极跟随器的输出电阻最低，所以它是 A 类输出级最常用的电路结构。我们已经在第 5 章和第 6 章介绍了射极跟随器电路，接下来将要分析它的大信号工作特性。

14.2.1 传输特性

图 14.2 所示的是射极跟随器 Q_1 的电路，它的偏置电流 I 由晶体管 Q_2 提供。因为发射极电流

$i_{E1}=I+i_L$，所以偏置电流 I 必须大于负载电流的反向最大值，否则 Q_1 将截止，A 类工作模式就无法维持。

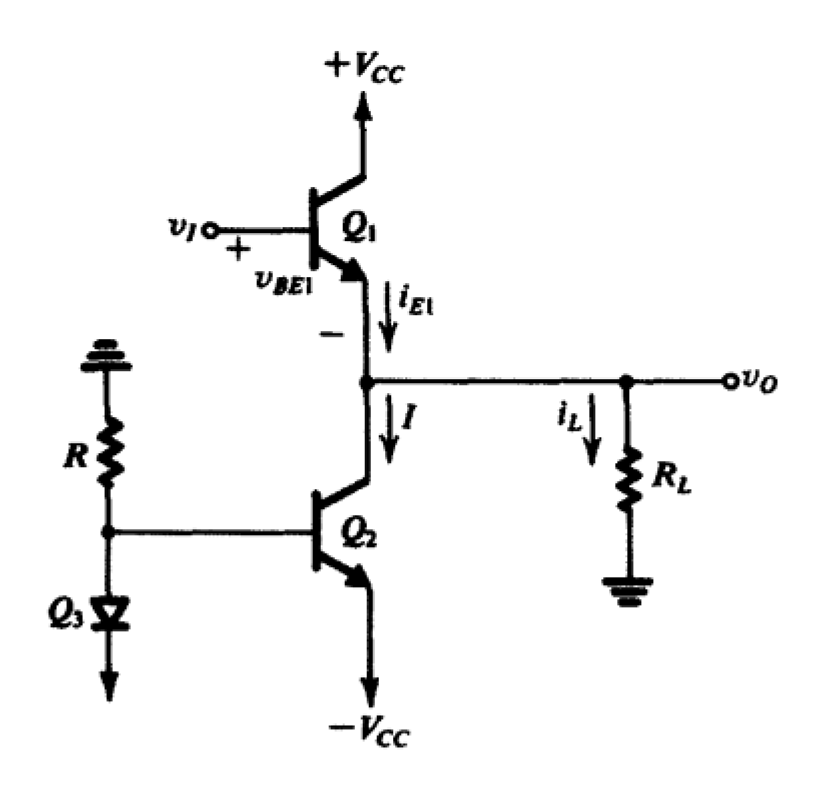


图 14.2　由晶体管 Q_2 提供恒流偏置电流 I 的射极跟随器（Q_1）

图 14.2 所示的射极跟随器的传输特性由下式描述：

$$v_O=v_I-v_{BE1} \tag{14.1}$$

其中，v_{BE1} 和射极电流 i_{E1} 有关，当然也和输出电流 i_L 有关。如果我们忽略 v_{BE1} 电压的微小变化（电流变化 10 倍，电压变化 60 mV），便得到图 14.3 所示的线性传输特性曲线。要说明的是，线性区域的正限幅值由 Q_1 的饱和状态确定，即

$$v_{O\max}=V_{CC}-V_{CE1\text{sat}} \tag{14.2}$$

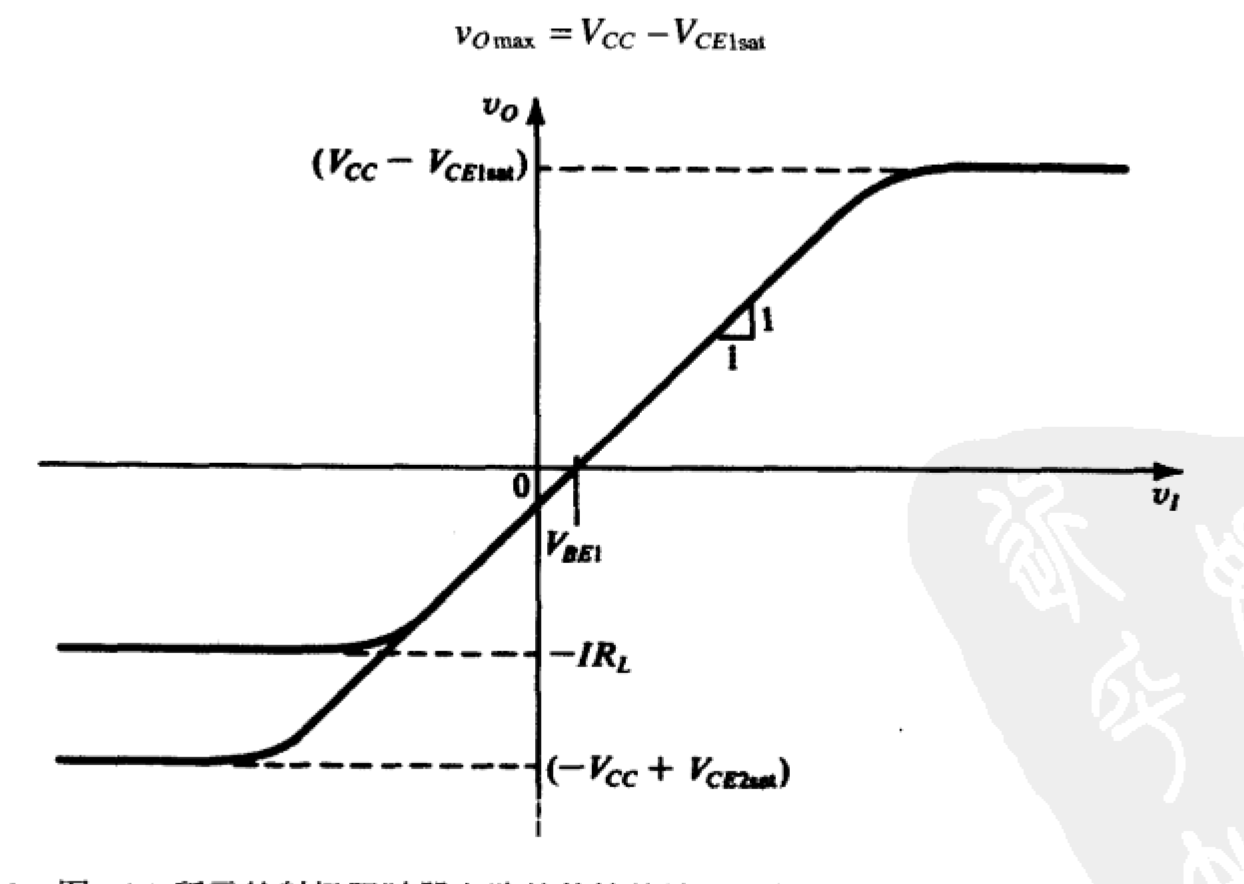


图 14.3　图 14.2 所示的射极跟随器电路的传输特性。忽略 i_L 对电压 v_{BE1} 的影响可得到特性曲线的线性部分。最大正向输出电压由晶体管 Q_1 的饱和确定。在反向区域，线性范围不是受到晶体管 Q_1 截止就是 Q_2 饱和的影响，此外还取决于电流 I 和电阻 R_L 的值

线性区域的负限幅值和 I 及 R_L 的值有关，由 Q_1 的截止确定：

$$v_{O\min} = -IR_L \tag{14.3}$$

或者由 Q_2 的饱和确定：

$$v_{O\min} = -V_{CC} + V_{CE2\text{sat}} \tag{14.4}$$

式（14.4）给出的输出电压值更小，得到该值的条件是偏置电流 I 大于输出负载电流的幅度：

$$I \geqslant \frac{\left|-V_{CC} + V_{CE2\text{sat}}\right|}{R_L} \tag{14.5}$$

练习 D14.1 考虑图 14.2 所示的射极跟随器电路，$V_{CC} = 15\text{ V}$，$V_{CE\text{sat}} = 0.2\text{ V}$，$V_{BE} = 0.7\text{ V}$ 为常数压降，β 很大。求电阻 R 的值，使得电路建立的偏置电流足够大，允许输出电流在负载电阻 $R_L = 1\text{ k}\Omega$ 时有最大摆幅。确定输出信号的摆幅以及发射极电流的最大值和最小值。

答案：0.97 kΩ；−14.8 V ~ +14.8 V；0 ~ 29.6 mA

练习 14.2 考虑练习 14.1 的射极跟随器，若 $I = 14.8\text{ mA}$，考虑输出电压限幅在−10 V 到+10 V 范围内的情况。设 Q_1 在 $i_C = 1\text{ mA}$ 时，$v_{BE} = 0.6\text{ V}$，假设 $\alpha \simeq 1$。求输出电压等于−10 V，0 V，+10 V 时的输入电压 v_I。对每一个电压用小信号分析法求电压增益 v_o/v_i。注意，小信号电压增益就是传输特性 v_o~v_I 曲线的斜率。

答案：−9.36 V，0.67 V，10.68 V；0.995 V/V，0.998 V/V，0.999 V/V

14.2.2 信号波形

考虑图 14.2 所示的射极跟随器在输入正弦信号作用下的工作特性。忽略 $V_{CE\text{sat}}$，如果选择合适的偏置电流 I，输出电压可以在 $-V_{CC}$ 到 $+V_{CC}$ 之间摆动，如图 14.4（a）所示。图 14.4（b）给出的是相关的 $v_{CE1} = V_{CC} - v_O$ 的波形。现在假设设定的偏置电流 I 允许最大反向负载电流等于 V_{CC}/R_L，则 Q_1 的集电极电流波形如图 14.4（c）所示。最后，图 14.4（d）所示为 Q_1 的瞬时功耗波形：

$$p_{D1} \equiv v_{CE1} i_{C1} \tag{14.6}$$

14.2.3 功耗

图 14.4（d）表明 Q_1 的最大瞬时功耗等于 $V_{CC}I$，等于 Q_1 的静态功耗，即在 v_O=0 时，射极跟随器具有最大功耗。由于这种情况（没有输入信号）很容易持续较长的一段时间，所以晶体管必须能够承受连续的功耗 $V_{CC}I$。

Q_1 的功耗和负载电阻的阻值 R_L 有关，考虑开路的极端情况，即 $R_L = \infty$。这时 $i_{C1} = I$ 是常数，所以晶体管 Q_1 的功耗只和瞬时电压值 v_O 有关，最大功耗出现在 $v_O = -V_{CC}$ 的时候。因为 v_{CE1} 有最大值 $2V_{CC}$，所以 $p_{D1} = 2V_{CC}I$。这种情况通常不会持续很长的时间，所以设计时不必受此约束。观察发现，负载开路的时候，Q_1 的平均功耗等于 $V_{CC}I$。其实更危险的是另一种极端情况——负载短路，即 $R_L = 0$。万一输出短路，正的输入电压理论上会产生无限大的负载电流。实际上，确实会有相当大的电流流过晶体管 Q_1，如果短路状态维持一段时间，则晶体管 Q_1 的功耗将导致结温的增加，一旦结温超过允许的最大值，Q_1 就会被烧毁。为避免出现这样的情况，输出级通常会增加短路保护功能，我们将在后面讲解。

Q_2 的功耗也是设计射极跟随器输出级时要考虑的一个因数。因为 Q_2 导通的是一个常数电流 I，晶体管 v_{CE2} 电压的最大值是 $2V_{CC}$，所以 Q_2 的最大瞬时功耗是 $2V_{CC}I$。最大值出现在 $v_O = V_{CC}$ 时，

这种情况一般不会持续较长的时间。衡量电路性能好坏的一个重要指标应该是 Q_2 的平均功耗——$V_{CC}I$。

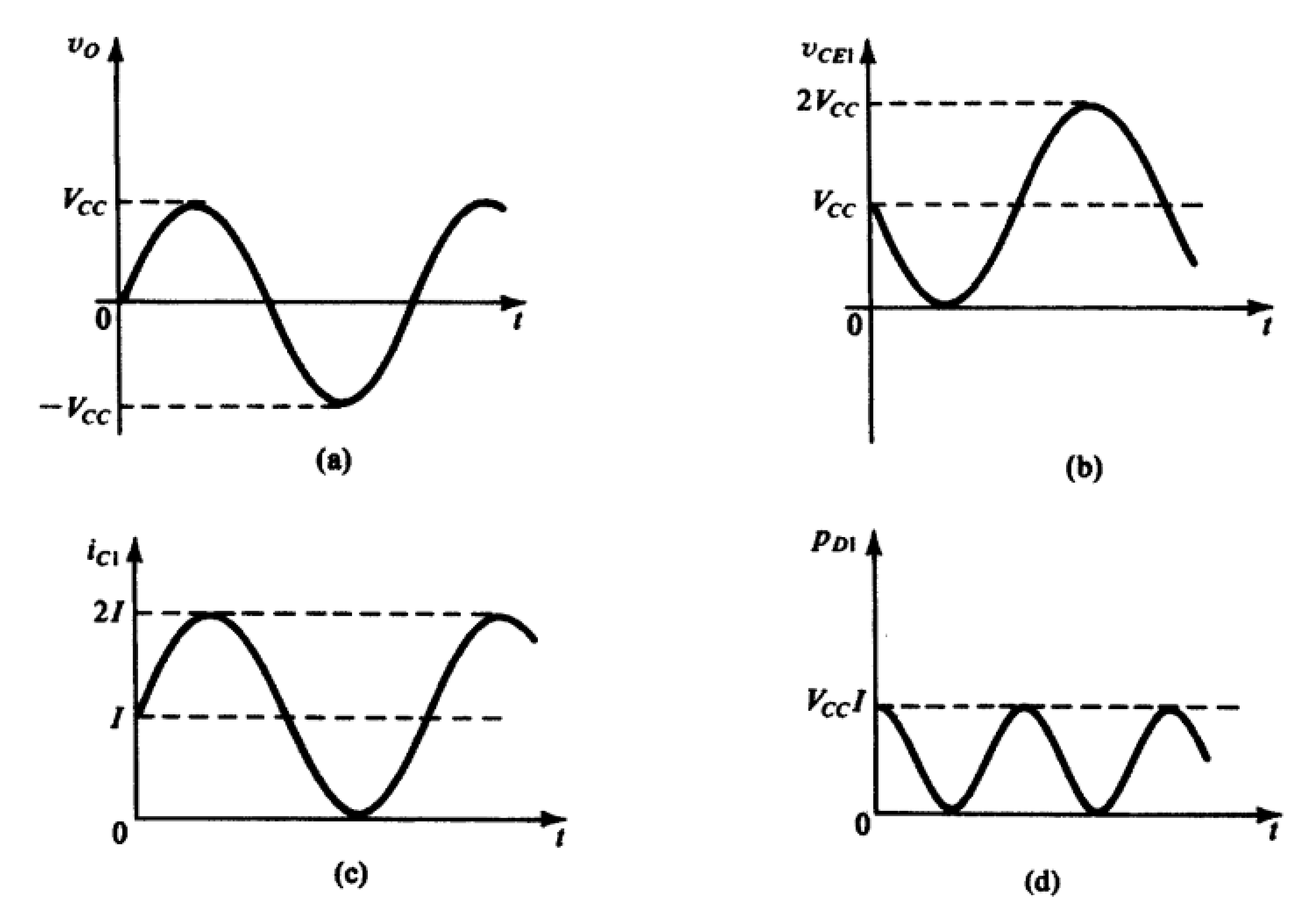


图 14.4　图 14.2 所示的 A 类输出级电路在 $I=V_{CC}/R_L$ 或者等效于 $R_L=V_{CC}/I$ 条件下的最大输出信号波形

练习 14.3　考虑图 14.2 所示的射极跟随器电路，设 $V_{CC}=10\text{ V}$，$I=100\text{ mA}$，$R_L=100\ \Omega$。求晶体管 Q_1 和 Q_2 的静态功耗（$v_O=0$）。当输出正弦波电压取得可能的最大幅度（忽略 V_{CEsat}）时，求 Q_1 和 Q_2 的平均功耗，再求负载上的功率。

答案：1 W，1 W；0.5 W，1 W；0.5 W

14.2.4　功率转换效率

输出级功率转换效率的定义如下：

$$\eta \equiv \frac{\text{负载功率}(P_L)}{\text{电源功率}(P_S)} \tag{14.7}$$

对图 14.2 所示的射极跟随器电路，假设输出正弦波电压的峰值电压是 $\hat{V}_o$，则负载上的平均功率是

$$P_L = \frac{(\hat{V}_o/\sqrt{2})^2}{R_L} = \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{14.8}$$

由于流过 Q_2 的电流是常数（I），则从负电源获得的功率①等于 $V_{CC}I$，流过 Q_1 的平均电流是 I，那么从正电源获得的平均功率也是 $V_{CC}I$，所以电源提供的总平均功率为

$$P_S = 2V_{CC}I \tag{14.9}$$

结合式（14.8）和式（14.9），得到

① 不包括偏置电阻 R 和接成二极管的晶体管 Q_3 上的功率损耗。

$$\eta = \frac{1}{4}\frac{\hat{V}_o^2}{IR_L V_{CC}}$$
$$= \frac{1}{4}\left(\frac{\hat{V}_o}{IR_L}\right)\left(\frac{\hat{V}_o}{V_{CC}}\right) \tag{14.10}$$

因为$\hat{V}_o \leqslant V_{CC}$且$\hat{V}_o \leqslant IR_L$，所以当下式成立时可获得最大效率：

$$\hat{V}_o = V_{CC} = IR_L \tag{14.11}$$

可获得的最大效率是25%。因为效率非常低，所以A类输出级电路几乎不在“高功率”（大于1 W）功放电路中采用。实际上，为了防止晶体管饱和以及非线性失真，输出电压的幅度必须限制为很低，结果效率只能达到10%～20%。

练习 14.4 电路如图14.2所示，设$V_{CC}=10$ V，$I=100$ mA，$R_L=100\ \Omega$。如果输出是峰值为8 V的正弦波，求：(a) 负载上得到的功率；(b) 电源提供的平均功率；(c) 功率转换效率。忽略Q_3和R的功率损耗。

答案：0.32 W；2 W；16%

14.3 B类输出级

图14.5所示的是一个B类输出级电路。它由一对互补晶体管（一个*npn*晶体管和一个*pnp*晶体管）组成，电路的连接方式使得这两个晶体管不会同时导通。

14.3.1 电路工作原理

当输入电压$v_I=0$时，两个晶体管均截止，输出电压v_O等于0。当输入电压v_I超过0.5 V时，Q_N导通并作为射极跟随器工作，这时输出电压v_O随着输入电压v_I的变化而变化（$v_O = v_I - v_{BEN}$），负载电流由Q_N提供。同时，Q_P的发射结受Q_N近似于0.7 V的V_{BE}电压的反偏作用而截止。

如果输入是负的并小于–0.5 V时，Q_P导通并成为射极跟随器，则输出电压v_O随着v_I的变化而变化（$v_O = v_I + v_{EBP}$），但是负载电流由Q_P提供的，Q_N截止。

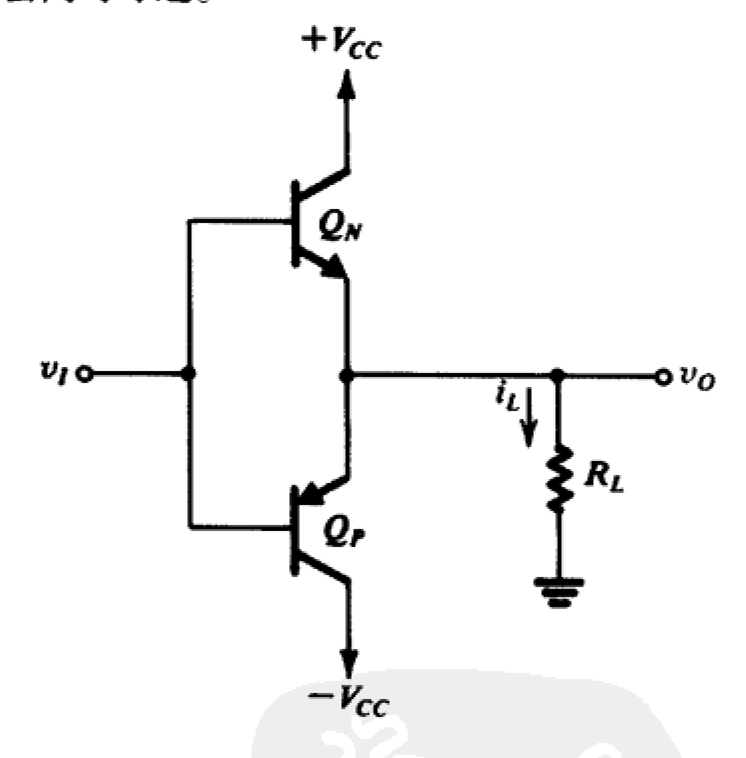


图14.5 B类输出级电路

我们得到的结论是图14.5所示电路的偏置电流等于0，只有当输入电压作用时，电路才导通，电路的工作方式是推挽的：当输入电压v_I大于0时，晶体管Q_N把源提供的电流送到（源，source）负载上；当输入电压v_I小于0时，晶体管Q_P吸收掉（渊，sink）负载上的电流。

14.3.2 传输特性

图14.6所示的是B类输出级的传输特性曲线。注意，该曲线存在v_I以0为中心的一段区间，这时两个晶体管都是截止的，所以$v_O=0$。当输入信号是正弦波时，这一段死区将产生交越失真，如图14.7所示。当输入信号很小时，交越失真的效果很明显。在音频功率放大器中，交越失真会产生令人不舒服的声音。

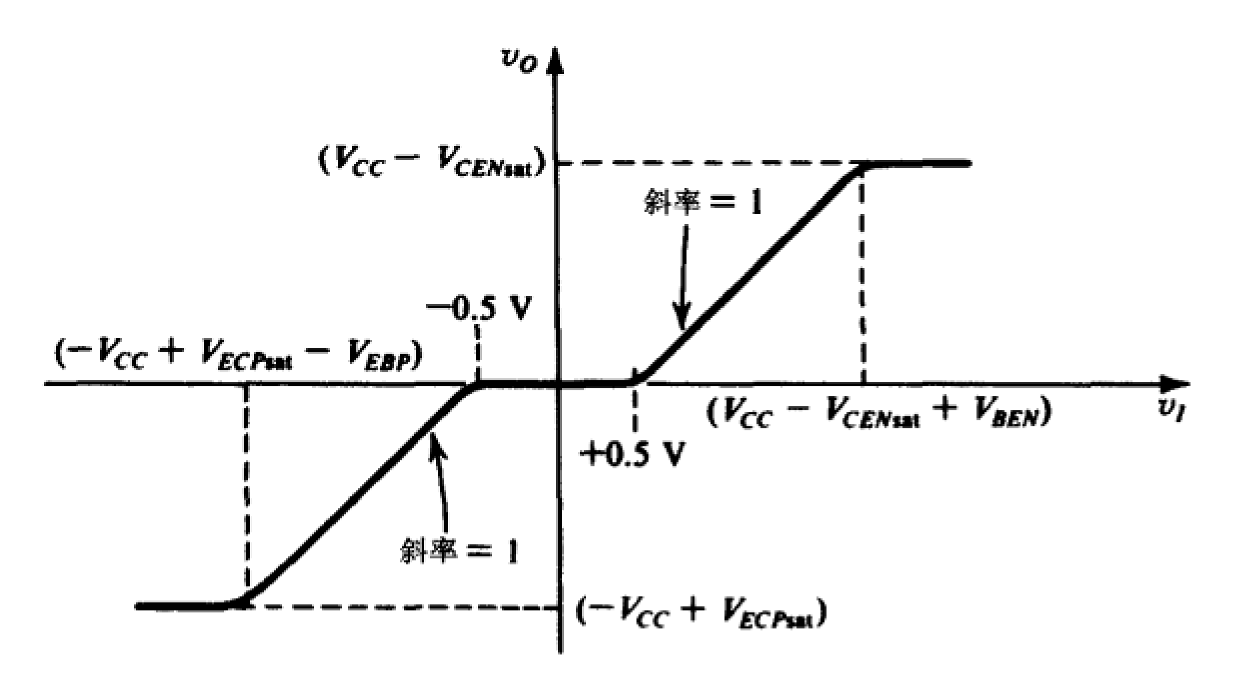


图 14.6　图 14.5 所示的 B 类输出级电路的传输特性

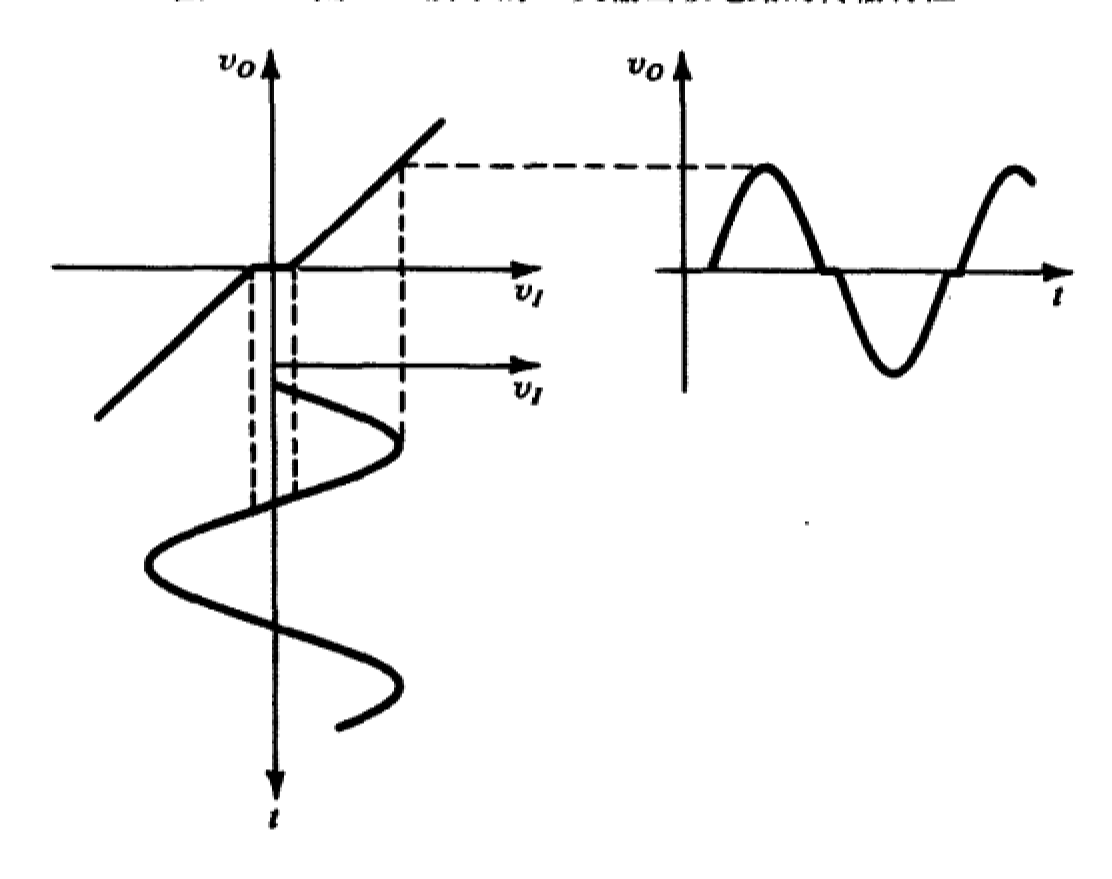


图 14.7　B 类传输特性的死区产生交越失真的图解说明

14.3.3　功率转换效率

为了计算 B 类输出级的功率转换效率η，我们忽略交越失真，认为输出正弦信号的幅度为$\hat{V}_o$，则负载获得的平均功率为

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{14.12}$$

该电路从每个电源获得的电流都是幅度为$\hat{V}_o / R_L$的半个正弦波，因此每个电源提供的平均电流为$\hat{V}_o / \pi R_L$，从而每个电源提供的平均功率均相等：

$$P_{S+} = P_{S-} = \frac{1}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} \tag{14.13}$$

电源提供的总功率为

$$P_S = \frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} \tag{14.14}$$

根据效率的定义：

$$\eta = \left(\frac{1}{2}\frac{\hat{V}_o^2}{R_L}\right)\Bigg/\left(\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}\right) = \frac{\pi}{4}\frac{\hat{V}_o}{V_{CC}} \tag{14.15}$$

上式表明，当$\hat{V}_o$取得最大值的时候，效率最大。但是输出电压的最大值受Q_N和Q_P饱和的限制，即$V_{CC}-V_{CEsat}\approx V_{CC}$，输出峰值电压等于这个值时，功率转换效率为

$$\eta_{\max} = \frac{\pi}{4} = 78.5\% \tag{14.16}$$

该值要比 A 类输出级的效率（25%）高很多。最后我们注意到，B 类输出级能够获得的最大平均功率是将$\hat{V}_o = V_{CC}$代入式（14.12）之后计算得到的：

$$P_{L\max} = \frac{1}{2}\frac{V_{CC}^2}{R_L} \tag{14.17}$$

14.3.4 功耗

与 A 类输出级的最大功耗出现在静态（$v_O=0$）时不同，B 类输出级在静态时功耗为 0。当有信号输入的时候，B 类输出级的平均功耗可以通过下式求得：

$$P_D = P_S - P_L \tag{14.18}$$

将P_S用式（14.14）代入、P_L用式（14.12）代入，得到

$$P_D = \frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC} - \frac{1}{2}\frac{\hat{V}_o^2}{R_L} \tag{14.19}$$

由于晶体管是对称的，所以P_D的一半功率是晶体管Q_N消耗的，另一半是晶体管Q_P消耗的。因此晶体管必须能够安全地消耗$\frac{1}{2}P_D$的功率。由于P_D和$\hat{V}_o$有关，所以我们必须知道最严重的功耗情况，即$P_{D\max}$。将式（14.19）两边对$\hat{V}_o$求导并令导数等于 0 可得到平均功耗最大时的$\hat{V}_o$值：

$$\hat{V}_o\Big|_{P_{D\max}} = \frac{2}{\pi}V_{CC} \tag{14.20}$$

将此式代入式（14.19），得到

$$P_{D\max} = \frac{2V_{CC}^2}{\pi^2 R_L} \tag{14.21}$$

即

$$P_{DN\max} = P_{DP\max} = \frac{V_{CC}^2}{\pi^2 R_L} \tag{14.22}$$

如果要计算功耗最大时的效率，只需把式（14.20）得到的$\hat{V}_o$代入式（14.15），计算得到$\eta = 50\%$。

图 14.8 画出了功耗 P_D［见式（14.19）］和峰值电压$\hat{V}_o$的关系曲线，通常集成功率放大器的参数表中都提供这条曲线（只是一般情况下，给出的曲线是P_D与P_L的关系，而不是与$\hat{V}_o$的关系，因为$P_L = \frac{1}{2}(\hat{V}_o^2/R_L)$）。从图 14.8 可看到一个有趣的事情：如果增加$\hat{V}_o$并使之超过 $2V_{CC}/\pi$，B 类

输出级的功耗开始下降，但是负载上获得的功率在增加。所付出的代价是非线性失真的增加，因为晶体管 Q_N 和 Q_P 接近饱和区工作。晶体管饱和，输出正弦峰值将趋于平坦。遗憾的是，即使引入负反馈（参见 8.2 节），也无法有效地降低这种类型的非线性失真，因此在 THD 要求比较低的应用场合，应该避免使晶体管饱和。

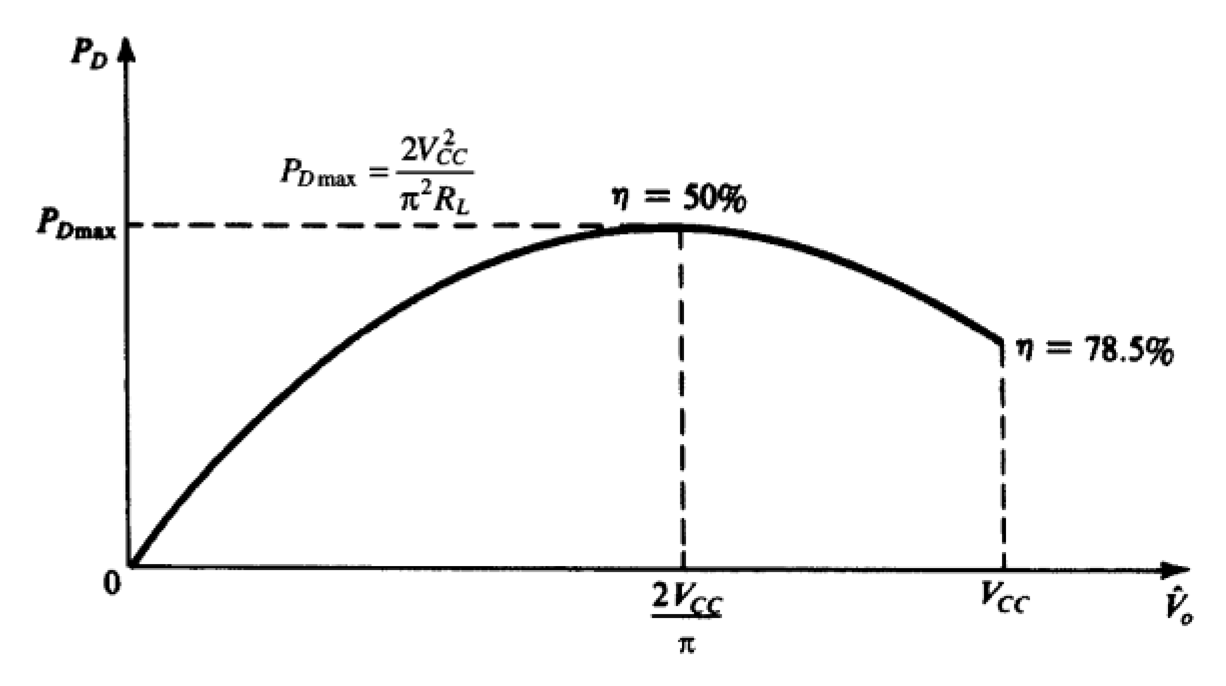


图 14.8　B 类输出级晶体管的功耗和输出正弦电压幅度之间的关系曲线

例题 14.1　要求设计一个 B 类输出级电路，使之能够给 8 Ω的负载电阻提供 20 W 的平均功率。要求直流电源电压比输出电压的峰值高 5 V，这样可以避免晶体管饱和，因而降低非线性失真，设计的电路允许包含短路保护（后者会在 14.7 节介绍）。求电源电压的值、每个电源提供的电流的峰值、电源提供的总功率和功率转换效率以及每个晶体管能够安全消耗的最大功率。

解：因为

$$P_L = \frac{1}{2}\frac{\hat{V}_o^2}{R_L}$$

即

$$\hat{V}_o = \sqrt{2P_L R_L} = \sqrt{2\times 20\times 8} = 17.9\ \text{V}$$

所以我们选择电源电压为 $V_{CC} = 23$ V。

每个电源提供的输出电流的峰值是

$$\hat{I}_o = \frac{\hat{V}_o}{R_L} = \frac{17.9}{8} = 2.24\ \text{A}$$

每个电源提供的平均功率是

$$P_{S+} = P_{S-} = \frac{1}{\pi}\times 2.24\times 23 = 16.4\ \text{W}$$

所以，电源提供的总功率为 32.8 W，则功率转换效率为

$$\eta = \frac{P_L}{P_S} = \frac{20}{32.8}\times 100 = 61\%$$

由式（14.22）可得到每个晶体管的最大功耗：

$$P_{DN\max} = P_{DP\max} = \frac{V_{CC}^2}{\pi^2 R_L}$$

$$= \frac{(23)^2}{\pi^2 \times 8} 6.7\ \text{W}$$

■

14.3.5　减小交越失真

B 类输出级的交越失真可以采用接入高增益运算放大器和输出级一起构成负反馈回路的方法来降低，如图 14.9 所示。±0.7 V 的死区电压被降低至±0.7/A_0，其中 A_0 是运算放大器的直流增益。但是，运算放大器的摆率对输出晶体管导通与截止的交替运作会产生影响，尤其是频率很高的时候。更实际的减少甚至消除交越失真的方法是采用 AB 类结构，下一节将给予介绍。

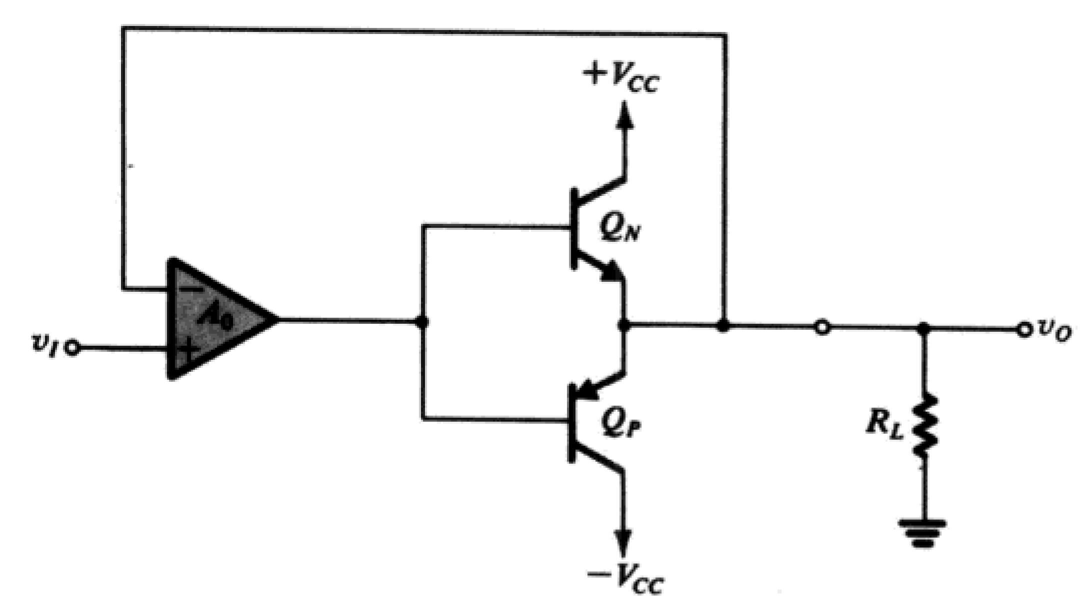


图 14.9　B 类输出级电路与运算放大器级联并构成负反馈环来减小交越失真

14.3.6　单电源工作

B 类输出级可以工作在单电源供电的情况下，这时的负载通过电容耦合与放大器相连，电路如图 14.10 所示。注意，为了使 14.3.4 节推导的等式能够直接应用于此，电源电压标注为 $2V_{CC}$。

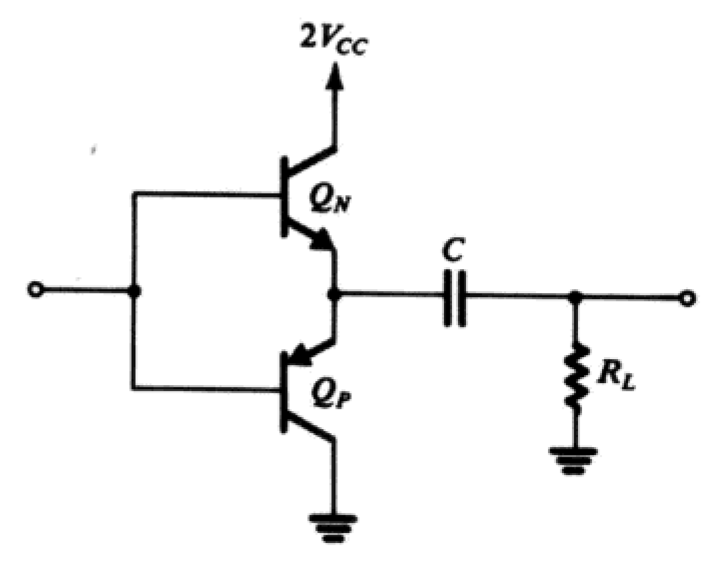


图 14.10　单电源供电的 B 类输出级电路

练习 14.5　B 类输出级电路如图 14.5 所示，设 $V_{CC} = 6$ V，R_L=4 Ω，如果输出正弦信号的峰值是 4.5 V，求：（a）输出功率；（b）每个电源提供的平均功率；（c）该电压下的功率转换效率；（d）由 v_I 提供的峰值电流，假设 $\beta_N = \beta_P = 50$；（e）每个晶体管能够安全消耗的最大功率。

答案：（a）2.53 W；（b）2.15 W；（c）59%；（d）22.1 mA；（e）0.91 W

14.4 AB 类输出级

消除交越失真的方法是给互补输出晶体管提供一个不等于零但却很小的偏置电流，这时的电路就成为 AB 类输出级电路，如图 14.11 所示。晶体管 Q_N 和 Q_P 的基极接有偏置电压 V_{BB}，当 $v_I=0$ 时，$v_O=0$，且晶体管 Q_N 和 Q_P 的发射结偏置电压均为 $V_{BB}/2$，假设晶体管是对称的，则

$$i_N = i_P = I_Q = I_S e^{V_{BB}/2V_T} \tag{14.23}$$

电压 V_{BB} 的值应该满足静态电流 I_Q 的要求。

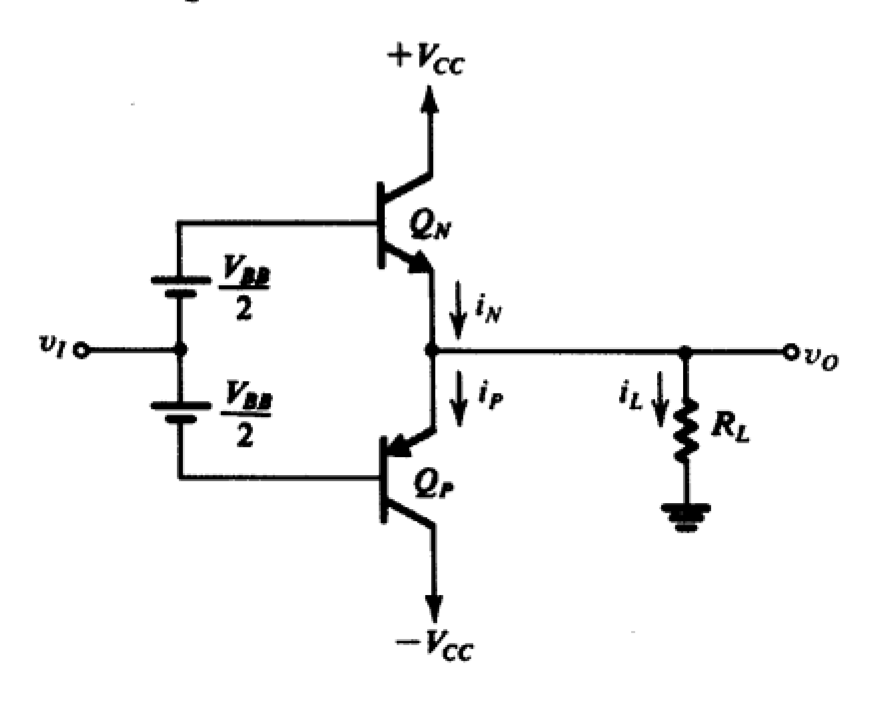


图 14.11 AB 类输出级。晶体管 Q_N 和 Q_P 的基极之间接有偏置电压 V_{BB}，提供式（14.23）确定的偏置电流 I_Q。这样，在 v_I 很小时两个晶体管仍然导通，交越失真几乎可以完全消除掉

14.4.1 电路工作原理

当 v_I 处于正半周且为某恒定值时，晶体管 Q_N 的基极电压将增加同样的数值，因此输出电压为正且数值几乎相等：

$$v_O = v_I + \frac{V_{BB}}{2} - v_{BEN} \tag{14.24}$$

由于正的电压值 v_O 会导致负载 R_L 上形成电流 i_L，因此 i_N 必然增加，即

$$i_N = i_P + i_L \tag{14.25}$$

电流 i_N 的增加伴随着电压 v_{BEN} 的增加（超过静态值 $V_{BB}/2$）。然而两个基极之间的电压必须维持在 V_{BB} 上，所以 v_{BEN} 的增加将导致 v_{EBP} 减少同样的值，当然 i_P 也会减少。电流 i_N 和 i_P 的关系可以由下列关系导出：

$$v_{BEN} + v_{EBP} = V_{BB}$$

$$V_T \ln\frac{i_N}{I_S} + V_T \ln\frac{i_P}{I_S} = 2V_T \ln\frac{I_Q}{I_S}$$

$$i_N i_P = I_Q^2 \tag{14.26}$$

上式表明，电流 i_N 的增加和 i_P 的减少必须具有相同的倍数以保持它们的乘积为常数。结合式（14.25）和式（14.26），可在给定负载电流 i_L 时通过求解下面的二次方程 i_N：

$$i_N^2 - i_L i_N - I_Q^2 = 0 \tag{14.27}$$

从上式可以看到，当输出电压是正的时候，负载电流由工作在跟随器状态的晶体管 Q_N 提供，同时晶体管 Q_P 导通的电流随着电压 v_O 的增加而减少，当 v_O 很大时，Q_P 中流过的电流可以忽略不计。

当输入电压处于负半周时，情况正好相反：负载电流由工作在跟随器状态的晶体管 Q_P 提供，此时，电压 v_I 越负，晶体管 Q_N 导通的电流变得越小。式（14.26）同样适用于输入为负值的情况。

我们得到的结论是：AB 类与 B 类输出级的工作原理很大程度上是相同的，但是也有例外：当输入电压 v_I 很小时，两个晶体管全部导通；当 v_I 增加或者减少时，两个晶体管中的一个将接替全部工作。由于电流传输是平滑的，所以交越失真几乎可以完全被消除。图 14.12 给出的是 AB 类输出级的传输特性曲线。

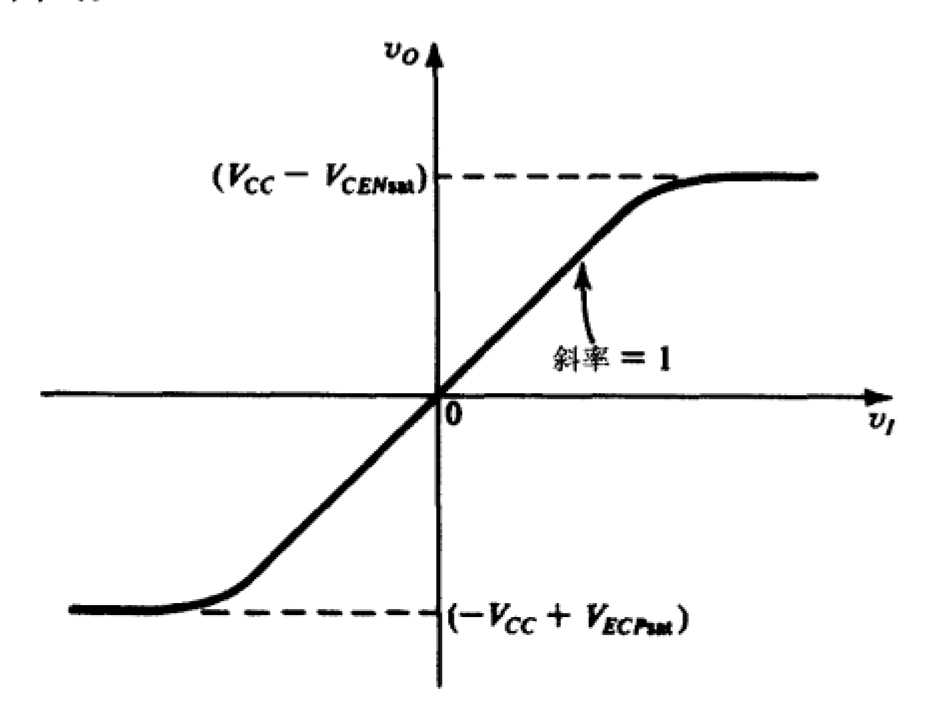


图 14.12　图 14.11 所示的 AB 类输出级的传输特性

AB 类输出级关于功率的关系式和 14.3 节推导的 B 类关系式几乎相同，惟一的不同在于静态时 AB 类电路的每个晶体管都有功耗 $V_{CC}I_Q$，由于 I_Q 比输出电流的峰值小很多，所以静态功耗通常也很小。如果要考虑静态功耗，那么也很简单。具体而言，当有输入信号时，只要简单地把每个晶体管的静态功耗加到最大功耗上且得到的总功耗能够保证晶体管安全工作即可。

14.4.2　输出电阻

如果假设输入电压源是理想的，那么可以利用图 14.13 求解 AB 类输出级的输出电阻：

$$R_{out} = r_{eN} \parallel r_{eP} \tag{14.28}$$

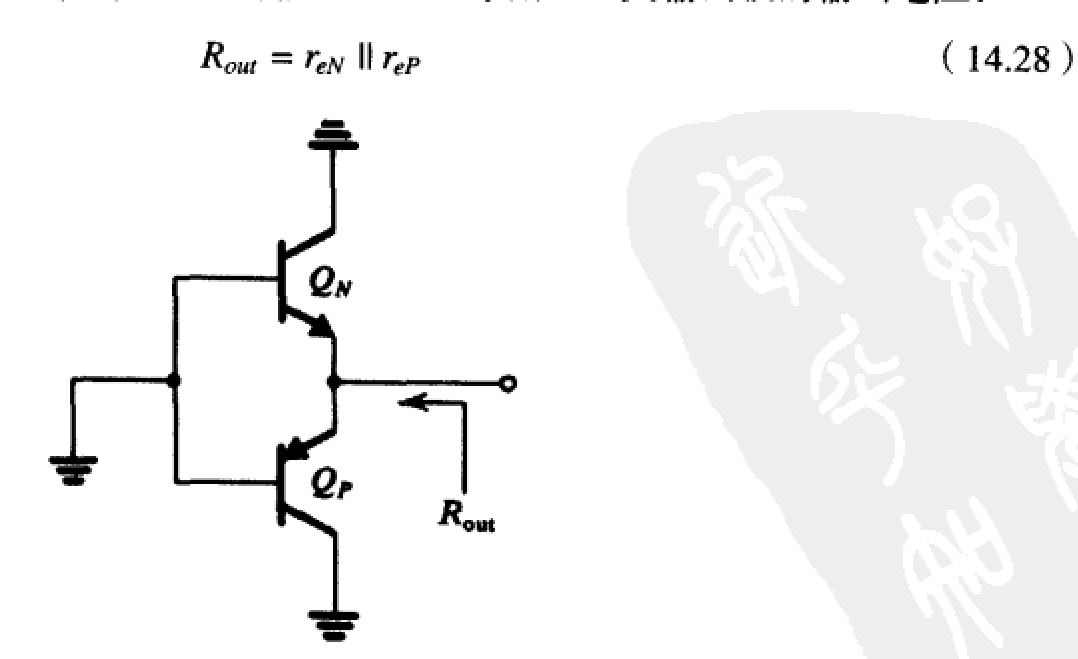


图 14.13　确定图 14.11 所示的 AB 类输出级的小信号输出电阻

其中，r_{eN}和r_{eP}分别是晶体管Q_N和Q_P的小信号射极电阻。当输入给定时，电流i_N和i_P是可以确定的，则射极电阻分别由下式给出：

$$r_{eN}=\frac{V_T}{i_N} \tag{14.29}$$

$$r_{eP}=\frac{V_T}{i_P} \tag{14.30}$$

即

$$R_{\text{out}}=\frac{V_T}{i_N}\left\|\frac{V_T}{i_P}\right.=\frac{V_T}{i_P+i_N} \tag{14.31}$$

由于i_N增加时i_P是减少的，反过来也一样，所以输出电阻在$v_I=0$附近近似维持常数，这实际上也是交越失真能够被消除的原因。在输出负载电流很大时，起主要作用的电流不是i_N就是i_P，因而R_{out}随着负载电流的增加而减少。

练习 14.6　考虑 AB 类输出级电路，设$V_{CC}=15$ V，$I_Q=2$ mA，$R_L=100\ \Omega$，确定电压V_{BB}的值。以表格的形式给出当输出电压$v_O=0$ V，0.1 V，0.2 V，0.5 V，1 V，5 V，10 V，−0.1 V，−0.2 V，−0.5 V，−1 V，−5 V，−10 V 时，相应的i_L，i_N，i_P，v_{BEN}，v_{EBP}，v_I，v_O/v_I，R_{out}，v_o/v_i的值。注意，v_O/v_I是大信号增益，而v_o/v_i是增量小信号增益，可以利用$R_L/(R_L+R_{\text{out}})$求得。小信号增益等于传输特性曲线在静态工作点处的斜率。假设晶体管Q_N和Q_P是匹配的，$I_S=10^{-13}$A。

答案：$V_{BB}=1.186$ V

v_O(V)	i_L(mA)	i_N(mA)	i_P(mA)	v_{BEN}(V)	v_{EBP}(V)	v_I(V)	v_O/v_I	R_{out}(Ω)	v_o/v_i
+10.0	100	100.04	0.04	0.691	0.495	10.1	0.99	0.25	1.00
+5.0	50	50.08	0.08	0.673	0.513	5.08	0.98	0.50	1.00
+1.0	10	10.39	0.39	0.634	0.552	1.041	0.96	2.32	0.98
+0.5	5	5.70	0.70	0.619	0.567	0.526	0.95	4.03	0.96
+0.2	2	3.24	1.24	0.605	0.581	0.212	0.94	5.58	0.95
+0.1	1	2.56	1.56	0.599	0.587	0.106	0.94	6.07	0.94
0	0	2	2	0.593	0.593	0	—	6.25	0.94
−0.1	−1	1.56	2.56	0.587	0.599	−0.106	0.94	6.07	0.94
−0.2	−2	1.24	3.24	0.581	0.605	−0.212	0.94	5.58	0.95
−0.5	−5	0.70	5.70	0.567	0.619	−0.526	0.95	4.03	0.96
−1.0	−10	0.39	10.39	0.552	0.634	−1.041	0.96	2.32	0.98
−5.0	−50	0.08	50.08	0.513	0.673	−5.08	0.98	0.50	1.00
−10.0	−100	0.04	100.04	0.495	0.691	−10.1	0.99	0.25	1.00

14.5　AB 类电路的偏置

本节将讨论两种用于 AB 类输出级电路的产生偏置电压V_{BB}的方法。

14.5.1　二极管偏置

图 14.14 所示的电路是利用一对二极管D_1和D_2或者是连接成二极管的晶体管实现V_{BB}偏置的 AB 类电路，两个二极管中流过相同的电流I_{BIAS}。电路提供的输出功率比较大，要求输出晶体管的几何尺寸相对来说也比较大。但是偏置二极管的尺寸不需要很大，这时晶体管Q_N和Q_P中建

立的静态电流 $I_Q = nI_{BIAS}$，其中 n 是输出晶体管结面积与偏置二极管结面积的比值。换言之，输出晶体管的饱和电流（比例电流 I_S）是偏置二极管的 n 倍。结面积的比在集成电路中很容易实现，但是在分立元件电路中实现起来很困难。

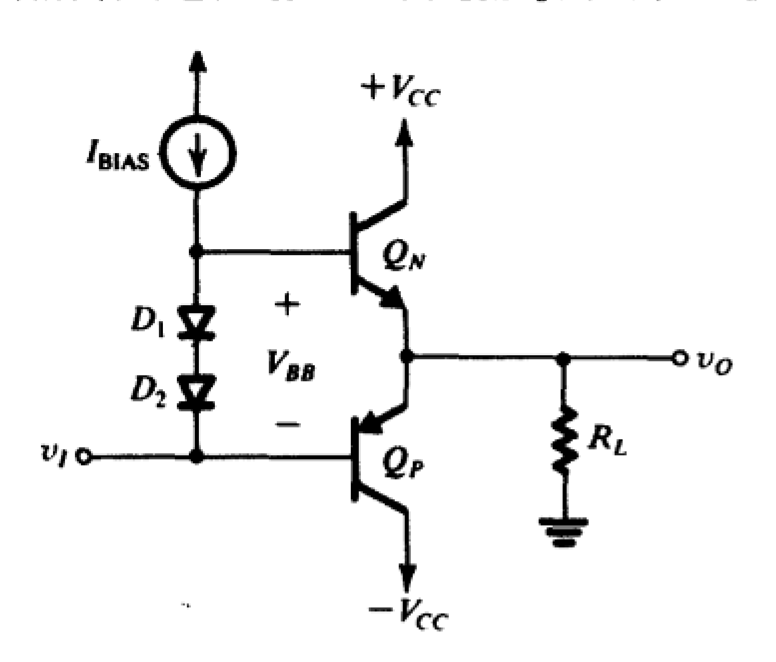


图 14.14　利用二极管实现偏置的 AB 类输出级电路。如果输出晶体管 Q_N 和 Q_p 的结面积是偏置二极管 D_1 和 D_2 的 n 倍，那么输出级流过的静态电流 $I_Q = nI_{BIAS}$

当图 14.14 所示的输出级作为电流源为负载提供电流的时候，晶体管 Q_N 的基极电流从 I_Q/β_N（通常该值很小）增加到近似等于 i_L/β_N，该基极驱动电流是由电流源 I_{BIAS} 提供的，所以电流源 I_{BIAS} 必须比晶体管 Q_N 的基极驱动电流的最大值还要大，这也就给出了 I_{BIAS} 的下限。现在由于 $I_Q = nI_{BIAS}$，而且 I_Q 通常要比负载电流的峰值低很多(小于 10%)，因此我们不可能将 n 取为很大的值，换言之，我们不可能把二极管做得比输出晶体管小很多，这是二极管偏置电路的一个缺点。

从上面的分析可知，当输出晶体管给负载提供电流的时候，偏置二极管中流过的电流会减少，偏置电压 V_{BB} 同样也要减少。因此我们要对 14.4 节的分析做些修改，以便把这个效应考虑进去。

二极管偏置也有一个优点：它可以提高输出级晶体管偏置电流的热稳定性。为理解这一点，回忆一下静态情况下 AB 类输出级的功耗，功耗的增加导致 BJT 内部结温的升高。从第 5 章曾讲到，结温升高时，在保持集电极电流不变的情况下，晶体管的发射结电压 V_{BE} 将减少（近似为−2 mV/℃）。我们也可以这样理解：如果温度升高时要使发射结电压 V_{BE} 保持不变，那么晶体管的集电极电流就要增加，集电极电流的增加会增加功耗，它反过来又使集电极电流增加。这实际上就是一种正反馈机制，这种现象称为热失控。除非被检测到，否则热失控将导致 BJT 的损坏。二极管偏置可以对此效应加以补偿，从而避免晶体管在静态情况下进入热失控状态。具体而言，二极管与输出晶体管紧密热接触，它们的结温将与输出晶体管一样升高相同的温度，这样 V_{BB} 就与 $V_{BEN} + V_{EBP}$ 一样，在电流 I_Q 仍然维持常数的情况下具有相同的下降速度。紧密热接触在集成电路中实现起来很容易，在分立元件电路中是通过将偏置二极管与晶体管 Q_N 和 Q_P 的外壳接触来实现的。

例题 14.2　AB 类输出级电路的电源电压 $V_{CC} = 15$ V，$R_L = 100\ \Omega$，输出正弦信号的最大幅度是 10 V。设晶体管 Q_N 和 Q_P 是一对匹配管，$I_S = 10^{-13}$ A，$\beta = 50$。假设偏置二极管的结面积是输出晶体管的三分之一，求偏置电流源 I_{BIAS} 的值，使得任何时候二极管中至少有 1 mA 的电流流过。确定输出晶体管的静态电流和静态功耗（$v_O = 0$），再求 $v_O = 0$，+10 V，−10 V 时 V_{BB} 的值。

解：流过晶体管 Q_N 的最大电流近似为 $i_{L\max} = 10\ \text{V}/0.1\ \text{k}\Omega = 100$ mA，因此晶体管 Q_N 的最大基极电流近似等于 2 mA。为保证流过二极管的电流至少为 1 mA，偏置电流源 I_{BIAS} 的值为 3 mA。3 倍的结面积比说明晶体管 Q_N 和 Q_P 的静态电流为 9 mA，所以静态功耗为：

$$P_{DQ} = 2\times15\times9 = 270\ \text{mW}$$

当 $v_O = 0$ 时，晶体管 Q_N 的基极电流为 $9/51 \simeq 0.18$ mA，留下 $3 - 0.18 = 2.82$ mA 的电流流过二极管。由于二极管的饱和电流 $I_S = \frac{1}{3}\times10^{-13}$A，所以电压 V_{BB} 为

$$V_{BB} = 2V_T \ln\frac{2.82\ \text{mA}}{I_S} = 1.26\ \text{V}$$

当 $v_O=+10$ V 时，流过二极管的电流将下降到 1 mA，结果 $V_{BB}\simeq 1.21$ V，在 $v_O=-10$ V 时，晶体管 Q_N 只传导很小的电流，它的基极电流更小，可以忽略，所有的 I_{BIAS} 电流（3 mA）流过二极管，结果 $V_{BB}\simeq 1.26$ V。■

练习 14.7　考虑例题 14.2 的电路，当 $v_O=+10$ V 且 $v_O=-10$ V 时，求 i_N 和 i_P 的值。

答案：100.1 mA，0.1 mA；0.8 mA，100.8 mA

练习 14.8　如果晶体管的集电极电流保持不变，则电压 v_{BE} 随温度的变化关系是温度每升高 1℃电压下降 2 mV。如果电压 v_{BE} 保持不变，则集电极电流随温度的变化关系是温度每升高 1℃电流增加 $g_m\times 2$ mV。当晶体管工作在 $I_C=10$ mA 时，求温度升高 5℃时的集电极电流的变化。

答案：4 mA

14.5.2　V_{BE} 电压倍增器偏置

另外一种实现电压偏置的方法可以给设计者在集成电路和分立元件电路的设计中提供更多的灵活性，如图 14.15 所示。偏置电路由晶体管 Q_1 以及接在基射极之间的电阻 R_1 和接在集基极之间的反馈电阻 R_2 组成。得到的二端网络由电流源 I_{BIAS} 提供电流。如果我们忽略晶体管 Q_1 的基极电流，那么流过电阻 R_1 和 R_2 的电流 I_R 相等：

$$I_R=\frac{V_{BE1}}{R_1} \tag{14.32}$$

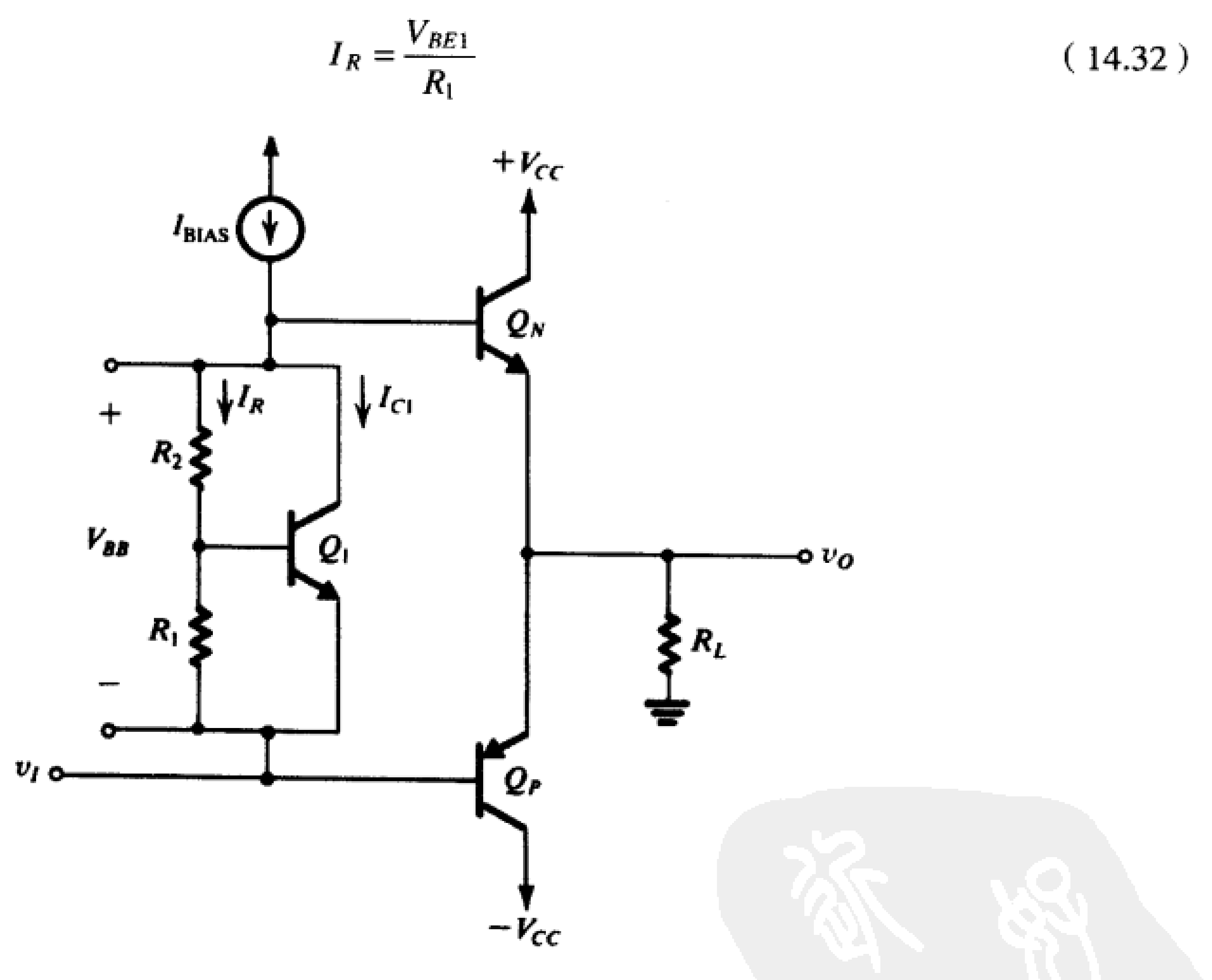


图 14.15　采用 V_{BE} 电压倍增器偏置的 AB 类输出级电路

跨接在偏置网络两端的电压 V_{BB} 将成为：

$$\begin{aligned}V_{BB}&=I_R(R_1+R_2)\\&=V_{BE1}\left(1+\frac{R_2}{R_1}\right)\end{aligned} \tag{14.33}$$

即电路把 V_{BE1} 的电压乘上了因子（$1+R_2/R_1$），所以称为 V_{BE} 电压倍增器。很明显，该乘积因子受设计者控制，而且可以用来设置满足设计所需静态电流 I_Q 的电压 V_{BB} 的值。在 IC 设计过程中，

两个电阻的比值可以做得相当精确；在分立元件电路设计过程中，一般会利用变阻器（如图 14.16 所示），并通过手动调整使之满足所需要的 I_Q 值的要求。

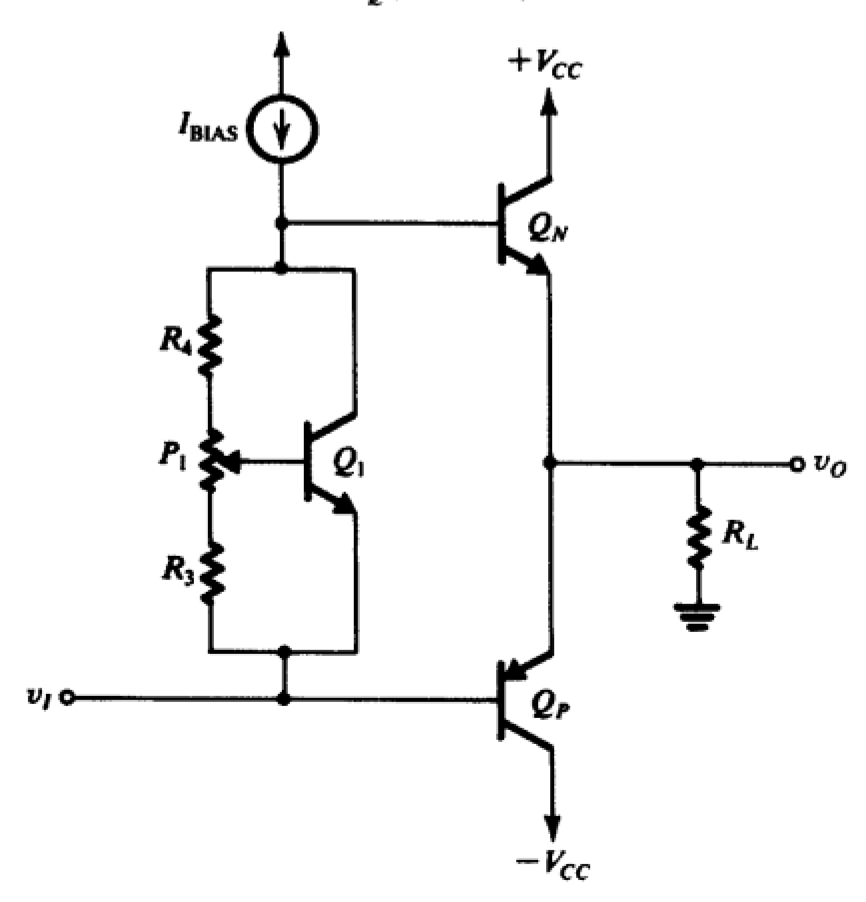


图 14.16 V_{BE} 电压倍增器中使用电位器的分立元件 AB 类输出级电路。电位器用于调整流过 Q_N 和 Q_P 的静态电流，使之达到设计值

式（14.33）中的 V_{BE1} 由 I_{BIAS} 中流过 Q_1 集电极的那部分电流确定，即

$$I_{C1} = I_{BIAS} - I_R \tag{14.34}$$

$$V_{BE1} = V_T \ln \frac{I_{C1}}{I_{S1}} \tag{14.35}$$

其中，我们忽略了晶体管 Q_N 的基极电流，该值在静态和输出为负值的时候通常很小，但是当 v_O 为正值（尤其是正峰值）时，晶体管 Q_N 具有较大的基极电流，并将导致提供给 V_{BE} 电压倍增器的电流减少，只是集电极电流的较大变化引起的电压 V_{BE1} 的变化很小，减少的电流绝大部分被晶体管 Q_1 吸收了，留下的 I_R 和 V_{BB} 几乎仍然是常数。

练习 14.9 V_{BE} 电压倍增器的 $R_1 = R_2 = 1.2\ \text{k}\Omega$，采用的晶体管在 $I_C = 1\ \text{mA}$ 时，$V_{BE} = 0.6\ \text{V}$，β 很大。（a）求提供给电压倍增器的电流 I 的值，使端口电压 V_{BB}。最终等于 1.2 V；（b）当端口电压（从 1.2 V 值）发生下列变化的时候，求电流 I 的值：+50 mV，+100 mV，+200 mV，−50 mV，−100 mV，−200 mV。

答案：（a）1.5 mA；（b）3.24 mA，7.93 mA，55.18 mA，0.85 mA，0.59 mA，0.43 mA

与二极管偏置一样，V_{BE} 电压倍增器同样具有电流 I_Q 的热稳定性，特别是当 $R_1 = R_2$ 且晶体管 Q_1 和输出晶体管发生紧密热接触的时候。

例题 14.3 设计例题 14.2 的输出级电路，要求采用 V_{BE} 电压倍增器实现偏置。晶体管 Q_1 的尺寸较小，$I_S = 10^{-14}$ A，静态电流 $I_Q = 2$ mA。

解：由于正峰值电流是 100 mA，所以晶体管 Q_N 的最大基极电流为 2 mA，我们选择 $I_{BIAS} =$ 3 mA，提供给电压倍增器的最小电流是 1 mA。

在静态情况（$v_O=0$，$i_L=0$）下，晶体管 Q_N 的基极电流可以忽略不计，所有的 I_{BIAS} 电流流入电压倍增器，我们现在要确定的是这个电流（3 mA）在 I_{C1} 和 I_R 之间是如何分配的。如果我们选择 I_R 大于 1 mA，那么晶体管在 v_O 的正峰值处几乎截止，所以我们选择 $I_R=0.5$ mA，留给 I_{C1} 的电流是 2.5 mA。

输出晶体管为了得到 2 mA 的静态电流，电压 V_{BB} 应该为

$$V_{BB}=2V_T\ln\frac{2\times10^{-3}}{10^{-13}}=1.19\text{ V}$$

R_1+R_2 由下式确定：

$$R_1+R_2=\frac{V_{BB}}{I_R}=\frac{1.19}{0.5}=2.38\text{ k}\Omega$$

当集电极电流等于 2.5 mA 时，晶体管 Q_1 的电压为

$$V_{BE1}=V_T\ln\frac{2.5\times10^{-3}}{10^{-14}}=0.66\text{ V}$$

所以电阻 R_1 可这样确定：

$$R_1=\frac{0.66}{0.5}=1.32\text{ k}\Omega$$

电阻 R_2 为

$$R_2=2.38-1.32=1.06\text{ k}\Omega$$

■

14.6 BJT 功率管

输出电流要达到安培级、输出功率要达到几瓦甚至几十瓦的晶体管无论是物理结构、封装还是特性参数都与前面几章讲过的小信号晶体管有很多不同。这一节将讨论功率管的重要特性，尤其是与先前讨论过的几类电路设计有关的参数。当然，功率管还有其他许多重要应用，比如功率反相器和电机控制电路中的开关元件等，只是这些应用不属于本书的内容。

14.6.1 结温

功率管在集电结要耗散大量的功率，这些功率会转变为热量并导致结温升高。但是结温 T_J 不能超过最高结温 $T_{J\max}$，否则的话，晶体管将遭受永久的损坏。对硅晶体管，最高结温 $T_{J\max}$ 的范围在 150℃到 200℃之间。

14.6.2 热阻

现在考虑第一种情况，晶体管工作在自然空间——即没有特别的散热装置。晶体管结耗散的热量从结传导到外壳，再从外壳传给周围的环境。稳态时晶体管耗散的功率为 P_D，引起的结温与周围环境温度的差可表示为

$$T_J-T_A=\theta_{JA}P_D \tag{14.36}$$

其中，θ_{JA} 是结与环境之间的热阻，单位是℃/W。注意，θ_{JA} 只是简单地表明每耗散 1 W 的功率引起的结温相对于环境温度的升高。因为我们希望在功耗相当大时引起的结温的升高也不会超过 $T_{J\max}$，所以对热阻 θ_{JA} 而言，它的数值必须尽量小。在自然空间工作的时候，θ_{JA} 主要与晶体管封装时的外壳有关，在晶体管的参数表中通常有这个参数。

描述热传导过程的式（14.36）可以模拟成描述电子传导过程的欧姆定律的形式。在模拟过程中，功耗和电流相对应，温差和压差相对应，热阻和电阻相对应，这样我们就可以把热传导的过程用图 14.17 所示的电路图来表示。

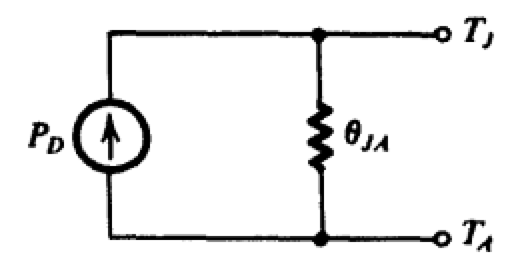


图 14.17 热传导过程的电路等效：$T_J - T_A = P_D\theta_{JA}$

14.6.3 功耗与温度

晶体管制造商通常会指定最大结温 $T_{J\max}$、特定环境温度 T_{A0}（通常是 25℃）下的最大功耗以及热阻 θ_{JA}。除此以外，通常还会提供如图 14.18 所示的曲线图。该曲线告诉我们，晶体管工作在环境温度 T_{A0} 以下，它的安全功耗是 P_{D0}，但是当晶体管工作在高于环境温度的时候，其最大允许耗散功率必须按照图 14.18 所示的直线下降。这条下降的直线其实代表了式（14.36）。具体而言，环境温度是 T_{A0}，允许的最大功耗是 P_{D0}，结温升至 $T_{J\max}$，把这些数值代入式（14.36），得到



$$\theta_{JA} = \frac{T_{J\max} - T_{A0}}{P_{D0}} \tag{14.37}$$

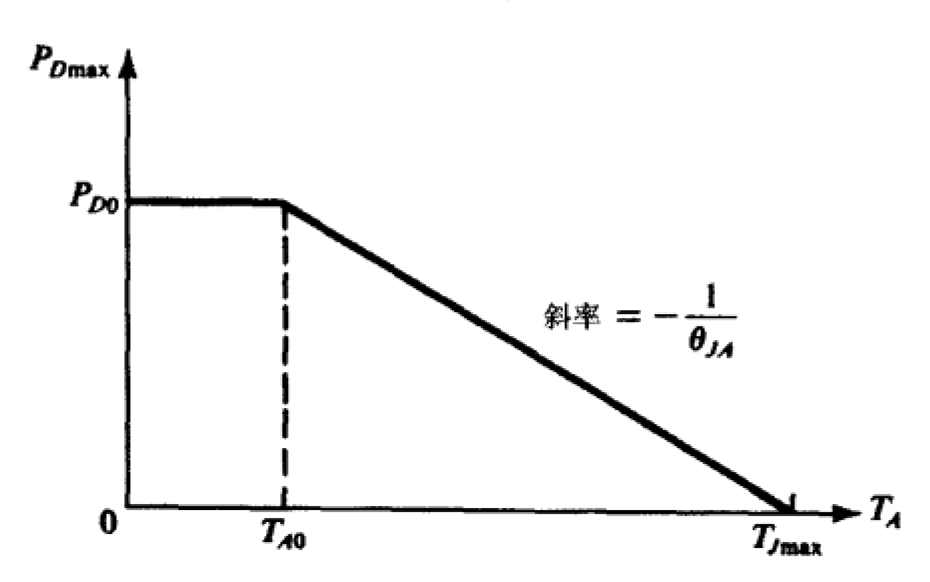


图 14.18 BJT 工作在自然空间时的最大允许功耗和周围环境温度之间的关系。这也被称为功率下降曲线

它是功率下降直线的斜率的倒数。在环境温度 T_A（T_A 高于 T_{A0}）下，由式（14.36）得到最大允许耗散功率为 $P_{D\max}$，只需令 $T_J = T_{J\max}$，则

$$P_{D\max} = \frac{T_{J\max} - T_A}{\theta_{JA}} \tag{14.38}$$

观察发现，当 T_A 接近于 $T_{J\max}$ 时，允许耗散功率要下降，温差越低，能够散发的总热量就越少。极端情况（$T_A = T_{J\max}$）时，没有能量能够被消耗，因为没有热量能够从结上移走。

例题 14.4 一个 BJT 标定的最大功耗 P_{D0} 在环境温度 T_{A0} 为 25℃时是 2 W，最大结温 $T_{J\max}$ 是 150℃。求解下列问题：

（a）热阻 θ_{JA}。

（b）50℃时晶体管能够安全耗散的最大功率。

（c）晶体管工作在 T_A=25℃且耗散功率是 1 W 时，结温是多少？

解：

（a）$\theta_{JA} = \frac{T_{J\max} - T_{A0}}{P_{D0}} = \frac{150-25}{2} = 62.5℃/\text{W}$

（b）$P_{D\max}=\dfrac{T_{J\max}-T_A}{\theta_{JA}}=\dfrac{150-50}{62.5}=1.6\ \text{W}$

（c）$T_J=T_A+\theta_{JA}P_D=25+62.5\times1=87.5℃$ ■

14.6.4　晶体管外壳与散热器

结与环境之间的热阻 θ_{JA} 可以表示为

$$\theta_{JA}=\theta_{JC}+\theta_{CA} \tag{14.39}$$

其中，θ_{JC} 是结与晶体管外壳（封装）之间的热阻，θ_{CA} 是外壳与环境之间的热阻。对一个给定的晶体管，θ_{JC} 是固定的，只与晶体管的设计和封装有关，制造者可以给晶体管包裹上一块相对比较大的金属外壳并且把集电极（大多数的热量耗散都在此）直接与外壳相连，从而达到减少 θ_{JC} 的目的。绝大多数高功率管都采用这样的封装方法。图 14.19 所示为这种典型封装的示意图。

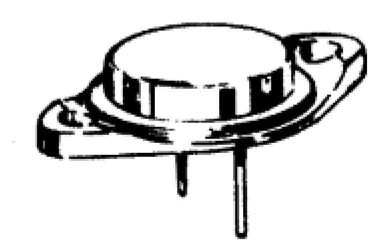


图 14.19　功率管通用的 TO3 封装形式。外壳是直径为 2.2 cm 的金属；“底座”的外直径约为 4 cm。“底座”上有两个螺孔，用于与散热器之间的固定。集电极通常与外壳连接。这样，一种具有电绝缘和热传导的衬垫材料就可以填充在外壳和散热器之间了

虽然电路设计者无法控制 θ_{JC}（在晶体管选定之后），但是却可以考虑把 θ_{CA} 降至其自然空间值（制造者设定的参数，是 θ_{JA} 的一部分）以下。促进热量从外壳到周围环境的传导对降低 θ_{CA} 非常有效。最常用的方法是把晶体管绑在底盘或者一块比较大的金属表面，这样的金属表面称为散热器。热量很容易从外壳散到散热器上，这样热阻 θ_{CS} 就会非常小，而且热量从散热器到环境的传输（对流和辐射）都非常有效，因而热阻 θ_{SA} 也很小。至此，在使用散热器的情况下，由下式给出的从外壳到环境的热阻也很小：

$$\theta_{CA}=\theta_{CS}+\theta_{SA} \tag{14.40}$$

这是因为选择合适的散热器可以使等式右边的两项很小。比如在输出功率要求很高的应用场合，散热器通常都会带上一个风扇以促进热量的对流和传导。

采用散热器热传导过程的电路模拟参见图 14.20。从中我们可以写出：

$$T_J-T_A=P_D(\theta_{JC}+\theta_{CS}+\theta_{SA}) \tag{14.41}$$

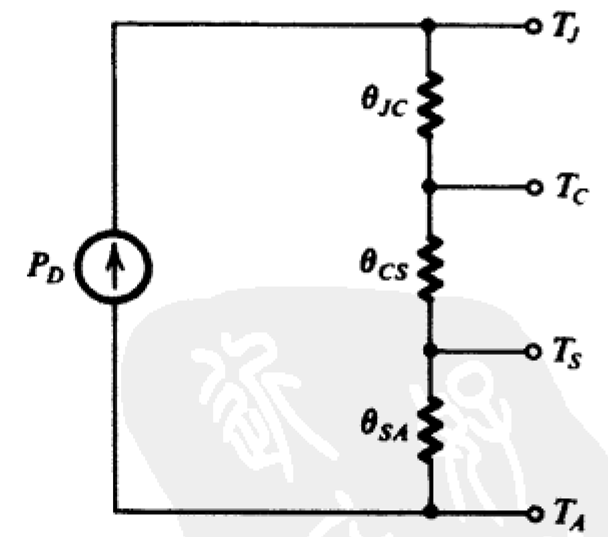


图 14.20　有散热器时热传导过程的电路模拟

如同给出热阻 θ_{JC} 一样，器件制造商通常会给出功耗 $P_{D\max}$~温度 T_C 的变化曲线，如图 14.21 所示。注意，功率下降直线的斜率是 $-1/\theta_{JC}$。对给定的晶体管，在外壳温度 T_{C0}（通常为 25℃）时它的最大功耗要比环境温度 T_{A0}（通常为 25℃）时大许多。如果晶体管在外壳温度 T_C（$T_{C0}\leqslant T_C\leqslant T_{J\max}$）时能够工作，那么最大的安全功耗可以由下式求得（令 $T_J=T_{J\max}$）：

$$P_{D\max}=\frac{T_{J\max}-T_C}{\theta_{JC}} \tag{14.42}$$

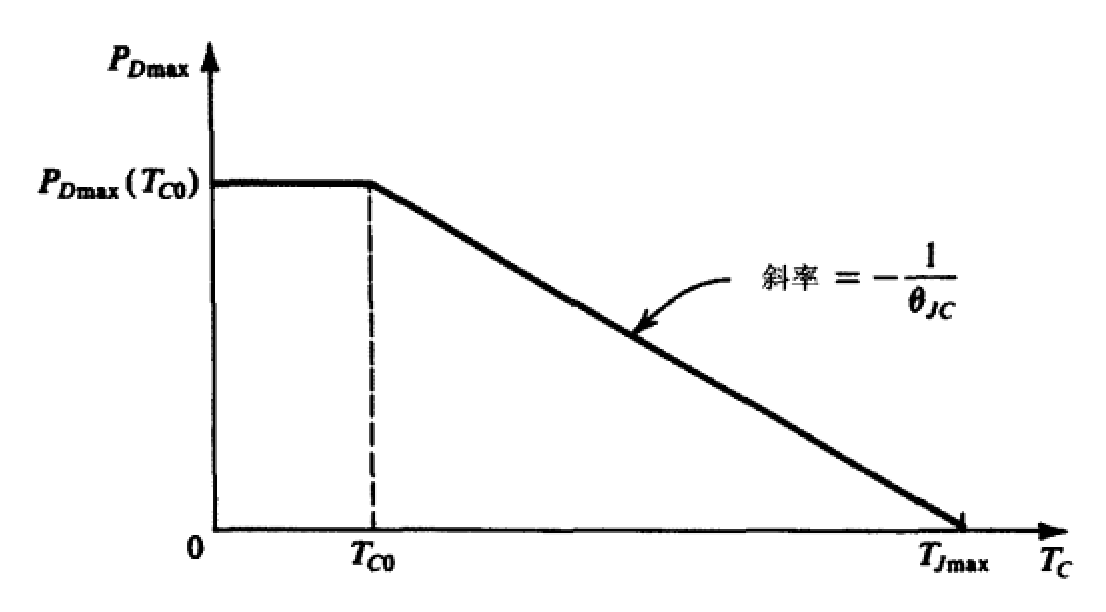


图 14.21 最大允许功耗与晶体管外壳温度之间的关系曲线

例题 14.5 某 BJT 的参数是 $T_{J\max} = 150$℃，能够耗散的最大功率是

$$T_C = 25℃时，40\ \mathrm{W}$$

$$T_A = 25℃时，2\ \mathrm{W}$$

高于 25℃时，最大功耗将直线下降，下降速度是 $\theta_{JC} = 3.12$℃/W 和 $\theta_{JA} = 62.5$℃/W，求解以下问题：

（a）在自然空间，环境温度 $T_A = 50$℃时，晶体管能够安全耗散的最大功率是多少？

（b）环境温度 $T_A = 50$℃且使用散热器，$\theta_{CS} = 0.5$℃/W，$\theta_{SA} = 4$℃/W，晶体管能够安全耗散的最大功率和外壳及散热器的温度是多少？

（c）如果散热器是无限散热的，环境温度 $T_A = 50$℃时晶体管能够安全耗散的最大功率是多少？

解：

（a）

$$P_{D\max} = \frac{T_{J\max} - T_A}{\theta_{JA}} = \frac{150-50}{62.5} = 1.6\ \mathrm{W}$$

（b）有散热器时，θ_{JA} 成为

$$\begin{aligned}\theta_{JA} &= \theta_{JC} + \theta_{CS} + \theta_{SA}\\ &= 3.12 + 0.5 + 4 = 7.62℃/\mathrm{W}\end{aligned}$$

即

$$P_{D\max} = \frac{150-50}{7.62} = 13.1\ \mathrm{W}$$

图 14.22 所示是不同温度时的热传导等效电路。

（c）如果存在无限散热器，则意味着外壳温度 T_C 等于环境温度 T_A，即无限散热器的热阻 $\theta_{CA} = 0$。很明显，无限散热器是得不到的，但是这个术语却被器件制造商用来描述如图 14.21 所示的功率下降曲线。图中横坐标是环境温度 T_A，曲线成为“带无限散热器的晶体管功耗和环境温度的曲线”。对此例来说，因为有无限散热器，所以

$$P_{D\max} = \frac{T_{J\max} - T_A}{\theta_{JC}} = \frac{150-50}{3.12} = 32\ \mathrm{W}$$

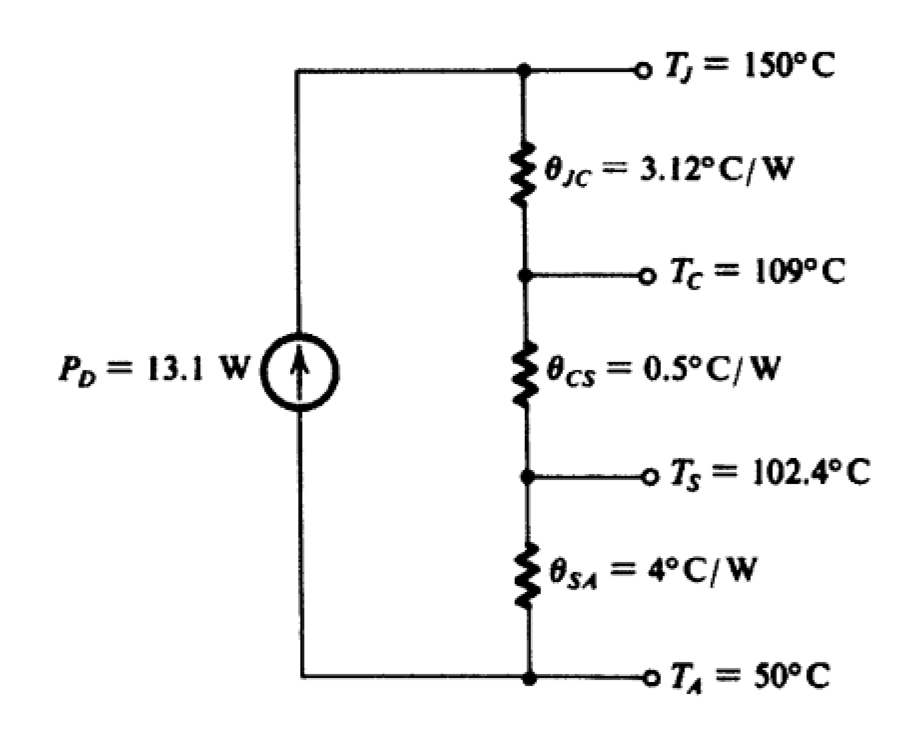


图 14.22　例题 14.5 的热传导等效电路　■

采用散热器的好处从例题 14.5 中可以很清楚地看到：带散热器的最大允许功耗可以从 1.6 W 上升到 13.1 W。我们也注意到，虽然晶体管被称为“40 W 晶体管”，但实际上这个功率是达不到的，因为这需要采用无限散热器并且环境温度必须低于 25℃。

练习 14.10　功率管 2N6306 的参数为 $T_{J\max} = 200℃$，$T_C \leqslant 25℃$ 时的 $P_{D\max} = 125$ W。当 $T_C \geqslant 25℃$ 时，$\theta_{JC} = 1.4℃/W$。如果在特定的应用场合，晶体管的功耗是 50 W，环境温度是 25℃，求散热器的最大热阻（即 θ_{SA}），假设 $\theta_{CS} = 0.6℃/W$，外壳的温度 T_C 是多少？

答案：1.5℃/W；130℃

14.6.5　BJT 的安全工作区

除了标定不同外壳温度下的晶体管最大功耗外，器件制造商通常还会提供一个 i_C~v_{CE} 坐标系上的晶体管安全工作区（SOA）边界的图形。SOA 的标定可以参考图 14.23 的图解，图中各边界的编号与下面各段的编号相对应：

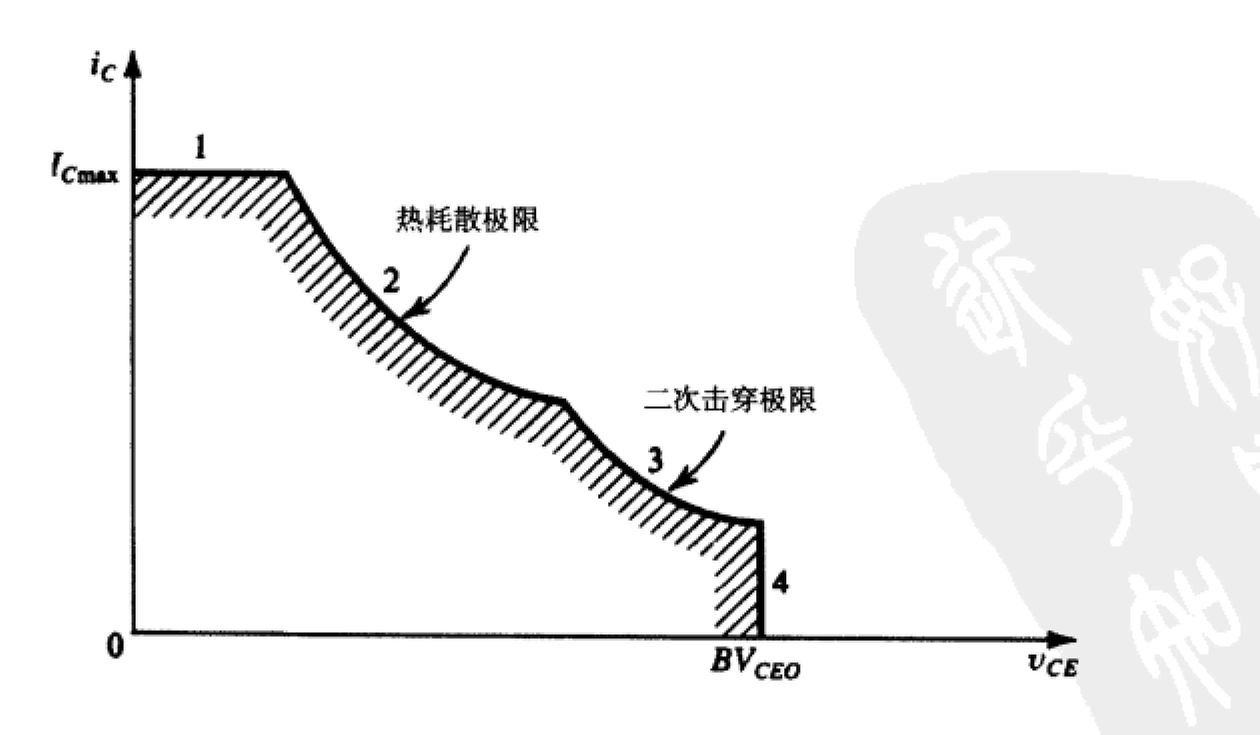


图 14.23　BJT 的安全工作区（SOA）

1. 最大允许电流 I_{Cmax}。持续超过该电流将导致连接器件和封装端口之间的电线烧毁。
2. 最大功耗是一条双曲线，曲线上的点满足 $v_{CE}i_C = P_{Dmax}$（温度 T_{C0}）。当温度 T_C 大于 T_{C0} 时，需要利用 14.6.4 节介绍的功率下降直线求解 P_{Dmax}，这时的功耗双曲线要比原先的低。虽然允许晶体管的静态工作点暂时位于双曲线之上，但是平均功耗绝对不能超过 P_{Dmax}。
3. 二次击穿极限。二次击穿是由于流过发射结的电流不正常而产生的一种现象，比如结周围的电流密度非常大。"拥挤的电流"导致该处功耗的增加，因此温度升高（该处也称为热点）。由于温度的升高引起电流的增加，该处就会发生热失控，导致结的损坏。
4. 集电结的击穿电压 BV_{CEO}。集电极电压的瞬时值 v_{CE} 不允许超过 BV_{CEO}，否则集电结将会发生雪崩击穿（参见 5.2.5 节）。

最后要指出的是 i_C 和 v_{CE} 通常采用对数坐标表示，这样 SOA 的边界就成了直线。

14.6.6 功率管的参数值

由于功率管的几何尺寸较大，工作电流也很大，所以功率管的参数和小信号晶体管的参数大不相同。主要的不同之处如下：

1. 电流很大时，$i_C \sim v_{BE}$ 的指数伏安特性表现出 $n=2$ 的关系，即 $i_C = I_S e^{v_{BE}/2V_T}$。
2. β 很低，通常只有 30 到 80，但是也可以低到 5。这里需要特别注意的是：β 的温度系数是正的。
3. 在大电流工作时，电阻 r_π 的值很小（为几个欧姆），电阻 r_x 显得非常重要（5.8.4 节有关于 r_x 的定义和解释）。
4. 频率 f_T 很低（为几个兆赫兹），电容 C_μ 很大（为几百个皮法），而且电容 C_π 更大（这些参数的定义和解释参见 5.8 节）。
5. 饱和电流 I_{CBO} 很大（为几十个微安），温度系数照旧，温度每升高 10℃，饱和电流增加一倍。
6. 击穿电压 BV_{CEO} 的典型值是 50 V 到 100 V，但是最高可以达到 500 V。
7. I_{Cmax} 的典型值是安培级的，最高可以达到 100 A。

14.7 各种不同结构的 AB 类电路

本节我们要讨论一些电路的改进措施以及 AB 类输出级的保护技术。

14.7.1 输入射极跟随器的使用

图 14.24 所示电路的偏置用的是晶体管 Q_1 和 Q_2，它们都是射极跟随器，因此可以为输入端提供很大的输入电阻。事实上，该电路的功能是一个单位增益缓冲放大器。因为所有四个晶体管都是匹配的，所以晶体管 Q_3 和 Q_4 的静态电流（$v_I=0$，$R_L=\infty$）等于 Q_1 和 Q_2 的电流。电阻 R_3 和 R_4 的值很小，放在这里是为了补偿晶体管 Q_3 和 Q_4 之间的不对称，避免由于输入晶体管和输出晶体管之间的温度偏差而产生热失控的可能性。后者的功能可以这样理解：比如晶体管 Q_3 的电流有所增加，使得电阻 R_3 两端的电压降增加，从而导致 V_{BE3} 降低，这样电阻 R_3 起到负反馈的作用，使得流过晶体管 Q_3 的电流得以稳定。

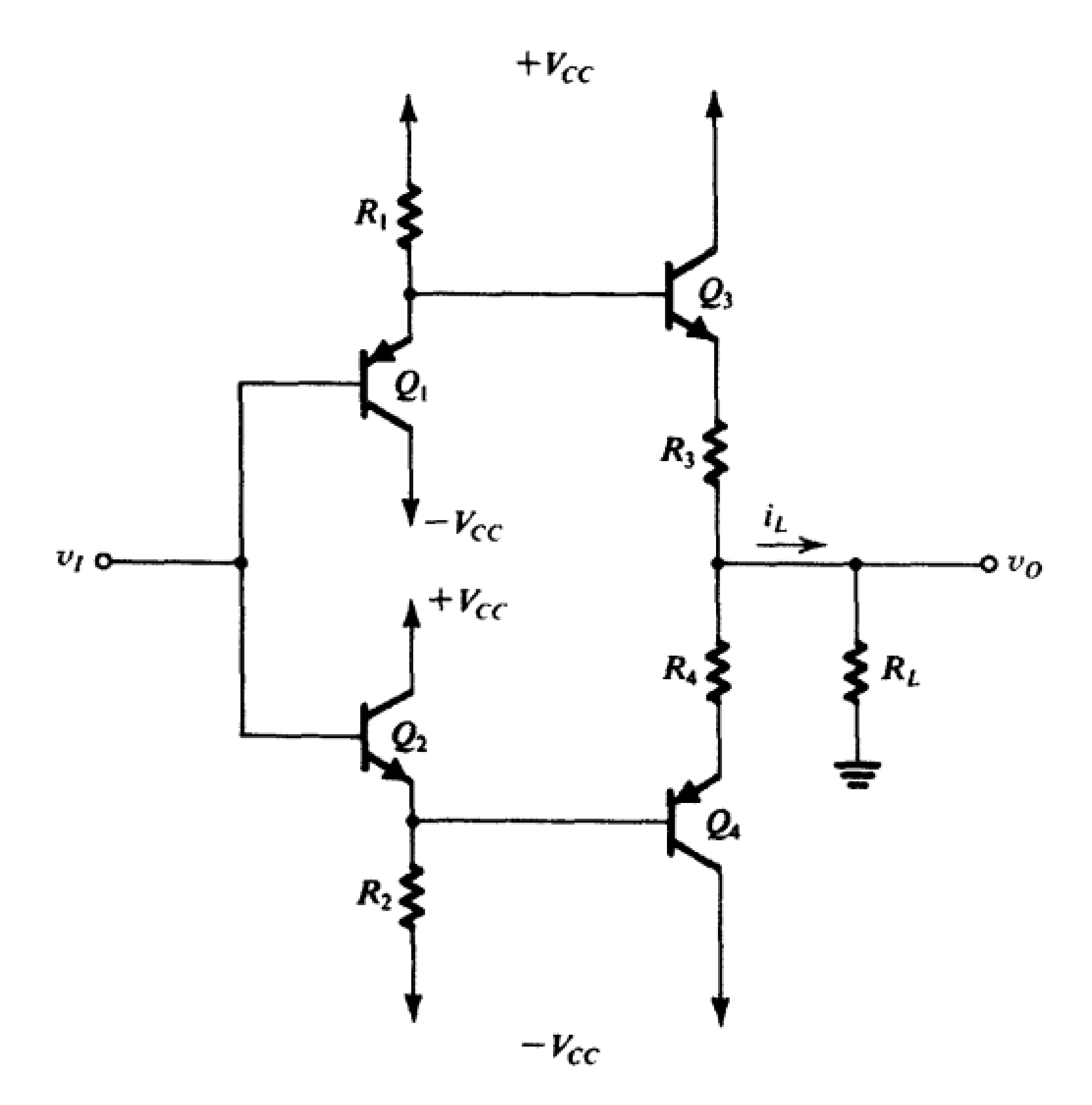


图 14.24 带输入缓冲的 AB 类输出级电路。除了提供相当高的输入电阻外，缓冲晶体管 Q_1 和 Q_2 还给输出晶体管 Q_3 和 Q_4 提供偏置

因为图14.24 所示电路要求 *pnp* 晶体管是高质量的晶体管，所以采用传统集成工艺实现的晶体管达不到要求。但是采用混合厚膜技术（Wong 和 Sherwin，1979）实现的电路效果却相当好。该技术允许对元件进行微调，例如，可以通过微调来减小输出失调电压。该电路既可以单独使用，也可以与一个运算放大器一起使用来提高输出驱动能力。后者的应用在下一节讨论。

练习 14.11 （注意：本题很有意义，但是题解也很长。）考虑图 14.24 所示的电路，已知 $R_1 = R_2 = 5\text{ k}\Omega$，$R_3 = R_4 = 0\,\Omega$，$V_{CC} = 15\text{ V}$，晶体管都是匹配的，$I_S = 3.3\times10^{-14}\text{ A}$，$n = 1$，$\beta = 200$。（这些参数是国家半导体公司的 LH002 的参数值，不同的是这里的电阻值 $R_3 = R_4 = 2\,\Omega$。）（a）当 $v_I = 0$ 且 $R_L = \infty$ 时，求四个晶体管的静态电流和电压 v_O。（b）如果 $R_L = \infty$，当 $v_I = +10\text{ V}$，-10 V 时，求 i_{C1}，i_{C2}，i_{C3}，i_{C4} 和 v_O 的值。（c）如果 $R_L = 100\,\Omega$，重复（b）。

答案：（a）2.87 mA；0 V；（b）当 $v_I = +10\text{ V}$ 时：0.88 mA，4.87 mA，1.95 mA，1.95 mA，+9.98 V；当 $v_I = -10\text{ V}$ 时：4.87 mA，0.88 mA，1.95 mA，1.95 mA，−9.98 V；（c）当 $v_I = +10\text{ V}$ 时：0.38 mA，4.87 mA，100 mA，0.02 mA，+9.86 V；当 $v_I = -10\text{ V}$ 时：4.87 mA，0.38 mA，0.02 mA，100mA，−9.86V

14.7.2 复合管的使用

为了提高输出级晶体管的电流增益，减少基极驱动电流，通常会采用图 14.25 所示的达林顿复合管代替 AB 类输出级电路中的 *npn* 晶体管。达林顿电路（参见 6.11.2 节）可以等效成单个 *npn* 晶体管，它的电流增益 $\beta \simeq \beta_1\beta_2$，当然，$V_{BE}$ 电压要加倍。

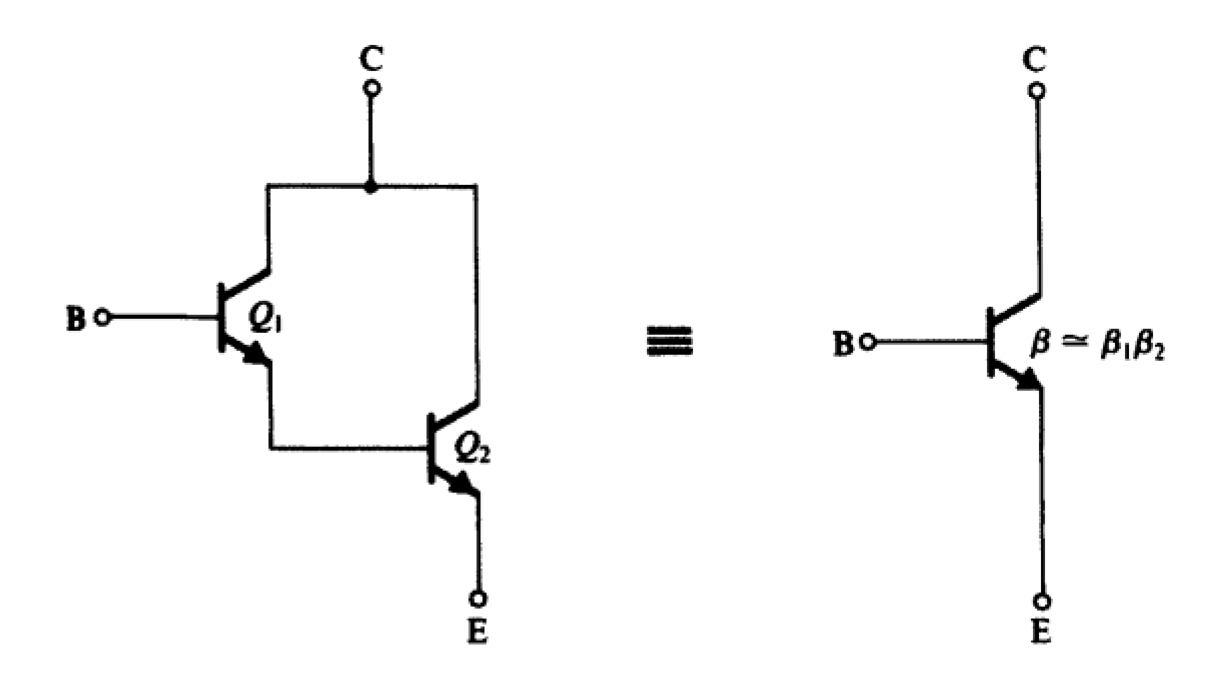


图 14.25 达林顿电路结构

达林顿复合管也可以等效成 *pnp* 晶体管，我们曾在分立元件电路设计时使用过。集成电路设计时，由于无法得到高质量的 *pnp* 晶体管，所以也会采用如图 14.26 所示的达林顿复合管，它和单个 *pnp* 晶体管等效，电流增益 $\beta \simeq \beta_1\beta_2$。标准 IC 工艺制造的晶体管 Q_1 通常是一个横向 *pnp* 晶体管，它的β很低（$\beta = 5-10$），高频响应也很差（$f_T \simeq 5$MHz），参见附录 A。复合管虽然有相当高的电流增益β，但是高频响应仍然很差，而且还面临着另外一个问题：由晶体管 Q_1 和 Q_2 组成的负反馈环会产生高频振荡（当频率接近于 *pnp* 晶体管的f_T时，即 5 MHz 左右）。为了防止振荡，需要采取一些措施。关于负反馈放大器的稳定性问题参见第 8 章的讨论。

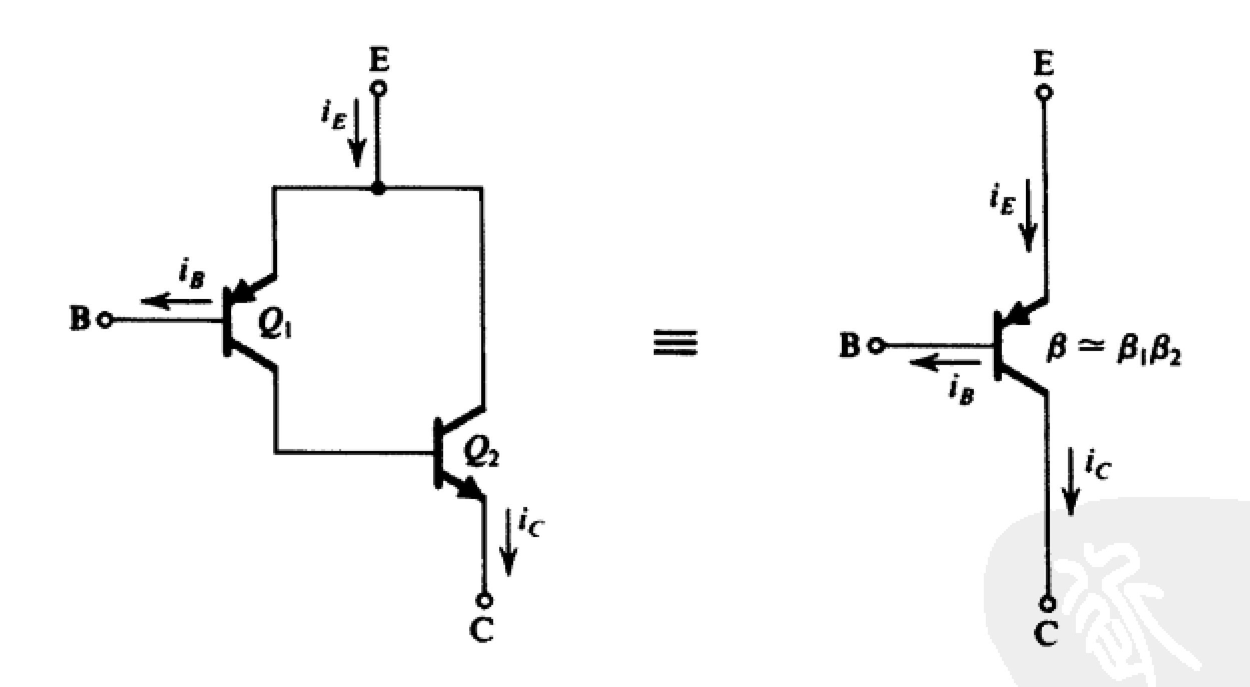


图 14.26 复合 *pnp* 晶体管电路结构

为了说明达林顿电路和 *pnp* 复合管的应用，我们给出了图 14.27 所示的电路。在这个电路中，上面提到的两个电路都用上了。电路的偏置由 V_{BE} 电压倍增器提供，但是要注意达林顿 *npn* 晶体管增加了一个 V_{BE} 的电压降，所以 V_{BE} 电压倍增器需要提供 2 V 左右的偏置电压。具体的电路设计参考习题 14.39。

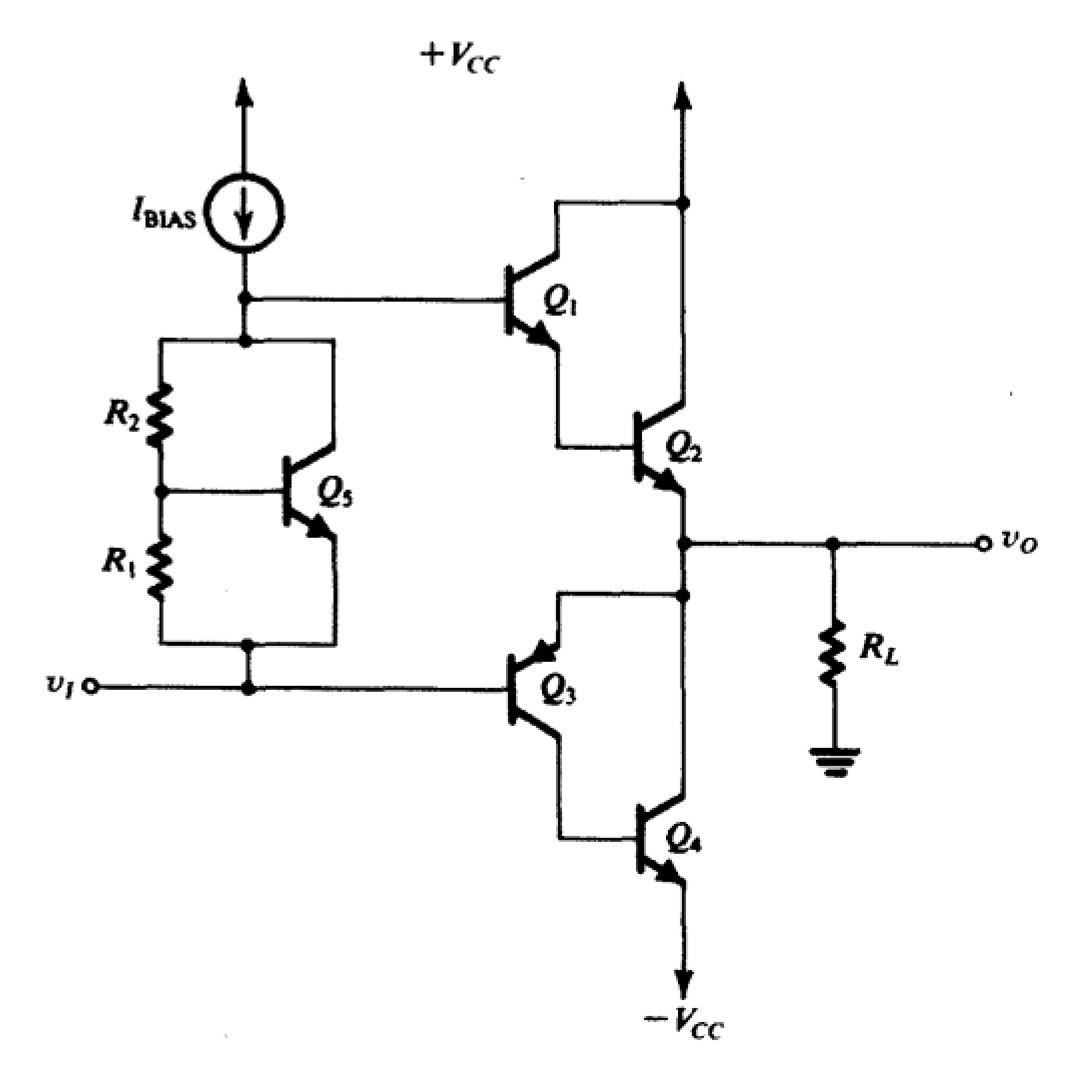


图 14.27　采用达林顿 *npn* 晶体管和复合 *pnp* 晶体管的 AB 类输出级电路。偏置采用 V_{BE} 倍增器

练习 14.12（a）参见图 14.26，证明 *pnp* 复合管有

$$i_B \simeq \frac{i_C}{\beta_N \beta_P}$$

和

$$i_E \simeq i_C$$

然后证明：

$$i_C \simeq \beta_N I_{SP} e^{v_{BE}/V_T}$$

即晶体管的有效比例电流为

$$I_S = \beta_N I_{SP}$$

其中，I_{SP} 是 *pnp* 晶体管 Q_1 的饱和电流。

（b）当 $\beta_P = 20$，$\beta_N = 50$，$I_{SP} = 10^{-14}$ A 时，求复合管的有效电流增益，以及 $i_C = 100$ mA 时的电压 v_{BE}，设 $n = 1$。

答案：（b）1000；0.651 V

14.7.3 短路保护

图 14.28 所示是 AB 类输出级带短路保护的电路，在向负载提供电流的时候，万一负载短路，流过晶体管 Q_1 的电流会很大，从而导致电阻 R_{E1} 上的电压降增大。一旦超过晶体管 Q_5 的导通电压，Q_5 导通，其集电极电流将分流掉 I_{BIAS} 的绝大部分电流，使得 Q_1 的基极驱动电流明显减少，从而保证晶体管 Q_1 工作在安全区。

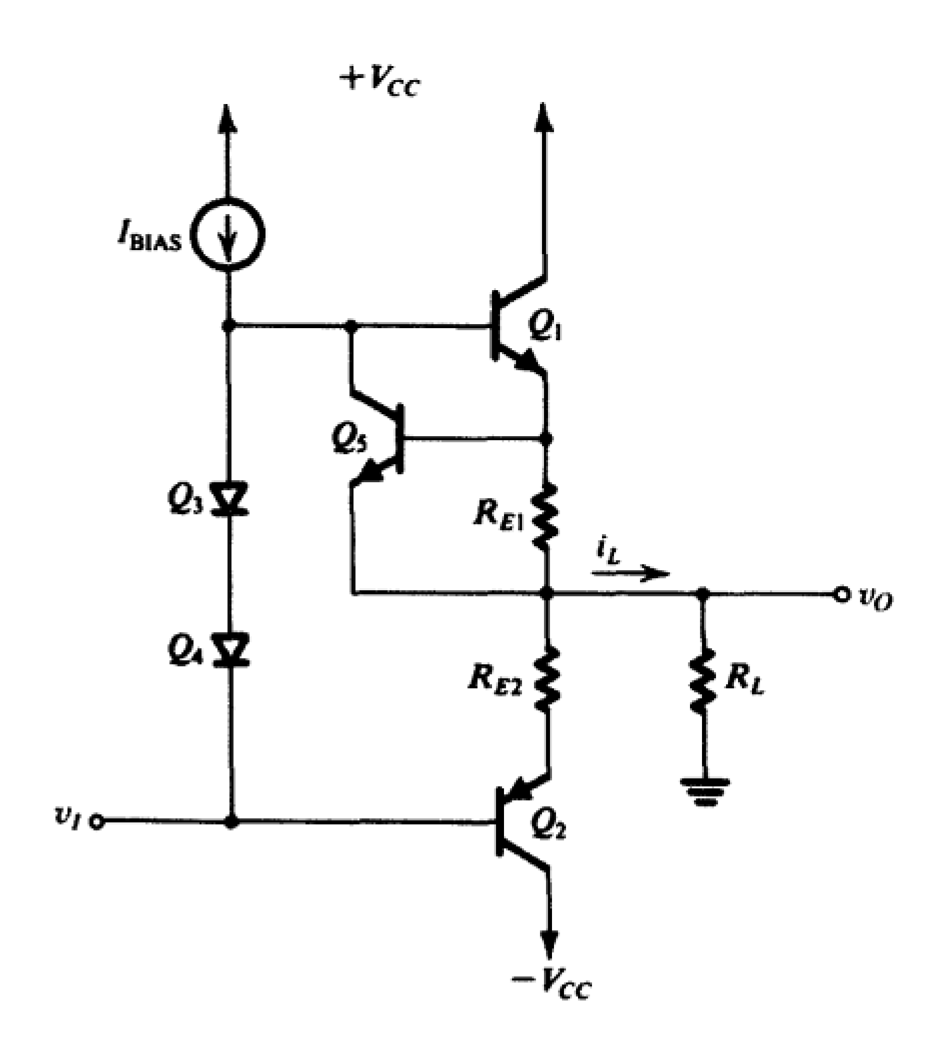


图 14.28 带输出短路保护的 AB 类输出级电路。这里给出的是输出电压 v_O 为正值时的输出短路保护电路

这种短路保护的方式有效保证了晶体管能够工作在安全区，但是它也有一个不足之处，即正常情况下每一个 R_E 电阻上都有 0.5 V 左右的电压降，这意味着输出电压的摆幅会下降相同的数值，而且两个方向都有下降。不过，包含射极电阻也使电路具有另外一个好处，那就是保护输出晶体管不出现热失控。

练习 D14.13 在图 14.28 所示的电路中，设 $I_{BIAS} = 2$ mA，求电阻 R_{E1} 的值，使得输出晶体管向负载提供的电流达到 150 mA 时晶体管 Q_5 导通，并且分流掉所有的 2 mA 电流。对晶体管 Q_5，$I_S = 10^{-14}$ A，$n = 1$。如果正常输出的电流峰值是 100 mA，求 R_{E1} 上的电压降以及 Q_5 的集电极电流。

答案：4.3 Ω；430 mV；0.3 μA

14.7.4 热停止

除了短路保护之外，集成功率放大器通常还会采用温度传感器电路检测芯片温度。一旦温度超过了预设的安全值，则驱动晶体管导通。导通晶体管的连接方式为：可吸收放大器的偏置电流，从而可以停止放大器的工作。

图 14.29 所示就是一个热停止电路。这里，晶体管 Q_2 正常情况下是截止的，当芯片的温度增加时，正温度系数的稳压二极管 Z_1 和负温度系数的电压 V_{BE1} 共同作用，从而使得 Q_1 的射极电压增大，也就是 Q_2 的基极电压增大，直至 Q_2 导通。

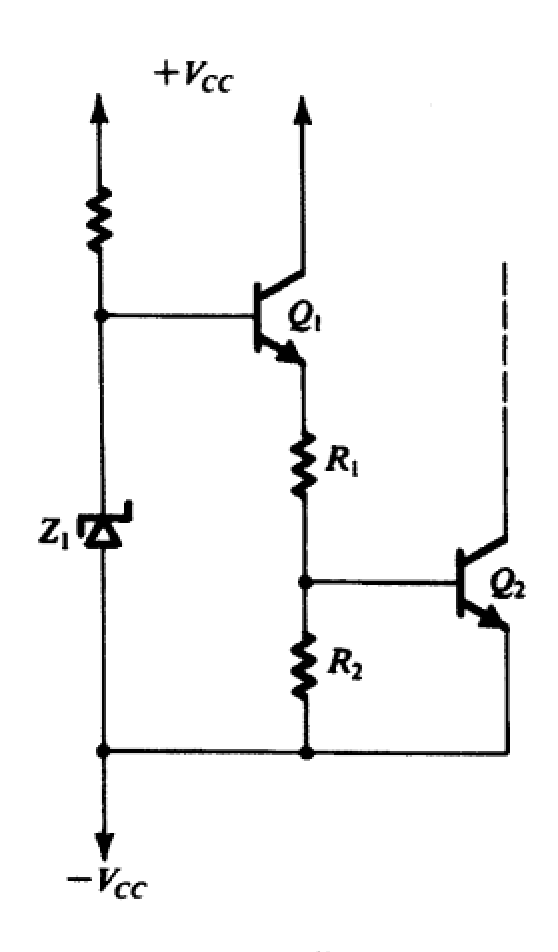


图 14.29　热停止电路

14.8　集成功率放大器

集成功率放大器的芯片很多。大多数由高增益的小信号放大器级联 AB 类输出级组成。有些电路采用了片内的负反馈回路，因此具有固定的闭环增益。另一些没有片内反馈环，但运算放大器的输出功率很大。事实上，我们可以把通用型运算放大器和 B 类或者 AB 类输出级级联在一起并施加负反馈回路来增加它的输出电流驱动能力。增加的输出级电路既可以是分立元件的电路，也可以是混合集成电路，比如前一节讨论过的缓冲器。接下来我们将讨论一些集成功率放大器电路。

14.8.1　固定增益的集成功率放大器

我们给出的第一个例子是 LM380（国家半导体公司的产品）芯片，它是固定增益的单片集成功率放大器。放大器内部电路的简化形式[①]如图 14.30 所示。该电路包含一个输入差分放大器，它由晶体管 Q_1 和 Q_2 组成，采用射极跟随器组态，Q_3 和 Q_4 是作为输入缓冲的差分对管，发射极接有电阻 R_3，两个电阻 R_4 和 R_5 为晶体管 Q_1 和 Q_2 提供到地的基极直流电流通路，从而可以使输入激励源容性耦合进两个输入端中的任何一个。

Q_3 和 Q_4 组成的差分放大器的偏置电流是两个独立的直流电流：Q_3 的偏置电流由直流电源 V_S 和接成二极管的晶体管 Q_{10} 及电阻 R_1 提供；Q_4 的偏置电流由输出端通过电阻 R_2 提供。在静态的时候（即没有输入信号时），这两个偏置电流是相等的，流过电阻 R_3 的电流和它上面的压降都等于 0。我们可以写出晶体管 Q_3 的射极电流为

$$I_3 \simeq \frac{V_S - V_{EB10} - V_{EB3} - V_{EB1}}{R_1}$$

其中，我们忽略了电阻 R_4 上的微小压降。为简单起见，假设所有晶体管的 V_{EB} 都相等：

① 给出这个电路的主要目的是提供一些有趣的设计方法。该电路不是芯片上的实际电路。

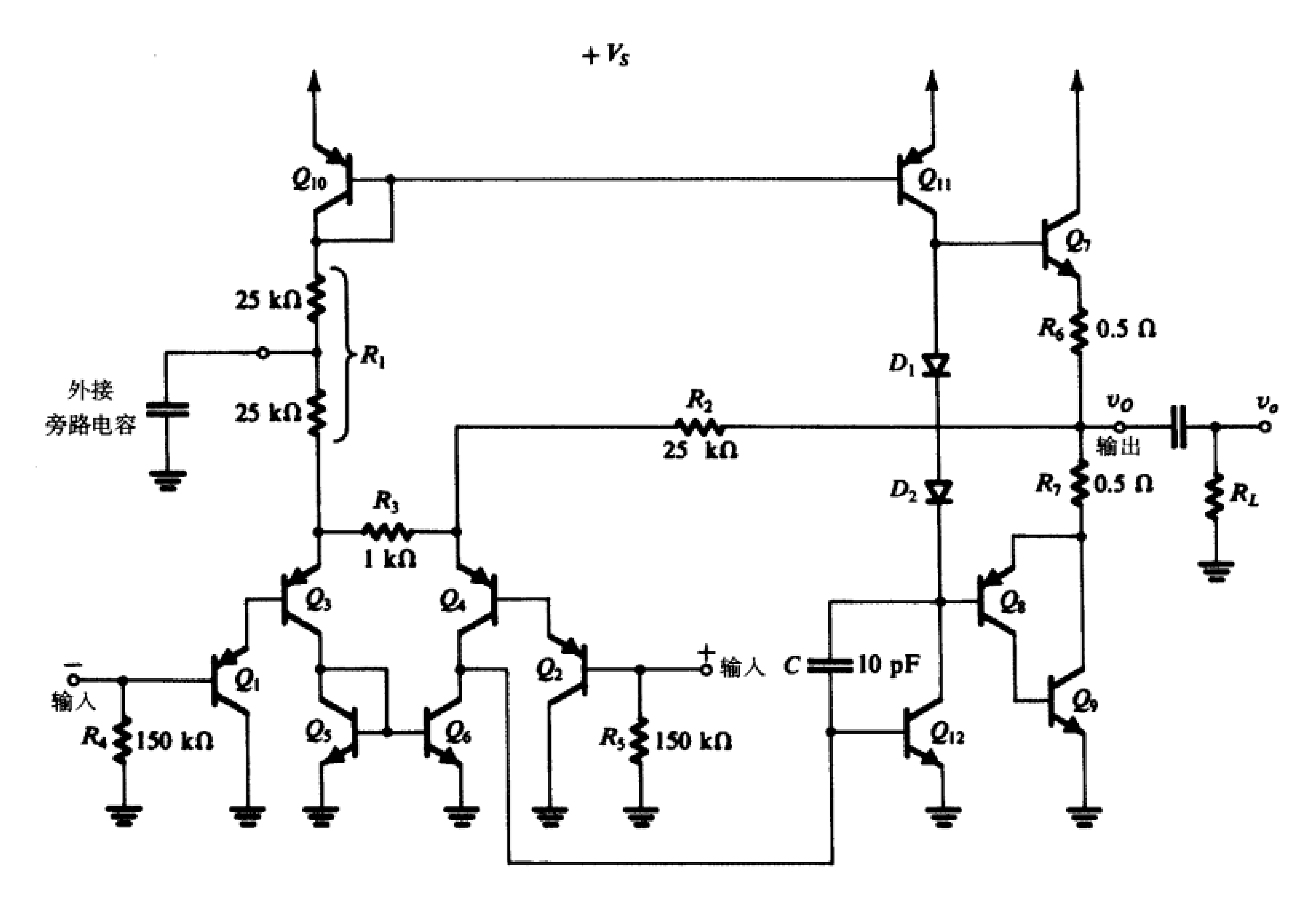


图 14.30 集成功率放大器 LM380（国家半导体公司）的内部简化电路

$$I_3 \simeq \frac{V_S - 3V_{EB}}{R_1} \tag{14.43}$$

我们可以得到 Q_4 的射极电流为

$$\begin{aligned} I_4 &= \frac{V_O - V_{EB4} - V_{EB2}}{R_2} \\ &\simeq \frac{V_O - 2V_{EB}}{R_2} \end{aligned} \tag{14.44}$$

其中，V_O 是直流输出电压，忽略电阻 R_5 上的微小压降，令 I_3 和 I_4 相等，并利用 $R_1 = 2R_2$，得到

$$V_O = \tfrac{1}{2}V_S + \tfrac{1}{2}V_{EB} \tag{14.45}$$

即输出偏置电压几乎等于电源电压的一半，符合输出最大摆幅的要求。该电路有一个很重要的性能，即从输出端到晶体管 Q_4 的射极通过电阻 R_2 形成直流反馈环，这里直流反馈的作用是使输出直流偏置电压稳定在式（14.45）确定的值上。反馈作用的定性描述如下：如果某些原因致使输出直流电压 V_O 增加，那么流过电阻 R_2 的电流也会相应增加，即流入晶体管 Q_4 的射极电流增加，则集电极电流也增加，导致晶体管 Q_{12} 的基极产生一个正的增量电压，即它的集电极电流增加，进而使晶体管 Q_7 的基极电位降低，从而减少了 V_O。

继续分析图 14.30 所示的电路，我们观察到差分放大器（Q_3 和 Q_4）有一个镜像电流源负载，是由晶体管 Q_5 和 Q_6（参见 7.5.5 节关于有源负载的讨论）组成的。第一级单端输出的电压信号取在晶体管 Q_6 的集电极上，并直接送入第二级共射放大器 Q_{12} 的基极。晶体管 Q_{12} 的偏置由恒流源 Q_{11} 提供，该恒流源同时还作为该级的有源负载。实际工作时，负载 R_L 反射回来的等效负载电阻

是 Q_{12} 的主要负载。电容 C 起频率补偿的作用（参见第 8 章）。

输出级是 AB 类电路，采用的是复合 pnp 晶体管（Q_8 和 Q_9）。从输出端到晶体管 Q_4 的射极通过电阻 R_2 引入负反馈。参考图 14.31 所示的小信号等效电路，从而可以求闭环增益。这里我们把第二级共射放大器和输出级等效成一个反相放大器，用增益为 A 的放大器框图表示。我们假设放大器 A 的增益非常大，输入电阻非常高，这样输入电流就可以小到忽略不计。在这样的假设条件下，图 14.31 给出了接入信号 v_i 后从输入到输出的小信号分析过程，图中带圈的数字表示分析的步骤。注意，由于输入差分放大器有一个比较大的电阻 R_3，因此在射极电路中，输入电压的大部分都降在电阻 R_3 上。换言之，信号电压在 Q_1，Q_2，Q_3 和 Q_4 发射结上的压降比电阻 R_3 上的压降要小。因此，通过列出晶体管 Q_6 的集电极的节点方程可求出电压增益：

$$\frac{v_i}{R_3}+\frac{v_o}{R_2}+\frac{v_i}{R_3}=0$$

从中得到

$$\frac{v_o}{v_i}=-\frac{2R_2}{R_3}\simeq-50\ \mathrm{V/V}$$

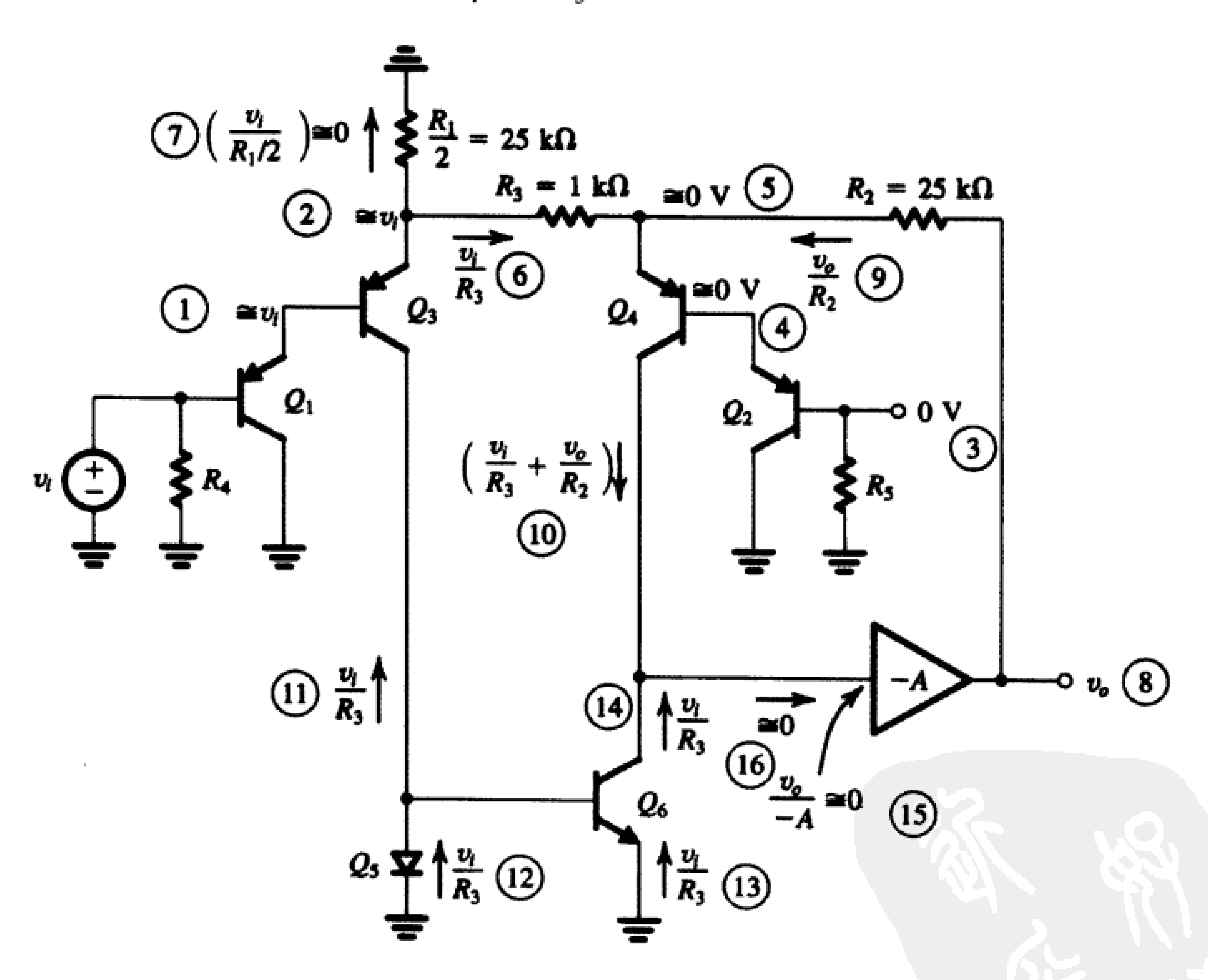


图 14.31　图 14.30 所示电路的小信号分析。带圈的数字表示分析步骤

练习 14.14　将晶体管 Q_6 集电极到地的总等效电阻用 R 表示，利用图 14.31，证明下列表达式：

$$\frac{v_o}{v_i}=\frac{-2R_2/R_3}{1+(R_2/AR)}$$

当 $AR>>R_2$ 时，上式降至 $(-2R_2/R_3)$。

正如我们在第 8 章所述，负反馈的一个好处是能够减小非线性失真，这在 LM380 的电路中也有体现。

LM380 设计的时候采用的是单电源工作，电源电压的范围从 12 V 到 22 V。具体选用什么电源电压取决于负载电阻 R_L 的值和所需要的输出功率 P_L。芯片生产厂商提供了一组晶体管功耗和输出功率之间的关系曲线，如图 14.32 所示，这是在给定负载电阻 $R_L = 8\,\Omega$ 且电源电压选用不同数值时的一组关系曲线。注意，这组曲线和图 14.8 所示的 B 类输出级的功耗曲线很相似。事实上，读者可以很容易地证明图 14.32 所示的曲线峰值的位置和数值可以分别利用式（14.20）和式（14.21）（其中 $V_{CC} = \frac{1}{2}V_S$）精确求得。图 14.32 中标明 3%失真的直线表示不同曲线上的点的轨迹，它们的失真（THD）都等于 3%。3%的失真代表的是由于输出晶体管饱和导致峰值刚开始截平时的失真。

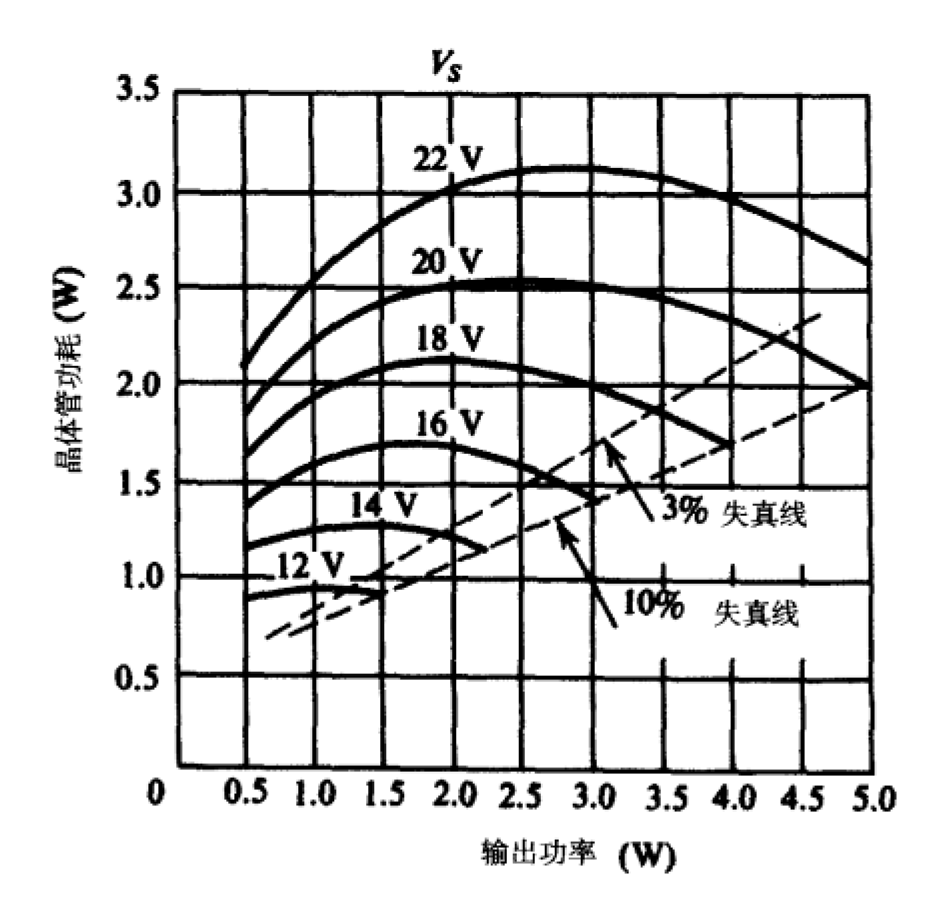


图 14.32 LM380（国家半导体公司）的功耗（P_D）和负载功率（P_L）之间的关系曲线，负载 $R_L = 8\,\Omega$

练习 14.15 芯片制造厂商给出的 LM380 参数是：当环境温度低于 25℃时，它的最大功耗是 3.6 W。获得该值的条件是：双列封装，焊接在 6 平方英寸、2 盎司铜箔的印刷线路板上，紧密热接触。高于 25℃时，热阻 $\theta_{JA} = 35℃/\text{W}$。$T_{J\max}$ 设定为 150℃，如果环境温度等于 50℃，求最大可能的功耗。

答案：2.9 W

练习 D14.16 若要求用 LM380 驱动一个 8 Ω的音箱。利用图 14.32 所示的曲线确定能够获得的最大负载功率，要求最大功耗限制在练习 14.15 确定的 2.9 W 上，如果该应用允许 THD 为 3%，求 P_L 和输出电压的峰-峰值。

答案：20 V；4.2 W；16.4 V

14.8.2 功率运算放大器

图 14.33 所示是功率运算放大器的基本结构，它由一个低功率运算放大器级联一个 AB 类输出级构成，其中 AB 类缓冲电路与 14.7.1 节讨论的相似，由晶体管 Q_1，Q_2，Q_3 和 Q_4 以及偏置电阻 R_1，R_2 和射极负反馈电阻 R_5 与 R_6 组成。缓冲器提供负载所需要的电流直到晶体管 Q_5 导通，因

为输出电流的增加，使得落在电阻 R_3（提供电流模式）上的电压增加，当电压足够大时，Q_5 导通，这时 Q_5 向负载提供所需要的额外电流。在晶体管吸收负载电流的模式下，晶体管 Q_4 吸收负载电流，直至电阻 R_4 上足够大的电压使得 Q_6 导通，这时 Q_6 会吸收掉额外的负载电流。Q_5 和 Q_6 组成的这一级电路好比是电流增强机。功率运算放大器工作的时候一般都是闭环结构，组成负反馈环。国家半导体公司提供基于图 14.33 所示结构的芯片，型号是 LH0101。运算放大器能够提供 2 A 的连续输出电流，加上合适的散热器，输出功率可达 40 W（Wong 和 Johnson，1981）。LH0101 采用混合厚膜技术制造。

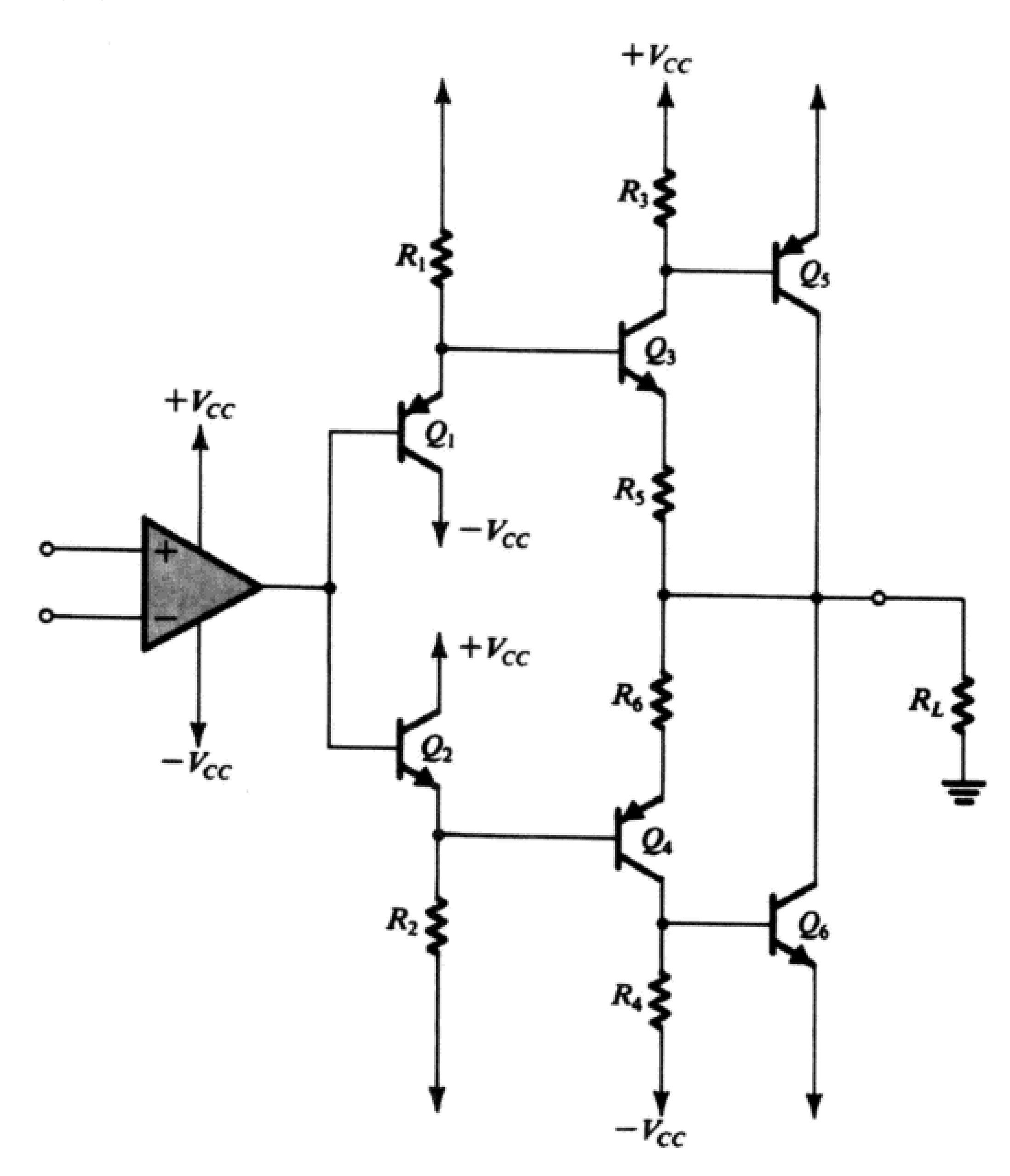


图 14.33　功率运算放大器的结构。电路由一个运算放大器级联带缓冲的 AB 类输出级组成，功放电路和 14.7.1 节讨论过的电路相似。Q_1，Q_2，Q_3 和 Q_4 组成缓冲器，它的电流承载能力由于晶体管 Q_5 和 Q_6 的作用进一步加强

14.8.3　桥式放大器

我们以一个在高功率应用场合非常流行的电路结构来结束本节的讨论。这个电路就是图 14.34 所示的桥式放大器，它采用两个功率运算放大器 A_1 和 A_2。其中，运算放大器 A_1 接成同相放大器组态，增益为 $K=1+(R_2/R_1)$；运算放大器 A_2 接成反相放大器组态，增益幅度是 $K=R_4/R_3$；负载 R_L 接在运算放大器的两个输出端之间，输出浮置。

如果输入电压 v_I 是幅度为 $\hat{V}_i$ 的正弦波，每一个运算放大器的输出电压摆幅为 $\pm K\hat{V}_i$，那么负载上的电压摆幅就是 $\pm 2K\hat{V}_i$。如果运算放大器的电源电压是 ±15 V，能够提供的输出电压摆幅是 ±12 V，那么桥式放大器的负载上可以得到的输出电压摆幅就是 ±24 V。

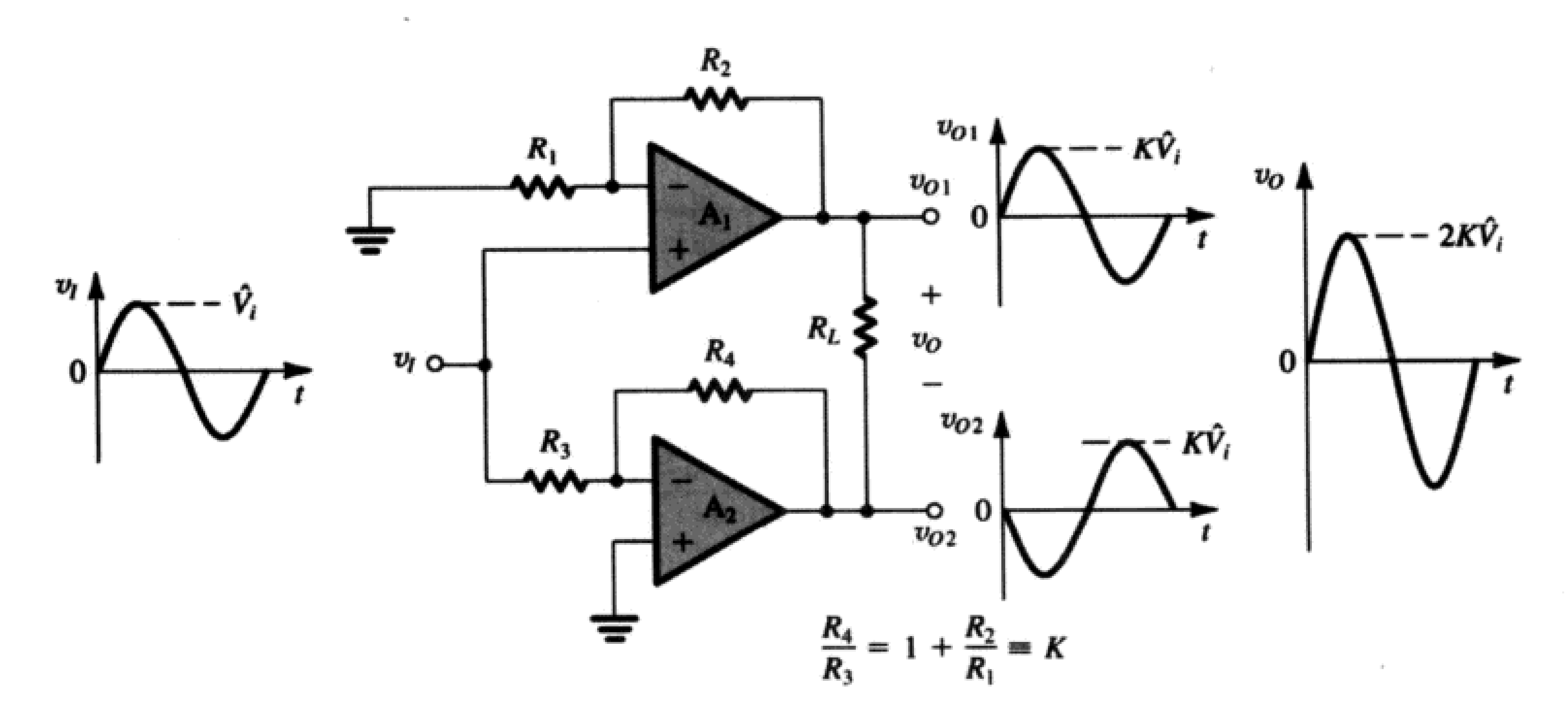


图 14.34　桥式放大器电路结构

在设计桥式放大器时要注意这样一个事实，即从每一个运算放大器获得的峰值电流等于 $2K\hat{V}_i/R_L$，因为每个运算放大器（到地）视入的负载等于 $R_L/2$。

练习 14.17　考虑图 14.34 所示的电路，电路元件参数为：$R_1 = R_3 = 10\ \text{k}\Omega$，$R_2 = 5\ \text{k}\Omega$，$R_4 = 15\ \text{k}\Omega$，$R_L = 8\ \Omega$，电源电压是 ±18 V。求电压增益和输入电阻。如果 v_I 是峰–峰值为 20 V 的正弦波，问输出电压的峰–峰值是多少？负载电流的峰值是多少？负载功率是多少？

答案：3 V/V；10 kΩ；60 V；3.75 A；56.25 W

14.9　MOS 功率晶体管

虽然我们在这一章介绍的很多电路都是 BJT 电路，但是 MOS 功率管的电路和 BJT 相比更具竞争力。本节将介绍 MOS 场效应功率管的结构、特性和应用。

14.9.1　MOS 功率管的结构

第 4 章介绍的 MOSFET 的结构（见图 4.1）不适合高功率应用，要理解这一点，我们先回忆一下 n 沟道 MOSFET 的漏极电流在饱和区的特性方程：

$$i_D = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)(v_{GS} - V_t)^2 \tag{14.46}$$

上式表明，要提高 MOSFET 的电流驱动能力，沟道宽度要做得很大，而沟道长度应该尽可能小。然而减少标准 MOSFET 沟道长度将导致击穿电压的急剧下降，具体而言，衬底和漏极之间的反偏耗尽区将延伸到短沟道上，从而导致在比较低的电压上发生击穿。这样的器件不具备处理高电压的能力，而这又是高功率晶体管的典型应用。为此，我们必须寻找新的器件结构，使得制造出来的短沟道（1~2 μm）MOSFET 同样具备较高的击穿电压。

现在使用得比较多的功率 MOSFET 的结构是双扩散（或者称为 DMOS）晶体管，如图 14.35 所示。这种晶体管在制造时有一个轻掺杂的 n 型衬底和一个重掺杂的位于器件底部的区域以实现漏极的欧姆接触。这里需要进行两次扩散[①]，一次用来形成 p 型衬底区，另一次用来形成 n 型源区。

① 参见附录 A 关于集成工艺过程的叙述。

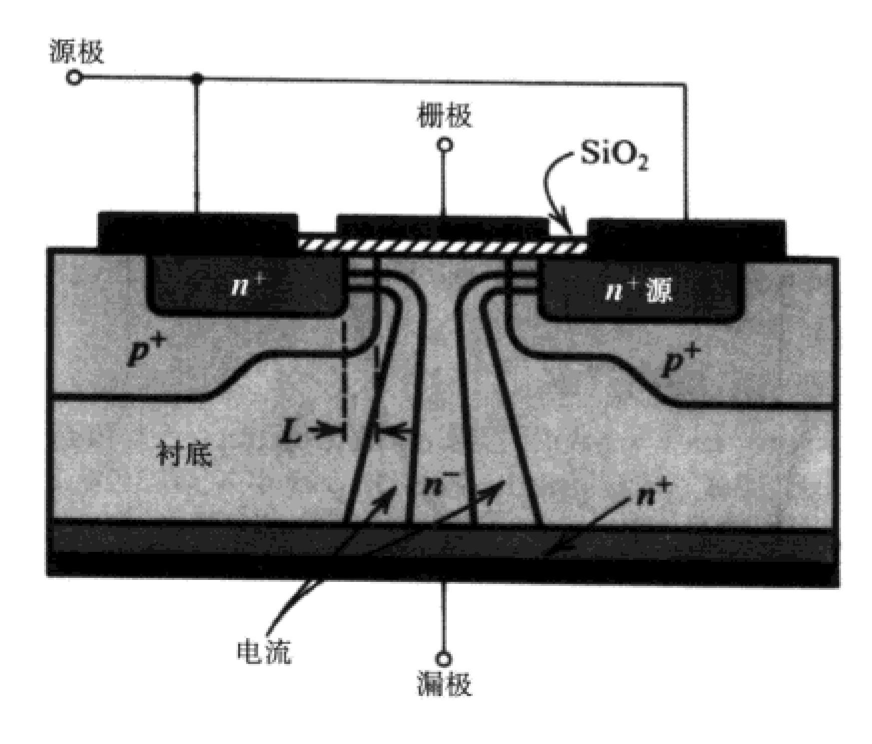


图 14.35　双扩散垂直 MOS 晶体管（DMOS）

DMOS 的工作原理如下：栅极加正的电压，使 v_{GS} 大于开启电压 V_t，从而在栅极氧化层下面的 p 型衬底中感应出横向 n 沟道。这个沟道很短，长度用 L 表示，如图 14.35 所示。电子从源极开始运动，经过沟道到达衬底，然后垂直运动到衬底的底部（即漏端）形成电流。这种垂直方向流动的电流必须和小信号 MOSFET 结构（参见第 4 章）的横向流动的电流区分开来。

尽管 DMOS 的沟道很短，但是其击穿电压却很高（高达 600 V）。这是因为位于衬底和 p^+区域之间的耗尽层只会向轻掺杂的衬底延伸，而不会延伸到沟道中。这样得到的 MOS 管还可同时承载很大的电流（可能有 50 A）和很高的击穿电压。最后，我们注意到垂直结构可以有效地使用芯片面积。

这里值得提一下采用以前的结构制成的功率 MOS 晶体管，这就是 V 槽 MOS 管［参见 Severns(1984)］。虽然现在还有应用，但是 V 槽 MOSFET 与图 14.35 所示垂直结构的 DMOS 管相比基本上失去了应用场合，只是在高频领域可能还有些应用。因为篇幅的关系，这里不再对 V 槽 MOSFET 进行深入介绍。

14.9.2　MOSFET 功率管的特性

尽管功率管有不同于第 4 章讲过的小信号 MOSFET 的结构，但是它们所表现出来的特性和小信号 MOSFET 十分相似，我们这里要讨论的是一些特别重要的差异。

MOSFET 的开启电压在 2 V 到 4 V 之间，在饱和区，漏极电流与电压 v_{GS} 的关系是式（14.46）描述的平方律关系。然而，如图 14.36 所示，当 v_{GS} 很大时，i_D~v_{GS} 特性曲线近似为一条直线。这部分直线特性曲线反映的是速度饱和现象，即当短沟道上的电场过于强大时，载流子的运动速度将达到上限值。这时的漏极电流可表示为

$$i_D = \frac{1}{2} C_{ox} W U_{\text{sat}} (v_{GS} - V_t) \tag{14.47}$$

其中，U_{sat} 是饱和速度值（硅电子为 5×10^6 cm/s）。线性的 i_D~v_{GS} 特性曲线还有另外一层含义，那就是速度饱和区域的晶体管的跨导 g_m 是常数。有趣的是，跨导 g_m 与沟道宽度 W 成正比，通常功率管的 W 值很大，所以功率管的跨导都比较大。

图 14.36 所示的特性曲线 i_D~v_{GS} 还包含了一段标注为“亚阈区”的曲线段，虽然该区域对功率管而言并不是重要的区域，但是“亚阈区”对非常小的功率应用场合（参见 4.1.9 节）却是人们关注的区域。

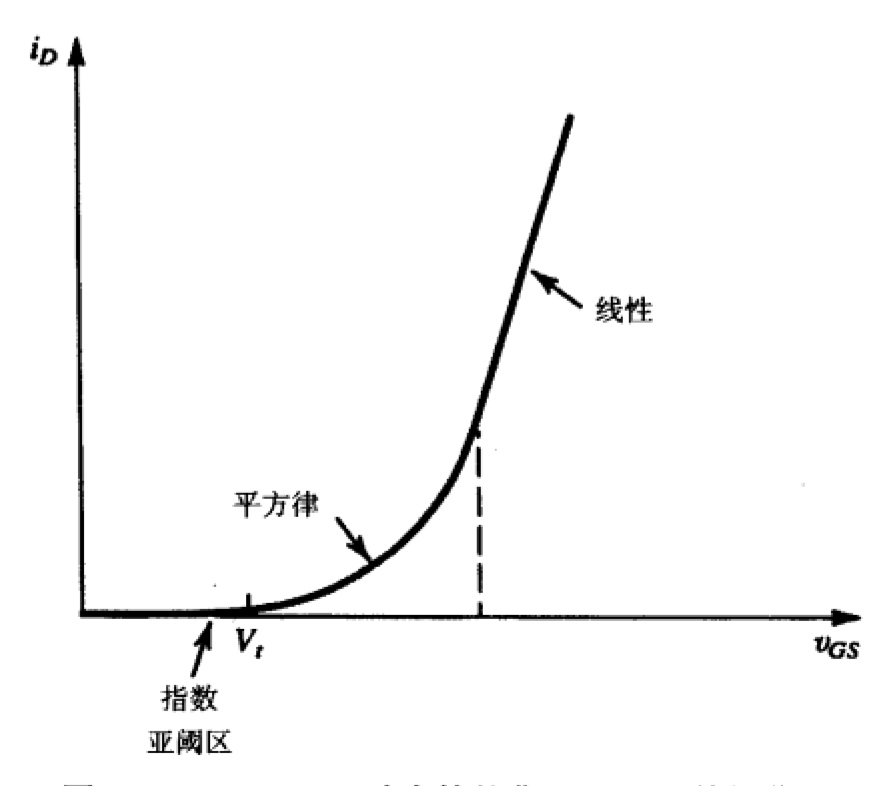


图 14.36 MOSFET 功率管的典型 $i_D \sim v_{GS}$ 特性曲线

14.9.3 温度效应

设计 MOS 功率管电路时，人们对 MOSFET 在不同温度时所呈现的伏安特性非常关注，如图 14.37 所示。观察发现，存在一个电压 v_{GS} 的值（对大多数 MOS 晶体管而言，该值在 4 V 到 6 V 之间），在这个值上，漏极电流 i_D 的温度系数等于 0。当 v_{GS} 的值增大时，i_D 的温度系数是负的，这是一个很有意义的性质：它隐含了这样一个概念，即当 MOS 晶体管工作在零温度系数点以上时不存在热失控的可能性。但是该结论不适合电流比较低的情况（比如低于零温度系数点以下）。在（相对来说）比较低的电流区域，漏极电流 i_D 的温度系数是正的，MOSFET 功率管很容易进入热失控状态（从而产生不令人满意的结果）。由于 AB 类功放电路往往是低电流偏置的，所以电路必须采取相应措施以避免热失控。

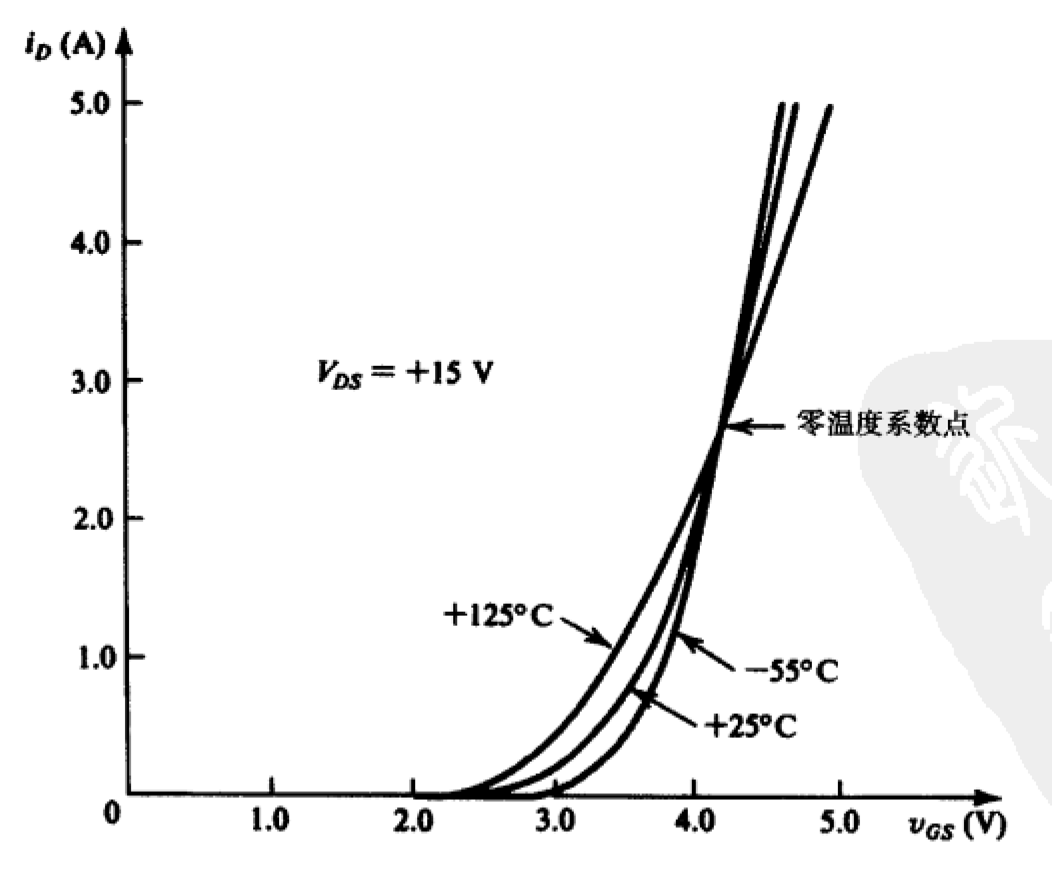


图 14.37 MOS 功率管（IRF 630，Siliconix）在外壳温度分别为−55℃，+25℃和 +125℃时的 $i_D \sim v_{GS}$ 特性曲线（Siliconix 公司）

漏极电流 i_D 较低时的温度系数之所以是正的，是因为 $v_{OV}=(v_{GS}-V_t)$ 比较低，V_t 受温度的影响（在−3 mV/℃到−6 mV/℃之间）占主导地位，从而导致 v_{OV} 随温度的升高而升高。

14.9.4　与 BJT 的比较

MOSFET 功率管不存在对 BJT 安全工作区有限制作用的二次击穿。另外，MOSFET 与 BJT 相比不需要很大的直流基极驱动电流。但是 MOS 功放电路的驱动级至少要提供足够的电流来保证对 MOSFET 较大的非线性输入电容充放电。MOSFET 功率管的最后一个性能是：它的运行速度一般比 BJT 高，这使得 MOS 功率管特别适合于作为开关应用——比如在电机控制电路中。

14.9.5　MOSFET 实现的 AB 类输出级

作为 MOSFET 功率管的应用，图 14.38 所示的是采用一对互补 MOSFET 实现的 AB 类输出级电路，驱动级 BJT 提供偏置。后者的电路包括由晶体管 Q_1 到 Q_4 组成的互补达林顿射极跟随器，它的低输出电阻正好满足驱动输出 MOSFET 高速工作的条件。

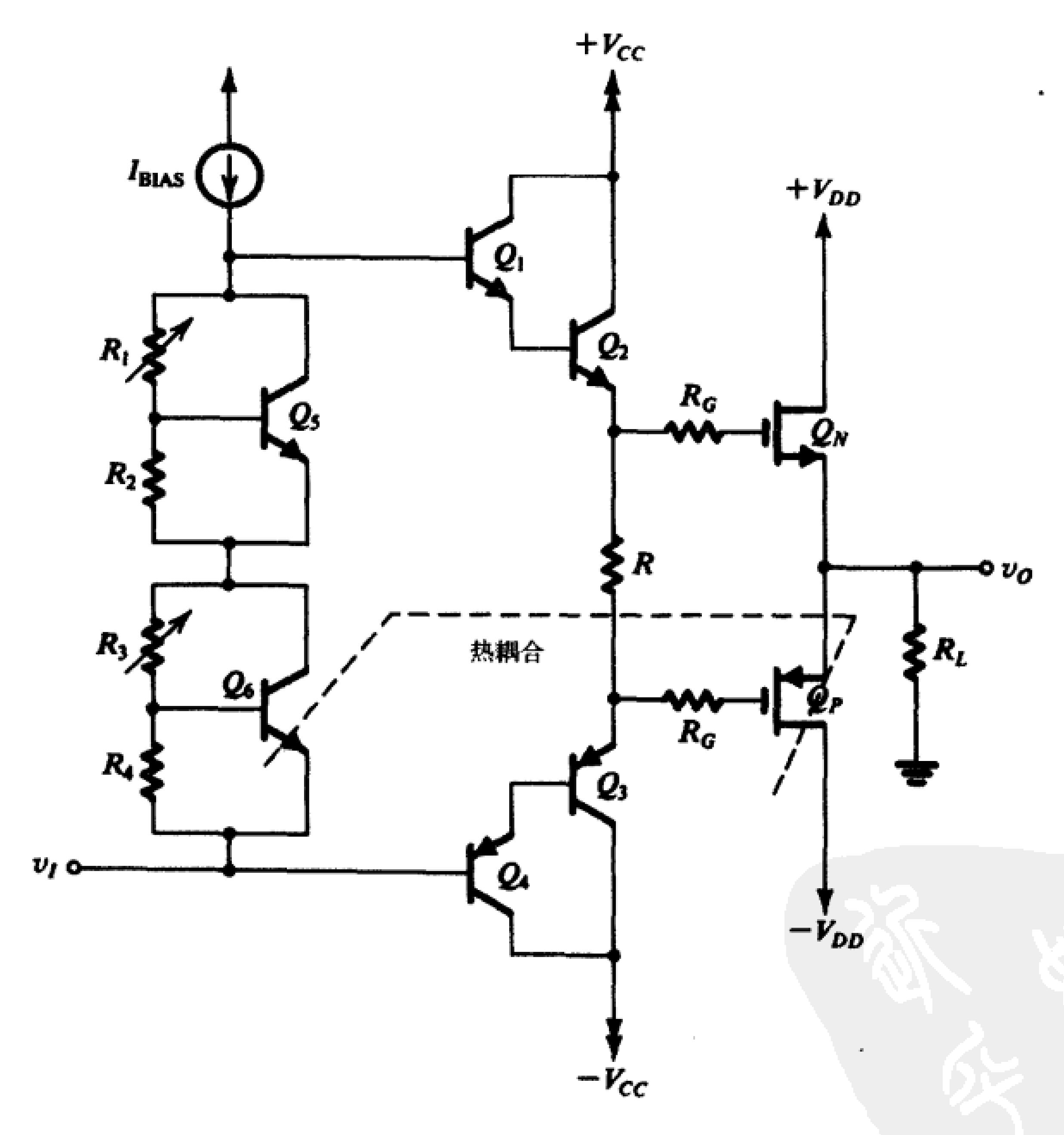


图 14.38　AB 类输出级电路，MOS 晶体管输出，BJT 晶体管驱动。调整电阻 R_3 可实现温度补偿，调整电阻 R_1 可得到输出晶体管所需的静态电流值。电阻 R_G 用于阻止高频寄生振荡，其典型值 $R_G=100\ \Omega$

这里特别要关注的是图 14.38 所示的偏置电路，它采用了由晶体管 Q_5 和 Q_6 以及相关电阻组成的两个 V_{BE} 电压倍增器，晶体管 Q_6 和输出晶体管直接产生热接触。实现的方法是把晶体管 Q_6

安装在它们公共的散热器上。这样，选择 Q_6 合适的 V_{BE} 电压倍增因子，偏置电压 V_{GG}（位于输出晶体管两栅极之间）就可以做到随温度下降的速度与输出 MOSFET 总开启电压 $(V_{tN}+|V_{tP}|)$ 的速度相等。这样输出晶体管的静态电流对温度的变化而言是稳定的。

经过分析，电压 V_{GG} 可由下式给出：

$$V_{GG}=\left(1+\frac{R_3}{R_4}\right)V_{BE6}+\left(1+\frac{R_1}{R_2}\right)V_{BE5}-4V_{BE} \quad (14.48)$$

由于 V_{BE6} 和输出晶体管有热耦合，而其他的 BJT 维持在恒温下，因此可得

$$\frac{\partial V_{GG}}{\partial T}=\left(1+\frac{R_3}{R_4}\right)\frac{\partial V_{BE6}}{\partial T} \quad (14.49)$$

确定 R_3/R_4 的关系，使得 $\partial V_{GG}/\partial T=\partial\left(V_{tN}+|V_{tP}|\right)/\partial T$。另一个 V_{BE} 电压倍增器用来调整电压 V_{GG} 的值以满足晶体管 Q_N 和 Q_P 的静态电流的要求。

练习 14.18 对图 14.38 所示的电路，求 R_3/R_4 的值，使得晶体管 Q_N 和 Q_P 的静态电流能够稳定。假设 $|V_t|$ 的变化率是–3 mV/℃，$\partial V_{BE}/\partial T=-2$ mV/℃。

答案：2

练习 14.19 假设图 14.38 所示电路中的 BJT 的标称值 V_{BE} 是 0.7V，MOSFET 的 $|V_t|=3$ V，$\mu_n C_{ox}(W/L)=2$ A/V^2，要求输出级的静态电流稳定在 100 mA，驱动级的静态电流稳定在 20 mA。求 $|V_{GS}|$，V_{GG}，R，R_1/R_2 的值。R_3/R_4 的值采用练习 14.18 的结果。

答案：3.32 V；6.64 V；332 Ω；9.5

14.10 SPICE 仿真实例

我们以输出级电路 SPICE 仿真的例子作为本章的结束。

例题 14.6 B 类输出级

我们分析一下 B 类输出级的工作情况，Capture 电路图如图 14.39 所示。功率管采用的是分立元件 BJT MJE243 和 MJE253（来自 ON Semiconductor）[①]，它们的最大连续集电极电流 $I_{C\max}=4$ A，最大集射极电压 $V_{CE\max}=100$ V。为了与例题 14.1 手工计算的结果进行比较，我们在仿真的时候选用的元器件参数和电压值与例题 14.1 设计得到的结果一致（或接近）。具体而言，我们选用 8 Ω的负载电阻，输入正弦信号的峰值为 17.9 V，频率为 1 kHz，电源电压为 23 V。在 PSpice 中，瞬态分析仿真在 0 ms 到 3 ms 之间进行，并画出了不同节点的电压和支路电流的波形。在本例中，我们使用 Probe（PSpice 中的图形界面）功能来计算不同的功耗值。其中的一些波形如图 14.40 所示。最上面和中间的波形分别表示负载上的电压和电流。电压的峰值是 16.9 V，电流的峰值是 2.1 A。如果仔细观察，会发现两个波形都存在交越失真。最底下的波形显示的是负载上获得的瞬时功率和平均功率，这是利用 Probe 计算得到的，即将电压与电流相乘得到瞬时功率，动态平均后得到负载上的平均功率 P_L。平均功率的瞬时行为是将 PSpice 算法用于计算波形的动态平均的结果，最终的平均功率将趋于准常数稳态值 17.6 W。

① 在 PSpice 中，我们导出的功率管 BJT 参数来源于 ON Semiconductor 提供的 SPICE 模型参数。读者也可以在本书附带的光盘或网址 www.sedrasmith.org 找到 SEDRA.olb 库，库中提供了这些参数（型号为 QMJE243 和 QMJE253）。

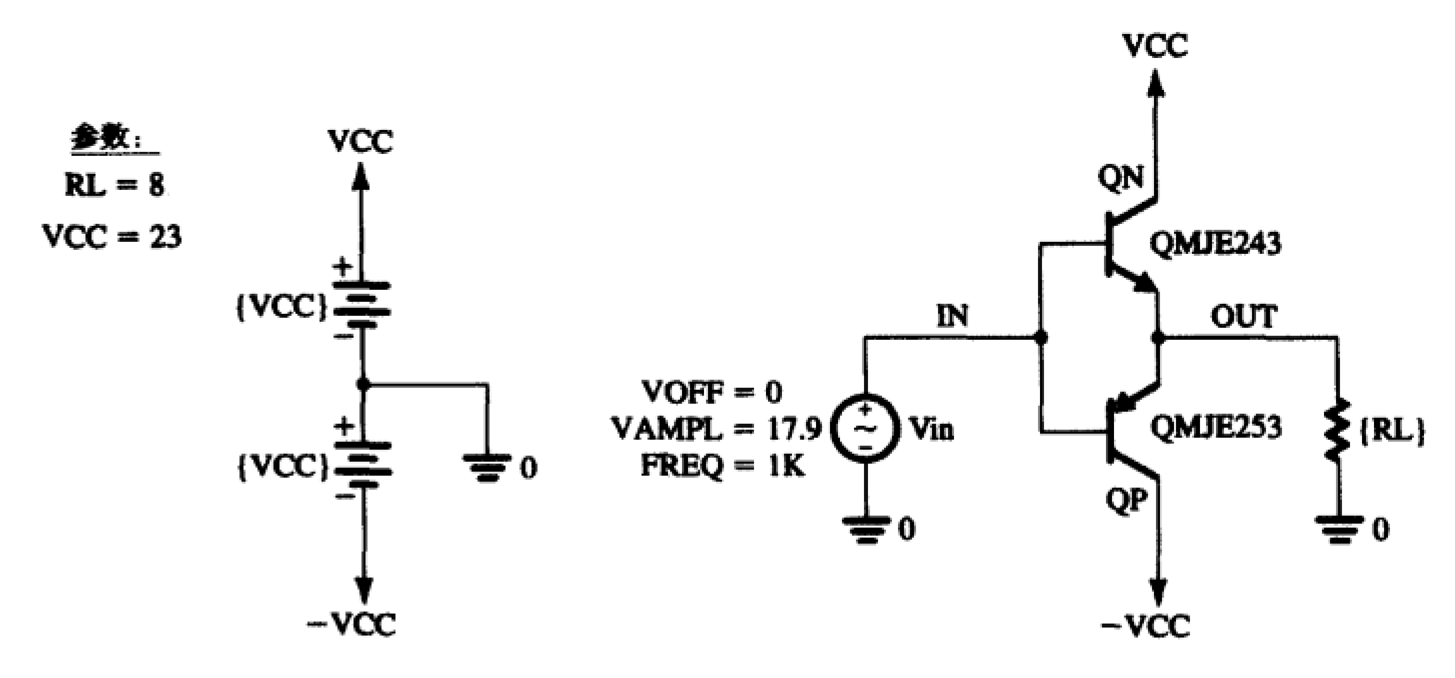


图 14.39　例题 14.6 中的 B 类输出级的 Capture 电路原理图

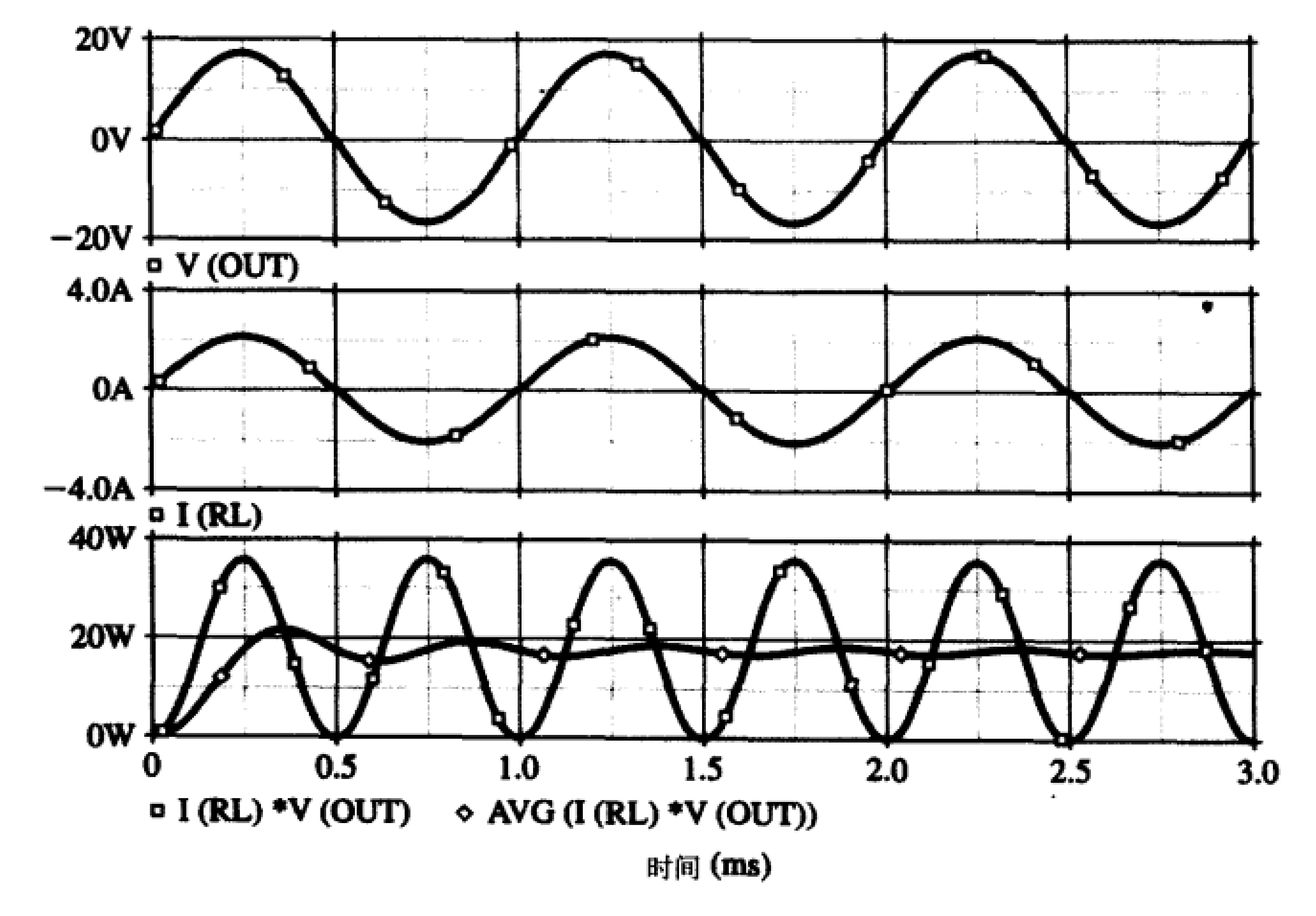


图 14.40　B 类输出级（见图 14.39）在频率 1 kHz、幅度 17.9 V 的正弦信号激励下的几个相关波形。最上面的波形代表负载上的电压，中间的波形代表负载电流，最下面的是负载上的瞬时和平均功率波形

图 14.41 中上面的两个波形分别是电源$+V_{CC}$上的电压和电流波形，底下的波形是$+V_{CC}$提供的瞬时功率和平均功率。负电源$-V_{CC}$具有相同的波形。每个电源提供的平均功率大约为 15 W，则总电源功率等于 30 W。这样我们可以求得电源功率转换效率为

$$\eta = P_L / P_S = \frac{17.6}{30} \times 100\% = 58.6\%$$

图 14.42 所示的是晶体管Q_P的电压、电流和功率的波形。晶体管Q_N的波形与此类似。正如我们预计的那样，电压波形是正弦波，电流是半个正弦波。但是瞬时功率与以往不同，功率波形说明输出有一些失真，原因在于晶体管很难驱动。这可以通过减小输入信号的幅度来验证，比如

把幅度减小到 17 V，功率波形的凹谷就会消失。利用 Probe 计算得到晶体管 Q_N 和 Q_P 的功耗近似为 6 W。

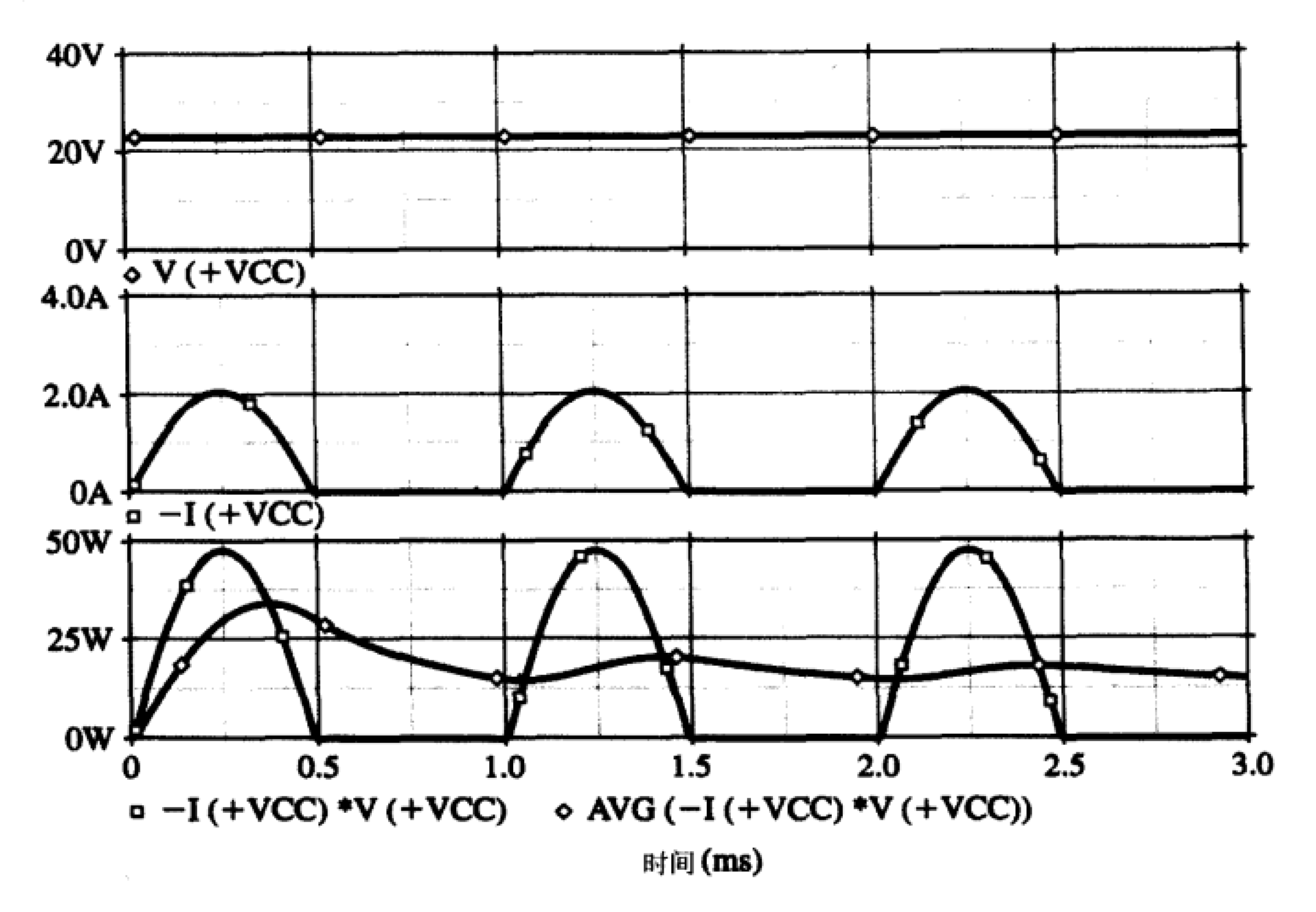


图 14.41 图 14.39 所示电路的正电源（$+V_{CC}$）提供的电压（最上面）、电流（中间）和瞬时及平均功率（最下面）的波形

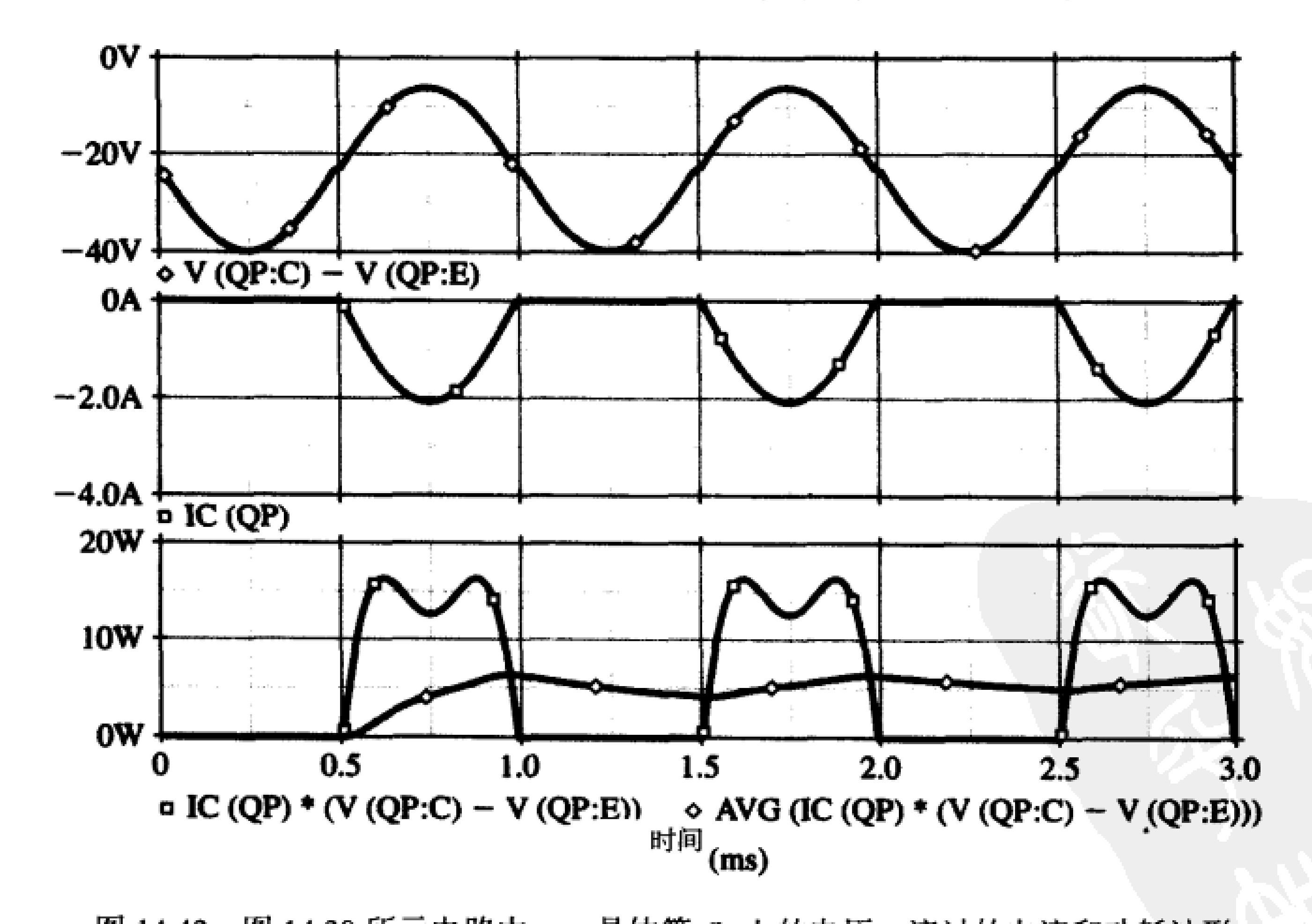


图 14.42 图 14.39 所示电路中 *pnp* 晶体管 Q_P 上的电压、流过的电流和功耗波形

表 14.1 给出的是 PSpice 仿真结果与例题 14.1 手工计算结果之间的比较。我们发现这两组数据相当接近。

表 14.1　利用手工计算和 PSpice 分析时与图 14.39 所示 B 类输出级相关的各种功率术语

功率/效率	公式	手工分析（例题 14.1）	PSpice	误差%[1]
P_S	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}$	31.2 W	30.0 W	4
P_D	$\frac{2}{\pi}\frac{\hat{V}_o}{R_L}V_{CC}-\frac{1}{2}\frac{\hat{V}_o^2}{RL}$	13.0 W	12.4 W	4.6
P_L	$\frac{1}{2}\frac{\hat{V}_o^2}{RL}$	18.2 W	17.6 W	3.3
η	$\frac{P_L}{P_S}\times 100\%$	58.3%	58.6%	–0.5

[1] 手工计算与 PSpice 分析得到的预测值之间的相对百分比误差。

为了更进一步地探讨交越失真，我们在图 14.43 中给出了 B 类输出级的电压传输特性（VTC）曲线。这个特性是利用直流仿真分析得到的，输入信号的范围从–10 V 到+10 V，间隔为 1.0 mV。利用 Probe，我们发现 VTC 的斜率近似为 1，死区的范围从–0.60 V 到+0.58 V，交越失真的大小可以利用 PSpice 的傅里叶分析功能对输出信号进行分析，把输出信号的瞬时波形转换成频域的傅里叶级数分量，然后用 PSpice 计算总谐波失真（THD）。傅里叶仿真得到的输出文件如下：

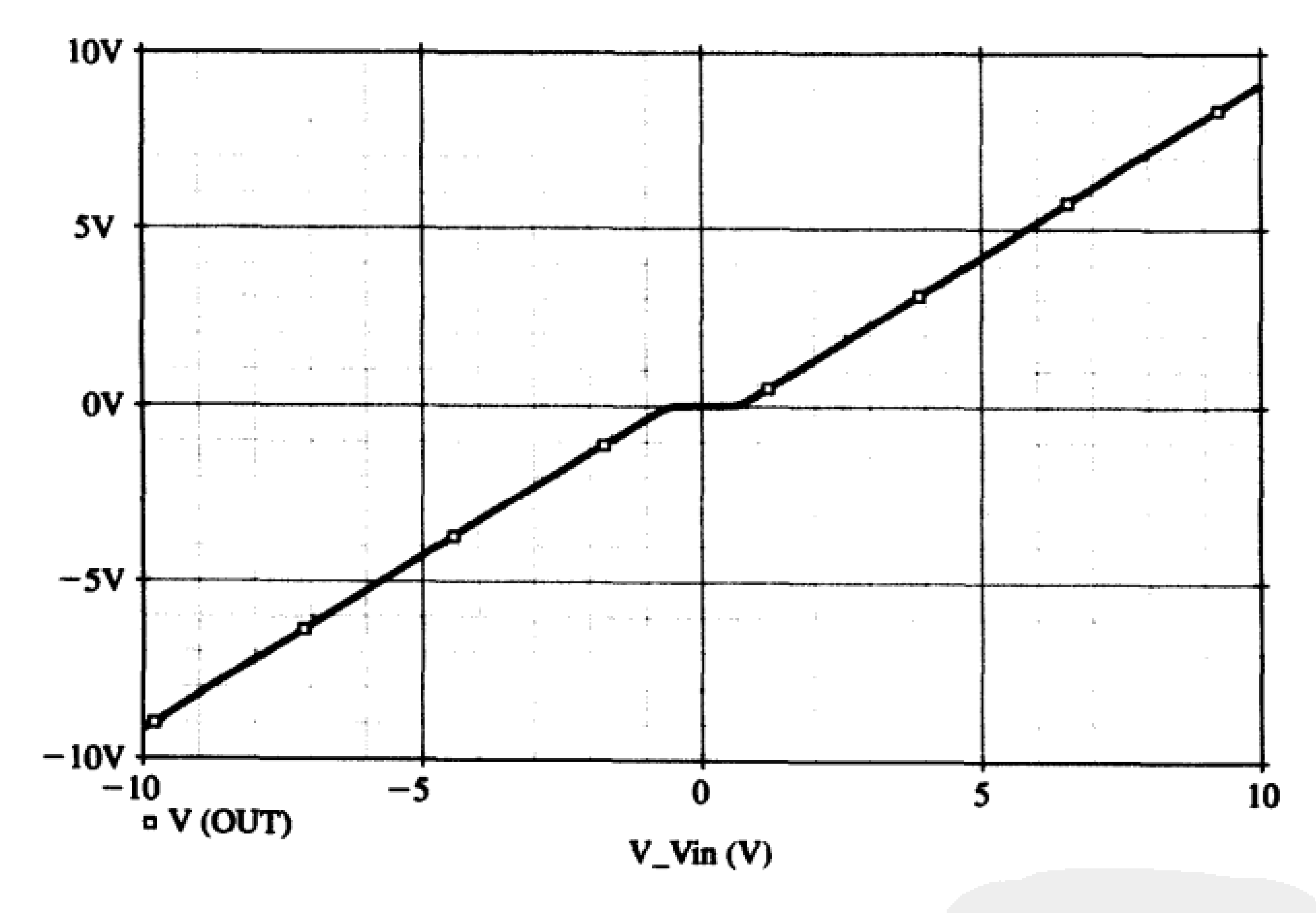


图 14.43　图 14.39 所示的 B 类输出级电路的传输特性

```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(OUT)
DC COMPONENT = -1.525229E-02
HARMONIC   FREQUENCY   FOURIER     NORMALIZED   PHASE       NORMALIZED
   NO        (HZ)      COMPONENT   COMPONENT    (DEG)       PHASE(DEG)
   1       1.000E+03   1.674E+01   1.000E+00   -2.292E-03   0.000E+00
   2       2.000E+03   9.088E-03   5.428E-04    9.044E+01   9.044E+01
   3       3.000E+03   2.747E-01   1.641E-02   -1.799E+02  -1.799E+02
   4       4.000E+03   4.074E-03   2.433E-04    9.035E+01   9.036E+01
   5       5.000E+03   1.739E-01   1.039E-02   -1.799E+02  -1.799E+02
```

```
     6     6.000E+03   5.833E-04    3.484E-05     9.159E+01   9.161E+01
     7     7.000E+03   1.195E-01    7.140E-03    -1.800E+02  -1.799E+02
     8     8.000E+03   5.750E-04    3.435E-05     9.128E+01   9.129E+01
     9     9.000E+03   9.090E-02    5.429E-03    -1.800E+02  -1.799E+02
    10     1.000E+04   3.243E-04    1.937E-05     9.120E+01   9.122E+01
TOTAL HARMONIC DISTORTION = 2.140017E+00 PERCENT
```

人们通常会把这些谐波分量表示成频谱图，如图 14.44 所示。我们注意到输出波形含有丰富的奇次谐波分量，因而导致 THD 高达 2.14%。

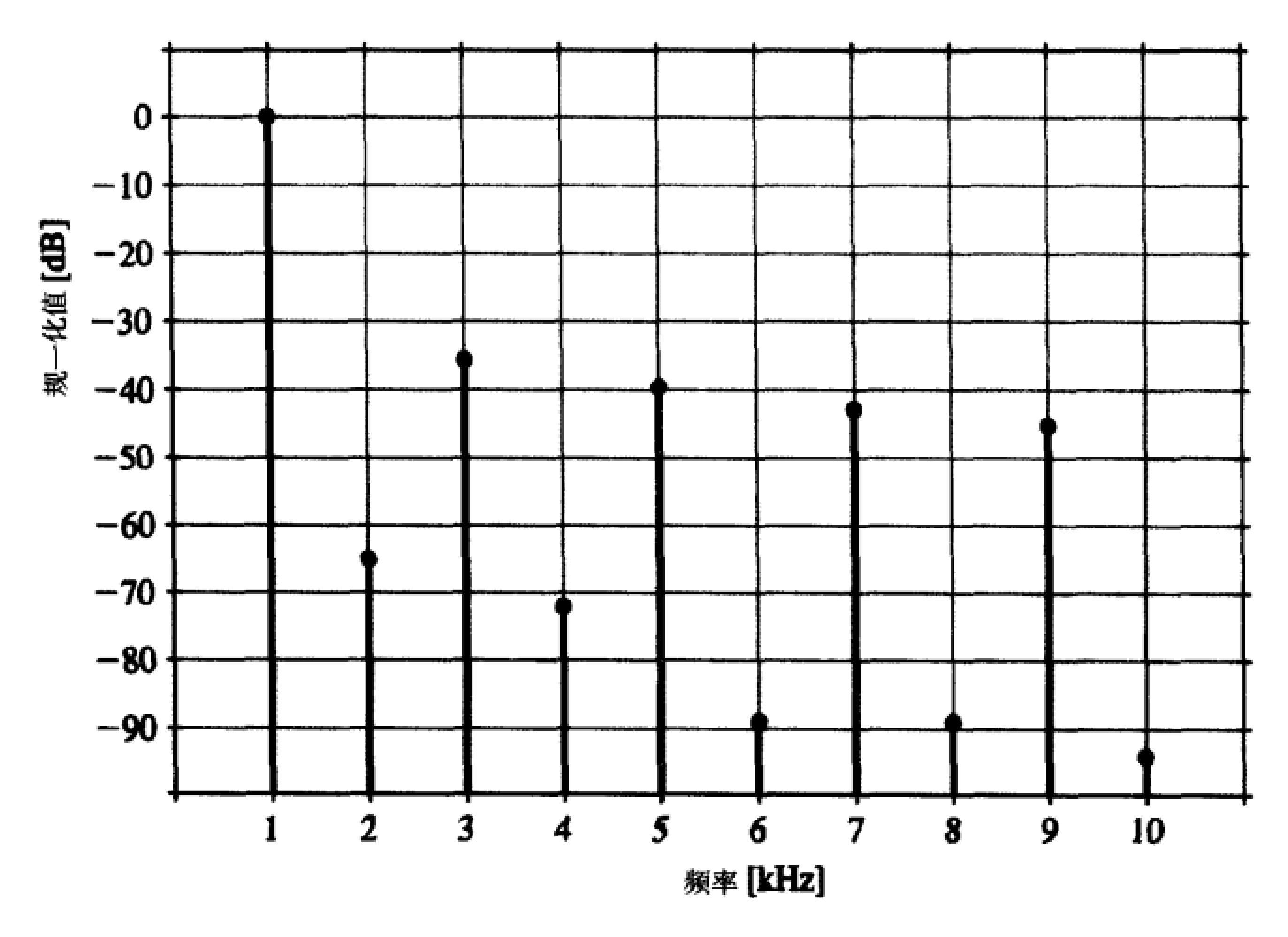


图 14.44　图 14.39 所示的 B 类输出级电路输出信号的傅里叶级数分量 ■

小结

- 输出级电路的分类依据是晶体管的导通角：A 类（360°），AB 类（略大于 180°），B 类（180°），C 类（小于 180°）。
- 最常用的 A 类输出级是射极跟随器。它的偏置电流大于负载电流的峰值。
- A 类输出级在静态（$v_O = 0$）时功耗最大。它的最大功率转换效率是 25%。
- B 类输出级的静态偏置电流等于 0，因此静态时没有功率损耗。
- B 类输出级可以获得 78.5%的最大功率转换效率。当 $\hat{V}_o = (2/\pi)V_{CC}$ 时，晶体管的功耗最大。
- B 类输出级存在交越失真。
- AB 类输出级的偏置电流很小，当输入信号很小的时候，两个晶体管均导通，交越失真可以消除。
- 除了有一个很小的静态功耗之外，AB 类与 B 类输出级的特性非常相似。
- 为了防止热失控，AB 类输出级的偏置电压应该做到与输出晶体管的 V_{BE} 电压具有相同的温度变化特性。

- 为了散尽硅芯片的热量，功率管装配有散热器，因此晶体管能够安全耗散的最大功率是

$$P_{D\max} = \frac{T_{J\max} - T_A}{\theta_{JC} + \theta_{CS} + \theta_{SA}}$$

其中，$T_{J\max}$和θ_{JC}由器件生产厂商提供，θ_{CS}和θ_{SA}与设计的散热方式有关。

- AB 类输出级中采用达林顿结构的晶体管可以减小基极驱动电流。IC 电路中复合 *pnp* 晶体管也是经常使用的电路结构。
- 输出级电路通常都有短路保护电路。一旦输出短路，保护电路即开始工作以降低基极驱动电流，从而减小射极电流，保护输出晶体管。
- 集成功率放大器由小信号电压放大器和高功率输出级级联而成。整个电路的反馈可以在片内实现，也可以在片外实现。
- 桥式放大器提供浮置输出，负载两端的输出电压峰-峰值可以达到单个放大器接地负载上电压的两倍。
- DMOS 晶体管是短沟道功率器件，它可以工作在高电流和高电压下。
- MOSFET 功率管的漏极电流在低电流工作时呈现正温度系数的特性，因而器件存在热失控。但是在高电流工作时，电流 i_D的温度系数是负的。

习题

14.2 节：A 类输出级

14.1 A 类射极跟随器的偏置电路如图 14.2 所示，其中，$V_{CC} = 5\text{ V}, R = R_L = 1\text{ k}\Omega$，所有晶体管都相同（包括 Q_3）。假设 V_{BE}= 0.7 V，$V_{CE\text{sat}}$= 0.3 V，β很大。线性工作时，输出电压的上限和下限各是多少？相应的输入电压是多少？如果晶体管 Q_3的发射结面积是晶体管 Q_2的两倍，以上这些值会如何改变？如果 Q_3的发射结面积是 Q_2的一半呢？

14.2 采用 NMOS 晶体管的源极跟随器接成与图 14.2 所示相同的结构，所有三个晶体管的特性相同，$V_t = 1\text{ V}$，$\mu_n C_{ox} W/L = 20\text{ mA/V}^2$；$V_{CC} = 5\text{ V}$，$R = R_L = 1\text{ k}\Omega$，如果为线性工作，求输出电压的上限和下限幅值以及相应的输入电压值。

D14.3 设计图 14.2 所示的跟随器电路，电源电压为±9 V、负载是 1 kΩ的时候，输出电压能够达到±7 V，电源提供的总电流必须是最小的。假设有四个相同的、β值很大的 BJT 和一个电阻供你选择。

D14.4 设计图 14.2 所示的射极跟随器电路，使之能够得到±5 V 的输出电压，给定的电源电压 V_{CC}=10 V。要求电路在负载低到 100 Ω时晶体管电路的电流变化率不超过 10，问电阻 *R* 应该取何值？在 $v_O = +5\text{ V}$，0 V，−5 V 时，射极跟随器的小信号电压增益是多少？负载仍为 100 Ω。在电压 v_O的变化范围内，增益变化的百分比是多少？

*14.5 考虑图 14.2 所示的跟随器电路，设负载 $R_L = V_{CC}/I$，输入信号是方波，输出信号的范围在$+V_{CC}$到$-V_{CC}$之间（忽略 $V_{CE\text{sat}}$）。在这样的条件下，画出与图 14.4 等效的 v_O，i_{C1}，p_{D1}的波形。当输出信号的峰值为$\pm V_{CC}/2$ 的方波时，重复以上工作。每一种情况下晶体管 Q_1的平均功耗是多少？将结果分别与幅度为 V_{CC}和 $V_{CC}/2$ 的正弦波的结果进行比较。

14.6 考虑习题 14.5 的电路情况，输出方波信号的峰-峰值为 $2V_{CC}$和 V_{CC}，如果正弦信号的峰-峰值与之相同，求电流源晶体管 Q_2 中的损耗功率。

14.7 考虑练习 14.4 的电路情况，设 V_{CC}有变化，比如 V_{CC}= 16 V，12 V，10 V 和 8 V，假设 $V_{CE\text{sat}}$近似等于 0，求每一种情况下的功率转换效率。

14.8 图 P14.8 所示是一个 BiCMOS 射极跟随器电路，晶体管参数为 $V_{BE}=0.7\ \mathrm{V}$ ，$V_{CEsat}=0.3\ \mathrm{V}$ ，$\mu_n C_{ox} W/L = 20\ \mathrm{mA/V^2}$ ，$V_t=-2\ \mathrm{V}$ 。电路为线性工作，当负载 $R_L=\infty$ 和 $R_L=100\ \Omega$ 时，输出电压的范围是多少？如果得到的输出电压是峰值为 1 V 的正弦波，求允许的最小负载电阻是多少？这时候的功率转换效率是多少？

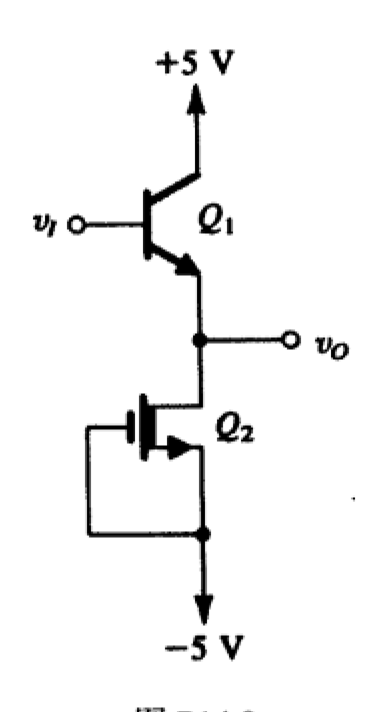


图 P14.8

14.3 节：B 类输出级

14.9 考虑由互补 BJT 组成的 B 类输出级电路，问输入信号的幅度值是多少时交越失真能够造成 10%的峰值损失？

14.10 图14.9 所示是反馈结构的B 类输出级电路。设放大器增益 $A_0=100\ \mathrm{V/V}$ ，推导 v_O 和 v_I 的关系式，假设 $|V_{BE}|=0.7\ \mathrm{V}$ ，画出 $v_O \sim v_I$ 的传输特性曲线，并与没有反馈时的结果进行比较。

14.11 考虑 B 类输出级电路，晶体管为增强型 MOSFET，如图 P14.11 所示，设晶体管的参数为：$|V_t|=1\ \mathrm{V}, \mu C_{ox} W/L = 200\ \mu\mathrm{A/V^2}$ ，输入信号是峰值为 5 V、频率为 10 kHz 的正弦波，负载电阻相当大，问预计的输出电压峰值是多少？交越失真的时间段占正弦波周期的几分之几？如果输出电压的峰值减少到输入的一半，那么负载电阻的值是多少？

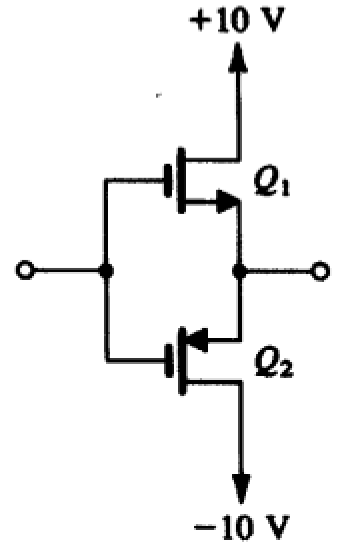


图 P14.11

14.12 考虑由互补 BJT 组成的 B 类输出级电路，忽略有限值 V_{BE} 和 V_{CEsat} 的影响。当电源电压等于±10 V、负载电阻是 100 Ω的时候，可以得到的最大正弦输出功率是多少？电源提供的功率是多少？功率转换效率又是多少？如果输出信号的幅度只有一半，求输出功率、电源提供的功率和功率转换效率。

D14.13 B 类输出级的电源电压是±5 V。假设晶体管是理想的，当功率转换效率达到最大的时候，输出电压是多少？当晶体管的功耗达到最大的时候，输出电压又是多少？如果每个输出晶体管标定的功耗是 1 W，安全系数可以放大 2 倍，电路始终是满电压输出，那么可以承受的负载电阻的最低值是多少？如果是半电压输出，允许的最小负载电阻是多少？每一种情况下最可能得到的输出功率是多少？

D14.14 如果要求 B 类输出级电路能够向 16 Ω的负载提供 100 W 的平均功率。电源电压至少要比正弦输出电压的峰值高 4 V，确定所需要的电源电压值（各方向上最接近的电压值），每个电源所提供的电流峰值，总电源功率和功率转换效率。确定正弦信号输入时每一个晶体管的最大功耗。

14.15 由 BJT 构成的 B 类输出级电路在负载 R_L 上得到的方波输出电压的幅度是 $\hat{V}_o$ ，直流电源电压是 $\pm V_{SS}$ ，忽略有限值 V_{BE} 和 V_{CEsat} 的影响，确定负载功率、电源功率和功率转换效率、可以达到的最大功率转换效率以及相应的 $\hat{V}_o$ 电压值。确定晶体管的功耗达到最大时 $\hat{V}_o$ 的值以及相应的功率转换效率。

14.4 节：AB 类输出级

D14.16 设计由 BJT 晶体管组成的 AB 类输出级电路的静态电流，要求在 v_I 等于 0 附近的小信号电压增益满足负载电阻大于 100 Ω、增益大于 0.99 V/V 的要求。假设 BJT 的电压 V_{BE} 在 100 mA 时是 0.7 V，确定所需要的偏置电压 V_{BB} 。

D14.17 AB类输出级电路由MOS晶体管组成，晶体管的参数为：$|V_t|=1\text{ V}$，$\mu C_{ox}W/L=200\text{ mA/V}^2$，求晶体管两个栅极之间的偏置电压 V_{GG}，使得增量输出电阻在静态时能够减小到 10 Ω。

*14.18 某 AB 类输出级类似于图 14.11 所示的电路，但是采用单电源供电，电源电压是+10 V，偏置电压 V_I = 6 V，输出信号经耦合电容送至 100 Ω的电阻上。设晶体管在电流为 1 mA 时的电压$|V_{BE}|$为 0.7 V，偏置电压 V_{BB}= 1.4 V，求得到的静态电流。如果输出信号发生阶跃跳变（从 0 V 跳到−1 V），需要的输入阶跃信号是多少？假设晶体管的饱和电压等于 0，求最大可能的正向和负向阶跃输出。

14.5 节：AB 类电路的偏置

D14.19 考虑图 14.14 所示的二极管偏置 AB 类电路，设 $I_{BIAS}=100\ \mu\text{A}$，求保证输出电阻为 10 Ω 或更小的输出晶体管（与偏置晶体管相比）的相对尺寸（n）。

D*14.20 AB 类输出级采用两个二极管偏置网络，如图 14.14 所示，二极管的结面积和输出晶体管相同。设 $V_{CC}=10\text{ V}$，$I_{BIAS}=0.5\text{ mA}$，$R_L=100\ \Omega$，$\beta_N=50$，$|V_{CEsat}|=0\text{ V}$，求得到的静态电流。输出电压正向和负向可能的最大值是多少？为使正向和负向的输出信号峰值相等，在偏置电流 I_{BIAS} 不变的情况下，要求 β_N 的值是多少？如果 β_N 保持 50 不变，要求偏置电流 I_{BIAS} 的值是多少？对这个值，I_Q 应为多少？

**14.21 AB 类输出级采用的是两个二极管的偏置网络，如图 14.14 所示，二极管的结面积和输出晶体管相同。在室温为 20℃的时候，静态电流是 1 mA，$|V_{BE}|=0.6\text{ V}$。由于制造时的失误，连接输出晶体管和偏置二极管之间的热耦合被省略了。当电路开始工作后，输出晶体管的温度上升到 70℃，而偏置二极管的温度仍然维持在 20℃。如果每一个二极管的 V_{BE} 保持不变，则输出晶体管的静态电流在增加。为了计算新的电流值，考虑两个因素：I_S 按照 14%/℃增加，V_T按照$V_T=kT/q$变化，其中 T=[273℃ + 摄氏温度（℃）]，只在 T= 20℃的时候，V_T= 25 mV。当然，我们可以假设 β_N 是常数，该假设基于这样的事实，即 β 随温度增加但是随电流减少（参见图 5.22）。求新的 I_Q 的值。如果电源电压是±20 V，增加的功耗是多少？如果发生了热失控，且输出晶体管的温度按照每增加 1 W 功耗，温度升高 10℃的规律变化，升高的温度是多少？电流增大为多少？

D14.22 图 P14.22 所示的是由 MOSFET 组成的 AB 类输出级电路。设所有晶体管的参数的关系为：$|V_t|=1\text{ V}$，$k_1=k_2=nk_3=nk_4$，其中 $k=\mu C_{ox}W/L$ 是晶体管的跨导工艺参数，且 $k_3=2\text{ mA/V}^2$。当 $I_{BIAS}=100\ \mu\text{A}$，$R_L=1\text{ k}\Omega$ 时，求使得在 0 附近的小信号电压增益为 0.99 V/V 的 n 值，并求相应的电流 I_Q 的值。

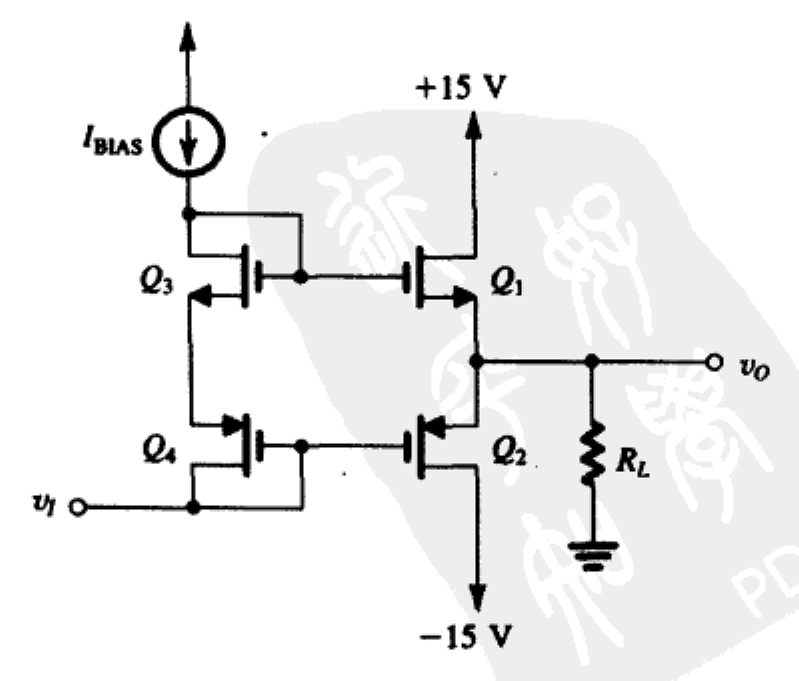


图 P14.22

D14.23 重复例题 14.3，此时输出电流的正峰值是 200 mA，采用相同的安全区域。你选择的电阻 R_1 和 R_2 的值是多少？

**14.24 设计一个 V_{BE} 电压倍增器，电阻均相同，端电流为 1 mA，其中有一半的电流流进偏置网络，最初的设计基于 $\beta=\infty$ 和 1 mA 电流上的 V_{BE}= 0.7 V。

（a）求所需要的电阻值和端口电压。

（b）当端电流增加到 2 mA 的时候，求

端口电压，假设 $\beta=\infty$。

（c）如果端电流增加到 10 mA，重复（b）。

（d）采用更实际的 $\beta=100$ 的值，重复（c）。

14.6 节：BJT 功率管

D14.25 有一个晶体管工作在环境温度为 30℃、集射极电压为 20 V 的情况下，热阻 $\theta_{JA}=2°C/W$。长时间工作要求最高结温是 130℃，求相应的晶体管的功耗。集电极电流的最大平均值是多少？

14.26 某晶体管在 25℃时的功耗是 200 mW，最大结温是 150℃。求它的热阻。如果工作在 70℃的环境温度下，那么它的功耗应该是多少？如果环境温度为 50℃时晶体管的功耗是 100 mW，求此时的结温。

14.27 某功率管工作在 50℃的环境温度下，平均射极电流是 3 A，功耗为 30 W。如果已知晶体管的热阻低于 3℃/W，预计最大结温是多少？如果结温为 25℃，加入 3 A 的射极脉冲电流，测得电压 V_{BE} 是 0.80 V，那么在正常情况下，你预计的平均的 V_{BE} 值是多少？（利用温度系数–2 mV/℃。）

14.28 在例题 14.4 的晶体管某种特殊应用中要求其具有极高的可靠性。为了增加可靠性，最大结温限制在 100℃，这种条件下将得到哪些结果？

14.29 功率管的最高结温是 130℃，晶体管工作的时候有散热器。现在发现外壳的温度是 90℃。外壳和散热器焊接在一起，它们的热阻分别是 $\theta_{CS}=0.5$℃/W 和 $\theta_{SA}=0.1$℃/W。如果环境温度是 30℃，晶体管的功耗是多少？晶体管从结到外壳的热阻 θ_{JC} 是多少？

14.30 功率管的 $T_{J\max}=180$℃，在外壳温度为 50℃的时候，功耗为 50 W。如果它和散热器连接，填充的绝缘垫圈的热阻是 0.6℃/W，求保证功耗为 30 W 时也能安全工作的散热器温度。如果环境温度是 39℃，需要的散热器的热阻是多少？如果散热器是铝挤压成鳍片状结构的那一种，它的热阻在静止空间每单位厘米的值是 4.5℃/W，问这样的散热器需要多长？

14.31 某 *npn* 功率管工作在 $I_C=10$ A 的电流下，它的基极电流是 0.5 A，基极增量输入电阻是 0.95 Ω，问电阻 r_x 的值是多少？（在高电流下，$n=2$。）

14.32 测得某 *npn* 功率管在 $I_C=5$A、发射结电压为 1.05 V、基极电流为 190 mA 时的基极扩散电阻(r_x)等于 0.8 Ω。假设工作电流很大时的 $n=2$，如果工作电流 $I_C=2$ A，预计发射结电压是多少？

14.7 节：各种不同结构的 AB 类电路

14.33 利用练习 14.11 的结果，求图 14.24 所示电路在以下情况下的输入电流：$v_I=0$，±10 V，负载电阻为无穷大和 100 Ω。

D***14.34 考虑图 14.24 所示的电路，晶体管 Q_1 和 Q_2 是匹配管，晶体管 Q_3 和 Q_4 也是匹配管，但是结面积是另一对晶体管的 3 倍。设 $V_{CC}=10$ V，求电阻 R_1 到 R_4 的值，使得 $v_I=+5$ V（负载的要求）的时候，晶体管 Q_3 和 Q_4 中流过的基极电流至少要为 10 mA，晶体管 Q_1 和 Q_2 中的电流变化最多为 2 : 1，Q_3 和 Q_4 在没有负载时静态电流为 40 mA；$\beta_{1,2}\geq150$，$\beta_{3,4}\geq50$。射极跟随器由不带电阻的源驱动，在输入电压 0 V 附近，求整个射极跟随器的输出电阻。若输入电压是+1 V，负载电阻是 2 Ω，得到的输出电压是多少？设 Q_1 和 Q_2 在 10 mA 电流下的 $|V_{BE}|$ 是 0.7 V，$n=1$。

14.35 某电路与图 14.24 所示相似，四个匹配晶体管在 10 mA 电流下的$|V_{BE}|$是 0.7 V，$n=1$，$\beta \geqslant 50$。电阻 R_1 和 R_2 被 2 mA 的电流源取代，$R_3=R_4=0$。求输出晶体管的静态电流。流过输入晶体管的基极电流是多少？电流在哪里流动？如果 β 偏差 10%，求净输入电流（失调电流）。当负载电阻 $R_L=100\,\Omega$ 的时候，求输入电阻和小信号电压增益。

14.36 由两个 *npn* 晶体管复合成一个达林顿管，已知每一个晶体管的参数为 $\beta \geqslant 50$，$n=1$，在 1 mA 的电流下，$V_{BE}=0.7$ V。当复合管的工作电流是 10 mA 时，求 $\beta_{eq}, V_{BEeq}, r_{\pi eq}, g_{meq}$。

14.37 考虑如图 P14.37 所示的电路，其中晶体管的 $V_{BE}=0.7$ V，$\beta=100$，求 $i_c, g_{meq}, v_o/v_i, R_{in}$。

**14.38 考虑如图 P14.38 所示的电路，BJT 晶体管的参数如下：$\beta_P=10$，$\beta_N=100$，$|V_{BE}|=0.7$ V，$|V_A|=100$ V。

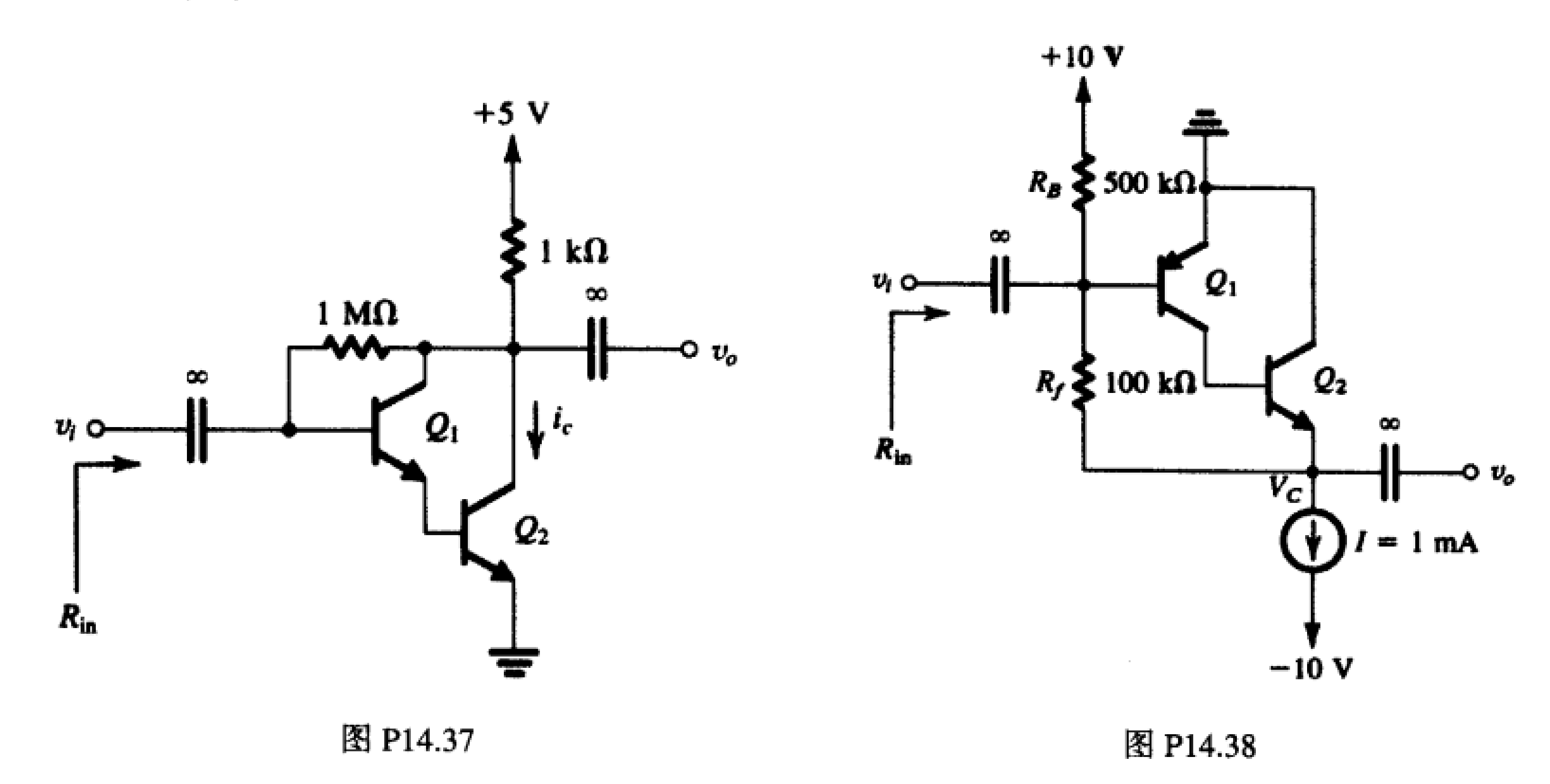


图 P14.37　　图 P14.38

（a）求每一个晶体管的集电极电流和电压 V_C 的值。

（b）用混合π模型代替每个晶体管，证明：

$$\frac{v_o}{v_i} \simeq g_{m1}[r_{o1} \parallel \beta_N(r_{o2} \parallel R_f)]$$

（c）求 v_o/v_i 和 R_{in} 的值。

D**14.39 考虑图 14.27 所示的复合管 AB 类输出级电路，其中晶体管 Q_2 和 Q_4 是匹配管，在电流为 10 mA 时，$V_{BE}=0.7$ V，$\beta=100$，晶体管 Q_1 和 Q_5 在电流为 1 mA 时的电压 $V_{BE}=0.7$ V，$\beta=100$，晶体管 Q_3 在电流为 1 mA 时的电压 $V_{EB}=0.7$ V，$\beta=10$。所有晶体管的 $n=1$。设计一个电路，使得流过晶体管 Q_2 和 Q_4 的静态电流为 2 mA，电流 I_{BIAS} 是晶体管 Q_1 基极电流的 100 倍，晶体管 Q_5 流过的电流是相关电阻的 9 倍。求输入电压的值，要求在 1 kΩ的负载电阻上产生±10 V 的输出电压。设电源电压 V_{CC} 为 15 V。

14.40 在晶体管 Q_5 的尺寸增大 10 倍、其余条件都不变的情况下，重复练习 14.13 的内容。

14.41 在输出电流的限幅值和正常峰值分别为 50 mA 和 33.3 mA 的情况下，重复练习 14.13 的内容。

D14.42 考虑如图 P14.42 所示的电路，其工作原理类似于图 14.28 所示的电路，当输出短路时可以限制流过晶体管 Q_3 的电流。该电路还有另外一个好处，即检测电流变化的电阻 R 没有直接出现在输出端。求电阻 R 的值，该值使得输出电流达到 150 mA 时晶体管 Q_5 导通，

并吸收全部 $I_{BIAS} = 2$ mA 的电流。对晶体管 Q_5，有 $I_S = 10^{-14}$ A，$n = 1$。如果正常的输出峰值电流是 100 mA，求电阻 R 上的压降以及 Q_5 的集电极电流。

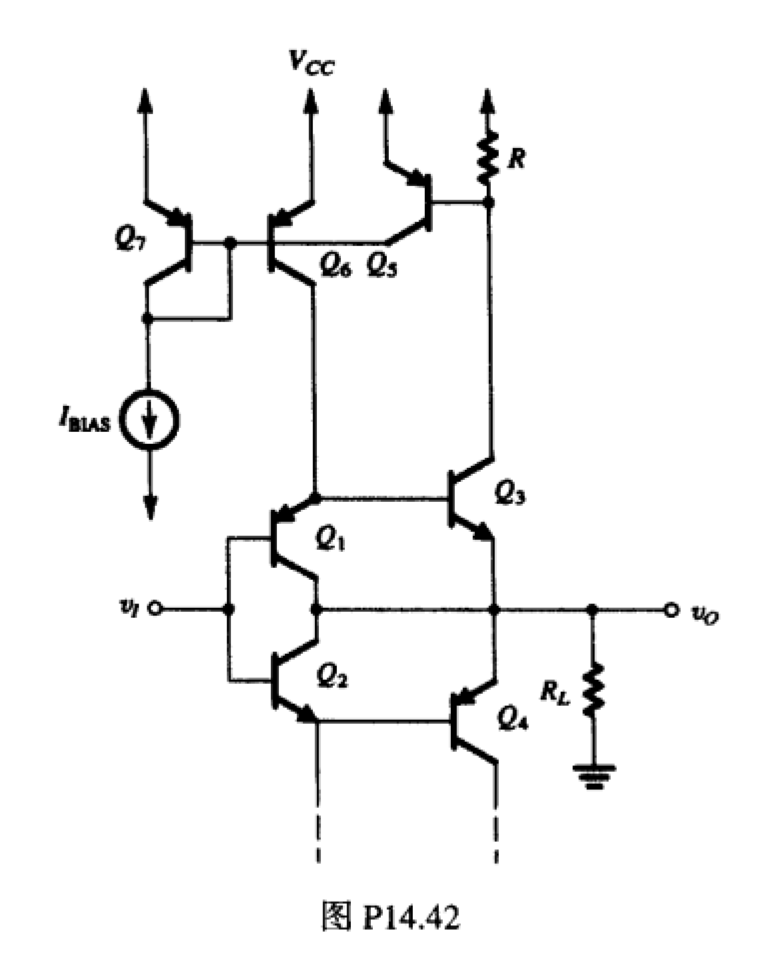


图 P14.42

D14.43 考虑图 14.29 所示的热停止电路。在 25℃时，齐纳二极管 Z_1 的稳压值是 6.8 V，温度系数 TC = 2 mV/℃，BJT 晶体管 Q_1 和 Q_2 的电压 V_{BE} 在 100 μA 时均为 0.7 V，其温度系数 TC = −2 mV/℃。设计一个电路，要求在 125℃时流过晶体管 Q_1 和 Q_2 的电流是 100 μA。25℃时晶体管 Q_2 中流过的电流是多少？

14.8 节：集成功率放大器

D14.44 在图 14.30 所示的功率放大器电路中有两个电阻对整个电压增益的控制起到了很重要的作用，是哪两个电阻？哪个电阻独自控制增益？哪个电阻既影响直流电平又对增益有影响？考虑一种新的设计方案，要求输出直流电平接近于 $\frac{1}{3}V_S$（不是接近于 $\frac{1}{2}V_S$），增益为 50（与以前一样），问需要做哪些调整？

14.45 考虑图 14.30 所示的前端电路，当 $V_S = 20$ V 的时候，近似求解晶体管 Q_1 到 Q_6 的偏置电流。假设 $\beta_{npn} = 100$，$\beta_{pnp} = 20$，$|V_{BE}| = 0.7$ V，求输出端的直流电压。

*14.46 假设图 14.30 所示电路的输出电压信号接地（这样反馈就不起作用了），求差模和共模输入电阻（为达到此目的，不包含电阻 R_4 和 R_5）。设 $V_S = 20$ V，$\beta_{npn} = 100$，$\beta_{pnp} = 20$。再求从输入端到第一级输出端（晶体管 Q_4 和 Q_6 的集电极及晶体管 Q_{12} 的基极）之间的互导。

14.47 采用 LM380 功率放大器驱动 8 Ω的扬声器，要求晶体管可能的最大功耗为 1.5 W。利用图 14.32 所示的曲线确定电源电压的最大可能值（只用给定的曲线，不必延伸）。如果最大允许的 THD 为 3%，可能的最大负载功率是多少？将此功率输送到负载上，得到的输出正弦电压的峰-峰值是多少？

14.48 考虑一个 LM380 功放，假设放大器工作时的电源电压是 20 V，第一级的互导是 1.6 mA/V，求单位增益带宽 f_t。由于闭环增益近似为 50 V/V，求 3 dB 带宽。

D14.49 考虑图 14.33 所示的功率运算放大器输出级，设电源电压为±15 V，设计一个电路，使得输出电压达到±11 V 或更高，电流达到±20 mA，其中主要电流由晶体管 Q_3 和 Q_4 提供，晶体管 Q_5 和 Q_6 提供其中的 10%，满电压（+11 V）输出时的电流峰值为 1 A。采用原先的设计参数，所有晶体管的 $\beta = 50$，晶体管在其电流上的电压 $|V_{BE}| = 0.7$ V，$R_5 = R_6 = 0$。

14.50 某电路如图 P14.50 所示，假设所有晶体管的β值都很大，证明 $i_O = v_I/R$。[该电压-电流转换电路是电流传送机模块电路的一种应用，参见 Sedra 和 Roberts(1990)。] 当 $\beta = 100$ 的时候，求得到的电流 i_O 比理想情况下的值所低的百分比？

D14.51 求图 14.34 所示桥式放大器电路中的电阻 R_2 和 R_4 的值，要求得到的总电压增益为 10，设电阻 $R_1 = R_3 = 10$ kΩ。

D14.52 图 P14.52 所示是另一种结构的桥式放大器，具有高输入电阻。[注意，该电路与图 2.20（b）所示的仪表放大器的前端电路很相似。]求电压增益 v_O/v_I。当运算放大器（电源电压为±15 V）

的输出限幅为±13 V 时，问负载电阻 R_L 上的最大正弦电压是多少？使用 1 kΩ的电阻作为最小电阻，求满足增益 v_O/v_I =10 V/V 的电阻值。

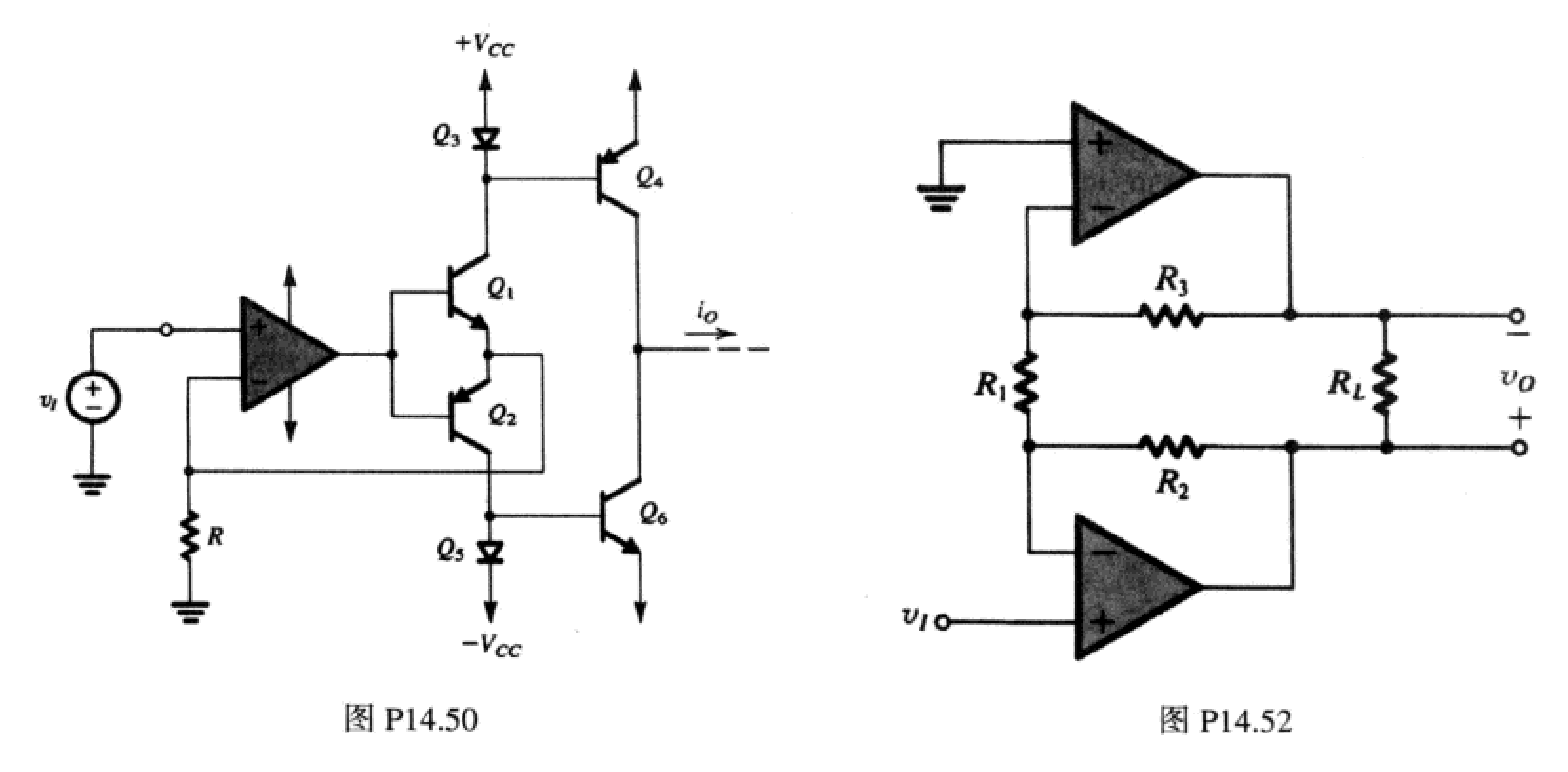


图 P14.50　　　　图 P14.52

14.9 节：MOS 功率晶体管

14.53 某 DMOS 功率管的参数为：$C_{ox} = 400\ \mu\text{F/m}^2$，$V_t = 2\ \text{V}$，$W = 10^5 \mu\text{m}$，在电压 $v_{GS} = 5\ \text{V}$ 时载流子速度饱和。利用式（14.46）和式（14.47），求 L 的表达式以及该晶体管的 L 值。当漏极电流为何值时速度开始饱和？硅的电参数为：$U_{\text{sat}} = 5\times10^6\ \text{cm/s}$，$\mu_n = 500\ \text{cm}^2/\text{V}$，大电流时的晶体管跨导 g_m 等于多少？

D14.54 考虑图 14.38 所示的 AB 类输出级放大器，已知 $|V_t| = 2\ \text{V}$，$\mu C_{ox} W/L = 200\ \text{mA/V}^2$，$\beta$ 值很大，$|V_{BE}| = 0.7\ \text{V}$，$I_{QN} = I_{QP} = I_R = 10\ \text{mA}$，$I_{\text{BIAS}} = 100\ \mu\text{A}$，$I_{Q5} = I_{Q6} = I_{\text{BIAS}}/2$，$R_2 = R_4$，电压 V_{BE} 的温度系数为−2 mV/℃，V_t 的温度系数在低电流区是−3 mV/℃。求电阻 R，R_1，R_2，R_3 和 R_4 的值。假设晶体管 Q_6，Q_P 和 Q_N 之间有热耦合。（电阻 R_G 通常在 100 Ω左右，用于抑止高频寄生振荡。）



附录 A　VLSI 制造技术

引言

本附录的目的是使读者熟悉 VLSI（超大规模集成电路）的制造技术，特别是 VLSI 的标准硅工艺过程，此处还提供了 CMOS 和 BiCMOS 工艺制造的晶体管的性能参数。特别是对集成电路设计和分立元件电路设计的不同之处给予了讨论。为了充分有效地使用好集成器件，设计者应该注意克服器件参数方面的限制（比如容差很差），而且应该学会利用集成器件的优点（比如匹配性很好）。充分理解器件的性能特点是设计一个好的 VLSI 芯片和专业集成芯片（ASIC）必备的要求。而且对器件的深刻理解在选用集成芯片完成系统设计时也是很有帮助的。

本附录只考虑硅工艺技术。虽然砷化镓（GaAs）也可用于实现 VLSI 芯片，但是硅（Si）用得更为普遍，而且其性价比具有很大的折中范围。近年来在 SiGe 和应变硅技术上的发展进一步巩固了基于硅的集成工艺技术在微电子工业未来几年中的发展地位。

硅是一种非常丰富的资源，通常以沙石的形式呈现。采用已经完整建立起来的提纯和晶体生长技术可得到制作精良的硅。硅还具有制造电特性优良的有源器件所需的物理特性。此外，硅很容易被氧化，形成极好的绝缘体——SiO_2（玻璃）。该氧化物对制作电容和 MOSFET 很有用。它还可以作为扩散阻挡物，阻止不需要的杂质扩散到高纯度的硅材料附近。硅氧化物的掩蔽特性使得硅的电特性在预定义区域比较容易改变，从而可以把有源和无源器件制造在同一块材料（或衬底）上，利用金属层（类似于印刷线路板上采用的）实现元件内部的连接可产生所谓的单片集成芯片，这种芯片实质上是一个单片材料。

A.1　IC 制造步骤

IC 制造的基本步骤将在下面几个子小节中叙述。其中有一些步骤在不同的组合和不同的处理条件下，在整个制造过程中会重复实施许多次。

A.1.1　晶圆准备

制造现代集成电路的原材料是纯度非常高的硅。它被制成单晶体的硅棒，其形状是直径为 10 cm 到 30 cm 的固态圆柱体（见图 A.1），呈铁灰色，长为 1 m 到 2 m。该硅棒然后被切割（像一条面包）成厚度为 400μm 到 600μm（1μm 为 1×10^{-6}m）的晶圆。晶圆的表面要进行抛光处理，采用化学和机械抛光（CMP）技术将表面抛光成镜面。半导体制造商一般都会向供货商购买制作好的硅晶圆，很少从制作硅棒开始。

晶圆的电特性及机械特性与晶面的方向及杂质的浓度和类型有关。在晶体生长过程中必须对这些可变参数进行严格控制，受控的杂质可以被加到纯硅中，这个处理过程也叫掺杂。这样做的结果可以改变硅的电特性，比如电阻率。另外也可以控制导电的载流子的性质，这些载流子既可以是空穴（在 p 型硅中），也可以是自由电子（在 n 型硅中），它们可以导电。如果加入了大量的杂质原子，这时的硅就称为重掺杂（比如浓度大于 10^{18} 原子/cm^3）。当要标定半导体器件的相对掺杂浓度时，我们可以加上“+”号或“−”号，重掺杂（低电阻率）的 n 型硅晶圆通常用 n+表示，

而轻掺杂的区域则用 $n-$表示。控制硅中的杂质类型和浓度的能力是形成二极管、晶体管和电阻的灵活集成形式的重要环节。

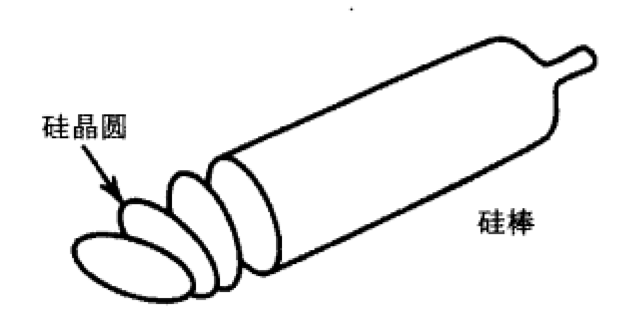


图 A.1　硅棒和晶圆片

A.1.2　氧化

氧化是指硅和氧气进行的化学反应，得到的是二氧化硅（SiO_2）。为加速反应过程，必须使用特殊的极其干净的高温炉（比如 1000℃~1200℃）。为了避免杂质（即使量很小也会严重影响硅的电特性）进入，必须保持在非常干净的环境中完成氧化反应。这个要求适用于集成芯片制造的每一个步骤。特别是制造场地都安装了空气循环过滤装置，所有相关人员都必须穿上特殊的防尘服。

参与反应的氧气可以是高浓度的气体形式（这个过程也称为"干氧化"），也可以是蒸气的形式（"湿氧化"）。通常，"湿氧化"具有较快的反应速度，但是"干氧化"的电特性更好。任何一种情况下得到的热生长氧化层的绝缘电特性都极好。SiO_2 的电介质强度是 10^7 V/cm，介电常数是 3.9，它可以成为非常好的电容器。如前所述，二氧化硅可以作为很好的掩膜以抵御杂质的入侵，因此杂质只能扩散到硅片上没有覆盖氧化物的特定区域中去。掩膜特性是大量生产 VLSI 器件的必备要求之一。

二氧化硅是一种很薄的透明薄膜，硅表面的反射率很高。当有一束白光照射到已经氧化了的晶圆表面时，会产生某一种特定颜色的反射光。反射光的波长取决于氧化层的厚度，事实上，人们是根据晶圆表面反射光的颜色来确定氧化层厚度的。同样的原理还被应用在精密的光学测量仪器上以测量薄膜的厚度。在晶圆处理过程中会有不同区域具有不同氧化层厚度的情况，由于相应的反射光也十分明显，所以人们用眼睛就能很快分辨出晶圆厚度的变化。

A.1.3　扩散

扩散是指原子从高浓度区域通过半导体晶体移动到低浓度区域的过程。该过程与一滴墨水滴到一杯水中的扩散过程相同，只是在固体里的扩散过程相当慢。在制造过程中，可通过把杂质原子（杂质）扩散到硅材料中的方法来改变材料的电阻率。硅中杂质扩散的速度与温度有密切的关系。通常，扩散是在高温下（1000℃~1200℃）进行的，这样可以得到所需的杂质分布曲线。当晶圆的温度降到室温时，杂质就基本被"冻结"在所处的位置上。扩散过程在高温炉中完成，这与氧化过程很相似。杂质扩散到硅中的深度和扩散时的温度以及扩散时间的长短有关。

最常用的杂质材料是硼、磷和砷。硼是 p 型杂质，而磷和砷都是 n 型杂质。这些杂质都可以有效地被很薄的二氧化硅层掩蔽。如果在 n 型衬底中再扩散硼，就可以产生 pn 结（二极管）了。如果杂质浓度相当高，扩散层同样也可以作为导体来使用。

A.1.4　离子注入

离子注入是另外一种把杂质原子加到半导体晶体中的方法。离子注入器可产生所需的离子，并在电场的作用下对离子进行加速，使这些离子去碰撞半导体的表面，因此这些离子就会嵌入到晶体的晶格结构中。离子穿透晶体的深度与离子束的能量有关，该能量受电场加速器电压的控制。

注入的离子数量可以通过改变波束电流（离子的流动）来控制。由于电压和电流的控制可以做得非常精确，因此离子注入方法得到的杂质浓度分布要比扩散方法得到的精确得多。此外，离子注入技术可以在室温下实现，对器件的杂质分布要求比较精确的时候，一般采用离子注入技术。

A.1.5 化学气相沉积

化学气相沉积（CVD，chemical-vapor deposition）是硅和气体或者蒸气进行化学反应并在衬底上产生固态物质的过程。CVD 可以用于在硅衬底上沉积多种物质，例如 SiO_2，Si_3N_4 和多晶硅。比如允许硅烷和氧气在硅衬底上进行反应，最终的产品（二氧化硅）就会以固态薄膜的形式沉积在晶圆硅的表面。采用 CVD 方法得到的氧化层的电特性不如热生长氧化方法得到的好，但是作为电绝缘材料还是绰绰有余的。CVD 方法的好处在于氧化物沉积的速度很快，而且可以在低温下实现（低于 500℃）。

如果单独使用硅烷气体，那么晶圆表面沉积的就是一层硅。如果反应时的温度足够高（超过 1000℃），则沉积层是晶体层（假设有暴露的晶体硅）。这层物质也叫外延层，相应的沉积过程也称为外延生长，不用 CVD 表示。在温度较低或者衬底表面不是单晶硅的情况下，原子是不会沿着相同的晶格方向排列的，这层物质就叫多晶硅，因为它由许多很小的晶体硅组成，且各个晶体硅的晶格方向是任意的。

A.1.6 金属化

金属化的目的是在各个不同的元件之间实现内部连接，形成所需要的集成电路。金属化包括整个硅表面最初的金属沉积，内部连接是有选择地进行刻蚀后完成的。金属层正常情况下是通过溅射的过程沉积下来的。一片纯度很高（例如 99.99%）的铝片被放置在氩离子枪下，氩离子枪被置于真空箱中。晶圆也同样被放置在箱内的靶子上，氩离子不与金属发生作用，因为氩气是惰性气体，但是它的离子会轰击靶子并逐个敲击出金属原子，这些金属原子会充满整个真空箱，其中也包括晶圆的表面。金属膜的厚度可以通过溅射时间的长短加以控制，通常的溅射时间是 1 分钟到 2 分钟。

A.1.7 光刻

不同集成元件的几何表面被定义为照相版图。首先用旋转涂抹技术在晶圆表面覆盖上一层感光层（也叫光致抗蚀剂或光阻），然后放上带有图形的感光板（比如，带有铬图案的石英板），在紫外线的照射下，感光板会有选择地根据图形曝光光阻材料，被曝光的光阻材料会变软（对正光阻而言），然后利用化学显影剂把已曝光的这层材料去掉，结果掩膜图形就出现在晶圆上。利用这种技术可以非常精确地划定表面的几何形状。光刻技术需要用到 VLSI 制造工艺中一些最昂贵的设备。现在，我们已经接近了光刻工艺的物理极限。利用深紫外线和电子束技术确定的图形能够达到 50 nm，但是要得到更小的几何尺寸，一定要采用另外的技术。

带图形的光阻层还可以有效地作为掩膜来屏蔽化学刻蚀和离子刻蚀过程中带来的杂质，采用刻蚀技术可以有选择地去除相应的二氧化硅、氮化硅、多晶硅和金属层。刻蚀程序完成后，光阻层会被去除，从而留下永久的图形，这些图形在硅芯片的表面形成光掩膜图像。

光刻过程极具挑战性，许多掩膜层（在先进的 VLSI 制造工艺过程中一般会超过 20 层）必须很精确地一层一层放置，它的精确度要比相应的掩膜图形的最小尺寸还要高，这个要求使光刻设备中机械和光学之间具有更紧密的约束关系。

A.1.8 封装

已经完成的晶圆上一般都含有几百个甚至更多的电路或者芯片，每个芯片含有的晶体管数量

从 10 个到 10^8 个不等。芯片的形状是矩形，典型尺寸是 1 mm × 10 mm。电路首先要经过电测试（电路仍然在晶圆上），采用的方法是自动探针测试，性能不好的电路会被检测出来，然后电路被一个一个地分开（切割），好的电路（也称为裸片）被装配在一个封装块中，这样的 IC 封装例子见图 A.2。性能很好的导线通常被用于连接封装的管脚和裸片上的金属层。最后在真空或者惰性气体中用塑料和环氧树脂把封装块封起来。

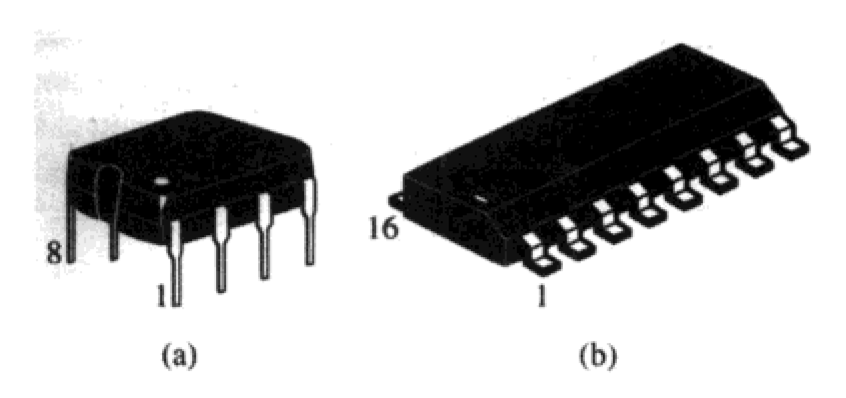


图 A.2　（a）双列 8 管脚塑料封装 IC 芯片（DIP）；（b）16 管脚表面贴片封装芯片（SOC），显示的比例要比（a）的大

A.2　VLSI 工艺

早期的集成工艺制造以双极型技术为主，但是到了 20 世纪 70 年代后期，金属–氧化物–半导体（MOS）技术在 VLSI 制造过程中逐渐被人们所重视。原因是它的集成度很高，功耗很小。从 20 世纪 80 年代早期开始，互补 MOS（CMOS）技术迅速发展起来，并几乎完全成为 VLSI 的主宰。而双极型技术则成为具有特殊功能的芯片，成为一种在数字的高速模拟和射频电路中使用的技术。在 20 世纪 80 年代后期，CMOS 工艺继续流行并且与双极型晶体管融和在一起，产生了高性能的双极型 CMOS（Bi-CMOS）制造工艺，它结合了两种技术的优点。但是 BiCMOS 工艺过程很复杂，代价也很大，因为该技术每实现一步，往往至少需要 15 层到 20 层掩膜，而标准 CMOS 工艺只需要 10 层到 12 层掩膜。

CMOS 工艺和 BiCMOS 工艺的持续发展提供了很好的版图解决方案。但是工艺技术和半导体特性的最基本限制还是提出了这样的需求：需要对其他材料进行研究。现在已经出现了硅锗（SiGe）和应变硅技术，它可与现存的基于硅的 CMOS 工艺兼容，同时还能提高性能。

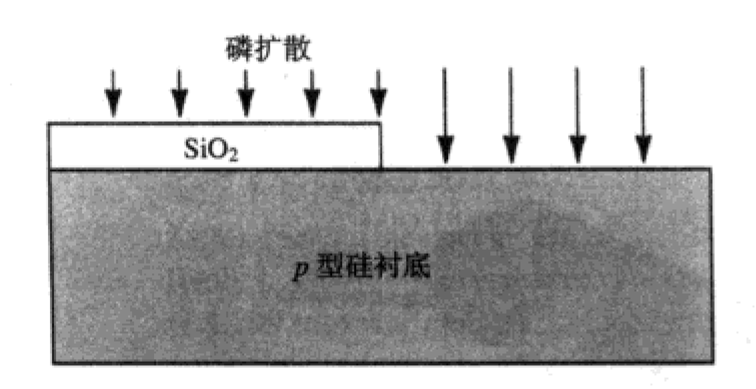
在接下来的几个子小节中，我们依次介绍现代 IC 制造技术的三个方面的内容：典型的 CMOS 工艺流程、集成元件的性能以及包含双极型晶体管的 BiCMOS 工艺。

A.2.1　*n* 阱 CMOS 工艺

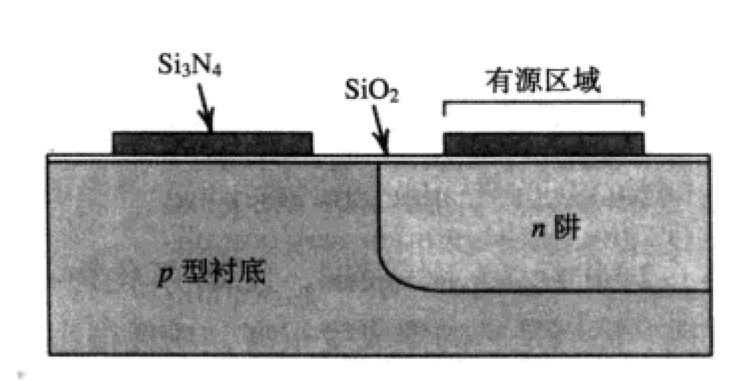
根据所选定的起始材料（衬底），CMOS 工艺过程可以被定义为 *n* 阱、*p* 阱和双阱，其中双阱既是最复杂也是最优的和最灵活的。除此以外，许多先进的 CMOS 工艺还采用了沟道绝缘和绝缘层覆硅（SOI）技术，从而可以减小寄生电容（为达到高速的目的），提高封装密度。

为简单起见，我们选择 *n* 阱 CMOS 工艺进行讨论。做这种选择的另外一个好处是它可以很容易地转到 BiCMOS 工艺上。图 A.3 给出了该工艺的典型流程，该流程最少需要 7 个掩膜层。但是，实际上大多数 CMOS 工艺流程还需要另外再增加几层，比如用于避免锁定的 *n* 和 *p* 保护层，与电容有关的第二多晶硅层，以及用于内部高密度连接的多层金属层。加上这些工艺流程，整个掩膜层将增加到 15 层到 20 层。

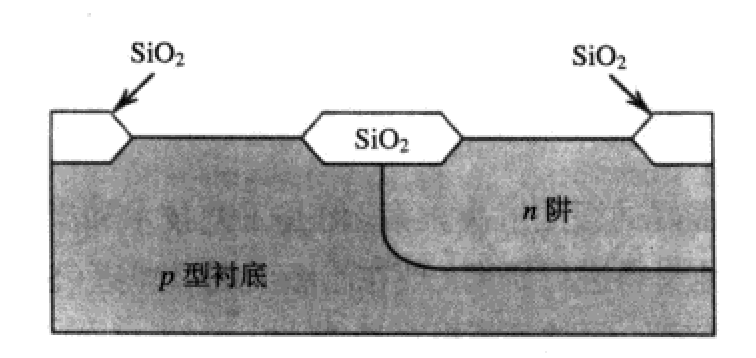
(a) 定义 *n* 阱扩散（掩膜#1）



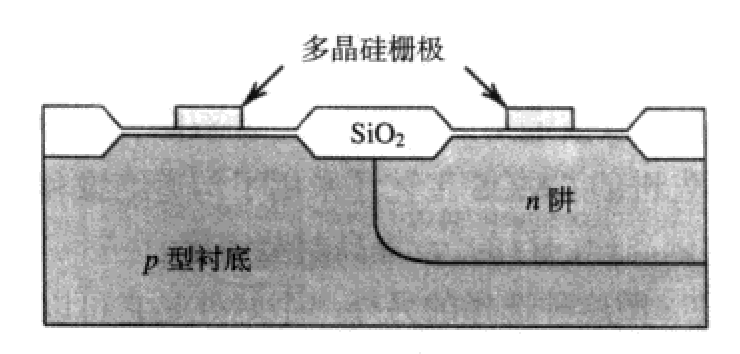
(b) 定义有源区域（掩膜#2）



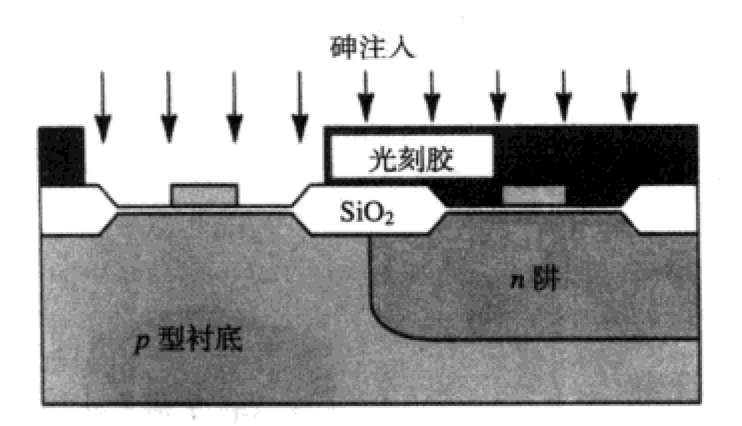
(c) LOCOS 氧化



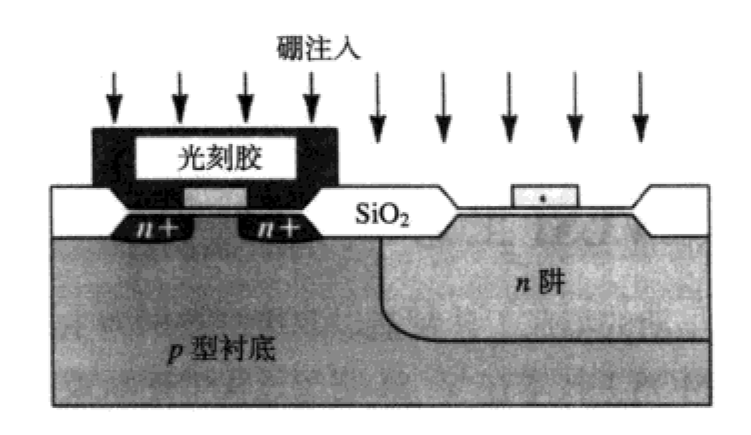
(d) 多晶硅栅极（掩膜#3）



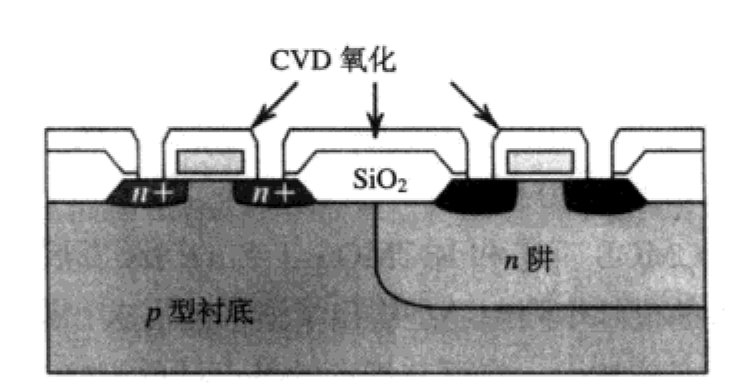
(e) *n*+扩散（掩膜#4）



(f) *p*+扩散（掩膜#5）



(g) 接触孔（掩膜#6）



(h) 金属化（掩膜#7）

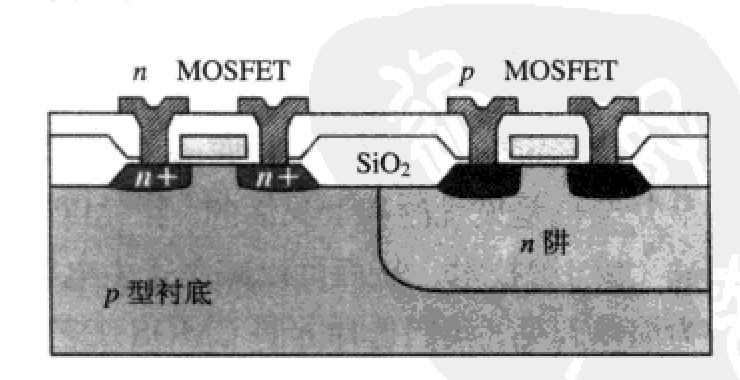


图 A.3　典型的 *n* 阱 CMOS 工艺流程：（a）定义 *n* 阱扩散（掩膜＃1）；（b）定义有源区域（掩膜＃2）；（c）LOCOS 氧化；（d）多晶硅栅极（掩膜＃3）；（e）*n*+扩散（掩膜＃4）；（f）*p*+扩散（掩膜#5）；（g）接触孔（掩膜＃6）；（h）金属化（掩膜＃7）

n 阱工艺的起始材料是 p 型衬底，首先进行的是 n 阱扩散［见图 A.3（a）］，这是放置 p 型 MOSFET 所必需的。厚的二氧化硅层被刻蚀掉后会露出进行 n 阱扩散的区域。没有露出的地方能够防止 n 型杂质磷的进入。通常，进行深度扩散需要用磷来完成，因为磷的扩散系数很大，扩散进入衬底的速度要比砷快。

第二步是确定有源区（放置晶体管的区域），采用的技术是本地氧化（LOCOS）。一层氮化硅（Si_3N_4）被沉积在表面，它和先前的 n 阱区域有对应的位置图形关系［见图 A.3（b）］，覆盖上氮化硅的区域不会被氧化。经过一段长时间的氧化过程后，一层很厚的氧化层就会出现在晶体管之间［见图 A.3（c）］，这层厚氧化层用于实现晶体管之间的隔离，同时保证在二氧化硅层上面形成内部连接层，从而避免了在硅表面产生导电沟道。

下一步是形成多晶硅栅极［见图 A.3（d）］，这是 CMOS 工艺中非常关键的一步。有源区的薄二氧化硅层首先被浸蚀掉，然后再生长一层薄的高质量的栅极氧化物。现在的 0.13μm 和 0.18μm 工艺中，二氧化硅层的厚度只有 20 Å 和 50 Å（1 Å = 10^{-8} cm）。接下来再确定区域沉积多晶硅层，通常情况下掺入砷（n 型）。这一步必须要进行光刻，因为最好的解决方案要求产生的 MOS 管的沟道长度应尽可能短。

多晶硅栅极是自对准结构，比过去的金属栅极结构要好。掺入浓度很高的砷可形成 n 型-MOS 管的 n+源区和漏区。多晶硅层对掺入的杂质还起到了阻碍作用，可以保护沟道区域。光阻材料［见图 A.3（e）］覆盖在需要形成 p 型 MOSFET 的区域，厚氧化层阻止了杂质的扩散，防止在有源区域外形成 n+区。在 p 型 MOSFET［图 A.3（f）］的 p+硼扩散形成源区和漏区的过程中，左边的光阻对 n+ MOSFET 起保护作用。两种情况下扩散形成的源区和漏区被沟道隔开，沟道长度由多晶硅栅极掩膜单独确定，因而成为自对准结构。

在开过孔前，需要用 CVD 方法在整个晶圆上产生一层厚的氧化层，因此需要先放置光掩膜以确定过孔的位置［见图 A.3（g）］，然后进行干（或湿）氧化蚀刻。接下来用蒸气或溅射方法在晶圆上形成一层薄薄的铝层，最后放置掩膜并蚀刻以形成内部连接［见图 A.3（h）］。

封装和连线之前的钝化流程没有在此描述。一般来说，还应在晶圆上覆盖一层厚 CVD 氧化物或玻璃，它们起保护层的作用。

A.2.2 集成元件

除了明显的 n 沟道和 p 沟道 MOSFET 以外，还有另外一些元件可以通过对掩膜层的操作得到。这些元件包括 pn 结二极管、MOS 电容和电阻。

A.2.3 MOSFET

n 沟道 MOSFET 的性能比 p 沟道 MOSFET 要好（见图 A.4）。n 沟道器件的表面电子迁移率是对应器件的空穴迁移率的 2~4 倍。当器件尺寸（W 和 L）相同时，n 沟道器件可提供更大的驱动电流（或者更小的导通电阻）和更高的跨导。

在设计集成电路时，MOSFET 通常是用开启电压和器件尺寸来确定特性的，n 沟道和 p 沟道器件的开启电压对特定工艺而言其幅度基本相同，但是跨导可以通过调整器件的几何尺寸（W 和 L）加以改变。这个特性不适合双极型晶体管，可见集成 MOSFET 电路的设计具有更大的灵活性。

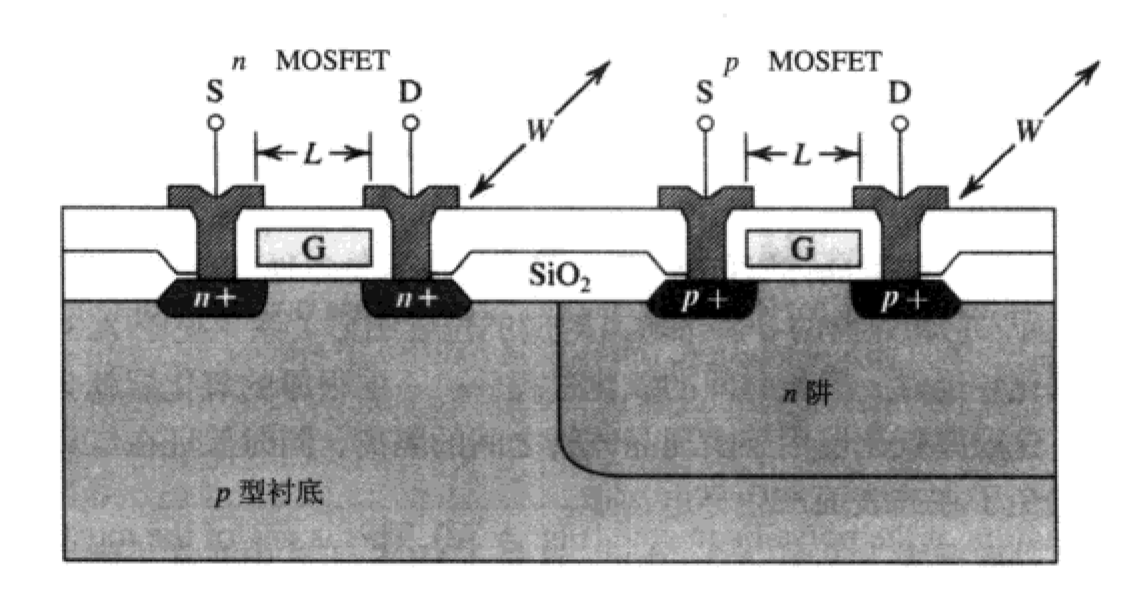


图 A.4 n 沟道和 p 沟道 MOSFET 的横截面图

A.2.4 电阻

集成电阻的阻值不是很精确。它们可以来源于多种扩散区域，如图 A.5 所示。不同扩散区域具有不同的电阻率。n 阱通常用来形成中等阻值的电阻，而高掺杂的 n+区和 p+区则用来形成低阻值的电阻。确切的电阻值可以通过改变扩散区域的宽度和长度得到，电阻阻值的容差通常很差（为 20%到 50%），但是两个阻值近似的电阻匹配起来的效果却很好（5%），因此电路设计者在设计电路的时候应该尽量选用匹配的电阻，避免采用具有确定电阻值的电阻。

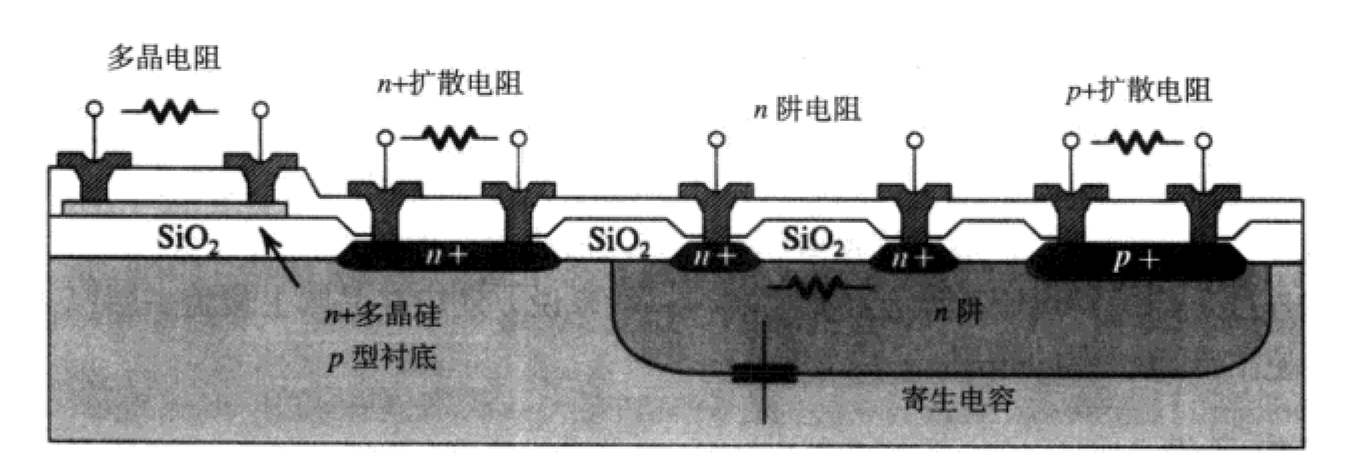


图 A.5 利用典型 n 阱 CMOS 工艺得到的各种集成电阻的剖面图

所有的扩散电阻都被其反偏 pn 结相互隔离了，但是这些电阻都有一个很严重的缺点，即它们都伴有寄生结电容，从而严重影响了它们在高频时的应用。反偏 pn 结还呈现出 JFET 的效应，即当施加的电压发生变化时，电阻阻值也会发生变化（大电压系数是不希望出现的）。由于载流子的迁移率与温度有关，因此扩散电阻都具有一定的温度系数。

更有用的电阻采用在厚氧化物层上覆盖多晶硅层实现。薄多晶硅层提供了比较好的表面区域匹配，因而具有更精确的电阻比值。此外，多晶电阻和衬底是分开的，所以它的寄生电容和电压参数都相当小。

A.2.5 电容

利用 CMOS 工艺可以制造两种结构的电容：MOS 电容和多晶电容（也称 MIM——金属-绝缘体-金属电容）。它们的横截面结构如图 A.6 所示。中间的结构表示 MOS 栅极电容，它是 MOS 管最基本的栅源电容，其值取决于栅极的面积。氧化层的厚度等于 MOS 管中的栅极氧化

层的厚度，该电容表现出较大的电压依赖性。为了消除这种依赖性，可在电容的下极板再增加一层 n+杂质，如图中最右边的结构。两种电容都与衬底有物理接触，因此下极板都呈现出较大的 pn 结寄生电容。

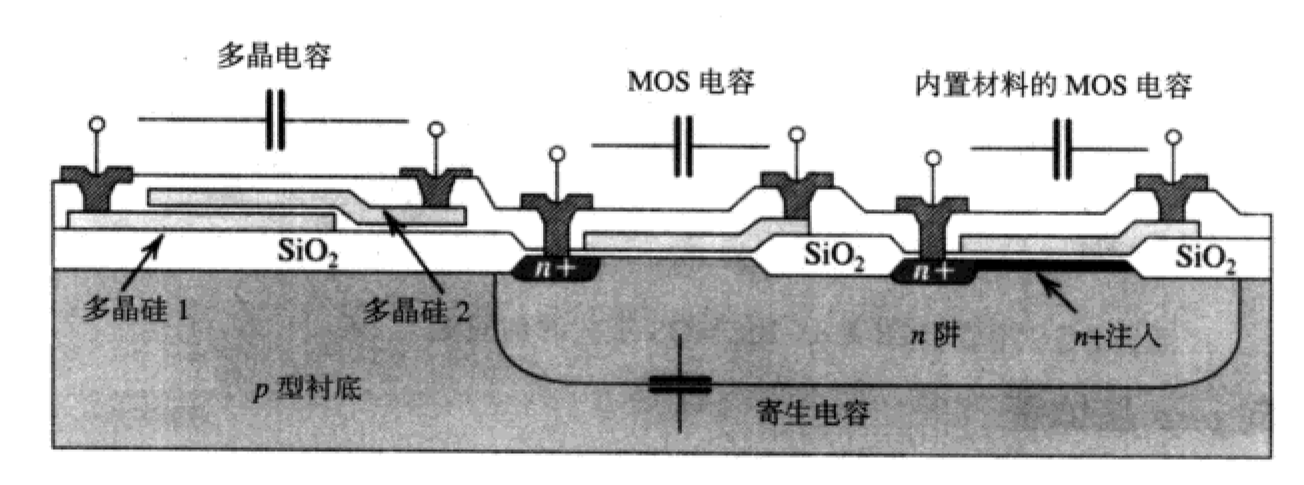


图 A.6　利用 n 阱工艺得到的多晶和 CMOS 电容

多晶电容接近于理想电容的特性，但是需要在 CMOS 工艺中包括第二次多晶硅层的流程。由于电容放置在厚场氧化层的上面，因此寄生效应很小。

第三种（也是很少使用的）电容是结电容。任何反偏 pn 结的耗尽区如同位于 p 区和 n 区之间的电介质，电容量由几何尺寸和掺杂浓度确定，电压系数很大。这类电容通常作为调谐电路中的变容二极管（容量可变的电容），但是只能在反偏电压下工作。

MOS 电容和多晶电容的电容量可以控制在 1%以内。实际使用的电容的电容量在 0.5 pF 到几十 pF 之间。相同尺寸的匹配电容的电容量的偏差在 0.1%以内。这个特性对精密的模拟 CMOS 电路设计非常有用。

A.2.6　*pn* 结二极管

当 p 型和 n 型扩散区域紧邻在一起时就产生了 pn 结二极管。n 阱二极管是一种有用的结构，参见图 A.7。在 n 阱中制造的二极管的击穿电压非常大，是输入钳位电路用于防止静电放电的必备器件。作为片内温度传感器的二极管也很有用，它可以检测正向压降的变化。

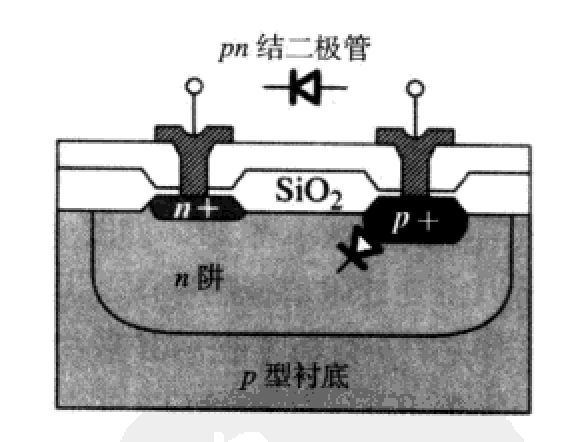


图 A.7　利用 n 阱工艺得到的 pn 结二极管

A.2.7　BiCMOS 工艺

在 n 阱 CMOS 工艺流程中增加一次 p 型基区扩散（见图 A.8）就可以在 n 阱中集成纵向 npn 双极型晶体管。晶体管的特性取决于基区宽度和发射区面积。基区宽度由 n+和基区 p 扩散的深度差决定，发射区的面积由发射区 n+扩散形成的结面积决定。n 阱作为 npn 晶体管的集电极。npn 晶体管的典型β值在 50 到 100 之间，截止频率高于 10 GHz。

一般情况下，晶体管中有一层用于降低集电极串联电阻的 n+掩埋层，因为 n 阱的电阻率非常高，引入 p 型外延层将增加工艺的复杂度（多一道掩膜流程）。双极型晶体管的其他一些变化包括采用多发射极的结构和基极自对准来减小寄生效应。

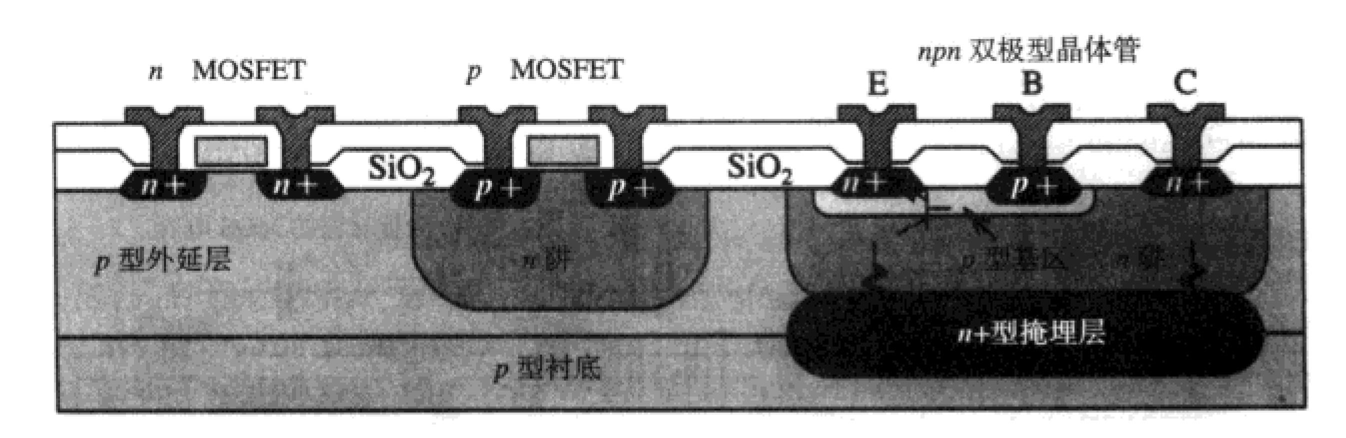


图 A.8 BiCMOS 工艺的剖面图

A.2.8 横向 *pnp* 晶体管

大多数 BiCMOS 工艺都不能获得性能较好的 *pnp* 晶体管，这给电路设计在某种程度上带来了很大困难。但是，对要求不高的电路，寄生横向 *pnp* 晶体管还是可以用的（见图 A.9）。

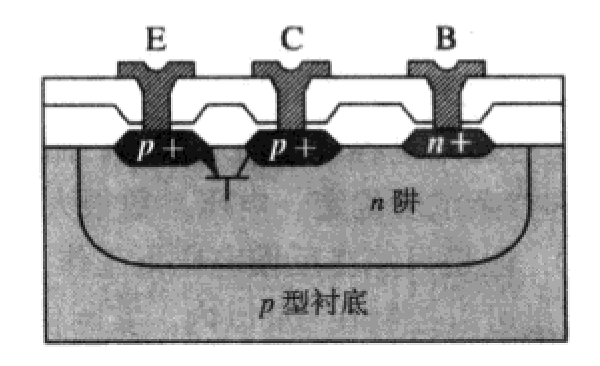


图 A.9 横向 *pnp* 晶体管

这时的 *n* 阱就成为 *n* 型基区，其 *p*+扩散可得到发射区和集电区。基区宽度由两个分开的 *p*+扩散区确定。由于无法对集电结进行掺杂浓度分布曲线的最优化处理，所以得到的晶体管性能比较差，β 的典型值在 10 左右，截止频率也很低，原因在于基区宽度受到最小光刻尺寸的限制。

A.2.9 基区 *p* 电阻和夹层电阻

在 BiCMOS 工艺中再增加一次基区 *p* 扩散流程便可得到另外两种结构的电阻。基区 *p* 扩散用于形成简单的基区 *p* 电阻，如图 A.10 所示。由于基区的掺杂浓度相对比较低，结的深度值也适中，所以得到的阻值也属中等（几千欧）。如果要得到阻值很大的电阻，需采用基区夹层电阻。它的结构是：*p* 型基区被 *n*+扩散物占据了一部分，从而压缩了原来的导电通道。这样得到的电阻阻值一般在 10 kΩ到 100 kΩ之间。同我们前面讨论过扩散电阻一样，这种电阻的容差特性和温度特性都比较差，但是匹配性较好。

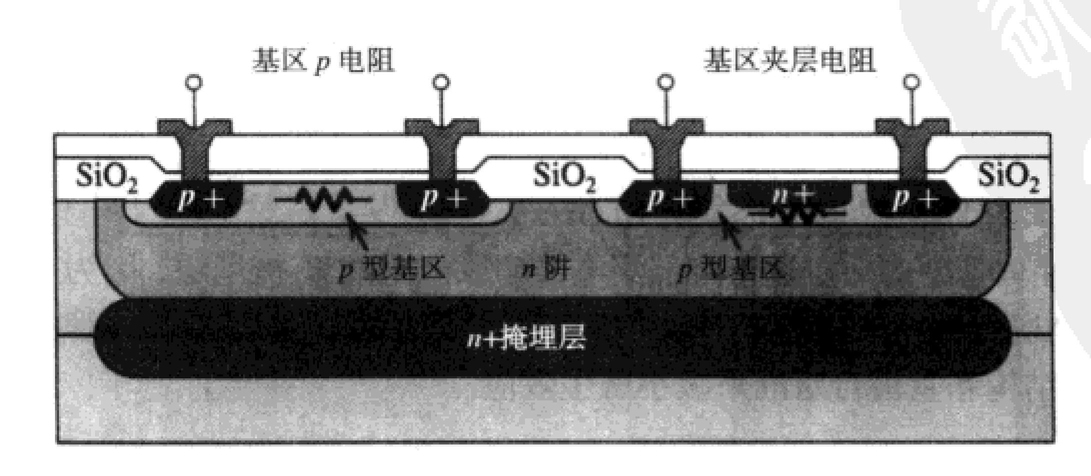


图 A.10 基区 *p* 电阻和基区 *p* 夹层电阻

A.2.10 硅锗 BiCMOS 工艺

随着无线应用的出现，人们对高性能、高速度的射频集成电路的需求在急速增加。但是由于材料本身物理特性的限制，以硅为主的集成工艺技术无法与昂贵的 III–V 复合技术（比如砷化镓）竞争。如果把锗（Ge）并入硅（Si）的晶面中且必须控制锗的总量（典型值不超过 15%摩尔），则这时的禁带宽度会发生变化。工程师们可以设定锗的浓度分布曲线，使禁带宽度从纯硅的区域向硅锗的区域逐渐下降。禁带宽度的下降使内建电场能够帮助载流子运动，因而提高了运行时的速度。硅锗双极型晶体管可以取得相当高的截止频率（比如，50 ~70 GHz），而且它的另外一个好处是硅锗工艺可以与现在的硅制造工艺兼容，从而保证芯片的性价比很高。

仅仅利用硅锗材料本身的特性还不够，双极型晶体管还在结构上做了一些修改以进一步降低寄生电容（对高速器件）的影响，提高注入效率（为了获得高增益）。对称的双极型器件的结构如图 A.11 所示。利用沟式隔离可以减小集电极位于 *n* 阱/*n*+掩埋层和 *p* 型衬底之间的边墙电容。发射结的尺寸和 *p*+基区接触区域的大小由自对准流程确定，目的是为了减小集电结（米勒）电容。这种类型的晶体管也称为异质结双极型晶体管（HBT），这是因为发射结是由两种不同材料组成的，发射区是多晶硅，基区是硅锗。异质结的注入效率要比同质结器件（传统的 BJT 器件）好很多，加上基区宽度只有 50 nm 左右，器件的电流增益很容易就能达到 100。另外，图 A.11 中没有画出的多层金属层可用于进一步减小器件尺寸和内连接电阻。所有这些器件性能都是硅锗材料速度性能的必要补充。

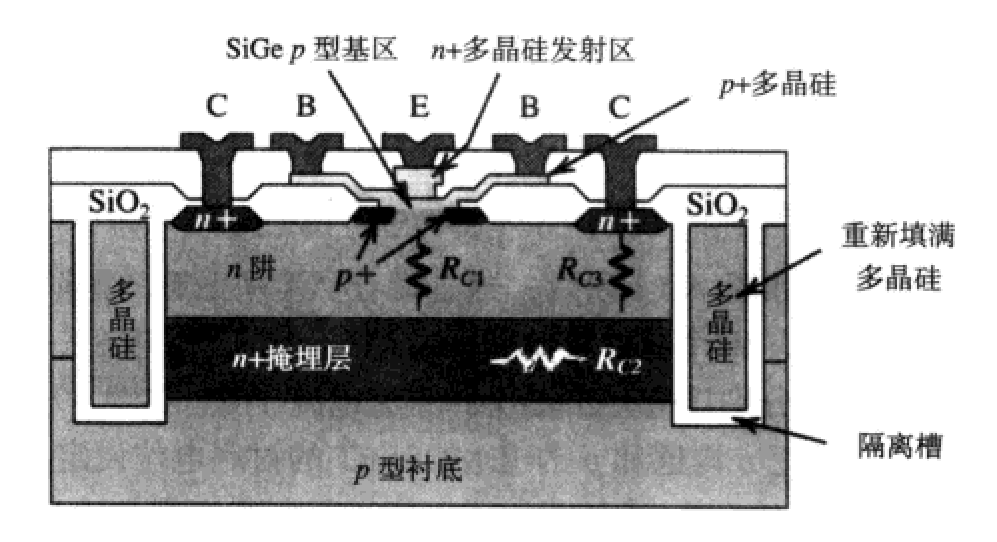


图 A.11 对称自对准异质结 *npn* 双极型晶体管剖面图

A.3 VLSI 版图

每一个设计好的电路图都必须转换成版图，即代表电路元器件和内部连接关系的几何尺寸图。当计算机辅助设计工具（CAD）出现以后，从电路图到版图转换的大多数步骤都以半自动或全自动方式实现。但是，任何一个好的混合信号 IC 设计者都必须有一点全定制版图的经验。我们用一个 CMOS 反相器版图来说明相应的转换步骤。

同印刷线路板需要减少交叉连线一样，电路首先要被平展和重画，以便消除所有交叉连线。每一个工艺步骤都由多个特定的掩膜层集合而成，在这个例子中，采用的是 7 层掩膜层。每一层都分配惟一的一种颜色并填充图形，从而可以在计算机屏幕和彩色打印图纸上加以识别和区分。我们以晶体管的放置作为开始。为便于说明（见图 A.12），*p* 型和 *n* 型 MOSFET 放置时的位置和电路图上的位置基本相似。实际上，电路设计者有很大的选择最有效面积的版图空间。MOSFET 的区域由有源区和“多晶硅 1”交叠层决定，MOS 管的沟道长度和宽度分别由“多晶硅 1”的条

形宽度和有源区的宽度确定。p 沟道的 MOSFET 被包围在 n 阱中。对复杂电路会使用多个 n 阱来放置不同组的 p 沟道 MOSFET。n 沟道 MOSFET 包含在 n+扩散掩膜层的里面，n+扩散形成源区和漏区，而 p 沟道 MOSFET 被包含在 p+扩散掩膜层内。放置过孔的区域要求与金属层相连接。最后，由“金属 1”层完成内部连接。

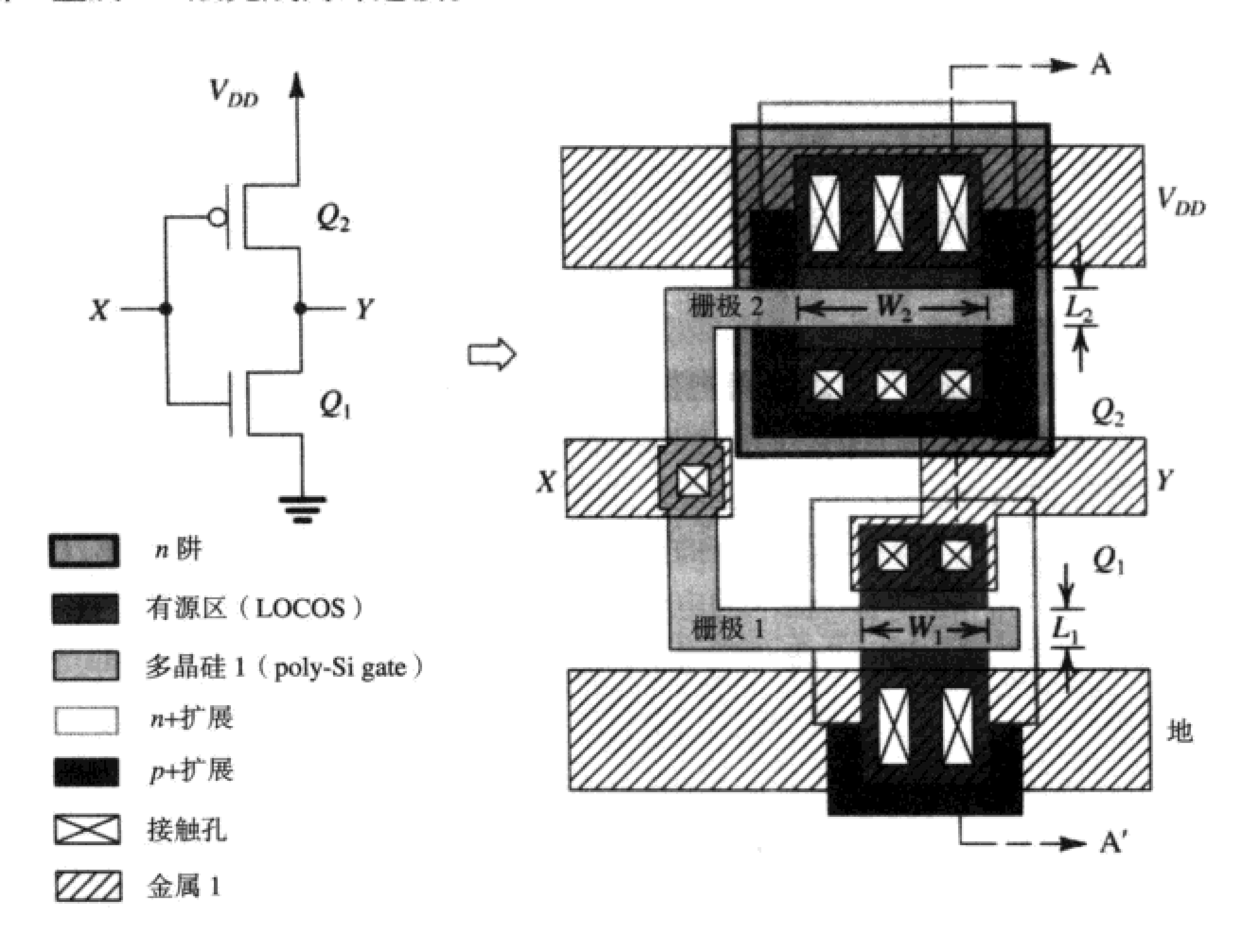


图 A.12　CMOS 反相器的电路图和版图

CMOS 反相器的相关横截面如图 A.13 所示，这是沿着 AA′平面看的图形。两个晶体管的多晶硅栅极连在一起，成为输入端 X；两个晶体管的漏极通过“金属 1”层连在一起，成为输出端 Y。n 沟道和 p 沟道 MOSFET 的源极分别接地（GND）和直流电源 V_{DD}。注意，相邻的 n+和 p+扩散区域采用邻接触方法，这样可以把 n 沟道和 p 沟道 MOSFET 的衬底电位设定在合适的电平上。

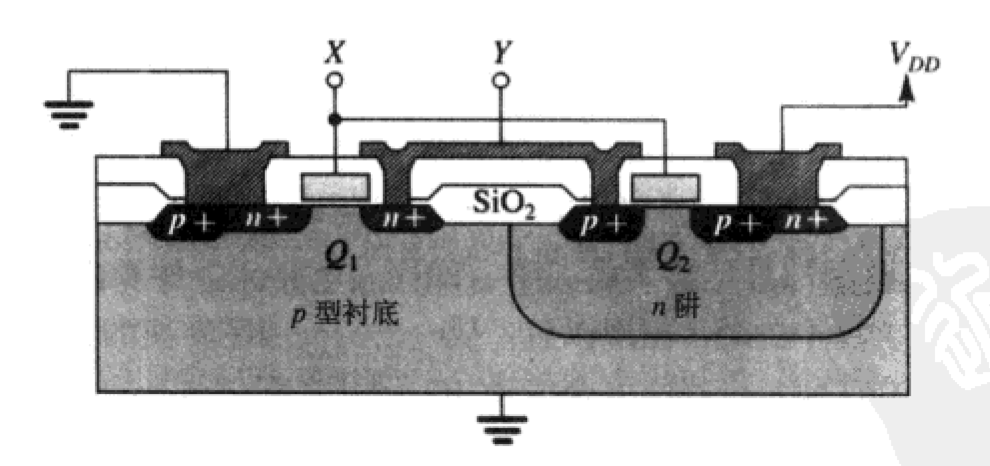


图 A.13　CMOS 反相器沿 AA′平面看的剖面图

当版图完成以后，电路必须采用合适的 CAD 工具进行验证，包括电路提取、设计规则检查和电路仿真。一旦验证通过，设计就被移交给掩膜制作设备完成下一步的制版工作。它是在玻璃或者石英照相底片上由图形生成器（PG 机器）一层接一层地画出几何图形，并使用不同的照相底片。当这些底片显影后，颜色较深的清楚的几何图形就出现在版图上了。图 A.14 给出的是 CMOS 反相器例子的一组照相底片。根据几何图形是作为窗口打开还是作为图形保留，决定是用“正”

还是用"负"图像（也就是图中"亮"和"黑"的区域）来表示底片。注意，这些掩埋层在处理时要顺序进行，每一步都必须在严格的容差范围内进行校准以形成晶体管和内部连接。当然，掩膜层数越多，校准的难度就越大。处理多掩膜层要求有更好的光刻设备，这样芯片占用的空间才会越小。然而每增加一层掩膜，就会反映在 IC 芯片的价格上，最终导致价格的增加。

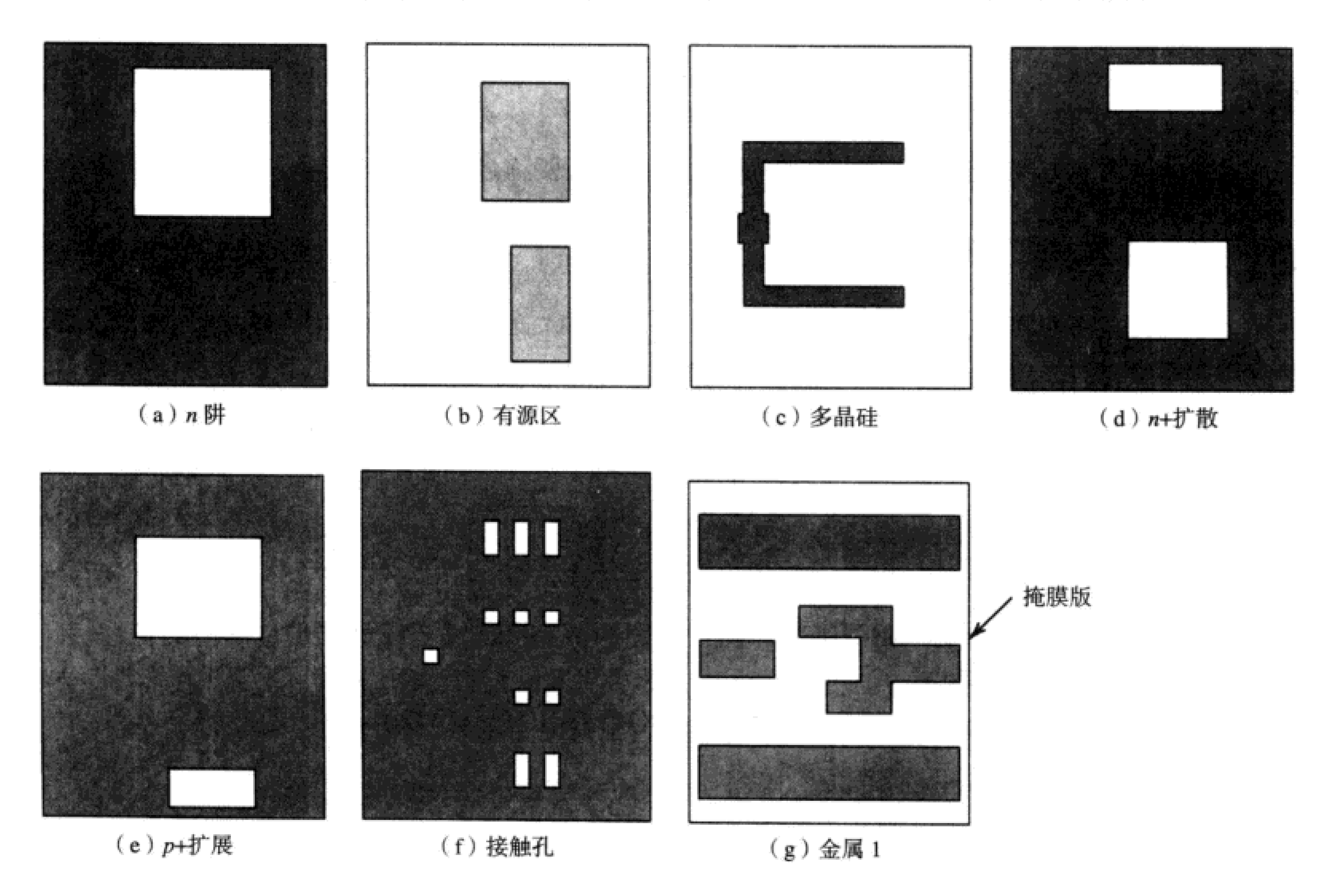


图 A.14　n 阱工艺 CMOS 反相器的一组光掩膜。注意，每一次都需要一个单独的底片：（a），（d），（e）和（f）的黑区域是掩膜；（b），（c）和（g）的亮区域是掩膜

小结

- 本附录简要介绍了 VLSI 集成工艺流程的相关内容，包括元件的特性、工艺流程及版图。这些并不代表先进的 VLSI 工艺。感兴趣的读者可以查阅有关这一主题的书籍以了解更详细的内容。

附录 B　二端口网络参数

引言

本书的许多地方都用到了几种可能的表征线性二端口网络的参数。本附录是有关该主题的总结。

B.1　线性二端口网络的描述

二端口网络（见图 B.1）有四个端口变量：V_1，I_1，V_2和I_2。如果二端口网络是线性的，我们可以用两个变量作为激励，另外两个变量作为响应。比如：将端口 1 的电压变量 V_1和端口 2 的电压变量 V_2作为激励，另外两个电流 I_1和 I_2则表示该网络的响应。这里，V_1和 V_2是自变量，I_1和 I_2是因变量，网络的工作特性可以用以下两个方程描述：

$$I_1 = y_{11}V_1 + y_{12}V_2 \tag{B.1}$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \tag{B.2}$$

这里的四个参数 y_{11}，y_{12}，y_{21}和 y_{22}都是导纳，它们的值完全描述了线性二端口网络的特性。

根据四个端口变量中的两个自变量的性质，即可得到一组描述网络特性的网络端口特性方程（以及相应的一组不同的网络参数）。下面我们将给出在电路里经常用到的四组参数。

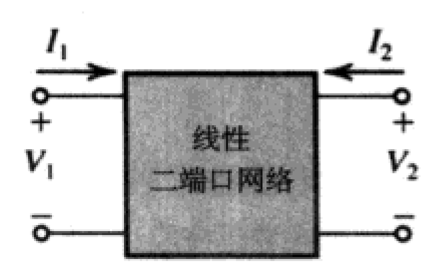


图 B.1　线性二端口网络的四个端口变量的参考方向

B.1.1　y 参数

短路导纳参数（或 y 参数）是把端口电压 V_1和 V_2作为网络激励信号而得到的，如图 B.2（a）所示。式（B.1）和式（B.2）是相应的描述方程。四个导纳参数是根据它们在式（B.1）和式（B.2）中的作用来定义的。

具体而言，从式（B.1）中我们知道参数 y_{11}定义为

$$y_{11} = \left.\frac{I_1}{V_1}\right|_{V_2=0} \tag{B.3}$$

即 y_{11}是端口 2 短路时端口 1 的输入导纳，图 B.2（b）给出了定义的图解，同时也给出了测量输入短路导纳 y_{11}的方法。

从式（B.1）我们可以得到 y_{12}的定义如下：

$$y_{12} = \left.\frac{I_1}{V_2}\right|_{V_1=0} \tag{B.4}$$

即 y_{12} 表示从端口 2 到端口 1 的传输特性。由于在放大器中，端口 1 通常代表输入端，端口 2 通常代表输出端，因此参数 y_{12} 表示的是网络的内部反馈，图 B.2（c）给出了 y_{12} 的定义和测量的图解。

从式（B.2）我们可以得到 y_{21} 的定义如下：

$$y_{21} = \left.\frac{I_2}{V_1}\right|_{V_2=0} \tag{B.5}$$

即 y_{21} 表示从端口 1 到端口 2 的传输特性，如果端口 1 是放大器的输入端，端口 2 是放大器的输出端，那么参数 y_{21} 其实提供了正向增益或者传输能力的测量方法，图 B.2（d）所示就是参数 y_{21} 的定义和测量的图解。

根据式（B.2），我们最后可以定义参数 y_{22}：

$$y_{22} = \left.\frac{I_2}{V_2}\right|_{V_1=0} \tag{B.6}$$

即 y_{22} 表示端口 1 短路时从端口 2 视入的导纳，对放大器而言，y_{22} 是输出短路导纳。图 B.2（e）给出了 y_{22} 的定义和测量的图解。

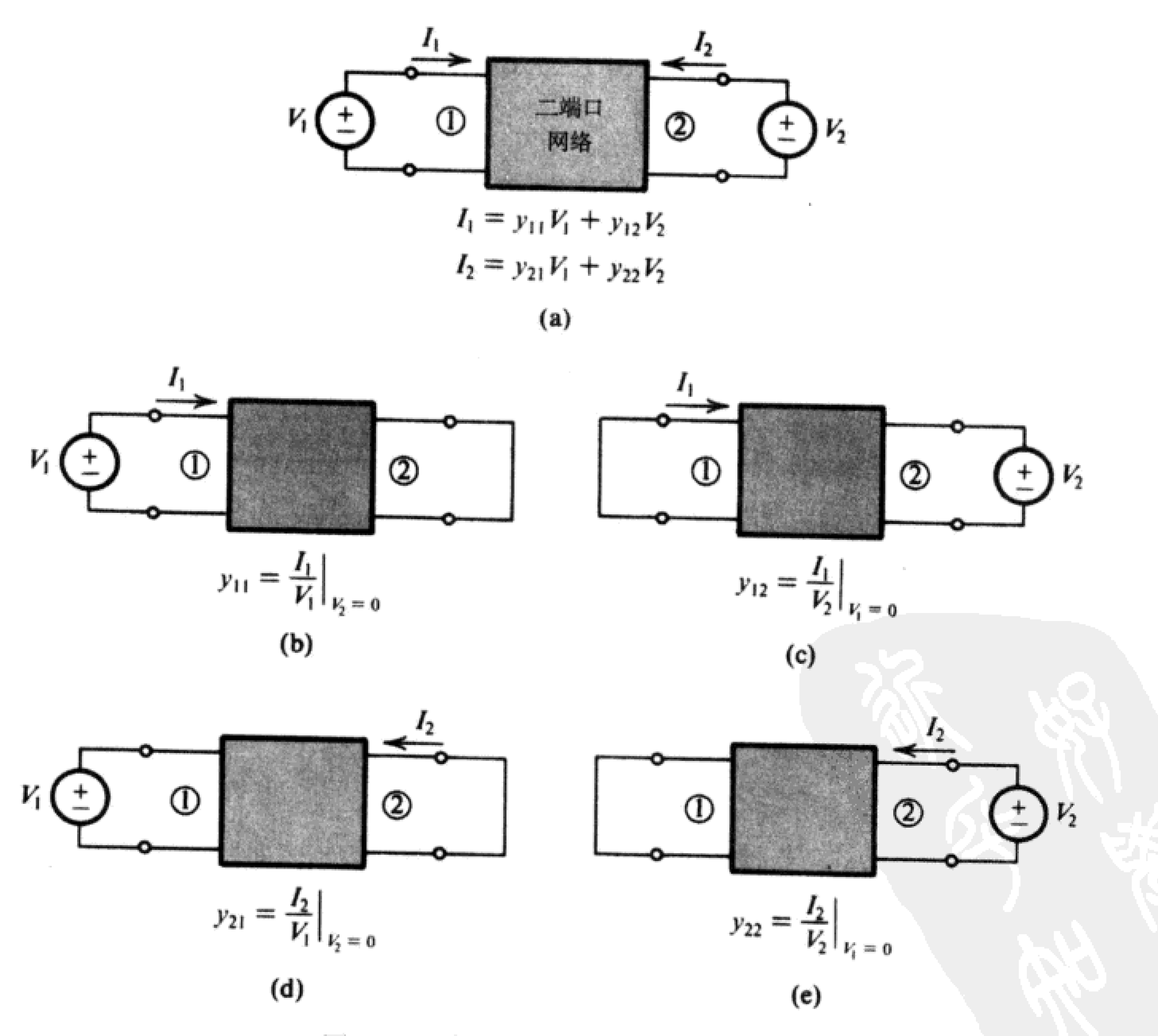


图 B.2　y 参数的定义和测量电原理图

B.1.2 z 参数

如果二端口网络的激励信号是电流 I_1 和 I_2，那么就可以用开路阻抗参数（或 z 参数）来描述网络特性，如图 B.3（a）所示，网络端口的特性方程为

$$V_1 = z_{11}I_1 + z_{12}I_2 \tag{B.7}$$

$$V_2 = z_{21}I_1 + z_{22}I_2 \tag{B.8}$$

根据 z 参数和 y 参数之间的对偶性质，我们不对 z 参数给出详细的讨论，有关四个 z 参数的定义和测量的图解参见图 B.3。

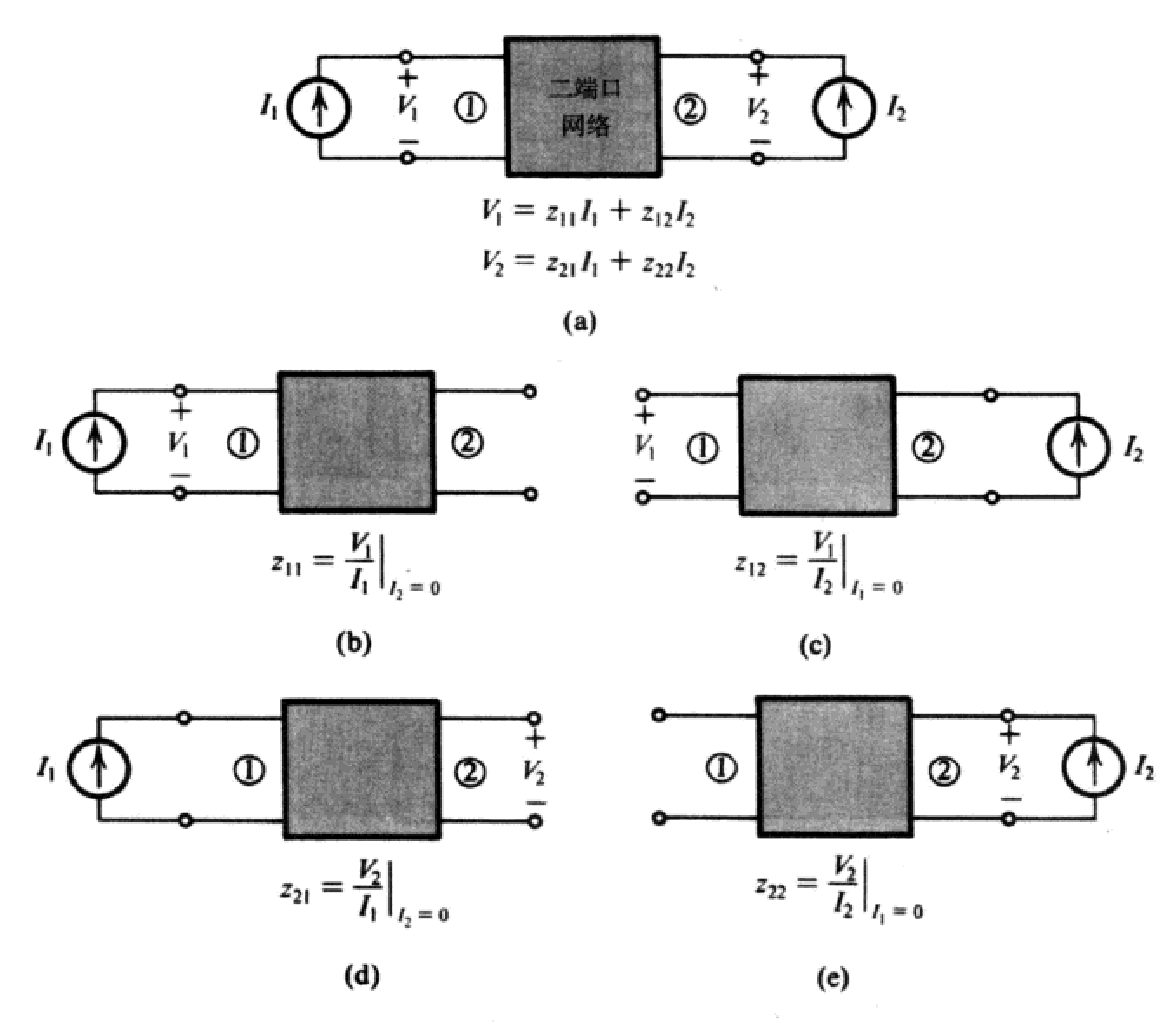


图 B.3　z 参数的定义和测量电原理图

B.1.3 h 参数

如果二端口网络的激励信号是电流 I_1 和电压 V_2，那么就可以用混合参数（或者 h 参数）来描述网络特性，如图 B.4（a）所示（注意用混合参数命名的原因）。网络端口特性方程为

$$V_1 = h_{11}I_1 + h_{12}V_2 \tag{B.9}$$

$$I_2 = h_{21}I_1 + h_{22}V_2 \tag{B.10}$$

从中可以得到 h 参数的定义如下：

$$h_{11} = \left.\frac{V_1}{I_1}\right|_{V_2=0} \qquad h_{21} = \left.\frac{I_2}{I_1}\right|_{V_2=0}$$

$$h_{12} = \left.\frac{V_1}{V_2}\right|_{I_1=0} \qquad h_{22} = \left.\frac{I_2}{V_2}\right|_{I_1=0}$$

即 h_{11} 是端口 2 短路时端口 1 的输入阻抗。参数 h_{12} 表示输入端口开路时的网络反向或者反馈电压传输系数，正向传输系数 h_{21} 表示输出端短路时的网络电流增益，所以 h_{21} 也称为短路电流增益。最后，h_{22} 表示输入端开路时的输出导纳。

图 B.4 所示的是 h 参数的定义和测量时的原理图。

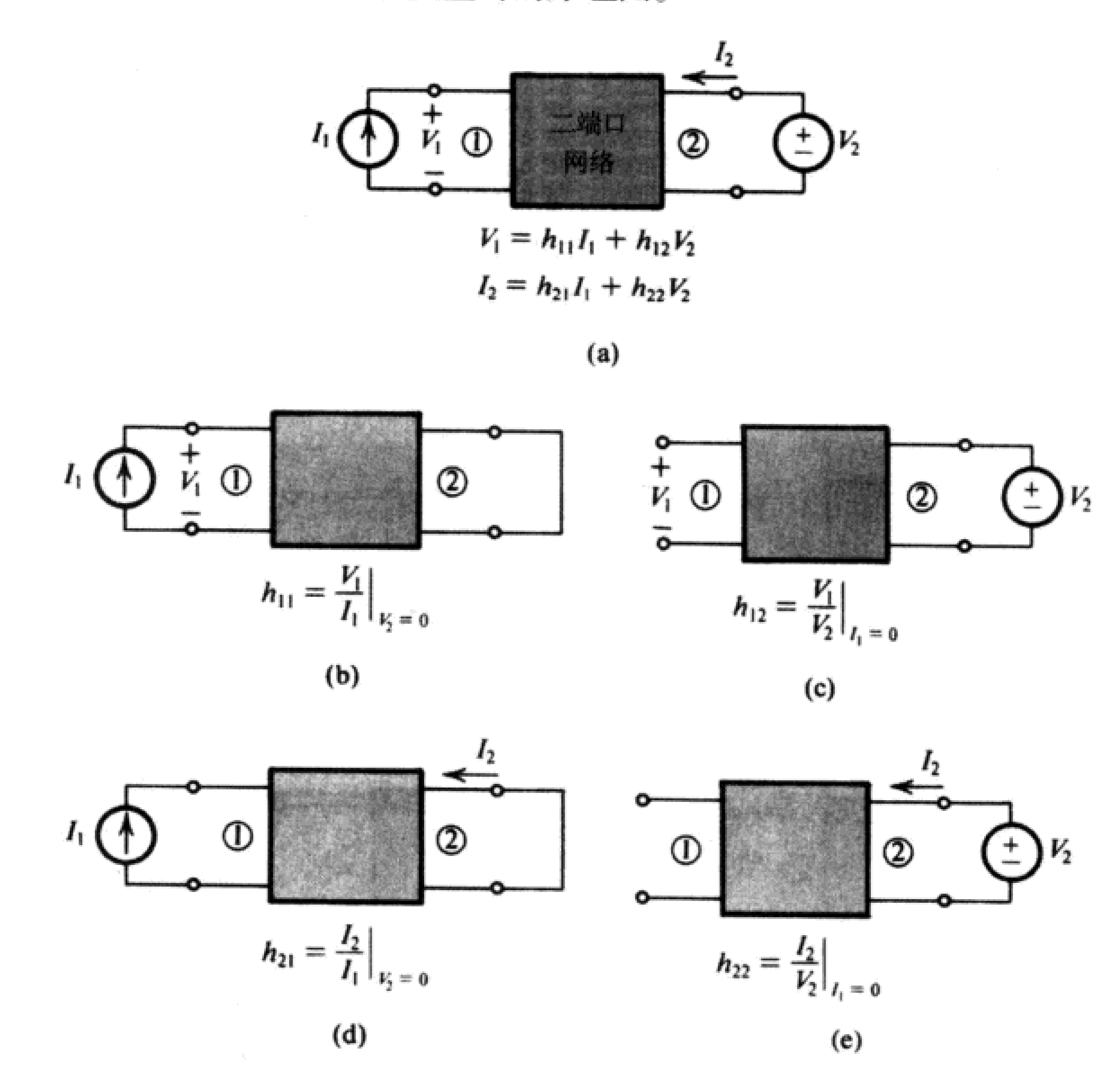


图 B.4　h 参数的定义和测量电原理图

B.1.4　g 参数

如果二端口网络的激励信号是电压 V_1 和电流 I_2，那么可以用反向混合参数（或 g 参数）来描述网络的特性，如图 B.5（a）所示。网络端口特性方程为

$$I_1 = g_{11}V_1 + g_{12}I_2 \tag{B.11}$$

$$V_2 = g_{21}V_1 + g_{22}I_2 \tag{B.12}$$

参数的定义和测量方法如图 B.5 所示。

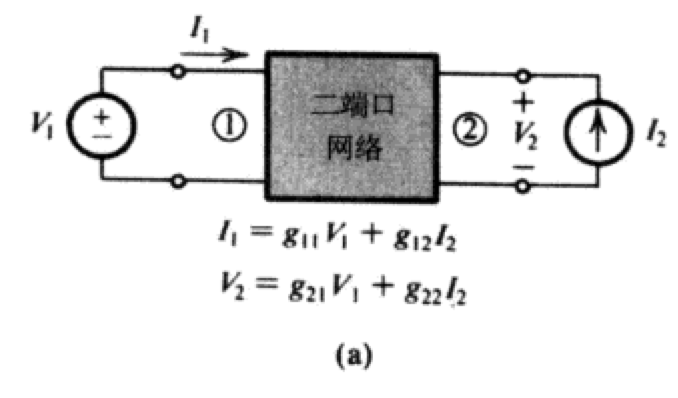


图 B.5　g 参数的定义和测量电原理图

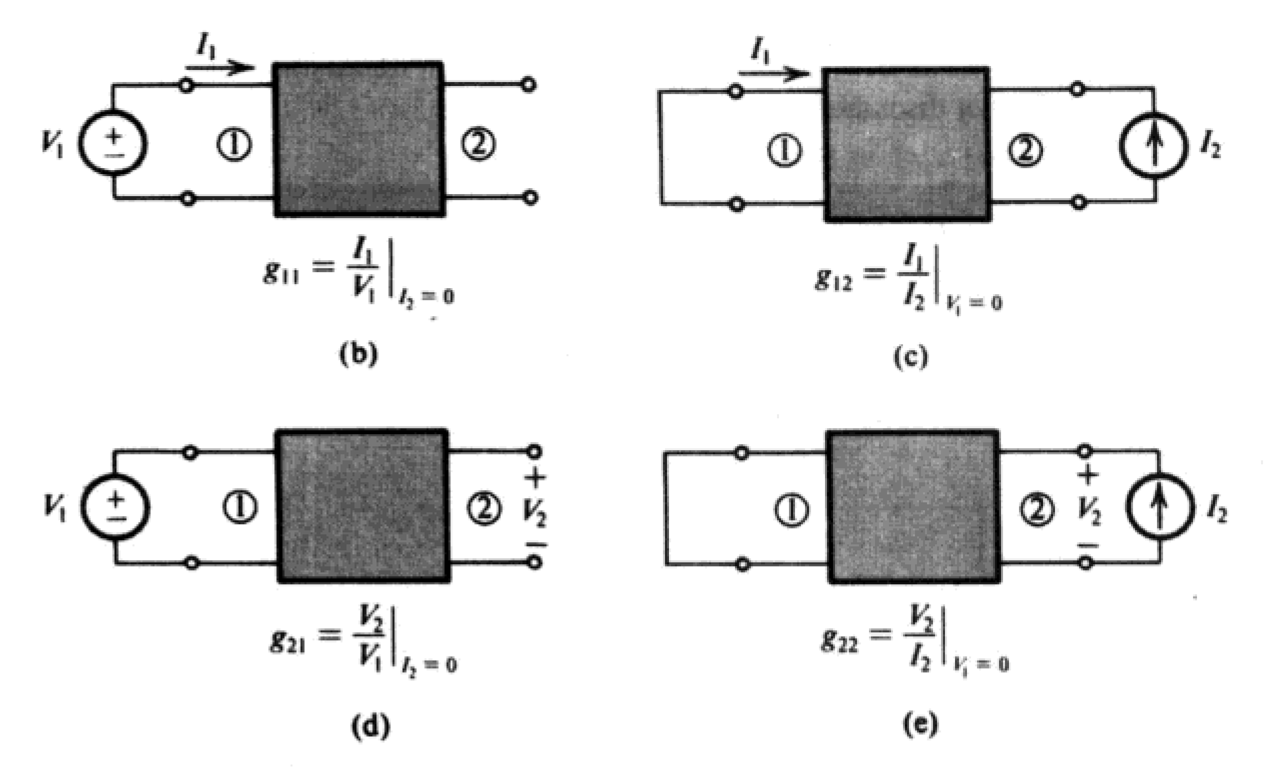


图 B.5（续） g 参数的定义和测量电原理图

B.1.5 等效电路表示

一个二端口网络根据所采用的网络端口特性方程可以用它的等效电路来表示。图 B.6 所示的是和前面讨论过的四组参数相对应的等效电路。每一个等效电路都是描述网络特性的两个方程的直接图解表示并对应于各自特定的参数。

最后需要指出的是此外还有另外的用于描述线性二端口网络的参数，但本书不会用到这些参数，所以也不在这里讨论。

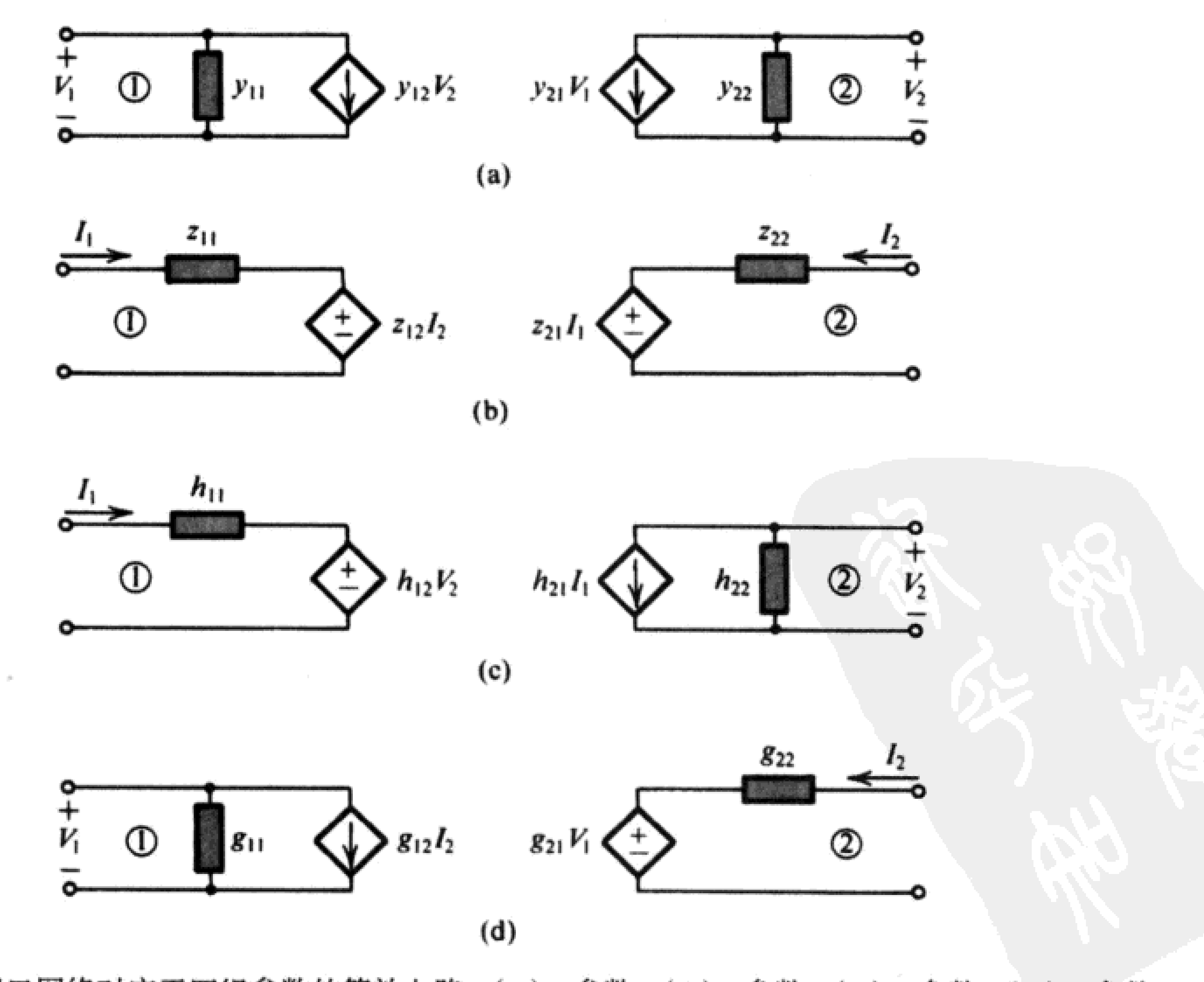


图 B.6 二端口网络对应于四组参数的等效电路：（a）y 参数；（b）z 参数；（c）h 参数；（d）g 参数

练习 B.1　图 EB.1 所示的是晶体管的小信号等效电路模型，计算 h 参数的值。

答案：$h_{11} \simeq 2.6\text{ k}\Omega$；$h_{12} \simeq 2.5\times10^{-4}$；$h_{21} \simeq 100$；$h_{22} \simeq 2\times10^{-5}\Omega$

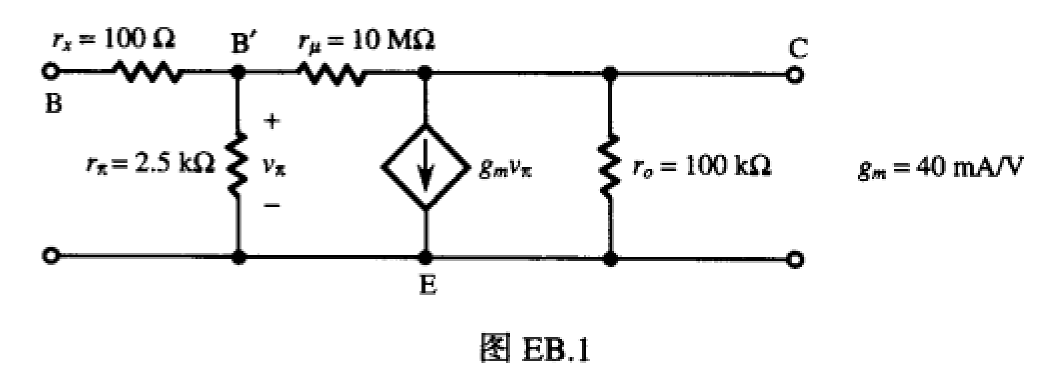


图 EB.1

习题

B.1　（a）放大器采用的是图 B.6（c）所示的 h 参数等效电路模型，电压源 V_s 是激励源，信源内阻为 R_s，负载电阻为 R_L。证明电压增益具有如下的表达式：

$$\frac{V_2}{V_s}=\frac{-h_{21}}{(h_{11}+R_s)(h_{22}+1/R_L)-h_{12}h_{21}}$$

（b）利用（a）推导得到的表达式，求练习 B.1 的晶体管电压增益，其中电阻 $R_s = 1\text{ k}\Omega$，R_L=10 kΩ。

B.2　测量得到一个二端口网络的端口特性如下：当输出端短路的时候，测得输入电流是 0.01 mA，输出电流是 1.0 mA，输入电压是 26 mV；当输入端开路，输出端加有 10 V 电压的时候，测得的输出电流是 0.2 mA，输入端的电压是 2.5 mV。求网络的 h 参数值。

B.3　图 PB.3 所示的是晶体管的高频小信号等效电路（为简单起见，忽略电阻 r_x）。求 y 参数。

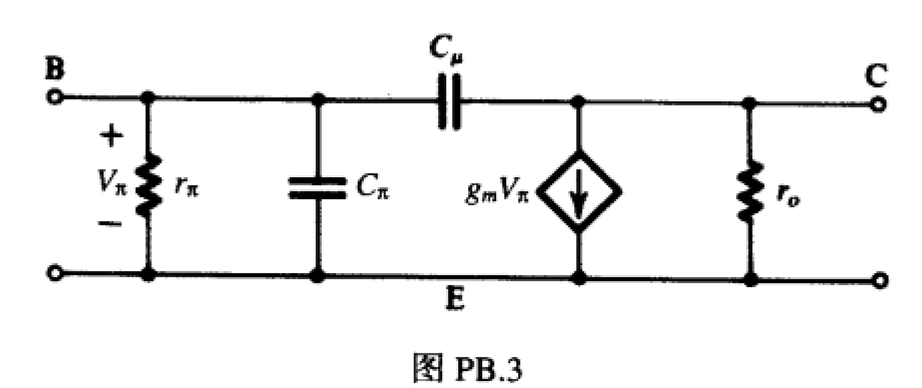


图 PB.3

附录 C　一些有用的网络定理

引言

本附录将回顾三个有用的网络定理，它们在简化电子电路的分析过程中非常有用。这三个定理是戴维南定理、诺顿定理和源吸收定理。

C.1　戴维南定理

戴维南定理用来把网络的一部分表示成一个电压源 V_t 和一个阻抗 Z_t 相串联的形式，如图 C.1 所示。图 C.1（a）所示的是把一个网络分成 A 和 B 两个部分。在图 C.1（b）中，网络的 A 部分已经进行了戴维南等效：电压源 V_t 和串联阻抗 Z_t。图 C.1（c）给出的是如何确定 V_t 的图解：即将网络 A 部分的两个端点开路，测量（或计算）两端点之间的电压。为了确定 Z_t，我们把网络 A 的所有外电路的激励源（即独立源）置零，即电压源短路，电流源开路，阻抗 Z_t 就是从网络 A 输入端视入的输入阻抗，如图 C.1（d）所示。

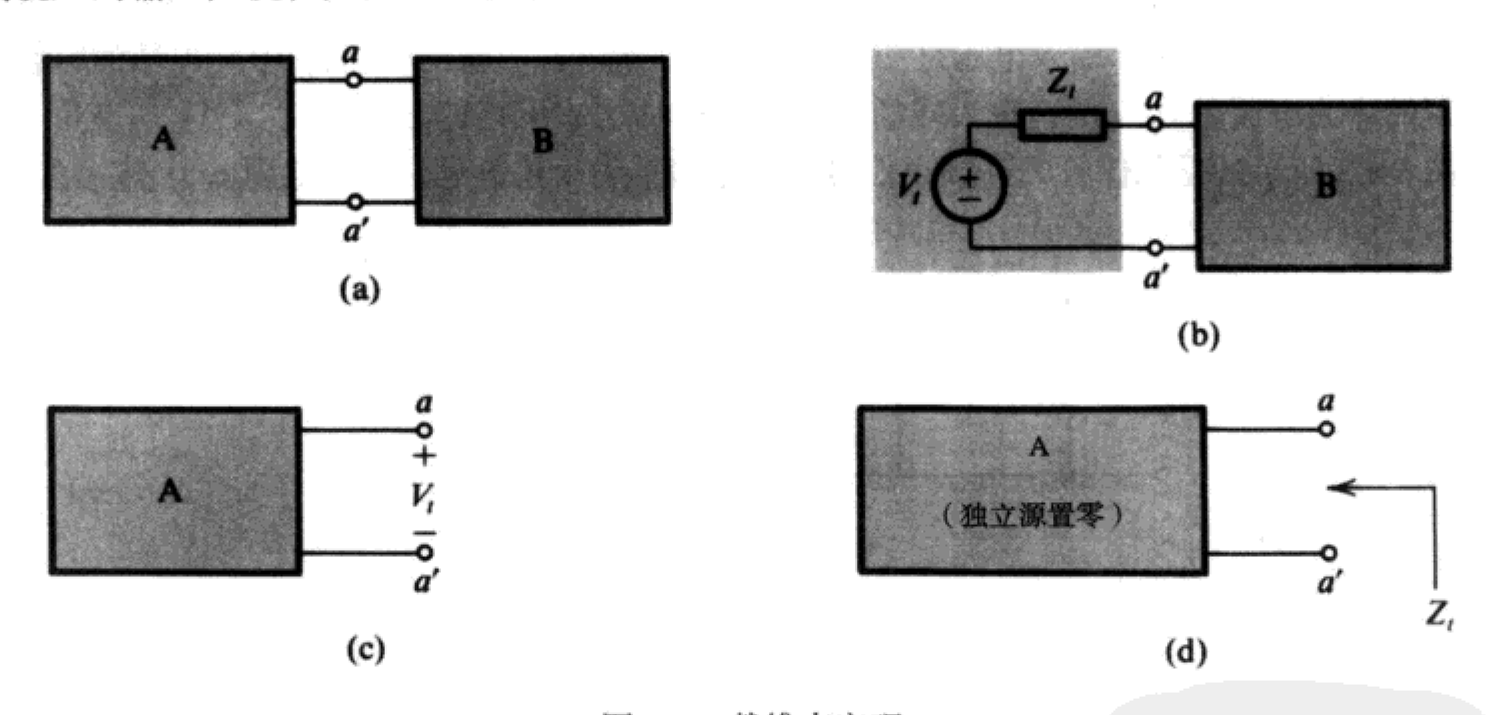


图 C.1　戴维南定理

C.2　诺顿定理

诺顿定理和戴维南定理具有对偶性。它采用电流源 I_n 和并联阻抗 Z_n 产生等效网络，如图 C.2 所示。图 C.2（a）所示的是把网络分成 A 和 B 两部分。图 C.2（b）中对 A 部分进行了诺顿等效：电流源 I_n 和并联阻抗 Z_n。电流源 I_n 可以按照图 C.2（c）所示的方法测量（或计算）得到，即将网络（网络 A）的输出端短路，得到的电流就是网络的短路输出电流——等于 I_n。确定阻抗 Z_n 的方法是首先把网络的所有外电路的激励源置零：即独立电压源短路，独立电流源开路，然后求网络 A 的输入阻抗，Z_n 就等于输入阻抗。可见，诺顿并联阻抗 Z_n 等于戴维南串联阻抗 Z_t。所以，$I_n = V_t/Z$，其中 $Z = Z_n = Z_t$。

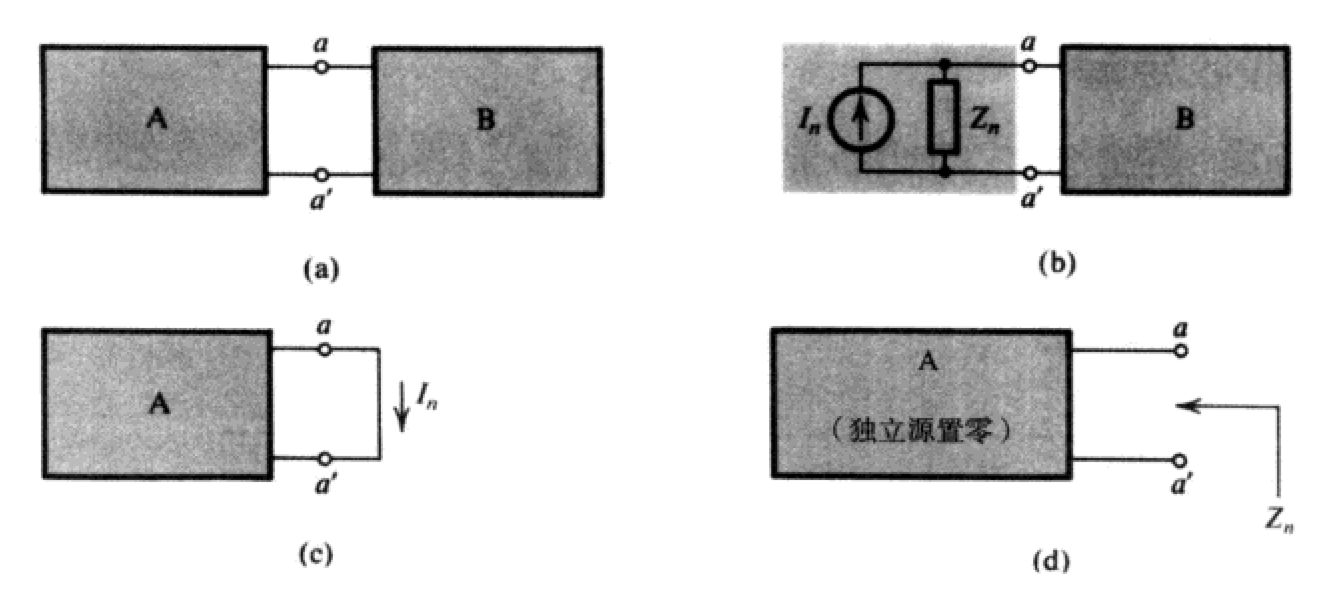


图 C.2　诺顿定理

例题 C.1　图 C.3（a）所示的是双极型晶体管电路。晶体管的三个电极分别用 E（发射极）、B（基极）和 C（集电极）表示。如图所示，晶体管的基极通过电阻 R_1 和 R_2 组成的分压回路与直流电源 V^+相连，集电极通过电阻 R_3 与电源 V^+相连，通过电阻 R_4 与地相连。为了简化电路分析，我们希望采用戴维南等效简化电路。

解：在基极一侧对电阻 R_1、R_2 和电源 V^+进行戴维南等效，得到直流电压源 V_{BB}：

$$V_{BB} = V^+ \frac{R_2}{R_1 + R_2}$$

及电阻 R_B：

$$R_B = R_1 /\!/ R_2$$

其中，//表示电阻之间的并联关系。在集电极一侧，对电阻 R_3，R_4 和电源 V^+进行戴维南等效，得到直流电源 V_{CC}：

$$V_{CC} = V^+ \frac{R_4}{R_3 + R_4}$$

及电阻 R_C：

$$R_C = R_3 /\!/ R_4$$

等效后的电路如图 C.3（b）所示。

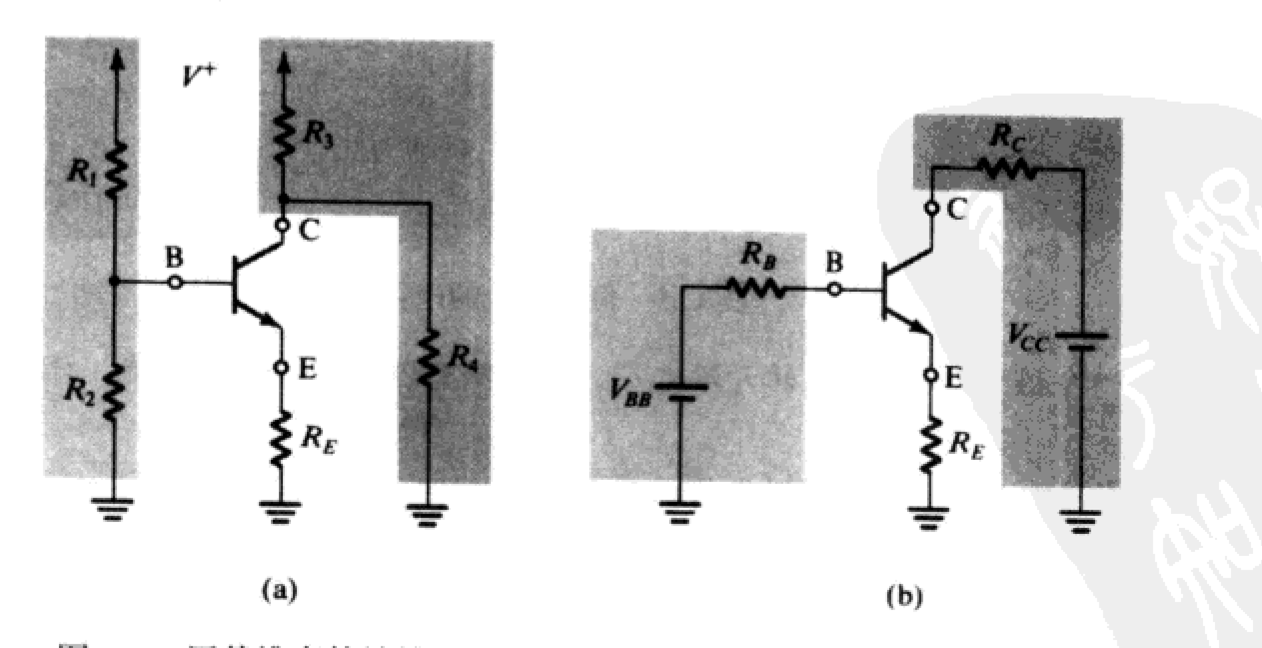


图 C.3　用戴维南等效简化（a）电路可得到电路（b）（参见例题 C.1）　■

C.3 源吸收定理

考虑图 C.4 所示的情况。在网络分析过程中，我们发现如果位于两个节点之间的受控电流源 I_x 的电压差正好就是受控电流源的控制变量 V_x，比如 $I_x = g_m V_x$，其中 g_m 是跨导，那么我们可以用一个阻抗 $Z_x = V_x/I_x = 1/g_m$ 来代替受控电流源，如图 C.4 所示。原因是该阻抗上流过的电流等于被取代的受控电流源的电流。



图 C.4 源吸收定理

例题 C.2 图 C.5（a）所示是晶体管的小信号等效电路模型。求从发射极 E 视入的电阻 R_{in}（即发射极和地之间的电阻），基极和集电极均接地。

解：从图 C.5（a）中看到，电压 v_π 等于$-v_e$，因此从 E 和地之间视入的电阻 r_π 就与电流源相并联，该电流源从节点 E 获得 $g_m v_e$ 的电流，所以电流源是可以被一个电阻取代的，电阻的阻值等于 $1/g_m$，输入电阻 R_{in} 为：

$$R_{in} = r_\pi // (1/g_m)$$

如图 C.5（b）给出的图解。

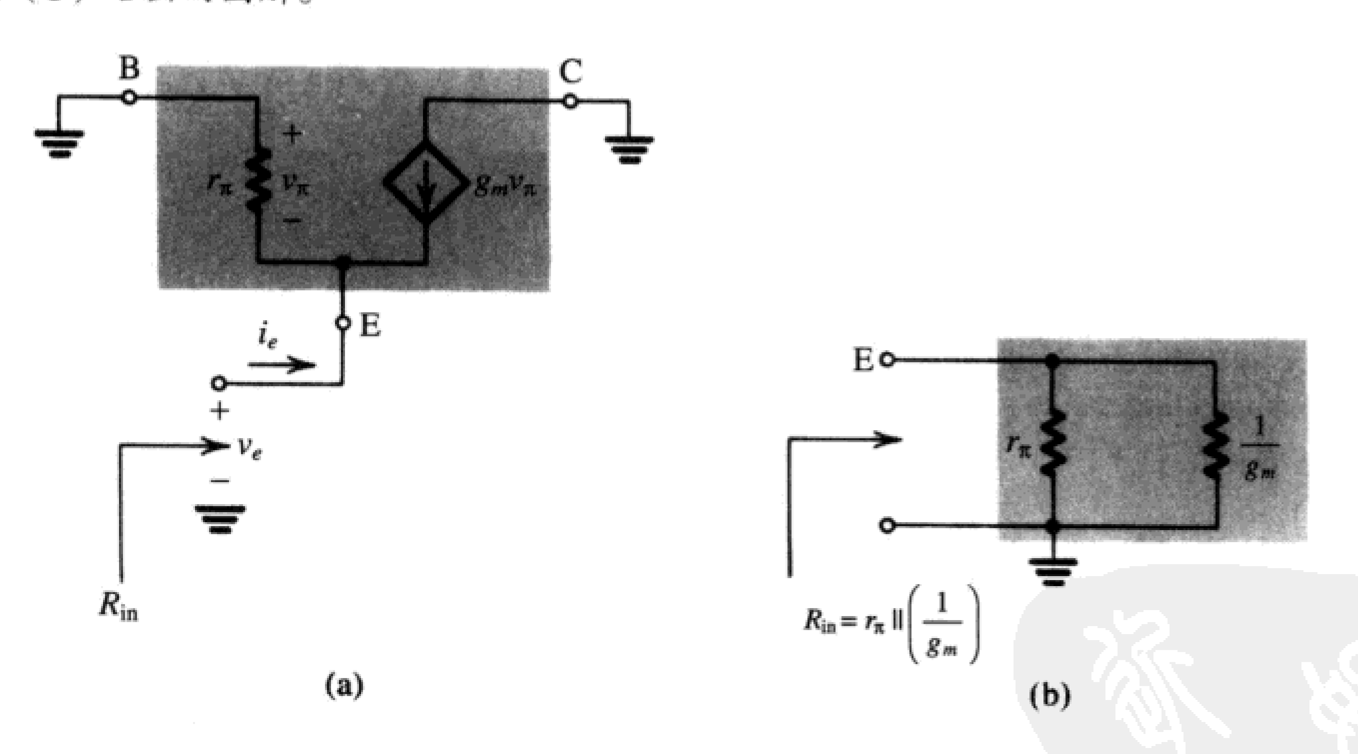


图 C.5 例题 C.2 的电路 ■

练习 C.1 测得一个信号源有 10 V 的开路电压，能够提供 1 mA 的短路电流，计算戴维南和诺顿等效后的源参数。

答案：$V_t = 10\text{ V}$；$Z_t = Z_n = 10\text{ k}\Omega$；$I_n = 1\text{ mA}$

练习 C.2 在图 EC.2 所示的电路中，二极管的管压降 $V_D \simeq 0.7\text{ V}$，采用戴维南定理简化该电路并计算二极管电流 I_D。

答案：1 mA

练习 C.3 含有二端器件 M 的电路如图 EC.3 所示，电流 $I_M = 1\,\text{mA}$ 和电压 V_M 无关，利用戴维南定理简化电路并计算电压 V_M。

答案：5 V

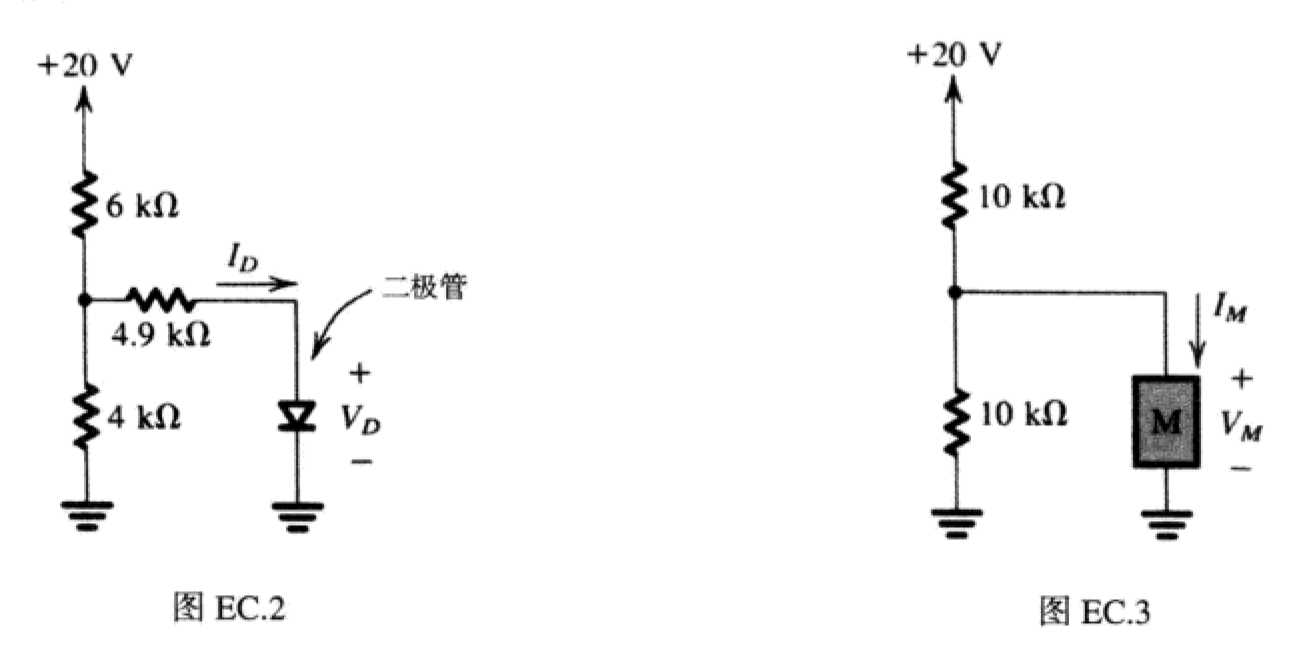


图 EC.2　　图 EC.3

习题

C.1 考虑 V_t 和 Z_t 表示的戴维南等效。求开路电压 V_{oc} 和短路电流（比如端点短接时流过的电流）I_{sc}，用 V_{oc} 和 I_{sc} 表示 Z_t。

C.2 对 I_n 和 Z_n 表示的诺顿等效重复习题 C.1。

C.3 分压回路由接+10 V 电源的 9 kΩ电阻和接地的 1 kΩ电阻组成。求该电路的戴维南等效形式。当负载电阻是 1 kΩ的时候，用两种方法计算输出电压：直接计算和戴维南等效计算。

C.4 求图 PC.4 所示电路的输出电压和输出电阻，建议连续使用戴维南等效。

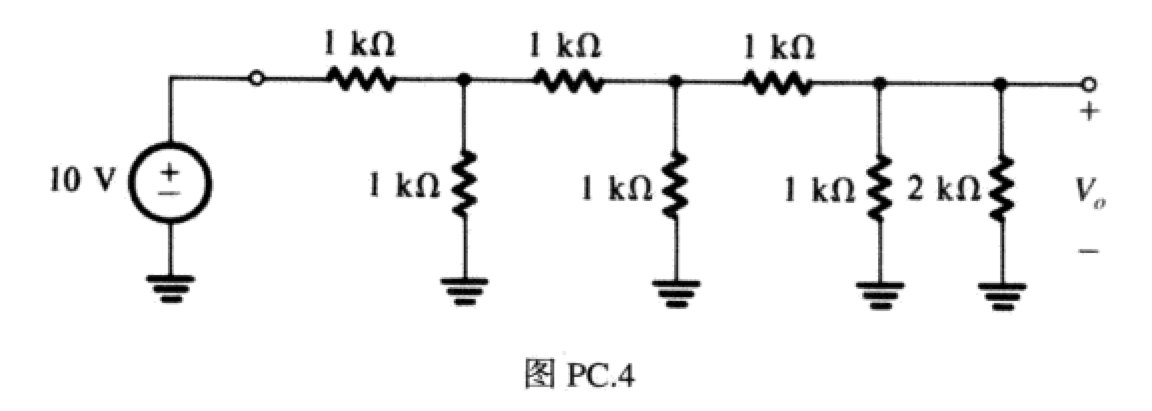


图 PC.4

C.5 重复例题 C.2 的内容。电路在节点 B 和地之间接入了电阻 R_B（不同于图 C.5 中基极 B 直接接地）。

C.6 图 PC.6（a）所示是 p 沟道结型场效应管（JFET）的电路符号。它有三个电极，当栅极 G 和源极 S 短接后，就得到了如图 PC.6（b）所示的二端器件，它的 i~v 特性关系由下式表示：

$$i = I_{\text{DSS}}\left[2\frac{v}{V_P} - \left(\frac{v}{V_P}\right)^2\right] \quad 若\ v \leqslant V_P$$

$$i = I_{\text{DSS}} \quad 若\ v \geqslant V_P$$

其中，I_{DSS} 和 V_P 对本题而言是正的。现在考虑图 PC.6（c）所示的电路，设 $V_P = 2\text{ V}$，$I_{\text{DSS}} = 2\text{ mA}$。当 $V^+ = 10\text{ V}$ 的时候，证明 JFET 工作在恒流模式下并求两端的电压。如果要维持该工作模式，问电压 V^+ 的最小值是多少？当 $V^+ = 2\text{ V}$ 时，求 I 和 V 的值。

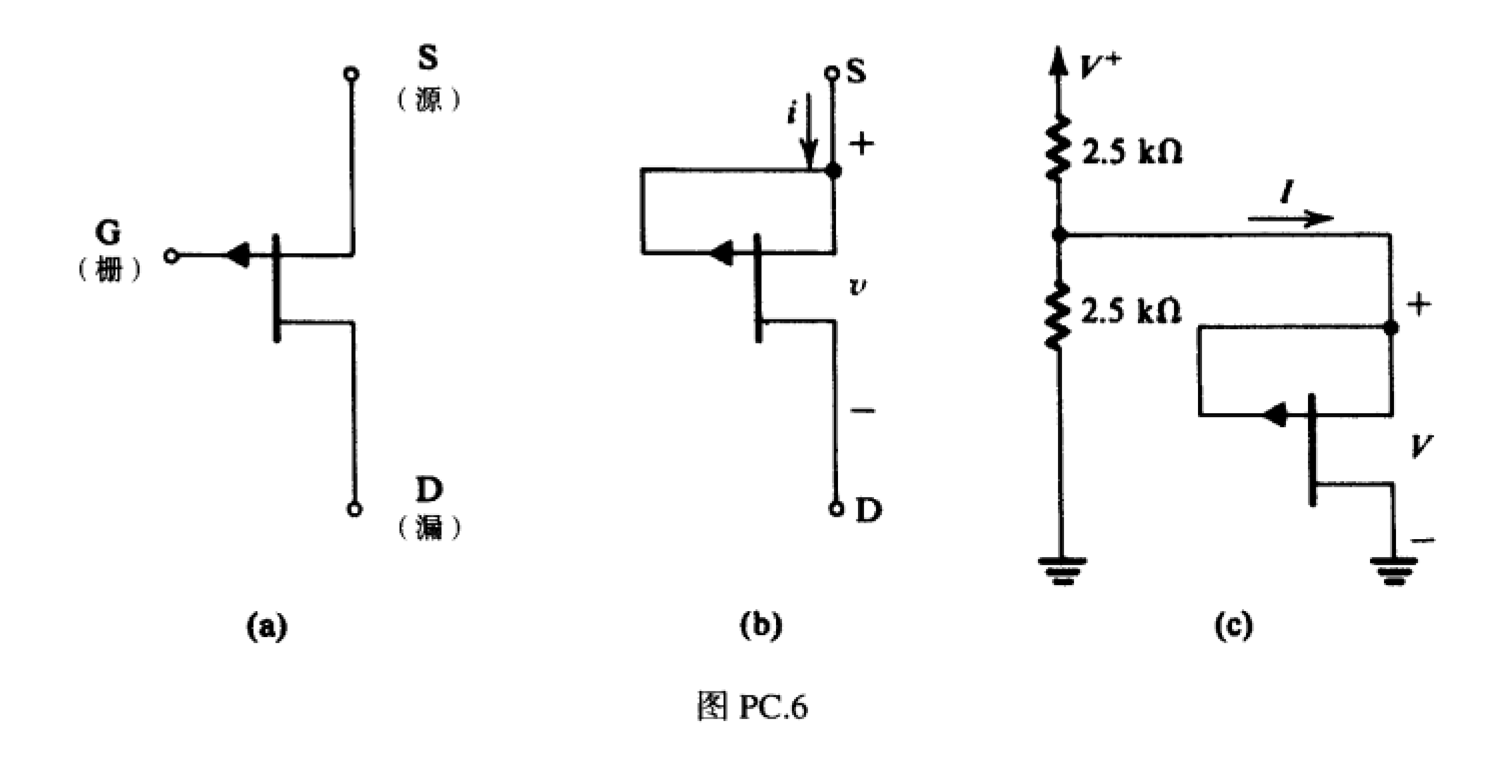


图 PC.6



附录 D　单时间常数电路

引言

单时间常数（STC）电路是指那些含有一个或者能够减少到只有一个电抗元件（电感和电容）和一个电阻的电路。STC 电路若是由电感 L 和电阻 R 构成的，那么时间常数$\tau = L/R$；若是由电容 C 和电阻 R 构成的，时间常数$\tau = CR$。

虽然 STC 电路相当简单，但是它们在线性电路和数字电路的分析和设计中都起着很重要的作用。比如，放大器电路的分析最终都会简化到对一个或多个 STC 电路的分析，为此我们在本附录中将复习 STC 电路在正弦信号输入和其他一些输入信号（比如阶跃和脉冲信号）作用下的频率响应的计算过程。后一种输入信号在放大器电路中应用不多，但是在开关电路（包括数字电路）中却非常重要。

D.1　计算时间常数

分析 STC 电路的第一步是计算时间常数τ。

例题 D.1　将图 D.1（a）所示电路简化为 STC 电路并计算时间常数。

解：电路的简化过程如图 D.1 所示，需要重复使用戴维南定理。从最后的电路图［即图 D.1（c）］中，我们可以得到时间常数为

$$\tau = C\{R_4 // [R_3 + (R_1 // R_2)]\}$$

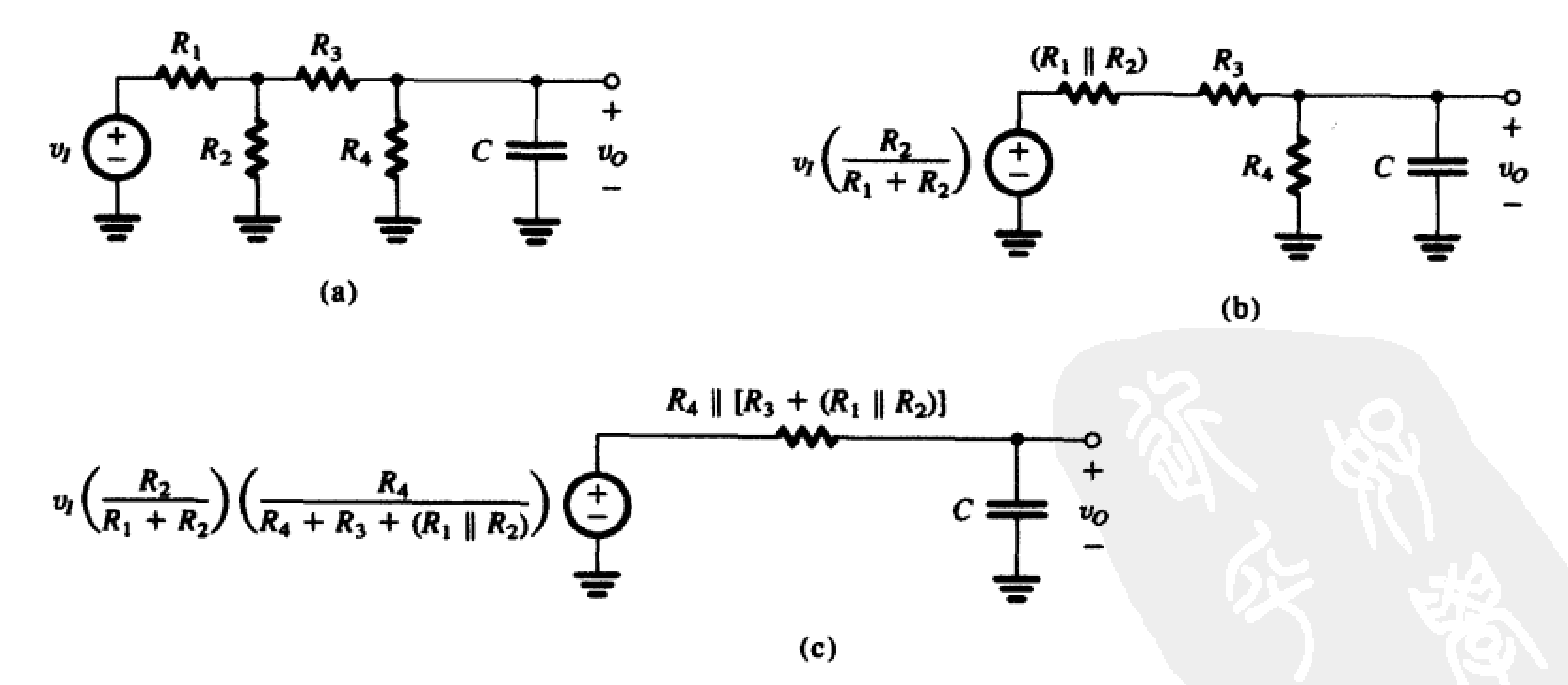


图 D.1　连续使用戴维南定理将（a）所示的电路简化为（c）所示的 STC 电路 ■

D.1.1　时间常数 τ 的快速计算法

很多情况下，我们需要能够快速地得到 STC 电路的时间常数 τ 。一种简单的方法是首先令激

励源等于零，即电压激励源短路，电流激励源开路，然后当电路只有一个电抗元件和一些电阻的时候，求从电抗（电感或电容）的两个端点之间视入的等效电阻 R_{eq}，则时间常数就等于 L/R_{eq} 或者 CR_{eq}。作为例子，我们求图 D.1（a）所示电路从电容 C 两端视入的等效电阻，它等于电阻 R_4 并联两个电阻的串联等效值，这两个串联电阻是 R_3 与电阻 R_1 和 R_2 并联的等效值。即

$$R_{eq} = R_4 // [R_3 + (R_2 // R_1)]$$

所以时间常数为 CR_{eq}。

有些情况下电路只存在一个电阻，但是有多个电感或电容。这时应把上述方法颠倒一下，从而简单地计算时间常数。即求从电阻两端视入的等效电感或者电容，时间常数等于 $C_{eq}R$ 或者 L_{eq}/R。例题 D.2 就是这样的一个例子。

例题 D.2 求图 D.2 所示电路的时间常数。

解： 令外加激励源等于零，即把电压源短路，则从电阻 R 两端视入的等效电容为 $C_1 + C_2$，因此时间常数 τ 为

$$\tau = (C_1 + C_2)R$$

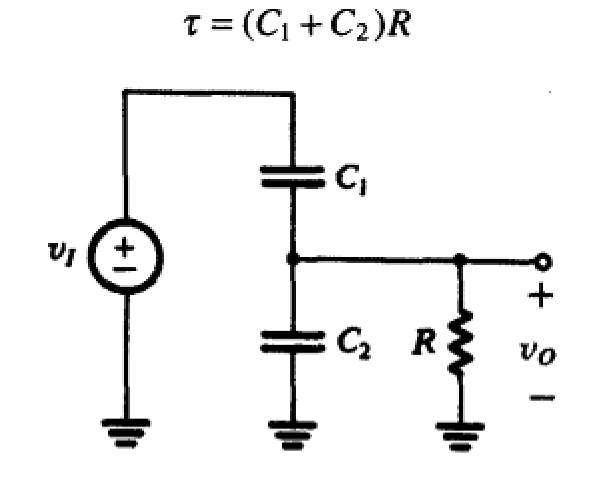


图 D.2 例题 D.2 的电路 ■

最后一种情况是电路含有一个以上的电阻和一个以上的电容（或者一个以上的电感），这时我们需要做一些工作来简化电路，见例题 D.3。

例题 D.3 证明可以采用 STC 电路时间常数的分析方法求图 D.3（a）所示电路的响应。

解： 解题的步骤如图 D.3 所示。图 D.3（b）告诉我们电路被两个相同的电压源激励。读者需要自己证明图 D.3（a）所示电路和图 D.3（b）所示电路是等效的，图 D.3（b）所示电路用到的方法非常有用。

对 XX' 左边与右边的电路应用戴维南定理，得到图 D.3（c）所示的电路。由于这是一个线性电路，因此满足叠加性原理。具体而言，输出电压 v_O 等于两个电压 v_{O1} 和 v_{O2} 的和。第一个分量 v_{O1} 是当右边的源等于零时只由左边的源激励产生的输出。从图 D.3（d）可以计算输出电压 v_{O1}。它是 STC 电路，时间常数为

$$\tau = (C_1 + C_2)(R_1 // R_2)$$

同样，我们可以求出左边激励等于零时在右边激励作用下的第二个分量 v_{O2}，具体计算可以从图 D.3（e）所示的电路求得，这是时间常数仍然为 τ 的 STC 电路。

最后需要指出的是，因为是 STC 电路，因此也可以在图 D.3（a）所示的电路中令独立源 v_I 为零，从而很快求得时间常数。

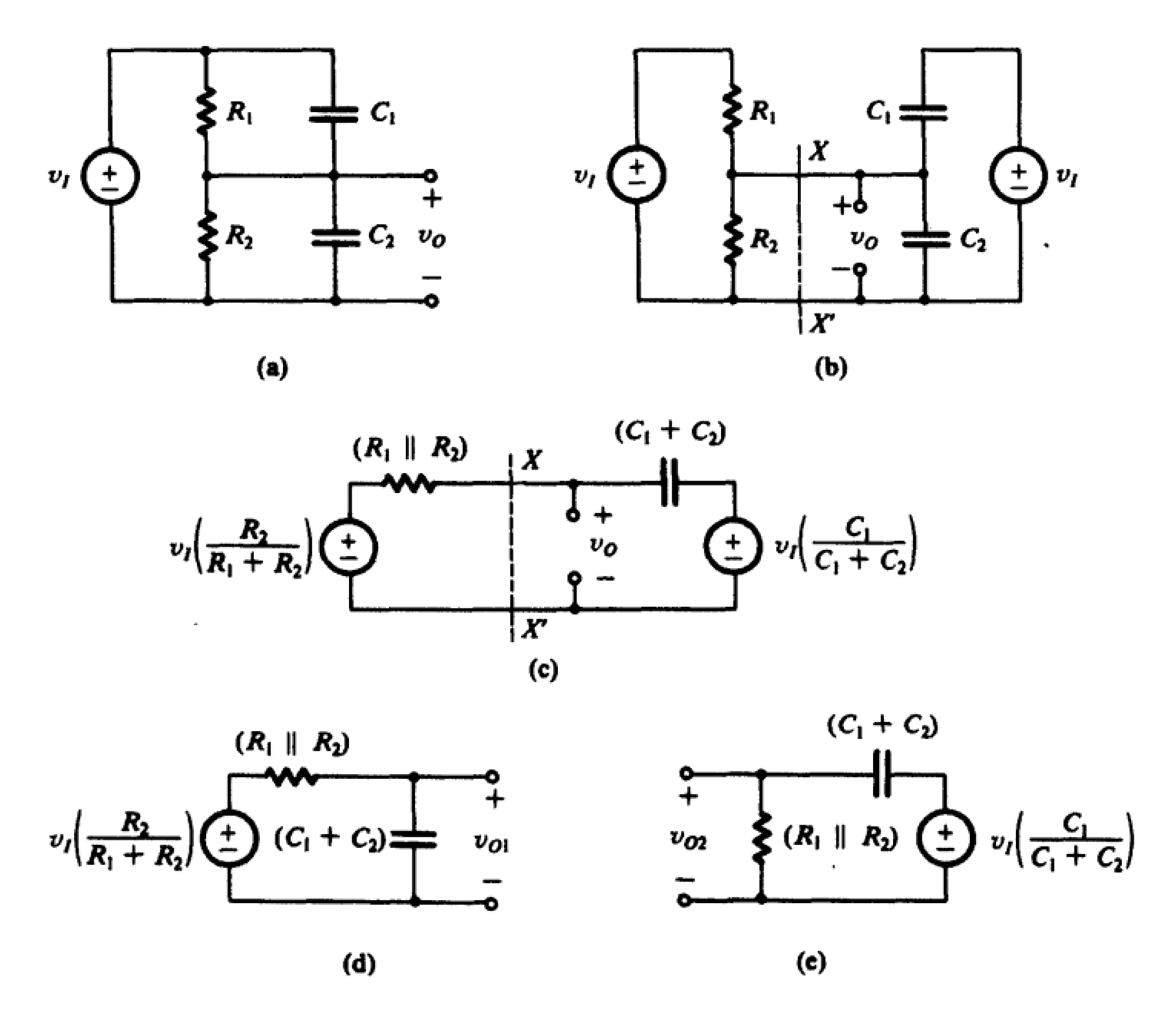


图 D.3　采用叠加原理求解电路（a）的频率响应，即将电路（d）和（e）的频率响应相加　■

D.2　STC 电路的分类

STC 电路可以分成两类：低通（LP）和高通（HP），这两种类型的电路呈现出截然不同的信号响应。有一些方法可以识别 STC 电路是低通还是高通。最简单的是采用频域响应。具体而言，低通电路能够通过直流信号（频率等于零），对高频信号衰减，则存在$\omega=\infty$的传输零点，这样可以在$\omega=0$ 或者$\omega=\infty$处测量电路的类型。在$\omega=0$ 时，电容被开路（$1/j\omega C=\infty$），电感被短路（$j\omega L=0$），如果输出等于零，那么电路是高通类型的，当输出无限时，电路是低通类型的。反过来，也可以在$\omega=\infty$的地方测试电路，即电容短路（$1/j\omega C=0$），电感开路（$j\omega L=\infty$）。如果电路的输出是无限的，则电路属于 HP 类型；如果输出等于零，则电路属于 LP 类型。表 D.1 给出了上述结论的总结。

表 D.1　确定 STC 电路类型的规则

测试点	替换	电路为 LP 类型的条件	电路为 HP 类型的条件
$\omega=0$	C 开路	输出为无限	输出为零
	L 短路		
$\omega=\infty$	C 短路	输出为零	输出为无限
	L 开路		

图 D.4 是一个低通 STC 电路的例子，图 D.5 是一个高通 STC 电路的例子。每一个电路都标明了输入和输出变量。注意，所给的电路可以成为其他类型的电路，这取决于输入和输出变量。读者可以根据表 D.1 的规则，证明图 D.4 和图 D.5 的电路分类是正确的。

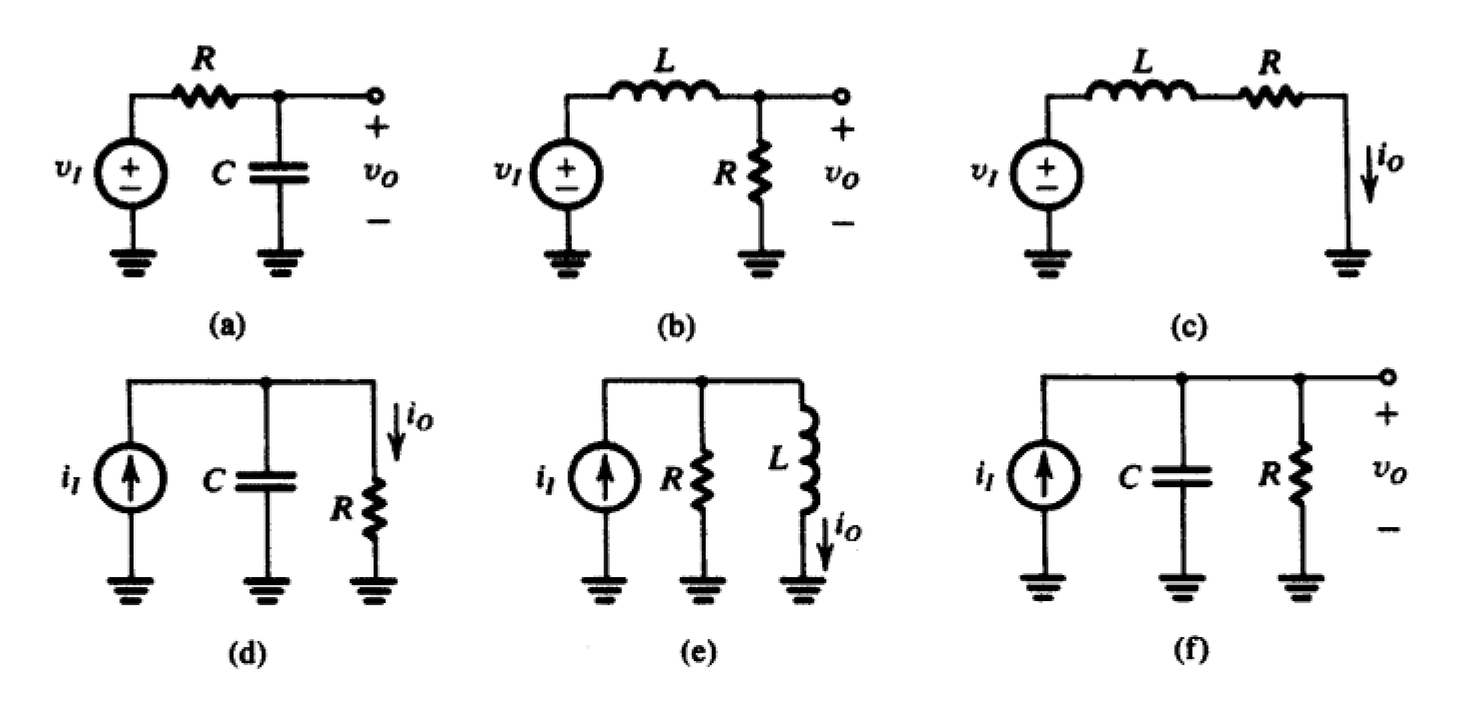


图 D.4 低通类型的 STC 电路

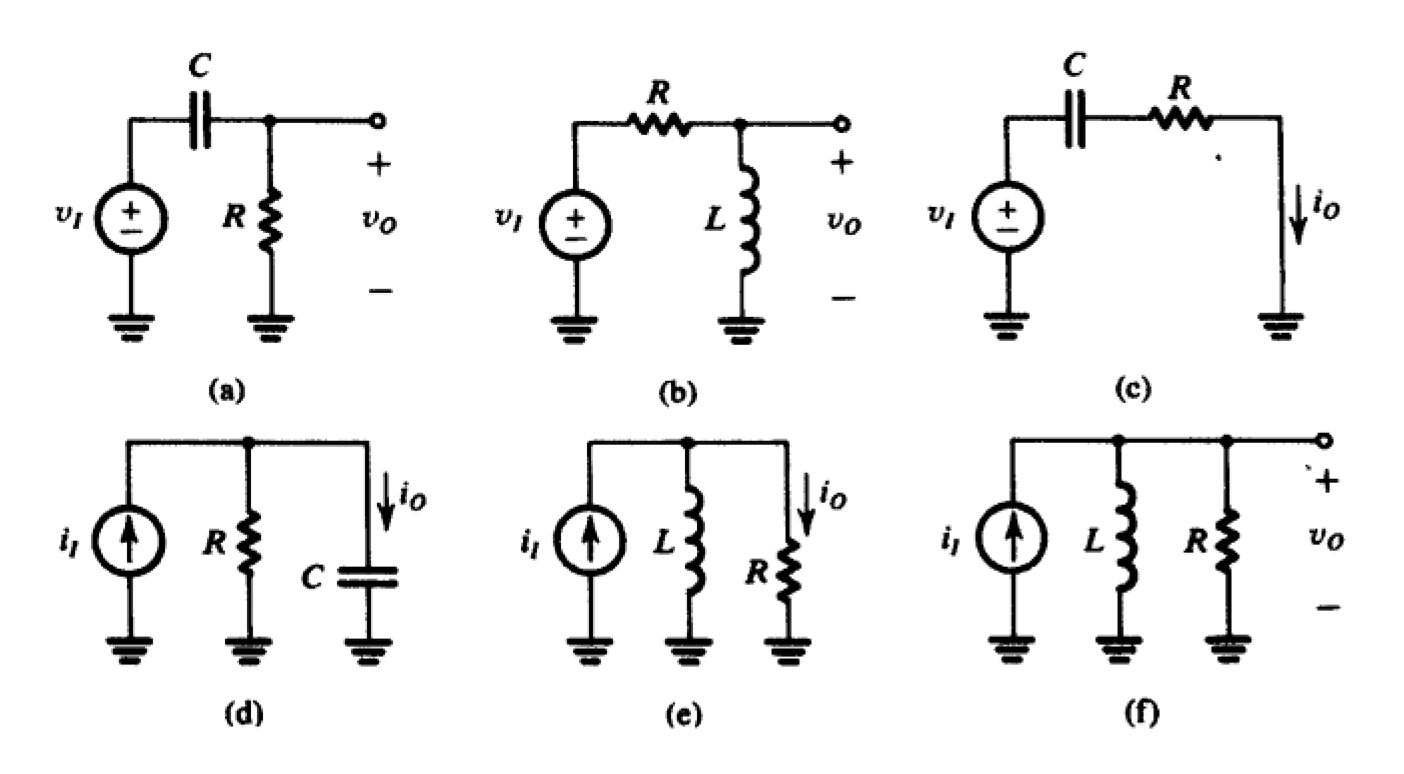


图 D.5 高通类型的 STC 电路

练习 D.1 求图 ED.1 所示电路的时间常数。

答案：(a) $\dfrac{(L_1 // L_2)}{R}$；(b) $\dfrac{(L_1 // L_2)}{(R_1 // R_2)}$

练习 D.2 对以下电路进行 STC 高通和低通电路的分类：图 D.4（a）所示的输出电流 i_O 从电容 C 流到地；图 D.4（b）所示的输出电流 i_O 从电阻 R 流到地；图 D.4（d）所示的输出电流 i_O 从电容 C 流到地；图 D.4（e）所示的输出电流 i_O 从电阻 R 流到地；图 D.5（b）所示的输出电流 i_O 从电感 L 流到地；图 D.5（d）所示的输出电压 v_O 取在电容 C 上。

答案：HP；LP；HP；HP；LP；LP

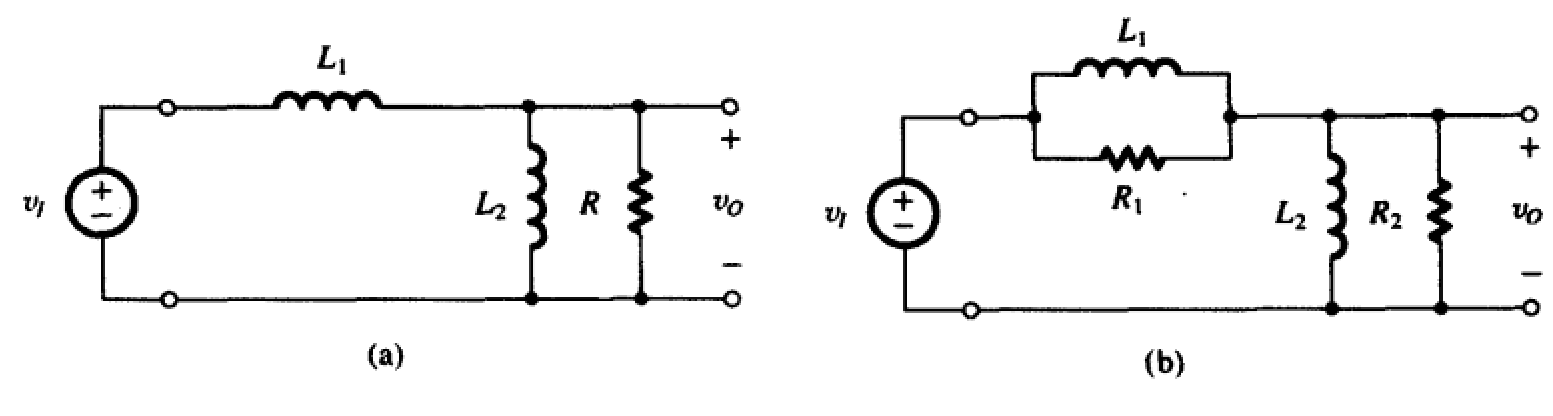


图 ED.1

D.3　STC 电路的频率响应

D.3.1　低通电路

STC 低通电路的传输函数 $T(s)$通常可以写成如下的形式：

$$T(s)=\frac{K}{1+(s/\omega_0)} \tag{D.1}$$

对物理频率，$s=j\omega$，上式变为

$$T(j\omega)=\frac{K}{1+j(\omega/\omega_0)} \tag{D.2}$$

其中，K 是传输函数在$\omega=0$（直流）的幅度，ω_0 定义为

$$\omega_0=1/\tau$$

其中的τ 就是时间常数。幅频响应可以写成

$$|T(j\omega)|=\frac{K}{\sqrt{1+(\omega/\omega_0)^2}} \tag{D.3}$$

相频响应为

$$\phi(\omega)=-\tan^{-1}(\omega/\omega_0) \tag{D.4}$$

图 D.6 画出了 STC 低通电路的幅频和相频特性曲线。图 D.6（a）所示的幅频响应曲线是根据式（D.3）得到的。幅度对直流增益 K 归一化并用分贝（dB）表示，即图中所示的曲线是 $20\log|T(j\omega)/K|$，频率轴以对数为坐标。此外，频率变量对 ω_0 归一化。如图所示，幅频特性曲线几乎由两条直线近似。低频部分的逼近是幅度为 0 dB 的水平线，为得到高频时渐近线的斜率，可以在式（D.3）中令 $\omega/\omega_0>>1$，得到

$$|T(j\omega)|\simeq K\frac{\omega_0}{\omega}$$

上式表明ω 增加一倍，幅度减小一半。在对数频率坐标上，ω 加倍的点代表频率间距相等的点，两点之间的距离称为二倍频程。幅度减半对应的分贝数正好是−6 dB，所以高频渐近线的斜率为−6 dB/二倍频程，它也等同于−20 dB/十倍频程，其中“十倍频程”指的是频率增加十倍。

幅频响应的两条直线渐近线的交点所对应的频率 ω_0 称为“角频率”或者“截止频率”。实际的幅频响应与渐进的幅频响应在截止频率点上的误差最大，等于 3 dB。为了证明这一点，我们将 $\omega=\omega_0$ 代入式（D.3），得到

$$|T(j\omega_0)| = K/\sqrt{2}$$

即在$\omega=\omega_0$上的增益值和直流增益值相比下降的因子是$\sqrt{2}$，用分贝表示是下降 3 dB。角频率ω_0也称为 3 dB 频率。

与幅频响应相似，图 D.6（b）给出的相频特性曲线同样可以用直线来逼近原来的曲线。注意，在角频率上，相移值等于–45°，当$\omega>>\omega_0$时，相移接近于–90°，在 0.1ω_0和 10ω_0之间的相频特性曲线可以用斜率为–45°/十倍频程的直线来近似表示，但是实际响应与近似响应之间存在误差，误差的最大值为 5.7°。

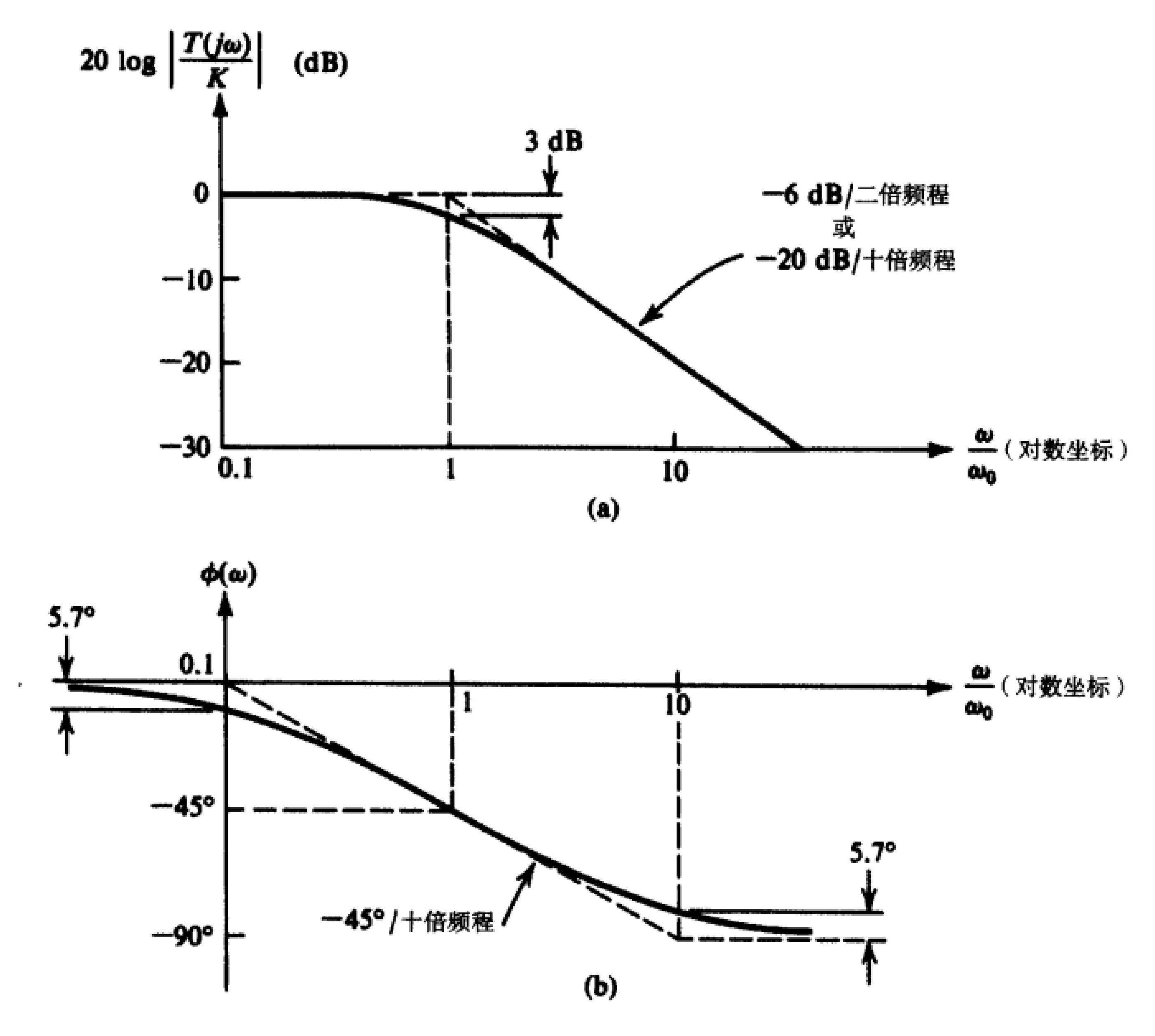


图 D.6 低通 STC 电路的幅频响应（a）与相频响应（b）

例题 D.4 考虑图 D.7（a）所示的电路，理想电压放大器的增益$\mu=-100$，在反馈回路上有一个小电容（10 pF），放大器由电压源激励，源内阻为 100 kΩ。证明该电路的频率响应V_o/V_s等同于 STC 电路，并画出幅频响应曲线。

解： 直接分析图 D.7（a）所示的电路，得到传输函数为

$$\frac{V_o}{V_s}=\frac{\mu}{1+sRC_f(-\mu+1)}$$

可见它等同于 STC 低通电路，其中直流增益为$\mu=-100$（或者等于 40 dB），时间常数（$\tau=RC_f(-\mu+1)=100\times10^3\times10\times10^{-12}\times101\simeq10^{-4}\text{s}$），相应的截止频率$\omega_0=1/\tau=10^4$ rad/s，幅频特性曲线如图 D.7（b）所示。

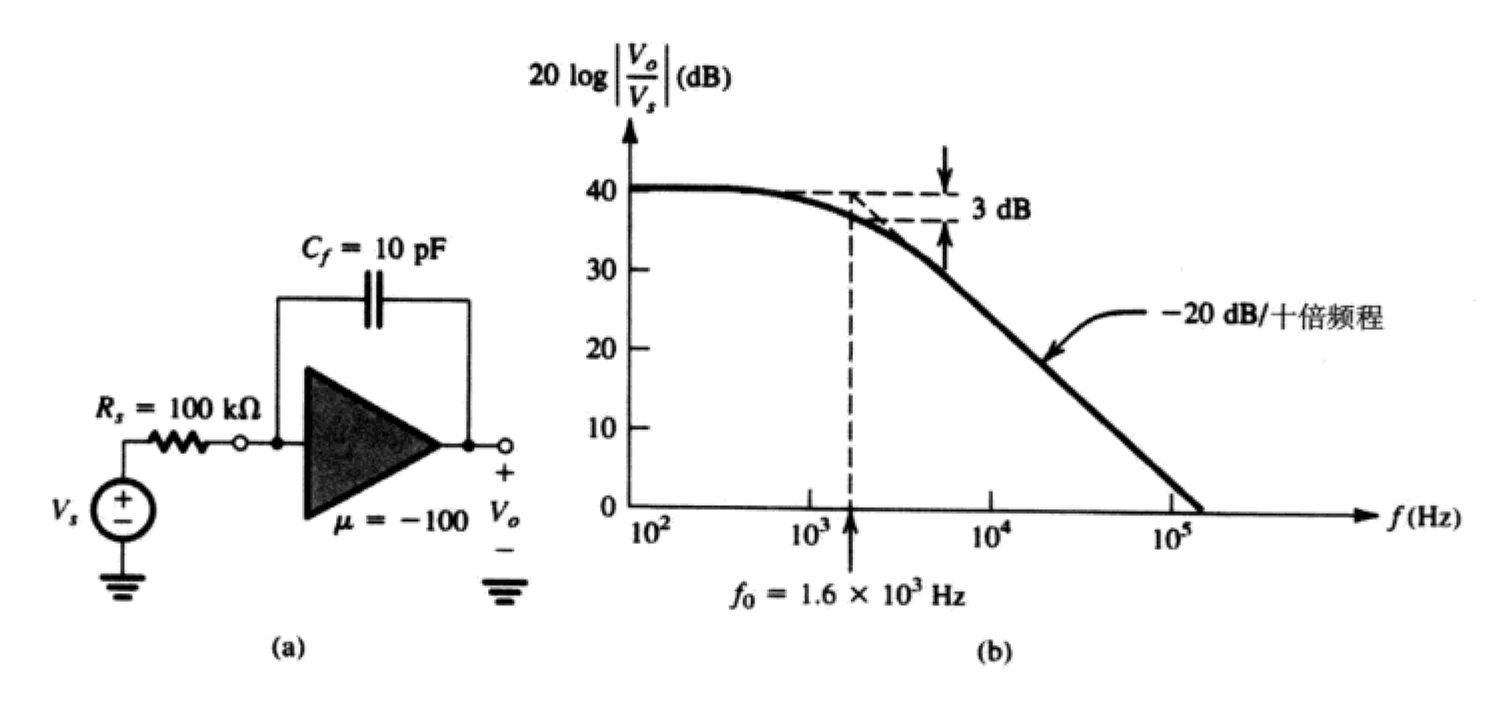


图 D.7 （a）放大器电路；（b）电路的传输函数的幅频响应曲线 ■

D.3.2 高通电路

STC 高通电路的传输函数通常可以表示成以下的形式：

$$T(s)=\frac{K_s}{s+\omega_0} \tag{D.5}$$

对物理频率 $s=j\omega$，上式可写为

$$T(j\omega)=\frac{K}{1-j\omega_0/\omega} \tag{D.6}$$

其中，K 表示 s 或者频率ω 趋于无限时的增益值，ω_0 等于时间常数τ 的倒数：

$$\omega_0=1/\tau$$

幅频响应

$$|T(j\omega)|=\frac{K}{\sqrt{1+(\omega_0/\omega)^2}} \tag{D.7}$$

和相频响应

$$\phi(\omega)=\tan^{-1}(\omega_0/\omega) \tag{D.8}$$

均画在图 D.8 中。与低通情况一样，幅频和相频特性都可以用直线渐近线来近似。由于与低通情况相似，所以不在此做更深入的解释。

练习 D.3 求图 ED.3 所示的 STC 低通电路的直流传输增益、角频率 f_0 和 $f=2$ MHz 的传输增益。
答案：–6 dB；3.18 kHz；–22 dB

练习 D.4 求图 D.2 所示电路的传输函数 $T(s)$，这是哪种类型的 STC 网络？

答案：$T(s)=\dfrac{C_1}{C_1+C_2}\dfrac{s}{s+[1/(C_1+C_2)R]}$；HP

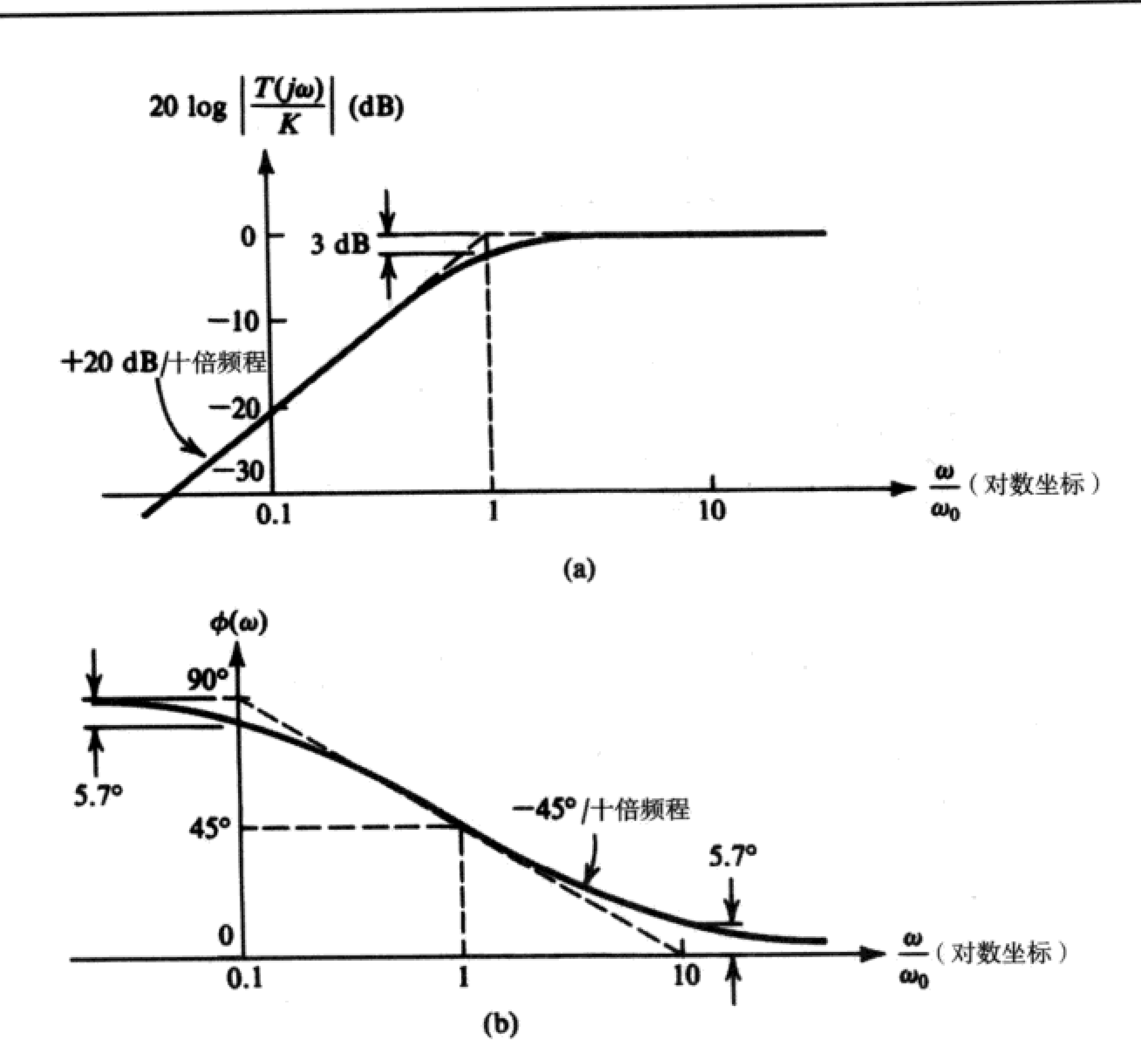


图 D.8 （a）高通 STC 电路的幅频响应；（b）相频响应

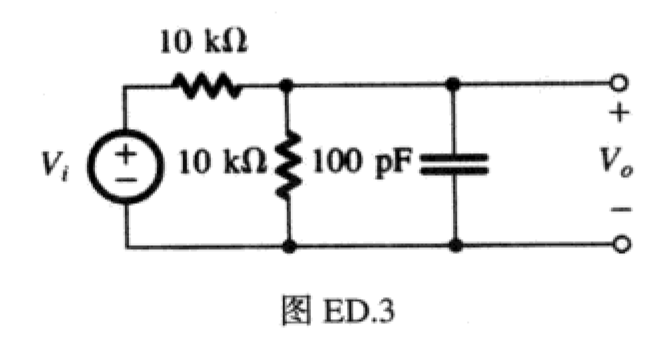


图 ED.3

练习 D.5 条件同练习 D.4，如果 $R = 10\ \text{k}\Omega$，求电容的值，使得电路的高频传输增益为 0.5 V/V，角频率 $\omega_0 = 10$ rad/s。

答案： $C_1 = C_2 = 5\ \mu\text{F}$

练习 D.6 图 ED.6 所示是一个电容耦合的放大器，假设电压放大器是理想的，求高频增益、3 dB 频率 f_0 和 $f = 1$ Hz 时的增益。

答案： 40 dB；15.9 Hz；16 dB

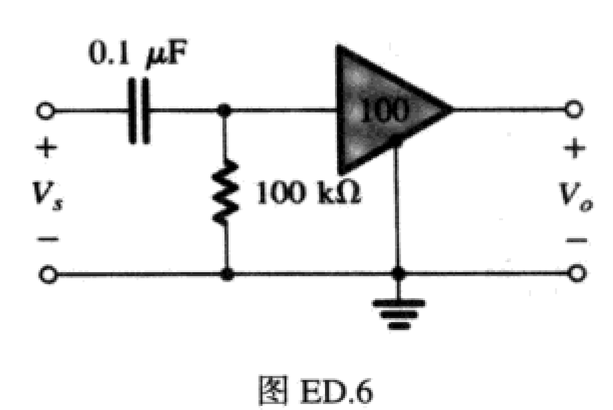


图 ED.6

D.4 STC 电路的阶跃响应

本节将讨论 STC 电路在图 D.9 所示的阶跃函数信号作用下的响应。对阶跃响应的了解有助于快速估算其他开关信号波形的响应，比如脉冲和方波信号。

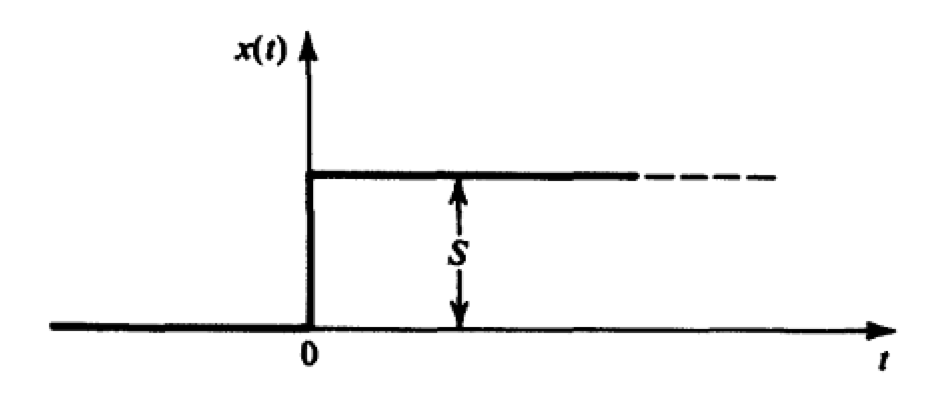


图 D.9 高度为 S 的阶跃函数

D.4.1 低通电路

低通 STC 电路（直流增益 K 等于 1）对一个高度为 S 的阶跃信号响应的输出波形如图 D.10 所示。注意，输入信号从 0 上升到 S 是在 $t=0$ 时完成的，但输出并没有立即响应瞬时的输入变化，而是按指数规律上升到最终的输入直流电压值 S。从长远来看，当 $t>>\tau$ 时，输出达到直流值 S，证明低通电路能够传输直流信号。

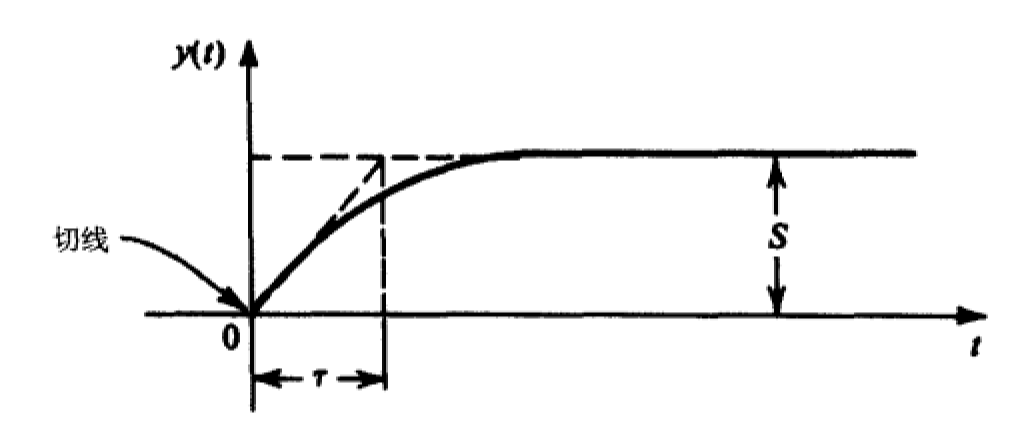


图 D.10 低通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

输出信号波形可以从下面的表达式得到：

$$y(t)=Y_{\infty}-(Y_{\infty}-Y_{0+})e^{-t/\tau} \tag{D.9}$$

其中，Y_{∞}表示输出最终能够达到的值或者输出的上限值，Y_{0+}表示输出在 $t=0$ 时的值。上述等式表明在任何时刻 t，输出信号等于最终值 Y_{∞}和初始值 $Y_{\infty}-Y_{0+}$按照指数规律收缩之后的差。在这个具体例子中，$Y_{\infty}=S$，$Y_{0+}=0$，所以，

$$y(t)=S(1-e^{-t/\tau}) \tag{D.10}$$

读者可以注意 $t=0$ 时 $y(t)$的斜率，这在图 D.10 中有相应的表示。

D.4.2 高通电路

STC 高通电路（高频增益 $K=1$）对高度为 S 的阶跃信号的响应如图 D.11 所示。高通电路准确传输输入信号的瞬变部分（阶跃的上升沿），但抑止直流部分。因此在 $t=0$ 时，输出跟随输入：

$$Y_{0+} = S$$

然后衰减到零：

$$Y_{\infty} = 0$$

将 Y_{0+} 和 Y_{∞} 代入式（D.9），得到输出 $y(t)$：

$$y(t) = Se^{-t/\tau} \tag{D.11}$$

注意 $t=0$ 时 $y(t)$的斜率，这在图 D.11 中有所表示。

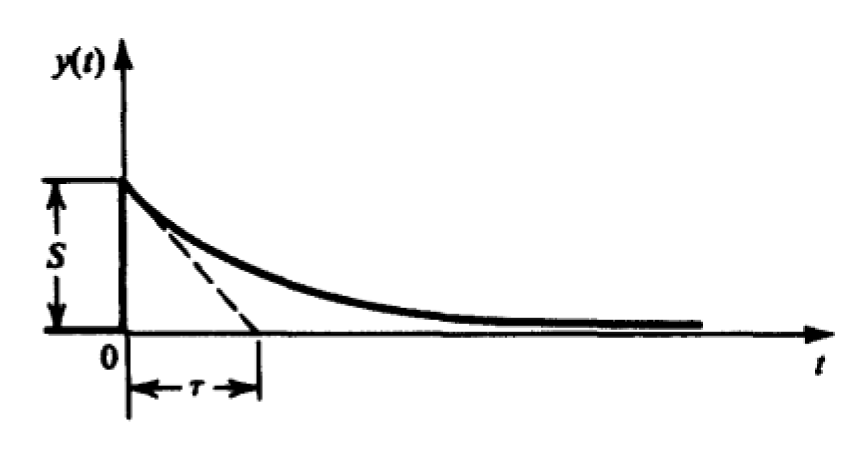


图 D.11 高通 STC 电路对高度为 S 的阶跃信号的输出响应 $y(t)$

例题 D.5 本例是例题 D.3 的继续。当输入是高度为 10 V 的阶跃信号时，求输出也是一个完整的阶跃信号的条件。

解：继续对例题 D.3 进行分析（如图 D.3 所示），我们有

$$v_{O1} = k_r[10(1-e^{-t/\tau})]$$

其中，

$$k_r \equiv \frac{R_2}{R_1+R_2}$$

以及

$$v_{O2} = k_c(10e^{-t/\tau})$$

这里，

$$k_c \equiv \frac{C_1}{C_1+C_2}$$

和

$$\tau = (C_1+C_2)(R_1 /\!/ R_2)$$

所以，

$$\begin{aligned} v_O &= v_{O1}+v_{O2} \\ &= 10k_r + 10e^{-t/\tau}(k_c - k_r) \end{aligned}$$

上式表明，输出若要成为一个完整的阶跃信号，必须设定以下参数：

$$k_c = k_r$$

即电阻上的分压比必须设置成等于电容上的分压比。

该例题说明了一种很重要的技术，称为"补偿衰减"。这种技术主要应用在示波器探头的设计中。有关示波器探头的问题曾在习题 D.3 中进行了讨论。 ■

练习 D.7 求图 D.4（f）所示电路的 v_O。设 i_I 是 3 mA 的阶跃信号，电阻 $R = 1\ \text{k}\Omega$，电容 $C = 100$ pF。

答案： $3(1-e^{-10^7 t})$

练习 D.8 求图 D.5（f）所示电路的电压 $v_O(t)$。设电流 i_I 是 2 mA 的阶跃信号，电阻 $R = 2\ \text{k}\Omega$，电容 $L = 10\ \mu\text{H}$。

答案： $4e^{-2\times10^8 t}$

练习 D.9 图 ED.6 所示放大器电路的激励源能够提供 20 mV 的阶跃电压，如果信号源的内阻是 100 kΩ，求时间常数τ和 $v_O(t)$。

答案： $\tau = 2\times10^{-2}\text{s}$；$v_O(t) = 1\times e^{-50t}$

练习 D.10 设图 D.2 所示电路中的电容 $C_1 = C_2 = 0.5\ \mu\text{F}$，$R = 1\ \text{M}\Omega$，当输入电压 $v_I(t)$是 10 V 的阶跃信号时，求输出电压 $v_O(t)$。

答案： $5e^{-t}$

练习 D.11 证明图 D.11 所示的指数曲线下的面积等于高度为 S、宽度为τ的矩形面积。

D.5 STC 电路的脉冲响应

图 D.12 所示的是一个高度为 P、宽度为 T 的脉冲信号。我们希望找到 STC 电路对该信号的输出响应。注意，脉冲信号可以看成是两个阶跃信号的叠加：一个起始于 $t = 0$，是高度为 P 的正阶跃；另一个是起始于 $t = T$ 的高度为 P 的负阶跃。这样线性电路的输出响应就是电路对这两个阶跃的输出响应进行叠加的结果。

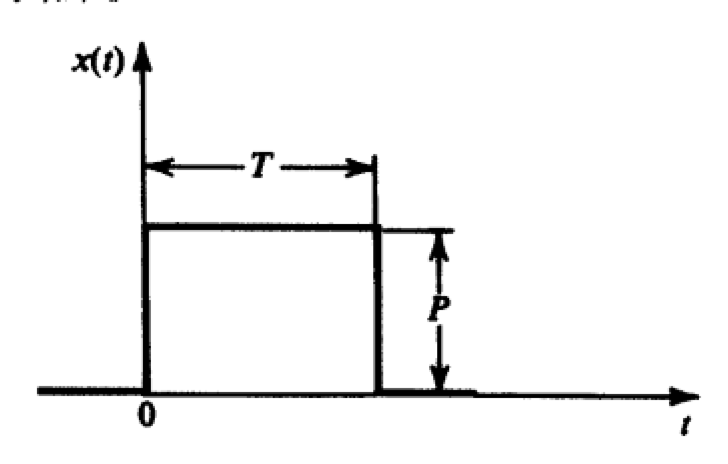


图 D.12 高度为 P、宽度为 T 的脉冲信号

D.5.1 低通电路

图 D.13（a）所示是 STC 低通电路（直流增益为单位 1）对图 D.12 所示的脉冲信号的输出响应波形。在这个例子中，我们假设时间常数τ和脉宽 T 相当。正如我们在前面所叙述的，LP 电路对阶跃信号的响应不可能在脉冲的上升沿立即达到脉冲的高度 P，相反，输出是指数增加的，直至达到最终的值 P。然而，指数增长会在 $t = T$ 时被停止，即在脉冲的下降沿，对应输入进入负阶跃段。然后，输出将按指数规律衰减，直至达到最终的输入值——零。最后我们注意到，输出波形下的面积等于输入脉冲波形下的面积，原因是低通电路如实地传输了直流信号。

当脉冲信号从电子系统的一部分连接到另一部分的时候，低通效应就会显现。这种情况下的低通电路通常由产生信号的这部分系统的输出电阻（戴维南等效电阻）和信号激励的这部分系统的输入电容组成，产生的低通滤波器将对电路造成脉冲信号的失真，如图 D.13（a）所示。设计

得很好的电路通过把时间常数τ设置为远远低于脉宽 T 可以把失真减到很小，得到如图 D.13（b）所示的圆脉冲边沿。当然，边沿仍然是呈指数变化的。

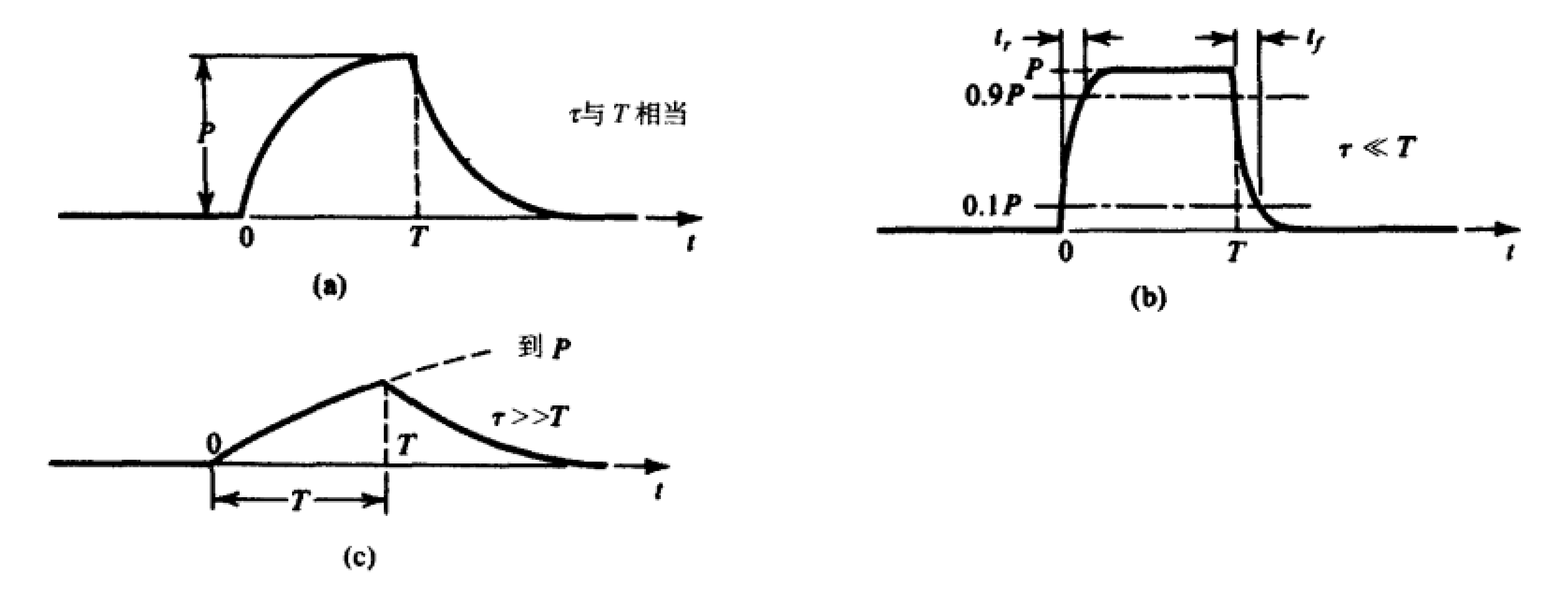


图 D.13　低通 STC 电路的三种脉冲响应

由寄生（不想要的）低通电路产生的脉冲信号的失真一般用它的上升时间和下降时间来表示。上升时间通常定义为幅度从最终值的 10%上升到 90%的时间。同样，下降时间是指从最大值的 90%下降到 10%所需要的时间。图 D.13（b）给出了这个定义的图解。利用输出波形上升和下降的指数表达式很容易可以求出下式：

$$t_r = t_f \simeq 2.2\tau \tag{D.12}$$

用$f_0 = \omega_0 / 2\pi = 1/2\pi\tau$表示，则有

$$t_r = t_f \simeq \frac{0.35}{f_0} \tag{D.13}$$

现在我们看到总是存在于系统中的寄生低通电路的效应是减慢了系统的运行，因为为了将失真保持在可以接受的范围内，人们必须采用比较长的脉宽信号（对已经给定时间常数的低通系统来说）。

另一种极端情况是时间常数τ远大于脉宽 T，如图 D.13（c）所示。我们看到输出波形按指数向 P 上升。但是因为$\tau >> T$，因此在 $t = T$ 时，输出达到的幅度值远小于 P，而此刻已经开始按指数向零值下降了，结果输出波形和输入波形的相似程度很小。我们也注意到，由于在$\tau >> T$，因此从 $t = 0$ 到 $t = T$ 这段时间内的指数曲线几乎是线性的。由于线性曲线的斜率与脉冲高度成正比，所以输出波形近似等于输入脉冲对时间的积分。即低通网络在时间常数相当大的时候，其功能如同一个积分器。

D.5.2　高通电路

图 D.14（a）所示是 STC 高通电路（高频增益为单位 1）对图 D.12 所示脉冲信号的输出响应波形，假设τ和 T 在数值上是相当的。如图所示，输入阶跃信号上升沿的传输在高通电路的输出端被忠实地再现，然而因为高通电路对直流信号是抑制的，所以输出信号波形马上开始以指数规律向零衰减，但是衰减过程在 $t = T$ 时被终止。因为输入信号转为负的阶跃，高通电路要忠实地再现此信号，结果在 $t = T$ 时输出呈现下冲，然后开始以指数规律向零衰减。我们注意到这样一个事实，输出信号波形在零轴以上的面积等于零轴以下的面积，所以总平均面积等于零。这与高通电路能够阻隔直流信号的结论一致。

在许多应用中，STC 高通电路的作用是把脉冲信号从系统的这部分耦合到系统的那部分。这一类应用要求脉冲波形的失真尽可能小，具体实现时是通过选择时间常数τ，使其远大于脉宽 T。如果条件满足，脉冲幅度在脉冲持续时间 T 内的损失会很小，如图 D.14（b）所示，但是输出信号波形仍然存在负信号输出，而且负波形部分的面积等于正波形部分的面积。

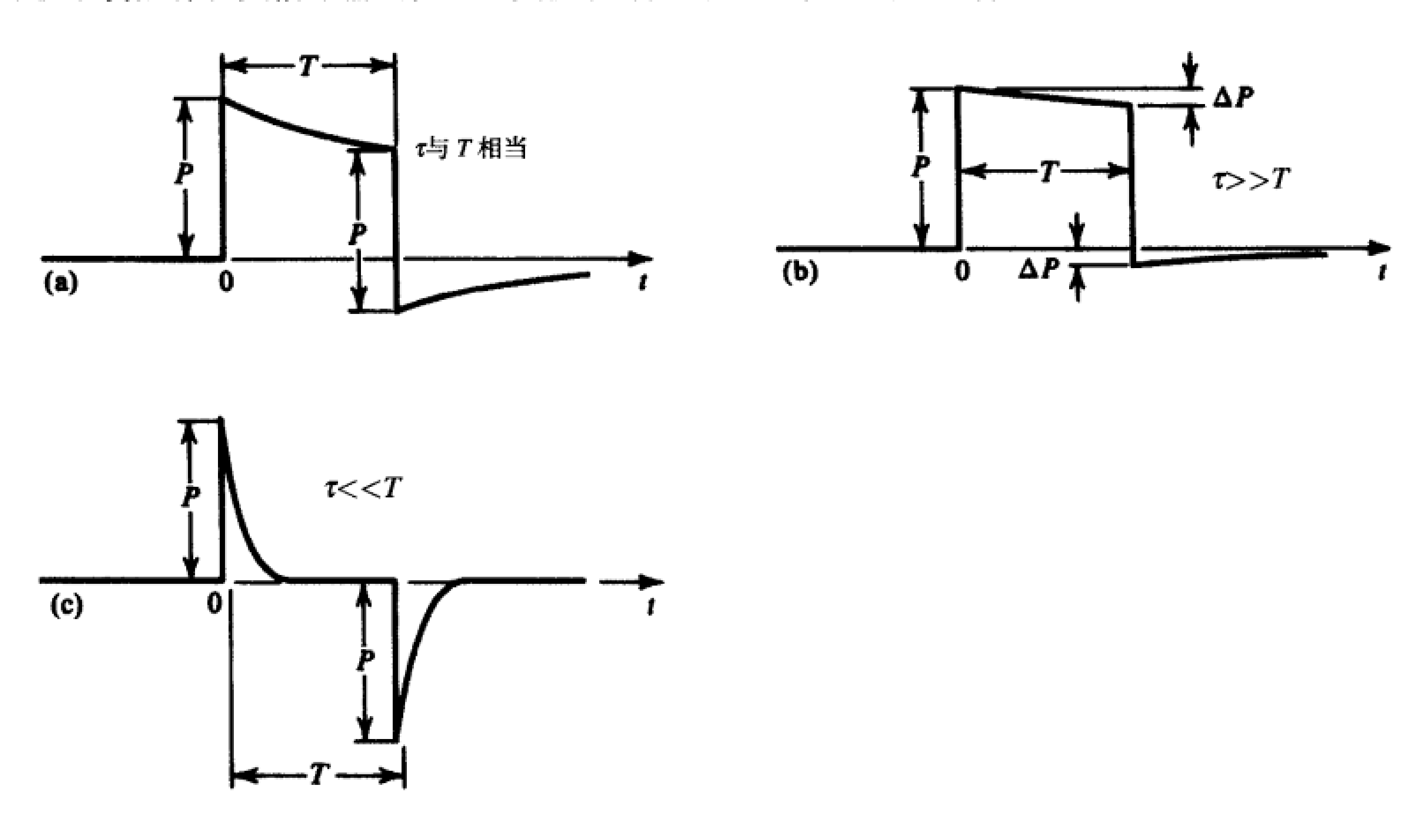


图 D.14　高通 STC 电路的三种脉冲响应

考虑图 D.14（b）所示的波形，由于τ远大于 T，呈指数衰减的曲线在 $t=0$ 到 $t=T$ 这一段近似为直线，它的斜率等于指数曲线在 $t=0$ 处的斜率，即等于 P/τ。我们可以利用这个斜率来确定幅度的损失 ΔP：

$$\Delta P \simeq \frac{P}{\tau}T \tag{D.14}$$

高通电路对脉冲响应的失真效应通常用脉幅（即脉冲幅度）损失的百分比或者每单位的脉幅损失来表示，其数值也称为输出脉冲的下垂百分比：

$$\text{下垂百分比} \equiv \frac{\Delta P}{P}\times 100 \tag{D.15}$$

即

$$\text{下垂百分比} = \frac{T}{\tau}\times 100 \tag{D.16}$$

注意，在 $t=T$ 时下冲信号的幅度等于 ΔP。

另一种极端情况是$\tau << T$，如图 D.14（c）所示，指数衰减相当快，以至于在脉冲上升沿后很短的时间内输出就几乎成为零。而在脉冲的下降沿输出是负的，幅度近似等于脉幅 P，然后迅速按指数规律衰减至零，如图 D.14（c）所示，输出波形几乎不能重现输入脉冲的形式。输出含有两个尖峰信号：上升沿处的一个尖峰和下降沿处的一个尖峰。注意，输出信号的持续时间几乎等于输入脉冲的导数时间。这表明对$\tau << T$ 的情况，高通电路近似于一个微分器。但这不是一个

理想的积分器，因为理想积分器产生的是两个冲击信号，不过时间常数非常短的 STC 高通电路仍然被用来在输入波形转换的时候产生尖脉冲或者尖峰信号。

练习 D.12 1μs 的脉冲信号通过一个截止频率为 10 MHz 的低通 RC 电路，求上升时间。

答案：35 ns

练习 D.13 考虑图 D.13（c）所示的 STC 低通电路的脉冲响应。设$\tau=100T$，求 $t=T$ 时的输出电压。再求输出波形在 $t=0$ 和 $t=T$ 时上升段的斜率差（用 $t=0$ 时斜率的百分比表示）。

答案：$0.01P$；1%

练习 D.14 放大器的输出级通过耦合电容 C 与另一级的输入端相连，如果第一级的输出电阻是 10 kΩ，第二级的输入电阻是 40 kΩ，求最小的电容值 C，使得 10μs 的脉冲信号作用后产生的下垂低于 1%。

答案：0.02μF

练习 D.15 STC 高通电路的时间常数是 100μs，激励是高度为 1 V、脉宽为 100μs 的脉冲，计算输出信号波形中下冲的值。

答案：0.632 V

习题

D.1 考虑图 D.3(a)所示的电路，它的等效电路如图 D.3(d)和(e)所示，输出电压 $v_O = v_{O1} + v_{O2}$ 是低通和高通电路输出电压的和。每个电路的时间常数都为 $\tau = (C_1 + C_2)(R_1 // R_2)$。如果要使低通电路在频率等于零和高通电路在频率等于无限时对电路的贡献一致，求电路应该满足的条件。证明该条件可以表示成 $C_1R_1 = C_2R_2$。如果条件满足且 $R_1 = R_2$，画出 $|V_o/V_i|$ 与频率的关系曲线。

D.2 利用电压分压规则求图 D.3(a)所示电路的传输函数 $V_o(s)/V_i(s)$。证明当电路满足 $C_1R_1 = C_2R_2$ 的条件时，传输函数与频率无关。满足这个条件的电路也称为补偿衰减器。求用 R_1 和 R_2 表示的传输函数。

D**D.3 图 D.3（a）所示的电路也称为补偿衰减器（见习题 D.1 和 D.2），它可以应用于示波器探头中，目的是减小进入示波器输入放大器的电压，而且电压的衰减与频率无关。探头本身包含 R_1 和 C_1，R_2 和 C_2 是用来模拟示波器输入电路的。对示波器而言，一般其输入电阻是 1 MΩ，输入电容是 30 pF，设计一个有补偿的“10：1 的探针”，即探针对信号的衰减倍数是 10。当探针和示波器连接时，求探针的输入阻抗，即在图 D.3（a）所示电路中从 v_I 端口视入的输入阻抗。证明该输入阻抗的值是示波器本身阻抗的 10 倍。这是 10：1 探针的最大好处。

D.4 在图 D.4 和图 D.5 所示的电路中，令 $L = 10$ mH，$C = 0.01\mu$F，$R = 1$ kΩ，求相角等于 45° 时的频率。

*D.5 电压放大器的开路电压增益 $A_{vo} = -100$ V/V，$R_o = 0$，$R_i = 10$ kΩ，输入电容 C_i（与电阻 R_i 并联）的值是 10 pF。放大器有一个反馈电容（连接输入和输出）$C_f = 1$ pF，放大器的电压激励源 V_s 的内阻 $R_s = 10$ kΩ。求放大器的输出函数 $V_o(s)/V_s(s)$，并画出幅频波特图（dB~对数频率）。

D.6 某电路如图 PD.6 所示，假设电压放大器是理想的。推导传输函数 $V_o(s)/V_i(s)$，STC 电路是哪种类型的？当电容 $C = 0.01$ μF，$R = 100$ kΩ时，求角频率。

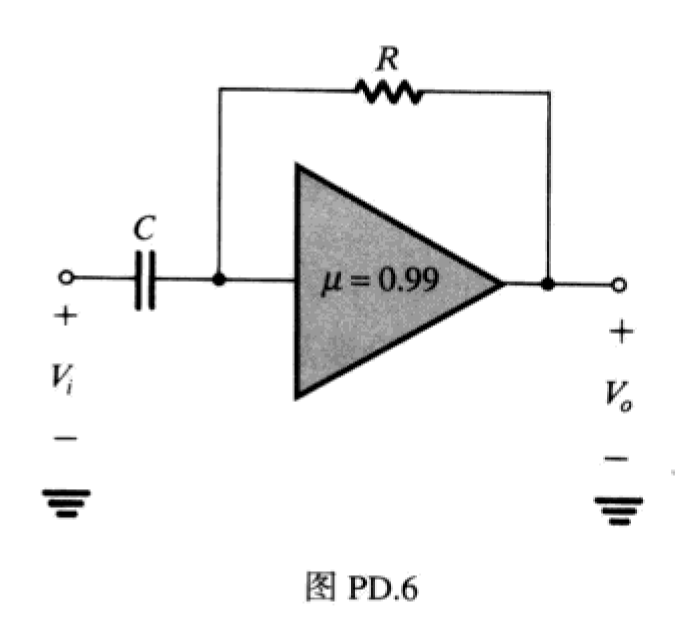


图 PD.6

D.7　某电路如图 D.4(b)和图 D.5(b)所示，当输入电压是 10 V 的阶跃信号时，求输出电压 $v_O(t)$。设 $R=1\,\text{k}\Omega$，$L=1\,\text{mH}$。

D.8　考虑 STC 低通电路对 10 V 阶跃输入信号的指数响应，求输出电压达到 5 V，9 V，9.9 V 和 9.99 V 时的时间，用时间常数 τ 表示。

D.9　示波器的高频响应可以用 STC 低通电路的频率响应来表示，低通电路的角频率为 100 MHz。如果示波器用于显示理想的阶跃信号波形，预计观察到的上升时间(10%到 90%)是多少?

D.10　示波器对阶跃信号的响应类似于低通 STC 电路，上升时间为 t_s 秒。如果输入信号显示的上升时间为 t_w，那么根据经验公式 $t_d=\sqrt{t_s^2+t_w^2}$ 可以求得看到的波形的上升时间为 t_d 秒。如果 $t_s=35\,\text{ns}$，求示波器的 3 dB 带宽是多少? 在波形上升到 100 ns、35 ns 和 10 ns 时观察到的上升时间分别是多少? 如果波形显示的上升时间是 49.5 ns，那么实际上升时间是多少?

D.11　脉冲信号的幅度是 10 V，脉宽是 10 ms，该脉冲通过一个系统，该系统具有 STC 高通电路的特性，角频率为 10 Hz，预计下冲是多少?

D.12　将一个时间常数是 τ 的 RC 积分器用做短脉冲检测器。当 $T>>\tau$ 的长脉冲作为输入激励的时候，输出信号的正、负幅度相等，当脉宽为多少时可以使得正、负幅度之间存在 10%的偏差?

D.13　STC 高通电路的时间常数是 1 ms，激励信号是脉幅为 10 V、脉宽为 1 ms 的脉冲信号，计算输出波形下冲的幅度值。如果希望输出下冲的幅度不超过 1 V，需要的时间常数是多少?

DD.14　电容 C 被用做放大器的输出和下一级输入之间的耦合器件，如果第一级的输出电阻是 2 kΩ，第二级的输入电阻是 3 kΩ，求使得 1 ms 的脉冲信号呈现出低于 1%的下垂的电容 C 的值。相应的 3 dB 带宽是多少?

DD.15　某 RC 积分器被用于将电压变化为 V 的阶跃信号转换成单脉冲并用于数字逻辑应用中。积分器驱动两种明显的信号，高于 $V/2$ 的是高电平，低于 $V/2$ 的是低电平，求电路的时间常数，要求在把阶跃输入转换成脉冲输出时其高电平能持续 10μs。

DD.16　考虑图 D.7(a)所示的电路，设 $\mu=-100$，$C_f=100\,\text{pF}$，放大器是理想的。求使得增益 $|V_o/V_s|$ 的 3 dB 带宽是 1 kHz 的电阻 R 的值。

附录 E　s 域分析——极点、零点和波特图

在分析放大器频率响应时，有许多工作都会涉及到求放大器的电压增益，该增益又都是复频率 s 的函数。在做 s 域分析时，电容 C 被导纳 sC 或阻抗 $1/sC$ 取代，电感 L 被阻抗 sL 取代。因此，采用通常的电路分析技术即可以推导出传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

练习 E.1　求图 EE.1 所示 STC 网络的电压传输函数 $T(s) \equiv V_o(s)/V_i(s)$ 。

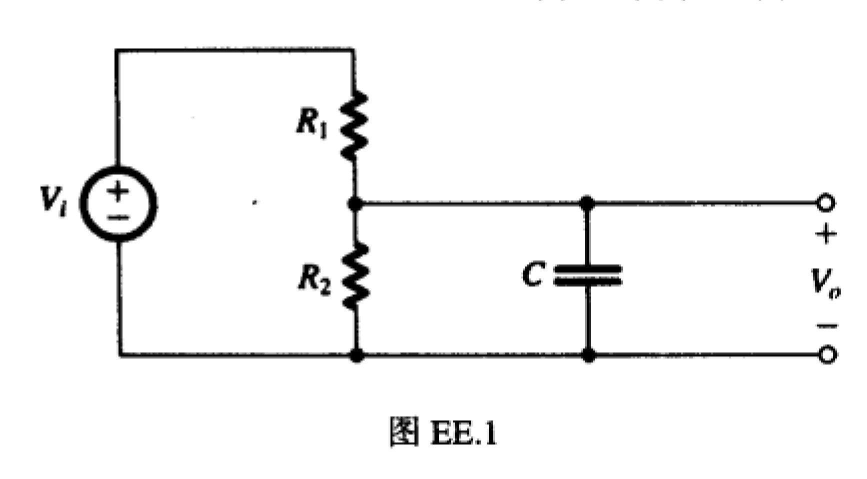


图 EE.1

答案： $T(s) = \dfrac{1/CR_1}{s + 1/C(R_1 // R_2)}$

一旦得到传输函数 $T(s)$，在 s 被物理频率 $j\omega$ 代替后，就可以进行估算。得到的传输函数 $T(j\omega)$ 通常是复数，该复数的幅度表示放大器的幅频（传输）响应，幅角表示放大器的相频响应。

很多情况下并不需要代人 $s = j\omega$来求解幅频响应 $T(j\omega)$ 。事实上，传递函数 $T(s)$的形式本身包含许多有用的电路性能。本书讨论的电路的传递函数 $T(s)$一般可以表示成如下的形式：

$$T(s) = \frac{a_m s^m + a_{m-1} s^{m-1} + \cdots + a_0}{s^n + b_{n-1} s^{n-1} + \cdots + b_0} \tag{E.1}$$

其中，系数 a 和 b 都是实数，分子多项式的次数 m 小于等于分母多项式的次数 n，后者也称为网络的阶数。另外，对一个稳定的电路（即不会自己产生信号的电路），所有分母多项式的系数必须保证分母多项式的根的实部都是负的。关于放大器的稳定性问题可参见第 8 章。

E.1　极点与零点

$T(s)$的另外一个表达式是

$$T(s) = a_m \frac{(s - Z_1)(s - Z_2)\cdots(s - Z_m)}{(s - P_1)(s - P_2)\cdots(s - P_n)} \tag{E.2}$$

其中，a_m是乘积系数（分子多项式 s^m 的系数），Z_1，Z_2，…，Z_m是分子多项式的根，P_1，P_2，…，P_n是分母多项式的根。Z_1，Z_2，…，Z_m称为传输函数的零点或传输零点，P_1，P_2，…，P_n称为传输函数的极点，或称网络的自然模式。传输函数可以由它的零点、极点和乘积系数完全确定。

极点和零点可以是实数，也可以是复数。但是因为系数 a 和 b 都是实数，所以如果存在复数

极点（或零点）的话，必定是共轭复数对。比如，$5+j3$ 是零点，那么 $5-j3$ 也必定是零点。零点是纯虚数（$\pm j\omega_Z$）的传输函数[$T(j\omega)$]，在 $\omega=\omega_Z$ 时正好等于零。这是因为分子多项式含有因子 $(s+j\omega_Z)(s-j\omega_Z)=(s^2+\omega_Z^2)$，对物理频率而言，该因子成为 $(-\omega^2+\omega_Z^2)$，因此当 $\omega=\omega_Z$ 时，传输函数恰好等于零。如果一个电路在某些特定的干扰频率上具有传输零点，且又被放置在电视机的输入端，那么这无疑是个“陷阱”。实数零点不会产生无效传输。最后应该注意的是：当 s 的值远大于所有零点和极点值的时候，式（E.1）的传输函数将变为 $T(s)\simeq a_m/s^{n-m}$，即传输函数有（$n-m$）个位于 $s=\infty$ 的零点。

E.2　一阶函数

本书所遇到的传输函数大多数都具有实数极点和零点，因而可以写成由若干个一阶因子相乘的一般形式：

$$T(s)=\frac{a_1s+a_0}{s+\omega_0} \tag{E.3}$$

其中，$-\omega_0$ 表示实数极点的位置，ω_0 的值也称为极点频率，它等于单时间常数网络（STC）（参见附录D）的时间常数的倒数。系数 a_0 和 a_1 确定STC网络的类型。特别是我们在第1章讲过的两种STC网络——低通和高通网络。对低通一阶网络，我们有：

$$T(s)=\frac{a_0}{s+\omega_0} \tag{E.4}$$

这里，直流增益是 a_0/ω_0，ω_0 是角频率（或称为3 dB频率）。我们注意到在 $s=\infty$ 处，传输函数有一个零点。另外对一阶高通网络，传输函数有一个直流的零点，其传输函数为

$$T(s)=\frac{a_1s}{s+\omega_0} \tag{E.5}$$

关于这一点，我们希望读者能够复习一下附录D中有关STC网络及其频率响应和对脉冲信号的响应的内容。我们应该特别关注一下这两种特定STC网络的幅频和相频响应曲线图，这些曲线图可以用来合成高阶传输函数的幅频和相频曲线图，下面就将对此给出详细解释。

E.3　波特图

有一种简单的方法可以用来获得给定极点和零点的传输函数的近似幅频和相频曲线。该方法对实数零点和极点的情况尤其适用。由于这个方法是由H. Bode提出的，所以相应的曲线也就称为波特图。

式（E.2）描述的传输函数包含形式为 $s+a$ 的因子的乘积。若该因子出现在分子中，则与一个零点相对应；若该因子出现在分母中，则与一个极点相对应。它告诉我们，如果将传输函数的幅频响应用分贝（dB）表示的话，实际上就是将形式为 $20\log_{10}\sqrt{a^2+\omega^2}$ 的各项因子进行加法运算，而相频响应则是将形式为 $\tan^{-1}(\omega/a)$ 的各因子相加。无论是幅频响应还是相频响应，与极点相关的因子前面都有符号。为简单起见，我们可以提取一个常数 a，得到的幅频响应的形式为 $20\log\sqrt{1+(\omega/a)^2}$。在纵坐标为分贝（dB）、横坐标为对数坐标的坐标系中，上式得到的曲线和近似直线如图E.1所示。这里，低频渐近线是位于0 dB的水平直线，高频渐近线是斜率为6 dB/二倍频程（也等于20 dB/十倍频程）的直线。两条渐近线相交所对应的频率为 $\omega=|a|$，称为角频率。如图中所示，实际的幅度值和近似值之间有误差，最大的误差是3 dB，出现在角频率点上。

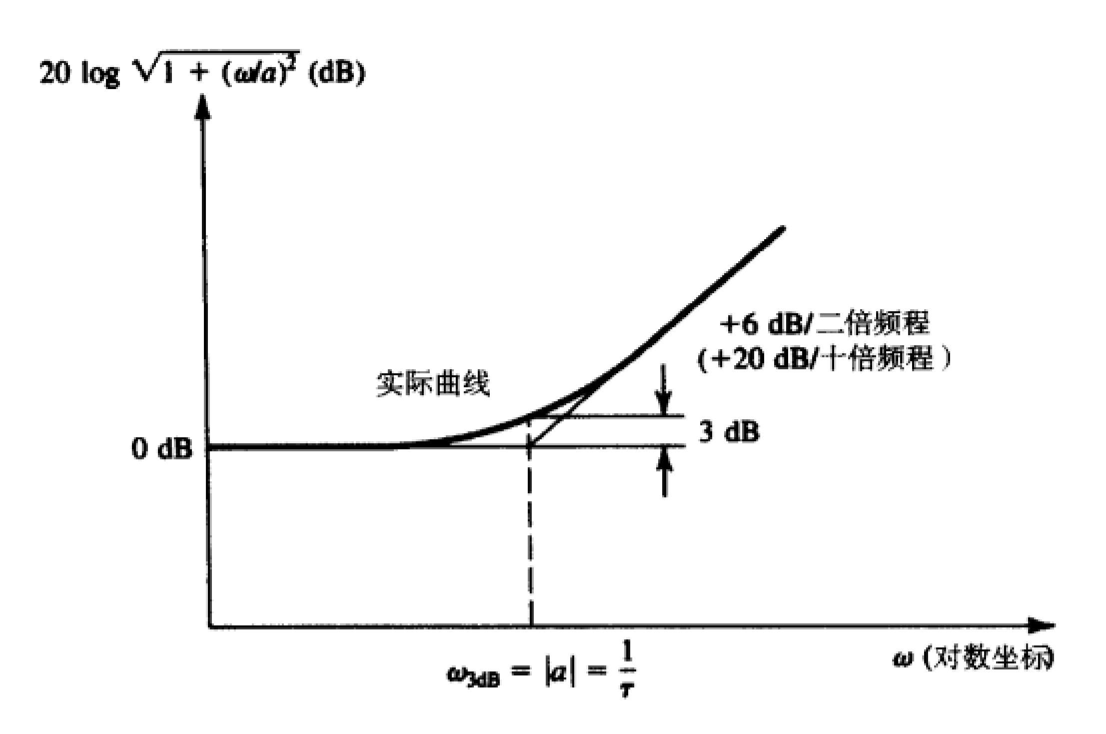


图 E.1　典型幅度因子的波特图。图中所示曲线适用于零点的情况。如果是极点，则需将高频渐近曲线画成斜率为–6 dB/二倍频程的直线

当 $a=0$ 时，也就是零点或者极点在 $s=0$ 处，这时的曲线就是一条斜率为 6 dB/二倍频程并且与 0 dB 的水平线相交于 $\omega=1$ 的直线。

总之，为了得到传输函数的幅频波特图，应首先画出每一个一阶极点和零点因子的幅频波特图。对零点因子，其高频渐近线的斜率为+20 dB/十倍频程；对极点因子，其高频渐近线的斜率为–20 dB/十倍频程，然后将各渐近线叠加起来，完整曲线在垂直方向上的平移取决于传输函数常数因子的分贝（dB）数。

例题 E.1　放大器的电压传输函数为

$$T(s)=\frac{10s}{(1+s/10^2)(1+s/10^5)}$$

求极点和零点，画出幅频特性波特图，并求出频率 $\omega=10\ \mathrm{rad/s}$，$10^3\ \mathrm{rad/s}$，$10^6\ \mathrm{rad/s}$ 时的近似幅度值。

解： 各零点位置：一个位于 $s=0$，一个位于 $s=\infty$。各极点位置：一个位于 $s=-10^2\ \mathrm{rad/s}$，一个位于 $s=-10^5\ \mathrm{rad/s}$。

图 E.2 给出的是输出函数的不同因子的渐近波特图，曲线 1 是一条直线，斜率为+20 dB/十倍频程，经过 $\omega=1\ \mathrm{rad/s}$ 的频率点，这是对应于分子为 s 这一项（即 $s=0$ 的零点）的渐近波特图。极点 $s=-10^2\ \mathrm{rad/s}$ 对应曲线 2，它包含两条渐近线，交于 $\omega=10^2\ \mathrm{rad/s}$。同样，极点 $s=-10^5\ \mathrm{rad/s}$ 对应于曲线 3，其中交点位于 $\omega=10^5\ \mathrm{rad/s}$。最后，曲线 4 表示常数因子 10 对应的分贝（dB）数。

把这四条曲线相加就得到了放大器增益的渐近波特图（曲线 5）。我们注意到两个极点离得相当远，所以增益在 10^2~10^5 rad/s 的范围内非常接近于 10^3（60 dB），在两个角频率上（10^2 rad/s 和 10^5 rad/s），增益比 60 dB 将近低 3 dB。在三个特殊频率点上，从波特图上得到的近似值和从传输函数得到的精确值如下表所示：

ω	近似增益值	精确增益值
10	40 dB	39.96 dB
10^3	60 dB	59.96 dB
10^6	40 dB	39.96 dB

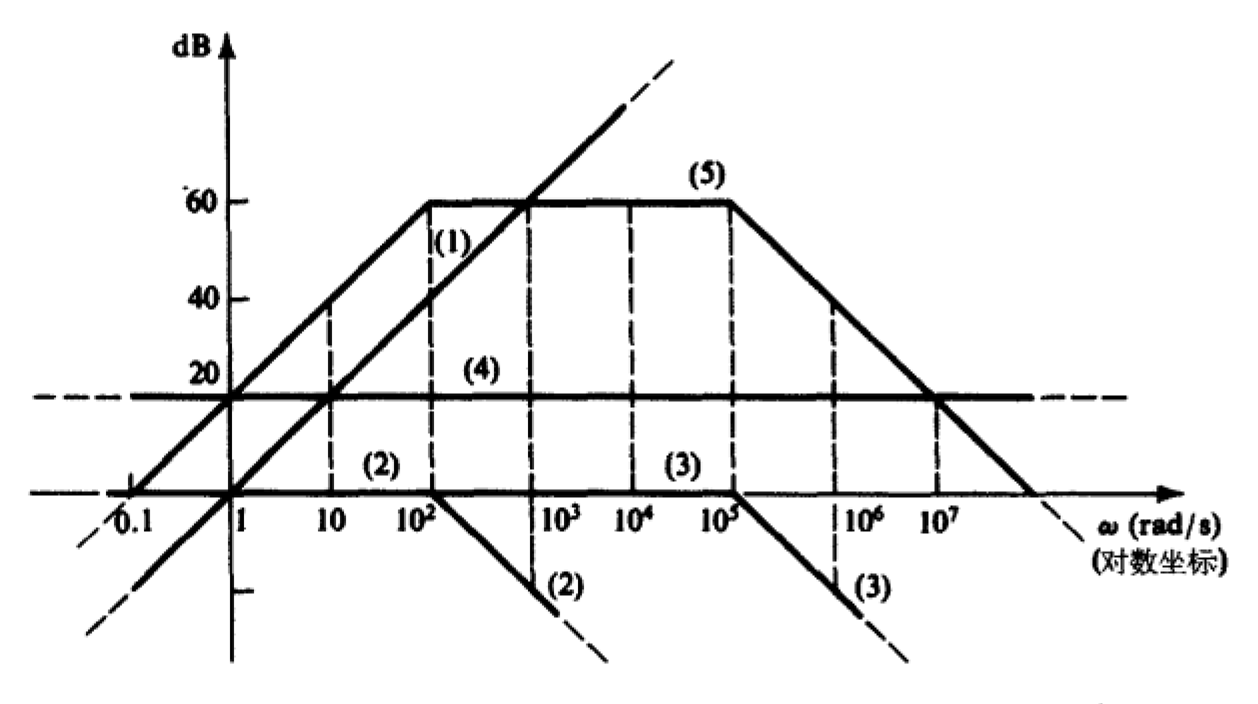


图 E.2　例题 E.1 的波特图　■

接下来讨论相频波特图。图 E.3 给出的是相频特性形式为 $\tan^{-1}(\omega/a)$ 的相频曲线，假设 a 是负数。图中也给出了反正切函数曲线的直线逼近。渐近线包括三条直线：第一条是位于 $\phi=0$ 的水平线，它终止于 $\omega=0.1|a|$；第二条是斜率为–45° /十倍频程的直线，它从 $\omega=0.1|a|$ 开始，终止于 $\omega=10|a|$；第三条是斜率等于 0、数值为–90° 的水平线。完整的相频响应曲线需将所有极点和零点因子的相频曲线叠加起来。

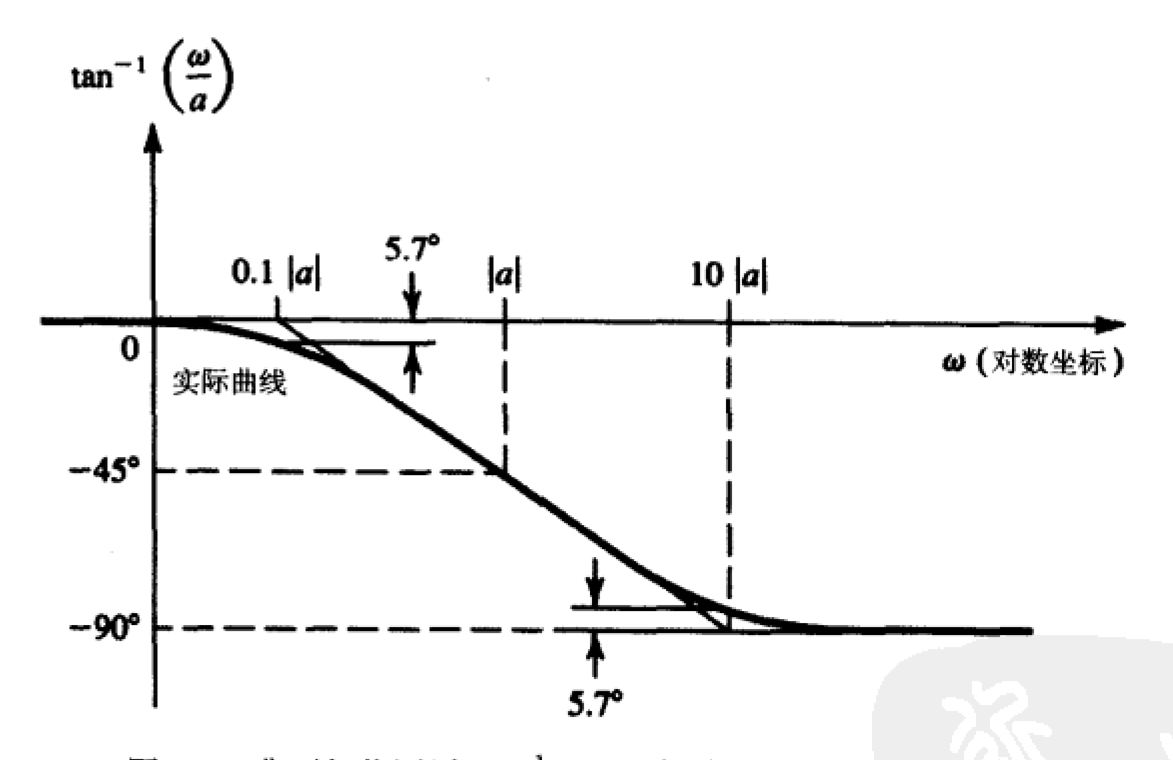


图 E.3　典型相位因子 $\tan^{-1}(\omega/a)$ 的波特图，其中 a 是负数

例题 E.2　求例题 E.1 的放大器的相频特性波特图。

解：位于 $s=0$ 的零点会产生一条相角等于+90° 的水平线，如图 E.4 中的曲线 1。

极点 $s=-10^2\,\text{rad/s}$ 给出的相位函数是

$$\phi_1=-\tan^{-1}\frac{\omega}{10^2}$$

（前面的负号表示这是一项极点因子。）对应的相频曲线如图 E.4 所示的曲线 2，极点 $s=-10^5\,\text{rad/s}$ 给出的相位函数是

$$\phi_2 = -\tan^{-1}\frac{\omega}{10^5}$$

它的渐近曲线如图 E.4 所示的曲线 3。整个相频特性响应（曲线 4）是将上述三条渐近曲线直接叠加后得到的。我们看到在 100 rad/s 的频率点上相角超前 45°，而在 10^5 rad/s 的频率点上，相角滞后 45°。

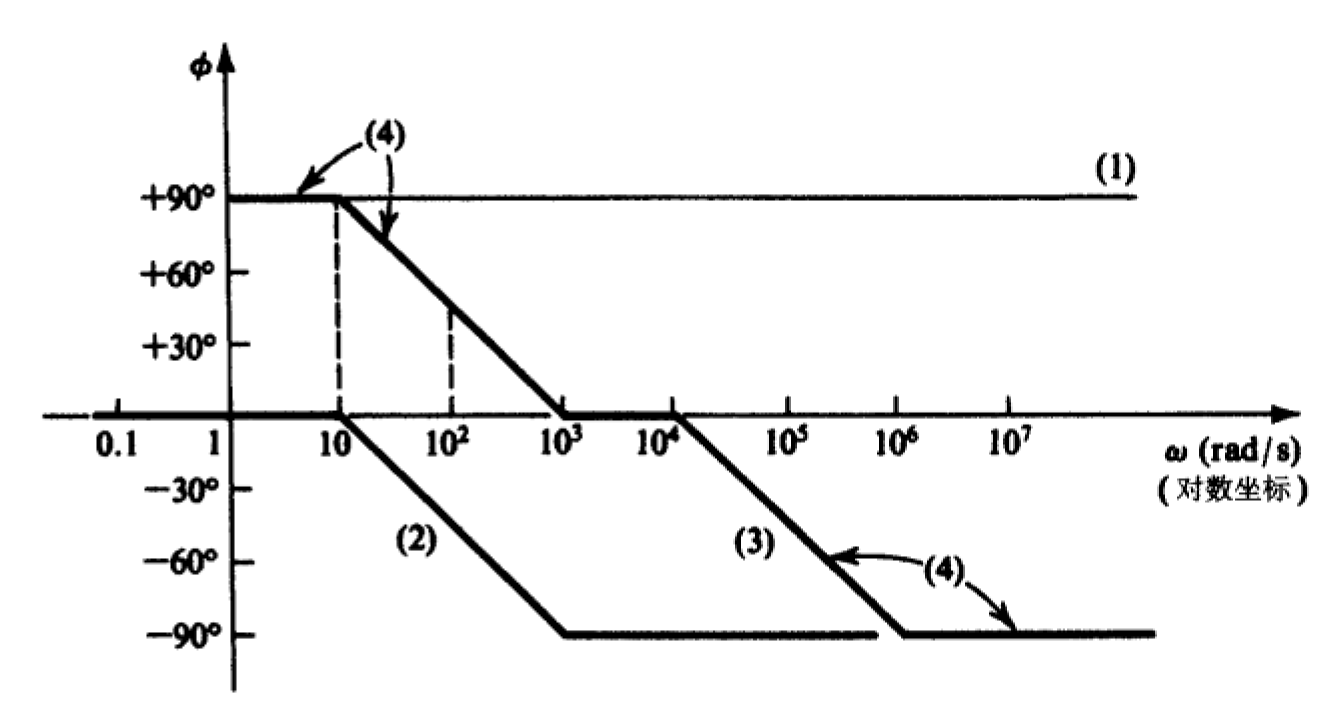


图 E.4 例题 E.2 的相频波特图 ■

E.4 重要说明

要画出波特图，最方便的方法是先把传输函数写成形如（1 + s/a）的乘积项的形式，然后直接应用图 E.1 和图 E.2 以及两个例题的相关内容。

习题

E.1 求图 PE.1 所示电路的传输函数 $T(s) = V_o(s)/V_i(s)$。这是 STC 网络吗？如果是，是什么类型的？当 $C_1 = C_2 = 0.5\mu\text{F}$，$R = 100\ \text{k}\Omega$ 的时候，求零点和极点，并画出幅频和相频波特图。


D*E.2 （a）求图 PE.2 所示的 STC 网络的电压传输函数 $T(s) = V_o(s)/V_i(s)$。

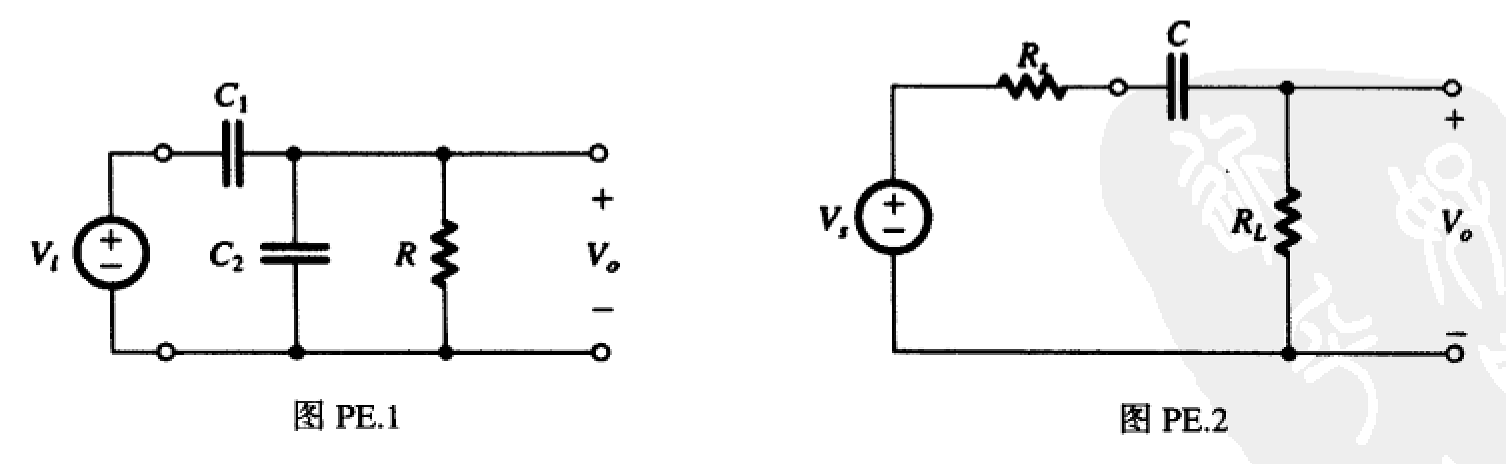


图 PE.1　　图 PE.2

（b）在该电路中，电容 C 用于将信号源内阻为 R_s 的电压源 V_s 耦合到负载 R_L 上。如果 R_s = 10 kΩ，设计电路参数 R_L 和 C 的值（只保留 1 位有效位）以满足以下要求。

（i）负载电阻尽可能地小。

（ii）高频时输出信号至少要达到输入信号的 70%。

（iii）10 Hz 时输出信号至少要达到输入信号的 10%。

E.3　有两个由 RC 电路组成的 STC 网络，每一个都有一个 100 rad/s 的极点频率，最大增益均为单位 1，将它们和一个单位增益的缓冲器级联起来并保证两个 STC 网络相互独立。根据可能的组合（低通和高通），求：（i）相应的传输函数；（ii）10 rad/s 处的电压增益；（iii）100 rad/s 处的电压增益；（iv）1000 rad/s 处的电压增益。

E.4　设计式（E.5）的传输函数中的参数 a_1 和 ω_0，使得高频时的电压增益为 10 V/V，10 Hz 时的电压增益为 1 V/V。

E.5　放大器具有低通 STC 电路的频率响应。直流时的幅度增益为 20 dB，100 kHz 时的增益为 0 dB，求角频率、增益为 19 dB 时的频率及相角为–6° 时的频率。

E.6　传输函数的极点为（–5），（$-7+j10$）和（–20），零点为（$-1-j20$）。因为该传输函数代表的是实际电路，因此一定还有其他的零点和极点，求出这些零点和极点。

E.7　放大器的电压传输函数为 $T(s)=10^6 s/(s+10)(s+10^3)$。将其转换为便于画出波特图的形式［即将其改写成（$1+s/a$）的若干因子的乘积形式］。画出幅频波特图，并利用该波特图近似估算下列频率点上的增益值：1 rad/s，10 rad/s，10^2 rad/s，10^3 rad/s，10^4 rad/s 和 10^5 rad/s。在 10 rad/s 和 10^3 rad/s 上的实际值是多少？

E.8　画出习题 E.7 的放大器的相频波特图。估算下列频率点上的相角值：1 rad/s，10 rad/s，10^2 rad/s，10^3 rad/s，10^4 rad/s 和 10^5 rad/s。为了进行比较，计算频率 1 rad/s，10 rad/s，100 rad/s 上的实际相角值。

E.9　一个传输函数的零点和极点如下：一个零点位于 $s=0$，另一个零点位于 $s=\infty$；一个极点位于 $s=-100$，另一个极点位于 $s=-10^6$。在频率 $\omega=10^4\,\text{rad/s}$ 处，传输函数的幅度是 100。求传输函数 $T(s)$并画出幅频波特图。

E.10　画出以下传输函数的幅频和相频波特图：

$$T(s)=\frac{10^4(1+s/10^5)}{(1+s/10^3)(1+s/10^4)}$$

根据所画的图形，求频率 $\omega=10^6\,\text{rad/s}$ 的近似幅度值和相角。如果从传输函数的表达式中求解，精确值应该是多少？

E.11　放大器的电压传输函数为 $T(s)=10s^2/(1+s/10)(1+s/100)(1+s/10^6)$。求零点和极点，画出用分贝（dB）表示的增益与对数频率的曲线，估算以下频率点上的增益值：10^0 rad/s，10^3 rad/s，10^5 rad/s 和 10^7 rad/s。

E.12　直接耦合差分放大器的差模增益为 100 V/V，极点频率是 10^6 rad/s 和 10^8 rad/s，共模增益是 10^{-3} V/V，一个零点频率是 10^4 rad/s，一个极点频率是 10^8 rad/s。画出差模增益、共模增益以及 CMRR 的幅频波特图。频率为 10^7 rad/s 时的 CMRR 是多少？（提示：幅度的除法对应于对数之间的减法。）

附录F 参考文献

电子电路的通用教材

E.F. Angelo Jr., *Electronics: BJTs, FETs, and Microcircuits,* New York: McGraw-Hill, 1969.

S.B. Burns and P.R. Bond, *Principles of Electronic Circuits,* St. Paul: West, 1987.

M.S. Ghausi, *Electronic Devices and Circuits: Discrete and Integrated,* New York: Holt, Rinehart and Winston, 1985.

P.E. Gray and C.L. Searle, *Electronic Principles,* New York: Wiley, 1969.

A.R. Hambley, *Electronics, 2nd ed.,* Upper Saddle River, NJ: Prentice-Hall, 1999.

W.H. Hayt and G.W. Neudeck, *Electronic Circuit Analysis and Design, 2nd ed.,* Boston: Houghton Mifflin Co., 1984.

C.A. Holt, *Electronic Circuits,* New York: Wiley, 1978.

M.N. Horenstein, *Microelectronic Circuits and Devices, 2nd ed.,* Englewood Cliffs, NJ: Prentice-Hall, 1995.

R.T. Howe and C.G. Sodini, *Microelectronics—An Integrated Approach,* Englewood Cliffs, NJ: Prentice-Hall, 1997.

R.C. Jaeger and T.N. Blalock, *Microelectronic Circuit Design, 2nd ed.,* New York: McGraw-Hill, 2004.

N.R. Malik, *Electronic Circuits: Analysis, Simulation, and Design,* Englewood Cliffs, NJ: Prentice-Hall, 1995.

J. Millman and A. Grabel, *Microelectronics, 2nd ed.,* New York: McGraw-Hill, 1987.

D.A. Neamen, *Electronic Circuit Analysis and Design, 2nd ed.,* New York: McGraw-Hill, 2001.

M.H. Rashid, *Microelectronic Circuits: Analysis and Design,* Boston: PWS, 1999.

D.L. Schilling and C. Belove, *Electronic Circuits, 2nd ed.,* New York: McGraw-Hill, 1979.

R.A. Spencer and M.S. Ghausi, *Introduction to Electronic Circuit Design,* Upper Saddle River, NJ: Pearson Education Inc. (Prentice-Hall), 2003.

电路与系统分析

L.S. Bobrow, *Elementary Linear Circuit Analysis, 2nd ed.,* New York: Holt, Rinehart and Winston, 1987.

A.M. Davis, *Linear Circuit Analysis,* Boston, MA: PWS Publishing Company, 1998.

S.S. Haykin, *Active Network Theory,* Reading, MA: Addison-Wesley, 1970.

W.H. Hayt, G.E. Kemmerly, and S.M. Durbin, *Engineering Circuit Analysis, 6th ed.,* New York: McGraw-Hill, 2003.

D. Irwin, *Basic Engineering Circuit Analysis, 7th ed.,* New York: Wiley, 2001.

B.P. Lathi, *Linear Systems and Signals,* New York: Oxford University Press, 1992.

J.W. Nilsson and S. Riedel, *Electronic Circuits, 6th ed.,* Revised Printing, Upper Saddle River, NJ: Prentice-Hall, 2001.

器件与 IC 制造

R.S.C. Cobbold, *Theory and Applications of Field Effect Transistors,* New York: Wiley, 1969.

I. Getreu, *Modeling the Bipolar Transistor,* Beaverton, OR: Teletronix, Inc., 1976.

R.S. Muller and T.I. Kamins, *Device Electronics for Integrated Circuits, 3rd ed.,* New York: Wiley, 2003.

J.D. Plummer, M.D. Deal, and P.B. Griffin, *Silicon VLSI Technology,* Upper Saddle River, NJ: Prentice-Hall, 2000.

D.L. Pulfrey and N.G. Tarr, *Introduction to Micro-electronic Devices,* Englewood Cliffs, NJ: Prentice-Hall, 1989.

C.L. Searle, A.R. Boothroyd, E.J. Angelo, Jr., P.E. Gray, and D.O. Pederson, *Elementary Circuit Properties of Transistors,* Vol. 3 of the SEEC Series, New York: Wiley, 1964.

B.G. Streetman and S. Banerjee, *Solid-State Electronic Devices, 5th ed.,* Upper Saddle River, NJ: Prentice-Hall, 2000.

Y. Tsividis, *Operation and Modeling of the MOS Transistor, 2nd ed.,* New York: Oxford University Press, 1999.

差分放大器

G.B. Clayton, *Experimenting with Operational Amplifiers,* London: Macmillan, 1975.

G.B. Clayton, *Operational Amplifiers, 2nd ed.,* London: Newnes-Butterworths, 1979.

S. Franco, *Design with Operational Amplifiers and Analog Integrated Circuits, 3rd ed.,* New York: McGraw-Hill, 2001.

J.G. Graeme, G.E. Tobey, and L.P. Huelsman, *Operational Amplifiers: Design and Applications,* New York: McGraw-Hill, 1971.

W. Jung, *IC Op Amp Cookbook,* Indianapolis: Howard Sams, 1974.

E.J. Kennedy, *Operational Amplifier Circuits: Theory and Applications,* New York: Holt, Rinehart and Winston, 1988.

J.K. Roberge, *Operational Amplifiers: Theory and Practice,* New York: Wiley, 1975.

J.L. Smith, *Modern Operational Circuit Design,* New York: Wiley-Interscience, 1971.

J.V. Wait, L.P. Huelsman, and G.A. Korn, *Introduction to Operational Amplifiers Theory and Applications,* New York: McGraw-Hill, 1975.

模拟电路

P.E. Allen and D.R. Holberg, *CMOS Analog Circuit Design, 2nd ed.,* New York: Oxford University Press, 2002.

K. Bult, *Transistor-Level Analog IC Design.* Notes for a short course organized by Mead, Ecole Polytechnique Féderal De Lausanne, 2002.

R.L. Geiyer, P.E. Allen, and N.R. Strader, *VLSI Design Techniques for Analog and Digital Circuits,* New York: McGraw-Hill, 1990.

P.R. Gray, P.J. Hurst, S.H. Lewis, and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits, 4th ed.,* New York: Wiley, 2001.

A.B. Grebene, *Bipolar and MOS Analog Integrated Circuit Design,* New York: Wiley, 1984.

R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing,* New York: Wiley, 1986.

IEEE Journal of Solid-State Circuits, a monthly publication of the IEEE.

D.A. Johns and K. Martin, *Analog Integrated Circuit Design,* New York: Wiley, 1997.

K. Laker and W. Sansen, *Design for Analog Integrated Circuits and Systems,* New York: McGraw-Hill, 1999.

H.S. Lee, "Analog Design," Chapter 8 in *BiCMOS Technology and Applications,* A.R. Alvarez, editor, Boston: Kluwer Academic Publishers, 1989.

B. Razavi, *Design of Analog CMOS Integrated Circuits,* New York: McGraw-Hill, 2001.

J.K. Roberge, *Operational Amplifiers: Theory and Practice,* New York: Wiley, 1975.

S. Rosenstark, *Feedback Amplifier Principles,* New York: Macmillan, 1986.

A.S. Sedra and G.W. Roberts, "Current Conveyor Theory and Practice," Chapter 3 in *Analogue IC Design: The Current-Mode Approach*, C. Toomazon, F.J. Lidgey, and D.G. Haigh, editors, London: Peter Peregrinus, 1990.

R. Severns, editor, *MOSPOWER Applications Handbook*, Santa Clara, CA: Siliconix, 1984.

Texas Instruments, Inc., *Power Transistor and TTL Integrated-Circuit Applications*, New York: McGraw-Hill, 1977.

S. Soelof, *Applications of Analog Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1985.

National Semiconductor Corporation, Audio/Radio Handbook, Santa Clara, CA: National Semiconductor Corporation, 1980.

J.M. Steininger, "Understanding wideband MOS transistors," *IEEE Circuits and Devices*, Vol. 6, No. 3, pp. 26–31, May 1990.

数字电路

A.R. Alverez, editor, *BiCMOS Technology and Applications, 2nd ed.*, Boston: Kluwer, 1993.

S.H.K Embabi, A. Bellaour, M.I. Elmasry, *Digital BiCMOS Integrated Circuit Design*, Boston: Kluwer, 1993.

M.J. Elmasry, editor, *Digital MOS Integrated Circuits*, New York: IEEE Press, 1981. Also, *Digital MOS Integrated Circuits II*, 1992.

D.A. Hodges and H.G. Jackson, *Analysis and Design of Digital Integrated Circuits, 2nd ed.*, New York: McGraw-Hill, 1988.

IEEE Journal of Solid-State Circuits, a monthly publication of the IEEE.

S.M. Kang and Y. Leblebici, *CMOS Digital Integrated Circuits, 3rd ed.*, New York: McGraw-Hill, 2003.

R. Littauer, *Pulse Electronics*, New York: McGraw-Hill, 1965.

K. Martin, *Digital Integrated Circuit Design*, New York: Oxford University Press, 2000.

J. Millman and H. Taub, *Pulse, Digital, and Switching Waveforms*, New York: McGraw-Hill, 1965.

Motorola, *MECL Device Data*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1989.

Motorola, *MECL System Design Handbook*, Phoenix, AZ: Motorola Semiconductor Products, Inc., 1988.

J.M. Rabaey, *Digital Integrated Circuits*, Englewood Cliffs, NJ: Prentice-Hall, 1996. Note: Also a 2nd ed., with A. Chandrakasan and B. Nikolic, appeared in 2003.

L. Strauss, *Wave Generation and Shaping, 2nd ed.*, New York: McGraw-Hill, 1970.

H. Taub and D. Schilling, *Digital Integrated Electronics*, New York: McGraw-Hill, 1977.

N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Reading, MA: Addison-Wesley, 1985 and 1993.

滤波器与调谐放大器

P.E. Allen and E. Sanchez-Sinencio, *Switched-Capacitor Circuits*, New York: Van Nostrand Reinhold, 1984.

K.K. Clarke and D.T. Hess, *Communication Circuits: Analysis and Design*, Ch. 6, Reading, MA: Addison Wesley, 1971.

G. Daryanani, *Principles of Active Network Synthesis and Design*, New York: Wiley, 1976.

R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York: Wiley-Interscience, 1986.

C. Ouslis and A. Sedra, "Designing custom filters," *IEEE Circuits and Devices*, May 1995, pp. 29–37.

S.K. Mitra and C.F. Kurth, editors, *Miniaturized and Integrated Filters*, New York: Wiley-Interscience, 1989.

R. Schaumann, M.S. Ghausi, and K.R. Laker, *Design of Analog Filters*, Englewood Cliffs, NJ: Prentice-Hall, 1990.

R. Schaumann, M. Soderstand, and K. Laker, editors, *Modern Active Filter Design*, New York: IEEE Press, 1981.

R. Schaumann and M.E. Van Valkenburg, *Design of Analog Filters*, New York: Oxford University Press, 2001.

A.S. Sedra, "Switched-capacitor filter synthesis," in *MOS VLSI Circuits for Telecommunications*, Y. Tsividis and P. Antognetti, editors, Englewood Cliffs, NJ: Prentice-Hall, 1985.

A.S. Sedra and P.O. Brackett, *Filter Theory and Design: Active and Passive*, Portland, OR: Matrix, 1978.

M.E. Van Valkenburg, *Analog Filter Design*, New York: Holt, Rinehart and Winston, 1981.

A.I. Zverev, *Handbook of Filter Synthesis*, New York: Wiley, 1967.

SPICE

M.E. Herniter, *Schematic Capture with Cadence PSpice, 2nd ed.*, NJ: Prentice-Hall, 2003.

G. Massobrio and P. Antognetti, *Semiconductor Device Modeling with SPICE, 2nd ed.*, New York: McGraw-Hill, 1993.

G.W. Roberts and A.S. Sedra, *SPICE*, New York: Oxford University Press, 1992 and 1997.

J.A. Svoboda, *PSpice for Linear Circuits*, New York: Wiley, 2002.

P.W. Tuinenga, *SPICE: A Guide To Circuit Simulation & Analysis Using PSpice, 2nd ed.*, NJ: Prentice-Hall, 1992.



附录 G　标准电阻值与单位前缀

分立元件电阻得到的是标准值。表 G.1 给出的是与标准值有 5%容差和 1%容差的倍增因子。即千欧级的 5%电阻，因此可以找到电阻值是 1.0，1.1，1.2，1.3，1.5，…的电阻。在同样的范围中，1%容差的千欧级电阻值是 1.00，1.02，1.05，1.07，1.10，…。

表 G.1　标准电阻值

	1%电阻值(kΩ)			
5%电阻值 (kΩ)	100~174	178~309	316--549	562~976
10	100	178	316	562
11	102	182	324	576
12	105	187	332	590
13	107	191	340	604
15	110	196	348	619
16	113	200	357	634
18	115	205	365	649
20	118	210	374	665
22	121	215	383	681
24	124	221	392	698
27	127	226	402	715
30	130	232	412	732
33	133	237	422	750
36	137	243	432	768
39	140	249	442	787
43	143	255	453	806
47	147	261	464	825
51	150	267	475	845
56	154	274	487	866
62	158	280	499	887
68	162	287	511	909
75	165	294	523	931
82	169	301	536	953
91	174	309	549	976

表 G.2 给出的是本书和所有现代英文著作中使用的国际单位的前缀。

表 G.2　国际单位的前缀

名称	符号	因子
毫微微	f	$\times10^{-15}$
微微	p	$\times10^{-12}$
毫微	n	$\times10^{-9}$
微	μ	$\times10^{-6}$
毫	m	$\times10^{-3}$
千	k	$\times10^{3}$
兆	M	$\times10^{6}$
吉	G	$\times10^{9}$
太	T	$\times10^{12}$
拍	P	$\times10^{15}$



附录H 部分习题答案

第10章

10.1 1.5 V; 1.5 V; 1.5 V; 0 V; 3 V; 1.5 V; 1.5 V; ∞ 10.3 0.35 ~ 0.45 V; 0.75 ~ 0.85 V; 0 V; 1 .2 V; 0.45 ~ 0.35 V; 0.35 ~ 0.45 V 10.4 (a) t_{PLH} = 1.6 ns, t_{PHL} = 0.8 ns; (b) C = 1.43 pF; (c) C_o = 0.86 pF, C_i = 0.57 pF 10.6 0.436; 1.48 mW 10.7 最高工作频率按下列倍数下降：(a) 0.66, (b) 0.44。两种情况下的 DP 均下降 0.44 倍 10.9 器件尺寸的变化对性能参数的改变因数为：0.81, 1.11, 0.86, 0.77, 1.30, 1.11, 0.86, 1.60. 10.14 9.1 mV; 50 mV 10.19 106 fF; 68.5 ps 10.26 24 10.33 $p_A=p$; $p_B=p_C=p_D=2p$; $n_A = n_B=2n$; $n_C=n_D=2(2n) = 4n$ 10.35 尺寸合适，t_{PHL}是最小尺寸情况下的 1/4; t_{PLH}不变 10.38 (a) 0.69 CR_D; (b) 0.5 CR_D, 下降 27.5% 10.39 1.152; 1.76 V; 3.25 V; 2.70 V; +5.0 V; 0.58 V; 1.75 V; 1.18 V 10.40 2.4 fF; 10.5 fF; 63.5 ps; 41.2 ps; 52.4 ps; 9.6 fF; 24.0 fF; 72.5 ps; 72.5 ps; 72.5 ps 10.41 $r \simeq 2$; $NM_{L\max}$ 1.28 V 10.43 1.33; 0.92 V 10.53 (a) 1.62 V; 1.16 V; 15.3 μA; 351.61 μA; 183 μA; 177 ps 10.60 0.67 V; 1.25 V 10.62 1.1 GHz

第11章

11.1 2.16 V; 0.93; 1.86 11.3 6 11.11 10.4 μs; 9.8 V; 5.7 V; ≃ 0.1 V; 21.5 mA; 源电流可达 21 mA (若 R_{on} = 200 Ω), 但是 G_1 被限制为更低的权值 11.13 (a) 1.39 CR; (b) 10 kΩ; 721 pF 11.14 97.2% 11.18 16 位 11.19 1024; 1024; 4000 pF; 225 pF; 220 fF/b; 2.8 倍 11.20 0.3 μm²; 0.39 μm × 0.78 μm 11.21 60% 11.22 4; 12; 28 11.27 32 Mb 11.29 2 pA 11.30 1.589 mA/V; 11.36 μm; 34.1 μm; 1.56 ns 11.31 0.68 mA/V; 0.48 V; 0.21 V; 50%; 7.5 ns 11.32 (b) 2; (c) 1.46 11.34 9; 512; 18; 4608 NMOS 与 512 PMOS 晶体管 11.35 9; 1024; 4608; 512; 5641; 521 11.36 262144; 9; 1022 11.39 2.42 ns;22 ns, 3.16 V; 1.9 ns 11.41 33.3 MHz; 输出为高的时间为 13 ns; 输出为低的时间为 17 ns 11.44 0.329 V/V; 8.94 V/V; 0.368 V/V 11.45 (a) −1.375 V, −1.265 V; (b) −1.493 V, −1.147 V 11.47 21.2 11.49 7 cm 11.51 $(W/L)_p$ =5 μm/1 μm; 6.5 mA 11.52 2.32 V; 3.88 mA 11.53 对于 R_1: 50%; 36.5 kΩ; 20%; 91.1 kΩ; 对于 R_2: 50%; 6.70 kΩ; 20%; 16.7 kΩ; 50%; R_1/R_2 = 5.45; 20%; R_1/R_2 = 5.45 11.54 83.2 ps; 50.7 ps; 67.0 ps 11.56 $(W/L)_{Q_{NA}} = (W/L)_{Q_{NB}} = 2(W/L)_{Q_N}$；$(W/L)_{Q_{PA}} = (W/L)_{Q_{PB}} = (W/L)_{Q_P}$

第12章

12.1 1 V/V, 0°, 0 dB, 0 dB
0.894 V/V, −26.6°, −0.97 dB, 0.97 dB
0.707 V/V, −45.0°, −3.01 dB, 3.01 dB
0.447 V/V, −63.4°, −6.99 dB, 6.99 dB
0.196 V/V, −78.7°, −14.1 dB, 14.1 dB
0.100 V/V, −84.3°, −20.0 dB, 20.0 dB
0.010 V/V, −89.4°, −40.0 dB, 40.0 dB
12.3 1.000; 0.944; 0.010 12.5 0.509 rad/s; 3 rad/s; 5.90
12.8 $T(s) = 10^{15}/[(s+10^3)(s^2+618s+10^6)(s^2+1618s+10^6)]$, 低通; $T(s) = s^5/[(s + 10^3)(s^2 + 618s + 10^6)(s^2 +1618s$

$+10^6)]$, 高通 12.9 $T(s) = 0.2225\,(s^2+4)/[(s+1)(s^2+s+0.89)]$ 12.11 $T(s) = 0.5/[(s+1)(s^2+s+1)$; 极点位于 $s=-1,\ -\frac{1}{2}\pm j\sqrt{3}/2$, 3 零点位于 $s=\infty$ 12.13 28.6dB 12.15 $N=5$; $f_0 = 10.55\text{kHz}$, −108°, −144°, −180°, −216°, −252°; $p_1 = -20.484\times10^3 + j63.043\times10^3$ (rad/s), $p_2 = -53.628\times10^3 + j38.963\times10^3$ (rad/s), $p_3 = -\omega_0 = -66.288\times10^3$ rad/s, $p_4 = -53.628\times10^3 - j38.963\times10^3$ (rad/s), $p_5 = -20.484\times10^3 - j63.043\times10^3$ (rad/s); $T(s) = \omega_0^5/[(s+\omega_0)(s^2+1.618\omega_0 s+\omega_0^2)(s^2+0.618\omega_0 s+\omega_0^2)]$; 2.78dB 12.19 $R_1 = 10\text{k}\Omega$; $R_2 = 100\text{k}\Omega$; $C = 159\text{pF}$ 12.21 $R_1 = 1\text{k}\Omega$; $R_2 = 1\text{k}\Omega$; $C_1 = 0.159\mu\text{F}$; $C_2 = 1.59\text{nF}$; 高频增益 = −100V/V 12.23 $T(s) = (1-RCs)/(1+RCs)$; 2.68kΩ, 5.77kΩ 10kΩ, 17.3kΩ, 37.3kΩ 12.25 $T(s) = 10^6/(s^2+10^3 s+10^6)$; 707 rad/s; 1.16V/V 12.27 $R = 4.59\text{k}\Omega$; $R_1 = 10\text{k}\Omega$ 12.28 $T(s) = s^2/(s^2+s+1)$ 12.30 $T(s) = (s^2+1.42\times10^5)/(s^2+375s+1.42\times10^5)$ 12.33 $L = 0.5\text{H}$; $C = 20\text{nF}$ 12.35 $V_o(s)/V_i(s) = s^2/(s^2+s/RC+1/LC)$ 12.37 将 R 分为两部分, $2R$ 留在原处, $2R$ 接在输出和地之间 12.39 $L_1/L_2 = 0.235$; $|T| = L_2/(L_1+L_2)$; $|T| = 1$ 12.40 对所有晶体管为 10kΩ, C_4 是: (a) 0.1μF, (b) 0.01μF, (c) 1000pF; 对 $R_5 = 100\text{k}\Omega$ 且 $R_1 = R_2 = R_3 = 10\text{k}\Omega$, C_4 是(a) 0.01μF, (b) 1000 pF, (c) 100 pF 12.43 $R_1 = R_2 = R_3 = R_5 = 3979\,\Omega$; $R_6 = 39.79\text{k}\Omega$; $C_{61} = 6.4$ nF; $C_{62} = 3.6$ nF 12.44 $C_4 = C_6 = 1\text{nF}$; $R_1 = R_2 = R_3 = R_5 = R_6 = r_1 = r_2 = 159\text{k}\Omega$ 12.48 (a) $T(s) = 0.451\times10^4(s^2+1.70\times10^8)/[(s+0.729\times10^4)(s^2+0.279\times10^4 s+1.05\times10^8)]$; (b) 对 LP 部分: $C = 10$ nF, $R_1 = R_2 = 13.7\text{k}\Omega$; 对 LPN 部分: $C = 10$ nF, $R_1 = R_2 = R_3 = R_5 = 9.76\text{k}\Omega$, $R_6 = 35.9\text{k}\Omega$, $C_{61} = 6.18$ nF, $C_{62} = 3.82$ nF 12.49 $C = 10$ nF; $R = 15.9\text{k}\Omega$; $R_1 = R_f = 10\text{k}\Omega$; $R_2 = 10\text{k}\Omega$; $R_3 = 390\text{k}\Omega$; 39 V/V 12.51 ±1% 12.53 (a) 只对ω_z, 改变 C_1 和 r 或 R_3, 或改变 R_2 和 r 或 R_3; R_2 和 R_3 更好; (b) 只对 Q_z 只改变 r, 或只改变 R_3 12.55 $R_3 = 141.4\text{k}\Omega$; $R_4 = 70.7\text{k}\Omega$ 12.57 $T(s) = -(16s/RC)/[s^2+2s/RC+16/(RC)^2]$; 带通; $\omega_0 = 4/RC$; $Q = 2$; 中心频率增益 = 8 V/V 12.59 $T(s) = s^2/[s^2+(C_1+C_2)s/R_3C_1C_2+1/R_4R_3C_1C_2]$; 高通; 高频增益 = 1V/V; $R_3 = 141.4\text{k}\Omega$; $R_4 = 70.7\text{k}\Omega$ 12.60 对一阶部分: $C_1 = 3.18$ nF; 对 S 和 K 部分，接地电容和悬浮电容分别为：$C_2 = 984$ pF 和 $C_3 = 10.3$ nF; 对另一个 S 和 K 部分，相应的电容分别是 $C_4 = 2.57$ nF 和 $C_5 = 3.93$ nF 12.62 ω_0 对 R, L, C 的灵敏度分别为 0, $-\frac{1}{2}$, $-\frac{1}{2}$, Q 的灵敏度分别是 1, $-\frac{1}{2}$, $\frac{1}{2}$

第13章

13.1 (a) $\omega = \omega_0$, $AK = 1$; (b) $d\phi/d\omega$ 在 $\omega = \omega_0$ 处是 $-2Q/\omega_0$; (c) $\Delta\omega_0/\omega_0 = -\Delta\phi/2Q$ 13.3 对同相输入端, 将 LC 连接到地，把 R 连到输出; $A = 1 + R_2/R_1 \geq 1.0$; 采用 $R_1 = 10\text{k}\Omega$, $R_2 = 100\,\Omega$ (比方说); $\omega_0 = 1/\sqrt{LC}$ (a) $-\frac{1}{2}$%; (b) $-\frac{1}{2}$%; (c) 0% 13.5 最小增益为 20dB; 相移是 180° 13.6 用 $R_2 = R_5 = 10\text{k}\Omega$; $R_3 = R_4 = 5\text{k}\Omega$; $R_1 = 50\text{k}\Omega$ 13.9 $V_a(s)/V_o(s) = (s/RC)/[s^2+3s/RC+1/R^2C^2]$; 振幅等于 0 时 $s=0$, $s=\infty$; $\omega_0 = 1/RC$; $Q = \frac{1}{3}$; 增益出现在 $\omega_0 = \frac{1}{3}$ 13.10 $\omega = 1.16/CR$ 13.12 $R_3 = R_6 = 6.5\text{k}\Omega$; $v_O = 2.08\text{V}$ (峰-峰) 13.13 $L(s) = (1+R_2/R_1)(s/RC)/[s^2+s^3/RC+1/R^2C^2]$; $L(j\omega) = (1+R_2/R_1)/[3-j(1/\omega RC-\omega RC)]$; $\omega = 1/RC$; 对于振荡, $R_2/R_1 = 2$ 13.15 20.3V 13.17 $A\beta(s) = -(R_f/R)/[1+6/RCs+5/R^2C^2s^2+1/R^3C^3s^3]$; $R_f = 29R$; $f_0 = 0.065/RC$ 13.21 对电路 (a), (b), (d), 特征方程为: $C_1C_2Ls^3+(C_2L/R_L)s^2+(C_1+C_2)s+1/R_L+g_m = 0$; $\omega_0 = [(C_1+C_2)/C_1C_2L]^{1/2}$; $g_mR_L = C_2/C_1$; 对电路(c): $LC_1C_2s^3+(C_1L/R_L)_s^2+(C_1+C_2)s+1/R_L+g_m = 0$; $\omega_0 = [(C_1+C_2)/C_1C_2L]^{1/2}$; $g_mR_L = C_1/C_2$. 13.23 从 2.016 12 MHz 到 2.017 24MHz. 13.25 (a) $V_{TL} = V_R(1+R_1/R_2) - L_+R_1/R_2$, $V_{TH} = V_R(1+R_1/R_2) - L_-R_1/R_2$; (b) $R_2 = 200\text{k}\Omega$, $V_R = 0.0476\text{V}$. 13.28 (a) +12V 或 −12V; (b) 频率为 f 幅度为 +12V 的对称方波, 滞后输入 65.4°。平均最大偏移为 0.1V 13.29 $V_Z = 6.8\text{V}$; $R_1 = R_2 = 37.5\text{k}\Omega$; $R = 4.1\text{k}\Omega$ 13.31 $V_Z = 3.6\text{V}$, $R_2 = 6.67\text{k}\Omega$; $R = 50\text{k}\Omega$; $R_1 = 24\text{k}\Omega$, $R_2 = 27\text{k}\Omega$. 13.33 $V_Z = 6.8\text{V}$; $R_1 = R_2 = R_3 = R_4 = R_5 = R_6 = 100\text{k}\Omega$; $R_7 = 5.0\text{k}\Omega$; 输出是对称三角波，其半周期为 50μs，峰值为 ±7.5V 13.35 96μs 13.36 $R_1 = R_2 = 100\text{k}\Omega$; $R_3 = 134.1\text{k}\Omega$; $R_4 = 470\text{k}\Omega$; 6.5V; 61.8μs. 13.38 (a) 9.1kΩ; (b) 13.3V 13.39 $R_A = 21.3\text{k}\Omega$; $R_B = 10.7\text{k}\Omega$ 13.41 $V = 1.0996\text{V}$; $R = 400\,\Omega$; 下表各列为 v_O, θ, $0.7\sin\theta$, 误差 %:

0.70V, 90°, 0.700V, 0%;

0.65 V, 63.6°, 0.627 V, 3.7%;

0.60 V, 52.4°, 0.554 V, 8.2%;

0.55 V, 46.1°, 0.504 V, 9.1%;

0.50 V, 41.3°, 0.462 V, 8.3%;

0.40 V, 32.8°, 0.379 V, 5.6%;

0.30 V, 24.6°, 0.291 V, 3.1%;

0.20 V, 16.4°, 0.197 V, 1.5%;

0.10 V, 8.2°, 0.100 V, 0%;

0.00 V, 0°, 0.0 V, 0%.

13.42 ±2.5 V 13.45 下表各列为：电路 v_O/V_T, 电路 v_1/V_T, 理想电路 v_O/V_T, 与理想电路的误差%：

0.250, 0.451, 0.259, −3.6%

0.500, 0.905, 0.517, −3.4%

1.000, 1.847, 1.030, −2.9%

1.500, 2.886, 1.535, −2.3%

2.000, 4.197, 2.035, −1.7%

2.400, 6.292, 2.413, −0.6%

2.420, 6.539, 2.420, 0.0%

13.47 $R_1 = R_2 = 10\,\text{k}\Omega$ (比方说); 3.18 V 13.49 $R_1 = 1\,\text{M}\Omega$; $R_2 = 1\,\text{M}\Omega$; $R_3 = 45\,\text{k}\Omega$; $R_4 = 1\,\text{M}\Omega$; $C = 0.16\,\mu\text{F}$（角频率为 1 Hz） 13.53 采用同相输入端接 v_A 的运放, LED 接在输出端和反相输入端之间，电阻 R 接在反相输入端和地之间; $I_{\text{LED}} = v_A/R$ 13.54 $i_M = C\,|dv/dt|$; $C = 2.65\,\mu\text{F}$; $i_{M120} = 2i_{M60}$; $i_{M180} = 3i_{M60}$; 作为输入幅度固定的线性频率计，电容 C 与波形幅度的变化有关; 1.272 mA 13.55 10 mV, 20 mV, 100 mV; 50 个脉冲, 100 个脉冲, 200 个脉冲

第 14 章

14.1 上限（适用于所有情况）: 4.7 V, 5.4 V; 下限: −4.3 V, −3.6 V; −2.15 V, −1.45 V 14.4 152 Ω; 0.998 V/V; 0.996 V/V; 0.978 V/V; 2% 14.6 V_{CC}/I 14.9 5 V 14.11 4 V; 12.8%; 11.1 kΩ 14.13 5.0 V 的峰值; 3.18 V 的峰值; 3.425 Ω; 4.83 Ω; 3.65 W; 0.647 W 14.15 $\hat{V}_o^2/R_L$; $V_{SS}\hat{V}_o/R_L$; $\hat{V}_o/V_{SS}$; 100%; V_{SS}; V_{SS}^2/R_L; $V_{SS}/2$; 50% 14.17 2.5 V 14.19 12.5 14.21 20.7 mA; 788 mW; 7.9℃; 37.6 mA 14.23 1.34 kΩ; 1.04 kΩ 14.25 50 W; 2.5 A 14.27 140℃; 0.57 V 14.29 100 W; 0.4℃/W 14.31 0.85 Ω 14.33 0 mA, 0 mA; 20 μA, 22.5 μA; −20 μA; −22.5 μA 14.35 1.96 mA; 38.4 μA; 流出基极 1 且流入基极 2; 3.4 μA; 277 kΩ; 0.94 V/V 14.37 0.033 mA; 66 mA/V; −66 V/V; 13.6 kΩ 14.39 $R_1 = 300\,\text{k}\Omega$; $R_2 = 632\,\text{k}\Omega$; 9.48 V; −10.65 V 14.41 13 Ω; 433 mV; 0.33 μA 14.43 $R_1 = 60\,\text{k}\Omega$; $R_2 = 5\,\text{k}\Omega$; 0.01 μA 14.45 $I_{E1} = I_{E2} - 17\,\mu\text{A}$; $I_{E3} = I_{E4} - 358\,\mu\text{A}$; $I_{E5} - I_{E6} = 341\,\mu\text{A}$; 10.5 V 14.47 14 V; 1.9 W; 11 V 14.49 $R_3 = R_4 = 40\,\Omega$; $R_1 = R_2 = 2.2\,\text{k}\Omega$ 14.51 40 kΩ; 50 kΩ 14.53 $L = \mu_n(v_{GS} - V_t)/U_{\text{sat}}$; 3 μm; 3 A; 1 A/V

附录 B

B.2 $h_{11} = 2.6\,\text{k}\Omega$; $h_{12} = 2.5\times10^{-4}$; $h_{21} = 100$; $h_{22} = 2\times10^{-5}\,\mho$

B.3 $y_{11} = 1/r_\pi + s(C_\pi + C_\mu)$; $y_{12} = -sC_\mu$; $y_{21} = -sC_\mu + g_m$; $y_{22} = 1/r_o + sC_\mu$

附录 C

C.1 $Z_t = V_{oc}/I_{sc}$ C.3 1 V, 0.90 kΩ; 0.526 V C.5 $R_{in} = (r_\pi + R_B)/(1 + g_m r_\pi)$

附录 D

D.2 $V_o(s)/V_i(s) = R_2/(R_1+R_2)$　D.4 10^5 rad/s　D.6 HP; 10 rad/s　D.7 $v_O(t) = 10(1 - e^{-t/10^{-6}})$; $v_o(t) = 10\,e^{-10^6 t}$

D.9 3.5 ns　D.11 −4.67 V　D.13 −6.32 V; 9.5 ms　D.15 14.4 μs

附录 E

E.1 $V_o(s)/V_i(s) = RC_1 s/(1 + sR(C_1 + C_2))$; STC, $C_{eq} = C_1 // C_2$; 高通; 零点在 0 Hz; 极点在 1.59 Hz
E.5 10 kHz; 5.1 kHz; 1.05 kHz　E.10 0 dB, −90°; +0.04 dB, −95.0°



微电子电路（第五版）



Microelectronic Circuits, Fifth Edition

这本教材传承了建立在牢固教育学基础上的卓越和创新的标准，这也正是作者Adel S. Sedra和Kenneth C. Smith所期望的。微电子电路（第五版）的组织结构与内容都充分体现了最新技术的发展和变化，为电子电路分析和设计领域的教学提供了最新的资源。

本书特点

- 流水线式的组织结构："必学"内容被放置在每一章的开始部分，专业性较强的内容置后。前五章可以作为一个学期讲授的引导性课程。同样，接下来的五章，可以作为第二门一学期课程的主要内容。最后四章都是很有意义的话题，可以作为前面章节的补充材料，也可以作为项目设计或者撰写论文的参考资料。
- MOSFET和BJT：第4章（MOSFET）和第5章（BJT）是完全重写的。虽然本版将MOSFET的内容放在前面，但是这两种器件可以按照任何次序讲解。
- 集成MOS和双极型放大器：第6章（单级集成电路放大器）和第7章（差分放大器与多级放大器）也是完全重写的，并以便于理解的、系统的方法引入了集成MOS放大器和双极型放大器的内容。
- 放大器频率响应：在需要的地方都可以找到有关放大器频率响应的内容（"即时"方法）。其中包括第4章和第5章中关于共源放大器和共射放大器的频率响应的简要介绍。

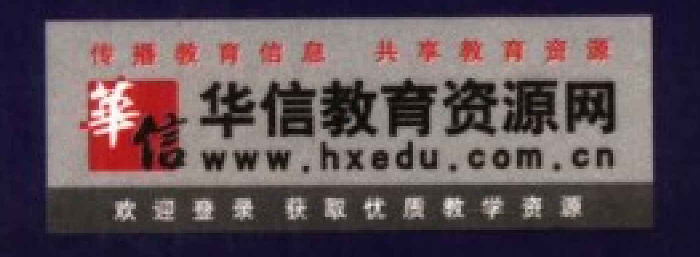
作者简介

Adel S. Sedra：沃特卢大学工程学院院长，多伦多大学前教务长。

Kenneth C. Smith：多伦多大学电气和计算机工程、计算机科学、机械工程和信息研究所的荣誉教授。









责任编辑：周宏敏

责任美编：毛惠庚

ISBN 7-121-02671-6 定价：36.00元